(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 229 947**

(21) Número de solicitud: 200302465

(51) Int. Cl.[7]: **H01L 29/94**

(12) SOLICITUD DE PATENTE A1

(22) Fecha de presentación: **14.10.2003**

(43) Fecha de publicación de la solicitud: **16.04.2005**

(43) Fecha de publicación del folleto de la solicitud: **16.04.2005**

(71) Solicitante/s: **Universitat Politècnica de Catalunya**
c/ Jordi Girona, 31
08034 Barcelona, ES

(72) Inventor/es: **Villar Pique, Gerard;**
Alarcón Cot, Eduard;
Guinjoan Gispert, Francesc y
Poveda López, Alberto

(74) Agente: **No consta**

(54) Título: **Estructura de alta capacidad y baja resistencia serie equivalente en tecnología integrada CMOS estándar.**

(57) Resumen:
Estructura de alta capacidad y baja resistencia serie equivalente en tecnología integrada CMOS estándar.
La presente invención consiste en una estructura modular de elevada densidad capacitiva y baja resistencia serie equivalente implementada en tecnología CMOS estándar, para su aplicación en el ámbito de los circuitos integrados, en particular para los subcircuitos de gestión de potencia dentro de un chip. La estructura capacitiva propuesta está formada por uno o más condensadores basados en transistores MOSFET con terminales de drenador y fuente cortocircuitados, que presentan unas dimensiones óptimas con objeto de exhibir un ESR mínima. Relacionado con dicha estructura, se describe asimismo un procedimiento de diseño para la obtención por parte de la estructura de una cierta impedancia objetivo a una frecuencia de operación, con la mínima ocupación de área de silicio.

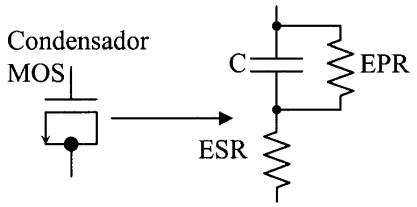

Figura 1

ES 2 229 947 A1

DESCRIPCIÓN

Estructura de alta capacidad y baja resistencia serie equivalente en tecnología integrada CMOS estándar.

Sector de la técnica

La presente invención consiste en una estructura altamente capacitiva y de baja resistencia serie equivalente para su aplicación en el ámbito de los circuitos integrados, en particular para los subcircuitos de gestión de potencia dentro de un chip. La estructura capacitiva propuesta (formada por uno o más elementos condensadores) puede utilizarse en la red de filtrado que forma parte de la salida de un convertidor lineal o conmutado de potencia. Dicha estructura capacitiva puede aplicarse asimismo a la regulación de las corrientes pulsantes de carga en las redes de distribución de energía dentro del chip.

Estado de la técnica

La tendencia actual a incrementar tanto el número de transistores como la velocidad de procesado de los circuitos electrónicos digitales integrados genera un aumento de la corriente pulsante demandada, tanto en cuanto a su magnitud como a su frecuencia. Asimismo, la implementación integrada de amplificadores de potencia en la banda de radiofrecuencia requiere especificaciones similares. Ello exige disponer de condensadores dentro de un chip, con el fin de realizar el filtrado de dichas demandas de corriente lo más cerca posible del circuito que las genera.

Por otro lado, los mencionados condensadores deben presentar una elevada densidad capacitiva (capacidad por unidad de área ocupado) con el fin de reducir el tamaño del chip y por tanto su coste de fabricación.

Además, de los elementos parásitos resistivos de los condensadores (resistencia serie equivalente y resistencia paralela equivalente), la resistencia serie equivalente (ESR, del inglés *Equivalent Series Resistance*) es aquella que resulta más relevante en aplicaciones de gestión de potencia debido a que los notables niveles de corriente alterna que circulan a través del condensador se manifiestan como rizados de tensión no regulada.

Existen en la literatura diversas propuestas de realización de condensadores en tecnología CMOS estándar basadas en dos placas de polisilício paralelas, o bien en dos placas de metal paralelas, aunque su densidad capacitiva resulta relativamente reducida debido a la separación de las placas, y es por tanto ineficiente para la obtención de los valores de capacidad requeridos por las aplicaciones habituales de gestión de potencia de los circuitos integrados.

Es conocido que la capacidad de un condensador de placas paralelas es directamente proporcional al área de dichas placas e inversamente proporcional al grosor del material aislante situado entre ellas. Asimismo, se cumple que en tecnología CMOS estándar el óxido de puerta de un transistor MOS presenta el mínimo grosor de todas las capas de material aislante presentes en dicha tecnología, con lo que la capacidad de puerta de este tipo de transistor presenta la máxima densidad capacitiva.

De lo anterior se deduce que la realización de un condensador eficiente en área en tecnología MOS resulta directa: requiere considerar el material conductor del terminal de puerta como una de las placas (y correspondiente contacto) del condensador, y los terminales de drenador y surtidor cortocircuitados como el otro contacto (con lo que el canal formado bajo la puerta forma la placa inferior del condensador). El principal problema que presenta esta implementación de un condensador MOS es su elevada ESR, debida principalmente a la elevada resistencia del canal formado bajo la puerta, y en menor grado, a la resistencia no despreciable del material conductor del terminal de puerta.

Tanto la resistencia de canal como la de puerta han sido recientemente estudiadas, en particular su carácter distribuido, básicamente para aplicaciones de radiofrecuencia (1).

Descripción de la invención

La presente invención consiste en una estructura modular de elevada densidad capacitiva y baja resistencia serie equivalente implementada en tecnología CMOS estándar, formada por uno o más condensadores MOS que presentan unas dimensiones óptimas con objeto de exhibir un ESR mínima. Relacionado con dicha estructura, se describe asimismo un procedimiento de diseño para la obtención por parte de la estructura de una cierta impedancia objetivo, del tipo resistencia-condensador serie ("RC serie" a lo largo de la presente descripción), con la mínima ocupación de área de silicio.

La estructura está formada por condensadores MOS en los que el terminal de puerta de cada transistor MOS constituye uno de los terminales del condensador, toda vez que el otro terminal lo constituyen los contactos de drenador y surtidor cortocircuitados de cada transistor MOS. En este caso el óxido de puerta realiza la función de material aislante entre las dos placas del condensador (canal y puerta).

La expresión de la ESR del condensador MOS según el modelo utilizado es la siguiente:

$$ESR = G\frac{L}{W} + H\frac{W}{L}$$

En la expresión anterior *L* y *W* son la longitud y la anchura del canal del transistor con el que se forma el condensador MOS, respectivamente; *G* y *H* son constantes de proporcionalidad dependientes de parámetros propios de la tecnología en particular y de la tensión aplicada al condensador, y en menor grado de la temperatura. Se observa que la ESR presenta un término con dependencia directamente proporcional y un término con dependencia inversamente proporcional con la relación de aspecto del transistor (*W/L*). Sin embargo dicha expresión no guarda relación alguna con el área (producto *W*L*) del canal del transistor y por lo tanto la ESR del condensador MOS es independiente de su capacidad.

La relación de aspecto del transistor se determina para que ambos términos de la expresión se igualen, resultando en el valor mínimo de la ESR. Dicha relación de aspecto óptima viene dada por:

$$\frac{W}{L} = \sqrt{\frac{G}{H}}$$

La ESR de un condensador MOS con la anterior relación de aspecto se determina mediante la siguiente expresión:

$$ESR = 2\sqrt{GH}$$

En aquellas aplicaciones en las que el valor de ESR así obtenido, si bien mínimo para un condensador MOS, no sea suficientemente reducido, será necesaria la conexión de varios condensadores MOS en paralelo (formando la estructura capacitiva objeto de la presente invención) con el fin de agregar sus respectivas capacidades y reducir a su vez la ESR de toda la estructura.

La interconexión de todos los condensadores MOS necesarios mediante las sucesivas capas de material conductor de la tecnología, alternando los terminales de los condensadores así conectados, resulta en una óptima conexión, que reduce la ESR total de toda la estructura.

La ESR de toda la estructura capacitiva se aproxima por la siguiente expresión:

$$ESR_{Total} = I\frac{A}{B} + J\frac{B}{A} + \frac{K}{n}$$

En la expresión, *A* y *B* son el numero de columnas y filas, respectivamente, de la matriz formada al interconectar los condensadores MOS de la estructura, *I, J* y *K* son constantes de proporcionalidad dependientes de parámetros propios de la tecnología empleada en particular, así como de la tensión aplicada a la estructura capacitiva y de las dimensiones de cada uno de los condensadores MOS (*W* y *L*). Finalmente, *n* representa el número total de condensadores que forman la estructura.

Partiendo de un determinado valor de *n*, se observa que la ESR total de la estructura presenta una tendencia creciente y una tendencia decreciente con la relación de aspecto de toda la estructura (relación de filas y columnas de la matriz formada). Así pues un valor de *B/A* que resulte en una igualación del primer y segundo términos de la expresión de la ESR_{Total} proporcionará un valor de ESR mínimo para toda la estructura. Dicho valor de la relación de aspecto *B/A* es el obtenido mediante la siguiente expresión:

$$\frac{B}{A} = \sqrt{\frac{I}{J}}$$

Con la relación de aspecto proporcionada por la expresión anterior, la ESR de toda la estructura será la mínima con el siguiente valor:

$$ESR_{Total} = \frac{K}{n} + 2\sqrt{IJ}$$

El carácter modular de la estructura permite la situación espacial de los diferentes condensadores MOS siguiendo la relación de aspecto *B/A* óptima (que confiere a toda la estructura capacitiva un valor de ESR mínimo), *o bien adaptada al espacio disponible dentro del chip*.

Adicionalmente la estructura presenta una superposición de capas de material conductor (habitualmente metal) que

añaden capacidad a la estructura. Esta capacidad adicional tiene un valor poco significativo frente a la debida a los condensadores MOS. No obstante, para frecuencias elevadas en las que la impedancia de la estructura coincide con su ESR, reducen la impedancia de la estructura debido al muy reducido valor de ESR propia de las capas de metal.

La presente invención también se caracteriza por la descripción de un procedimiento de diseño para la obtención de un determinado valor de impedancia, de tipo RC serie, presentada por la estructura capacitiva a una frecuencia especificada. A continuación se detallan los distintos pasos de dicho procedimiento, en base a la propia explicación de la invención:

1. El módulo de la impedancia de un circuito RC serie se determina con la siguiente expresión:

$$Z = \sqrt{ESR^2 + \frac{1}{(2\pi fC)^2}}$$

   Donde *ESR* es el término resistivo, *C* es el capacitivo y *f* es la frecuencia.

2. A partir de los parámetros de la tecnología empleada en particular, así como de la tensión a aplicar al condensador en la aplicación en cuestión, se obtiene la relación de aspecto (*W/L*) de cada uno de los condensadores MOS que forman parte de la estructura capacitiva.

3. El valor de *C* es función de las dimensiones de cada uno de los condensadores MOS (*W* y *L*) y de su número (*n*).

$$C = f(W, L, n)$$

   Con el valor de *W/L* hallado en el paso 2, la dependencia de *C* se reduce a la longitud de los condensadores MOS (*L*) y su número (*n*).

4. El valor de la ESR total de la estructura es función de las dimensiones de los condensadores MOS (*W* y *L*), su número (*n*) y la relación de aspecto de la estructura, en cuanto a la relación del número de filas y columnas se refiere, (*B/A*).

$$ESR = f\left(W, L, n, \frac{B}{A}\right)$$

   La relación de aspecto óptima de la matriz (*B/A*) es función de las dimensiones de los condensadores MOS (y de parámetros propios de la tecnología empleada). Este hecho, junto al resultado del paso 2 reduce la dependencia de la ESR de la estructura al número de condensadores MOS (*n*) y su longitud (*L*).

5. Con los resultados de los pasos 3 y 4 se obtiene que la impedancia RC serie de toda la estructura (*Z*) es función del número de condensadores MOS (*n*) y la longitud de canal de éstos (*L*).

6. El área ocupada por toda la estructura es función de las dimensiones de los condensadores MOS (*W* y *L*) y su número (*n*). Con el resultado del paso 2, esta dependencia se reduce a *n* y *L*; igual que en el caso del valor de la impedancia RC serie correspondiente a la estructura.

7. La evaluación tanto del valor de la impedancia *Z* (para una frecuencia *f* especificada) así como del área ocupada por toda la estructura, para distintos valores de *L* y *n*, permiten identificar las configuraciones óptimas (valor de las dimensiones de cada uno de los condensadores MOS (*W* y *L*), su número *n* y el número de columnas y filas de la matriz formada por la estructura (A y B)) que proporcionan el valor de impedancia deseado, con una ocupación mínima de área de silicio.

Breve descripción de las figuras

En la figura 1 se muestran un condensador MOS (1.a) y su modelo circuital (1.b) con los correspondientes elementos parásitos resistivos: resistencia serie equivalente (ESR) y resistencia paralela equivalente (EPR).

En la figura 2 se muestran las distintas fases de implementación de la estructura capacitiva propuesta (en matriz de 3 filas por 4 columnas, a modo de ejemplo).

A. Figura 2.a — Se observa la placa de polisilício correspondiente a los terminales de puerta de los condensadores MOS, que presenta las aperturas necesarias para acceder a los terminales de drenador y surtidor, pudiéndose así cortocircuitar posteriormente. Entre las distintas filas de la estructura se conectan tiras de la primera capa de metal al polisilício para su posterior conexión a una placa de la segunda capa de metal.

B. Figura 2.b — Mediante placas de la primera capa de metal extendidas a lo largo de las filas se cortocircuitan los terminales drenador y surtidor de los condensadores MOS, a la vez que estos terminales son conectados con sus análogos de los condensadores adyacentes en la misma fila. A los extremos de cada fila se realiza la interconexión de las mismas placas de metal de la primera capa con las filas colindantes mediante tiras de metal de la primera capa. En las conexiones situadas a los extremos de cada fila se aplican tiras de la segunda capa de metal, para el posterior cortocircuitado de ambos extremos mediante una placa de la tercera capa de metal.

C. Figura 2.c — Mediante la extensión de una placa de la segunda capa de metal a lo largo de las columnas, se interconectan las distintas tiras de metal de la primera capa, descritas en la figura 2.a, obteniéndose el terminal de contacto correspondiente a la puerta del condensador MOS.

D. Figura 2.d — Mediante una placa de metal de la tercera capa se conectan los extremos de las filas de la matriz, obteniéndose el contacto correspondiente a los terminales de drenador y surtidor del condensador MOS.

En la figura 3 se muestra el detalle de la realización de un condensador MOS con las dimensiones de su canal (*W* y *L*), y las dimensiones del área adicionalmente requerida para su interconexión en la estructura objeto de la presente invención (*a* y *b*).

En la figura 4 se muestra la evolución de la ESR de un condensador MOS en función de su relación de aspecto (*W/L*), para el caso particular de la realización preferida.

En la figura 5 se muestra, para la realización preferida, la evolución de la impedancia de la estructura, según el modelo RC serie utilizado, en función de la longitud de canal de cada uno de los condensadores MOS (*L*) y el número de los mismos que forman la estructura (*n*). Se resaltan los valores coincidentes con la impedancia objetivo de la realización preferida.

En la figura 6 se muestra, para la realización preferida, la evolución del área ocupada por la estructura, en función de la longitud de canal de cada uno de los condensadores MOS (*L*) y el número de los mismos que forman la estructura (*n*). Se destacan los puntos para los cuales la impedancia de la estructura coincide con la deseada.

Descripción de la realización preferida

Para la realización preferida se han utilizado los datos correspondientes al proceso de fabricación de chips de silicio de Austria Microsystems (AMS) con una longitud mínima de canal de 0.35 μm.

El objetivo de la presente realización es el diseño de una estructura capacitiva con baja ESR que exhiba una impedancia de 0.2 Ω a la frecuencia de 50 MHz, cuando la tensión aplicada es de 3.3 V.

A lo largo del diseño se detallarán los pasos expuestos previamente.

- Paso 1. - La expresión de la impedancia RC serie es:

$$Z = \sqrt{ESR^2 + \frac{1}{(2\pi fC)^2}}$$

- Paso 2. - Los valores de las constantes G y H de la expresión de la ESR de un condensador MOS son:

$$G = 166.564\ \Omega;\ H = 0.75\ \Omega$$

La relación de aspecto de cada uno de los condensadores MOS que, para la tensión aplicada, les confiere una ESR mínima es

$$\frac{W}{L} = \sqrt{\frac{G}{H}} = 14.9$$

Siendo dicha ESR mínima para cada uno de los condensadores MOS:

$$ESR = 22.35\ \Omega$$

En la figura 4 se observa el valor hallado a partir de la evolución de la ESR con la relación *W/L*.

- Paso 3. - A partir del resultado anterior se obtiene la expresión del término capacitivo de la impedancia en

función del número de condensadores MOS que forman la estructura (*n*), y la longitud de canal de cada uno de ellos (*L*, que se expresa en, *μm*).

$$C = 68.54 \cdot 10^{-15} nL^2$$

- Paso 4. - La relación de aspecto de la matriz de condensadores MOS (relación entre el número de filas y columnas, *B/A*) que confiere a toda la estructura un valor de ESR mínimo, es función, a partir del resultado del paso 2 (*W/L* = 14.9), de la longitud de canal de los condensadores MOS (*L*):

$$\frac{B}{A} = \sqrt{\frac{I}{J}}$$

Con I y J:

$$I = \frac{(5L + 6)(0.7L^2 + 1425.84L + 73.9933)}{L(35L + 45042)(149L + 21)}$$

$$J = \frac{1043L}{(5L + 6)(149L + 2400)}$$

El valor de la ESR de toda la estructura, con la anterior relación de aspecto *B/A*, es función del número de condensadores MOS (*n*), y la longitud de su canal (*L*):

$$ESR_{Total} = \frac{K}{n} + 2\sqrt{IJ}$$

Donde el parámetro K presenta la siguiente dependencia con L:

$$K = \frac{583037L^4 + 760409488.824L^3 + 13049710253.3L^2 + 17649106369.6L + 978523489.933}{L(35L + 45042)(149L + 2400)(5L + 6)}$$

En las expresiones de los parámetros *I, J y K*, la longitud de canal *L* se expresa en *μm*.

- Paso 5. - En los resultados de los pasos 3 y 4 se puede observar que el valor de la impedancia expresada en el paso 1 es función del número de condensadores MOS (*n*) y su longitud de canal (*L*).

$$Z = \sqrt{\left(\frac{K}{n} + 2\sqrt{IJ}\right)^2 + \left(\frac{1}{137,08 \cdot 10^{-15}\pi f L^2 n}\right)^2}$$

- Paso 6. - El área, según la siguiente expresión, es asimismo función de los valores de *L* y *n*:

$$\text{Área} = n(L + b)(l4.9L + a)$$

Donde los parámetros *b* y *a* (figura 3) representan el área adicionalmente requerida para la interconexión de los condensadores MOS, y son particulares de cada tecnología. En el caso de esta realización toman los siguientes valores:

$$a = 2.1\ \mu m;\ b = 1.2\ \mu m$$

- Paso 7. - La evaluación de la impedancia de la estructura, a la frecuencia de 50 MHz, para distintos valores de *n* y *L* (figura 5) permite la identificación de los pares de valores (*n, L*) para los que la estructura presenta la impedancia de 0.2 Ω. La evaluación del área ocupada por toda la estructura para los pares de valores (*n, L*) identificados (en la figura 6 se muestra la evolución del área en función de todos los valores de n y L, resaltando los correspondientes con *Z* = 0.2 Ω) permite obtener la configuración que, con una ocupación mínima de área, proporciona la impedancia deseada.

Dicha configuración es el resultado del procedimiento de diseño y se caracteriza por los siguientes valores:

Numero total de condensadores MOS (n)	728
Relación de aspecto de la estructura (B/A)	0.1707
Relación de aspecto de cada condensador MOS (W/L)	14.9
Longitud de canal de los condensadores MOS (L)	18 μm
Anchura de canal de los condensadores MOS (W)	268.2 μm
ESR de toda la estructura	44.1 mΩ
Capacidad de toda la estructura	16.16 nF
Impedancia de toda la estructura (a 50 MHZ)	0.2018 Ω
Área ocupada por toda la estructura	3.778 mm^2

Para la realización práctica, es necesario que tanto *A* (número de columnas) como *B* (número de filas) sean valores naturales, por lo que se escogerá el par de valores que mejor se aproxime a la relación *B/A* indicada y al numero total de condensadores MOS *n*, resultando en un valor inmediatamente superior a este para no aumentar la impedancia por encima de la deseada y mantener el carácter reducido del área ocupada. En esta realización se determinan los valores $A = 67$ y $B = 11$.

Referencias

(1) **Xiaodong** Jin *et al.*, "An effective gate resistance model for CMOS RF and noise modeling", International Electron Devices Meeting, 1998. IEDM '98 *Technical Digest*, 1998, Pages: 961 -964.

REIVINDICACIONES

1. Estructura de alta capacidad y baja resistencia serie equivalente realizable en tecnología integrada CMOS estándar para aplicaciones de gestión de potencia dentro de un circuito integrado **caracterizada** por estar formada por uno o más condensadores MOS adecuadamente dimensionados para presentar una resistencia serie equivalente mínima.

2. Estructura de alta capacidad y baja resistencia serie equivalente realizable en tecnología integrada CMOS estándar, según reivindicación 1, **caracterizada** por una situación espacial de los condensadores MOS que la componen (en cuanto al número de filas y columnas de la matriz se refiere), que le confiere una resistencia serie equivalente mínima para un determinado número de condensadores MOS, y unas determinadas dimensiones de éstos.

3. Estructura de alta capacidad y baja resistencia serie equivalente realizable en tecnología integrada CMOS estándar, según reivindicaciones 1 y 2, **caracterizada** por el procedimiento de diseño de la misma para la obtención de una impedancia RC serie de módulo deseado a una especificada frecuencia, con una ocupación de área mínima.

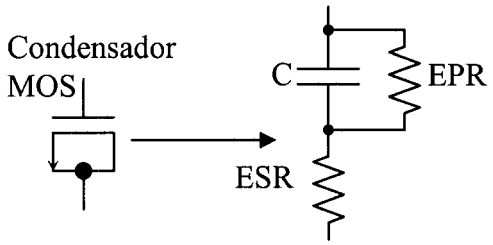

Figura 1

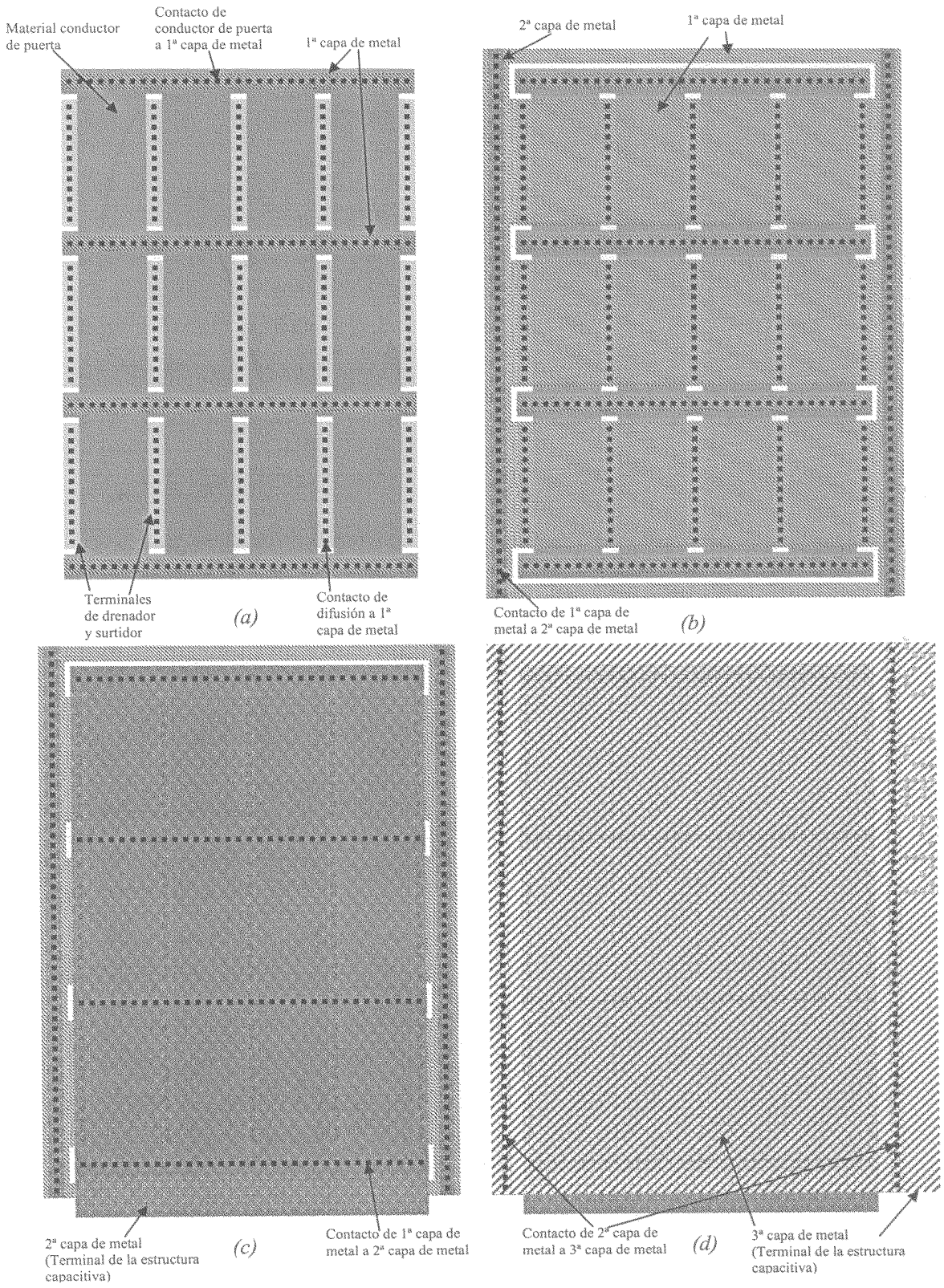
Material conductor de puerta
Contacto de conductor de puerta a 1ª capa de metal
1ª capa de metal
Terminales de drenador y surtidor
(a)
Contacto de difusión a 1ª capa de metal
2ª capa de metal
1ª capa de metal
Contacto de 1ª capa de metal a 2ª capa de metal
(b)
2ª capa de metal (Terminal de la estructura capacitiva)
(c)
Contacto de 1ª capa de metal a 2ª capa de metal
Contacto de 2ª capa de metal a 3ª capa de metal
(d)
3ª capa de metal (Terminal de la estructura capacitiva)

Figura 2

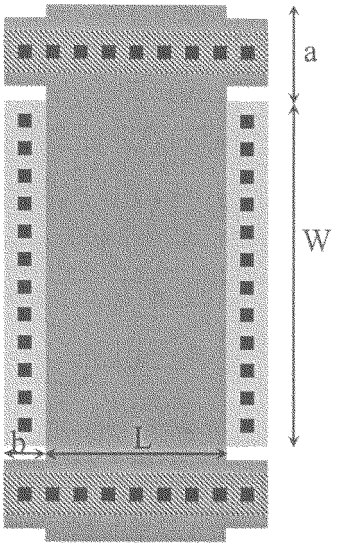

Figura 3

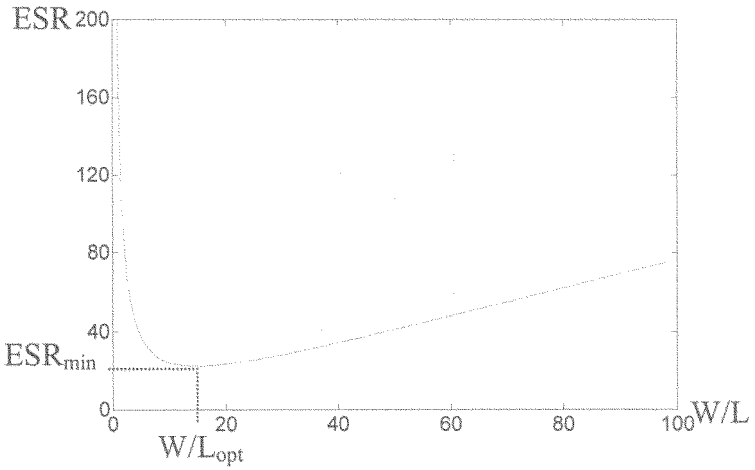

Figura 4

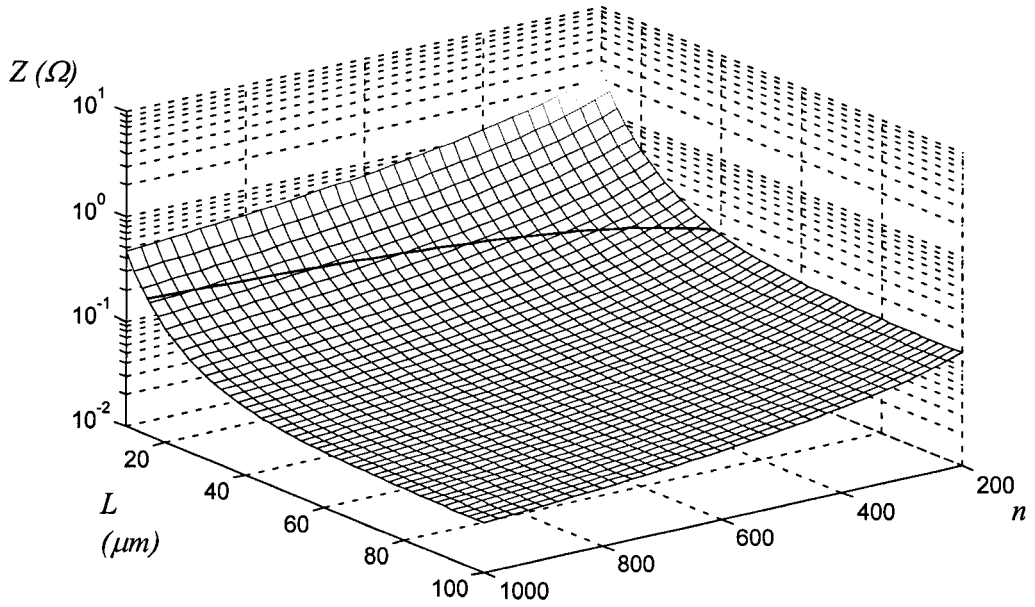

Figura 5

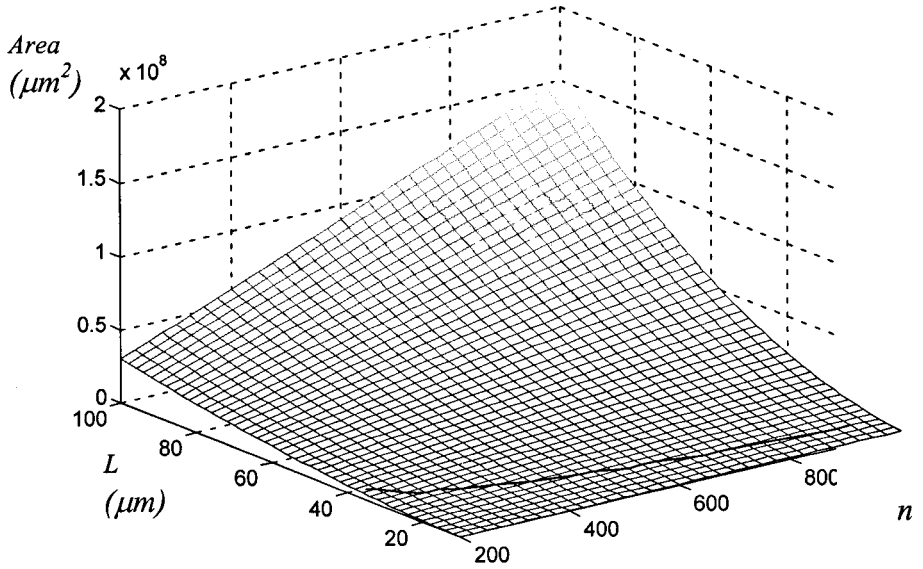

Figura 6

OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

(11) ES 2 229 947

(21) Nº de solicitud: 200302465

(22) Fecha de presentación de la solicitud: **14.10.2003**

(32) Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

(51) **Int. Cl.^{7}:** H01L 29/94

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
X	US 5469195 A (YUNG et al.) 21.11.1995, todo el documento.	1,2
A	EP 377502 A1 (NCR CORPORATION) 11.07.1990, todo el documento.	1-3
A	EP 171445 A1 (DEUTSCHE ITT INDUSTRIES GMBH) 19.02.1986, resumen; figuras.	1-3
A	WO 03021614 A1 (AVX CORPORATION) 13.03.2003, todo el documento.	1-3

Categoría de los documentos citados

X: de particular relevancia
Y: de particular relevancia combinado con otro/s de la misma categoría
A: refleja el estado de la técnica
O: referido a divulgación no escrita
P: publicado entre la fecha de prioridad y la de presentación de la solicitud
E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

☒ para todas las reivindicaciones ☐ para las reivindicaciones nº:

Fecha de realización del informe	Examinador	Página
31.03.2005	J. Botella Maldonado	1/1