

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 278 516**

21 Número de solicitud: 200502088

51 Int. Cl.:
G06N 3/00 (2006.01)
G06N 3/12 (2006.01)

12

PATENTE DE INVENCION

B1

22 Fecha de presentación: **24.08.2005**

43 Fecha de publicación de la solicitud: **01.08.2007**

Fecha de la concesión: **26.05.2008**

45 Fecha de anuncio de la concesión: **16.06.2008**

45 Fecha de publicación del folleto de la patente:
16.06.2008

73 Titular/es: **Universitat de les Illes Balears
Campus Universitario
Ctra. Valldemossa, Km. 7,5 - Edif. Son Lledó
07071 Palma de Mallorca, Baleares, ES**

72 Inventor/es: **Rosselló Sanz, Josep Lluís**

74 Agente: **Ponti Sales, Adelaida**

54 Título: **Circuito digital que implementa un algoritmo genético para la configuración de circuitos de propósito general.**

57 Resumen:

Circuito digital que implementa un algoritmo genético para la configuración de circuitos de propósito general. Circuito digital que implementa un algoritmo genético para configurar circuitos de propósito general, que proporciona una nueva configuración en cada unidad de tiempo y estima el grado de adaptación de dicho circuito, y que comprende un circuito de generación de algoritmos genéticos y un circuito de evaluación, caracterizado por el hecho de que dicho circuito de generación de algoritmos genéticos comprende al menos un generador de números aleatorios, una función lógica XOR, un primer multiplexor, un registro y un segundo multiplexor, y dicho circuito de evaluación comprende al menos un circuito de estimación de adaptación, un multiplexor, un registro y un comparador.

ES 2 278 516 B1

Aviso: Se puede realizar consulta prevista por el art. 37.3.8 LP.

DESCRIPCIÓN

Circuito digital que implementa un algoritmo genético para la configuración de circuitos de propósito general.

5 La presente invención se refiere a un circuito digital que implementa un algoritmo genético para la configuración de circuitos de propósito general. Dicha invención está optimizada para aplicaciones en tiempo real.

Antecedentes de la invención

10 John Holland describió la idea de usar la genética como modelo para resolver problemas informáticos, en su monografía de 1975 titulada “Adaptation in natural and Artificial Systems”, en castellano “Adaptación en sistemas naturales y artificiales”.

15 Holland sugería que partiendo de varios conjuntos de genes (cromosomas) elegidos aleatoriamente y a partir de una metodología para determinar si un cromosoma es mejor que otro, se puede obtener una solución óptima a partir de mecanismos de cruce, mutación y selección de los genes de esos cromosomas.

20 La programación utilizando algoritmos genéticos está pues basada en los procesos de selección natural en donde el código genético de cada nueva generación de individuos posee ciertos genes mutados que hacen que el nuevo individuo no sea idéntico al anterior. Solamente aquellos que más se adapten al medio serán los que se seleccionen para la siguiente generación.

25 Los algoritmos genéticos proporcionan un método eficaz para converger hacia soluciones en un gran universo de posibles valores. La ventaja que proporcionan sobre cualquier otro mecanismo de optimización es que se pueden aplicar a cualquier tipo de sistema o de métrica de valoración sin necesidad de cambiar los procedimientos del algoritmo.

30 Los algoritmos genéticos son ampliamente aplicados en la computación evolutiva, que es un campo de rápido crecimiento dentro de la inteligencia artificial. Se caracterizan por ser superiores a los algoritmos secuenciales de prueba y error en lo que respecta a tiempo de computación, de ahí el interés en utilizar algoritmos genéticos en la programación de sistemas que operan en tiempo real.

35 La mayoría de arquitecturas genéticas que se conocen utilizan el software para la programación genética de redes neuronales u otro tipo de sistemas (como en el artículo de Schemmel J, y col. “A VLSI Implementation of an Analog Neural Network suited for Genetic Algorithms”, 4th International Conference on Evolvable Systems ICES’01). Estos sistemas de aplicación de los algoritmos basados en software presentan la gran desventaja de su lentitud, así como la falta de fiabilidad por el hecho de ser un proceso secuencial. Así pues, un programa compilado en un procesador que ejecuta secuencialmente las instrucciones presentes en una memoria es susceptible de fallar radicalmente si algún bit de su memoria cambia de valor de forma no deseada (procesos conocidos como SEU o Single Event Upset). Estos SEU
40 puede ser debidos a la exposición del circuito a la radiación del entorno y son un problema creciente en aplicaciones espaciales, dispositivos electrónicos a bordo de vuelos comerciales o incluso en los dispositivos fabricados usando las tecnologías actuales (con longitudes típicas inferiores a los cien nanómetros) aún cuando éstas estén funcionando a nivel del mar. Otro inconveniente de los sistemas que utilizan software para la programación genética de redes neuronales es que se pierden parte de las características de redundancia y tolerancia a fallos del cómputo en paralelo de la red que tienen que configurar al depender de un proceso de aprendizaje secuencial.
45

También existen varias propuestas de implementación de algoritmos genéticos en hardware con la intención de acelerar la velocidad de procesado de dichos dispositivos. En la patente US5970487 de J. Barry Shackelford y col. “Genetic Algorithm Machine and its Production Method, and Method for Executing a Genetic Algorithm” se presenta una implementación hardware a nivel de puertas lógicas con todas las funciones propias de un algoritmo genético (creación, memorización, selección, cruce, mutación, evaluación de los genes). En la patente WO02071209 de Peter Martin “Evolutionary Programming of Configurable Logic Devices” se presenta la implementación de un algoritmo genético en un lenguaje de descripción hardware (Handel-C) que luego es compilado en una FPGA (Field Programmable Gate Array). Pese a todo, las arriba mencionadas implementaciones hardware no están optimizadas para aplicaciones
50 en tiempo real.
55

Descripción de la invención

60 Con el circuito digital de la invención se consiguen resolver los inconvenientes citados.

El circuito digital de la invención, es del tipo que implementa un algoritmo genético para configurar circuitos de propósito general (CPG), que proporciona una nueva configuración en cada unidad de tiempo y estima el grado de adaptación de dicho circuito, y comprende un circuito de generación de algoritmos genéticos (CGAG) y un circuito de evaluación (CE). Está caracterizado porque dicho CGAG comprende al menos un generador de números aleatorios (GNA), una función lógica XOR, un primer multiplexor, un registro y un segundo multiplexor y porque
65 dicho CE comprende por lo menos un circuito de estimación de adaptación (CEA), un multiplexor, un registro y un comparador.

ES 2 278 516 B1

La ventaja de esta invención (respecto a las implementaciones hardware mencionadas anteriormente) es la mayor rapidez de ejecución al implementar un algoritmo genético simplificado. Dicho circuito digital está optimizado para una sola configuración (o cromosoma) el cual se muta, se evalúa el ajuste (o adaptación) y se compara con la mejor configuración conseguida hasta el momento.

5

Al utilizar un solo individuo no se realizan los procesos de cruce, selección o utilización de una memoria para el almacenamiento de todos los individuos (una población típica puede rondar los cien individuos) como en la patente US5970487 ya mencionada. De esta manera se minimiza el hardware utilizado, se evita la necesidad de utilizar memorias RAM con lo que la ejecución del algoritmo es más veloz y mucho menos sensible a entornos de radiación como los ya mencionados (minimizando así el impacto de los SEU). Se presenta una solución pensada para aprovechar al máximo las propiedades de alta velocidad y fiabilidad derivadas del paralelismo presente en las redes neuronales o los autómatas celulares, las cuales son posibles ejemplos de aplicaciones para dicha invención. Se trata por tanto de una solución optimizada para aplicaciones que necesitan funcionar en tiempo real.

15 La operación global del circuito digital es el siguiente: La configuración del CPG es cambiada por una igual a la mejor obtenida hasta el momento excepto en algunos valores seleccionados aleatoriamente por un GNA.

El comportamiento de la nueva generación es evaluado en el circuito de evaluación CE que compara el nuevo comportamiento con el esperado. Cuando el CE encuentra que la nueva configuración es mejor, entonces el valor de ajuste es almacenado en un registro y el circuito de generación de algoritmos genéticos CGAG almacena la nueva configuración en sustitución de la anterior.

La arquitectura puede ser programada para trabajar en el modo de operación (con una configuración fija) o en el modo de aprendizaje (utilizando mutaciones de la mejor configuración seleccionadas cada cierta unidad de tiempo).

25

La arquitectura propuesta puede ser usada para la programación de redes neuronales, autómatas celulares, FPGAs o incluso de microprocesadores. Las redes neuronales y los autómatas celulares consisten en un conjunto de elementos interconexiónados en donde cada elemento realiza una operación sencilla, pero que puestos a trabajar en cooperación realizan funciones complejas como el reconocimiento de patrones, tratamiento de imágenes en tiempo real, identificación de series temporales, etc. En principio no existe una metodología establecida para la programación de dichas redes (no ocurre lo mismo con los procesadores que sí tienen una metodología bien establecida). Una opción factible es la aplicación de algoritmos genéticos a la configuración de la red. La arquitectura propuesta también puede ser aplicada para cambiar el programa almacenado en la memoria de un microprocesador.

35 Preferiblemente el circuito digital de la presente invención se caracteriza porque el comparador del CE implique cualquier tipo de desigualdad del tipo $f(A) > g(B)$, donde A es el valor de ajuste de la nueva configuración, B es el valor de ajuste de la configuración mejor, mientras que f y g son dos funciones cualesquiera.

Escogiendo funciones adecuadas al comparar los valores de ajuste de las configuraciones se consigue reducir la probabilidad de caer en mínimos locales, es decir se consigue reducir la probabilidad de acabar en soluciones alejadas de la solución óptima (o mínimo global).

Breve descripción de los dibujos

45 Para mayor comprensión de cuanto se ha expuesto se acompañan unos dibujos en los que, esquemáticamente y sólo a título de ejemplo no limitativo, se representa un caso práctico de realización.

En dichos dibujos:

50 la figura 1 es un diagrama de estados del circuito digital propuesto;

la figura 2 es un esquema del circuito digital propuesto;

55 la figura 3 es un diagrama de bloques del circuito digital propuesto;

las figuras 4 y 5 corresponden a una función ejemplo, donde se representa todo el conjunto de configuraciones que pueden ser utilizadas en el CPG y sus correspondientes valores de ajuste.

Descripción de una realización preferida

60

Como se muestra en la figura 2, el circuito digital 6 que implementa el algoritmo genético consiste en dos bloques básicos, el circuito de generación de algoritmos genéticos (CGAG) 9 y el circuito de evaluación (CE) 10.

65 Como se muestra en la figura 3, el CGAG 9 genera una nueva configuración (o cromosoma) partiendo de la mejor encontrada hasta el momento (número binario almacenado en la salida del registro 14). Usando un generador de números aleatorios 11 que puede ser un "Linear Feedback Shift Register" (LFSR) o un circuito caótico, realiza una función lógica 12 (que puede ser la función XOR) con la mejor configuración obtenida hasta el momento. El resultado es una nueva configuración (salida binaria del bloque XOR 12) que es igual a la anterior excepto en esos

ES 2 278 516 B1

casos en los que el GNA 11 proporciona un valor alto de tensión (en el caso de que 12 sea un bloque XOR). La nueva configuración (cromosoma mutado) es aplicada al CPG 7 cuando la señal de control 20 del multiplexor 15 tiene un valor alto de tensión (selección del modo aprendizaje).

5 En la figura 1 se muestra un diagrama de estados del modo aprendizaje para clarificar la secuencia de funciones ejecutadas. El último mejor cromosoma guardado en la memoria 1 es mutado aleatoriamente 2 y su ajuste evaluado 3, se compara el valor de ajuste del cromosoma mutado con el valor de ajuste del último mejor cromosoma 4 y finalmente se selecciona el cromosoma con mayor valor de ajuste 5.

10 Cuando la señal 20 es una tensión baja (modo operación) la mejor configuración que haya sido encontrada hasta el momento (y que se almacena en la salida del registro 14) es cargada al CPG 7. En el momento en el que el circuito de evaluación 10 encuentra que la nueva configuración es mejor que la anterior, el cromosoma mutado sobrescribe el valor previo de mejor configuración. Esto es realizado mediante un multiplexor 13 que es controlado por el CE 10. El reloj global 31 controla el tiempo durante el cual cada nueva configuración es evaluada.

15 El CE 10 evalúa el nivel de adaptación experimentado por el CPG 7. Un circuito de estimación de la adaptación (CEA) 16 compara el comportamiento del CPG 7 con el esperado (a elegir por el diseñador). El resultado de esta evaluación es comparado con el valor de ajuste obtenido de la mejor configuración conseguida hasta el momento y que está almacenada en el registro 18. Cuando la nueva configuración es mejor, la salida del comparador 19 indica a los multiplexores 13 y 17 que tienen que cambiar los antiguos valores de mejor configuración y mejor ajuste por los nuevos valores. Al final del tiempo de configuración (controlado por el reloj 31) los valores proporcionados a la salida de los multiplexores se almacenan en los registros 14 y 18.

25 En los algoritmos genéticos se utiliza una reproducción sexual (cruce de dos cromosomas escogidos de una población) para intentar evitar caer en mínimos locales, es decir, soluciones no óptimas al problema en cuestión. La invención presentada no utiliza cruce de cromosomas con la idea de simplificar la implementación del algoritmo, por lo que la probabilidad de caer en mínimos locales debería ser mayor que en los algoritmos donde se utiliza el cruce (ya que no se utiliza una población de cromosomas diversa y localizada en distintos puntos del espacio de búsqueda). Para solventar este inconveniente se debe utilizar un tipo de comparación en (19) bastante flexible del tipo $f(A) > g(B)$,
30 donde A es el valor de ajuste de la nueva configuración, B es el valor de ajuste de la configuración mejor, mientras que f y g son dos funciones cualesquiera.

En las figuras 4 y 5 se describe una propuesta concreta de función de comparación donde 22 representa todo el conjunto de configuraciones que pueden ser utilizadas en el CPG y 21 representa sus correspondientes valores de ajuste. Si se está en un mínimo local 23 y la configuración actual B no cambia hasta que el valor de ajuste de la configuración nueva A es mejor que el valor de ajuste de B, entonces la probabilidad de salto 28 (gracias a la mutación) del mínimo local al mínimo global 24 es pequeña (ya que las mutaciones se producen siempre a partir de una única configuración). Por otro lado, si se tolera un cierto empeoramiento en el valor de ajuste B, es decir, una desigualdad del tipo $A > B - X$ (donde X 27 designa el grado de tolerancia), entonces la probabilidad de salto 29 desde el mínimo local al global aumentan (ya que las mutaciones se producen a partir de varias configuraciones y el cono de atracción del mínimo global es mayor).

45

50

55

60

65

REIVINDICACIONES

5 1. Circuito digital (6) que implementa un algoritmo genético para configurar circuitos de propósito general (7), que proporciona una nueva configuración en cada unidad de tiempo y estima el grado de adaptación de dicho circuito (7), y que comprende un circuito de generación de algoritmos genéticos (9) y un circuito de evaluación (10);

10 **caracterizado** por el hecho de que dicho circuito de generación de algoritmos genéticos (9) comprende al menos un generador de números aleatorios (11), una función lógica XOR (12), un primer multiplexor (13), un registro (14) y un segundo multiplexor (15);

y dicho circuito de evaluación (10) comprende al menos un circuito de estimación de adaptación (16), un multiplexor (17), un registro (18) y un comparador (19).

15 2. Circuito digital (6) según la reivindicación 1, **caracterizado** por el hecho de que el generador de números aleatorios (11) es un "Linear Feedback Shift Register".

20 3. Circuito digital (6) según la reivindicación 1, **caracterizado** por el hecho de que el generador de números aleatorios (11) es un circuito caótico.

25 4. Circuito digital (6) según las reivindicaciones 1, 2 ó 3, **caracterizado** por el hecho de que la salida del generador de números aleatorios (11) y la mejor configuración son combinados con cualquier tipo de circuito lógico con el objetivo de obtener una mutación de la configuración inicial.

30 5. Circuito digital (6) según las reivindicaciones 1, 2, 3 ó 4, **caracterizado** por el hecho de que el comparador (19) del circuito de evaluación (10) implique cualquier tipo de desigualdad del tipo $f(A) > g(B)$, donde A es el valor de ajuste de la nueva configuración, B es el valor de ajuste de la configuración mejor, mientras que f y g son dos funciones cualesquiera.

35

40

45

50

55

60

65

Fig.1

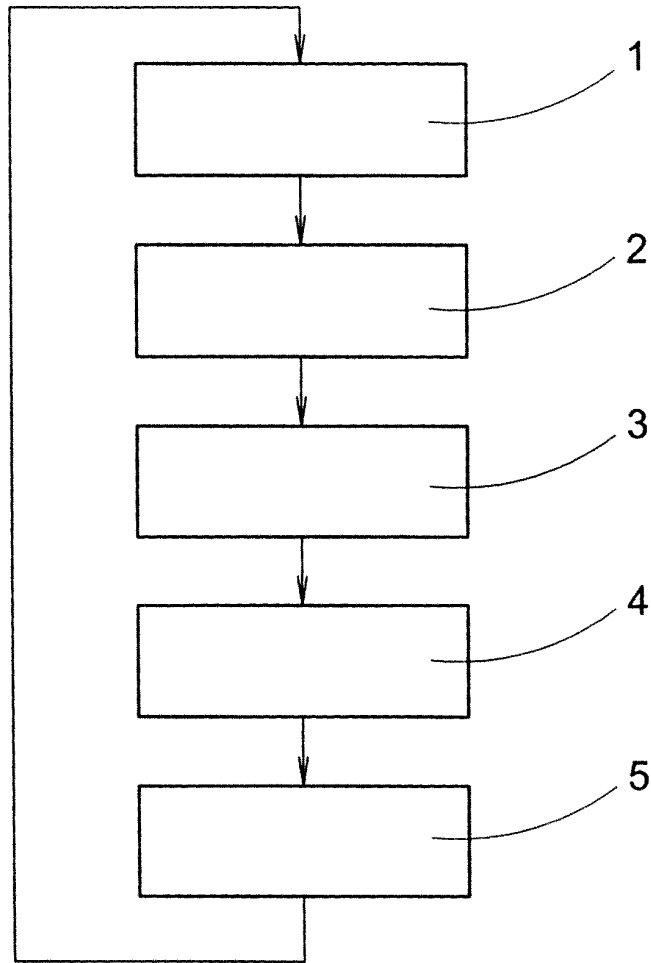
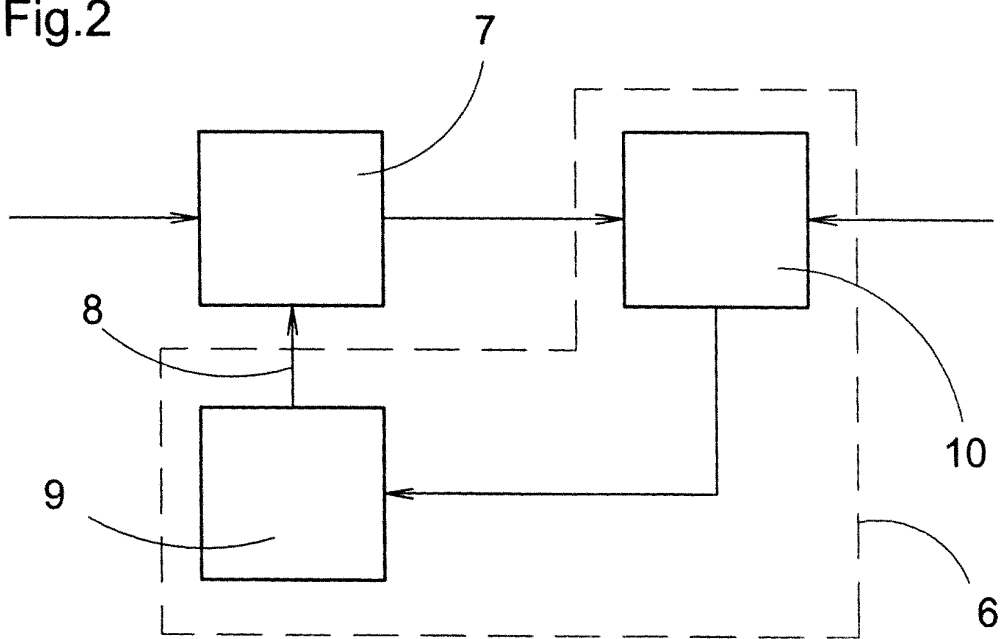


Fig.2



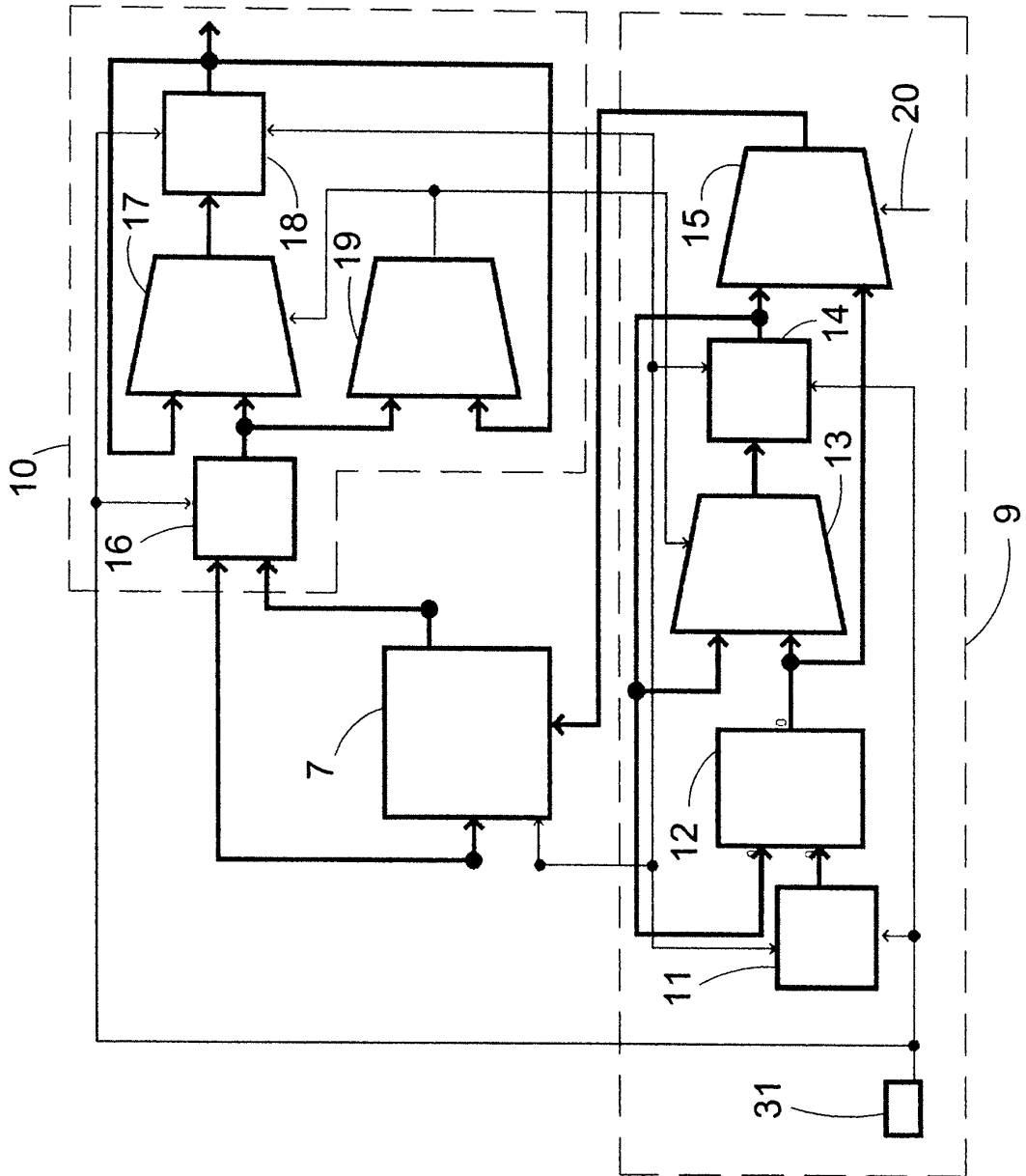


Fig.3

Fig.4

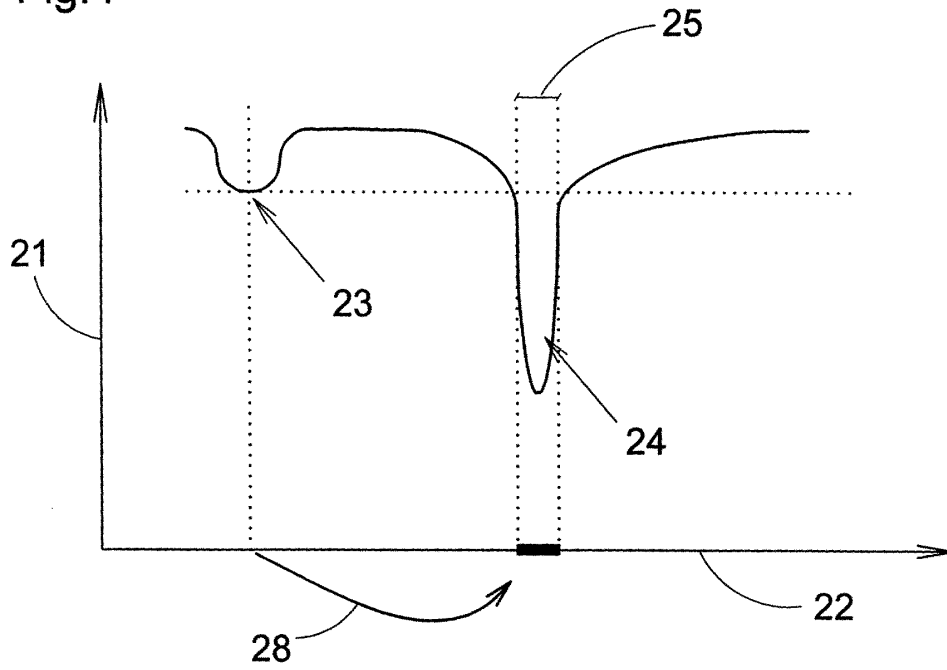
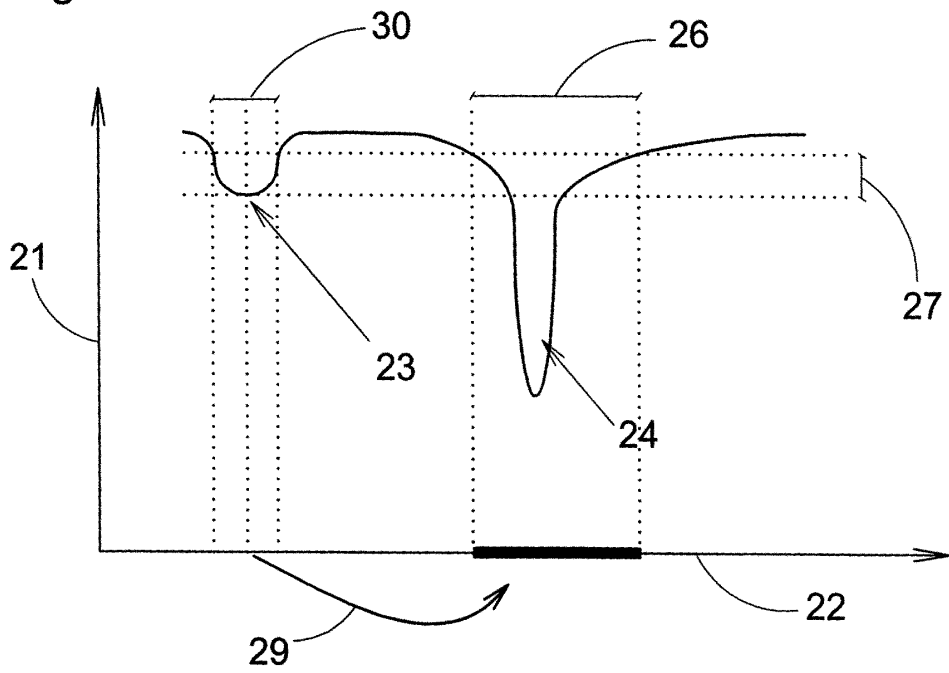


Fig.5





OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

① ES 2 278 516

② Nº de solicitud: 200502088

③ Fecha de presentación de la solicitud: **24.08.2005**

④ Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤ Int. Cl.: **G06N 3/00** (2006.01)
G06N 3/12 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
A	US 6578176 B1 (WANG et al.) 10.06.2003, columna 5, línea 17 - columna 14, línea 19; figuras 1-6.	1-5
A	US 5970487 A (SHACKLEFORD et al.) 19.10.1999, columna 5, línea 54 - columna 19, línea 63; figuras 1-17.	1-5
A	JP 2000181895 A (INST NAGOYA IND SCIENCE RES; RINNAI KK) 30.06.2000, resumen; figuras. Extraída de la base de datos PAJ en EPODOC.	1
A	US 2004059955 A1 (TAKAMASHI et al.) 25.03.2005, párrafos [0190-0224]; figuras 14-20.	1

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe
03.07.2007

Examinador
P. Pérez Fernández

Página
1/1