



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 357 436**

51 Int. Cl.:  
**H03L 7/00** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **04814246 .7**

96 Fecha de presentación : **13.12.2004**

97 Número de publicación de la solicitud: **1692768**

97 Fecha de publicación de la solicitud: **23.08.2006**

54 Título: **Bucle de enganche de fase que regula la ganancia automáticamente.**

30 Prioridad: **12.12.2003 GB 0328898**

45 Fecha de publicación de la mención BOPI:  
**26.04.2011**

45 Fecha de la publicación del folleto de la patente:  
**26.04.2011**

73 Titular/es: **QUALCOMM, Incorporated**  
**5775 Morehouse Drive**  
**San Diego, California 92121, US**

72 Inventor/es: **Smith, Alan, Andrew (Deceased) y**  
**Harris, Mark V.**

74 Agente: **Carpintero López, Mario**

ES 2 357 436 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

## ANTECEDENTES

La invención se refiere a un bucle de enganche de fase. Más específicamente, la invención se refiere a un bucle de enganche de fase que regula la ganancia automáticamente.

5 Los teléfonos móviles y otros transceptores de comunicación generalmente comprenden circuitos diferentes de transmisión y recepción que comparten un único sintetizador de frecuencia. El sintetizador de frecuencia sirve como oscilador local para los circuitos tanto de transmisión como de recepción del transceptor. Estos sintetizadores de frecuencia típicamente comprenden un bucle de enganche de fase (PLL) que puede controlarse para que oscile a frecuencias específicas. Cuando el teléfono está recibiendo señales, el PLL estará controlado para que oscile a una frecuencia de recepción y cuando el teléfono está transmitiendo, el PLL estará controlado para oscilar a una frecuencia de transmisión.

10 Muchos teléfonos móviles modernos están diseñados para funcionar en plurales sistemas celulares diferentes, de propiedad de diferentes operadores y manipulados según diferentes normas de comunicaciones. Esto habitualmente significa que el receptor del teléfono debe ser capaz de recibir señales a frecuencias ampliamente diferentes y de conmutar rápidamente entre esas frecuencias. Lo mismo sucede con el transmisor.

15 Cuando el receptor (o transmisor) cambia de una frecuencia a otra, existe un periodo de tiempo en el que el oscilador local no está sincronizado en una frecuencia. No es posible la comunicación durante este periodo de tiempo y el teléfono móvil tiene que esperar a que el oscilador local se sincronice en una frecuencia antes de que puedan reanudarse las comunicaciones por el aire.

20 Si el oscilador local permanece sin sincronizar en una frecuencia demasiado tiempo, podría interrumpirse el funcionamiento del teléfono. Como mínimo, esto provocará la degradación de la percepción del usuario sobre la calidad del servicio. En el peor de los casos, podría provocar el cese de la comunicación. Por lo tanto, es deseable minimizar el tiempo que el oscilador permanece sin sincronizar. Un modo de minimizar ese tiempo es disminuir el tiempo que le lleva al PLL cambiar entre diferentes frecuencias.

25 La ganancia global de un PLL es un factor que afecta a la velocidad a la que el PLL puede cambiar de una frecuencia de funcionamiento a otra. Un PLL con una elevada ganancia cambiará más rápidamente entre frecuencias que un PLL con una ganancia inferior. Un PLL con ganancia inferior es más estable una vez sincronizado en la frecuencia deseada. Sin embargo, cuando se usa un PLL de ganancia inferior para grandes cambios de frecuencia, puede suceder un estado conocido como salto de ciclo. El salto de ciclo sucede cuando el error de fase aumenta y excede los 360 grados. En el punto en el que el error de fase excede los 360 grados hay una transición brusca. Cuando un PLL encuentra esta transición brusca, generalmente alarga enormemente el tiempo que le lleva a un PLL volver a menos de 360 grados de error y sincronizarse en una nueva frecuencia. Un PLL de mayor ganancia generalmente tolerará cambios de frecuencia más grandes sin que suceda el salto de ciclo.

30 Para sacar provecho de los beneficios de una ganancia tanto alta como baja en un PLL, los sistemas actuales tienden a utilizar los PLL con ganancia seleccionable. Los PLL disponibles en el mercado generalmente ofrecen una selección de valores de ganancia programables para el detector de fase. Ajustando la ganancia del detector de fase, puede ajustarse la ganancia global del PLL. Se selecciona una ganancia baja cuando el PLL está sincronizado en una frecuencia y se selecciona una alta ganancia durante los cambios de una frecuencia a otra.

35 Las tecnologías actuales que usan diferentes ganancias del detector de fase implican programar el detector de fase para cada cambio de ganancia. Por ejemplo, un PLL está programado para una frecuencia primera o inicial. Cuando se sincroniza en esta primera frecuencia, el detector de fase está en ganancia baja. Cuando se inicia un cambio en la frecuencia, el PLL está programado para una segunda frecuencia; y el detector de fase está programado simultáneamente para alta ganancia. Según el PLL se acerca a la segunda frecuencia, el detector de fase se reprograma entonces para baja ganancia. Como alternativa, el detector de fase podría reprogramarse para reducir la ganancia en base al tiempo a alta ganancia en lugar de la proximidad a la segunda frecuencia.

40 La re-programación repetida del PLL consume un tiempo valioso del procesador en las técnicas actuales.

45 Se llama la atención además al documento US 6.188.289, que describe un oscilador controlado por tensión de intervalo amplio, que incluye una unidad de conversión de tensión-a-corriente que genera una corriente de control sensible a una tensión de control, y una unidad de generación de corriente desplazada que genera una corriente desplazada. La unidad de generación de corriente desplazada es sensible a la tensión de control y, en ciertos momentos, es sensible a una tensión de referencia. Una unidad de adición añade la corriente de control a la corriente desplazada, y genera una corriente de control de la oscilación. Una unidad de oscilación genera la señal de oscilación sensible a la corriente de control de la oscilación.

55 También se reclama atención al documento de YEAGER R: "LOOP GAIN COMPENSATION IN PHASE-LOCKED LOOPS" ["COMPENSACIÓN DE GANANCIA DE BUCLE EN BUCLES ENGANCHADOS EN FASE"], RCA REVIEW, RCA CORP., PRINCETON, US, vol. 47, 1 de marzo de 1986 (1986-03-01), páginas 78-87, XP002011878. El documento

expone un procedimiento para el ajuste de la ganancia del detector de fase a fin de compensar las variaciones en factores de división y en osciladores controlados por tensión, lo que lleva a su vez a diferencias en la respuesta de frecuencia de bucle cerrado de los bucles enganchados en fase.

5 Se reclama atención adicional al documento EP-A-0500014, que expone un generador de señales de diferencia de fase que responde a dos señales de entrada para generar dos señales de diferencia de fase, que se elevan en un intervalo de tiempo correspondiente a la diferencia de fase entre las dos señales de entrada y que caen a la vez. Un detector de señal retrasada detecta una señal retrasada entre las dos señales de diferencia de fase y un generador de pulsos responde a la salida detectada del detector de señal retrasada para generar un pulso de apéndice, de un ancho mayor que un ancho predeterminado. El pulso de apéndice se anexa, por un circuito de anexión de pulsos, a cada una de las 10 dos señales de diferencia de fase, para formar una señal extendida de diferencia de fase. Un detector de diferencia de fase detecta la diferencia entre las dos señales extendidas de diferencia de fase y emite un componente de baja frecuencia de la diferencia, como una tensión correspondiente a la diferencia de fase entre las dos señales de entrada.

15 Se reclama atención al documento JP-57141137, que se propone acortar un tiempo de introducción detectando un desplazamiento en la frecuencia de salida desde una frecuencia central y conmutando las ganancias de bucle en base al valor detectado. El documento revela que la fase de una señal de entrada es comparada con la de una señal de salida por un comparador de fase, y sobre la base de su salida de diferencia de fase, un oscilador controlado por tensión es controlado para obtener una señal de salida cuya fase se sincroniza con la de la señal de salida. Luego, un detector de variación de frecuencia detecta la señal de salida desplazándose en frecuencia desde una frecuencia central en una frecuencia de umbral, o más, y sobre la base de su salida de detección, se controla un conmutador de ganancia de bucle para conmutar una ganancia G2 de bucle a una G1, acortando por ello un tiempo de introducción durante el 20 suministro de energía y después de la recuperación de una interrupción de la señal de entrada. Cuando la frecuencia de salida disminuye por debajo de la frecuencia de umbral, se reinicia la ganancia de bucle a la original, efectuando así la estabilización.

25 Finalmente, se reclama atención al documento US 6356158, que revela un PLL con un detector de fase que es sensible a una señal de control de ganancia. El documento revela que se mejora el tiempo de bloqueo usando una ganancia mayor del detector de fase durante un periodo inicial de la etapa de bloqueo y al conmutar a una ganancia menor durante el resto de la etapa de bloqueo. La ganancia se fija después de un tiempo predeterminado.

30 Según la presente invención, se proporciona un procedimiento para regular automáticamente la ganancia en un bucle de enganche de fase, PLL, como se expone en la reivindicación 1. Las realizaciones de la invención se reivindican en las reivindicaciones dependientes.

35 Según un aspecto de la invención, se proporciona un bucle de enganche en fase, PLL, que regula la ganancia automáticamente. El PLL comprende un discriminador de frecuencia para proporcionar una primera señal que representa la diferencia entre una primera frecuencia y una segunda frecuencia. El PLL también comprende un comparador acoplado al discriminador de frecuencia para recibir la primera señal y proporcionar una segunda señal basada en información de la primera señal. La segunda señal es representativa de una regulación de la ganancia para el bucle de enganche de fase a regular.

40 De acuerdo con otro aspecto de la invención, se proporciona un procedimiento para regular automáticamente la ganancia en un bucle de enganche de fase, PLL, en el que el PLL comprende un detector de fase. El procedimiento comprende iniciar un cambio de frecuencia en el funcionamiento del PLL desde una primera frecuencia a una segunda frecuencia, aumentando la ganancia del detector de fase al inicio del cambio de frecuencia, y disminuyendo la ganancia del detector de fase en base a una característica predeterminada del funcionamiento del PLL durante el cambio de frecuencia.

45 Las características anteriores y las adicionales de la invención se exponen con particularidad en las reivindicaciones adjuntas y, junto con ventajas de las mismas, llegarán a estar más claras a partir de la consideración de la siguiente descripción detallada de una realización ejemplar de la invención dada con referencia a los dibujos adjuntos.

## BREVE DESCRIPCIÓN DE LOS DIBUJOS

En los dibujos:

la Figura 1 es un diagrama en bloques de un bucle de enganche de fase que regula la ganancia independientemente;

50 la Figura 2 es una representación gráfica de la relación funcional entre la señal de entrada A y la señal de salida B para un comparador de ventana;

la Figura 3 es una implementación de un discriminador de frecuencia del bucle de enganche de fase de la Figura 1;

la Figura 4 es una implementación alternativa de un discriminador de frecuencia y un comparador de ventana;

la Figura 5 es un diagrama en bloques de una implementación de una tabla de consulta que contiene información de los valores de tiempo, usada para determinar la duración de alta ganancia de un PLL durante un cambio de frecuencia.

**DESCRIPCIÓN DETALLADA**

Pasando ahora a la Figura 1 de los dibujos adjuntos, se muestra un bucle de enganche de fase (mencionado a partir de ahora en este documento como PLL) 99, en el que se regulan automáticamente la alta ganancia y la baja ganancia. Es decir, las ganancias del PLL se regulan sin intervención de un controlador externo tal como un procesador de sistema de teléfono móvil. Por simplicidad de descripción, se analizan dos regulaciones de ganancia, baja ganancia y alta ganancia. Los especialistas en la técnica apreciarán que pueden usarse múltiples regulaciones de ganancia.

Un oscilador controlado por tensión (mencionado a partir de ahora en este documento como VCO) 110 acciona un contador programable 115 divisor-por-N, para proporcionar una señal SN en la salida del contador 115. El oscilador 125 de referencia acciona un contador programable 120 divisor-por-R, para proporcionar la señal SR en la salida del contador 120. Un discriminador 130 de frecuencia recibe y usa la señal SN y la señal SR para proporcionar una señal A al comparador 135 de ventana. La señal A es representativa de la diferencia entre las dos señales de entrada, la señal SN y la señal SR. El comparador 135 de ventana recibe la señal A y aplica una función a la misma, que causa que se genere la señal B y se proporcione a un detector 100 de fase. El detector 100 de fase recibe la señal SN y la señal SR, y proporciona realimentación a través de un filtro 105 de bucle hasta el VCO 110. El detector 100 de fase también recibe la señal B y usa la señal B para determinar las regulaciones adecuadas de la ganancia del detector de fase.

En la Figura 2 de los dibujos adjuntos se muestra una representación gráfica de la función de la señal B con relación a la señal A. En este ejemplo, cuando la diferencia entre la señal SN y la señal SR (representada por la señal A) es cercana a cero, la señal B es baja. Cuando la diferencia (representada por la señal A) está por encima de un nivel preestablecido (positivo o negativo), la señal B es alta. El detector 100 de fase usa la señal alta o baja para establecer ganancias altas o bajas, respectivamente. De este modo, la ganancia del detector 100 de fase permanece regulada baja para cambios pequeños de frecuencia y solamente se conmuta a alta para cambios de frecuencia más grandes.

Los especialistas en la técnica apreciarán que la transición entre la ganancia baja y alta no tiene que ser una función cuadrada como se representa en la Figura 2. Pueden usarse transiciones más suaves usando múltiples ganancias diferentes, según lo dicten los requisitos del diseño.

La ganancia de bucle se regula ajustando la ganancia del detector 100 de fase. También se apreciará que la ganancia de bucle puede ajustarse de otros modos. Por ejemplo, el ajuste de la ganancia del VCO 110 o el filtro 105 de bucle también podría usarse para ajustar la ganancia global del bucle de enganche de fase.

Pasando ahora a la Figura 3, se muestra en más detalle una implementación del discriminador 130 de frecuencia. Un primer monoestable 320 tiene una entrada acoplada para recibir la señal SN desde el contador 115 y una salida acoplada a un primer filtro 310 de paso bajo. Un segundo monoestable 340 tiene una entrada acoplada para recibir la señal SR desde el contador 120 y una salida acoplada a un segundo filtro 330 de paso bajo. Los filtros 310 y 330 de paso bajo primero y segundo tienen salidas acopladas a un amplificador diferencial 300 que a su vez tiene una salida acoplada para proporcionar una señal al comparador 135 de ventana (véase la Figura 1).

Cada combinación de monoestable (320, 340) y filtro (310, 330) de paso bajo proporciona una señal con un nivel de DC que es linealmente proporcional a la frecuencia de la señal en la entrada del monoestable. El amplificador diferencial 300 recibe las señales de los filtros (320, 330) de paso bajo, compara las dos señales y proporciona al comparador 135 de ventana una señal A que es proporcional a la diferencia en las frecuencias de las señales SN y SR.

Una implementación alternativa del discriminador 130 de frecuencia y el comparador 135 de ventana se muestra en más detalle en la Figura 4. Un circuito aditivo-sustractor digital 430 recibe la señal SN y la señal SR. La salida del circuito aditivo-sustractor 430 funciona de tal modo que cada pulso de la señal SN aumenta la salida en uno y cada pulso de la señal SR reduce la salida en uno. Por tanto, cuando las frecuencias de la señal SN y SR son iguales (o la diferencia de frecuencia es cero) la salida del circuito aditivo-sustractor se estabiliza en un valor. En la práctica, podría usarse una característica de reinicio para forzar que el valor estabilizado sea igual a cero.

La salida desde el circuito aditivo-sustractor 430 se proporciona a un convertidor de digital a analógico DAC 420. La salida del DAC 420 se proporciona a un diferenciador 410 a través de un filtro de paso bajo (no mostrado), con lo cual el diferenciador 410 proporciona una salida al comparador 135 de ventana. La salida del diferenciador 410 es linealmente proporcional a la diferencia de frecuencia entre la señal SN y la señal SR.

Observando más de cerca la salida del diferenciador 410 según se proporciona al comparador 135 de ventana, el funcionamiento del comparador 135 de ventana depende de la tensión de la señal del diferenciador 410. Si la señal del diferenciador 410 está por encima de un umbral preestablecido con relación al cero o por debajo de un umbral preestablecido con relación al cero, entonces la salida del comparador 135 de ventana es alta. Si la señal desde el diferenciador 410 es más pequeña que un valor preestablecido, entonces la salida del comparador 135 de ventana es baja. La salida del comparador 135 de ventana es recibida por el detector 100 de fase y causa que la ganancia del detector 100 de fase se regule a un valor alto o bajo, según que la señal del comparador de ventana sea alta o baja, respectivamente. En el circuito mostrado en la Figura 4, los umbrales están determinados por los valores de los resistores R1, R2 y R3.

En la Figura 4 se muestran adicionalmente el caso 1 y el caso 2, que son representaciones gráficas de la relación entre

la señal A emitida por el diferenciador 410 y la entrada al diferenciador 410. En el caso 1 y 2, cuando el gradiente en diente de sierra está disminuyendo con el tiempo, se reduce la diferencia en la frecuencia. En la región por encima de (a) o por debajo de (b) el comparador 135 de ventana regula la señal B como alta. En la región acotada por (a) y (b) alrededor de la línea de error de frecuencia cero, el comparador 135 de ventana regula la señal B como baja. El detector 100 de fase reacciona fijando la ganancia del detector de fase como baja o alta, en base a que la señal B sea respectivamente baja o alta.

Una implementación alternativa para seleccionar ganancia baja casi al completarse un cambio de frecuencia, es seleccionar la ganancia baja una vez que el error de frecuencia cambia de signo. Esto sucedería cuando el valor del error de frecuencia (la diferencia entre la frecuencia deseada y la frecuencia presente, representada por el caso 1 o el caso 2) cruce la línea de error de frecuencia igual a cero. Hasta que se cruce la línea de error cero, el PLL mantendría ganancia alta.

Otra implementación alternativa es para seleccionar ganancia baja en base a la velocidad del cambio del error de frecuencia. Según se aproxima la frecuencia deseada, la velocidad de cambio a la que el detector 100 de fase está cambiando se reducirá con relación a la proximidad a la frecuencia deseada. Una vez que se alcanza una velocidad predeterminada de cambio, se señala la ganancia baja al detector de fase. El detector de fase responde seleccionando la ganancia baja.

Pasando a la Figura 5, se muestra un diagrama en bloques de un PLL en el que se usa una tabla de consulta (LUT) 540 para determinar la duración de la regulación de ganancia alta para el PLL, a usar durante un cambio de frecuencia. Los valores almacenados en la LUT son los valores de tiempo para los cuales el PLL mantiene ganancia alta. Una vez que se ha establecido la ganancia alta para un cambio de frecuencia, el PLL volverá a la ganancia baja automáticamente en base al tiempo en ganancia alta.

La interfaz 500 de programación inicializa la LUT 540. Si la LUT está basada en memoria sólo de lectura (ROM), entonces esta operación no es aplicable. La interfaz 500 de programación también se usa para programar los registros 520 y 530.

La unidad 510 de generación de direcciones para la LUT compara la configuración activa actual del PLL, almacenada en el registro, o registros, 520 de configuración, con la nueva configuración almacenada en el registro, o registros, 530 de desplazamiento y devuelve una dirección de la LUT 540. En esta dirección en la LUT 540 hay un valor de tiempo que representa la duración del tiempo durante el cual el PLL aplica ganancia alta durante un cambio de frecuencia. El valor de tiempo de la LUT 540 se proporciona al control 550 del detector de fase.

El control 550 del detector de fase proporciona al PLL el valor del tiempo durante el cual el PLL aplica ganancia alta durante un cambio de frecuencia, junto con una indicación de que se seleccione ganancia alta para el detector 100 de fase.

De este modo, el procesador del sistema se usa para programar inicialmente el PLL en ganancia alta para un cambio de frecuencia, pero el procesador no se usa para la reducción posterior en la ganancia cuando el PLL se acerca a la frecuencia deseada. Una vez que ha pasado el tiempo adecuado, el PLL vuelve a la ganancia baja automáticamente.

Las tablas de consulta (LUT) tienden a ser costosas en términos de espacio de chip y por lo tanto es deseable usar pequeñas LUT cuando sea posible. Sin embargo, los requisitos del sistema a menudo estipulan el uso de una gran LUT.

Por ejemplo, en comunicación inalámbrica, el Sistema Global para Comunicación, GSM, primario tiene 124 canales de radiofrecuencia discretos. Una LUT que proporciona una asociación directa desde cualquier canal a cualquier otro canal sería una matriz de 124 x 124 elementos. Los requisitos de memoria y los requisitos de hardware para contener los datos para una matriz LUT de este tamaño son grandes.

Para reducir el tamaño de la LUT para el PLL de la Figura 5, las entradas están agrupadas entre sí y promediadas para producir una única entrada que servirá para múltiples cambios de canal.

En el GSM, el tamaño de la LUT se reduce a una matriz de 31 x 31 elementos agrupando conjuntos de 4 elementos entre sí y promediándolos. Se requiere significativamente menos memoria para almacenar los elementos de la matriz reducida, debido a la cantidad significativamente menor de elementos. Cada entrada representa la duración del tiempo en ganancia alta que el PLL ha de mantener para un cambio de frecuencia. Cada valor de duración de ganancia alta se aplica a cuatro canales del GSM. El promedio de los elementos matriciales sacrifica cierto grado de precisión y rendimiento, pero es más manejable desde el punto de vista del tamaño de memoria.

En funcionamiento, el canal de inicio (Cs) que es uno de los 124 canales GSM disponibles, se divide entre 4 para identificar su grupo de canales de inicio (Gs). El grupo de canales de inicio es representativo de uno de los elementos de la matriz reducida de 31 x 31 elementos. El canal de destino (Cd) también se divide entre 4 para identificar su grupo de canales de destino (Gd). De este modo, el PLL usa la duración de la ganancia alta, almacenada en el elemento LUT (Gs,Gd) al cambiar desde un canal de inicio Cs al canal de destino Cd.

En forma de expresiones:

$G_s = C_s$  dividido entre 4

$G_d = C_d$  dividido entre 4

Duración de Ganancia Alta=LUT ( $G_s, G_d$ )

5 Un ejemplo más específico de la implementación es el PLL que tiene un requisito para la transición desde el canal 120 al canal 45. El grupo de canales de inicio:  $G_s = 120/4 = 30$ . Por tanto, el canal de inicio,  $C_s=120$ , es un miembro del grupo 30 de canales de inicio de la matriz reducida. El grupo de canales de destino:  $G_d = 45/4 = 11,25$ . En esta situación todas las fracciones se redondean al alza al número entero más cercano y por tanto el canal de destino,  $C_d=45$ , es un miembro del grupo 12 de canales de destino.

10 Se consiguen reducciones adicionales en el tamaño de la LUT cuando la duración de la ganancia alta requerida para ir de  $C_s$  a  $C_d$  es igual que para ir de  $C_d$  a  $C_s$ . En funcionamiento, solamente se usa un conjunto de valores. Los elementos de la matriz que están duplicados no es necesario que se almacenen en la memoria.

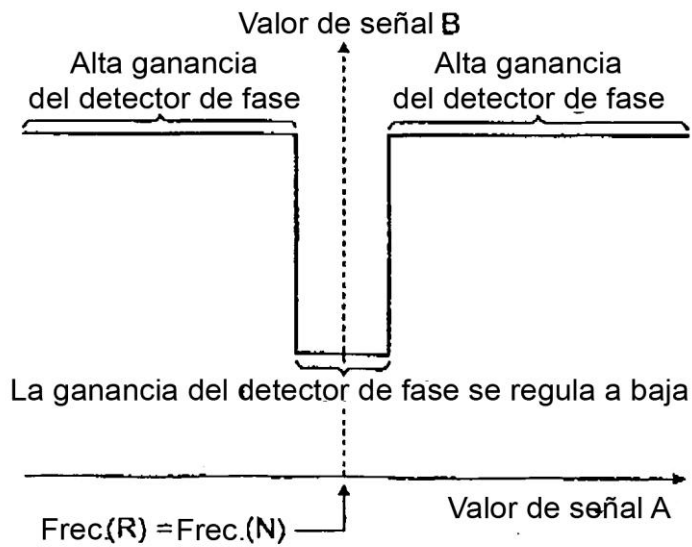
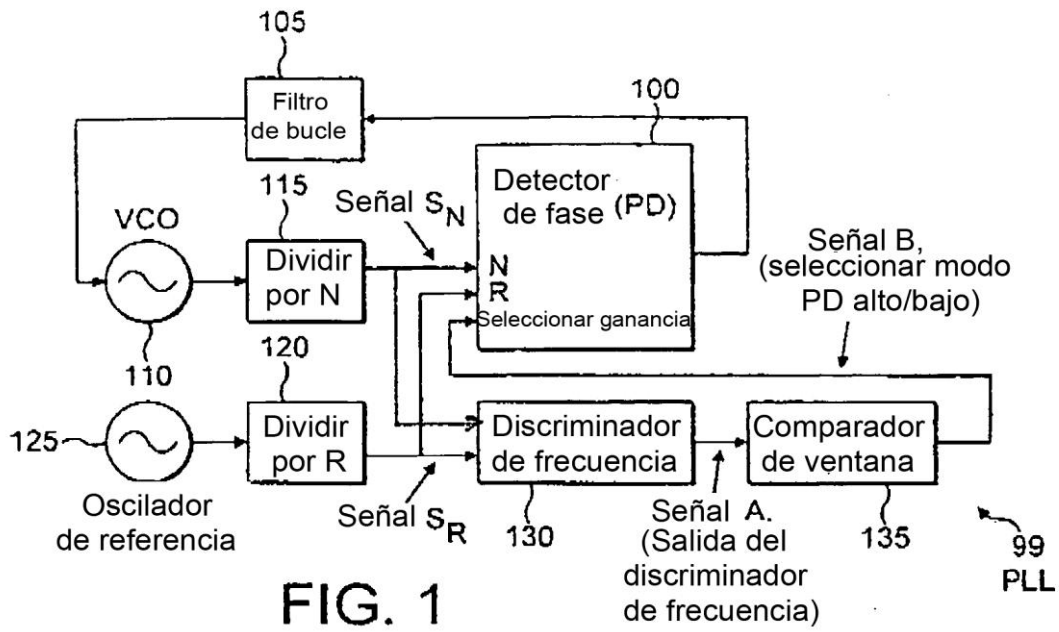
15 Reducciones adicionales en el tamaño del hardware podrían sugerir que la LUT estuviera basada en memoria sólo de lectura (ROM). Esto requiere menos hardware que una memoria de acceso aleatorio (RAM) comparable. Cambios significativos del circuito, sin embargo, imponen el requisito añadido de refabricar los contenidos de la ROM cada vez que haya un cambio.

20 Para maximizar el rendimiento de una LUT, el circuito que está asociado a la LUT debería estar completamente caracterizado. Para que un circuito esté completamente caracterizado, se construye y evalúa el circuito según las características de funcionamiento reales del circuito. Las características de funcionamiento son específicas para el hardware y los procedimientos de construcción usados para construir el circuito. Las características de funcionamiento reales del circuito se usan para desarrollar información precisa para los elementos de la LUT. Alteraciones significativas del circuito, sin embargo, harían necesaria la reevaluación de la información para los elementos de la LUT.

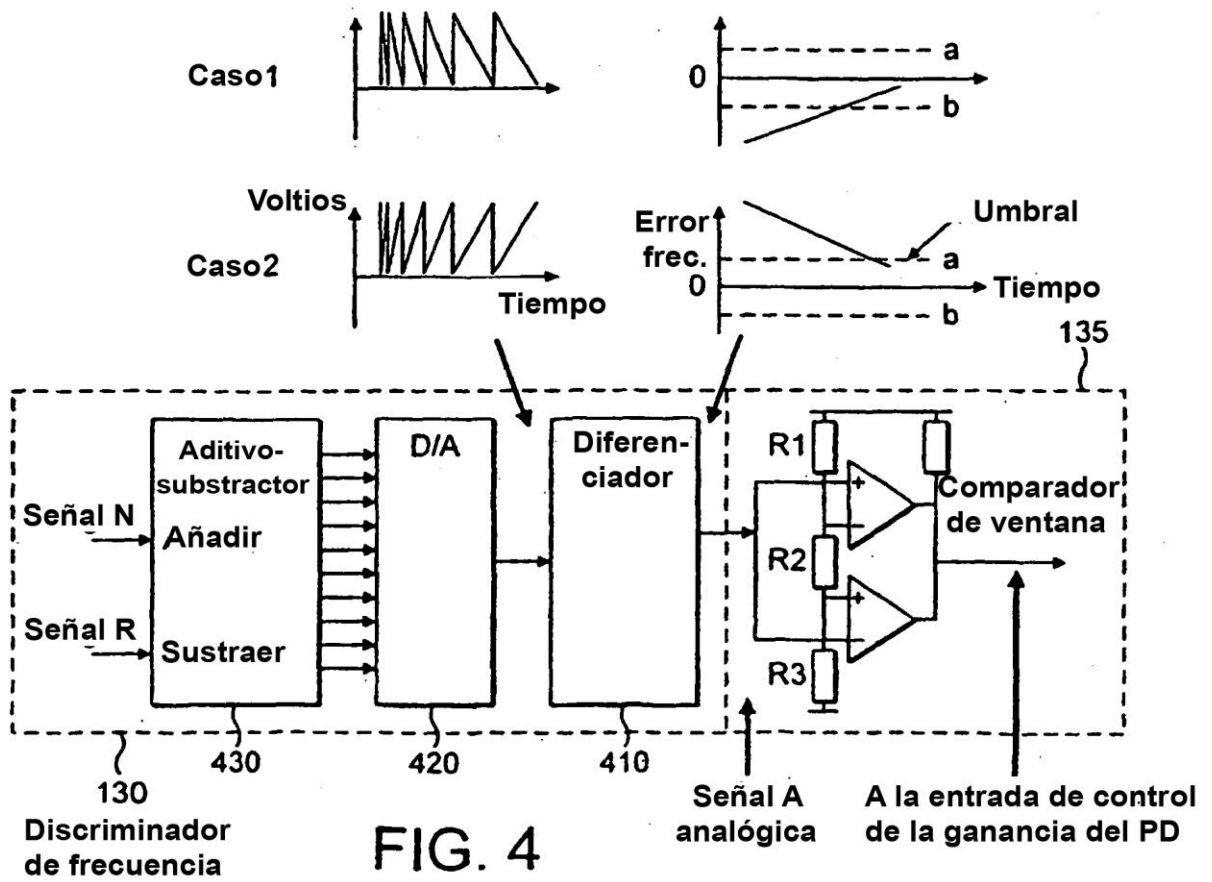
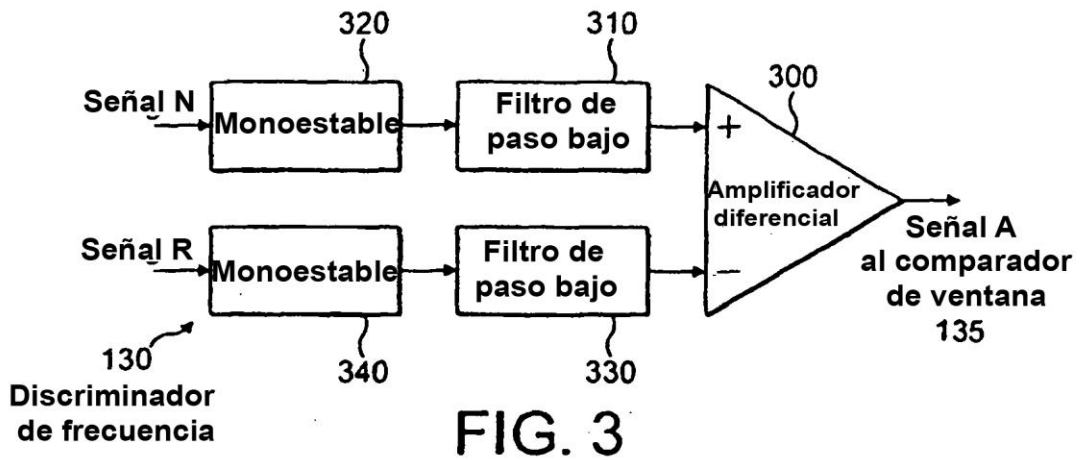
Los especialistas apreciarán que el enfoque de usar una LUT para regular las ganancias del PLL sería muy adecuado para aplicaciones en las que reducir la implicación del procesador con las regulaciones de ganancia del PLL es de alta prioridad con relación a los requisitos de tamaño de memoria o hardware.

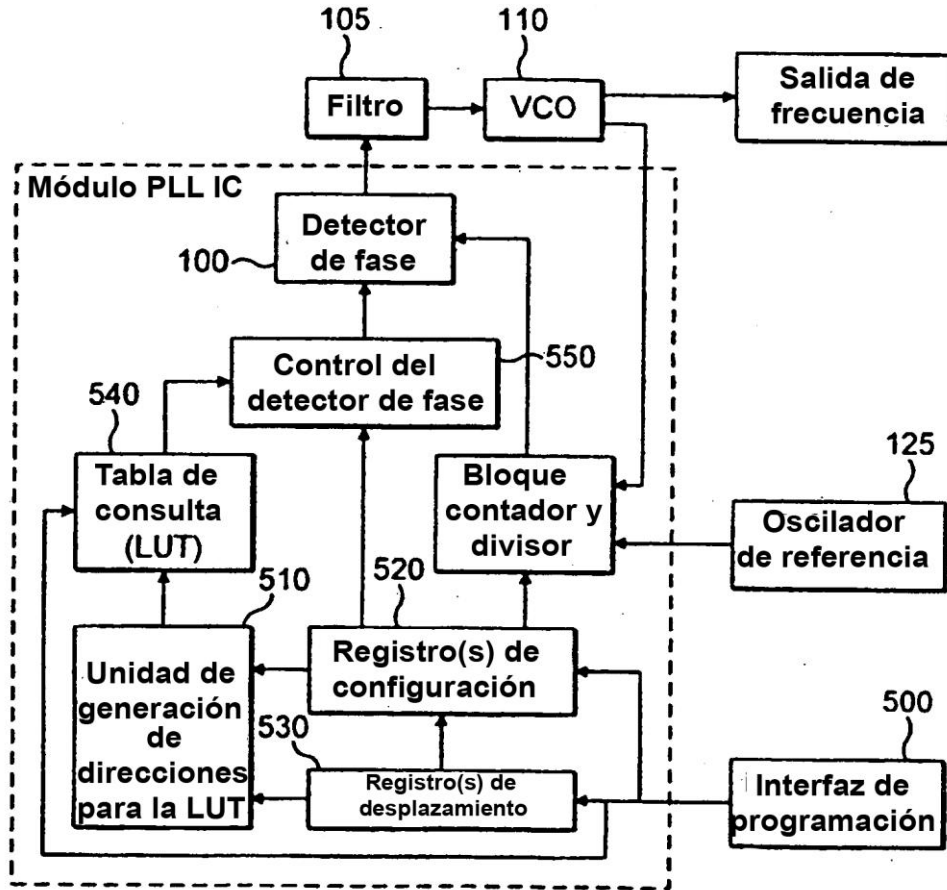
**REIVINDICACIONES**

1. Un procedimiento para regular automáticamente la ganancia en un bucle de enganche en fase, PLL (99), en el cual el PLL (99) comprende un detector (100) de fase, comprendiendo el procedimiento:
- 5 iniciar un cambio de frecuencia en el funcionamiento del PLL (99) desde una primera frecuencia a una segunda frecuencia;
- 5 aumentar la ganancia del detector (100) de fase al comienzo del cambio de frecuencia; y
- reducir la ganancia del detector (100) de fase;
- determinar una diferencia entre la primera frecuencia y la segunda frecuencia,
- caracterizado porque** el procedimiento comprende adicionalmente:
- en el cual la determinación de una diferencia entre la primera frecuencia y la segunda frecuencia comprende:
- 10 recibir en un circuito aditivo-sustractor (430) la señal de la primera frecuencia y la señal de la segunda frecuencia, y proporcionar una señal digital;
- convertir, en un convertidor (420) de digital a analógico, la señal digital en una señal analógica; y
- 15 recibir en un diferenciador (410) la señal analógica y generar una primera señal (A), en el cual la primera señal (A) es representativa de la diferencia entre la señal de la primera frecuencia y la señal de la segunda frecuencia
- recibir, en un comparador (135) de ventana, desde el diferenciador (410), la primera señal (A);
- comparar la primera señal (A) con umbrales relacionados con la diferencia de frecuencia, en donde los umbrales definen una ventana de comparación predeterminada;
- 20 generar una segunda señal (B) en base a la comparación y proporcionar la segunda señal (B) a un detector (100) de fase;
- recibir en el detector (100) de fase la segunda señal (B), siendo el detector (100) de fase operable en múltiples ganancias, como función de la segunda señal (B); y en el cual la reducción de la ganancia del detector (100) de fase se basa en dicha segunda señal (B).
2. El procedimiento de la reivindicación 1, en el cual el detector (100) de fase es operable en dos ganancias.
- 25 3. El procedimiento de la reivindicación 1, en el cual dichos umbrales comprenden un primer valor (a) de umbral que corresponde a un primer valor de la diferencia de frecuencia, y un segundo valor (b) de umbral que corresponde a un segundo valor de la diferencia de frecuencia.
- 30 4. El procedimiento de la reivindicación 3, en el cual la ganancia del detector (100) de fase se regula en un valor de ganancia mayor para valores de la primera señal (A) que estén fuera de la ventana de comparación predeterminada, y la ganancia del detector (100) de fase se regula en un valor de ganancia menor para valores de la primera señal (A) que estén dentro de la ventana de comparación predeterminada.
5. El procedimiento de la reivindicación 1, en el cual la ganancia se reduce cuando la diferencia de frecuencia es cero.









Implementación de tabla de consulta

FIG. 5