



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 357 852**

51 Int. Cl.:
H02M 7/48 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **06425361 .0**

96 Fecha de presentación : **26.05.2006**

97 Número de publicación de la solicitud: **1860761**

97 Fecha de publicación de la solicitud: **28.11.2007**

54

Título: **Dispositivo y procedimiento para controlar inversores conectados en serie.**

45

Fecha de publicación de la mención BOPI:
03.05.2011

45

Fecha de la publicación del folleto de la patente:
03.05.2011

73

Titular/es: **ANSALDO SISTEMI INDUSTRIALI S.p.A.**
Viale Sarca 336
20126 Milano, IT

72

Inventor/es: **Torri, Giordano**

74

Agente: **Carpintero López, Mario**

ES 2 357 852 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

La presente invención se refiere a un dispositivo para controlar inversores conectados en serie, según el preámbulo de la reivindicación 1.

En particular, la aplicación de la presente invención es en unidades de fuente de alimentación para el control de cargas de CA, tales como, por ejemplo, motores trifásicos.

Se conocen unidades de fuente de alimentación para cargas de CA en el estado de la técnica, y comprenden un transformador con devanados primario y secundario que pueden conectarse a una red de alimentación eléctrica, un rectificador que convierte la tensión de red de CA en una tensión de CC, y un inversor que convierte la tensión de CC rectificada en una tensión de CA a una frecuencia predefinida determinada por un sistema de ancho de modulación de impulsos o PWM, por ejemplo para alimentar esta tensión de CA a un motor de CA, por ejemplo un motor de inducción trifásico.

En la patente US 5,625,545 se describe una unidad de alimentación eléctrica para controlar motores de corriente alterna de tensión media. Según la técnica conocida descrita anteriormente, la unidad de alimentación comprende un transformador multifásico con una pluralidad de devanados secundarios que alimentan potencia a una correspondiente pluralidad de baterías conectadas en serie para cada fase del motor. Cada una de las baterías tiene una salida monofásica y puede controlarse mediante un dispositivo controlador de la modulación. Cada batería tiene un rectificador que rectifica la tensión de CA alimentada por un devanado secundario del transformador, para alimentar una tensión de CC rectificada, un condensador de aplanamiento para eliminar la ondulación presente en la tensión de CC rectificada, y un inversor de PWM que convierte la tensión de CC presente en los extremos del condensador en una tensión de CA. El dispositivo controlador de la modulación actúa sobre cada batería para controlar la salida, de manera que el instante de conmutación de una batería a la línea de fase de carga está separado en el tiempo del instante de conmutación de las demás baterías a la misma línea de fase de carga, por ejemplo para reducir las componentes armónicas en cada línea de fase de alimentación de carga. En particular, el control de la modulación se basa en un procedimiento subarmónico o de suboscilación, de manera que se compara una única señal de referencia con una pluralidad de señales portadoras, una para cada señal de potencia, oscilando a la misma frecuencia y desplazadas en fase de manera adecuada entre sí según el procedimiento definido como "interdigitado". Normalmente, el desplazamiento de fase es igual a 360° dividido entre el número de baterías en serie en una línea de fase de carga. A partir de la comparación entre la señal de referencia y cada señal portadora, se generan señales de control para los inversores de las baterías, específicamente para controlar el encendido y apagado de los transistores IGBT que constituyen cada inversor.

Un procedimiento alternativo conocido para el control de la modulación de inversores en serie de una unidad de fuente de alimentación de CA implica el uso de una pluralidad de señales portadoras que oscilan a la misma frecuencia, que están en fase entre sí y que están desplazadas en nivel, es decir que tienen diferentes niveles de polarización de CC por ejemplo para ocupar bandas de amplitud adyacentes.

Según este procedimiento alternativo, las señales portadoras positivas puede estar en oposición de fase con las señales portadoras negativas, así como las señales portadoras pueden alternar dispuestas en fase – en oposición de fase (A new multilevel PWM method: a theoretical analysis. Carrara, Marchesoni *et al.* IEEE Transaction in Power Electronics, Vol. 7, n. 3 julio de 1992).

Se ilustra un dispositivo para el control de inversores en serie que utiliza el procedimiento de control según la técnica conocida descrita anteriormente con referencia a las figuras 1 a 13 en el caso de tres baterías conectadas en serie.

El dispositivo 100 de control está diseñado para controlar tres inversores 101, 102 y 103 conectados en serie para alimentar un motor trifásico. Para mayor simplicidad de la descripción, los inversores que se utilizan para alimentar las otras dos fases del motor trifásico se han omitido, al igual que la sección de rectificación de cada batería.

Cada inversor, por ejemplo el inversor 101 mostrado en la figura 2, consiste en una estructura de puente en H con dos ramas de transistor IGBT, en particular una rama izquierda en la que están dispuestos dos transistores 110a, 110b IGBT en serie entre sí, y una rama derecha en la que están dispuestos dos transistores 111a, 111b IGBT en serie entre sí. El inversor 101 comprende adicionalmente dos bancos de condensadores 112 y 113 de aplanamiento que están conectados en paralelo a los pares de transistores 110a, 110b, 111a, 111b IGBT.

El dispositivo 100 de control comprende seis comparadores 104a, 104b, 105a, 105b, 106a, 106b, cada uno de los cuales compara una señal de referencia o señal 116 de modulación con una señal 107a, 107b, 108a, 108b, 109a, 109b portadora respectiva (figura 3) para generar seis señales 120a, 120b, 121a, 121b, 122a, 122b de control respectivas (figuras 4 a 9) para los tres inversores 101, 102, 103.

Las señales 107a, 107b, 108a, 108b, 109a, 109b portadoras se generan mediante un generador 114 de señales, mientras que la señal 116 de referencia se genera mediante un generador 117 de señales.

En las figuras adjuntas, las señales se indican con referencia a las líneas sobre las que se transmiten esas

señales.

Las señales 107a, 107b, 108a, 108b, 109a, 109b portadoras oscilan a la misma frecuencia, están en fase entre sí, y sus niveles de CC están desplazados. Las señales 107a, 107b, 108a, 108b, 109a, 109b portadoras mostradas en la figura 3 se generan en pares que son simétricos con relación a la tensión cero de manera que los pares de señales 107a y 107b, 108a y 108b, 109a y 109b simétricas están en oposición de fase entre sí. Como alternativa, los pares de señales 107a y 107b, 108a y 108b, 109a y 109b puede estar en fase entre sí y desplazados en nivel de CC.

La comparación de los pares de señales 107a y 107b, 108a y 108b, 109a y 109b portadoras con la señal 116 de referencia genera los pares de señales 120a y 120b, 121a y 121b, 122a y 122b de control, que están diseñadas para controlar las ramas derecha e izquierda respectivas de cada inversor (figuras 4 a 9).

Debe señalarse que el dispositivo 100 de control hace posible controlar los inversores 101, 102, 103 de manera que el instante de conmutación de un inversor en una línea de fase está separado en el tiempo del instante de conmutación de los demás inversores en la misma línea de fase, por ejemplo para reducir las componentes armónicas en cada línea de fase de alimentación de carga, como es el caso utilizando el dispositivo de control y el procedimiento subarmónico descrito en la patente US 5,626,545.

La figura 13 representa la forma de onda de la tensión 130 de alimentación producida por los inversores 101, 102, 103 que están conectados en serie en el caso de uso del dispositivo 100 de control, en la que las señales 120a, 120b, 121a, 121b, 122a, 122b de control se generan mediante la comparación de la señal 116 de referencia con las señales 107a, 107b, 108a, 108b, 109a, 109b portadoras.

Debe señalarse que la forma de onda de la tensión 130 producida por los inversores 101, 102, 103 en el caso de uso del dispositivo 100 de control corresponde sustancialmente a la que se produciría por los inversores 101, 102, 103 en el caso de uso del dispositivo de control y el procedimiento de modulación subarmónico descrito en la patente US 5,626,545, en que se utilizan señales portadoras desplazadas en fase entre sí. Sin embargo, si se tiene en cuenta la tensión generada por los inversores 101, 102, 103 individuales, se observa una diferencia sustancial.

Las figuras 10, 11 y 12 representan las tensiones 127, 128, 129 de salida que se generan respectivamente por los inversores 103, 102, 101 utilizando el dispositivo 100 de control. Las tensiones 127, 128, 129 de salida se refieren al caso real en el que los transistores IGBT tienen una función de transferencia cuadrada, sin tener en cuenta los retardos de los transistores en conmutación.

La comparación de las formas de onda de las tensiones 127, 128, 129 de salida generadas por el dispositivo 100 y las generadas por el dispositivo descrito en la patente US 5,626,545 muestra que en el caso de la patente US 5,626,545 en el que las señales portadoras están desplazadas en fase entre sí, las tensiones generadas por los inversores individuales son uniformes unas en relación con otras en la totalidad del periodo de la señal de referencia, mientras que en el caso del dispositivo 100 al que se hace referencia en las figuras 1 a 13, en el que las señales portadoras están en fase y su nivel de CC está desplazado, las tensiones 127, 128, 129 generadas por los inversores 103, 102, 101 individuales no son uniformes unas en relación con otras en la totalidad del periodo de la señal de referencia. En particular, si la carga, en el ejemplo de un motor eléctrico, ha de alimentarse con una tensión sinusoidal, cada uno de los inversores 101, 102, 103 distribuye en promedio una potencia que es diferente de la distribuida por los demás inversores en serie. Esto significa que cada devanado secundario del transformador distribuye una potencia correspondiente que es diferente de la de los demás devanados secundarios, de manera que las dimensiones de los inversores no pueden diseñarse para una misma potencia. Por tanto, hay una falta de uniformidad en el diseño de los inversores, lo que hace necesario utilizar inversores con niveles de potencia que difieren unos de otros.

Esta falta de uniformidad se debe al hecho de que, a medida que avanza el periodo de la señal de referencia, se modula un sólo inversor cada vez, mientras que los demás inversores que están conectados en serie en la misma línea de fase se conmutan de manera fijada y proporcionan una tensión constante igual a cero o igual al valor positivo o negativo máximo determinado por la combinación según la cual los transistores IGBT en los que consisten los inversores se mantienen encendidos. En particular, según puede observarse a partir de las figuras 4 a 9, el inversor 101 se carga más que los inversores 102 y 103, con la consiguiente falta de uniformidad de la potencia distribuida por cada inversor.

McGarth B.P. y Holmes D.G. "Multicarrier Pwm Strategies For Multilevel Inverters" industrial electronics, IEEE transaction en, Vol. 49, n.º 4 agosto de 2002 (2002-08), páginas 858-867, da a conocer un procedimiento para controlar inversores en serie en el que se compara una pluralidad de secciones de forma de onda de referencia con una pluralidad de señales portadoras para generar una pluralidad de señales de control y en el que las secciones de forma de onda de referencia se intercambian entre los inversores en cascada durante dos ciclos fundamentales.

Loh P.C. *et al.* "Reduced Common Mode Carrier-Based Modulation Strategies For Cascaded Multilevel Inverters", actas de la conferencia de la 37ª reunión anual IAS de la conferencia IEEE industry application de 2002, Pittsburgh, PA, 13 – 18 de oct., 2002, actas de la conferencia de la reunión anual IAS de la conferencia IEEE industry applications, Nueva York, NY: IEEE, US, vol. 1 de 4, conf. 37, 13 de octubre de 2002 (13-10-2002), páginas 2002-2009, da a conocer una técnica gráfica para inversores en cascada que elimina la tensión de modo común en las fases de salida de los inversores, generándose las señales de control para los inversores mediante la comparación de una

pluralidad de señales de referencia con una pluralidad de señales portadoras, donde la referencia se encuentra en el centro de cada banda.

A partir de lo anterior, se pone de manifiesto la necesidad de tener un dispositivo para controlar inversores que están conectados en serie y que, dentro del contexto de señales de control que se generan mediante la comparación de una señal de referencia con señales portadoras a la misma frecuencia que están en fase entre sí y desplazadas en el nivel de CC, haga posible distribuir la energía eléctrica alimentada a la carga uniformemente en los inversores que están conectados en serie.

El objeto de la presente invención es, por tanto, proporcionar un dispositivo para controlar inversores en serie que tiene características estructurales y funcionales tales como para satisfacer los requisitos descritos anteriormente y eliminar simultáneamente las desventajas encontradas con referencia a la técnica conocida.

Este objeto se logra mediante un dispositivo para controlar inversores según la reivindicación 1.

Según un aspecto adicional, este objeto se logra mediante un procedimiento para controlar inversores en serie según la reivindicación 12.

Otras características y las ventajas del dispositivo y el procedimiento para controlar inversores en serie según la presente invención resultarán evidentes a partir de la siguiente descripción de una realización preferida, facilitada a modo de ejemplo indicativo y no limitativo, con referencia a las figuras adjuntas, en las que:

- las figuras 1 a 13 se refieren a un dispositivo para el control de inversores en serie según la técnica conocida;
- figura 14 muestra esquemáticamente una unidad de fuente de alimentación para un motor trifásico, que tiene inversores en serie que pueden controlarse por medio del dispositivo para el control de inversores en serie según la presente invención;
- la figura 15 muestra esquemáticamente un dispositivo para el control de inversores en serie según la presente invención;
- la figura 16 muestra esquemáticamente la estructura de un inversor;
- la figura 17 muestra las formas de onda de la señal de referencia y de las señales portadoras utilizadas por el dispositivo en la figura 15;
- las figuras 18 a 23 muestran las formas de onda de las señales de control generadas por el dispositivo de control en la figura 15;
- las figuras 24 a 26 muestran las formas de onda de las señales de salida de cada inversor durante varios periodos de la señal de referencia, según una primera realización del dispositivo y el procedimiento según la presente invención;
- la figura 27 muestra la forma de onda de la señal de alimentación generada por los inversores según la primera realización del dispositivo y el procedimiento según la presente invención;
- las figuras 28 a 30 muestran las formas de onda de las señales de salida de cada inversor durante un periodo de la señal de referencia, según una segunda realización del dispositivo y el procedimiento según la presente invención; y
- la figura 31 muestra la forma de onda de la señal de alimentación generada por los inversores según la segunda realización del dispositivo y el procedimiento según la presente invención.

Con referencia a las figuras adjuntas, 1 indica en su totalidad una unidad de fuente de alimentación de CA para controlar una carga 2 de CA.

La carga 2 de CA puede ser una carga de CA monofásica o una carga de CA multifásica, y en el ejemplo en la figura 14 se representa mediante un motor de inducción trifásico.

La unidad 1 de alimentación comprende medios de transformador que pueden conectarse a una fuente de alimentación de CA (no mostrada en las figuras), por medio de una línea 3, para recibir una señal o tensión de CA a una primera frecuencia f_1 . Debe señalarse que, en lo sucesivo en la presente descripción, los términos señal y tensión se utilizarán de una manera totalmente equivalente.

Los medios de transformador comprenden un circuito 4 de devanado primario y dos o más circuitos 5 de devanado secundario. Normalmente, el circuito 4 de devanado primario está conectado a la red de alimentación eléctrica para recibir una señal la frecuencia f_1 de la red de alimentación, por ejemplo de 50 Hz o 60 Hz.

Para cada una de las líneas trifásicas, la unidad 1 de alimentación comprende dos o más baterías que están conectadas en serie. En el ejemplo mostrado en la figura 14, la unidad 1 de alimentación comprende tres baterías 6, 7, 8 que están conectadas en serie sobre la primera línea de fase, tres baterías 9, 10, 11 que están conectadas en serie sobre la segunda línea de fase, y tres baterías 12, 13, 14 que están conectadas en serie sobre la tercera línea de fase.

En el ejemplo, los tres grupos de tres baterías en serie están conectados entre sí en un sólo punto identificado como el punto 18 neutro común.

Los tres grupos de baterías en serie están conectados a la carga 2 por medio de líneas 19, 20, 21 de fase respectivas.

5 Cada batería, por ejemplo la batería 6 en las figuras 14 y 15, comprende un rectificador 15 que está conectado eléctricamente en su entrada a través de la línea 16 a la salida de un circuito 5 de devanado secundario respectivo.

10 La batería 6 también comprende un inversor, indicado como 17 en su totalidad, que tiene una entrada conectada a la salida del rectificador 15 para recibir una señal de CC, al menos una entrada para una señal de control, en el ejemplo dos entradas 47a y 47b de control, y una salida 23 para generar una señal de CA a una segunda frecuencia f_2 . El inversor 17 comprende adicionalmente dos condensadores 56, 57 de aplanamiento; en la figura 15 sólo se muestra el condensador 56 por motivos de simplicidad.

Las baterías 7 y 8 comprenden inversores 24 y 25 respectivos y rectificadores 26 y 27 respectivos.

Los inversores 17, 24, 25 están conectados en serie para alimentar la carga 2 a través de la línea 19 de fase.

15 De la misma manera, las baterías 9, 10, 11 que están conectadas en serie y las baterías 12, 13, 14 que están conectadas en serie, tendrán rectificadores y inversores respectivos que estarán conectados en serie para alimentar la carga 2 a través de las líneas 20 y 21 de fase respectivas. Por motivos de simplicidad de la descripción, en lo sucesivo en la descripción, sólo se hará referencia a la serie de inversores 17, 24, 25.

Para controlar los inversores 17, 24, 25 que están conectados en serie, la unidad 1 de alimentación comprende un dispositivo 30 de control según la presente invención.

20 El dispositivo 30 de control comprende un generador 67 de señales para generar una pluralidad de señales portadoras V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$ y un generador 68 de señales para generar una señal de referencia V_{ref} .

Las señales portadoras V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$ oscilan a una frecuencia f_c , están en fase entre sí, y tienen diferentes niveles de CC. Como alternativa, según se muestra en la figura 17, las señales portadoras V_{c1} , $V_{e1'}$, V_{e2} , $V_{c2'}$, V_{c3} , $V_{c3'}$ pueden estar en oposición de fase en pares que son simétricos con respecto al nivel cero de la señal.

25 El dispositivo 30 de control comprende adicionalmente medios de control, indicados como 31 en su totalidad, que pueden comparar la señal de referencia V_{ref} con cada señal portadora de la pluralidad de señales portadoras V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$ para generar como salida una pluralidad respectiva de señales de control V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$ (figuras 18 a 23).

30 Los medios 31 de control tienen una línea 32, 33, 34, 35, 36, 37 de entrada para cada señal portadora V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$, una línea 38 de entrada para la señal de referencia V_{ref} y una línea 41, 42, 43, 44, 45, 46 de salida para cada señal de control V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$.

35 Ventajosamente, el dispositivo 30 de control comprende medios de conmutación, indicados como 40 en su totalidad, que pueden dirigir cada señal de control V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$ como entrada en secuencia a cada uno de los inversores 17, 24, 25, de tal manera que, en cualquier instante temporal, a la entrada de control de cada inversor se le alimenta una única señal de control de la pluralidad de señales de control V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$.

40 En otras palabras, los medios 40 de conmutación pueden conmutar o dirigir cada señal de control V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$ en secuencia alternativamente como entrada a la entrada de control de cada uno de los inversores 17, 24, 25 conectados en serie, de tal manera que, en cualquier instante temporal, la entrada de control de cada inversor está controlada por una única señal de control V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$.

En particular, los medios 40 de conmutación pueden dirigir, con un periodo T_s , las señales de control V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$ a la entrada de los inversores 17, 24, 25. El periodo T_s consiste en un número N de subperiodos $t_1..t_N$ igual al número de inversores conectados en serie. En el ejemplo mostrado en las figuras adjuntas, el periodo T_s consiste en tres subperiodos t_1 , t_2 , t_3 con la misma duración igual a t , de manera que $t_1+t_2+t_3=3t=T_s$.

45 En cada subperiodo t_i , donde $i=1..N$, a cada entrada de control de los inversores se le alimenta una única señal de control, y cada señal de control alimenta una única entrada de control, y cada señal de control alimenta un inversor que es diferente del inversor alimentado en el subperiodo anterior.

Además, en cada periodo T_s , cada señal de control alimenta cada inversor durante uno sólo de los subperiodos t_i .

50 Según se ha establecido, el inversor 17 comprende dos entradas 47a, 47b de control. De la misma manera, el inversor 24 comprende dos entradas 48a, 48b de control, y el inversor 25 comprende dos entradas 49a, 49b de control. Debe señalarse que en el caso más general, puede ser suficiente con tener una única entrada de control para cada

inversor, por ejemplo si la información que va a conmutarse en los transistores está codificada y se transmite en serie.

Según una realización preferida, los medios 31 de control comprenden una pluralidad de comparadores 61, 62, 63, 64, 65, 66, en los que cada comparador puede comparar la señal de referencia V_{ref} con una señal portadora respectiva V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$ para generar como salida una señal de control respectiva V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$.

En el ejemplo mostrado en las figuras adjuntas:

- el comparador 61 compara la señal de referencia V_{ref} con la señal portadora V_{c1} para generar como salida la señal de control V_{pwm1} (figura 18);

- el comparador 62 compara la señal de referencia V_{ref} con la señal portadora $V_{c1'}$ para generar como salida la señal de control $V_{pwm1'}$ (figura 19);

- el comparador 63 compara la señal de referencia V_{ref} con la señal portadora V_{c2} para generar como salida la señal de control V_{pwm2} (figura 20);

- el comparador 64 compara la señal de referencia V_{ref} con la señal portadora $V_{c2'}$ para generar como salida la señal de control $V_{pwm2'}$ (figura 21);

- el comparador 65 compara la señal de referencia V_{ref} con la señal portadora V_{c3} para generar como salida la señal de control V_{pwm3} (figura 22); y

- el comparador 66 compara la señal de referencia V_{ref} con la señal portadora $V_{c3'}$ para generar como salida la señal de control $V_{pwm3'}$ (figura 23).

De hecho, las figuras 18 a 23 muestran las formas de onda de las señales de control generadas por los medios 31 de control.

Cada inversor, por ejemplo el inversor 17 en la figura 16, tiene una estructura de puente en H con una rama izquierda en la que están dispuestos dos transistores 70, 71 IGBT y una rama derecha en la que están dispuestos dos transistores 72, 73 IGBT.

Los transistores de las dos ramas izquierda y derecha están diseñados para controlarse mediante dos señales de control. De manera conocida, las señales de control para los transistores 70, 71 de la rama izquierda y los transistores 72, 73 de la rama derecha se obtienen mediante la comparación de la señal de referencia V_{ref} respectivamente con una primera señal portadora y con una segunda señal portadora.

En el ejemplo, las señales portadoras primera y la segunda son simétricas con respecto al nivel 0 de señal. Como alternativa, las señales portadoras primera y la segunda también pueden no ser simétricas con respecto al nivel 0 de señal.

En este caso, las señales portadoras V_{c1} y $V_{c1'}$, V_{c2} y $V_{c2'}$, V_{c3} y $V_{c3'}$ son señales portadoras que son simétricas con respecto a la tensión nivel 0. Las señales de control correspondientes V_{pwm1} y $V_{pwm1'}$, V_{pwm2} y $V_{pwm2'}$, V_{pwm3} y $V_{pwm3'}$ estarán diseñadas para controlar respectivamente los transistores de la rama derecha y los transistores de la rama izquierda de cada inversor dirigidas a cada inversor mediante los medios 40 de conmutación.

En general, los medios 31 de control comparan la señal de referencia V_{ref} con una primera señal portadora, por ejemplo la señal V_{c1} , y con una segunda señal portadora que es simétrica con respecto a la primera señal portadora V_{c1} , es decir la señal $V_{c1'}$, con respecto al nivel cero de la señal de referencia V_{ref} , para generar como salida respectivamente una primera señal de control, en este ejemplo la señal de control V_{pwm1} , y una segunda señal de control, es decir la señal de control $V_{pwm1'}$.

En este caso, los medios 40 de conmutación conmutan, es decir dirigen la señal de control V_{pwm1} en secuencia a la primera entrada de control de cada inversor, es decir en secuencia a las entradas 47a, 48a, 49a de control de los inversores 17, 24, 25, y dirigen la segunda señal de control $V_{pwm1'}$ en secuencia a la segunda entrada de control de cada inversor, es decir en secuencia a las entradas 47b, 48b, 49b de control de los inversores 17, 24, 25, de tal manera que, en cualquier instante temporal, a la primera entrada de control de cada inversor se le alimenta una única primera señal de control, y a la segunda entrada de control de cada inversor se le alimenta una única segunda señal de control.

De manera conocida, la señal de control introducida en cada entrada de control de cada inversor se separa en dos señales de control, una para cada uno de los dos transistores IGBT.

Por ejemplo, la señal de control introducida en la entrada 47a de control del inversor 17 se subdivide en dos señales de control, una para controlar el transistor 72 IGBT y la otra, que se invierte por medio de una puerta 58 de inversión, para controlar el transistor 73 IGBT de la misma rama derecha del inversor 17. De la misma manera, la señal de entrada de control en la entrada 47b de control del inversor 17 se subdivide en dos señales de control, una para controlar el transistor 71 IGBT y la otra, que se invierte por medio de una puerta 59 de inversión, para controlar el

transistor 70 IGBT de la misma rama izquierda del inversor 17.

La duración de cada subperíodo t_i tiene que ser mayor que o igual al periodo $T_c=1/f_c$ de las señales portadoras $V_{c1}, V_{c1'}, V_{c2}, V_{c2'}, V_{c3}, V_{c3'}$.

5 La figura 24 muestra el desarrollo de la tensión de salida V_{out1} generada por el inversor 25 de la batería 8 utilizando el dispositivo 30 de control, en la hipótesis de que cada subperíodo t_i tiene una duración t que es igual al periodo T_{ref} de la señal de referencia V_{ref} .

La tensión de salida v_{out1} representa la tensión entre los terminales 51 y 50 del inversor 25, en la hipótesis de que el inversor 25 no está conectado en serie a los demás inversores 17 y 24.

10 De la misma manera, las tensiones de salida V_{out2} (figura 25) y V_{out3} (figura 26) se representan respectivamente entre los terminales 53 y 52 del inversor 24, y entre los terminales 55 y 54 del inversor 17, en la hipótesis de que los inversores no están conectados en serie entre sí.

15 Según puede observarse, las tensiones de salida V_{out2} y V_{out3} , que se generan mediante los dos inversores 24 y 17 y se muestran en las figuras 25 y 26, son idénticas a la tensión de salida V_{out1} del inversor 25 mostrado en la figura 24, pero están desplazadas un intervalo de tiempo igual a un subperíodo t para el inversor 24 y un intervalo de tiempo igual a $2t$ para el inversor 17.

Esto está provocado por el hecho de que cada inversor está controlado por una señal de control diferente en cada subperíodo t de los medios 40 de conmutación, según se describió previamente.

20 Por ejemplo, con referencia a figura 15, la entrada 49a de control del inversor 25 recibe la señal de control V_{pwm1} en el primer subperíodo desde 0 hasta t , la señal de control V_{pwm2} en el segundo subperíodo desde t hasta $2t$, y la señal de control V_{pwm3} en el tercer subperíodo desde $2t$ hasta $3t$. La etapa de direccionamiento mencionada anteriormente se repite entonces con el periodo T_s .

En la hipótesis de que los transistores de los inversores se consideran ideales, la señal de salida en el terminal 51 corresponde a la señal de control V_{pwm1} en el primer subperíodo desde 0 hasta T , a la señal de control V_{pwm2} en el segundo subperíodo desde t hasta $2t$, y a la señal de control V_{pwm3} en el tercer subperíodo desde $2t$ hasta $3t$.

25 De la misma manera, la entrada 49b de control del inversor 25 recibe la señal de control $V_{pwm1'}$ en el primer subperíodo desde 0 hasta t , la señal de control $V_{pwm2'}$ en el segundo subperíodo desde t hasta $2t$, y la señal de control $V_{pwm3'}$ en el tercer subperíodo desde $2t$ hasta $3t$.

30 En la hipótesis de que los transistores de los inversores se consideran ideales, y manteniendo la misma convención de signo utilizada para la señal del terminal 51, la señal de salida en el terminal 50 corresponde al complemento de la señal de control $V_{pwm1'}$ en el primer subperíodo desde 0 hasta t , al complemento de la señal de control $V_{pwm2'}$ en el segundo subperíodo desde t hasta $2t$, y al complemento de la señal de control $V_{pwm3'}$ en el tercer subperíodo desde $2t$ hasta $3t$.

35 Esto proporciona por tanto entre los terminales 51 y 50 la señal de salida V_{out1} como la diferencia entre las señales mencionadas anteriormente de los terminales 51 y 50, y según se muestra en la figura 24 que, debe observarse, también indica las señales $V_{pwm1}, V_{pwm1'}, V_{pwm2}, V_{pwm2'}, V_{pwm3}, V_{pwm3'}$ con referencia a los subperíodos 0-t, t-2t y 2t-3t.

Puede aplicarse el mismo razonamiento a las figuras 25 y 26, con referencia a los inversores 24 y 17 respectivamente.

40 La tabla 1 a continuación resume lo que se ha descrito previamente con referencia a las figuras 24 a 26, con relación a un ejemplo de uso práctico del dispositivo 30 según la presente invención.

Tabla 1

	Entrada de control	t_1	t_2	t_3
Inversor 25	49a	V_{pwm1}	V_{pwm2}	V_{pwm3}
	49b	$V_{pwm1'}$	$V_{pwm2'}$	$V_{pwm3'}$
Inversor 24	48a	V_{pwm2}	V_{pwm3}	V_{pwm1}
	48b	$V_{pwm2'}$	$V_{pwm3'}$	$V_{pwm1'}$
Inversor 17	47a	V_{pwm3}	V_{pwm1}	V_{pwm2}
	47b	$V_{pwm3'}$	$V_{pwm1'}$	$V_{pwm2'}$

Según puede observarse a partir de la tabla 1, en cada subperiodo t_i , a cada entrada de control de los inversores se le alimenta una única señal de control, y cada señal de control alimenta una única entrada de control, y cada señal de control alimenta un inversor que es diferente del inversor alimentado en el subperiodo anterior.

5 Además, en cada periodo T_s , cada señal de control alimenta cada inversor durante uno sólo de los subperiodos t_i .

Puesto que los inversores 17, 24, 25 están conectados en serie, la tensión final V_{pow} en la línea 19 de fase aplicada a la carga 2 es la suma de las señales V_{out1} , V_{out2} y V_{out3} , y adopta la forma mostrada en la figura 27, que, según se requiera, reproduce la forma de onda de la señal de referencia V_{ref} .

10 Según puede observarse examinando las formas de onda representadas en las figuras 24-26, las potencias de salida promedio generadas por cada inversor y evaluadas para un periodo igual a $3T_s=3T_{ref}$ son idénticas entre sí, de manera que la energía eléctrica alimentada a la carga 2, según se requiera, se distribuye uniformemente en los inversores 17, 24, 25 conectados en serie.

15 Debe señalarse que el subperiodo t_i de los medios 40 de conmutación puede ser diferente del periodo T_{ref} de la tensión de referencia V_{ref} , siempre que el límite inferior sea igual al periodo T_c de las señales portadoras V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$.

20 Si las señales de control generadas por los medios 31 de control se conmutan, es decir se dirigen, mediante los medios 40 de conmutación a los inversores 17, 24, 25 en serie con un subperiodo con una duración t igual al periodo T_c de las señales portadoras V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$, los inversores 17, 24, 25 producen como salida las tensiones V'_{out1} , V'_{out2} , V'_{out3} representadas en las figuras 28 a 30, mientras que la tensión final V'_{pow} para la alimentación de la carga 2 se representa en la figura 31.

25 Según puede observarse, la tensión final V'_{pow} aplicada a la carga 2 en la hipótesis en la que la duración t del subperiodo es igual al periodo T_c de las señales portadoras (figuras 28 a 30), corresponde a la tensión final V_{pow} aplicada a la carga 2 en la hipótesis en la que la duración t del subperiodo es más larga que el periodo T_c de las señales portadoras, en el ejemplo en las figuras 24 a 26, y específicamente es igual al periodo T_{ref} de la señal de referencia V_{ref} .

30 El análisis de las tensiones de salida V'_{out1} , V'_{out2} , V'_{out3} representado en las figuras 28 a 30 también muestra que estas tensiones de salida desde cada inversor son sustancialmente uniformes unas en relación con otras en el periodo T_{ref} de la señal de referencia V_{ref} , puesto que se obtienen dirigiendo las señales de control introducidas en secuencia a cada uno de los inversores con un subperiodo t que es más corto que el periodo T_{ref} de la señal de referencia V_{ref} . En este caso por tanto, las potencias de salida promedio generadas por cada inversor son sustancialmente idénticas entre sí, incluso cuando se evalúa durante un periodo que es igual al periodo T_{ref} de la tensión de referencia V_{ref} , de manera que la energía eléctrica alimentada a la carga 2 se distribuye de manera que es prácticamente uniforme en los inversores 17, 24, 25 que están conectados en serie.

35 Según una realización preferida, los medios 40 de conmutación comprenden una pluralidad de puertas lógicas Y y un generador de señales de conmutación (no mostrado en las figuras) que puede generar señales de conmutación V_A , V_B , V_C para controlar el direccionamiento de las señales de control V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$ introducidas en cada uno de los inversores 14, 24, 25. En particular, las señales de conmutación V_A , V_B , V_C hacen posible establecer el orden de los inversores a los que debe dirigirse cada señal de control V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$, generada por los medios 31 de control.

40 Cada puerta lógica Y, por ejemplo la puerta 80 lógica, tiene una primera entrada 81 que está conectada a los medios 31 de control para recibir una señal de control, en el ejemplo la señal de control V_{pwm1} , y una segunda entrada 82 que está conectada al generador de señales de conmutación para recibir una señal de conmutación, en el ejemplo la señal de conmutación V_A , y una salida 83 que puede conectarse a un inversor.

45 Las señales de conmutación V_A , V_B , V_C tienen la misma frecuencia $f_{sw}=1/T_{sw}$ que es igual a, o menor que, la frecuencia $f_c=1/T_c$ de las señales portadoras V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$.

Las salidas de las puertas lógicas Y están conectadas entre sí en grupos en la entrada de una puerta lógica O, de manera que cada señal de control V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$ se dirige a cada uno de los inversores según se describió previamente, según el valor lógico de la señal de conmutación V_A , V_B , V_C .

50 Por ejemplo, la señal de conmutación V_A puede representarse mediante la secuencia 1, 0, 0, la señal V_B mediante la secuencia 0, 1, 0 y la señal V_C mediante la secuencia 0, 0, 1. Las demás puertas lógicas Y se conectarán de tal manera que lleven a cabo la función lógica requerida.

Según puede apreciarse a partir de la descripción anterior, el dispositivo para controlar inversores en serie según la invención hace posible satisfacer los requisitos especificados en la parte introductoria de la presente descripción y eliminar las desventajas de los dispositivos de control según la técnica conocida.

En particular, por medio de uso del dispositivo según la presente invención, los niveles de potencia de salida promedio generados por cada inductor y evaluados durante un periodo predefinido son sustancialmente idénticos entre sí, aparte de pérdidas insignificantes, de manera que la energía eléctrica alimentada a la carga se distribuye de manera uniforme en los inductores que están conectados en serie.

5 Se apreciará que, para satisfacer requisitos específicos y contingentes, un experto en la técnica podrá realizar numerosas modificaciones y variaciones del dispositivo descrito anteriormente según la invención, estando todas ellas no obstante incluidas en el alcance de protección de la invención según se define mediante las siguientes reivindicaciones.

REIVINDICACIONES

1. Dispositivo (30) para controlar dos o más inversores (17, 24, 25) conectados en serie, pudiendo recibir cada inversor como entrada una señal de CC y al menos una señal de control para generar una señal de CA como salida, comprendiendo dicho dispositivo (30):
 - 5 - un primer generador (67) de señales que puede generar una pluralidad de señales portadoras (V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$), estando las señales portadoras de dicha pluralidad de señales portadoras (V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$) en una única frecuencia (f_c), en fase entre sí, o, en pares, en oposición de fase entre sí, y teniendo diferentes niveles de CC;
 - un segundo generador (68) de señales que puede generar una señal de referencia (V_{ref});
 - 10 - medios (31) de control que pueden comparar dicha señal de referencia (V_{ref}) con cada señal portadora de dicha pluralidad de señales portadoras (V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$) para generar como salida una pluralidad respectiva de señales de control (V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$), **caracterizado porque** comprende
 - 15 - medios (40) de conmutación que pueden dirigir cada señal de control de dicha pluralidad de señales de control (V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$) en secuencia como entrada a cada uno de dichos dos o más inversores (17, 24, 25) de tal manera que, en cualquier instante temporal, a la al menos una entrada de control de cada inversor se le alimenta una única señal de control de dicha pluralidad de señales de control (V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$).
2. Dispositivo (30) según la reivindicación 1, en el que dichos medios (40) de conmutación pueden dirigir, con un periodo T_s , dichas señales de control (V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$) como entrada a dichos dos o más inversores (17, 24, 25), consistiendo dicho periodo T_s en un número de subperiodos t_i igual al número de inversores conectados en serie, en el que:
 - 20 - en cada subperiodo t_i :
 - a cada entrada de control se le alimenta una única señal de control y cada señal de control alimenta una única entrada de control; y
 - 25 - cada señal de control alimenta un inversor que es diferente del inversor alimentado en el subperiodo anterior;
 - en cada periodo T_s :
 - cada señal de control alimenta cada inversor durante uno sólo de dichos subperiodos t_i .
3. Dispositivo (30) según la reivindicación 2, en el que dichos subperiodos t_i tienen la misma duración t .
- 30 4. Dispositivo (30) según la reivindicación 2 o la reivindicación 3, en el que dichos subperiodos t_i tienen una duración t que es mayor que, o igual al periodo T_c de dichas señales portadoras (V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$).
5. Dispositivo (30) según una cualquiera de las reivindicaciones 1 a 4, en el que dichos medios (31) de control comprenden una pluralidad de comparadores (61, 62, 63, 64, 65, 66), pudiendo comparar cada comparador de dicha pluralidad de comparadores (61, 62, 63, 64, 65, 66) dicha señal de referencia (V_{ref}) con una señal portadora respectiva de dicha pluralidad de señales portadoras (V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$) para generar como salida una señal de control respectiva, pudiendo dirigir dichos medios (31) de conmutación la señal de control generada por cada comparador en secuencia como entrada a cada uno de los inversores (17, 24, 25) de tal manera que, en cualquier instante temporal, a la al menos una entrada de control de cada inversor se le alimenta una única señal de control de dicha pluralidad de señales de control (V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$).
- 40 6. Dispositivo (30) según una cualquiera de las reivindicaciones 1 a 5, en el que cada inversor comprende una primera entrada (47a) de control para recibir una primera señal de control, una segunda entrada (47b) de control para recibir una segunda señal de control, pudiendo controlarse los medios de conmutación primeros (72, 73) y segundos (70, 71) respectivamente mediante dichas señales de control primera y segunda, pudiendo comparar dichos medios (31) de control dicha señal de referencia (V_{ref}) con una primera señal portadora (V_{c1} , V_{c2} , V_{c3}) y con una segunda señal portadora ($V_{c1'}$, $V_{c2'}$, $V_{c3'}$) de dicha pluralidad de señales portadoras (V_{c1} , $V_{c1'}$, V_{c2} , $V_{c2'}$, V_{c3} , $V_{c3'}$) para generar respectivamente dichas señales de control primera y segunda, pudiendo dirigir dichos medios (40) de conmutación dicha primera señal de control en secuencia a la primera entrada (47a, 48a, 49a) de control de cada inversor, y dicha segunda señal de control en secuencia a la segunda entrada (47b, 48b, 49b) de control de cada inversor de tal manera que, en cualquier instante temporal, a la primera entrada de control de cada inversor se le alimenta una única primera señal de control de dicha pluralidad de señales de control (V_{pwm1} , $V_{pwm1'}$, V_{pwm2} , $V_{pwm2'}$, V_{pwm3} , $V_{pwm3'}$) y a la segunda entrada de control de cada inversor se le alimenta una única segunda señal de control de dicha pluralidad de señales de control (V_{pwm1} ,

$V_{pwm1}, V_{pwm2}, V_{pwm2'}, V_{pwm3}, V_{pwm3'}$.

7. Dispositivo (30) según la reivindicación 6, en el que cada inversor comprende una estructura de puente en H con una primera y una segunda rama, estando dispuestos dichos medios de conmutación primeros (72, 73) y segundos (70, 71) respectivamente en dicha primera y segunda rama, siendo simétricas dichas señales portadoras primera (V_{c1}, V_{c2}, V_{c3}) y segunda ($V_{c1'}, V_{c2'}, V_{c3'}$) con respecto al nivel cero de la señal de referencia (V_{ref}).
8. Dispositivo (30) según una cualquiera de las reivindicaciones 1 a 7, en el que dichos medios (40) de conmutación comprenden una pluralidad de puertas lógicas Y y un generador de señales de conmutación, teniendo cada puerta (80) lógica de dicha pluralidad de puertas lógicas una primera entrada (81) que está conectada a dichos medios (31) de control para recibir una señal de control (V_{pwm1}), una segunda entrada (82) que está conectada a dicho generador de señales de conmutación para recibir una señal de conmutación (V_A) y una salida (83) que puede conectarse a un inversor, estando conectadas las salidas de dichas puertas (80) lógicas entre sí en grupos como entrada en una puerta lógica O de tal manera que cada señal de control ($V_{pwm1}, V_{pwm1'}, V_{pwm2}, V_{pwm2'}, V_{pwm3}, V_{pwm3'}$) se dirige como entrada en secuencia a cada uno de los inversores dependiendo del valor lógico de las señales de conmutación (V_A, V_B, V_C).
9. Dispositivo (30) según una cualquiera de las reivindicaciones 1 a 8, en el que cada señal de control ($V_{pwm1}, V_{pwm1'}, V_{pwm2}, V_{pwm2'}, V_{pwm3}, V_{pwm3'}$) se dirige como entrada en secuencia a cada uno de los inversores de tal manera que los niveles de potencia promedio de la señal de salida de CA generada por cada inversor, cuando se evalúa durante un intervalo de tiempo predefinido, se corresponden sustancialmente entre sí, de modo que la potencia alimentada por los inversores se distribuye uniformemente en los inversores.
10. Unidad (1) de fuente de alimentación de CA para excitar una carga (2) de CA, que comprende:
- medios de transformador que pueden recibir una señal de CA a una primera frecuencia (f_1) y comprenden un circuito (4) de devanado primario y dos o más circuitos (5) de devanado secundario;
 - dos o más baterías (6, 7, 8) que están conectadas en serie, comprendiendo cada batería (6):
 - un rectificador (15) que tiene una entrada de CA conectada a un circuito (5) de devanado secundario respectivo y una salida de CC;
 - un inversor (17) que tienen una entrada de CC conectada a la salida de CC del rectificador para recibir una señal de CC, al menos una entrada de control para recibir una señal de control y una salida de CA para generar una señal de CA a una segunda frecuencia (f_2);
 - estando los inversores (17, 24, 25) de dichas baterías (6, 7, 8) conectados en serie para alimentar dicha carga (2) de CA; y
 - un dispositivo (30) para controlar dichos inversores (17, 24, 25) conectados en serie, según una cualquiera de las reivindicaciones 1 a 9.
11. Unidad (1) de fuente de alimentación de CA según la reivindicación 10, en la que dicha carga (2) de CA es una carga que tiene un número N de fases, comprendiendo dicha unidad (1) de alimentación N inversores para cada fase de dicha carga de CA.
12. Procedimiento para controlar dos o más inversores (17, 24, 25) conectados en serie, pudiendo recibir cada inversor como entrada una señal de CC y al menos una señal de control para generar como salida una señal de CA, comprendiendo dicho procedimiento las etapas de:
- comparar una señal de referencia (V_{ref}) con cada señal portadora de una pluralidad de señales portadoras ($V_{c1}, V_{c1'}, V_{c2}, V_{c2'}, V_{c3}, V_{c3'}$) para generar como salida una pluralidad respectiva de señales de control ($V_{pwm1}, V_{pwm1'}, V_{pwm2}, V_{pwm2'}, V_{pwm3}, V_{pwm3'}$), estando las señales portadoras de la pluralidad de señales portadoras ($V_{c1}, V_{c1'}, V_{c2}, V_{c2'}, V_{c3}, V_{c3'}$) a la misma frecuencia (f_c) y en fase entre sí, y teniendo diferentes niveles de CC;
 - dirigir cada señal de control de dicha pluralidad de señales de control ($V_{pwm1}, V_{pwm1'}, V_{pwm2}, V_{pwm2'}, V_{pwm3}, V_{pwm3'}$) en secuencia como entrada a cada uno de dichos dos o más inversores (14, 24, 25) de tal manera que, en cualquier instante temporal, a la al menos una entrada de control de cada inversor se le alimenta una única señal de control de dicha pluralidad de señales de control ($V_{pwm1}, V_{pwm1'}, V_{pwm2}, V_{pwm2'}, V_{pwm3}, V_{pwm3'}$).
13. Procedimiento según la reivindicación 12, en el que dicha etapa de direccionamiento comprende dirigir, con un periodo T_s , dichas señales de control ($V_{pwm1}, V_{pwm1'}, V_{pwm2}, V_{pwm2'}, V_{pwm3}, V_{pwm3'}$) como entrada a dichos dos o más inversores (17, 24, 25), consistiendo dicho periodo T_s en un número de subperiodos t_1 que es igual al número de inversores conectados en serie, en el que:

5

- en cada subperiodo t_i :
 - a cada entrada de control se le alimenta una única señal de control, y cada señal de control alimenta una única entrada de control; y
 - cada señal de control alimenta un inversor que es diferente del inversor alimentado en el subperiodo anterior;
- en cada periodo T_s :
 - cada señal de control alimenta cada inversor durante uno sólo de dichos subperiodos t_i .

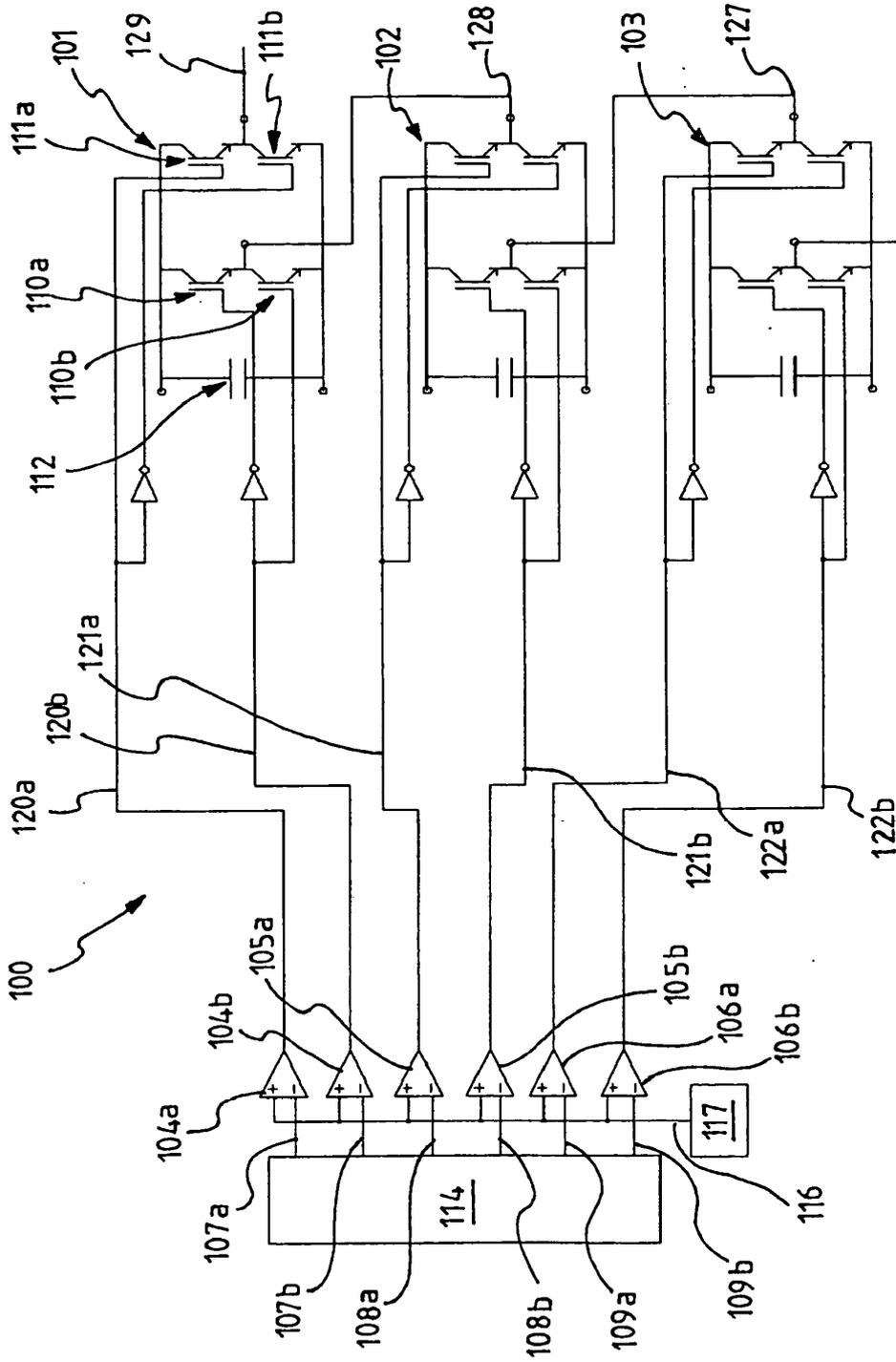


FIG. 1

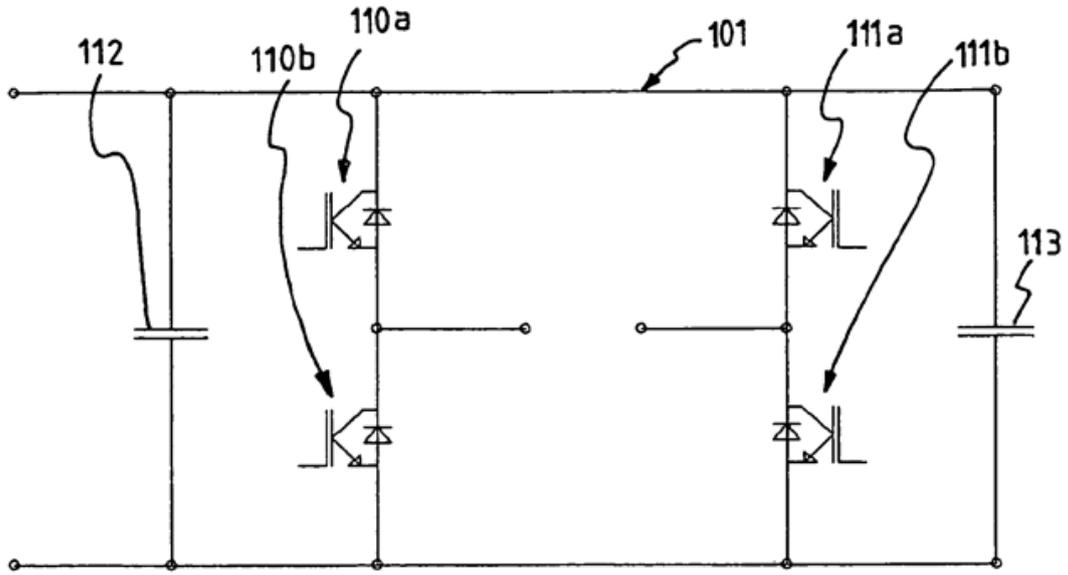


FIG. 2

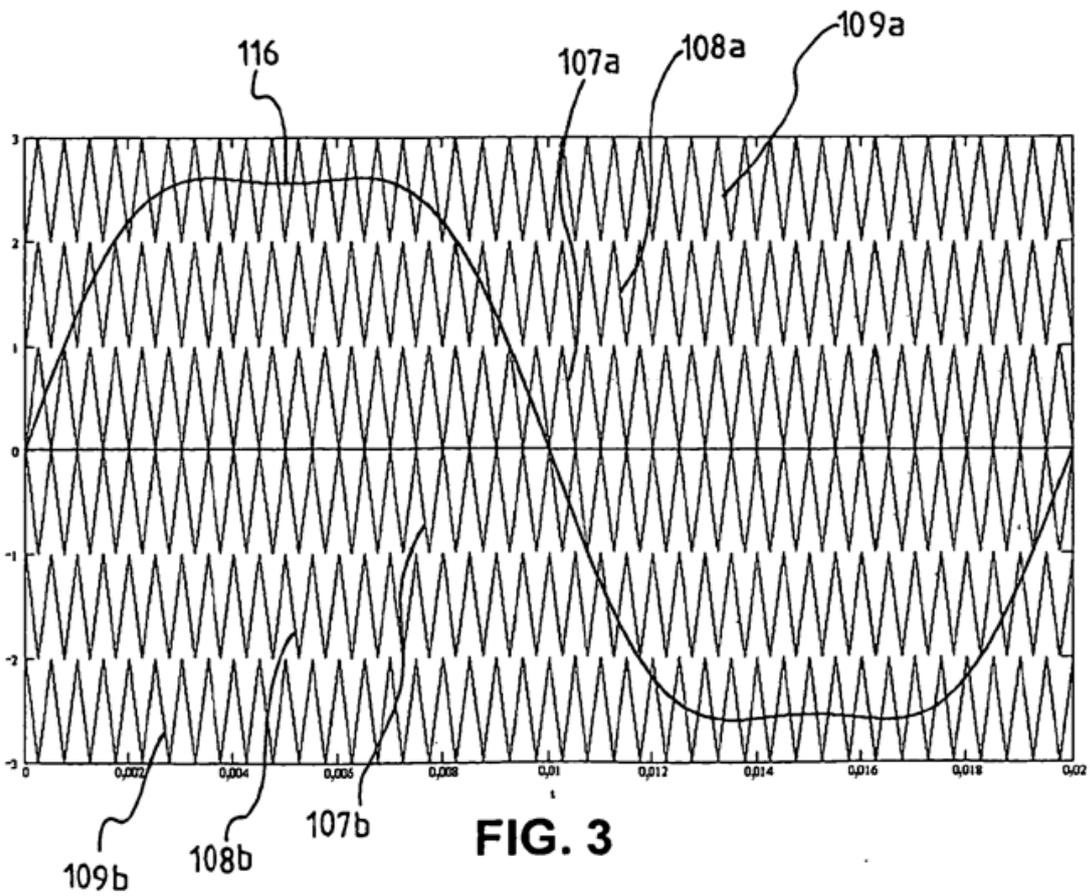


FIG. 3

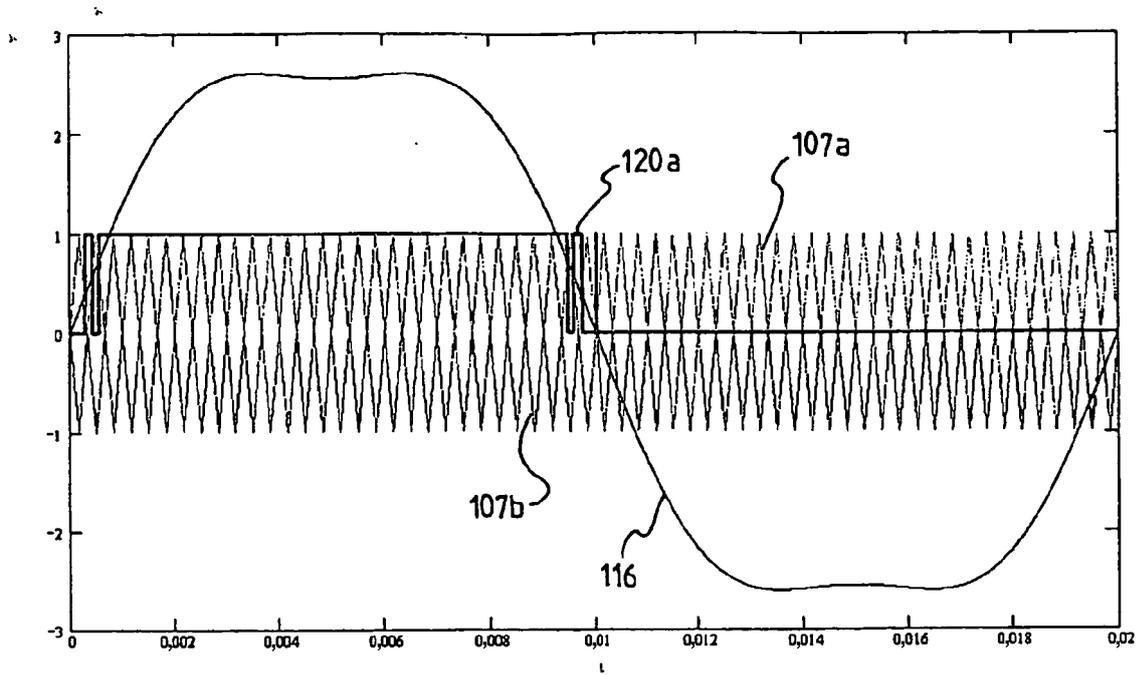


FIG. 4

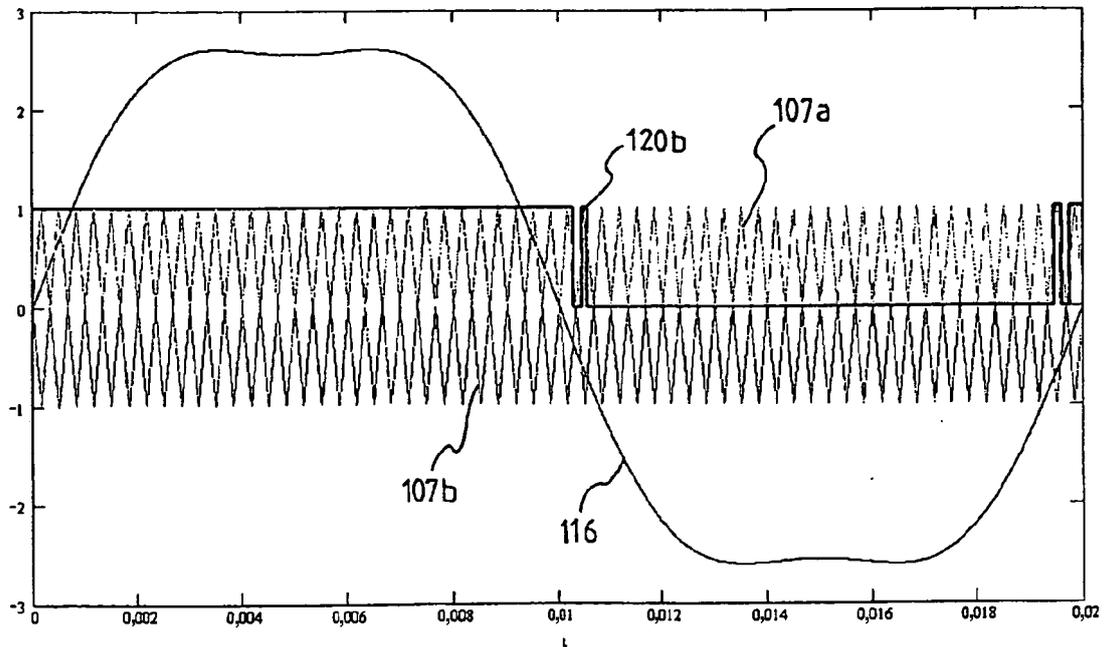


FIG. 5

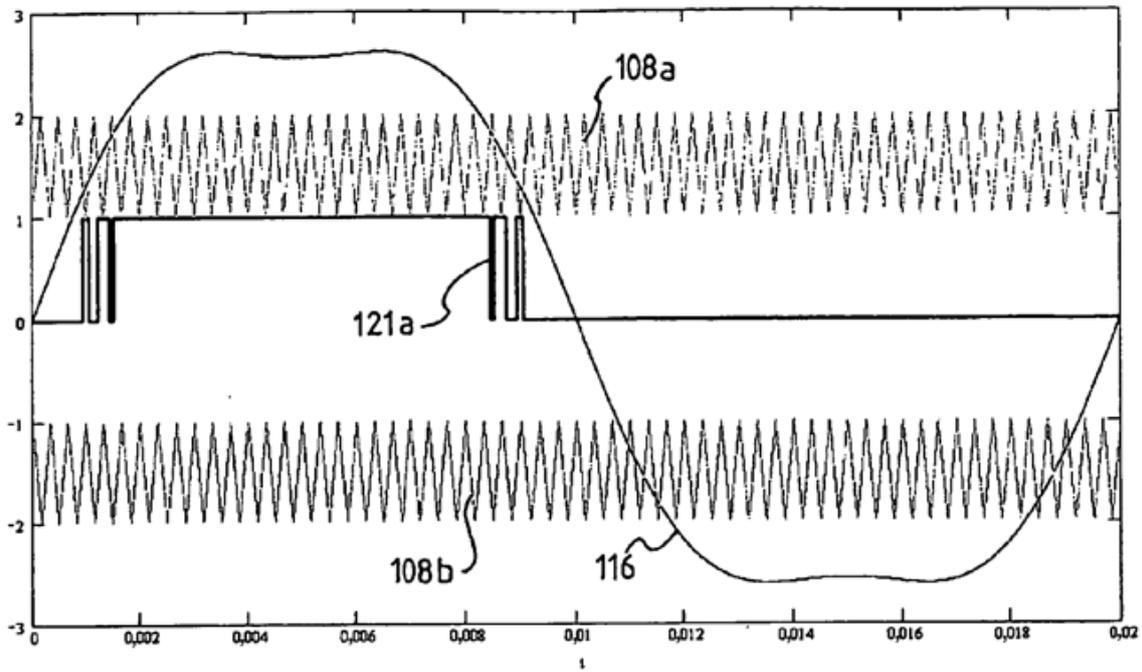


FIG. 6

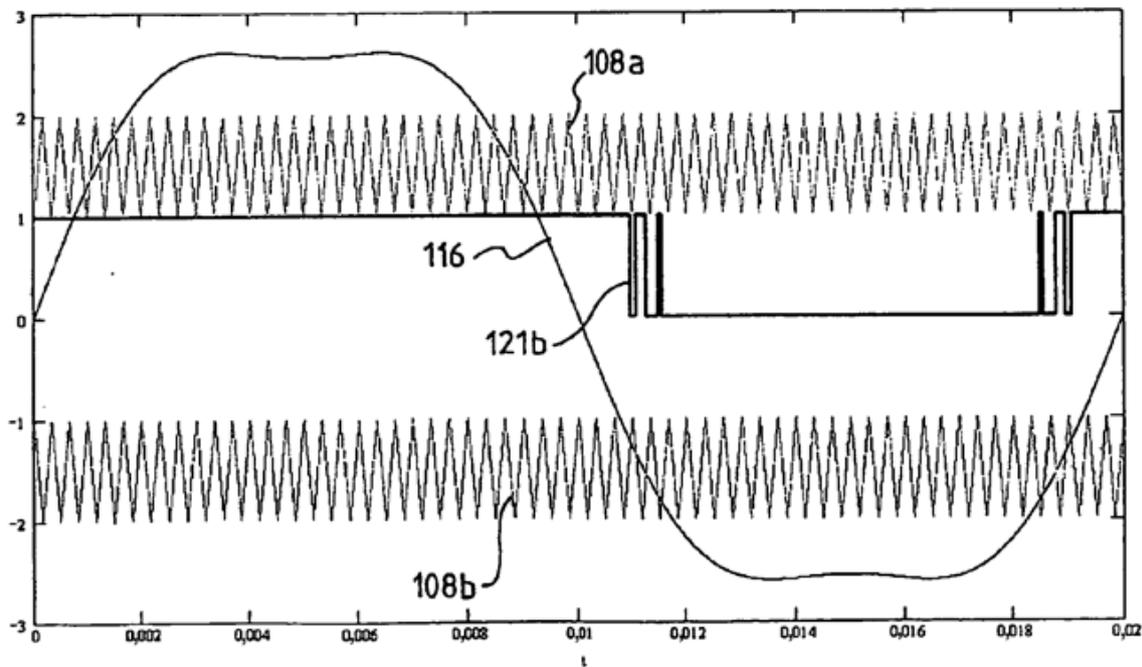


FIG. 7

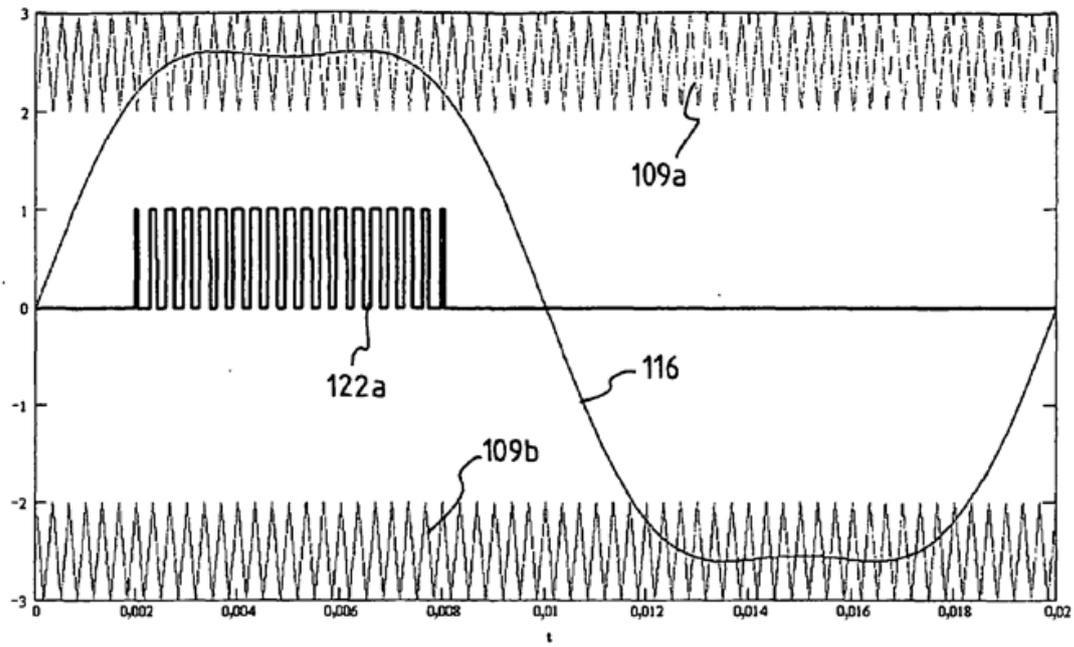


FIG. 8

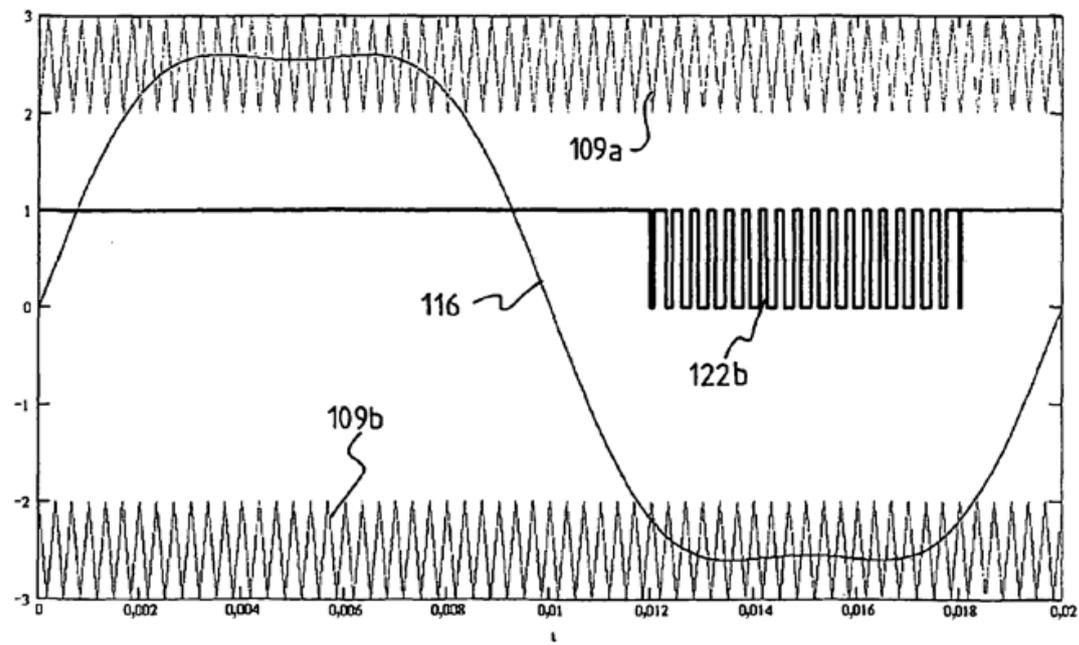


FIG. 9

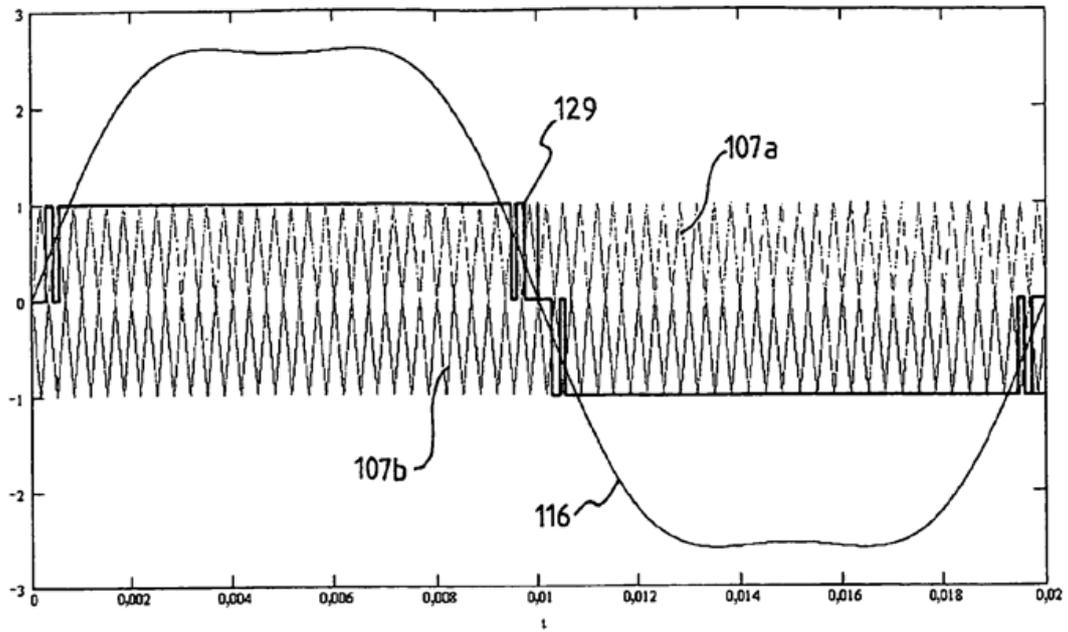


FIG. 10

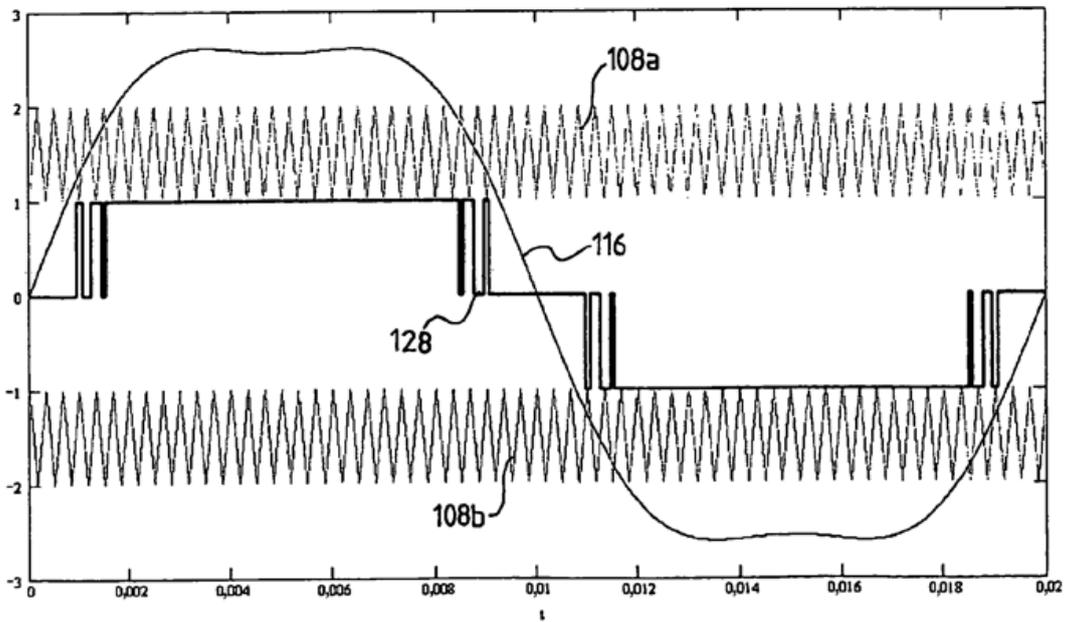


FIG. 11

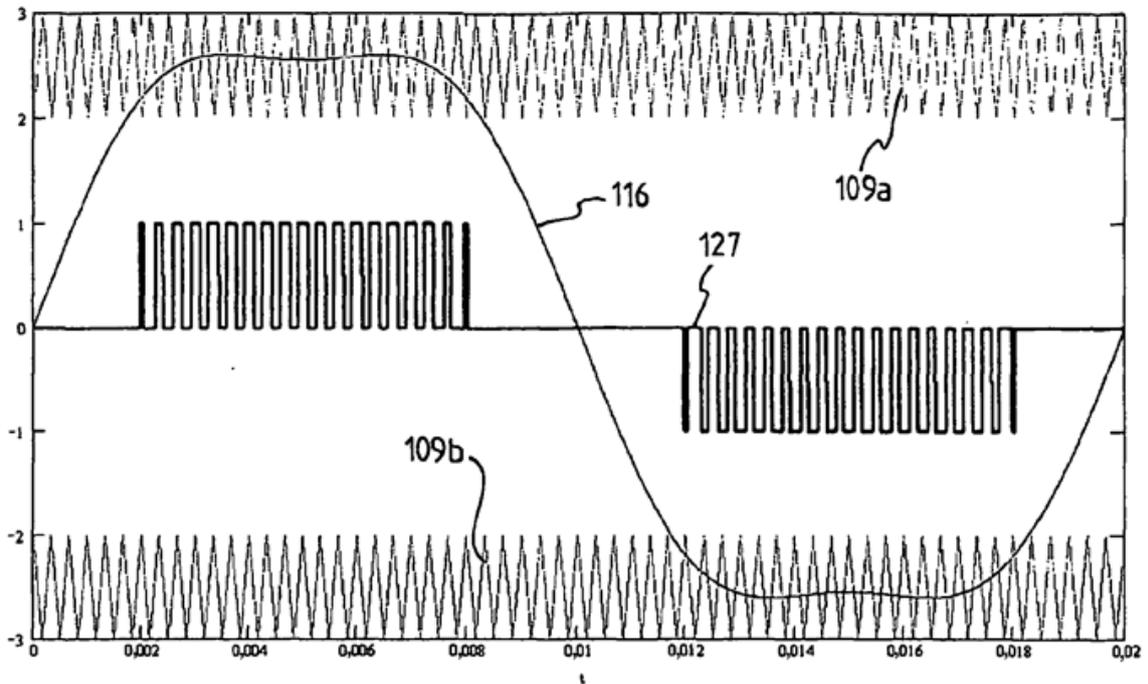


FIG. 12

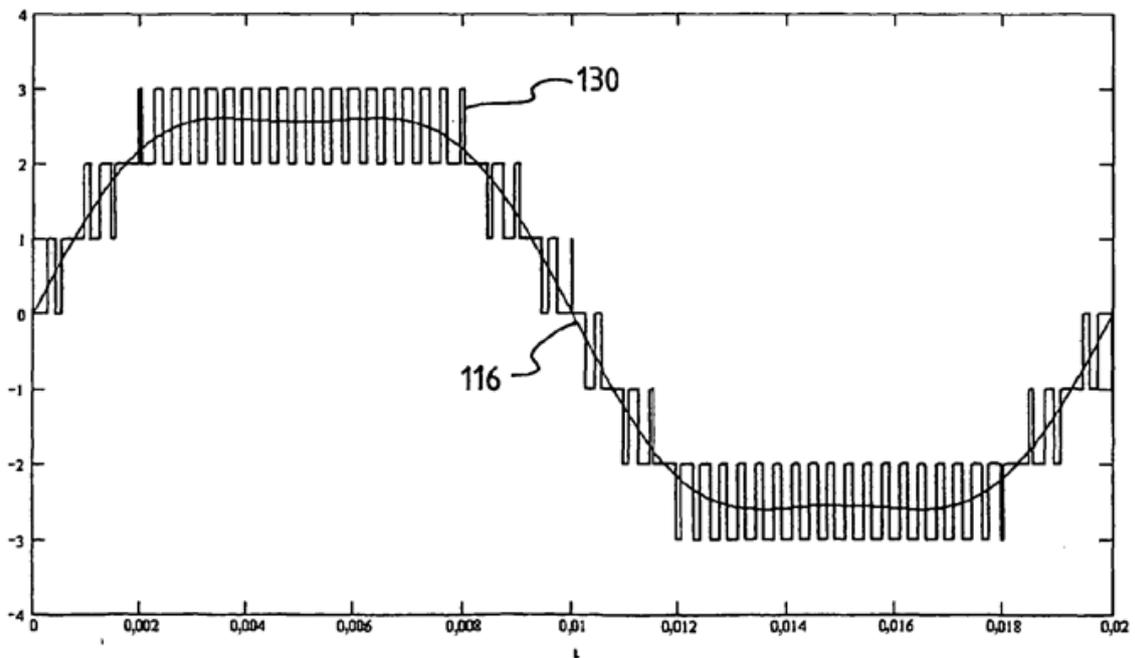


FIG. 13

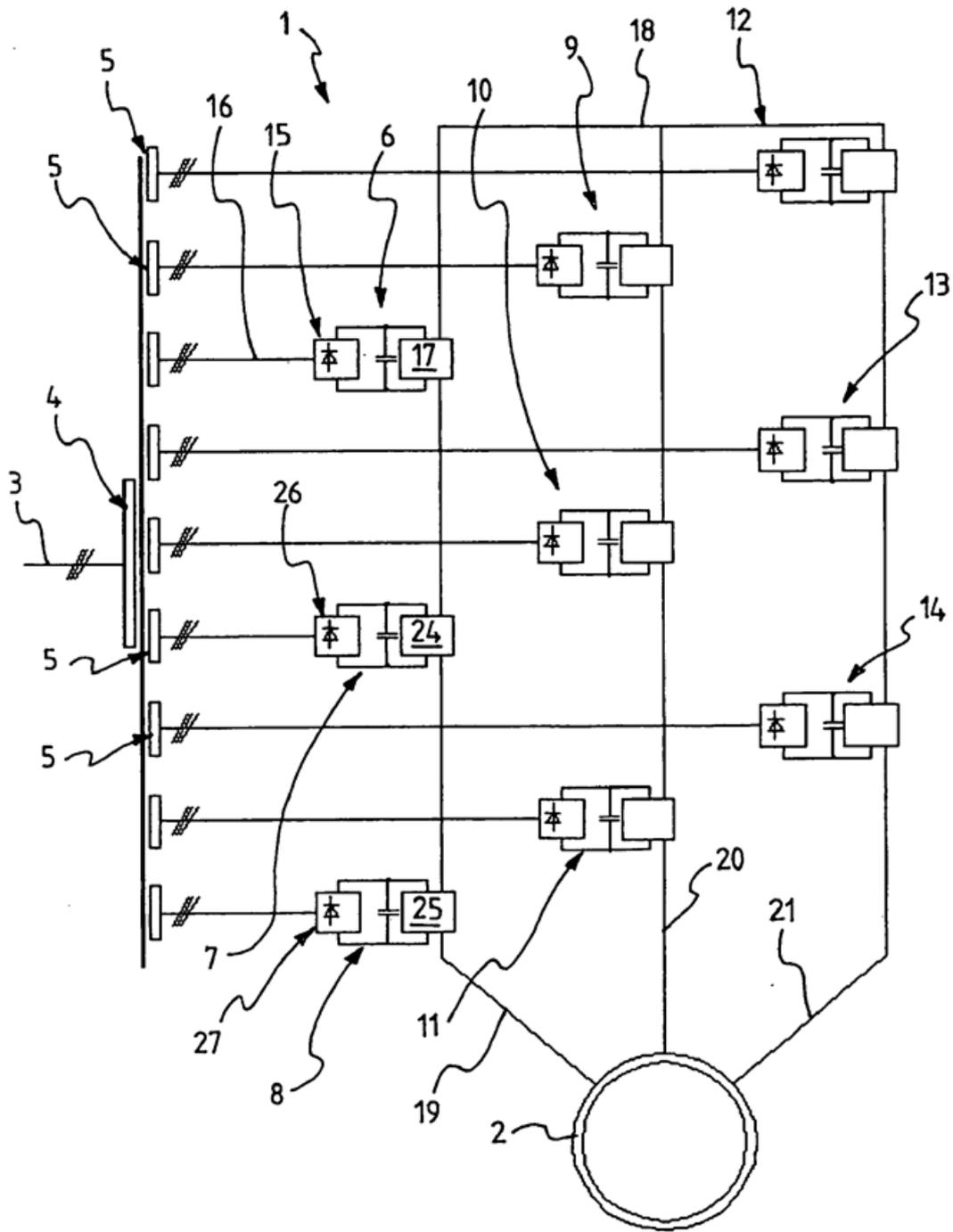


FIG. 14

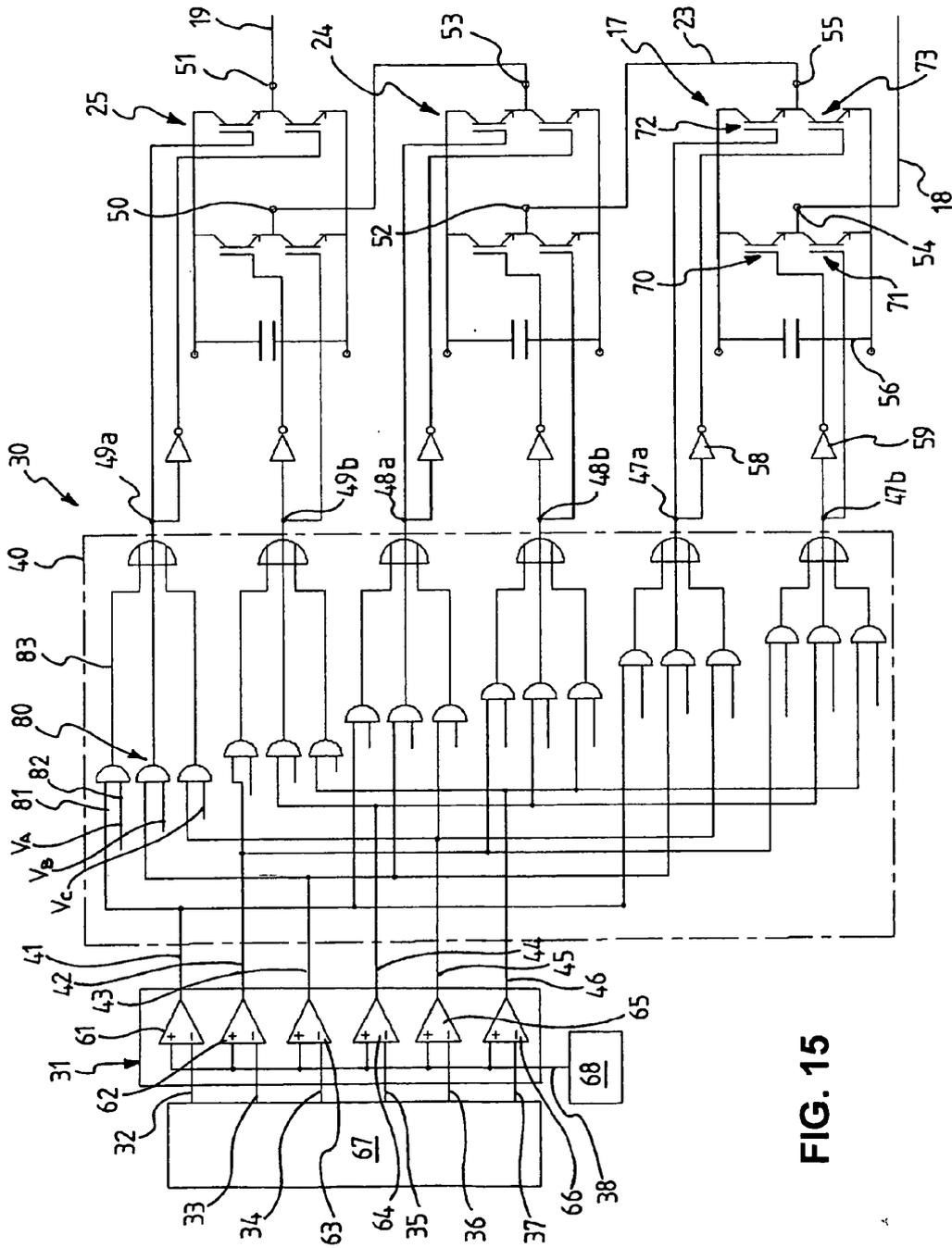


FIG. 15

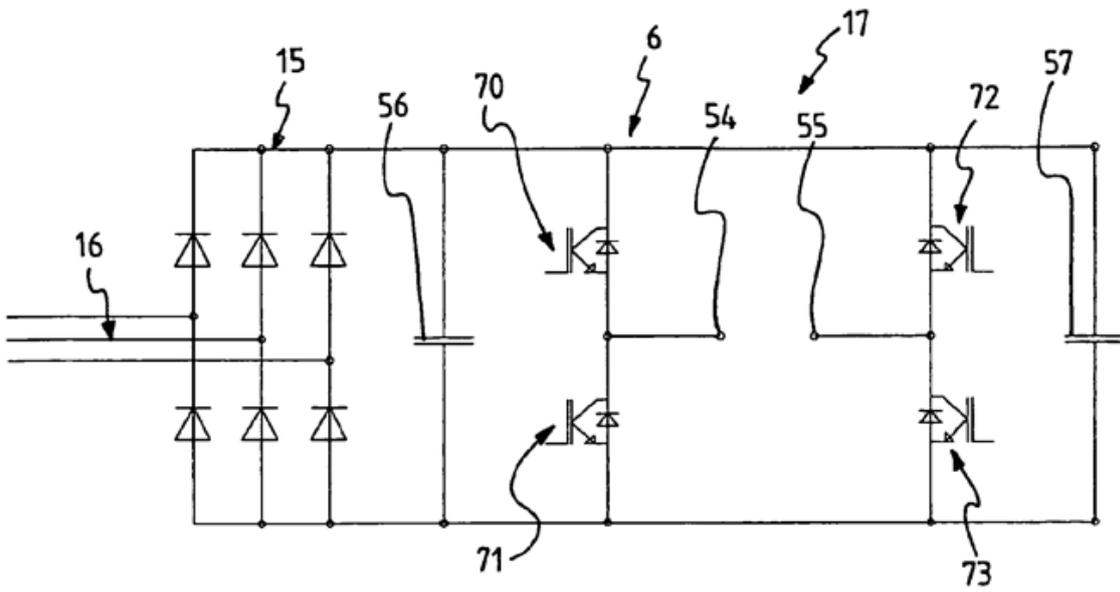


FIG. 16

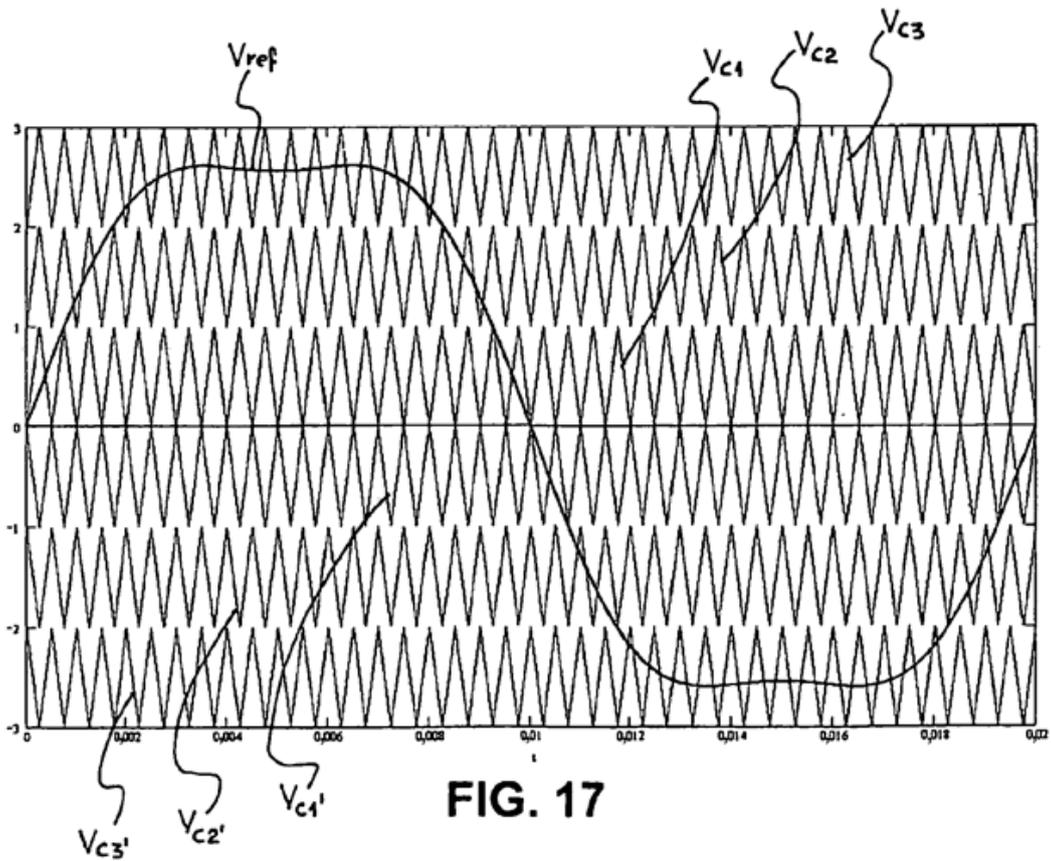


FIG. 17

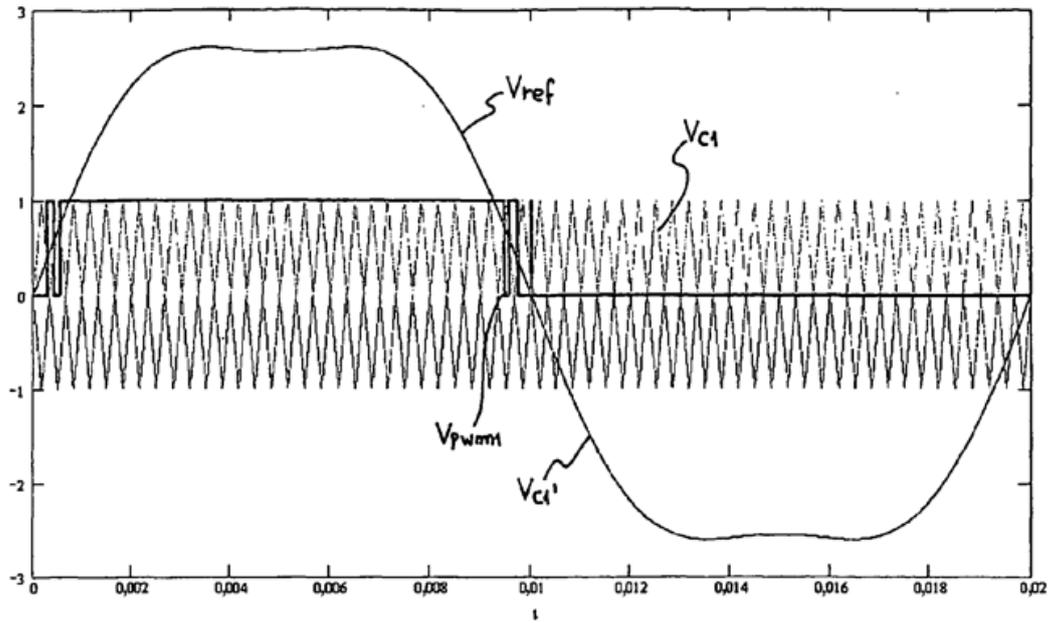


FIG. 18

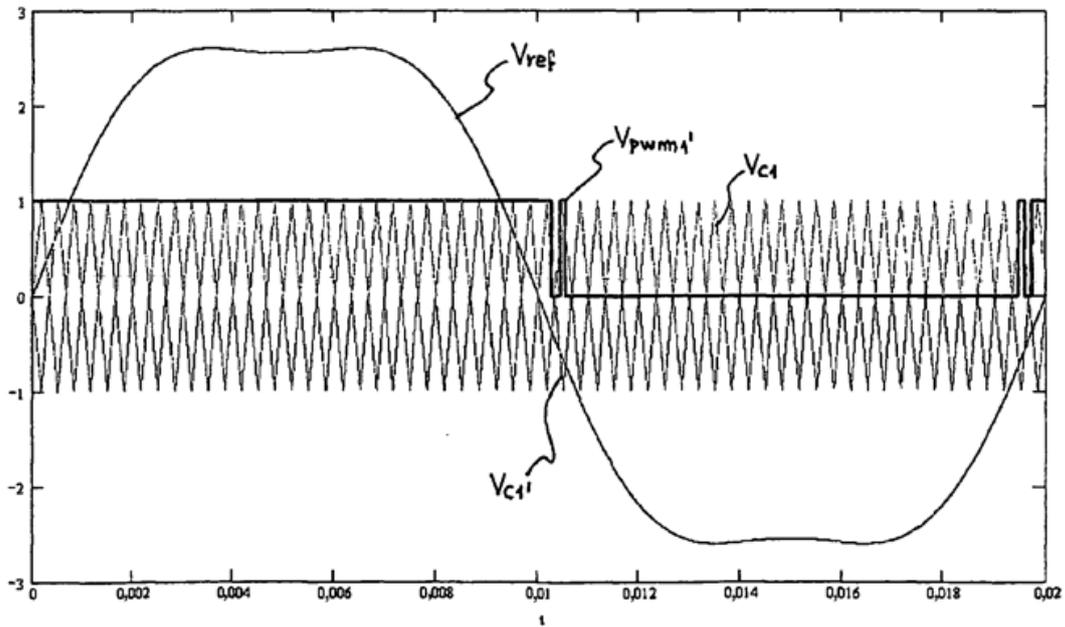


FIG. 19

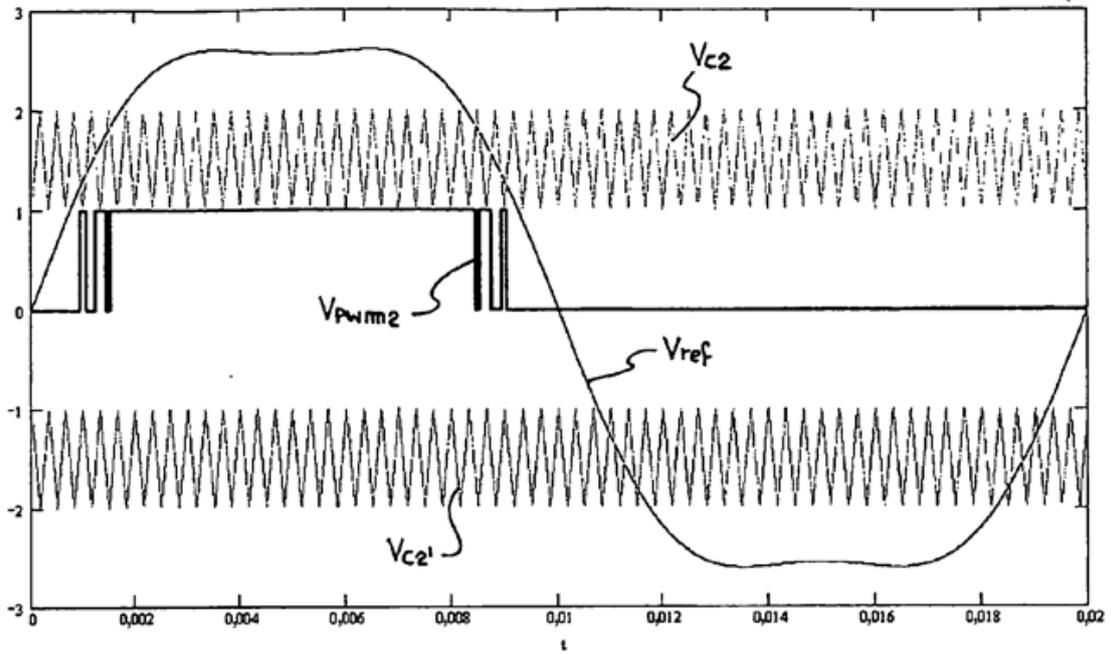


FIG. 20

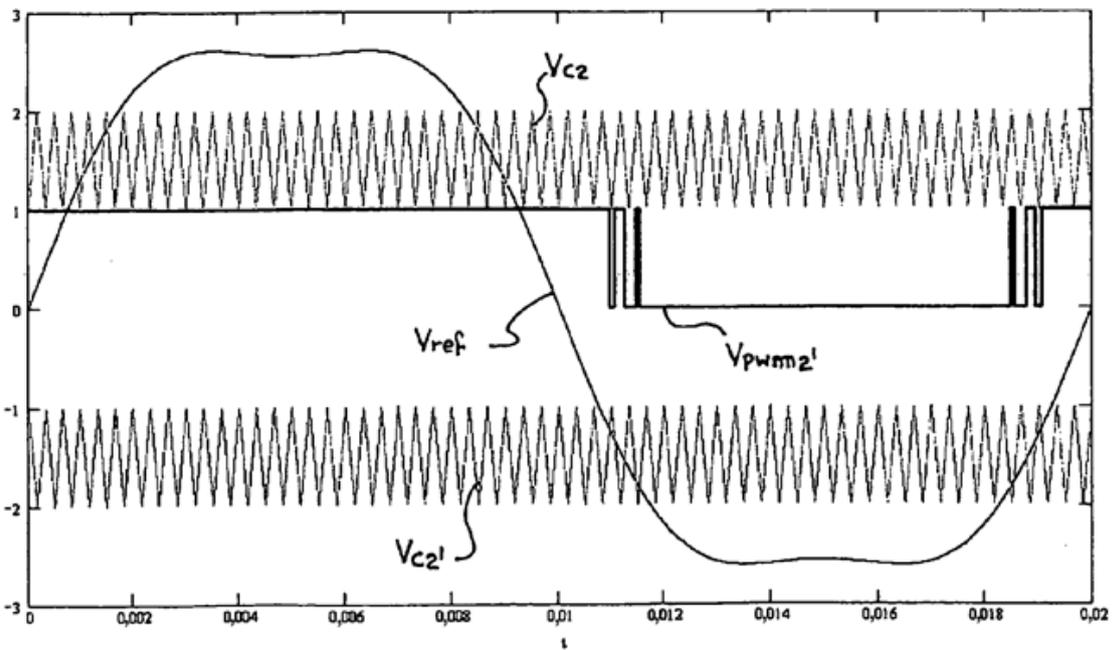


FIG. 21

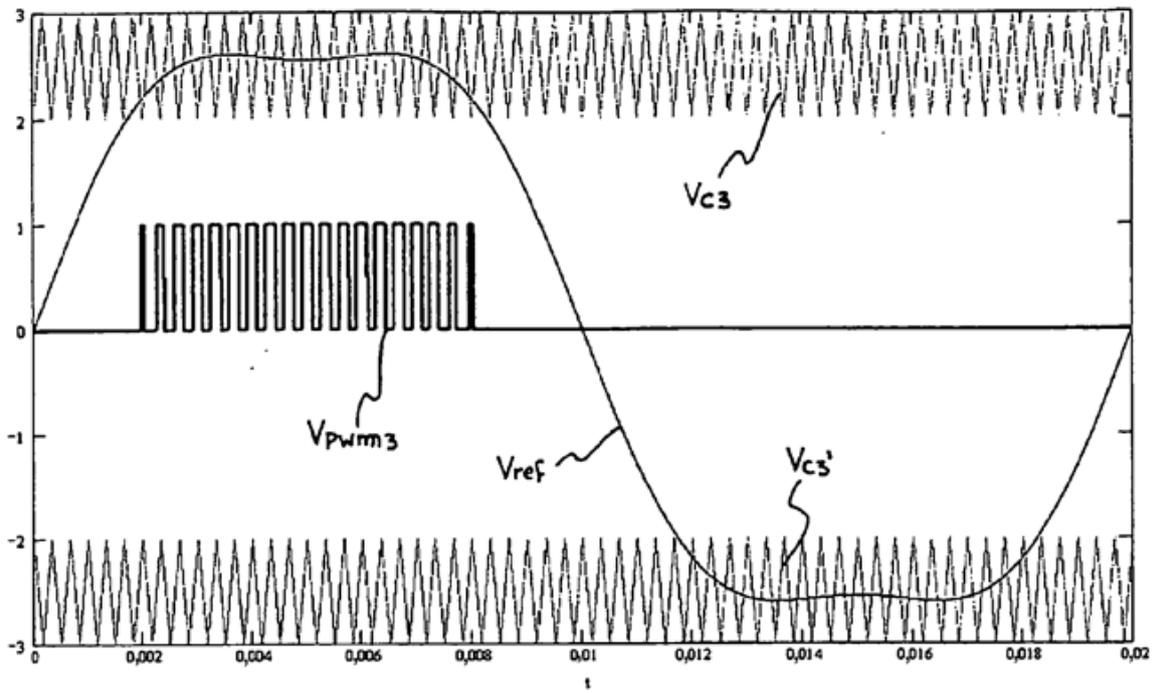


FIG. 22

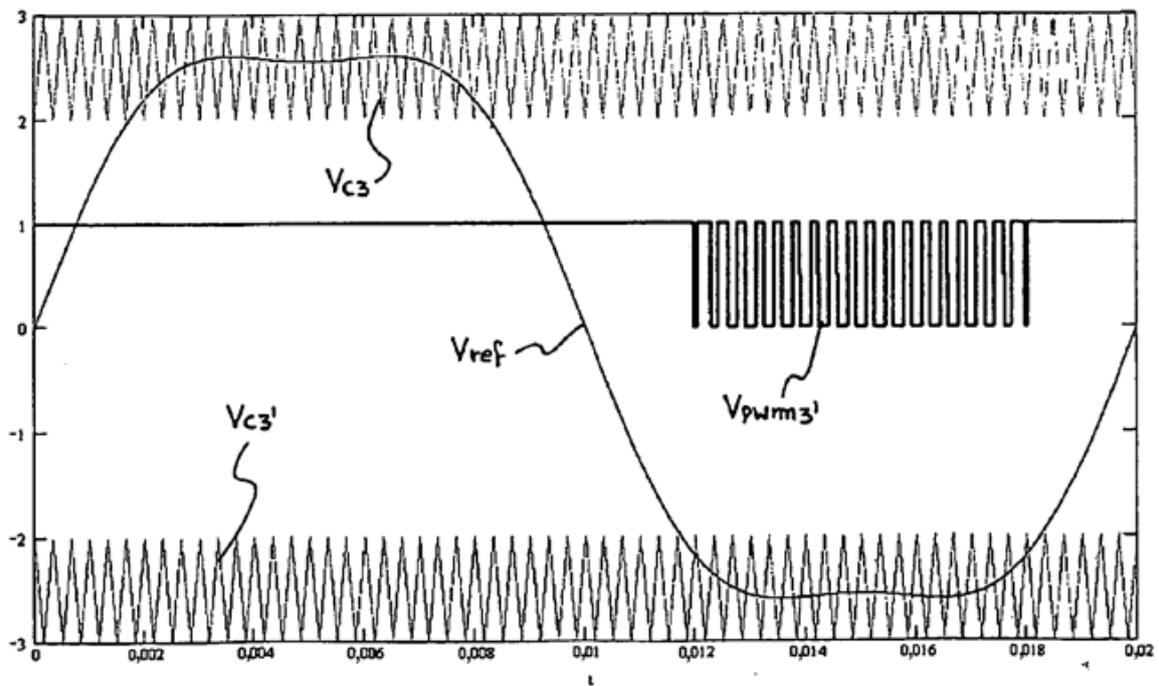


FIG. 23

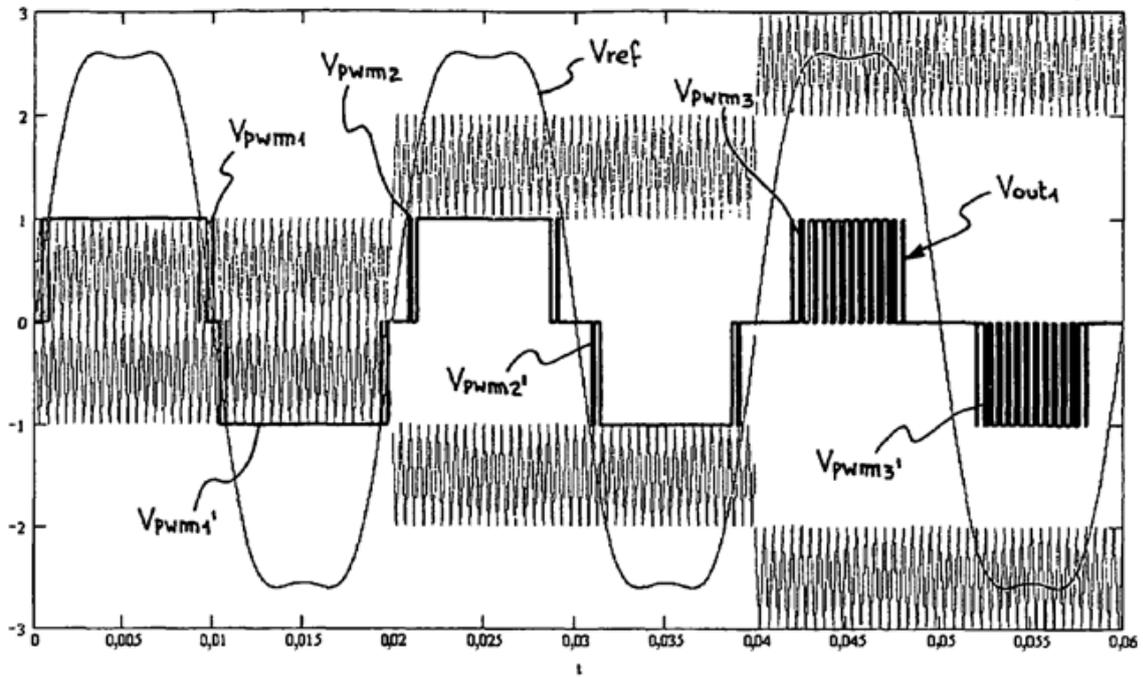


FIG. 24

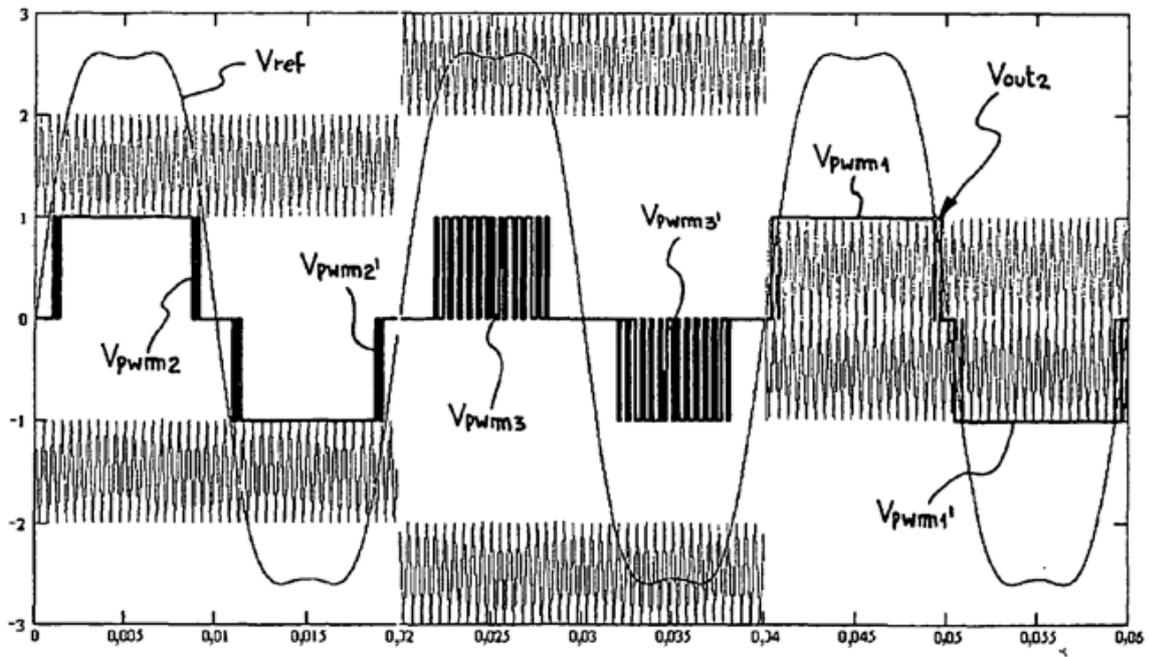


FIG. 25

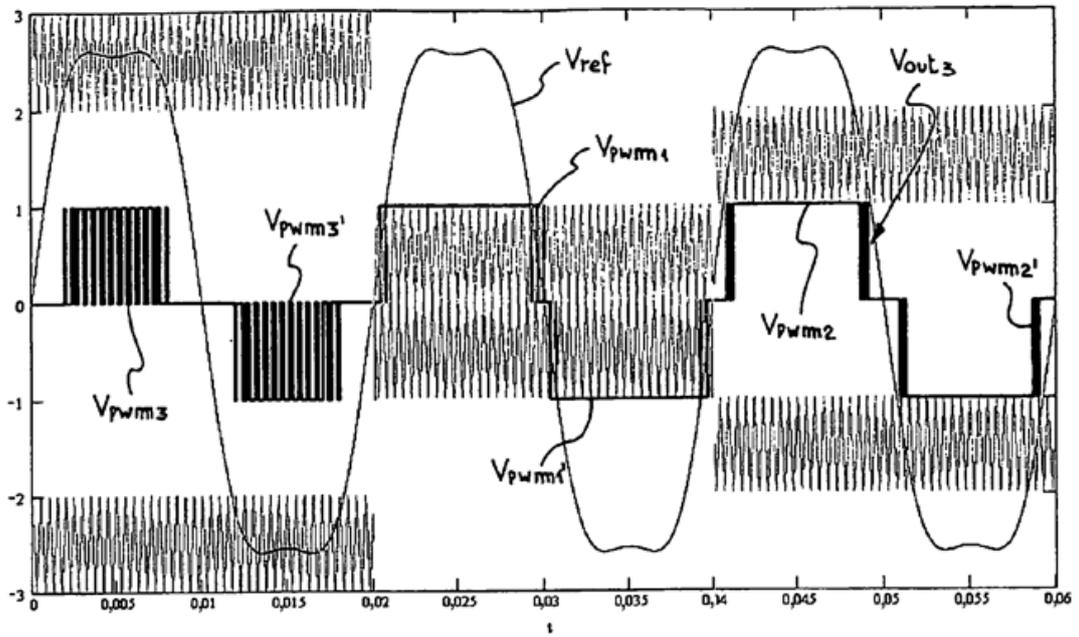


FIG. 26

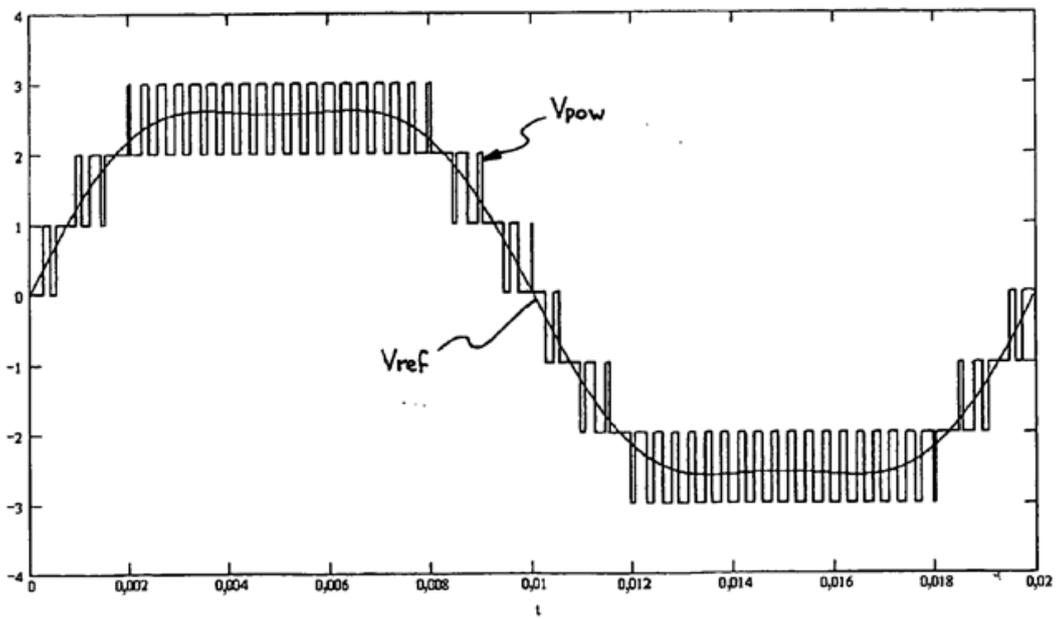


FIG. 27

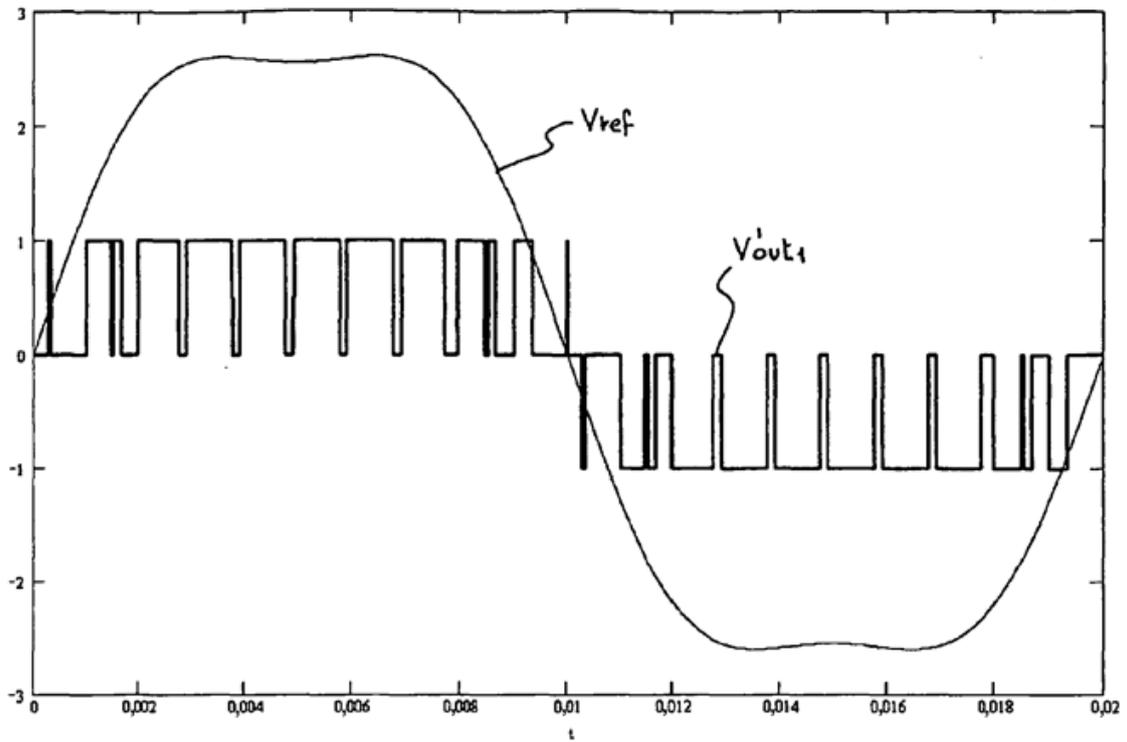


FIG. 28

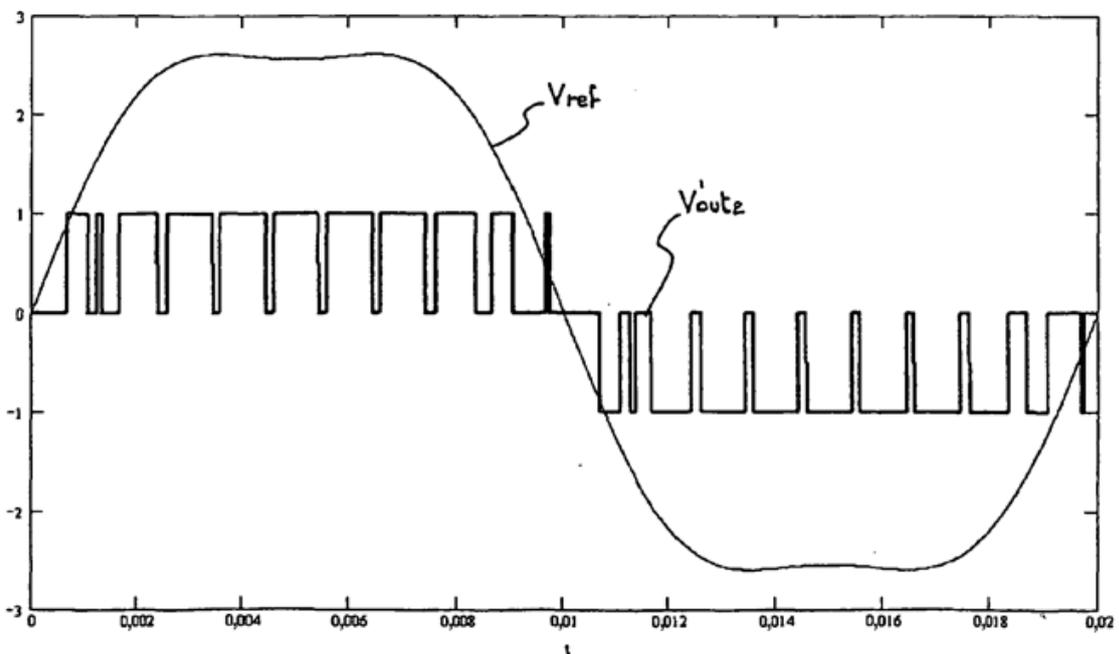


FIG. 29

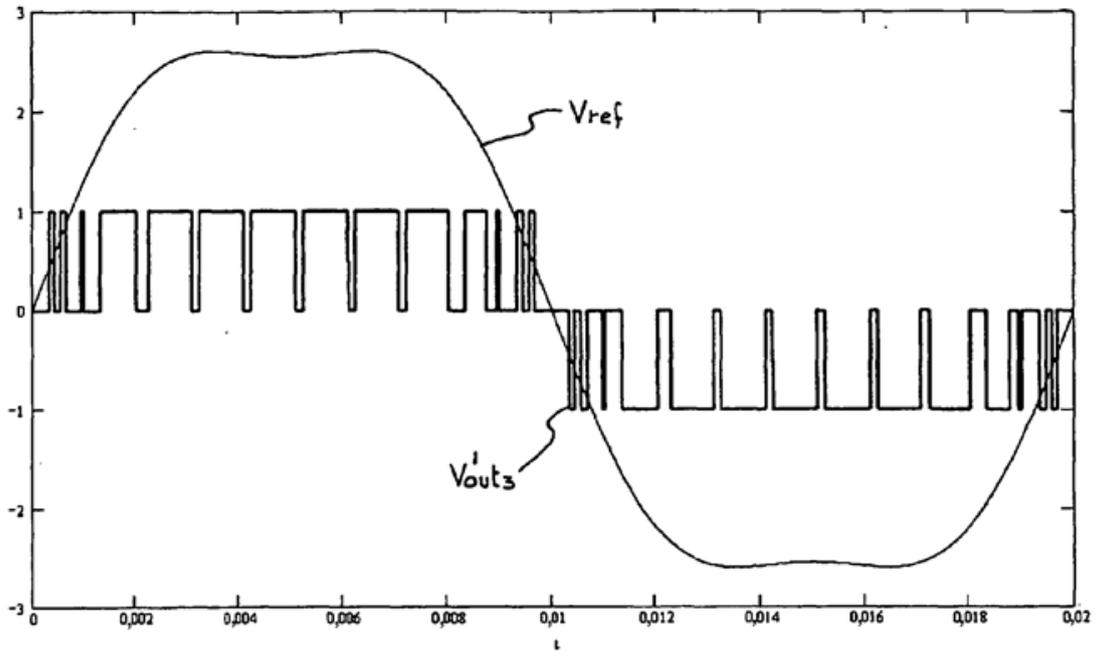


FIG. 30

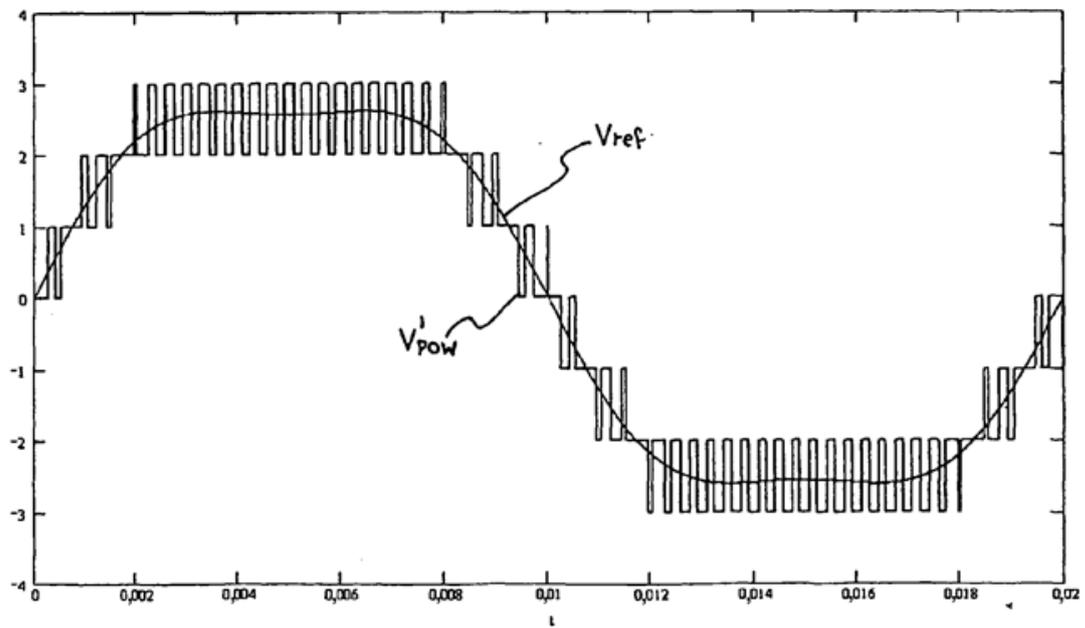


FIG. 31