



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 359 008**

51 Int. Cl.:
H03M 13/27 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **05804107 .0**

96 Fecha de presentación : **16.11.2005**

97 Número de publicación de la solicitud: **1813025**

97 Fecha de publicación de la solicitud: **01.08.2007**

54

Título: **Cambio sin juntas de la profundidad de un entrelazador convolucional general durante una transmisión sin pérdida de datos.**

30

Prioridad: **16.11.2004 US 628257 P**
23.02.2005 US 655518 P
15.11.2005 US 274952

73

Titular/es: **INFINEON TECHNOLOGIES AG.**
Am Campeon 1-12
85579 Neubiberg, DE

45

Fecha de publicación de la mención BOPI:
17.05.2011

72

Inventor/es: **Heise, Bernd**

45

Fecha de la publicación del folleto de la patente:
17.05.2011

74

Agente: **Carvajal y Urquijo, Isabel**

ES 2 359 008 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Cambio sin juntas de la profundidad de un entrelazador convolucional general durante una transmisión sin pérdida de datos

5 CAMPO DE LA INVENCION

La presente invención se relaciona de manera general con sistemas de comunicaciones y más particularmente con métodos de comunicación adaptativos que utilizan una línea de suscriptor digital (DSL).

ANTECEDENTES DE LA INVENCION

10 La tecnología de línea de suscriptor digital (DSL) suministra transferencia de datos a alta velocidad entre dos módems a través de líneas telefónicas ordinarias, en donde las tasas de transferencia de datos digitales desde decenas Kbps a decenas Mbps son soportadas sobre líneas telefónicas estándar (por ejemplo par entorchado), aunque aún suministre servicio telefónico antiguo normal (POTS). La línea de suscriptor digital asíncrona (ADSL) y la línea de suscriptor digital muy alta (VDSL) han surgido como implementaciones populares de los sistemas VDSL, donde el ADSL se define por o mediante el estándar del Instituto de Estándar Nacional Americano (ANSI) T1.413 y 15 los estándares de la Unión de Telecomunicación Internacional (ITU-T) G.992.3, G.992.5, y VDSL se define por el estándar ANSI T 1.424 y el estándar ITU-T G.993.1. El ADSL, VDSL y otros sistemas DSL similares (denominados colectivamente como "xDSL") suministran típicamente transferencias de datos digitales en un rango de frecuencia por encima de la banda POTS (aproximadamente 300 Hz a 400 kHz), por ejemplo el ADSL G.992.3 opera a frecuencias desde aproximadamente 25 kHz a aproximadamente 1.1 MHz.

20 La mayoría de las instalaciones DSL son operadas como sistemas multiportadores que utilizan modulación multitono discreta (DMT), en los cuales se transmiten datos mediante una pluralidad de subportadoras (tonos), algunas veces de manera alternativa como subcanales, sub-bandas, subportadoras, o bins, con cada soportadora individual utilizando una porción preferida del rango de frecuencia descrito. En el ADSL, por ejemplo, se utilizan 256 subportadoras para transmitir un símbolo DMT, teniendo cada subportadora un ancho de banda de 4.3125 kHz. La 25 transmisión de datos digitales se codifica y se modula en el transmisor utilizando Modulación de Amplitud en Cuadratura (QAM) y Transformación de Fourier Discreta Inversa (IDFT) para crear la señal multiportadora modulada para la transmisión a lo largo de un ciclo o canal DSL, que es luego desmodulado en el extremo receptor y decodificado para recuperar los datos transmitidos. Los bits de datos a ser transmitidos sobre cada subportadora son codificados como puntos de señal en las constelaciones de señal QAM utilizando un codificador o un sistema de mapeo de bits. Las constelaciones de señal son entonces moduladas sobre la subportadora correspondiente. El 30 número total de bits de datos transmitidos sobre el canal es una suma de los bits transmitidos por cada subportadora.

Como en la mayoría de los tipos de sistemas de comunicación, es deseable maximizar la cantidad de datos transferidos exitosamente a través del medio de comunicación entre los módems DSL, algunas veces denominados 35 como las tasa de bits o la tasa de datos. La tasa de datos, a su vez, depende de las características de ruido de un canal de comunicación particular. En el caso de los sistemas DLS, se conecta un par de módems a un par entorchado de alambres (algunas veces denominados como un aro) que forma el medio de comunicación. En esta situación, el ruido puede ser generado por señales de pares de alambres vecinos (por ejemplo ruido de charlas) en un sistema de telefonía distribuido, así como también fuentes externas de interferencia de radiofrecuencia (RFI) u otros ruidos. El ruido sobre un canal de comunicación particular se puede modelar o caracterizar de manera general como un ruido continuo o ruido de impulso o ambos. El ruido continuo es algunas veces modelado como un ruido 40 Gausiano Aditivo (AGN) con valores aleatoriamente distribuidos de ruido durante el tiempo, mientras que el ruido de impulso es generalmente explosiones cortas de niveles relativamente altos de ruido de canal. Se emplean varios mecanismos o técnicas en DSL y otros sistemas de comunicaciones para combatir el ruido continuo y de impulso y/o 45 corregir los errores de transferencia de datos relacionados con el ruido.

El ruido continuo se maneja típicamente al transmitir más bits de datos sobre las subportadoras con pequeñas cantidades de ruido continuo, y más pocos bits de datos sobre las subportadoras con mayor ruido continuo. La 50 ubicación de los bits de datos a las subportadoras particulares se denomina algunas veces como ubicación de bit o distribución de bit, mientras que los parámetros de distribución de bit se pueden ajustar para acomodar las condiciones de ruido continuo particulares sobre el canal. Sin embargo, simplemente maximizar la protección de ruido continuo al reducir el número de bits transmitidos por las subportadoras específicas puede conducir a una tasa de datos de un sistema no óptimo, en razón en que maximizar la protección de ruido continuo de esta manera reduce el número de bits de datos sobre las subportadoras. De acuerdo con esto, los sistema DSL son inicialmente configurados con protección de ruido continuo (por ejemplo distribución de bits) configuraciones o parámetros que

son seleccionados de acuerdo a la evaluación de ruido de la subportadora con base en la estimación del ruido del canal durante la inicialización del sistema. Aunque tales aproximaciones que utilizan las configuraciones de protección de ruido continuo suministran una buena protección al ruido continuo y unas altas tasas de transferencia de datos, las configuraciones de protección de ruido continuo suministran una buena protección de ruido continuo y unas altas tasas de transferencia de datos, las condiciones de ruido continuo del canal de comunicación tienden a cambiar durante el tiempo. A este respecto, si el ruido continuo disminuye, los parámetros de modulación fijos serán suficientes para proteger contra los errores de datos, pero no se logran tasas de datos incrementadas potenciales. Por el contrario, si el ruido continuo se incrementa, los parámetros de protección ampliamente ajustados pueden ya no ser suficientes para suministrar una protección adecuada contra los errores de transferencia de datos en el canal.

Con el fin de manejar esta situación, el sistema DSL suministra sintonización adaptativa de las configuraciones del parámetro de distribución de bit para acomodar el cambio del ruido continuo, incluyendo intercambio de bit, adaptación de la tasa, y técnicas de repartición de ancho de banda, cada una de las cuales involucra cambios en un número de los parámetros de modulación. En una situación típica, la proporción de señal a ruido (SNR) para cada subportadora se mide durante la iniciación del sistema, y se determina la capacidad de bit máxima de cada subportadora. Una vez que se evalúa de esta manera la capacidad de transmisión del sistema, se asignan más bits, (por ejemplo tamaños de constelaciones mayores) a las subportadoras con mayores SNR comparados con las subportadoras que tienen SNR inferior y se asignan las potencias de transmisión relativas de la subportadora (ganancias). El servicio DLS es luego iniciado y la subportadora SNR son medidas durante la transmisión de datos; la redistribución de bits (intercambio de bits) que son efectuados y las ganancias de la subportadora que son ajustadas de acuerdo a los cambios en las mediciones SNR de la subportadora.

El intercambio de bits en sí mismo no cambia la tasa de datos total del canal de comunicaciones, sino que sirve para incrementar o mantener, la inmunidad de ruido continuo al relocalizar los bits de datos desde las subportadoras ruidosas a más subportadoras libres de ruido. Donde el ruido del canal se incrementa significativamente, el intercambio de bits solo puede no ser adecuado para evitar los errores de la transmisión de datos, y la adaptación de la tasa sin juntas (SRA) se puede emplear para disminuir el número de bits de datos transmitidos sobre algunas subportadoras. Si el ruido continuo del canal posteriormente disminuye, (por ejemplo se incrementa el SNR), el SRA puede entonces ser utilizado para incrementar el número de bits de datos. Aunque estas técnicas pueden reaccionar efectivamente al cambiar las condiciones de ruido continuo, la protección del ruido de impulso no se afecta mayormente por las configuraciones de distribución de bits y la adaptación de las tasas sin juntas.

El ruido de impulso en los sistemas DSL usualmente origina el borrado de una señal modulada completa durante un periodo relativamente corto de tiempo, sin importar el número de bits ubicados en el canal completo o en las subportadoras particulares. La corrección directa de errores (FEC) es un medio para combatir el ruido de impulso en DSL y otros sistemas de comunicaciones. Un codificador FEC genera una cierta cantidad de bits de redundancia para cada bloque de bits de datos transmitidos. Los bits de redundancia son luego agregados a los bits de datos para formar una palabra código FEC. En el lado de recibo, el decodificador FEC utiliza bits de redundancia para recuperar tal disco (corregir) una cierta cantidad de bits de datos dañados, y asegura se esta manera que cuando un número pequeño de bits en una palabra de código se computan, los datos originales transmitidos en la palabra código se pueden recuperar. En general, el número de bits de error que se pueden corregir mediante el FEC es la mitad del número de bits de redundancia incluidos en la palabra código. Así, incrementar la redundancia del FEC le agrega una protección FEC adicional contra el ruido de impulso aunque disminuyendo efectivamente la tasa de datos, y viceversa, en donde las metas de la protección de ruido de impulso y la tasa de datos involucran un compromiso.

Además de la redundancia, los codificadores FEC también suministran entrelazado (IL) para combatir el ruido de impulso. Un entrelazador (en el lado de transmisión) segmenta las palabras de código o bloques FEC en porciones más pequeñas (segmentos) después de la adición de los bits de redundancia FEC, con segmentos de diferentes palabras código que son mezcladas en un cierto orden antes de la distribución de bits y la modulación. El orden de la mezcla de segmento es tal que los segmentos que pertenecen a la misma palabra código FEC se colocan tan lejos como sea posible uno del otro. Esto da como resultado en que los bits de la misma palabra código sean separados durante el tiempo, por medio de lo cual el daño del ruido de impulso o la corrupción del ruido de impulso de la corriente transmitida de datos durante cualquier periodo corto dado de tiempo da como resultado la corrupción de solamente uno o unos pocos segmentos que pertenecen a una palabra código o bloque particular, que origina más pocos errores en cada palabra código reensamblada (por ejemplo desentrelazada) en el lado del recibo. Así, la redundancia FEC permite la corrección de una cierta cantidad de datos corrompidos en cada palabra código, y el entrelazado ayuda a reducir la cantidad de bits corrompidos en las palabras código individuales, por medio de la cual los sistemas DSL pueden combatir efectivamente una cantidad dada de ruido de impulso en el canal de comunicación. Sin embargo, el entrelazado requiere la memoria búfer en el transmisor y los módems del receptor e introduce latencia en los datos transferidos. También, como se discutió anteriormente, incrementar las capacidades FEC requiere que sean introducidos más bits de redundancia y reduce la tasa de datos. Así, existe un compromiso entre la protección del ruido de impulso y la tasa de datos y los sistemas DSL.

Los parámetros para los mecanismos de protección de ruido de impulso, tal como el FEC y el entrelazado en los sistemas DSL, se han configurado convencionalmente en la instalación del sistema. Por ejemplo, los parámetros del entrelazador pueden incluir la longitud de la palabra código (es decir el tamaño del bloque), el número de bits de redundancia, el tamaño del bloque, y la profundidad del entrelazador. Estos parámetros se determinan típicamente con la meta de proteger contra errores de ranking individuales y de lograr una longitud de protección de error prescrita (que se define como el número de bits corruptos secuenciales que se pueden recuperar correctamente). Sin embargo, las características de ruido de impulso para cualquier instalación específica cambian generalmente con el tiempo. Consecuentemente, posteriormente en el tiempo, en razón a que las características de ruido de impulso pueden haber cambiado, y los parámetros del entrelazador no han cambiado, pueden ocurrir errores de transmisión. De acuerdo con esto, es deseable alterar la profundidad del entrelazador y/o la tasa de datos con el fin de optimizar el entrelazador con respecto a la corrección del error. Además, un cambio en la tasa de datos puede impactar el retraso del entrelazador o resultar en un cambio en la protección del error, lo cual puede además necesitar un cambio en los parámetros del entrelazador tal como la profundidad del entrelazador para cumplir con los requisitos de protección de error mínimo. Consecuentemente, es ventajoso para la profundidad del entrelazador ser alterada durante la operación del sistema DSL.

Una solución de la técnica anterior propuesta para ajustar la profundidad del entrelazador es apagar el sistema de comunicación de datos completamente durante un periodo de tiempo definido durante el cual se generan nuevos parámetros del entrelazador con base en el nuevo ambiente de ruido de impulso. El sistema luego se reactiva. Esta solución, sin embargo, tiene unas desventajas porque la comunicación de datos es completamente interrumpida durante varios segundos. En ciertas aplicaciones, por ejemplo, el flujo de video o telefonía, tal solución es inaceptable. Otra solución ha propuesto soportar cambios en la profundidad del entrelazador sin una interrupción en el servicio, sin embargo, tales cambios requieren que la profundidad del entrelazador mínima sea un múltiplo entero de la longitud del bloque de los datos (longitud de la palabra código) que son entrelazados. En tales casos, la granularidad de las modificaciones es desventajosamente larga, impidiendo la capacidad de optimizar el sistema de comunicación. La técnica anterior está basada en un entrelazador que está restringido a valores de $D=M \cdot I + 1$. Los cambios ocurren solamente en la granularidad. El efecto es que los cambios D conducen a espacios en la transmisión de datos de " I^2 ". Un valor usual de I es por ejemplo 30, así un cambio en D en I conducirá a un salto en el retraso de 900 bits. Para ocultar estos faltos por fuera del transceptor se ha agregado un búfer incontinuo que puede conducir a una latencia continua adicional (no deseada).

La EP 0 856 949 A1 se relaciona con métodos y aparatos para cambiar la profundidad de un entrelazador en donde se debe evitar un reinicio completo del sistema. En este documento, la profundidad del entrelazador de un entrelazador convolucional que tiene de celdas de memoria dispuestas en una matriz se cambia al cambiar el comportamiento de lectura normal de las colas de memoria diversa formadas por las celdas de memoria. En particular, dependiendo del número de la cola de memoria se lee un número apropiado de bits. Los bits ficticios se pueden insertar en los datos transmitidos para asegurar la transmisión de datos continuos y evitar la disminución del desempeño del entrelazador.

A través de este mecanismo de lectura, el número de celdas de memoria en cada cola de memoria se cambia por una cantidad diferente.

De manera similar, en este documento cambiar la profundidad del desentrelazador el comportamiento de la escritura cuando se escribe a las diferentes de colas de memoria del desentrelazador es temporalmente cambiado. A través de estas medidas cuando se incrementa o disminuye la profundidad del entrelazador se leen menos o más bits que los escritos en las colas de memoria, respectivamente, de tal manera que las colas de memoria se incrementan o disminuyen según se desee.

Un entrelazador convolucional adaptativo adicional se conoce del documento GB 2 332 836 A.

De la US 4, 901, 319 se conoce un sistema de transmisión con el entrelazador adaptado, en el cual se utiliza la tabla de visualización para determinar cuantas filas de registros de cambio se utilizan con base en el número de bits en cada fila.

Se describe un método de sistema adicional para entrelazado en la US 2002/0016938 A1.

De acuerdo con esto, existen necesidad de métodos y aparatos de protección de ruido de impulso mejorados para combatir el cambio de ruido de impulso en los canales de transmisión del DSL y en otros sistemas de comunicación.

RESUMEN DE LA INVENCION

Lo siguiente presenta un resumen simplificado con el fin de suministrar un entendimiento básico de uno o más aspectos de la invención. Este resumen no es una revisión extensa de la invención, y no pretende identificar

elementos claves o críticos de la invención, ni del idear el alcance de la misma. Por el contrario, el propósito primario del resumen es presentar algunos conceptos de la invención de una forma simplificada como el preludeo a una descripción más detallada que se presenta posteriormente.

5 De acuerdo con la presente invención, se suministra un sistema de transmisión de acuerdo a la reivindicación. Las reivindicaciones dependientes definen realizaciones adicionales.

10 La presente invención involucra sistemas y métodos de comunicación para el ajuste adaptativo de un DSL u otros sistemas de comunicación, en los cuales el ruido de impulso en un canal de comunicación se monitorea durante el servicio de comunicación, y la protección del ruido de impulso se ajusta selectivamente de acuerdo con el ruido de impulso sin interrumpir el servicio de comunicación. La invención facilita cuadrar a la medida la protección de ruido de impulso al ajustar la profundidad de un entrelazador convolucional sin un límite a la granularidad de tales cambios. De acuerdo con esto, se pueden grandes o pequeñas modificaciones a la profundidad del entrelazador sin una pérdida de datos.

15 Un aspecto de la invención suministra un método para alterar la profundidad del entrelazador, en donde un receptor que identifica un cambio en las condiciones de los sistemas le garantiza al entrelazador un cambio de profundidad. El receptor averigua una cantidad de cambio en la profundidad del entrelazador (un incremento o una disminución) y comunica ese cambio a un transmisor sobre un canal de manejo, por ejemplo. El transmisor entonces comunica la información de sincronización de regreso al receptor para indicar cuando ocurre el cambio de la profundidad del entrelazador, de tal manera que tanto el transmisor como el receptor implementen tales cambios al mismo instante.

20 En respuesta a un incremento de la profundidad del entrelazador, el transmisor incrementa un tamaño de los FIFO de transmisión asociados con estos al mover los punteros de lectura de los correspondientes FIFO, en donde cada cambio en el tamaño corresponde al cambio de profundidad del entrelazador ΔD . Aunque el tamaño inicial y el orden en el cual se leen los FIFO del transmisor es una función de la profundidad del entrelazador inicial D_1 , el orden en el cual se leen los datos desde el transmisor FIFO al receptor FIFO es luego alterado con base en el cambio de profundidad (a D_2), y los datos son entonces transferidos de acuerdo con el nuevo orden. Los datos ficticios asociados con los cambios del puntero se leen de acuerdo con el nuevo orden, los FIFO del receptor descartan los datos ficticios con base en un algoritmo de control basado en el cambio de profundidad de ΔD . Después de un periodo de tiempo predeterminado, todos los datos posteriores se aceptan y se guardan en los FIFO del receptor de acuerdo con un nuevo orden. Concurrentemente, no salen datos de los FIFO del receptor hasta que se han recibido datos válidos del FIFO del transmisor más grande. Durante ese tiempo ningún dato deja los FIFO del receptor mientras que son ingresados válidos a este, y así los FIFO del receptor se incrementan en tamaño de acuerdo al incremento deseado en la profundidad del entrelazador ΔD .

35 En respuesta a una disminución en la profundidad del entrelazador, el transmisor incrementa los FIFO de transmisión seleccionada con base en el cambio de profundidad ΔD de tal manera que los datos válidos serán transferidos desde el FI de transmisión más grande. Los datos ficticios se definen en los FIFO de transmisión restante y los datos son transferidos al FIFO del receptor con base el orden de transmisión alterado que es función de D_1 y D_2 . Concurrentemente, ningún dato es ingresado a los FIFO de transmisión hasta que han sido transmitido los datos válidos desde el FIFO más grande. En razón a que los datos dejan los FIFO de transmisión mientras que ningún dato se ingresa a este, los FIFO de transmisión disminuyen en tamaño de acuerdo a la disminución deseada en la profundidad del entrelazador ΔD . En los FIFO del receptor los subbits ficticios recibidos se descartan y solamente se ingresan datos válidos a los FIFO. En razón a que los datos dejan los FIFO del receptor mientras que se ingresan nuevos datos a este, los FIFO del receptor disminuyen en tamaño de acuerdo con la disminución deseada de la profundidad del entrelazador ΔD .

45 De acuerdo con otra realización de la presente invención, un cambio en la profundidad del entrelazador se logra al insertar selectivamente los bits ficticios esparcidos a través de los datos útiles opuestos a transferir los bits ficticios en bloques. De la manera anterior, una interrupción en la transferencia de datos en la salida del desentrelazador se elimina de manera sustancial, facilitando de esta manera un cambio en la profundidad del entrelazador sin interrupción de datos, lo cual es ventajoso en aplicaciones en las cuales se debe mantener la latencia del sistema generalmente constante.

50 La siguiente descripción y los dibujos anexos establecen en detalle ciertos aspectos ilustrativos e implementaciones de la invención. Estos son indicadores de solamente unas pocas de las varias maneras en las cuales los principios de la invención se pueden emplear.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

- La figura 1 es un diagrama esquemático que ilustra un sistema de comunicación DSL multiportador de ejemplo con un primer y segundo módem DSL acoplado con un canal o aro de comunicación de acuerdo con uno o más aspectos de la presente invención;
- 5 La figura 2 es un diagrama esquemático que ilustra un entrelazador convolucional y las características de operación asociados con este;
- La figura 3 es un diagrama esquemático que ilustra un entrelazador convolucional antes de un cambio implementado en la longitud del entrelazador;
- La figura 4 es un diagrama esquemático que ilustra el entrelazador convolucional que sufre un incremento en la profundidad del entrelazador en el transmisor de acuerdo con un aspecto de la presente invención;
- 10 La figura 5 es un diagrama esquemático que ilustra un entrelazador convolucional que sufre una disminución en la profundidad del entrelazador tanto en el transmisor como en el receptor de acuerdo con otro aspecto de la invención;
- La figura 6 es un diagrama de bloque que ilustra una distancia entre los bits asociados con un bloque de datos del entrelazador debido al entrelazado, un cambio en la profundidad del entrelazador, y un cambio en la tasa de transmisión de bits;
- 15 La figura 7a es un diagrama de bloque combinado y un diagrama esquemático que ilustra la transmisión selectiva de los bits de datos o un bit ficticio con base en los criterios establecidos;
- La figura 7b es un diagrama de bloque que ilustra los bits vecinos en un bloque de datos del entrelazador de acuerdo con un ejemplo de la presente invención; y
- 20 La figura 8 es un diagrama de flujo que ilustra un método para insertar selectivamente bits ficticios esparcidos a través de los datos útiles con el fin de acomodar un cambio en la profundidad del entrelazador el cual no es una realización de la presente invención.

DESCRIPCIÓN DETALLADA DE LA INVENCION

- Se describirán ahora una o más implementaciones de la presente invención con referencia a los dibujos anexos, en donde los numerales de referencia similares se utilizan para referirse a elementos similares en toda la descripción.
- 25 La invención se relaciona con sistemas y métodos de comunicaciones para ajuste adaptativo de los parámetros del sistema para convertir el ruido de impulso, que se ilustra posteriormente en el contexto de un sistema de comunicación multiportadora DSL de ejemplo que utiliza una modulación de transmisión multitono discreta (DMT) con entrelazado (IL), y un ajuste de profundidad del entrelazador para la protección de ruido de impulso. Sin embargo, la invención encuentra utilizada en asocio con cualquier tipo de sistemas de comunicación, incluyendo pero no estando limitado a los sistemas DSL, y a los sistemas de comunicación únicos o multiportadora en donde se puede emplear cualquier tipo de entrelazado y ajustar dinámicamente de acuerdo al ruido de impulso y a otro tipo de condiciones.
- 30

- La invención involucra monitorear las condiciones de ruido de impulso y ajustar los parámetros de protección de ruido de impulso tal como la profundidad del entrelazador durante el suministro de los servicios de comunicación. La invención puede así suministrar la adaptación de la protección de ruido de impulso para cambiar las condiciones de ruido.
- 35

- La figura 1 ilustra un sistema de comunicación DSL multiportadora de ejemplo 2 en la cual uno o más aspectos de la invención se pueden implementar, que comprenden primeros y segundos módems DSL 10 y 30, respectivamente, acoplados con un aro o canal de comunicación 4. El canal de comunicación de ejemplo 4 es un par entorchado o alambres de cobre en un sistema de telefonía residencial convencional, aunque la invención se puede emplear en sistemas de comunicaciones que emplean cualquier tipo de canal de comunicación 4 por medio de los cuales se pueden transferir los datos entre los módems 10 y 30. Los módems de ejemplo 10 y 30 son módems DSL que tienen circuitos adecuados para suministrar un servicio de comunicación DSL en el canal 4 generalmente de acuerdo con el ANSI T1.413 (ADSL), T1.424 (VDSL) y otros estándares DSL, que incluyen el desempeño de las tareas y las funciones descritas aquí.
- 40
- 45

En el sistema ilustrado 2, el primer módem 10 es un módem de suscriptor que se puede localizar en un hogar residencial, y el segundo módem está localizado en un proveedor de servicios DSL. Los datos se transfieren en ambas direcciones a lo largo del canal 4 en donde el módem de suscriptor 10 transmite los datos a ser recibidos por el módem del proveedor 30 y el módem del proveedor 30 transmite los datos para ser recibidos por el módem del

suscriptor 10. A este respecto, el sistema de comunicación de ejemplo 2 es simétrico, aunque los varios aspectos de la invención se pueden llevar a cabo en otros sistemas en los cuales los datos se transfieren en solo una dirección. Con el fin de apreciar los varios aspectos de la invención, el sistema de ejemplo 2 y los varios métodos de la invención se describen posteriormente con respecto a los datos que se transfieren en una primera dirección del módem del proveedor 30 al módem del suscriptor 10. De acuerdo con esto, en la siguiente discusión, el primer módem 10 (específicamente, un transceptor 18 del mismo) se puede denominar como un “receptor” y el segundo módem 30 (específicamente, un transceptor 38 del mismo) se puede denominar como un “transmisor” para los propósitos de describir los varios aspectos de la invención, con el primer “receptor” módem 10 que monitorea y analiza el ruido de impulso y propone los cambios de parámetro de protección de ruido al segundo (transmisor) módem 30, que luego instituye los cambios. Sin embargo, se apreciará que ambos módems 10 y 30 son capaces de transmitir y recibir datos en la implementación ilustrada, en donde los módems 10 y 30 pueden ser ambos configurados para monitorear el ruido con respecto a los datos recibidos de esta manera y proponer selectivamente e instituir un cambio en la profundidad del entrelazador de una manera cooperativa con el otro módem.

En el sistema de ejemplo 2, el primer módem 10 se adapta para monitorear el ruido de impulso (por ejemplo los errores en paquete corregidos y no corregidos, etc.) con respecto a los datos recibidos en el canal de comunicación 4 desde el segundo módem 30 durante el servicio de comunicación. El primer módem 10 analiza el ruido de impulso monitoreado y propone selectivamente cambios en el parámetro de protección de ruido apropiados al segundo módem 30. Los módems 10 y 30 se adaptan para ajustar cooperativamente la protección del ruido de impulso para transferir los datos desde el módem 30 al módem 10 (por ejemplo, al ajustar selectivamente el formato de palabra código que incluye el número de bits de redundancia FEC y/o el tamaño de la palabra código, y/o al ajustar selectivamente la cantidad de entrelazador) de acuerdo al ruido de impulso observado sin interrumpir el servicio de comunicación. De acuerdo con otro aspecto de la invención, más aún, el primer módem de ejemplo 10 puede ser además adaptado para monitorear el ruido continuo con respecto a los datos recibidos del segundo módem 30 (por ejemplo SNR, errores no en paquete, etc.) en el canal de comunicación 4 durante el servicio de comunicación, en donde los módems 10 y 30 se adaptan además para ajustar cooperativamente la protección de ruido continua en el sistema de acuerdo al ruido continuo en una forma coordinada para minimizar la redundancia sin interrupción del servicio de comunicación.

El primer módem de ejemplo 10 comprende un transceptor 18 que se acopla con el canal 4 y coopera con el servicio de comunicación de soporte (por ejemplo DSL) con el segundo módem 30. Con respecto a los datos recibidos del segundo módem 30, el transceptor 18 opera para recibir tales datos del canal 4. El primer módem 10 también comprende una interfaz de aplicación 12 en un sistema anfitrión, tal como una computadora hogar del suscriptor de servicio (no mostrado), en donde el segundo módem 30 también comprende una interfaz de aplicación 32 con un nodo de red (no mostrado). El sistema FEC 14 del primer módem 10 comprende un decodificador FEC y un desentrelazador que opera en conjunto con un controlador FEC 16, en donde el sistema de corrección directa de error (FEC) 34 en el segundo módem 30 incluye un codificador de FEC y un entrelazador con un controlador FEC correspondiente 36, donde el sistema FEC 34 suministra bits de redundancia a los datos de salida cuando se transmite al primer módem 10. El sistema FEC 14 del primer módem de recepción 10, a su vez, utiliza los bits de redundancia recibidos a los errores corregidos en los datos entrantes (cuando se reciben los datos provenientes del segundo módem 30). En una configuración bidireccional, el sistema FEC 14 del primer módem 10 suministra además entrelazado selectivo y codificación de los datos salientes (cuando se transmiten los datos al segundo módem 30) y el sistema FEC 34 del segundo módem 30 suministra desentrelazamiento de los datos entrantes (cuando se reciben los datos del segundo módem 30), en donde los sistemas FEC de ejemplo 14 y 34 comprenden cada uno circuitos lógicos adecuados para controlar las funciones FEC/IL descritas aquí, así como también la memoria para almacenar en búfer los datos a ser entrelazados/desentrelazados.

El transceptor 18 del primer módem 10 suministra la desmodulación de los datos entrantes desde el segundo módem 30, e incluye circuitos análogos adecuados para hacer interfaz con el canal de comunicación 4 para recibir los datos entrantes. En el segundo módem 30, el transceptor 38 suministra la orden de tono o la distribución de bits, en donde los bits de datos salientes a ser transmitidos sobre cada subportadora se codifican como puntos de señal en constelaciones de señal que utilizan los parámetros de distribución de bits suministrados por un controlador de distribución de bits 40. El transceptor 38 del segundo módem 30 también modula las constelaciones subportadoras de salida (en el ejemplo presentado utilizando la transformación de Fourier discreta inversa (IDFT)) y suministra las señales moduladas del canal 4 de acuerdo a las configuraciones de escala de ganancia de la subportadora desde el controlador 40. Para los datos entrantes recibidos desde el segundo módem 30, el transceptor 18 del primer módem 10 desmodula las señales recibidas hacia las constelaciones de la subportadora individual (por ejemplo, mediante la transformación Fourier discreta o técnicas DFT en el ejemplo presentado), y decodifica las constelaciones recibidas de acuerdo a los parámetros de un controlador de distribución correspondiente 20.

El primer módem 10 también incluye un sistema de manejo local 22 que suministra los parámetros FEC/IL al controlador FEC 16 para el número de bits de redundancia en los datos recibidos y la cantidad de nivel de desentrelazado del mismo (por ejemplo datos de profundidad del desentrelazador D), y también suministra las configuraciones o parámetros de distribución de bits al controlador 20, que incluye las asignaciones de bits de la

subportadora, las configuraciones de ganancia, etc., para decodificar y la desmodulación de los datos entrantes recibidos del canal 4. El sistema FEC 14 efectúa entonces el desentrelazado y la corrección de error de acuerdo con los parámetros del controlador FEC 16, y suministra los datos entrantes resultantes a la interfaz de aplicación 12.

5 El segundo módem 30 implementa la funcionalidad similar con respecto al servicio de comunicación DSL normal, y comprende un transceptor 38 acoplado con el canal 4, un sistema de distribución de bits 40 que controla la modulación (desmodulación) y codificación (decodificación) de los datos en el transceptor 38. El segundo módem 30 comprende además una interfaz de aplicación 32 para hacer interfaz con el sistema anfitrión (no mostrado), así como también un sistema FEC 34 y un controlador FEC correspondiente 36 para suministrar los datos de entrelazado y las funciones de corrección directa de error similares a aquellas descritas anteriormente con respecto al primer módem 10. El segundo módem 30 también incluye un sistema de manejo local 42, que suministra los parámetros de control y las configuraciones del controlador FEC 36 y al controlador de distribución de bits 40.

10 El sistema de manejo local 22 y 42 del primer y segundo módems 10 y 30, respectivamente, intercambia la información de control y los mensajes uno con el otro por medio del canal de manejo local 46, tal como una de las subportadoras del canal de comunicación 4 que utiliza cualquier comunicación adecuada o protocolo de intercambio de datos, con el fin de coordinar las configuraciones de los parámetros, los ajustes de las tasas, el tiempo de los cambios, etc. En particular, los sistemas de manejo local 22 y 42 intercambian la distribución de bits y las configuraciones de ganancia para uso mediante los respectivos controladores de distribución de bits 20 y 40, así como también el FEC/IL y las configuraciones del tamaño de la palabra código de uso en los controladores FEC respectivos 16 y 36. En el sistema ilustrado 2, los sistemas de manejo local 22 y 42 intercambian configuraciones e información por medio del canal de manejo 46 durante la iniciación del sistema para establecer las capacidades de bits iniciales de la subportadora y las configuraciones de ganancia con base en las mediciones iniciales de los niveles de ruido continuo de la subportadora (por ejemplo SNR). Por ejemplo, durante la iniciación, se obtiene la proporción de señal a ruido (SNR) para cada subportadora, y la capacidad de bits máxima de cada subportadora se determina mediante uno de los módems 10, 30. Esta información es enviada al otro módem, de tal manera que luego de iniciar el servicio DSL, los módems están utilizando los mismos parámetros. De manera similar los parámetros FEC/IL y el tamaño de la palabra código se establecen inicialmente por uno de los módems, de acuerdo a las mediciones de ruido de impulso inicial o de acuerdo a algunos otros criterios (por ejemplo protección mínima o retraso máximo), siendo replicadas las configuraciones al otro módem por medio del canal de manejo 46.

15 De acuerdo con la presente invención, el primer módem de ejemplo 10 también comprende un sistema de monitoreo de ruido y error 24 y un analizador 26, en donde el sistema monitor 24 monitorea los errores en la transferencia de datos que ocurre en el canal de comunicación 4 para los datos entrantes recibidos desde el segundo módem 30 por medio de la información de error desde el sistema FEC 14 durante el servicio DSL, y el analizador 26 determina si los errores de transferencia de los datos entrantes indican la presencia del ruido de impulso sobre el canal 4. En particular, el analizador 26 determina si cualquiera de los errores de transferencia en los datos entrantes son errores en paquete (por ejemplo errores relativamente grandes de duración corta), y si tales errores en paquete son corregidos o no corregidos por el sistema FEC 14. Uno o juntos del analizador 26 y el sistema de monitoreo 14, y/o cualquiera de los otros componentes del primer módem 10 ilustrado en la figura 1 se puede fabricar junto con el transceptor 18 como un circuito integrado único. Se nota que el segundo módem de ejemplo 30 también comprende monitorear el ruido y analizar los componentes (no mostrados) para monitorear y analizar el ruido y los errores de transferencia de datos para los datos transferidos desde el primer módem 10 al segundo módem 30, en donde las varias características de ajuste de protección de ruido de impulso de la invención se suministran para los datos que son transferidos en ambas direcciones a lo largo del canal 4 en el sistema de ejemplo 2.

20 Con el fin de apreciar completamente los varios aspectos de la invención, una breve discusión de algunos elementos y la operación de un entrelazador convolucional se suministran adelante en conjunto con la figura 2. Como se ilustró en la figura 2, un sistema de entrelazador convolucional 50 tiene un lado del transmisor 52 y un lado del receptor 54, respectivamente, en donde el bloque de datos entrantes 56 (por ejemplo una palabra código) es entrelazado con otros bloques de datos en el lado del transmisor 52 y posteriormente desentrelazado en el lado de recepción 54, respectivamente, en donde son recuperados los bloques de datos originales. En la figura 2 el bloque de datos entrante o la palabra código 56 constituyen un bloque de un bit (por ejemplo B_0, B_1, \dots, B_{I-1}). Cada bit en el bloque de datos es conmutado selectivamente a una "hileras" diferente del entrelazador, en donde el número de hileras corresponde al número de bits en cada bloque (por ejemplo las hileras "I" corresponden a los bits "I" por bloque). Cada bit del bloque de datos que se ingresa a la fila luego se retrasa de acuerdo a su posición dentro del bloque por la profundidad del entrelazador de acuerdo a la fórmula

$$\text{Retraso} = j \times (D-1); j = 0, 1, 2, \dots (I-1),$$

En donde j es el índice de la posición del bit dentro de cada bloque de datos, y D es la profundidad del entrelazador. De acuerdo con la presente invención, el bloque de datos puede ser idéntico a la palabra código o alternativamente puede comprender una fracción de una palabra código.

5 En el receptor o el lado de recepción 54, el procedimiento se invierte y los subbits se retrasan de acuerdo a su posición de bit en el bloque entrelazado (y así de acuerdo a la fila a la cual se le suministra el bit), en donde el retraso para entrelazador es:

$$\text{Retraso} = (l-1-j) \times (D-1); j = 0, 1, 2, \dots (l-1).$$

10 Consecuentemente, cada bit es retrasado mediante una combinación del entrelazador y el desentrelazador por $(l-1) \times (D-1)$ bits. Como se puede ver de lo anterior, la profundidad del desentrelazador D es un parámetro clave para el desentrelazador y representa el número de bits en el flujo de datos de entrelazado salientes entre dos bits de datos vecinos dentro del mismo bloque de datos (por ejemplo la distancia del bit en el flujo de datos de entrelazado entre D_0 y D_1 del mismo bloque de datos). Por lo tanto, en la medida en que la profundidad del entrelazador se incrementa, el sistema de comunicación exhibe una mayor capacidad para soportar el ruido de impulso, sin embargo, un incremento en D también incrementa la latencia del sistema de acuerdo con la fórmula anterior y requiere memoria adicional. Consecuentemente, se puede ver que las condiciones de ruido de impulso cambian o la tasa de datos cambia, como puede ser deseable al alterar la profundidad del entrelazador (incrementar o disminuir) para optimizar el desempeño del sistema (por ejemplo la protección adecuada contra los errores de bits individuales, lograr la longitud de protección de error requerida, y la maximización de la tasa de datos).

20 Como se ilustró en la figura 2, el entrelazador del transmisor 52 comprende una pluralidad de colas de longitud variante o elementos de retraso 60, tal como los FIFO, que reciben múltiples bloques de datos de entrada en serie (por ejemplo bloques de entrada en serie 56) y, utilizando un circuito de conmutación o de control 62 (por ejemplo el controlador FEC 76 de la figura 1), escribe secuencialmente los bits de datos allí en los varios FIFO 60, en donde el primer FIFO ($FIFO_0$) no tiene retraso, y el último FIFO ($FIFO_{l-1}$) tiene un retraso máximo asociado con este.

25 Como se discutió anteriormente, cada bit, al agregar los retrasos resaltados anteriormente, es retrasado por una combinación del entrelazador 52 y el desentrelazador 54 por $(l-1) \times (D-1)$ bits, y así cada transceptor es requerido para mantener (por la dirección de transmisión) una memoria del tamaño de $[(l-1) \times (D-1)]/2$. Como se discutió anteriormente, como se muestra en la figura 2, tal memoria empleada para mantener los bits de datos se puede implementar utilizando unas celdas de retraso ilustradas como los búfer FIFO. La longitud promedio de cada búfer FIFO corresponde al respectivo retraso en los bits dividido por el tamaño del bloque "l". Consecuentemente, la longitud promedio del FIFO para el bit "lavo" en el bloque es $(D-1) \times (l-1)/l$.

30 De acuerdo con un aspecto de presente invención, un cambio en la profundidad del entrelazador (y la cantidad del cambio ΔD), puede ser solicitada por el receptor con base en el cambio de las condiciones del sistema, por ejemplo, un incremento en el ruido de impulso. Por ejemplo, en referencia a la figura 1, el módem suscriptor 10 puede informarle al módem proveedor 30 por vía del canal de manejo 46. El transceptor 38 del sistema proveedor 30 suministra entonces una señal de sincronización al transceptor 18 para indicar cuando ocurre un cambio en la profundidad del entrelazador. En un ejemplo, la comunicación de sincronización 18 indica cuando ocurre un cambio en la profundidad del entrelazador. En un ejemplo, la comunicación de sincronización se efectúa sobre el aro 4 en razón a que tal señalización experimenta el mismo retraso de propagación que los datos subsecuentes, sin embargo, en otro ejemplo se puede emplear el canal de manejo 46. En respuesta a la solicitud de ajuste de la profundidad del entrelazador, el controlador FEC 36 y el módulo FEC 34 (que contiene el entrelazador en este) opera cooperativamente al implementar los FIFO de transmisión al entrelazador mediante una cantidad basada en el tamaño del cambio de la profundidad solicitada ΔD . De acuerdo con un aspecto de la presente invención, los FIFO de transmisión se incrementan en el tamaño al cambiar un sitio de un puntero de lectura asociado con cada FIFO.

45 Una memoria de acceso aleatorio típica (en conjunto con unos registradores que contienen ALU), se implementa un FIFO lógicamente mediante un puntero de escritura y un puntero de lectura, en donde el puntero de escritura es una dirección que apunta a un sitio en la memoria en donde los datos entrantes (un bit de un bloque de datos) va a ser escrito, mientras que el puntero de lectura es una dirección que apunta a un sitio en la memoria en donde los datos van a ser recuperados para transmisión. Al alterar la dirección del puntero de lectura, se altera el tamaño del FIFO. De acuerdo con la presente invención, como se discutirá con mayor detalle infra, un ΔD incrementa los resultados en cada uno de los FIFO de transmisión 60 que se incrementan mediante diferentes cantidades asociadas con ΔD . Por ejemplo, el $FIFO_1$ se incrementa en promedio mediante $\Delta D/l$, $FIFO_2$ se incrementa en promedio mediante $2 \times \Delta D/l, \dots$, y el $FIFO_{l-1}$ se incrementa en promedio mediante $(l-1) \times \Delta D/l$.

Alternativamente, contadores (no mostrados) (por ejemplo en el controlador FEC 36 de la figura 1) asociados con cada uno de los FIFO de transmisión 60 en el entrelazador tendrán un conteo único asociado con este en el cual,

hasta que tal que conteo se alcanza, los subbits ficticios se transmiten en lugar de los bits pilotos recuperados del FIFO 60.

5 Volviendo ahora a la figura 3, se ilustra un entrelazador convolucional simplificado 50, en donde los FIFO del transmisor 60 se han incrementado con base en una solicitud ΔD positiva. Nótese que en razón a que FIFO₀ es un FIFO virtual sin retraso, ningún retraso se agrega a este, mientras que los otros FIFO 60 se han incrementado en tamaño. El cambio en el tamaño se puede apreciar como sigue. Para esta explicación definimos un momento indicado por la variación "y". En razón a que las longitudes de los FIFO de transmisión 60 cambian periódicamente durante cada ciclo de la lectura y escritura de los "l" bits, el momento "y" representa el momento en que una transmisión FIFO número y será leída luego en el conmutador 72 (por ejemplo esta puede comprender un multiplexor). Por lo tanto "y" representa un número entero de los FIFO de transmisión 60 que van a ser leídos, en donde $0 \leq y \leq (l-1)$.

15 Si $T_1(z,y)$ para $Z= 0, 1, \dots (l-1)$, representa el tamaño de cada FIFO de transmisión antes del cambio de tamaño en el FIFO número y, y $T_2(z,y)$ representa el nuevo tamaño FIFO, entonces $T_2(z,y)$, es igual a $T_1(z,y)$ más $\Delta T(z,y)$, en donde $\Delta T(z,y)$ representa el incremento en el tamaño de los FIFO del transmisor con base en la profundidad del entrelazador incrementada ΔD . Nótese que la variable "z" se emplea en lugar de "j" que representó la localización del bit actual en cada bloque discutido en conjunto con la figura 2 porque de acuerdo con la presente invención, (como se discutirá con mayor detalle infra) la escritura y la lectura proveniente de cada transmisor FIFO 60 no ocurre típicamente al mismo tiempo, y así $T(z,y)$ es una función del tiempo y tramará +/- 1 bit de acuerdo con este. Consecuentemente, $T_2(z,y)$ representa la longitud FIFO después del cambio en profundidad. El incremento promedio en cada FIFO es una función de donde en cada bloque reciben aquellos bits, y será igual a $\Delta D \times z/l$. Así, cada FIFO 60 se incrementará una cantidad diferente.

25 Un ejemplo del tamaño del FIFO de incremento se ilustró en la figura 3 con un FIFO_{l-1} que se ajusta en tamaño al mover el puntero de lectura (RD-PTR₁) a un nuevo sitio (RD-PTR₂) con base en $\Delta T(z,y) = T_2(z,y) - T_1(z,y)$. Nótese que cuando es hecho un cambio inicialmente, los datos en la porción agregada de cada FIFO contienen datos ficticios como se marcaron en la figura 3. Consecuentemente, cuando ocurre la transmisión de datos con base en los nuevos tamaños FIFO del transmisor, existirá un periodo de tiempo donde el lado del receptor 54 arrojará o descartará los subbits ficticios y no escribirá estos datos ficticios en los FIFO del receptor en el desentrelazador. Por ejemplo, en razón a que el módem receptor 10 comunica el ΔD deseado al módem de transmisión 30, este sabe que el $\Delta T(z,y)$ resultante será para cada uno de los FIFO de transmisión (y así sabe cuantos datos ficticios existirán en cada uno de los FIFO de transmisión 60). De acuerdo con esto, los contadores (no mostrados) (por ejemplo en el controlador FEC 16 de la figura 1) asociados con cada uno de los FIFO de recepción 64 en el desentrelazador tendrán un conteo único asociado con este en el cual, hasta que se alcanza el conteo, los bits de datos entrantes, que son los bits ficticios, se descartarán para esa fila y sin ingreso en los FIFO de recepción 64. En razón a que $\Delta T(z,y)$ es diferente para cada uno de los FIFO de recepción (en razón a cada FIFO de transmisión se incrementa una cantidad diferente y así tiene diferente número de bits ficticios, el conteo de cada contador FIFO de recepción en el cual los datos ya no se descartarán será diferente. Una vez que el conteo de cada contador se alcanza, los siguientes bits de datos que entran a ese FIFO de recepción serán recibidos y colocados en este (en un sitio dirigido por el puntero de escritura asociado con ese FIFO particular).

40 Nótese que con respecto al FIFO de transmisión "l avo", este tiene la más grande cantidad de datos ficticios ($\Delta T(l-1)$), sin embargo, en el lado del receptor (el desentrelazador), no existe ningún FIFO porque tales datos son pasados a través del desentrelazador sin ninguna demora. En tales instancias de tiempo la transmisión de datos en la salida del desentrelazador 50 tiene que ser detenida en razón a que los bits de datos ficticios no pueden ser transmitidos sobre la línea 69 (ver, por ejemplo, figura 4).

45 En referencia ahora a la figura 4, además de aquello que ocurre en el lado de recepción o de entrada 65 de los FIFO de recepción 64 en el desentrelazador, el otro extremo 66 (el lado de salida) del desentrelazador (donde los datos reconstruidos, no entrelazados son reenviados), se desactiva durante un tiempo asociado con ΔD por l bits (esto es, hasta que existen datos finalmente válidos que lleguen del sitio FIFO l-1 de transmisión). Consecuentemente, se agrega latencia del sistema, sin embargo, la latencia corresponde a la profundidad del entrelazador incrementada ΔD , como se esperaría. Durante el tiempo durante la porción de transmisión de los FIFO de recepción 64 no está operativo (por ejemplo el conmutador 69), los datos son aún recibidos en las entradas 65 mediante los FIFO de transmisión, originando que cada uno de los FIFO de recepción 64 se incrementen en tamaño en una cantidad $\Delta R(z,y)$ que corresponde a ΔD .

Una manera de ejemplo de calcular el número de bits ficticios para cada transmisión FIFO 60 es utilizar la segunda variable "y" que referencia un momento en la operación del sistema.

55 Por lo tanto $T(z,y)$, comprende una longitud de referencia del FIFO número z de transmisión poco antes de que la salida del FIFO número y sea leída (por ejemplo cuando el multiplexor entre el asador 52 y el aro 4 apunte al FIFO

en cuestión). Los FIFO de transmisión de referencia, sin embargo, las longitudes de referencia no pueden ser longitudes reales para cada FIFO en razón a que el análisis no cuenta para la velocidad de escritura a los FIFO de transmisión, sin embargo, tal desfase no afecta el cálculo de $\Delta T(z,y)$.

Si $T_j(y)$ representa una longitud promedio de los FIFO número y , entonces

5
$$T_j(y) = (D_j-1)*y/l,$$

Que no puede ser un valor entero. Consecuentemente,

$$T_j(y,y) = \text{piso} [(D_j-1)*y/l],$$

Que representa $T_j(y)$, redondeado al siguiente valor entero más bajo, y

$$T_{\text{off}}(y) = T_j(y) - T_j(y,y),$$

10 Que representa el valor redondeado que fue “caído” con el operador “piso”. Por lo tanto:

$$T_{\text{off}}(y) = [(D_j-1)*y/l - \text{floor}((D_j-1)*y/l)].$$

Por lo tanto el valor de desfase $T_{\text{off}}(y)$ se puede calcular y sustraer de la longitud promedio de cada FIFO de transmisión (y luego redondearlo, y luego disminuir el resto), como sigue:TRANSMITE

$$T_j(z,y) = \text{piso} [(D_j-1)*z/l - T_{\text{off}}(y)].$$

15 Al calcular $T_j(z,y)$ en la presente profundidad del entrelazador D_1 y la nueva profundidad del entrelazador D_2 , el cambio de cada tamaño FIFO de transmisión (que representa el número necesario de bits ficticios) se calcula como sigue:

$$\Delta T_{\text{raw}}(z,y) = T_2(z,y) - T_1(z,y) = \text{piso} [(D_2-1)*z/l - T_{\text{off}_2}(y)] - \text{piso} [(D_1-1)*z/l - T_{\text{off}_1}(y)].$$

20 La fórmula anterior para $\Delta T_{\text{raw}}(z,y)$ caracteriza adecuadamente el número de bits ficticios necesarios por FIFO para un incremento en la profundidad del entrelazador. Para caracterizar más generalmente las ecuaciones tanto para un incremento como para una disminución en la profundidad del entrelazador, determinados:

$$\Delta T_{\text{min}}(y) = \min(\Delta T_{\text{raw}}(z,y)),$$

En donde $\Delta T_{\text{min}}(y)$ es el valor mínimo de $\Delta T_{\text{raw}}(z,y)$ con $z = (0, 1, \dots, l-1)$. Con esto,

$$\Delta T(z,y) = \Delta T_{\text{raw}}(z,y) - \Delta T_{\text{min}}(y).$$

25 Si $D_1 < D_2$ (un incremento en la profundidad del entrelazador) entonces $\Delta T_{\text{min}}(y)$ es 0 y la ecuación se simplifica a $\Delta T(z,y) = \Delta T_{\text{raw}}(z,y)$ como se esperaba. Si, sin embargo, $D_1 > D_2$ (significando que la profundidad del entrelazador disminuirá), entonces $\Delta T_{\text{min}}(y)$ es un número negativo que cuando se resta por encima y se incrementa $\Delta T_{\text{raw}}(z,y)$ a todos los valores positivos o al menos cero.

30 Como se puede ver, el cambio de cada tamaño de FIFO será una función del cambio en la profundidad del entrelazador (ΔD) y variará para cada uno de los FIFO de transmisión con base en valor “z”. Por lo tanto el número de bits ficticios a ser insertados en cada FIFO de transmisión se puede calcular para un cambio dado en la profundidad del entrelazador.

De la manera anterior, el entrelazador y el desentrelazador se pueden modificar con respecto a su profundidad una cantidad ΔD en donde la cantidad ΔD puede ser una cantidad y no necesita ser un múltiplo entero del tamaño del bloque de datos "barra". Consecuentemente, la presente invención suministra un ajuste de granularidad fina en la profundidad del entrelazador, que le permite al sistema mayor flexibilidad optimizando el sistema cuando ocurren cambios ambientales.

La presente invención mejora ventajosamente la granularidad de los cambios permisibles en la profundidad del entrelazador al alterar un orden en el cual los datos se leen desde los FIFO de transmisión y se transfieren a los FIFO de recepción. Por ejemplo, el orden en el cual los datos en los bloques de datos 56 son ingresados a los FIFO de transmisión 60 es fijo. Esto es, el primer bit (B_0) siempre es la entrada a la fila sub₀, el segundo bit (B_1) a la fila sub₁, y así sucesivamente, y tal orden es independiente de la profundidad del entrelazador D. El orden en el cual se leen los datos de los FIFO de transmisión, sin embargo, no sigue tal ordenamiento de acuerdo con la presente invención, sino que por el contrario sigue un ordenamiento que es una función de la profundidad del entrelazador (por ejemplo inicialmente un ordenamiento asociado con la profundidad del entrelazador B_1 antes de un cambio). Por ejemplo, si $l=10$, y así existen diez filas, la primera fila en la cual se pueden leer los datos (por ejemplo, si $l=10$, y así hay diez hileras, la primera hilera en la cual se pueden medir los datos (por ejemplo por vía del conmutador 10 en la figura 4) puede ser la fila 2, y la siguiente puede ser la fila 5, entonces luego la fila 8, luego la fila 1 (con un inicio de un nuevo ciclo), etc. Nótese que el conmutador (o el circuito de control) 72 opera sincrónicamente con el conmutador (o el circuito de control) 70 de tal manera que los datos leídos en la hilera "n" provenientes de los FIFO de transmisión 60 será escritos en la misma fila "n" en los FIFO de recepción 64.

Entonces, cuando ocurre un cambio en la profundidad del entrelazador (por ejemplo de D_1 a D_2), los tamaños del tipo de transmisor se cambiaron como se discutió, y también el orden en el cual se leen los datos de los FIFO de transmisión 60 se cambian desde el ordenamiento anterior, en donde el nuevo orden es una función de la nueva profundidad del entrelazador D_2 . La alteración del orden discutido anteriormente se efectúa mediante un circuito controlador, por ejemplo, dentro de los controladores FEC 16, 36 de acuerdo con un algoritmo de control. Ejemplos de tal algoritmo de control se describen en la patente Estadounidense 5, 764, 649. Al cambiar dinámicamente el orden en el cual se leen los datos desde los FIFO de transmisión a los FIFO de recepción con base en la profundidad del entrelazador, alterar los tamaños de los FIFO, y descartar selectivamente los subbits ficticios asociados con este, la presente invención puede alterar la profundidad del entrelazador con cualquier grado de granularidad, en donde la técnica anterior se limitó a los cambios de profundidad de $D = MxI + 1$ (esto es, múltiples enteros en el tamaño de bloque I).

De acuerdo con otro aspecto de la presente invención, la profundidad del entrelazador se puede disminuir por una cantidad ΔD de una manera algo similar. Como se describió anteriormente, inicialmente el receptor identifica la condición del sistema, por ejemplo, un cambio en las condiciones de ruido de impulso que justifican una disminución en la profundidad del entrelazador. El receptor entonces comunica el cambio deseado al transmisor por medio, por ejemplo, del canal de manejo 46, y el transmisor envía entonces una señal de sincronización (preferiblemente por medio del canal de datos) al módem receptor 10 para indicar cuando va a ocurrir un cambio en la profundidad del entrelazador.

El procedimiento inicia al cambiar el orden en el cual se leen los datos del FIFO de transmisión en el entrelazador desde los FIFO de transmisión 60 y escritos en los FIFO de recepción 64 en el entrelazador, en donde el cambio de orden (por ejemplo de los conmutadores 70 y 72) es una función del cambio de la profundidad del entrelazador D_2 . Como se discutió anteriormente, se puede emplear un algoritmo de control de ordenamiento tal como se discutió en la Patente Estadounidense 5, 764, 649. Concurrentemente, en razón a que hay una cantidad de datos válidos que corresponden a ΔD en el FIFO de transmisión I-1, y los datos deben ser aún transmitidos para recapturar adecuadamente los datos en el receptor, los otros FIFO se alteran (por ejemplo, al ajustar los punteros de lectura) para contener algunos datos ficticios, como se ilustró en la figura 5. Esto es, cada uno de los FIFO de transmisión 60 se alteran (por vía de sus punteros de lectura) para cumplir con la longitud $T_2(z,y) = T_1(z,y) - \Delta T(z,y) + \Delta T_{min}(y)$, como se ilustró. De la manera anterior, en la medida en que los datos entran a los FIFO de transmisión 60 se detienen (no hay conmutación en 62), los datos continúan siendo leídos desde los FIFO de transmisión 60 en un orden basado en un circuito de control en el conmutador 70 y transferidos a los FIFO de recepción 64 por medio del conmutador 72 con base en el ordenamiento de transferencia actualizado de los conmutadores (por ejemplo, controlador por los controladores FEC 16, 36). De esta manera, los datos válidos ΔD en los FIFO I-1 de transmisión se transfieren y reciben mientras que las cantidades más pequeñas de datos válidos (ΔD en cada uno de los FIFO de transmisión) también son transferidos. Los bits ficticios en cada uno de los FIFO de transmisión también son transferidos, pero son descartados por el receptor y así no almacenados (por ejemplo al no incrementar el o los punteros asociados con este) en los FIFO de recepción 64. En razón a que los datos se transfieren sobre el aro 4 mientras que los nuevos datos no entran a los FIFO de transmisión 60 (el conmutador 62 está apagado), cada uno de los FIFO de transmisión disminuyen en una cantidad ΔD , correspondiendo así a la disminución deseada en la profundidad del entrelazador. Este procedimiento dura durante un periodo de tiempo que corresponde a $\Delta D \times l$ bits, en el tiempo durante el cual los datos entran a los FIFO de transmisión se reinician y el receptor detiene selectivamente los bits descartados y recibe y almacena todos los datos entrantes.

5 En la realización anterior de la invención, se efectúa un cambio en la profundidad del entrelazador (ΔD) con la flexibilidad de la granularidad de la cantidad del cambio. En tal solución, sin embargo, los bits de los datos ficticios son introducidos y transferidos en un formato de bloque, en donde una introducción en el flujo de datos en la salida del receptor (la salida del desentrelazador) ocurre durante un periodo de tiempo igual a aproximadamente ΔD^* (I-1) bits. De acuerdo con otro sistema y método de variar la profundidad del entrelazador que no es una realización de la presente invención, en donde los bits ficticios introducidos para facilitar el cambio en la profundidad son esparcidos o distribuidos dentro de los datos útiles, facilitando de esta manera una transferencia sustancialmente continua de los datos, y evitando interrupciones sustanciales en la transferencia de datos.

10 Como se apreciará adicionalmente en la discusión de adelante, en implementaciones que no corresponden a las realizaciones reivindicadas una distancia (en el tiempo) entre un bit próximo a ser transferido (en la salida del FIFO de transmisión relevante 60) y se evalúa el bit que precedió ese bit en la entrada del entrelazador (el bit precedente en el bloque de datos del entrelazador original 56). Si la distancia es menor que un valor predeterminado, entonces la distancia en tiempo es demasiado pequeña para mantener la distancia, y un bit ficticio se transmite selectivamente en lugar del bit de datos (la transmisión del bit de datos útiles se pospone y no se sustituye) con el fin de mantener los bits suficientemente separados para cumplir con una distancia asociada con un nivel de protección de ruido de impulso dada (INP). Alternativamente, cuando la distancia en el tiempo entre los bits es mayor que el umbral, entonces se transmitirá el bit de datos. En la forma anterior, el cambio en la profundidad del entrelazador (ΔD) tiene poco impacto en la transmisión de datos. Tal mejora es sustancialmente ventajosa en sistemas o aplicaciones que no permiten una variación en la latencia.

20 De acuerdo con este método, el requisito de protección de ruido de impulso (INP) se cumple en todos los momentos durante el cambio en la profundidad del entrelazador al requerir que la distancia en el tiempo del bit previo del mismo bloque del entrelazador se mantenga. En razón a que la distancia en bits entre bits sucesivos en el bloque o el entrelazador es D_1 (la presente profundidad del entrelazador), y si L_1 representa la tasa de bit de transmisión, entonces la distancia en tiempo entre los bits sucesivos es $TD_1 = D_1/L_1$. El sistema y método habitualmente discutido mantiene TD_1 mayor que TD_{min} , que representa la distancia mínima en tiempo entre los bits que logran el INP requerido. Para mantener el INP, un cambio en la profundidad del entrelazador de D_2 requiere que $TD_2 = D_2/L_2$ (en donde L_2 es la tasa de transmisión de bit después del cambio en la profundidad del entrelazador) que también es mayor que TD_{min} . Por lo tanto:

$$TD_{min} < D_1/L_1, \text{ y } TD_{min} < D_2/L_2.$$

30 El sistema y método así calcula la distancia TD_2 entre los bits con base en la nueva profundidad del entrelazador (T_2), y si la distancia es mayor que TD_{min} , (u otro umbral aceptable, por ejemplo, un umbral mayor de TD_{min}), entonces el bit de datos es transmitido porque ningún bit ficticio se requiere para mantener la distancia requerida en tiempo entre los bits para elaborar el INP deseado en la nueva profundidad. Por el contrario, la distancia en tiempo TD_2 es menor que TD_{min} , entonces el bit ficticio se transmite en lugar del bit de datos que está próximo a ser transferido, de tal manera que en todos los instantes se mantienen en el INP. Al evaluar tan como se resalto anteriormente, los bits ficticios se distribuyen en todos los datos útiles opuestos a los que van a ser ingresados como bloques de datos ficticios, permitiendo de esta manera que la transmisión de datos permanezca sustancialmente continua.

40 La figura 6 ilustra la manera en la cual se puede determinar la distancia en el tiempo entre bits. En la figura 6 un bit precedente 100 es una distancia en tiempo 102 (T_{DIST}) desde un bit 104 que está próximo a ser transmitido sobre el aro 4. En el presente ejemplo, un cambio en la tasa de transmisión de bit de L_1 a L_2 ocurre en un tiempo 106, un cambio en la profundidad del entrelazador ocurre en un tiempo posterior 108. Cuando ocurren tales condiciones, el cambio en la tasa de transmisión de bits se debe tomar en cuenta para determinar la distancia en tiempo 102 entre los bits 100 y 104.

45 Si A_1 representa el número de bits transmitidos a una tasa de transmisión L_1 entre el bit precedente 100 y el cambio en la tasa de transmisión de bit 106, asuntos representan número de bits entre el cambio en la tasa de transmisión 106 y el cambio en la profundidad del entrelazador 108 (en la tasa L_2), y A_3 representa el número de bits desde el cambio en la profundidad del entrelazador 108 al bit 104 próximo a ser transmitido (a la tasa L_2), la distancia total en tiempo 102 entre los bits 100 y 104 es:

$$50 \quad T_{DIST} = A_1/L_1 + (A_2 + A_3)/L_2.$$

Nótese que bajo las condiciones donde ocurre al mismo tiempo el cambio en la tasa de transmisión de bit 106 y el cambio en la profundidad del entrelazador 108, $A_2 = 0$. También, nótese que en condiciones donde ocurre el cambio

en la profundidad del entrelazador 108 antes del cambio de la tasa de transmisión 106, la ecuación cambia como sigue:

$$T_{DIST} = (A_1 + A_2)/L_1 + A_3/L_2.$$

5 Finalmente, en la situación donde la tasa de transmisión de bit no ha cambiado desde el bit precedente, entonces el bit precedente 100 ocurre en el momento 110, en donde la distancia en el tiempo 102 se calcula como:

$$T_{DIST} = A_4/L_2.$$

De la manera anterior, se puede determinar la distancia en el tiempo (T_{DIST}) entre los dos bits 100 y 104.

10 Se contempla un circuito de control para determinar la distancia en tiempo entre los subbits 100 y 104 de la figura 6, y transmitir selectivamente el bit de datos en cuestión o un bit ficticio de respuesta a una comparación de la distancia determinada y un umbral predeterminado. Por ejemplo, como se ilustró en las figuras 7a y 7b, un circuito de control combinado y un circuito multiplexor 120 se localiza entre las salidas de los FIFO de transmisión 60 y el aro 4 de la figura 5 (por ejemplo reemplazar el conmutador 70).

15 El multiplexor 120 recibe una entrada 122, una salida de unos de los FIFO de transmisión 124, por ejemplo, $T(z,y)$, en donde z es un entero entre 0 y $l-1$ (en donde l es un entero que representa un tamaño de bloque entrelazador). Como se ilustró en la figura 7a, el FIFO de transmisión 124 está marcado $T(z,y)$ para indicar que el FIFO en cuestión es el uno al momento "y", que está cerca de transmitir su bit de datos 126 sobre el aro 4. El multiplexor 120 o el circuito de control asociado con este, en ese momento, efectúa una distancia en el cálculo de tiempo (T_{DIST}) entre ese bit 126 ($B_{i,z}$) (por ejemplo el bit asociado con $FIFO\#z$ en bloques "I") en subbits precedentes 128 ($B_{i,z-1}$) (por ejemplo el bit que precedió el bit 126 en el bloque entrelazador original que ya ha sido transmitido). La figura 7b ilustra la relación entre los bits 126 y 128 en una palabra código o en un bloque de datos antes de ser ingresado al entrelazador, de la figura 6 ilustra los bits (ilustrados como los bits 100 y 104) después del entrelazado, en donde ellos se separan por una distancia en el tiempo (T_{DIST}).

25 El circuito de control y el entrelazador 120 efectúan la distancia en el cálculo de tiempo y compara por ejemplo la distancia al umbral predeterminado, TD_{min} , y con base en la comparación transmite el bit 126 o un bit ficticio 130. Más particularmente, si la distancia T_{DIST} es mayor que TD_{min} , entonces existe suficiente distancia entre los bits 126 y 128 para satisfacer el INP, y así se transmite el bit 126. Alternativamente, si T_{DIST} es menor que TD_{min} , existiría una distancia insuficiente entre los bits 126 y 128, y así se transmite el bit ficticio 130 para implementar la distancia T_{DIST} entre los bits 126 y 128.

30 Nótese que en la discusión anterior, el circuito de control y el multiplexor se describen entre la salida de los FIFO de transmisión y el aro. Además, el sistema y método incluye un circuito de control entre el aro y los FIFO receptores del desentrelazador (por ejemplo en el sitio del conmutador 72 en la figura 5), en donde el circuito de control receptor opera sincrónicamente con el circuito de control de transmisión. De manera similar, el circuito de control de receptor utiliza la misma evaluación de control, por ejemplo, para identificar cuando está siendo transmitido un bit ficticio, y luego del recibo del mismo, el circuito de control, en lugar de insertar el bit ficticio el FIFO receptor, descarta el bit y lo mueve al siguiente FIFO receptor.

35 Volviendo ahora a la figura 8, se describe un método 150 para transmitir selectivamente los bits ficticios esparcidos en todos los datos útiles mientras que el método 150 se ilustra y se describe adelante como una serie de actos o eventos, se apreciará que esto no está limitado al orden ilustrado de tales actos o eventos. Por ejemplo, pueden ocurrir algunos actos en diferentes órdenes y/o concurrentemente con otros actos y eventos separados de aquellos ilustrados y/o descritos aquí, de acuerdo con la invención. Además, no todas las etapas ilustradas se pueden requerir para implementar una metodología de acuerdo con la presente invención. Adicionalmente, los métodos de acuerdo con la presente invención se pueden implementar en asocio con cualquier tipo o forma de sistema de comunicación, que incluye pero no está limitado a los sistemas DSL.

45 El método 150 comienza 152, en donde una distancia del tiempo T_{DIST} se calcula entre un bit que está próximo a ser transmitido y su bit precedente en el bloque entrelazador original. Por ejemplo, como se resaltó anteriormente y se ilustró en la figura 6, se puede calcular la distancia con base en si un cambio en la profundidad del entrelazador y/o la tasa de transmisión de bits ha cambiado y el orden del mismo para averiguar la distancia T_{DIST} . La distancia se compara entonces con un umbral predeterminado TD_{TH} de 154. Si la distancia es mayor que el umbral (si en 154), entonces existe ya suficiente distancia entre los subbits y no se requieren bits ficticios. Así el método 150 progresa a 156, en donde el bit a ser transmitido ($B_{i,z}$) se transmite sobre el aro 4. Si el resultado del análisis en 154 es negativo (no en 154), entonces existe una distancia insuficiente entre el presente bit y su bit precedente ($B_{i,z-1}$), y el bit ficticio

5 se transmite en lugar del bit ($B_{i,z}$) en 160. En cualquier caso, luego de la transmisión del bit ($B_{i,z}$) o del bit ficticio, el método 150 continúa a 158, en donde el multiplexor 120 procede al siguiente FIFO de transmisión para que sea accedido de acuerdo con el orden resaltado anteriormente aquí (que es una función de la profundidad del entrelazador presente). El método 150 continúa entonces con el siguiente bit a ser transferido. Nótese, que hay
 10 excepción en el procedimiento anterior. Los bits del FIFO#0 de transmisión son medidos y transmitidos sin la revisión como se describió anteriormente. La razón es que aquellos bits ($B_{i,0}$) son los primeros en un bloque entrelazador y no tienen un bit precedente en este bloque. La manera anterior, los subbits ficticios son solo transmitidos cuando se requiere mantener un INP deseado, y tales bits ficticios, en lugar de ser transferidos como un bloque y causar una interrupción en la transmisión de datos en la salida del desentrelazador, esparcen los bits ficticios en todos los datos útiles según se requieran, preservando de esta manera la latencia del sistema.

15 En otro ejemplo, para facilitar la implementación, la regla descrita anteriormente se puede modificar al transmitir ocasionalmente los subbits ficticios antes de que se requieran por la regla básica anterior. Por ejemplo puede ser ventajoso transmitir un bloque pequeño de bits ficticios para cada FIFO (excepto número 0) inmediatamente después del cambio de D. El número de bits ficticios debe ser tal que ninguna multiplicación (o división) con el valor A_1 se requiera para calcular la distancia al bit precedente. El número de bits a ser transmitidos al frente es, para este ejemplo:

$$\text{piso}[(\Delta D^*z/l - \text{Toff}_2(y) + \text{Toff}_1(y))] - \text{piso}[(\Delta D^*(z-1)/l - \text{Toff}_2(y) + \text{Toff}_1(y))]$$

Después de la transmisión del bloque pequeño de bits ficticios el resto de los bits ficticios son transmitidos de acuerdo con las reglas básicas descritas anteriormente.

20 Otro método, más general, para esparcir los subbits ficticios es efectuar la comparación anterior de la distancia del bit precedente para todos los FIFO cuando quiera que deba ser enviado un bit. Un bit ficticio se envía cuando ningún bit de salida de ninguno de los FIFO del transmisor que incluye FIFO#0 cumple con el requisito de distancia. Si uno de los FIFO cumple el requisito de este bit es enviado. Si más de un bit cumple con el requisito será enviado el bit que exceda mayormente el umbral. Si más de un bit tiene la misma más alta distancia nosotros tomaríamos aquel
 25 del FIFO con el número z más pequeño. Para la regla es nuevo que ahora también los primeros subbits de un bloque de entrelazador tengan que cumplir con el requisito de distancia. En este ejemplo, los primeros bits de un bloque de entrelazador en la salida del FIFO#0 tienen ahora que mantener una distancia en el tiempo con el primer bit del bloque de entrelazador precedente. El umbral que tiene que ser logrado para la distancia de los primeros bits de los bloques posteriores es la longitud del bloque l.

30 De acuerdo con otro aspecto de la invención, los subbits ficticios se pueden esparcir en todos los datos útiles en conjunto con una disminución en la profundidad del entrelazador. Cuando la profundidad del entrelazador va a disminuir, la profundidad cambia de 1 a 2, en donde $D_2 < D_1$. Con el fin de averiguar el orden de los subbits ficticios para efectuar el cambio en la profundidad en un ejemplo, se efectúa un cambio simulado de D_2 a D_1 (y L_2 a L_1) (un incremento hipotético en la profundidad) y se hace una determinación con relación al patrón de los bits ficticios
 35 transmitidos. Este patrón es luego empleado para disminuir la profundidad del entrelazador al revertir o al invertir el orden del patrón. Consecuentemente, los bits ficticios son entonces insertados selectivamente (y descartados en los FIFO del receptor) de acuerdo con el patrón inverso predeterminado. De la manera anterior, entonces, se puede apreciar que el sistema y el método de incrementar la profundidad se puede emplear para disminuir la profundidad al revertir el flujo de tiempo. En razón a que el ejemplo anterior también reversa el flujo de datos, podemos intercambiar el transmisor y el receptor, la entrada y la salida, la inserción de los subbits ficticios y descartar los mismos. La anterior metodología también se puede emplear para enviar los bits ficticios en bloques como se discutió supra opuesto a esparcir los bits ficticios en todos los datos útiles.

45 Aunque el ejemplo resaltado anteriormente describe un método particular por medio del cual el patrón de los subbits ficticios se esparce en todos los datos útiles, se debe apreciar que se pueden emplear otros mecanismos en los cuales los subbits ficticios se esparcen en todos los datos útiles con el fin de acomodar un cambio en la profundidad del entrelazador aunque manteniendo en INP en todo el cambio. Por lo tanto cualquier manera de generar tal patrón de bits ficticios en todos los datos útiles se puede emplear y se contempla como dentro del alcance de la presente invención.

50 Además, en los ejemplos anteriores, el umbral predeterminado empleado en la comparación del acto 154 se asocia con el requerimiento del INP (TDmin). Alternativamente, se pueden emplear otros valores umbral y se contemplan tales variaciones en el umbral predeterminado.

De acuerdo con otro aspecto de la invención, asignar un valor predeterminado a los bits ficticios se contempla por medio de la presente invención, y se puede utilizar para facilitar en sincronización, la detección del error y la estimación, como se puede apreciar.

5 Además, aunque el ejemplo suministrado aquí se ha descrito para un cambio en la profundidad del entrelazador y la tasa de transmisión para un canal único, la presente invención se puede emplear para efectuar una transferencia de datos sin costuras desde un canal al otro si ambos canales comparten los mismos medios de transmisión. En general, ambos canales tienen un diferente entrelazado. El canal que reduce la tasa de transmisión de bit reducirá la profundidad del entrelazador, y este proceso terminará antes de que se efectúe el cambio de tasa. El canal que toma sobre la nueva tasa de transmisión de bit incrementará su profundidad de tal manera que se altera el proceso de
10 alterar la profundidad es después del cambio en las tasas de transmisión de bit. Por lo tanto en un aspecto de ejemplo de la invención, se puede efectuar una transferencia de tasas de transmisión de bit entre los dos canales con una unidad que controla la inserción de los bits ficticios.

Aunque la invención se ha ilustrado y descrito con respecto a una o más implementaciones, alteraciones y/o modificaciones que se pueden hacer a los ejemplos ilustrados, además, aunque una característica particular de la
15 invención pueda haber sido descrita con respecto a solamente una de las varias implementaciones, tal característica se puede combinar con una o más de las características de otras implementaciones como se puede desear y ser ventajoso para cualquier aplicación dada o particular.

REIVINDICACIONES

1. Un sistema de transmisión que comprende:

Un transceptor (18, 38) configurado para transmitir datos sobre un medio de transmisión (4); y

5 Un sistema de corrección de error directo (34, 14) operablemente acoplado al transceptor (38,18), y configurado para transmitir los datos codificados al transceptor (38, 18) para la transmisión del mismo, en donde el sistema de corrección de error directo (34, 14) comprende un entrelazador convolucional (52, 50) configurado para recibir una pluralidad de palabras código o bloques de datos y entrelazar la pluralidad de palabras código o bloques de datos con base en la profundidad del entrelazador, y además ser configurado para variar la profundidad del entrelazador por una cantidad diferente de un múltiplo de entero de una longitud del bloque de la pluralidad de palabras código o bloques de datos,

10

En donde el entrelazador (52, 50) comprende una pluralidad de los FIFO de transmisión (60), en donde el número de los FIFO de transmisión (60) es igual al número de bits de datos en una palabra código o un bloque de datos,

En donde el entrelazador comprende un circuito de control (36, 16) configurado para alterar un tamaño del FIFO de transmisión (60) con base en un cambio en la profundidad del entrelazador comunicada a este.

15 2. El sistema de transmisión de la reivindicación 1, en donde el sistema de corrección de error directo (34, 14) se configura para alterar la profundidad del entrelazador convolucional con base en los datos de ruido de impulso recibidos.

3. El sistema de transmisión de la reivindicación 1, en donde el circuito de control (36, 16) se configura para alterar el tamaño de los FIFO de transmisión (60) de acuerdo a $\Delta T(z,y) = \Delta T_{raw}(z,y) - \Delta T_{min}(y)$, en donde $\Delta T(z,y)$ comprende un cambio en el tamaño en el FIFO del z avo FIFO (60) en un momento anterior a que se lea una salida del y avo FIFO (60), en donde $\Delta T_{min}(y)$ es cero cuando existe un incremento en la profundidad del entrelazador y en donde $\Delta T_{min}(y) = \min(\Delta T_{raw}(z,y))$, en donde $\Delta T_{min}(y)$ es el valor mínimo de $\Delta T_{raw}(z,y)$ para $z = (1, \dots, l-1)$ cuando existe una disminución en la profundidad del entrelazador, en donde un tamaño de un cero avo FIFO permanece sin cambio, y en donde

20

$$\Delta T_{raw}(z,y) = T_2(z,y) - T_1(z,y) = \text{piso}[(D_2-1)*z/l - \text{Toff}_2(y)] - \text{piso}[(D_1-1)*z/l - \text{Toff}_1(y)],$$

25

En donde

$$\text{Toff}_j(y) = [(D_j-1)*y/l - \text{piso}((D_j-1)*y/l)],$$

En donde D_j representa la profundidad del entrelazador antes del cambio de la profundidad del entrelazador, en donde D_j es D_1 , o después del cambio de la profundidad del entrelazador, en donde D_j es D_2 , y en donde el piso (m) es un operador matemático en donde el valor "m" se redondea en el siguiente valor entero más bajo.

30

4. El sistema de transmisión de la reivindicación 1, en donde el circuito de control (36, 16) se configura además para alterar un orden en el cual los bits de datos se leen de los FIFO de transmisión (60) con base en el cambio en la profundidad del entrelazador.

5. El sistema de transmisión de la reivindicación 1, en donde el circuito de control, (36, 16) se configura adicionalmente para averiguar una disminución en la profundidad del entrelazador desde una profundidad inicial D_1 a una nueva profundidad D_2 , en donde $D_2 < D_1$, y además se configura para simular un cambio en la profundidad del entrelazador de D_2 a D_1 como un incremento hipotético en la profundidad del entrelazador, obteniendo de esta manera un patrón simulado y un orden de datos transmitidos desde un lado del receptor a un lado del transmisor, en donde el patrón simulado se basa en la transmisión selectiva simulada de bits de datos o bits ficticios, y en donde el circuito de control (36, 16) se configura además para formar un patrón invertido y un orden invertido de transferencia de datos con base en el patrón simulado, y emplea el patrón invertido y el orden invertido para transmitir selectivamente los bits de datos y los bits ficticios desde el lado del transmisor al lado del receptor, en donde el patrón invertido da como resultado una disminución en la profundidad del entrelazador D_1 a D_2 .

35

40

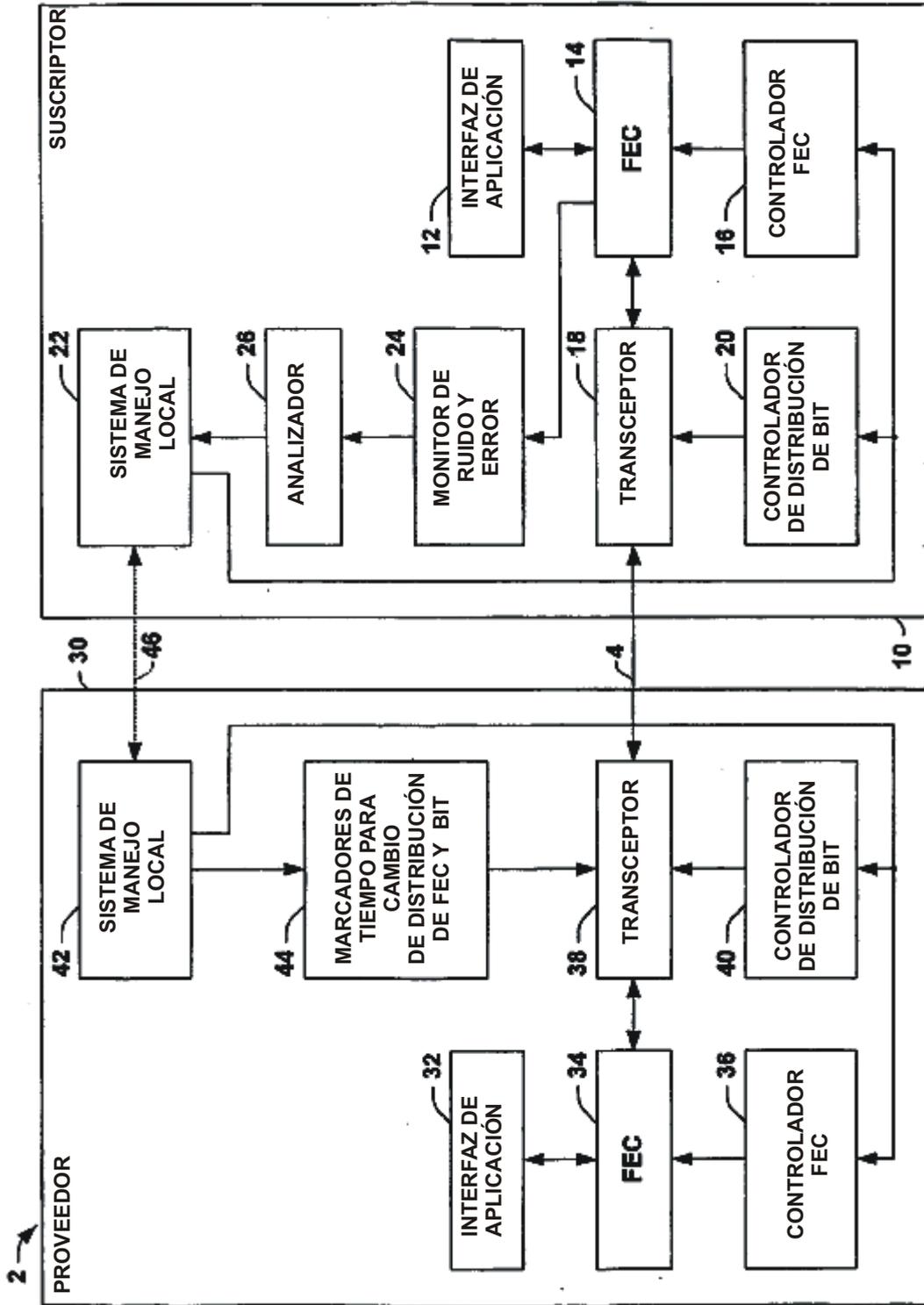


FIG. 1

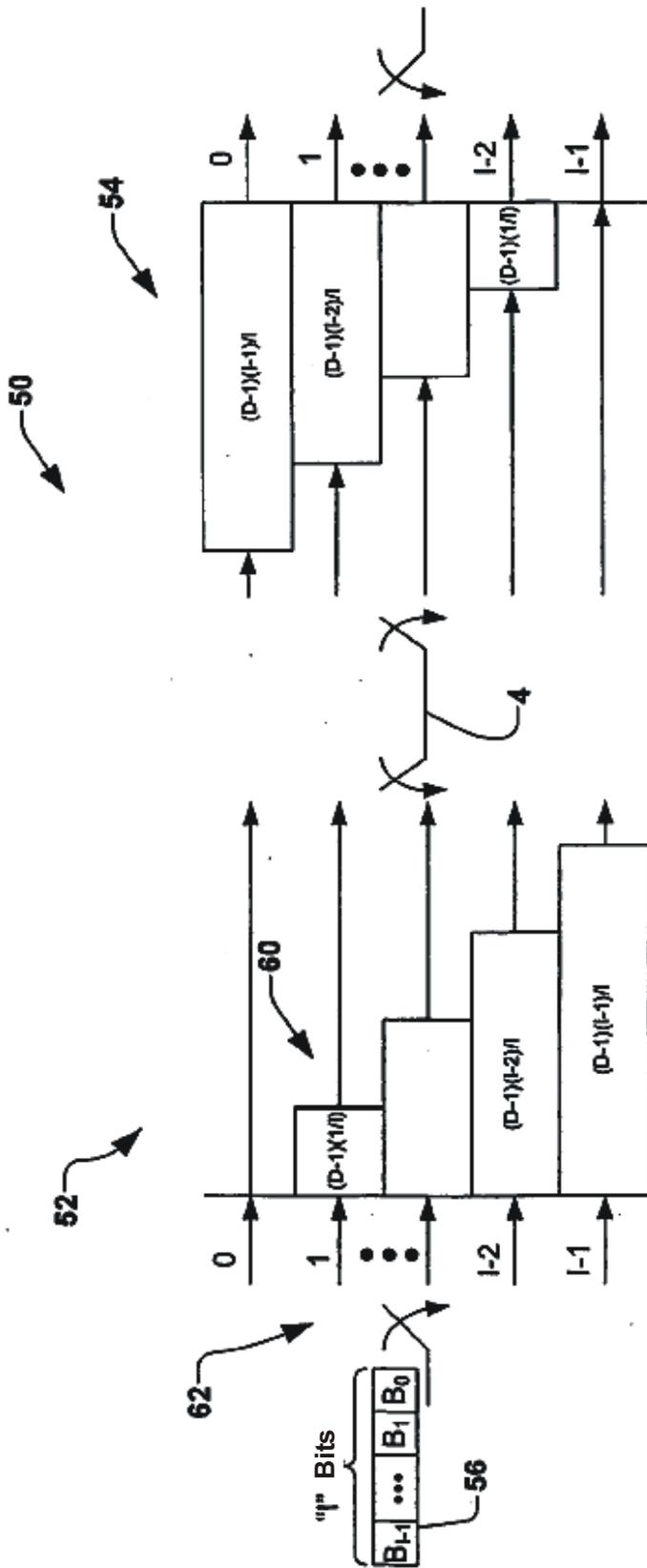


FIG. 2

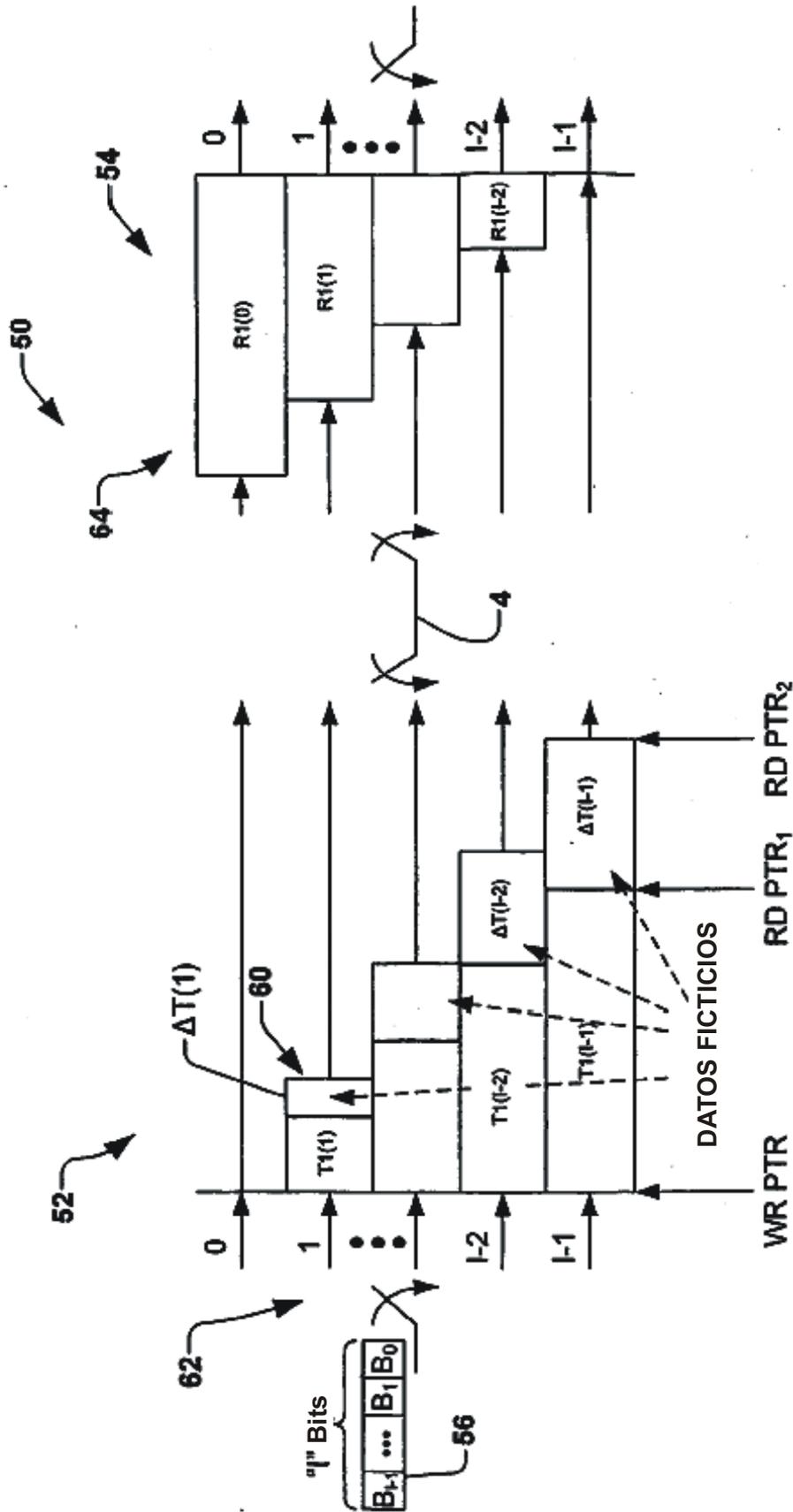


FIG. 3

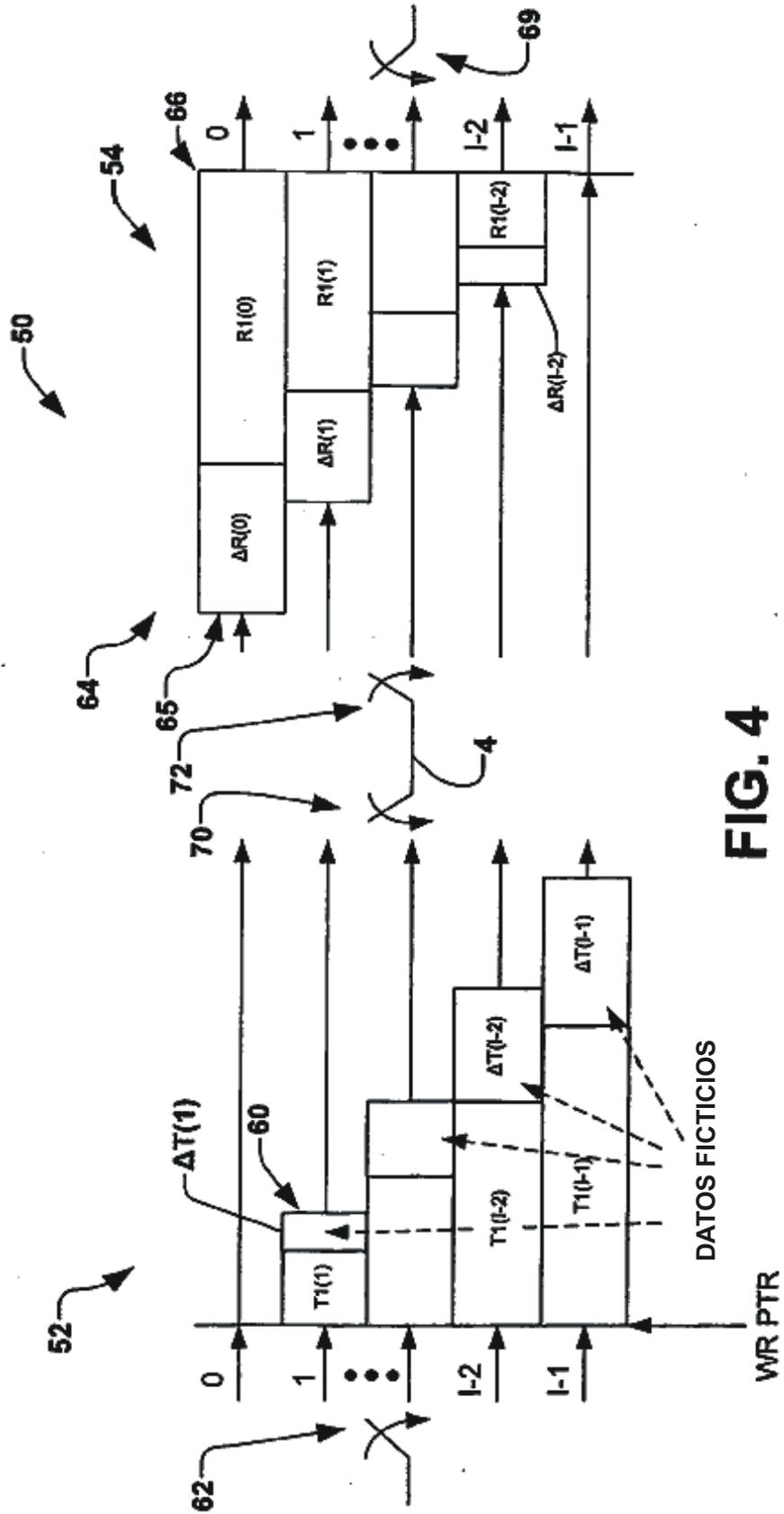


FIG. 4

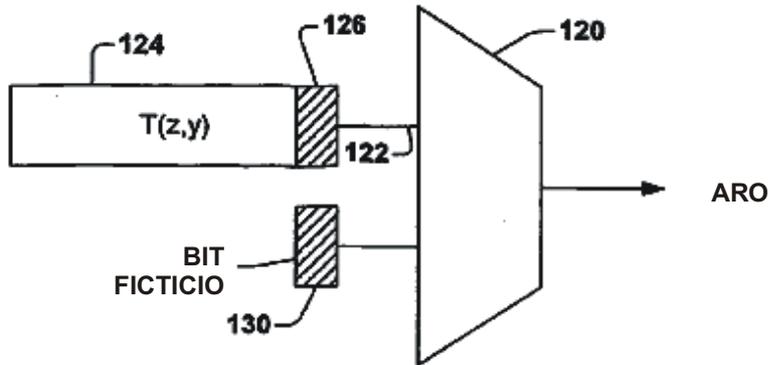


FIG. 7A

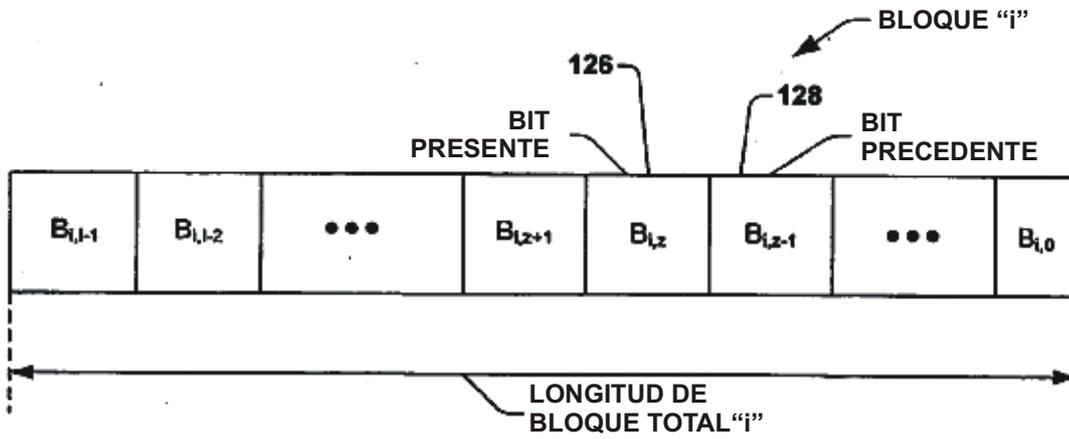


FIG. 7B

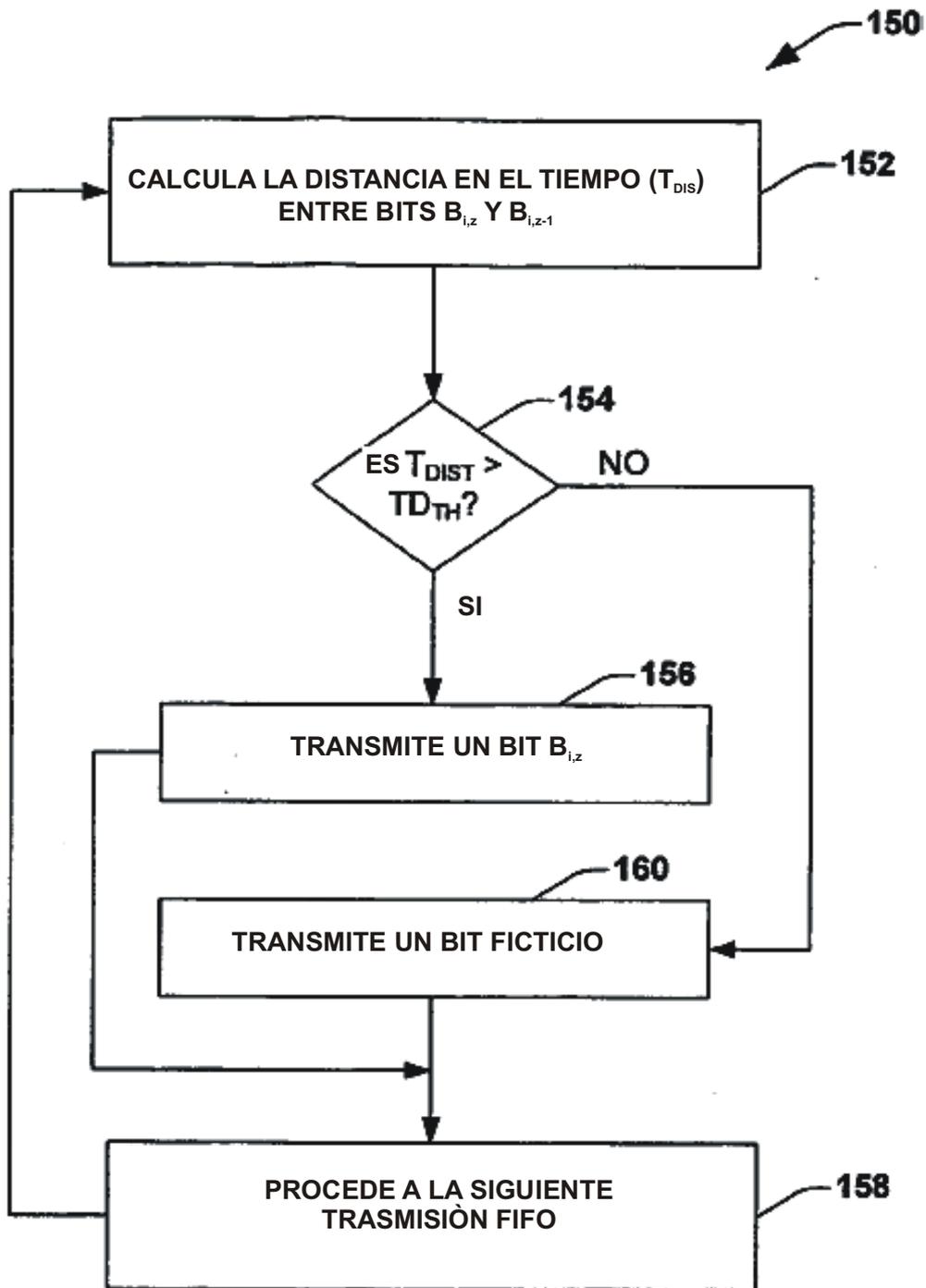


FIG. 8