



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 359 230**

51 Int. Cl.:
G01R 19/25 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **02750276 .4**

96 Fecha de presentación : **24.07.2002**

97 Número de publicación de la solicitud: **1412764**

97 Fecha de publicación de la solicitud: **28.04.2004**

54 Título: **Sistema y procedimiento para procesar una forma de onda.**

30 Prioridad: **27.07.2001 US 917477**

45 Fecha de publicación de la mención BOPI:
19.05.2011

45 Fecha de la publicación del folleto de la patente:
19.05.2011

73 Titular/es:
OMRON SCIENTIFIC TECHNOLOGIES, Inc.
6550 Dumbarton Circle
Fremont, California 94555-3611, US

72 Inventor/es: **Drinkard, John;**
Cardona, Javier y
Dums, Christopher

74 Agente: **Carpintero López, Mario**

ES 2 359 230 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y procedimiento para procesar una forma de onda.

Antecedentes de la invención

5 Muchas aplicaciones se basan en datos de formas de onda capturadas o registradas para diversos fines, como por ejemplo la medición o la caracterización de señales. A menudo, una o más formas de onda de señales, como por ejemplo formas de onda de estímulo y respuesta son registradas y a continuación analizadas para determinar uno o más parámetros de interés. Dicho procesamiento puede afectar, por ejemplo, a la ejecución del análisis espectral de datos capturados, o puede ser relativamente directo, como en la identificación de las transiciones de señales dentro de una formas de onda de señales.

10 Una característica común a la mayoría de las aplicaciones de registro de datos es la acumulación de conjuntos de datos potencialmente amplios. Por ejemplo, téngase en cuenta que el muestreo de una señal a diez megahertzios durante cien microsegundos genera mil puntos de muestra. Cuando resulta implicado un muestreo de alta velocidad o cuando son simultáneamente muestreadas múltiples formas de onda, el número de muestras de onda de datos acumuladas crece rápidamente. Por ejemplo, en la Solicitud de Patente incorporada con anterioridad, un registro de
15 alta velocidad de línea de retardo derivada (el "TDLR") captura uno o más canales de datos de alta velocidad en base a la digitalización de formas de onda de medición de distancias basadas en láser.

A menudo, los datos son recogidos o capturados en un emplazamiento o subsistema y, a continuación, son procesados en otro. El problema consiste entonces en hacer que estos grandes conjuntos de datos acumulados sean disponibles para su procesamiento en el momento oportuno, lo que puede resultar problemático en términos de
20 desplazamiento de los datos por dentro de un sistema de procesamiento donde las velocidades de transporte de los datos están prácticamente limitadas.

En efecto, en algunos casos, el desplazamiento de grandes cantidades de datos capturados por dentro de un sistema de procesamiento puede resultar poco práctico, o al menos indeseable. Así, una estrategia para gestionar datos de formas de onda de una manera que reduzca al mínimo la necesidad de transportarlos entre subsistemas de
25 procesamiento reduciría la carga de trabajo. Esta reducción de la carga de trabajo puede resultar particularmente ventajosa en sistemas de procesamiento con ancho de banda limitado, o con actividades de procesamiento amplias en tiempo real que limiten la capacidad de los sistemas para dedicar mucho tiempo de procesamiento al transporte de datos entre subsistemas de procesamiento.

El documento US-A-4 701 803 divulga un sistema y un procedimiento con las características distintivas del
30 preámbulo de las reivindicaciones 1 y 10.

Breve resumen de la invención

La presente invención consiste en un aparato y un procedimiento para la reducción de datos, particularmente en el contexto del procesamiento de datos de formas de onda digitalizadas, de acuerdo con lo descrito en las
35 reivindicaciones 1 y 10. En aplicaciones en las que deben ser manejados series potencialmente amplias de datos de formas de ondas digitalizadas, la presente invención proporciona unas técnicas de agrupamiento de datos que proporcionan una información de formas de ondas destacados, como por ejemplo una información acerca de las transiciones de las formas de onda, reduciendo al tiempo o eliminando la necesidad de un sistema de procesamiento asociado para recuperar el completo conjunto de datos de forma sde onda.

Tal y como se aplica en el TDLR para la digitalización de formas de onda de acuerdo con lo divulgado en la solicitud
40 con el número de serie 09/728,567, la presente invención procesa una o más formas de onda digitalizadas (datos de canal de captura) y proporciona a un procesador de soporte o asociado en con un conjunto de datos reducidos que comprende la información de las formas de onda destacados. En particular, el agrupamiento en esta solicitud proporciona al procesador de soporte unos números de muestra correspondientes a las transiciones de la señal, eliminando con ello la necesidad de que el procesador del sistema examine secuencias de muestras de formas de
45 onda potencialmente prolongadas para detectar dichas transiciones.

A modo de ejemplo, una formas de onda puede ser digitalizada como un conjunto de muestras de formas de onda discretas, registradas como unos o ceros dependiendo de si la formas de onda muestreada estaba situada por encima o por debajo de un umbral de referencia en cada instante de muestra. El postprocesamiento de captura de acuerdo con una forma de realización de la presente invención conlleva el procesamiento de la secuencia de los
50 valores binario para identificar qué muestras se corresponden con las transiciones de señal. A modo de ilustración, supóngase que los datos de captura consisten en quinientas muestras secuenciales, con una transición de cero a uno en la muestra centésima y una subsecuente muestra de uno a cero en la muestra tricentésima. El postprocesamiento reduce el conjunto de muestras para la identificación de estos puntos de transición de señal, reduciendo en gran medida la información que debe ser transferida al procesador del sistema.

El postprocesamiento puede ser implementado como un circuito de reducción de datos que utilice un
55 microcontrolador o un microprocesador, pero, de modo preferente, es implementado utilizando una lógica

5 programable o utilizando unos circuitos integrados personalizados. La implementación de la funcionalidad del postprocesamiento en un conjunto de circuitos lógicos permite un procesamiento sustancialmente paralelo de los datos de formas de onda capturados, haciendo posible la rápida operación de la reducción de datos. El circuito postprocesador puede, así mismo, desempeñar otras funciones de acuerdo con las necesidades concretas del sistema. Por ejemplo, con respecto al TDLR, el circuito postprocesador puede proporcionar una interfaz de datos y prueba entre el TDLR y el procesador del sistema principal.

Breve descripción de los dibujos

La Fig. 1 es un gráfico de una digitalización de formas de onda ejemplar de acuerdo con la presente invención.

10 La Fig. 2 es un diagrama simplificado de un postprocesador ejemplar que funciona en cooperación con un registrador de alta velocidad de línea de retardo derivada.

La Fig. 3A es un gráfico de una forma de onda de datos ejemplar.

La Fig. 3B es un gráfico de un conjunto ejemplar de formas de onda de captura derivadas de la formas de onda de datos de la Fig. 3A.

15 La Fig. 4 es un gráfico de un agrupamiento de datos ejemplar en al menos una forma de realización de la presente invención.

La Fig. 5 es un diagrama simplificado de una arquitectura ejemplar para el postprocesador de la Fig. 2.

La Fig. 6 es un diagrama más detallado del postprocesador de la Fig. 5.

Descripción detallada de la invención

20 La anterior solicitud incorporada en tramitación con la actual con el número de serie 09/728,567 detalla el funcionamiento de un registro de alta velocidad de una línea de retardo derivada, también designada como el "TDLR". En funcionamiento, el TDLR digitaliza una forma de onda con valores binarios como una secuencia de valores de muestra, fijándose la temporización de la muestra mediante una línea de retardo digital de alta velocidad. En cada punto de muestra, el TDLR registra el estado de la formas de onda de entrada en un elemento de memoria que comprende parte de un "canal de captura" ya sea como un "uno" o como un "cero", indicando si la formas de onda de entrada al TDLR fue alta o baja en el instante de la muestra. El funcionamiento del TDLR se analiza con mayor detenimiento en la Solicitud de Patente pendiente con la actual con el título "SISTEMA Y PROCEDIMIENTO PARA PRUEBAS DE LÍNEA DE RETARDO" ["SYSTEM AND METHOD FOR DELAY LINE TESTING"], la cual, así mismo, se incorpora en su totalidad por referencia en la presente memoria.

25 La digitalización de formas de onda de acuerdo con la descripción anterior se ilustra en el gráfico de la Fig. 1. La señal 1 pasa de bajo a alto en algún punto con respecto al tiempo T_0 , y en un segundo tiempo posterior, la señal 1 vuelve de nuevo a cero, formando así un impulso. Mediante el muestreo de la señal 1 a intervalos regulares con respecto al T_0 , un sistema puede determinar los tiempos aproximados de los bordes de subida y caída de la señal 1 con respecto al tiempo T_0 y, puede, así mismo, determinar una anchura de impulso aproximada de la señal 1. En la ilustración, la señal 1 pasa de baja (0) a alta entre los puntos de muestra T_5 y T_6 . La señal 1 permanece alta (1) hasta experimentar una transición de bajada entre los puntos de muestreo T_{12} y T_{13} . De esta manera la señal 1 puede ser representada como una cadena inicial de 0s correspondiente a los tiempos de muestra $T_0 - T_5$, seguida por una cadena de 1s correspondiente a los tiempos de muestra $T_6 - T_{12}$, seguida por una cadena final de 0s correspondiente a los tiempos de muestra $T_{13} - T_{16}$.

30 La Fig. 2 ilustra una aplicación basada en el TDLR en la que una o más formas de onda son digitalizadas y almacenadas de acuerdo con la descripción anterior. Un banco comparador 220 genera una o más señales binarias (CH0, CH1, y CH2) en base a la comparación de una señal de datos de entrada con uno o más umbrales de referencia. Un TDLR 230 recibe unas formas de onda de entrada de valores binarios desde el banco comparador 220 y las digitaliza en un número correspondiente de canales de captura 270. La temporización de captura es controlada por la propagación de una señal de inicio a través de una línea de retardo digital de alta velocidad 290. El funcionamiento del TDLR 230 se detalla en la Solicitud anteriormente incorporada pendiente con la actual. Una interfaz de datos 320 situada dentro del TDLR 230 se sitúa en interfaz con los registros de captura 270 con un postprocesador o con un circuito de reducción de datos 260, el cual está configurado para las operaciones de reducción de datos de acuerdo con al menos algunos de los aspectos de la presente invención. El postprocesador 260 desempeña un papel de intermediario entre el TDLR 230 y un microprocesador asociado 240.

35 En formas de realización preferentes, el TDLR 230 digitaliza o registra una formas de onda de entrada como una secuencia de 512 valores binarios, con cada valor de la secuencia capturado en un intervalo de retardo sucesivo determinado por la línea de retardo 290. Por ejemplo, el canal de captura 270 - 1 registra 512 muestras de la señal de entrada CH0, mientras que el canal de captura 270 - 2 registra de forma simultánea el mismo número de muestras de la señal CH1. De la misma manera, el canal de captura 270 - 3 digitaliza de manera simultánea la señal de entrada CH2. Por supuesto el TDLR 230 puede tener un número mayor o menor de canales de captura 270, y las

formas de onda de entrada pueden o pueden no ser generadas por el banco comparador 220. En cualquier caso, los datos digitalizados contenidos en el TDLR 230 representan secuencias largas de valores binarios que, en ausencia del funcionamiento del postprocesador 260, deben ser transferidas a y procesadas por el microprocesador 240. Debido a que el microprocesador 240 está, en las aplicaciones ejemplares, más implicado con la temporización de separación de los impulsos existentes dentro de las formas de onda de entrada (por ejemplo, CH0 - CH2), no es necesario transferir el entero contenido del canal de captura 270 al microprocesador 240.

En efecto, en muchas implementaciones prácticas, la interfaz de datos y control entre el TDLR 230 y el microprocesador 240 estará limitada por la cantidad de datos que pueden ser transferidos entre los dos dispositivos en un momento de tiempo determinado. De esta manera, puede ser prácticamente deseable minimizar o reducir la cantidad de datos que deben ser transmitidos desde el TDLR 230 al microprocesador 240. En un sentido más general, será normalmente deseable reducir la cantidad de datos de formas de onda digitalizados que deban ser transferidos desde un subsistema de adquisición hasta un subsistema de procesamiento.

La Fig. 3A es un gráfico que ilustra un impulso típico de señal de datos en aplicaciones de medición de distancias basadas en láser del TDLR 230, mientras que la Fig. 3B ilustra una salida típica desde el banco 220 para el impulso de señal de datos mostrada en la Fig. 3A. El gráfico de la Fig. 3B presupone que el umbral de referencia para la señal de CH0 es más bajo que el de la señal de CH1 y que así mismo, el punto de referencia para la señal de CH1 es más bajo que el de la señal de CH2. De esta manera, el TDLR 230 digitaliza un conjunto de impulsos relacionados de anchuras variables determinado por las características de la señal de datos y de los umbrales de comparación del banco comparador 220. Debe entenderse, que la señal de datos puede, en sí misma, comprender una serie de impulsos de manera que las formas de onda de entrada (CH0 - CH2) hacia el TDLR 230 pueden, ellas mismas, comprender una pluralidad de impulsos más que un solo impulso por canal de entrada.

La Fig. 4 ilustra un agrupamiento de datos de acuerdo con al menos algunas formas de realización de la presente invención. Aunque se ilustra el funcionamiento sobre la secuencia de valores capturados en un canal de captura 270 del TDLR 230, debe entenderse que las técnicas de reducción de datos de la presente invención pueden ser aplicadas en sentido más amplio a cualquier sistema en el que sean procesadas formas de onda digitalizadas.

La Fig. 4 ilustra una forma de onda de valores binarios que presenta al menos dos impulsos en serie. Dos filas de números se representan debajo de la formas de onda, indicando la fila superior los valores binarios de los correspondientes valores de muestra de la formas de onda, y representando la fila inferior los correspondientes números de muestra discretos. El procesamiento de la formas de onda implica, en al menos alguna forma de realización de la presente invención, la identificación de los números de muestra correspondientes a los puntos de transición de la formas de onda.

En la ilustración, la formas de onda de entrada pasa de baja a alta (0 a 1) entre los números de muestra 4 y 5, permanece alta hasta pasar a baja de nuevo entre los números de muestra 7 y 8. La formas de onda permanece baja hasta que pasa a alta de nuevo entre los números de muestra 502 y 503, y permanece alta hasta una transición de bajada final entre los números de muestra 506 y 507. El primer impulso puede ser identificado mediante la especificación de los correspondientes puntos de transición de ascenso y bajada en la formas de onda de entrada.

De esta manera, la primera transición de ascenso en la formas de onda de entrada puede indicarse como FOT (0) donde FOT significa "Primero por Encima del Umbral", y el "(0)" indica la primera transición de ascenso en la formas de onda de entrada. De esta manera, el valor FOT (0) es igual a 5 lo que indica que el primer episodio de FOT se produjo en el número de muestra 5. El correspondiente valor de NUT (0) es 8, lo que indica que el correspondiente episodio de "Siguiendo por Debajo del Umbral" se produjo en el número de muestra 8. De manera similar, para el segundo impulso detectado en la formas de onda de entrada, el valor de FOT (1) es igual a 503, mientras que su valor correspondiente de NUT (1) es igual a 507, lo que indica que el segundo impulso detectado se desplazó del número de muestra 503 al número de muestra 507. Se reitera que estos números de muestra son únicamente ejemplares y se corresponden con la formas de onda ilustrada en la Fig. 4.

Teniendo en mente la estructura referida en las líneas anteriores, el circuito de reducción de datos 260 recibió 512 muestras de formas de onda discretas desde el TDLR 230, sin embargo solo se tiene noticia de que únicamente se necesitan dos pares de números de muestra en el microprocesador 240 para describir de forma completa las características distintivas relevantes de la formas de onda capturada. Concretamente, el circuito de reducción de datos 260 da a conocer los pares de números de muestra, FOT (0) / NUT (0) y FOT (1) / NUT (1), correspondientes a los dos impulsos contenidos en la formas de onda capturada. Con este esquema, la cantidad de datos transferidos entre el TDLR 230 y el microprocesador 240 se reduce en gran medida. Tal y como se aludió con anterioridad, las mismas reducciones ventajosas en cuanto a las exigencias de transferencia de datos pueden ser aplicadas en una amplia gama de aplicaciones de adquisición de datos.

El ejemplo expuesto puede ser ampliado de forma que incluya múltiples formas de onda capturadas, dando cuenta del circuito de reducción de datos de muestras para transiciones de señal u otros episodios en cada uno de los conjuntos de muestras de formas de onda capturadas. Así mismo, el esquema FOT / NUT puede ser ampliado para que pueda dar cuenta esencialmente fr cualquier número de impulsos sucesivos dentro de una sola formas de onda capturada, o puede ser alterado para dar cuenta de cualquier episodio de interés edestacado en el conjunto de datos

capturados. Por ejemplo, el circuito de reducción de datos puede dar cuenta de otras estadísticas respecto de un conjunto de datos capturados, como por ejemplo el número de elevadas apariciones de valores de muestras, o un sumario del número de impulsos separados existentes dentro de una formas de onda capturada de señal, o la separación y la anchura del impulso registrado mayor. Evidentemente, puede determinarse cualquier número distinto de parámetros para los datos de formas de onda capturados y comunicados por el circuito de reducción de datos 260.

La Fig. 5 ilustra una disposición ejemplar a partir del circuito de reducción de datos 260. En la ilustración, el circuito de reducción de datos 260 comprende una memoria de datos de agrupamiento 262, unos circuitos de datos / dirección y control 264, unos circuitos de travesía y de enclavamiento 266, y unos circuitos de control de acceso 268. De modo preferente, el circuito de reducción de datos 260 proporciona una interfaz entre el TDLR 230 o, en términos más generales, un dispositivo de adquisición de datos y el microprocesador 240. De modo preferente, el circuito de reducción de datos 260 aloja el esquema de bus de datos y control implementado en el microprocesador 240. Dichos buses de interfaz de microprocesador son bien conocidos por los expertos en la materia y hacen posible que el circuito de reducción de datos 260 y el TDLR 230 se sitúen en interfaz con el microprocesador 240 como circuitos de E / S de memoria mapeada, u otros circuitos de interfaz periféricos estándar. De modo preferente, el circuito de reducción de datos 260 proporciona una función de travesía para que el microprocesador 240 pueda acceder de modo directo y controlar el TDLR 230 cuando se desee. Esto podría ser útil cuando, por ejemplo, el microprocesador 240 quisiera escribir al directamente o leer del TDLR 230.

La memoria de datos de agrupación 262 mantiene el conjunto de datos reducidos proporcionado por el circuito de reducción de datos 260 en el microprocesador 240. Aunque este conjunto de datos reducidos comprende, de modo preferente, los valores FOT / NUT para uno o más canales de captura 270 del TDLR, puede incluir otros elementos distintos, como por ejemplo los parámetros de formas de onda adicionales analizados con anterioridad.

Aquí, los circuitos de datos / dirección y de control 264 leen los datos procedentes de los canales de control 270 del TDLR, y proporcionan el conjunto de datos reducidos para su almacenaje en una memoria de agrupación de datos 262. En una aplicación más generalizada, los circuitos de datos / dirección y de control 264 estarían configurados para adaptarse a las necesidades del dispositivo de adquisición de datos (por ejemplo, el digitalizador de formas de onda) al cual estaba unido el circuito de reducción de datos 260.

Los circuitos de travesía y de enganche de E / S 266 proporcionan acceso a las líneas de datos y de direcciones del TDLR 230 y hacen posible que el microprocesador 240 lea directamente de y escriba al TDLR 230. Los circuitos de control de acceso 268 del TDLR proveen al TDLR 230 de unas líneas de control, como por ejemplo las de lectura, escritura, y de selección de chips en base a la lectura / escritura y seleccionan las actividades del microprocesador 240 para facilitar el acceso y el control del TDLR 230 por el microprocesador 240. Debe entenderse que estas características distintivas de interfaz y control del circuito de reducción de datos pueden ser modificadas o alteradas de acuerdo con lo que sea necesario en las aplicaciones que no sean del TDLR.

La Fig. 6 proporciona detalles ejemplares de la estructura interna de los elementos del circuito de reducción de datos ilustrados en la Fig. 5. La memoria de datos de captura 262 comprende, de modo preferente, los bloques de la memoria incorporada, como por ejemplo la RAM (SRAM), la cual contiene los valores de FOT y NUT para cada canal de captura del TDLR 230. Los circuitos de datos / dirección y de control 264 del TDLR comprenden, de modo preferente, unos generadores de direcciones, los cuales pueden ser contadores, y unos registros de desplazamientos para incorporar los datos binarios secuenciales procedentes de los canales de captura 270 del TDLR y, así mismo, incluyen una lógica de procesamiento para la identificación de los puntos de transición de señal de otros episodios de interés de las secuencias binarias leídas por el TDLR 230. Esta lógica de procesamiento proporciona los pares de números de muestra de FOT / NUT para su almacenaje en la memoria de datos de captura 262.

Finalmente, los circuitos de travesía y de enganche de E / O 266 y los circuitos de control de acceso 268 del TDLR comprenden una colección de circuitos lógicos que crean un bus de direcciones y datos con búfer para su uso por el circuito de reducción de datos 260 y por el TDLR 230 que pueden ser pasados por o interconectados con los buses de dirección y datos del microprocesador.

El circuito de reducción de datos 260 puede ser puesto en práctica en alguna forma de lógica programable o configurable. Las ventajas de constituir el circuito de reducción de datos 260 de esta manera incluyen la capacidad de procesar gran parte de los datos secuenciales recuperados del TDLR 230 en paralelo, con reducciones de operador en el tiempo de procesamiento. Por ejemplo, en el ejemplo ilustrado, los datos secuenciales procedentes del canal de captura 270 del TDLR son leídos dentro del circuito de reducción de datos en bloques o palabras de 16 bits. Cada una de estas palabras de 16 bits puede ser presentada a la lógica de procesamiento de los circuitos de datos / de direccionamiento y control 264 como conjuntos paralelos de 16 bits (muestras de valores binarios). De esta manera, puede hacerse que la lógica de procesamiento del circuito de reducción de datos 260 procese en paralelo las muestras de formas de onda con ventajas considerables en cuanto a velocidad respecto del procesamiento en serie asociado con los microprocesadores convencionales.

5 Los sistemas técnicos que proporcionan bases ejemplares para la implementación del circuito de reducción de datos 260 incluyen, pero no se limitan a, matrices de puertas programables sobre el terreno (FPGAs), dispositivos complejos de lógica programable (CPLDs), y circuitos integrados de aplicación específica (ASICs). Debe destacarse que con la gama de sistemas de lógica programable o personalizada disponible, las funciones de adquisición de datos o de reducción de datos pueden ser integradas en un dispositivo común. A modo de ejemplo, el circuito de reducción de datos 260 y el TDLR 230 pueden ser implementados conjuntamente en un dispositivo ASIC.

10 Por supuesto, la estructura del circuito de reducción de datos 260 puede, tal y como se destacó con anterioridad, ser alterado para adaptarse a las necesidades de interfaz concretas del microprocesador 240, o del dispositivo de digitalización de forma de onda particular utilizado. También aquí, el uso de circuitos de lógica configurable para la implementación del circuito de reducción de datos 260 hace posible una flexibilidad considerable en términos de variación de sus detalles de implementación. Por ejemplo, la interfaz de bus presentada por el circuito de reducción de datos 260 con el microprocesador 240 puede ser modificada de acuerdo con lo necesario para adaptarse a los diferentes tipos de microprocesadores que pueden utilizar diferentes temporizaciones de bus o diferentes señales de control.

15 En cualquier caso, el análisis anterior incluye detalles ilustrativos que son solo ejemplares y no deben ser considerados como limitativos del alcance de la presente invención. En efecto, el alcance de la presente invención está solo limitado por las reivindicaciones que siguen.

20

REIVINDICACIONES

- 5 1.- Un sistema de procesamiento de formas de onda para generar un conjunto de datos reducidos que identifica unos tiempos de separación de impulsos con respecto a un tiempo de inicio de muestreo y unas anchuras de impulsos para uno o más impulsos en una señal digital (DATA), comprendiendo el sistema de procesamiento de formas de onda:
- un digitalizador de formas de onda configurado para generar una secuencia de dígitos binarios mediante la comparación (220-1, 220-2, 220-3) de la señal analógica (DATA) con un valor de umbral (REF1, REF2, REF3) para generar una señal binaria (CH0, CH1, CH2) y registrar unas muestras de la señal binaria en momentos de muestreo (Δt) con respecto a un tiempo de inicio de muestreo; y
- 10 un postprocesador (260) que incluye una primera interfaz de datos (264) que está configurada para recibir la secuencia de dígitos binarios y una segunda interfaz de datos que está configurada para generar de salida el conjunto de datos reducidos, estando dicho postprocesador (260) configurado para generar el conjunto de datos reducidos mediante el registro de los números de posiciones secuenciales de dígitos binarios en la secuencia de dígitos binarios que se corresponden con unos episodios de primero por encima del umbral, FOT, y de siguiente por
- 15 debajo del umbral, NUT, en la secuencia de dígitos binarios; **caracterizado porque**
- el número de posiciones secuenciales de cada episodio FOT identifica el tiempo de separación de impulsos con respecto al tiempo de inicio de muestreo, y en el que una diferencia entre los números de posiciones secuenciales de cada episodio FOT y del correspondiente episodio NUT identifica la anchura de impulso.
- 20 2.- El sistema de procesamiento de formas de onda de la reivindicación 1, en el que el digitalizador de formas de onda comprende:
- un circuito (230) de captura de formas de onda basado en una línea de retardo digital configurado para capturar muestras binarias de la señal binaria en tiempos de muestreo discretos correspondientes a unas derivaciones de retardos sucesivos de la línea de retardo digital (290).
- 25 3.- El sistema de procesamiento de formas de onda de la reivindicación 1, en el que el digitalizador de formas de onda comprende:
- una línea de retardo digital (290) para propagar una señal de inicio (START); comprendiendo la línea de retardo digital una pluralidad de etapas de retardo sucesivas (16), generando de salida cada etapa de retardo (16) una señal de retardo de derivación (18-0, 18-1, ..., 18-511) con un tiempo de retardo acumulativo con respecto a la señal de inicio (START) que depende de dónde está situada la etapa de retardo (16) en la línea de retardo digital (290); y
- 30 una pluralidad de registros binarios (272), siendo cada registro (272) desencadenado por una señal correspondiente entre las señales de retardo de derivación (18-0, 18-1, ..., 18-511) de la línea de retardo digital (290), en el que cada registro binario (272) registra un estado binario de formas de onda de entrada en uno de los tiempos de muestreo de línea de retardo, de tal manera que cada registro binario (272) mantiene uno de los dígitos binarios en la secuencia de dígitos binarios.
- 35 4.- El sistema de procesamiento de formas de onda de la reivindicación 3, en el que la primera interfaz de datos está configurada para leer la secuencia de dígitos binarios a partir de los registros binarios (272).
- 5.- El sistema de procesamiento de formas de onda de la reivindicación 1, en el que la primera interfaz de datos comprende:
- 40 un generador de direcciones y un bus de direcciones asociado configurados para generar unos valores de direcciones para leer la secuencia de dígitos binarios a partir de los emplazamientos de direcciones de memoria en el digitalizador de formas de onda; y
- un bus de datos configurado para recibir la secuencia de dígitos binarios leída a partir del digitalizador de formas de onda.
- 45 6.- El sistema de procesamiento de formas de onda de la reivindicación 1, en el que postprocesador (260) comprende así mismo una lógica de procesamiento configurada para generar el conjunto de datos reducidos, y una interfaz de lectura configurada para hacer posible que un procesador asociado (240) lea el conjunto de datos reducidos a partir del postprocesador (260).
- 7.- El sistema de procesamiento de formas de onda de la reivindicación 6, en el que postprocesador (260) está configurado para una operación de travesía habilitada de forma selectiva, de tal manera que el procesador asociado (240) pueda leer a partir de y escribir en el digitalizador de formas de onda por medio del postprocesador (260).
- 50 8.- El circuito de procesamiento de formas de onda de la reivindicación 1, en el que el postprocesador (260) incluye un circuito de reducción de datos configurado para identificar y almacenar los números de posiciones secuenciales de los episodios FOT y NUT en la secuencia de dígitos binarios.

- 9.- El circuito de procesamiento de formas de onda de la reivindicación 1, en el que el circuito de reducción de datos está configurado para asociar lógicamente cada episodio NUT identificado con un episodio FOT inmediatamente precedente, de tal manera que los episodios FOT y NUT queden almacenados como pares de episodios FOT / NUT.
- 5 10.- Un procedimiento para generar un conjunto de datos reducidos, para la transferencia de datos entre un digitalizador de formas de onda y un procesador asociado (240), que identifique unos tiempos de separación de impulsos con respecto a un tiempo de inicio de muestreo y unas anchuras de impulsos para uno o más impulsos en una señal analógica (DATA), comprendiendo el procedimiento las etapas de:
- 10 la generación de una secuencia de dígitos binarios mediante la comparación de la señal analógica (DATA) con un valor de umbral (REF1, REF2, REF3) para generar una señal binaria (CH0, CH1, CH2) y registrar muestras de la señal binaria en momentos de muestreo regularmente temporizados con respecto a un tiempo de inicio de muestreo; y
- 15 la generación del conjunto de datos recogidos mediante el registro de los números de posiciones secuenciales de dígitos binarios en la secuencia de dígitos binarios que se corresponden con unos episodios de primero por encima del umbral, FOT, y de siguiente por debajo del umbral, NUT, en la secuencia de dígitos binarios; **caracterizado porque**
- el número de posiciones secuenciales de cada episodio FOT identifica el tiempo de separación de impulsos con respecto al tiempo de inicio de muestreo, y en el que una diferencia entre los números de posiciones secuenciales de un par de episodios FOT y NUT identifica la anchura de impulso.
- 20 11.- El procedimiento de la reivindicación 10, en el que la generación de una secuencia de dígitos binarios mediante la comparación de la señal analógica con un valor de umbral para generar una señal binaria y registrar las muestras de la señal binaria en momentos de muestreo regularmente temporizados, con respecto a un tiempo de inicio de muestreo comprende:
- 25 la propagación de una señal de inicio a través de la línea de retardo digital (290) que comprende una pluralidad de tapas de retardo sucesivas (16), proporcionando cada etapa de retardo (16) una señal de derivación de retardo (18-0, 18-1, ..., 18-511); y
- la captura de muestras de la señal binaria en una pluralidad de registros binarios (272), teniendo cada registro una entrada de datos acoplada a la señal binaria y una señal de captura acoplada a una de las señales de derivación de retardo.
- 30 12.- El procedimiento de la reivindicación 10, en el que la generación de una secuencia de dígitos binarios mediante la comparación de la señal analógica con un valor de umbral para generar una señal binaria y registrar muestras de la señal binaria en momentos de muestreo regularmente temporizados con respecto a un tiempo de inicio de muestreo comprende:
- 35 la utilización de un circuito de captura de formas de onda en base a una línea de retardo digital configurado para capturar muestras binarias de la señal binaria en tiempos de muestreo discretos correspondientes a unas derivaciones de retardo sucesivas de la línea de retardo digital.
- 13.- El procedimiento de la reivindicación 10, en el que la generación del conjunto de datos sucesivos mediante el registro de los números de posiciones secuenciales de los números binarios en la secuencia de números binarios que se corresponde con unos episodios de primero por encima del umbral, FOT, y de siguiente por debajo del umbral, NUT, en la secuencia de dígitos binarios, comprende:
- 40 el registro de la secuencia de dígitos binarios en al menos un canal de captura (270), que identifica los puntos de transición de señal en la secuencia de dígitos binarios leída a partir de el al menos un canal de captura (270).
- 14.- El procedimiento de la reivindicación 10, que comprende así mismo el mantenimiento, en una memoria (262), del conjunto de datos reducidos que comprende unos valores FOT / NUT para uno o más canales de captura, y la provisión del conjunto de datos reducidos a un procesador asociado (240).
- 45 15.- El procedimiento de la reivindicación 10, que comprende así mismo unos pares de episodios FOT / NUT mediante la asociación lógica de cada episodio NUT con un episodio FOT inmediatamente precedente.

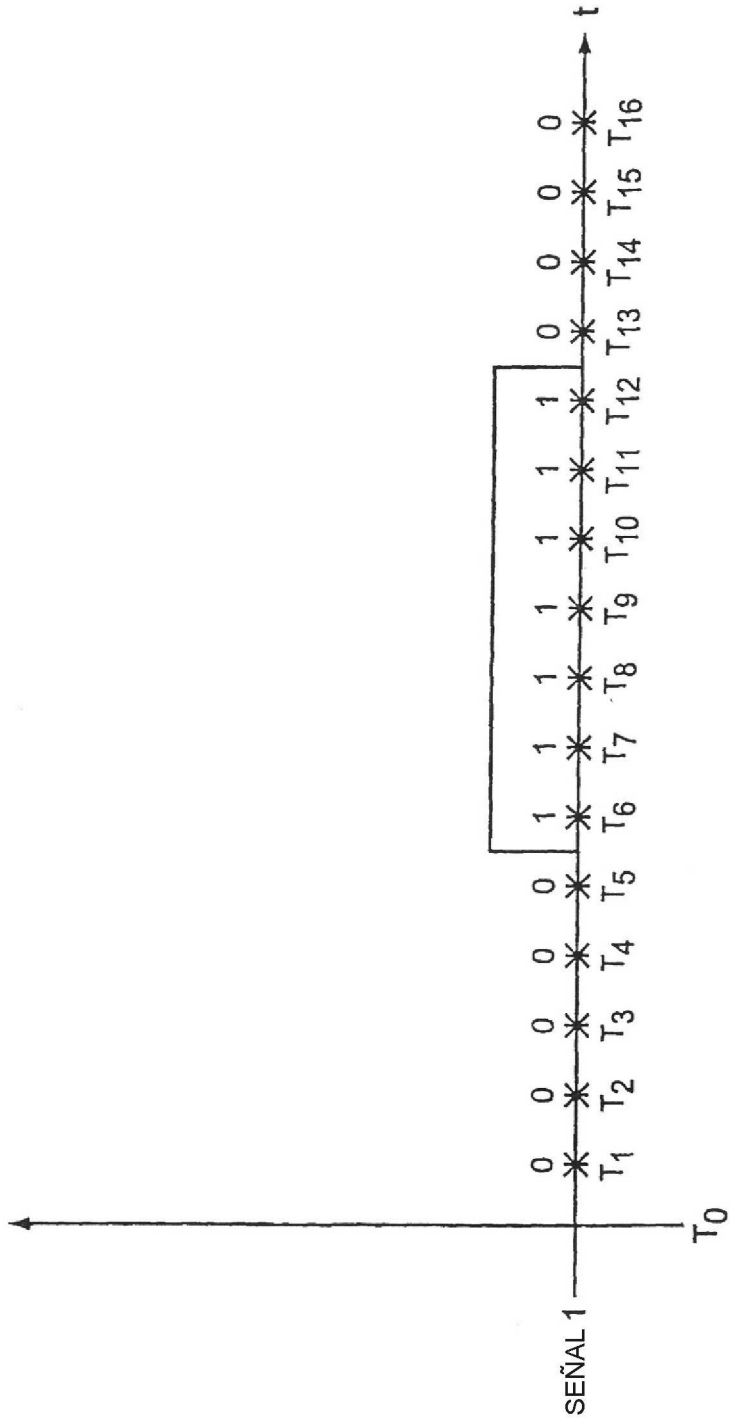


FIG. 1

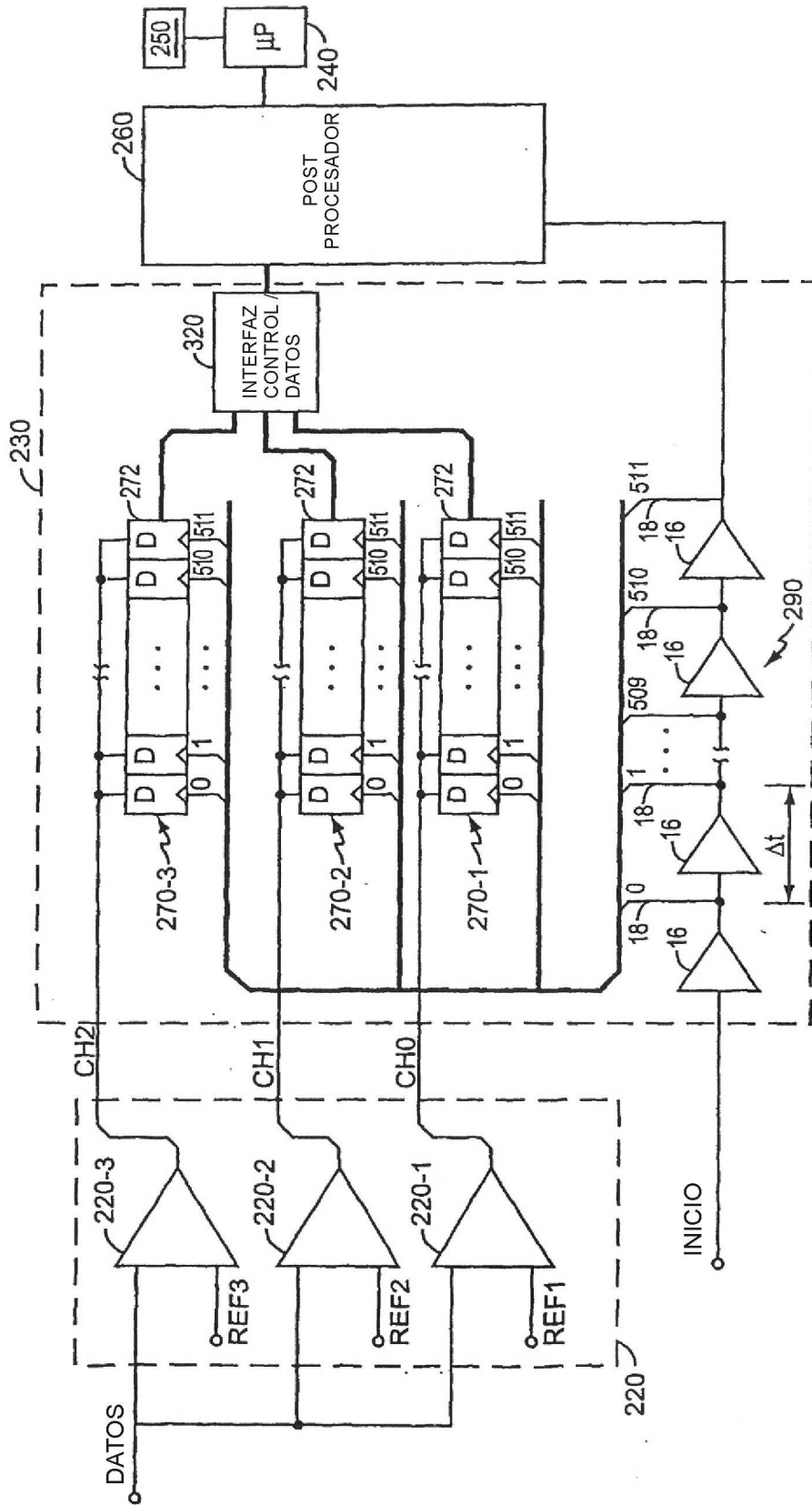


FIG. 2

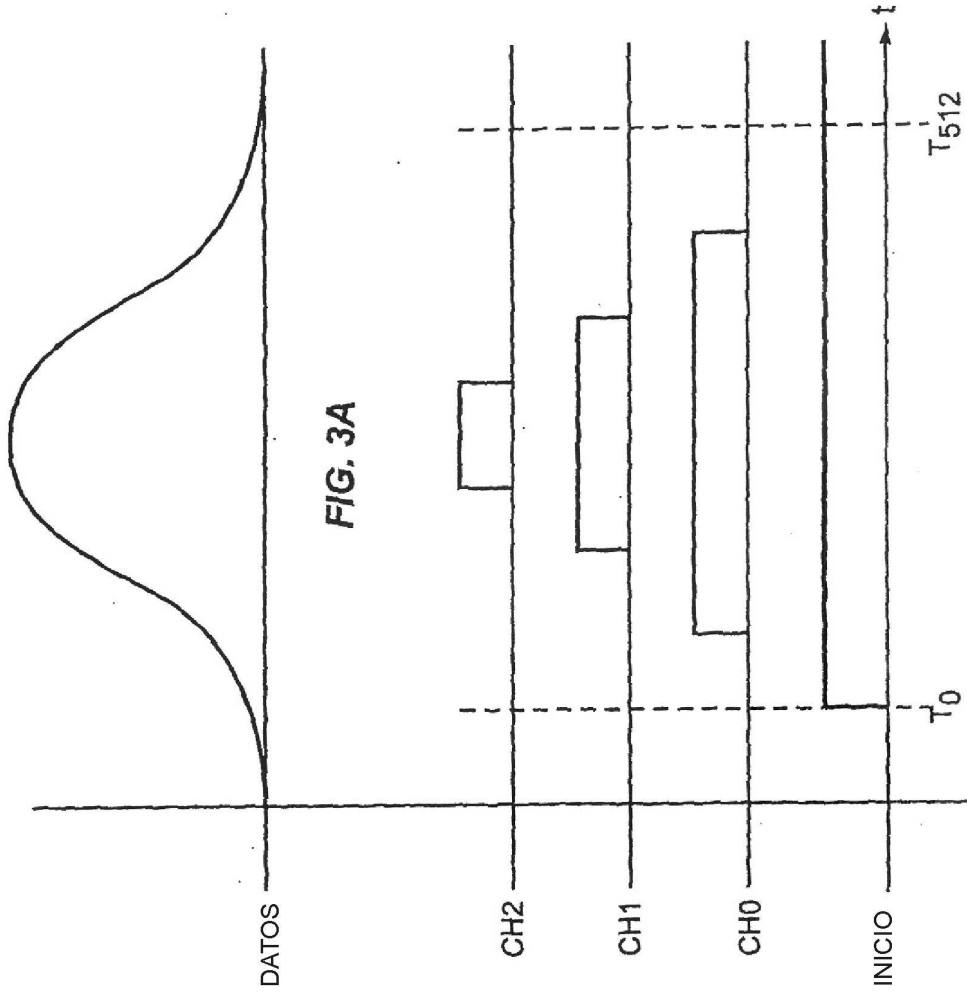


FIG. 3B

FIG. 3A

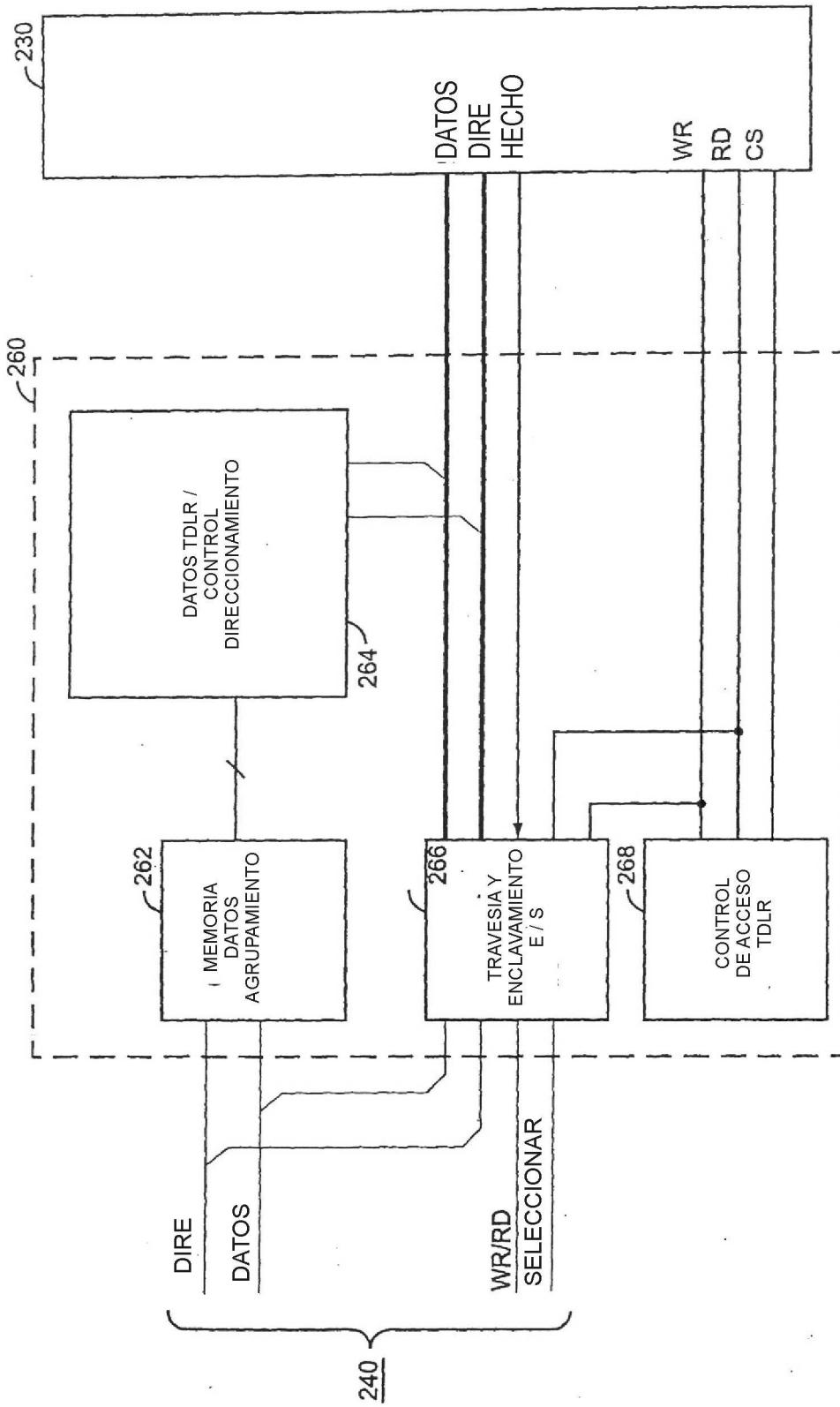


FIG. 5

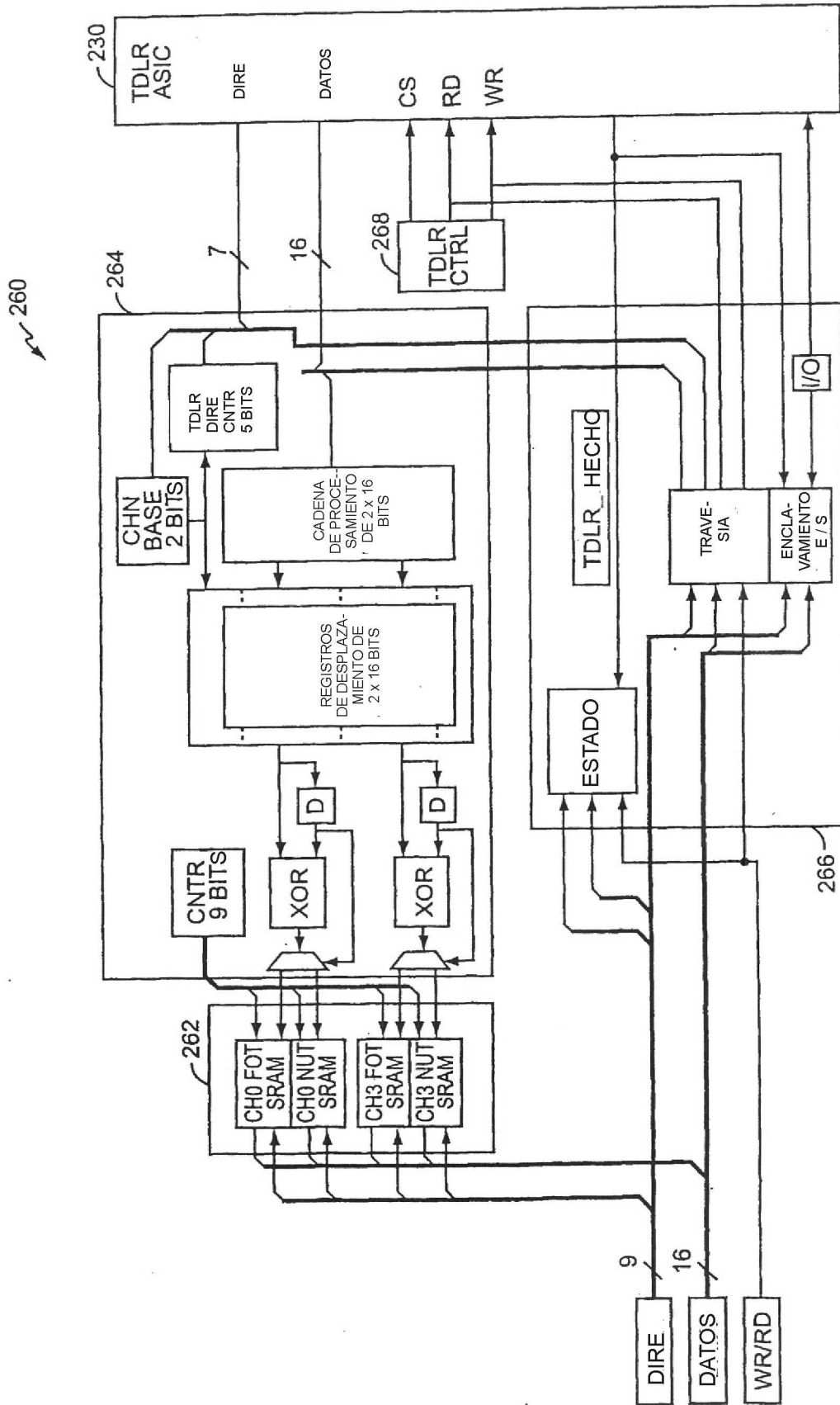


FIG. 6