



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 359 638**

51 Int. Cl.:
H03K 19/096 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **05257035 .5**

96 Fecha de presentación : **15.11.2005**

97 Número de publicación de la solicitud: **1732226**

97 Fecha de publicación de la solicitud: **13.12.2006**

54 Título: **Registro de tipo dominó P.**

30 Prioridad: **14.10.2005 US 251384**
27.12.2004 US 23145

45 Fecha de publicación de la mención BOPI:
25.05.2011

45 Fecha de la publicación del folleto de la patente:
25.05.2011

73 Titular/es: **VIA TECHNOLOGIES, Inc.**
8F, No. 535, Chung-Cheng Road Hsin-Tien
Taipei 231, TW

72 Inventor/es: **Lundberg, James R. y**
Bertram, Raymond A.

74 Agente: **Elzaburu Márquez, Alberto**

ES 2 359 638 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCION

Esta solicitud se refiere a las siguientes solicitudes de patente U.S. en tramitación con la presente, cada una de las cuales tiene un cesionario común y por lo menos un inventor común:

<u>NÚMERO DE SERIE</u>	<u>FECHA DE PRESENTACIÓN</u>	<u>TÍTULO</u>
10/640369 (CNTR.2200)	13/8/2003	NON-INVERTING DOMINO REGISTER
11/023145 (CNTR.2200-CP1)	27/12/2004	NON-INVERTING DOMINO REGISTER

5

La solicitud de patente U.S. en tramitación con la presente, número de serie 10/640360 (Expediente: CNTR.2200), reivindica el beneficio de la solicitud provisional U.S. número de serie 60/402962 (Expediente: CNTR.2200) presentada el 14 de 8 de 2002, y la solicitud de patente U.S. número de serie 11/023145, en tramitación con la presente, reivindica el beneficio de la solicitud provisional U.S. número de serie 60/553805, presentada el 17 del 3 de 2004.

10

Esta solicitud está relacionada con las siguientes solicitudes de patente U.S., presentando cada una de ellas un cesionario común e inventores comunes.

<u>NÚMERO DE SERIE</u>	<u>FECHA DE PRESENTACIÓN</u>	<u>TÍTULO</u>
_____ (CNTR.2241)	14/10/2005	N-DOMINO OUTPUT LATCH
_____ (CNTR.2242)	14/10/2005	P-DOMINIO OUTPUT LATCH

15 **ANTECEDENTES DE LA INVENCION****CAMPO DE LA INVENCION**

La presente invención se refiere a funciones de lógica dinámica y de registros, y más particularmente a un circuito de retención de salida de tipo dominó que hace frente al problema de la retención de las salidas de circuitos lógicos complejos en donde la velocidad y el tamaño son factores importantes.

20 **DESCRIPCION DE LA TECNICA RELACIONADA**

Los circuitos integrados usan un número considerable de registros, particularmente aquellos que presentan una arquitectura de canalización (*pipeline*) sincronizada. La lógica de registros se utiliza para mantener las salidas de dispositivos y circuitos durante un periodo de tiempo de manera que estas salidas puedan ser recibidas por otros dispositivos y circuitos. En un sistema activado por impulsos de reloj, tal como un microprocesador de canalización, se usan registros para retener y mantener las salidas de una etapa de canalización determinada durante un periodo de un ciclo de reloj, de manera que los circuitos de entrada en una etapa sucesiva puedan recibir las salidas durante ese periodo mientras la etapa de canalización determinada está generando al mismo tiempo salidas nuevas.

25

En el pasado, ha sido una práctica común el anteponer y posponer a circuitos complejos de evaluación lógica, tales como multiplexores (muxes) de múltiples entradas, codificadores multibit, etcétera, registros para mantener las entradas hacia y las salidas de los circuitos de evaluación. En general, estos registros tienen asociados requisitos de tiempo de establecimiento y de mantenimiento, los cuales limitan, ambos, los circuitos de evaluación en la etapa precedente. Adicionalmente, los registros tienen características correspondientes de tiempo de datos-a-salida, que limitan los circuitos de evaluación en etapas posteriores. La "velocidad" de un registro se valora típicamente en términos de su tiempo de datos-a-salida, es decir, la suma de su tiempo de establecimiento y su tiempo de reloj-a-salida.

30

La anteposición y posposición de circuitos de registro tradicionales a un circuito de evaluación lógica introduce retardos en un sistema de canalización, cuyo efecto acumulativo da como resultado velocidades de funcionamiento significativamente menores. Más específicamente, una fuente importante de estos retardos es los requisitos del tiempo de datos-a-salida que deben cumplir los circuitos de evaluación lógica para garantizar salidas registradas estables. Se desea reducir estos retardos para proporcionar un tiempo adicional en cada etapa y aumentar de este modo la velocidad global del sistema de canalización.

Se hace frente a los problemas antes descritos en un documento anterior y relacionado, titulado "Non-inverting Domino Register" con número de expediente CNTR.2200. En el documento anterior, se describió un registro de tipo dominó, no inversor, que combinaba funciones de evaluación lógica con sus registros correspondientes para lograr un tiempo menor de reloj-a-salida que los planteamientos convencionales sin poner en riesgo la estabilidad de su salida. Se mostró que las transiciones de la señal de salida del registro dominó no inversor dado a conocer en dicho documento tenían una respuesta muy rápida a las transiciones de la señal de reloj por contraposición a las respuestas de transición más lentas de los registros dominó inversores convencionales. No obstante, el registro dominó anterior no inversor no resultaba particularmente flexible con respecto a la lógica de evaluación, que se tenía que proporcionar en forma de una lógica de canal N. Además, el registro dominó anterior no inversor podía experimentar potencialmente efectos de fugas cuando se materializaba en un proceso con fugas elevadas o de alto ruido, tal como, por ejemplo, en silicio-sobre-aislante (SOI) de 90 nanómetros (nm).

Se desea proporcionar un registro dominó mejorado que proporcione todas las ventajas del registro dominó no inversor anterior, y que sea además flexible con respecto a la etapa dominó y que resulte óptimo para ser usado en un entorno con fugas elevadas o de alto ruido.

Se desea además proporcionar un circuito de retención de salida de tipo dominó P, mejorado, que proporcione todas las ventajas del registro dominó no inversor anterior cuando se use como circuito de retención, y que sea además flexible con respecto a la etapa dominó y que resulte óptimo para ser usado en un entorno con fugas elevadas o de alto ruido.

Por otra parte, se desea proporcionar un circuito de tipo dominó P, mejorado, que, cuando se utilice como circuito de retención, proporcione todas las ventajas del registro dominó no inversor anterior, y que esté optimizado para ser usado en un entorno con fugas elevadas o de alto ruido.

Se desea adicionalmente proporcionar un circuito de tipo dominó P, mejorado, que, cuando se utilice como circuito de retención, proporcione todas las ventajas del registro dominó no inversor anterior, y que esté optimizado para ser usado en un entorno con altas fugas o de ruido elevado.

SUMARIO DE LA INVENCION

Según un primer aspecto de la invención, se proporciona un registro de tipo dominó P, que comprende una etapa dominó, acoplada a una señal de impulsos de reloj, y destinada a evaluar una función lógica según los estados de por lo menos una señal de datos y de dicha señal de impulsos de reloj, en donde dicha etapa dominó precarga a nivel bajo un nodo precargado cuando dicha señal de impulsos de reloj tiene un nivel alto, y descarga dicho nodo precargado a un estado alto si dicha función lógica se evalúa cuando dicha señal de impulsos de reloj tiene un nivel bajo, y mantiene dicho nodo precargado en un nivel bajo si dicha función lógica no se evalúa cuando dicha señal de impulsos de reloj tiene un nivel bajo, en donde se suministra un estado de establecimiento de dicha por lo menos una señal de datos a dicha etapa dominó cuando dicha señal de impulsos de reloj tiene un nivel alto, en donde dicha etapa dominó comprende: un dispositivo de canal N que tiene una puerta acoplada a dicha señal de impulsos de reloj, y un drenador y una fuente acoplados entre tierra y dicho nodo precargado; un dispositivo de canal P que tiene una puerta acoplada a dicha señal de impulsos de reloj, un drenador acoplado a dicho nodo precargado y una fuente; y lógica de evaluación acoplada entre un voltaje de fuente y dicha fuente de dicho dispositivo de canal P; una etapa de escritura, acoplada a dicha etapa dominó y sensible a dicha señal de impulsos de reloj, que lleva un primer nodo de salida preliminar a nivel bajo si dicho nodo precargado pasa a nivel alto y que lleva dicho primer nodo de salida preliminar a nivel alto si dicho nodo precargado permanece en nivel bajo; un inversor que tiene una entrada acoplada a dicho primer nodo de salida preliminar y una salida acoplada a un segundo nodo de salida preliminar; una vía de mantenimiento de nivel bajo que mantiene dicho primer nodo de salida preliminar en nivel bajo cuando está habilitada, en donde dicha vía de mantenimiento de nivel bajo se habilita cuando tanto dicha señal de impulsos de reloj como dicho segundo nodo de salida preliminar tienen un nivel alto y que se deshabilita en cualquier otro caso; una vía de mantenimiento de nivel alto que mantiene dicho primer nodo de salida preliminar en nivel alto cuando está habilitada, en donde dicha vía de mantenimiento de nivel alto se habilita cuando tanto dicho segundo nodo de salida preliminar como dicho nodo precargado tienen un nivel bajo y que se deshabilita en cualquier otro caso; y una etapa de salida que proporciona una señal de salida basándose en estados de dicho nodo precargado y dicho segundo nodo de salida preliminar.

De acuerdo con un segundo aspecto de la invención, se proporciona un método de registro de una o más señales de datos de entrada, que comprende: precargar un primer nodo a nivel bajo mientras una señal de impulsos de reloj tiene nivel alto; cuando la señal de impulsos de reloj tiene nivel alto, establecer estados de la señal o señales de datos de entrada de manera que se registre una señal de salida correspondiente durante un ciclo completo sucesivo de la señal de impulsos de reloj; cuando la señal de impulsos de reloj tiene nivel bajo, evaluar una función lógica

basándose en la señal o señales de datos de entrada para controlar el estado del primer nodo, comprendiendo dicha evaluación: en primer lugar, acoplar una puerta de un dispositivo de canal N a la señal de impulsos de reloj, y, en segundo lugar, acoplar un drenador y una fuente del dispositivo de canal N entre tierra y el primer nodo; en tercer lugar, acoplar una puerta de un dispositivo de canal P a la señal de impulsos de reloj, y, en cuarto lugar, acoplar un drenador del dispositivo de canal P al primer nodo; y, en quinto lugar, acoplar la lógica de evaluación entre un voltaje de fuente y una fuente del dispositivo de canal P; controlar el estado de un segundo nodo con el estado del primer nodo cuando la señal de impulsos de reloj tiene un nivel bajo; definir el estado de un tercer nodo como el estado invertido del segundo nodo; habilitar una vía de mantenimiento de estado alto para mantener alto el estado del segundo nodo cuando tanto el primer como el tercer nodos tienen un nivel bajo y, en cualquier otro caso, deshabilitar la vía de mantenimiento de estado alto; habilitar una vía de mantenimiento de estado bajo para mantener bajo el estado del segundo nodo cuando tanto la señal de reloj aproximadamente simétrica como el tercer nodo tienen un nivel alto y, en cualquier otro caso, deshabilitar la vía de mantenimiento de estado alto; y, cuando la señal de impulsos de reloj tiene un nivel alto, retener el estado de la señal de salida en un nodo de salida basándose en los estados del primer y el tercer nodos.

Los documentos US2004/257115 y US2005/046446 son ejemplos, respectivamente, de un circuito de retención de salida de tipo dominó N y un registro de lógica dinámica de la técnica anterior.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

Las virtudes, características, y ventajas de la presente invención se entenderán mejor en relación con la siguiente descripción, y los dibujos adjuntos, en los que:

la FIG. 1 es un diagrama esquemático de un registro dominó no inversor implementado según un documento anterior, que se incorpora a título de referencia;

la FIG. 2 es un diagrama de temporización que ilustra el funcionamiento del registro dominó no inversor de las FIGS. 1, 3, 4 y 5;

la FIG. 3 es un diagrama esquemático de un registro dominó no inversor, sin base, implementado según una realización ejemplificativa de la presente invención;

la FIG. 4 es un diagrama esquemático de otro registro dominó no inversor implementado según una realización ejemplificativa de la presente invención, que utiliza una etapa de almacenamiento mejorada;

la FIG. 5 es un diagrama esquemático de otro registro dominó no inversor, sin base, que utiliza la etapa de almacenamiento mejorada de la FIG. 4, e implementado según una realización ejemplificativa de la presente invención;

la FIG. 6 es un diagrama de temporización que ilustra el funcionamiento del registro dominó no inversor de las FIGS. 1, 3, 4 y 5 de acuerdo con una realización con impulsos de reloj, que se prefiere para minimizar el tiempo de mantenimiento;

la FIG. 7 es un diagrama de temporización que ilustra el funcionamiento de un circuito de retención de tipo dominó N de las FIGS. 1, 3, 4 y 5;

la FIG. 8 es un diagrama esquemático de un circuito de tipo dominó P según otra realización ejemplificativa de la presente invención;

la FIG. 9 es un diagrama de temporización que ilustra el funcionamiento del circuito de tipo dominó P de la FIG. 8 cuando se utiliza como una realización del registro de tipo dominó P de la presente invención; y

la FIG. 10 es un diagrama de temporización que ilustra el funcionamiento del circuito de tipo dominó P de la FIG. 8, cuando se utiliza como una realización del circuito de retención de tipo dominó P de la presente invención.

DESCRIPCIÓN DETALLADA

La siguiente descripción se presenta para permitir que aquellos con conocimientos habituales en la materia realicen y usen la presente invención según se proporciona dentro del contexto de una aplicación particular y sus requisitos. No obstante, para los expertos en la materia resultarán evidentes varias modificaciones de la realización preferida, y los principios generales definidos en el presente documento se pueden aplicar a otras realizaciones. Por lo tanto, la presente invención no está destinada a limitarse a las realizaciones particulares mostradas y descritas en el presente documento, sino que se le debe conceder el alcance más amplio acorde con los principios y características novedosas que se van a conocer en el presente documento.

El inventor de la presente solicitud ha reconocido la necesidad de proporcionar salidas retenidas (*latched*) y/o registradas para circuitos lógicos en los que la velocidad, el tamaño y la estabilidad son factores críticos, que sean flexibles con respecto a la lógica de evaluación, y que se puedan usar en entornos con fugas elevadas o de alto ruido. Ha desarrollado por lo tanto un registro dominó no inversor y circuitos de retención asociados de tipo dominó N y

dominó P que tienen un tiempo menor de datos-a-salida sin poner en riesgo la estabilidad de la salida, que es flexible con respecto a la implementación de la lógica de evaluación, y que se puede usar en un entorno con fugas elevadas o de alto ruido, tal como se describirá posteriormente de forma adicional con respecto a las FIGURAS 1 a 5. Los registros dominó no inversores o circuitos de retención dominó de acuerdo con realizaciones de la presente invención, cuando se utilizan en una arquitectura de canalización que se fundamenta intensamente en registros y una lógica de tipo dominó para transferir datos de una etapa a otra, permiten aumentar significativamente la velocidad de funcionamiento del dispositivo en conjunto. El dispositivo en conjunto se puede implementar usando dispositivos más rápidos y de menor tamaño en un proceso con fugas elevadas o de alto ruido sin poner en riesgo la velocidad y sin requerir grandes dispositivos para superar los dispositivos de mantenimiento de nivel.

La FIG. 1 es un diagrama esquemático de un registro dominó no inversor 100 implementado según el documento anterior CNTR.2200. El registro dominó no inversor 100 incluye una etapa de entrada de evaluación lógica, o etapa dominó, que consta de dispositivos de canal P y de canal N en apilamiento P1 y N2 y de una lógica 104 de evaluación. Los dispositivos P1 y N2 son un par complementario de dispositivos de evaluación acoplados a cada lado de la lógica 104 de evaluación en la pila. La lógica 104 de evaluación puede ser tan sencilla como un único dispositivo de canal N o puede ser significativamente más compleja para la evaluación de cualquier función lógica deseada. La fuente de P1 se acopla a una fuente de voltaje VDD y su drenador se acopla al nodo 105 proporcionando una señal TOP. La lógica 104 de evaluación está acoplada entre el nodo 105 y el drenador de N2, que tiene su fuente acoplada a tierra. Se proporciona una señal de reloj de entrada CLK, a través del nodo 101, a las puertas de P1 y N2. Un conjunto de N nodos 103 proporciona N señales de datos de entrada DATOS a la lógica 104 de evaluación, en donde N es cualquier entero positivo.

A la etapa dominó del registro dominó no inversor 100 le sigue una etapa de almacenamiento que incluye dispositivos P2, N3 y N4 y un circuito débil 109 de mantenimiento de nivel. Los dispositivos P2, N3 y N4 se pueden considerar como una "etapa de escritura" y el circuito 109 de mantenimiento de nivel como una etapa de mantenimiento de nivel dentro de la etapa de almacenamiento. El nodo 101 está acoplado a la puerta de N3 y el nodo 105 está acoplado a las puertas de P2 y N4. La fuente de P2 está acoplada a VDD y su drenador está acoplado a un primer nodo 107 de salida intermedio que proporciona una primera señal de salida intermedia QII. El nodo 107 está acoplado al drenador de N3, a la entrada de un inversor 109A y a la salida de otro inversor 109B. La salida del inversor 109A está acoplada a un segundo nodo 111 de salida intermedio que proporciona una segunda señal de salida intermedia QI, que está acoplada a la entrada del inversor 109B. Los inversores 109A y 109B están en acoplamiento cruzado entre los nodos 107 y 111 y forman en conjunto el circuito 109 de mantenimiento de nivel, débil. La fuente de N3 está acoplada al drenador de N4, que tiene su fuente acoplada a tierra.

A la etapa de almacenamiento del registro dominó no inversor 100 le sigue una etapa de salida adicional, que incluye dispositivos P3 y P4 de canal P y dispositivos N5 y N6 de canal N. El nodo 105 está acoplado a las puertas de P4 y N6, y el nodo 111 está acoplado a las puertas de P3 y N5. Las fuentes de P3 y P4 están acopladas a VDD y sus drenadores están acoplados conjuntamente a un nodo 113 de salida que proporciona una señal de salida Q. El nodo 113 de salida está acoplado al drenador de N5, que tiene su fuente acoplada al drenador de N6, el cual tiene su fuente acoplada a tierra. Los dispositivos de canal P funcionan en general como dispositivos conectados a alimentación (*pull-up*) y los dispositivos de canal N funcionan generalmente como dispositivos conectados a tierra (*pull-down*).

La FIG. 2 es un diagrama de temporización que ilustra el funcionamiento del registro dominó no inversor 100, en el cual se representan con respecto al tiempo las señales CLK, DATOSN, TOP, QII, QI y Q. Los tiempos de transición relativos son estimados y los retardos se ignoran. La señal DATOSN se muestra en forma de una única señal que representa el conjunto colectivo de N señales DATOS. La señal DATOSN se muestra establecida en nivel alto para cuando el estado colectivo de las señales de datos provoca que la lógica 104 de evaluación realice evaluaciones, llevando de este modo la señal TOP al nivel bajo, y se muestra establecida en nivel bajo para cuando la lógica 104 de evaluación no realiza evaluaciones, lo cual mantiene la señal TOP en nivel alto. De este modo, cuando la lógica 104 de evaluación "realiza evaluaciones", provoca que la señal TOP realice una transición desde su estado alto precargado a un estado bajo. Cuando la lógica de evaluación "no realiza evaluaciones", TOP permanece en su estado alto precargado. En el instante de tiempo T0 cuando la señal CLK es inicialmente baja, N2 se desactiva y P1 se activa, de manera que la etapa dominó precarga la señal TOP a nivel alto. La señal TOP se precarga al nivel alto como preparación para la evaluación de la señal DATOSN por parte de la lógica 104 de evaluación tras el flanco de subida de CLK, en donde la señal DATOSN es inicialmente alta. La señal TOP precargada activa N4 y N6. La señal QII permanece en su estado anterior (mostrada inicialmente en un estado lógico bajo) y se mantiene allí por medio del circuito 109 de mantenimiento de nivel. La señal QI tiene inicialmente un nivel alto que activa N5, de manera que la señal de salida Q es llevada inicialmente a un nivel bajo a través de los dispositivos N5 y N6.

En el instante de tiempo T1, la señal CLK pasa al nivel alto, lo cual provoca que la señal TOP se descargue hasta el nivel bajo debido a que la señal DATOSN presenta un nivel alto. En particular, N2 se activa y la lógica 104 de evaluación realiza evaluaciones llevando TOP al nivel bajo a través de N2 a tierra. La señal QII es llevada al nivel alto a través de P2 y la señal de salida Q es llevada al nivel alto a través de P4. Las señales tanto QII como Q son llevadas al nivel alto aproximadamente en el mismo instante de tiempo T1, y la señal QI es llevada al nivel bajo por el inversor 109A. El estado invertido de la señal QI en la salida del circuito 109 de mantenimiento de nivel acciona los dispositivos P3 y N5. Cuando QI presenta un nivel alto, P3 está desactivado y N5 está activado; y cuando QI presenta un nivel bajo, P3 está activado y N5 está desactivado. En el instante de tiempo sucesivo T2 cuando la señal CLK pasa a continuación

al nivel bajo, la señal TOP se precarga una vez más al nivel alto. P2 y N3 se desactivan de manera que el nodo 107 no se acciona a ningún estado. No obstante, los estados respectivos de las señales QII y QI permanecen sin variaciones, a través del funcionamiento del circuito 109 de mantenimiento de nivel, de manera que las señales Q y QII permanecen en nivel alto y la señal QI permanece en nivel bajo durante la totalidad del resto del semiciclo de CLK.

5 DATOSN se muestra pasando al nivel bajo en el instante de tiempo T3 mientras la señal CLK está todavía en el nivel bajo, y la señal CLK se establece a continuación en el nivel alto en el instante de tiempo T4 mientras la señal DATOSN está en el nivel bajo. La lógica 104 de evaluación no realiza evaluaciones, de manera que TOP permanece en el nivel alto mientras DATOSN tiene un nivel bajo y CLK tiene un nivel alto. Las señales CLK y TOP activan los dispositivos N3 y N4, respectivamente, de manera que la señal QII se establece en nivel bajo aproximadamente en el
10 instante de tiempo T4, y consecuentemente la señal QI es llevada al nivel alto por el inversor 109A. El nivel alto de la señal TOP mantiene activado a N6. La señal QI activa N5 y desactiva P3, de manera que la señal Q es llevada al nivel bajo a través de N5 y N6. A continuación, la señal CLK pasa al nivel bajo en el instante de tiempo T5 llevando nuevamente TOP al nivel alto. Los estados respectivos de las señales QII y QI permanecen sin variaciones a través del funcionamiento del circuito 109 de mantenimiento de nivel. La señal Q permanece en nivel bajo durante la totalidad del
15 resto del ciclo de CLK puesto que Q1 mantiene a N5 activado y TOP mantiene a N6 activado.

La señal Q realiza una transición desde el nivel bajo al nivel alto de forma relativamente rápida en respuesta a un flanco de subida de la señal CLK cuando la lógica 104 de evaluación realiza evaluaciones descargando al nivel bajo la señal TOP. Existe un retardo insignificante a través de los dispositivos N2 y P4 que provocan la transición de salida. La señal Q realiza una transición desde el nivel alto al nivel bajo después de un retardo insignificante a través de los
20 dispositivos N3, N5 y el inversor 109A en respuesta a un flanco de subida de la señal CLK cuando la lógica 104 de evaluación no realiza evaluaciones dejando la señal TOP en nivel alto. El retardo a través del inversor 109A se minimiza al implementarlo en forma de un dispositivo relativamente pequeño (con una capacidad mínima) ya que no necesita tener el tamaño de una memoria intermedia ni realizar la función de esta última. En otra realización, el retardo se puede minimizar utilizando una lógica racionalizada (es decir, dispositivo P grande y dispositivo N pequeño) para el inversor
25 109A. Aquellos con conocimientos habituales en la materia apreciarán que las transiciones de la señal Q de salida del registro dominó no inversor 100 son muy rápidas en respuesta a transiciones de la señal CLK. Si se necesita, o bien se desea, una salida no inversora, el registro dominó no inversor 100 proporciona una velocidad superior de datos-a-salida en comparación con diseños convencionales, entre otras virtudes y ventajas. El registro dominó no inversor 100 se puede convertir en un registro dominó inversor simplemente añadiendo un inversor/memoria intermedia de salida (no mostrados).
30

Una vez que se ha descrito el funcionamiento del circuito 100 de la FIGURA 1, los expertos en la materia apreciarán que, puesto que la función de la lógica 104 de evaluación es lograr una transición rápida de la señal TOP desde su nivel alto precargado a un nivel bajo, una realización de la presente invención utiliza dispositivos P y N racionalizados para configurar la lógica de evaluación. En esta realización, se utilizan dispositivos N fuertes y
35 dispositivos P débiles, lo cual da como resultado un funcionamiento más rápido.

El documento anterior CNTR.2200 ilustraba una lógica AND y una lógica OR ejemplificativas (no mostradas en el presente documento) que se pueden usar como lógica 104 de evaluación. En dicho documento se describía que se contempla cualquier combinación adecuada de los circuitos lógicos AND y OR, y que se contempla cualquier otro
40 circuito complejo de evaluación lógica, incluyendo, por ejemplo, multiplexores (muxes) de múltiples entradas, codificadores multibit, etcétera. Cualquier lógica de evaluación deseada, desde sencilla a compleja, puede sustituir a la lógica 104 de evaluación sin influir negativamente en la velocidad o las limitaciones de potencia asociadas del registro dominó no inversor 100. Los circuitos AND y OR eran únicamente ejemplificativos y se proporcionaban para ilustrar que la lógica 104 de evaluación puede ser cualquier circuito complejo de evaluación lógica tal como apreciarán aquellos con conocimientos habituales en la materia. No obstante, una posible limitación del registro dominó inversor 100 es que no resulta particularmente flexible con respecto a la lógica 104 de evaluación, que típicamente se tenían que implementar
45 como una lógica de canal N. La lógica de canal N no proporciona los niveles óptimos de margen de ruido de entrada.

La FIG. 3 es un diagrama esquemático de otro registro dominó no inversor 300 implementado según una realización ejemplificativa de la presente invención. El registro dominó no inversor 300 es sustancialmente similar al registro dominó no inversor 100 con la excepción de que la etapa de entrada de evaluación lógica, o etapa dominó, que comprende los dispositivos apilados P1 y N2 de canal P y de canal N y la lógica 104 de evaluación, se ha reordenado en una configuración "sin base" y la lógica 104 de evaluación se ha sustituido por la lógica 301 de evaluación. Los dispositivos P1 y N2 son un par complementario de dispositivos de evaluación acoplados conjuntamente en el nodo 105 que proporciona la señal TOP. En este caso, el drenador de N2 está acoplado al nodo 105 y su fuente está acoplada al extremo de arriba o superior de la lógica 301 de evaluación. El extremo de abajo o inferior de la lógica 301 de evaluación está acoplada a tierra. De esta manera, la lógica 301 de evaluación se sitúa en la base de la pila P1/N2 en oposición a su acoplamiento entre P1 y N2. El funcionamiento es sustancialmente similar y el diagrama de temporización de la FIG. 2 sigue siendo igualmente válido para el registro dominó no inversor 300.
50
55

La lógica 301 de evaluación se podría configurar sustancialmente de la misma manera que la lógica 104 de evaluación. No obstante, tal como entenderán aquellos expertos en la materia, la lógica 301 de evaluación se puede materializar alternativamente usando una lógica de semiconductores complementarios de óxido-metal (CMOS) en lugar de la lógica de canal N, en donde nuevamente, el diagrama de temporización de la FIG. 2 sigue siendo válido. La lógica
60

CMOS proporciona un margen de ruido del nivel de entrada significativamente mejor con respecto a la lógica de canal N de manera que el registro dominó no inversor 300 proporciona un margen de ruido del nivel de entrada significativamente mejor con respecto al registro dominó no inversor 100 cuando se usa la lógica CMOS en la etapa dominó.

5 Los registros dominó no inversores 100 y 300 experimentan, ambos, efectos de fugas cuando se materializan en un proceso con fugas altas o de ruido elevado, tal como el SOI de 90 nm y similares. La reducción de los circuitos a escala hasta 90 nm introduce problemas relacionados con las fugas. Los procesos escalados presentan fugas más elevadas debido a que las longitudes de los canales son menores. Consecuentemente, para escribir un estado nuevo en el nodo 107 de la etapa de almacenamiento para cualquiera de los registros 100 y 300, se debe superar un dispositivo débil dentro del inversor de realimentación (por ejemplo, dentro del inversor 109B, un dispositivo débil de canal P para cambiar a un estado bajo y un dispositivo débil de canal N para cambiar a un estado alto). El coste de superar un dispositivo es velocidad y corriente. Adicionalmente, en procesos en los que se producen o bien fugas elevadas o bien un ruido elevado, los dispositivos débiles N y P dentro del inversor 109B de realimentación se deben realizar de un tamaño mayor para mantener el estado del nodo de salida en presencia de fugas o ruido.

15 Obsérvese, por ejemplo, que el nodo 107 de almacenamiento (señal QII) está aislado de la etapa de entrada cuando CLK está en nivel bajo. No hay nada que accione la señal QII excepto el inversor 109B de realimentación del circuito de mantenimiento de nivel que incluye dispositivos débiles internos N y P (no mostrados). Sin embargo, debido al aumento de las fugas asociado a un proceso escalado, a través de los dispositivos P2 y N3 fluye una cantidad mayor de corriente de fugas. Por lo tanto, los dispositivos N y P en el inversor 109B deben ser suficientemente grandes para superar esas fugas. Por ejemplo, si la señal QII tiene un nivel alto, se producen fugas a tierra a través de los dispositivos N3 y N4, de manera que el dispositivo P dentro del inversor 109B debe ser suficientemente grande para suministrar la suficiente corriente con el fin de superar esas fugas de cara a mantener la señal QII en nivel alto. En procesos en los que se producen fugas elevadas o corrientes elevadas y los dispositivos están desactivados, se necesitan dispositivos cada vez más amplios para mantener el estado. Y el uso de dispositivos más amplios reduce sustancialmente el rendimiento debido a que, cuando se escribe un estado nuevo, se debe superar el dispositivo más amplio que está manteniendo el estado. Para compensar la reducción de velocidad, los dispositivos P2, N3, y N4 de la etapa de almacenamiento se realizan de un tamaño mayor para impulsar el estado nuevo con el fin de superar el correspondiente mantenido por los dispositivos grandes en el inversor 109B de realimentación del circuito de mantenimiento de nivel. Los dispositivos de tamaño mayor consumen un espacio valioso en un circuito integrado (IC).

30 La FIG. 4 es un diagrama esquemático de otro registro dominó no inversor 400 implementado según una realización ejemplificativa de la presente invención, que utiliza un circuito mejorado de mantenimiento de nivel. El registro dominó no inversor 400 incluye una etapa dominó de entrada a la que le sigue una etapa de almacenamiento y una etapa de salida. La etapa dominó y la porción inicial de la etapa de almacenamiento del registro 400 son similares a las correspondientes al registro 100. No obstante, el circuito de mantenimiento de nivel del registro 400 se modifica para mejorar el rendimiento eliminando la necesidad de superar dispositivos y para reducir costes en términos de velocidad y corriente. La etapa dominó incluye dispositivos en apilamiento P1 y N2 de canal P y de canal N y una lógica 104 de evaluación. Tal como anteriormente, los dispositivos P1 y N2 son un par complementario de dispositivos de evaluación acoplados en cada lado de la lógica 104 de evaluación entre la fuente de voltaje VDD y tierra. La fuente de P1 está acoplada a VDD y su drenador está acoplado al nodo 105 que proporciona la señal TOP. La lógica 104 de evaluación está acoplada entre el nodo 105 y el drenador de N2 y la fuente de N2 está acoplada a tierra. La señal del reloj de entrada CLK se proporciona a través del nodo 101 a las puertas de P1, N2 y N3. Un conjunto de N nodos 103 proporciona N señales de datos de entrada DATOS a la lógica 104 de evaluación. Tal como anteriormente, el nodo 105 que proporciona la señal TOP está acoplado a las puertas de los dispositivos P2 y N4. La porción inicial de la etapa de almacenamiento es sustancialmente la misma etapa de escritura que incluye los dispositivos apilados P2, N3 y N4. La fuente de P2 está acoplada a VDD y su drenador está acoplado al nodo 107 que desarrolla la primera señal de salida intermedia QII. El drenador de N3 está acoplado al nodo 107 y su fuente está acoplada al drenador de N4, que tiene su fuente acoplada a tierra.

50 La etapa de almacenamiento del registro dominó no inversor 400 incluye la etapa de escritura que incluye los dispositivos P3, P4 y N5 y una etapa de mantenimiento de nivel que incluye los dispositivos P3, P4, N3 y un inversor 401. A la etapa de almacenamiento le sigue una etapa de salida, que, en la realización ilustrada, comprende una puerta NAND 403 de dos entradas. En este caso, la fuente de P3 está acoplada a VDD y su drenador está acoplado a la fuente de P4, que tiene su drenador acoplado al drenador de N5 en el nodo 107. La fuente de N5 está acoplada al drenador de N4 acoplado adicionalmente a la fuente de N3. El nodo 101, que proporciona la señal CLK, está acoplado a la puerta de P4. El nodo 107, que desarrolla la señal QII, está acoplado a la entrada del inversor 401, que tiene su salida acoplada al nodo 111 que desarrolla la segunda señal de salida intermedia QI. El nodo 111 está acoplado a las puertas de P3 y N5 y está acoplado a una entrada de la puerta NAND 403. El nodo 105, que proporciona la señal TOP, está acoplado a la otra entrada de la puerta NAND 403, y la salida de la puerta NAND 403 proporciona la señal Q de salida.

60 El diagrama de temporización de la FIG. 2 es aplicable para el registro dominó no inversor 400 para esta situación, con diferencias, únicamente de poca importancia, en la temporización, en donde dichas diferencias de temporización y retardos pequeños se ignoran (por ejemplo, se ignoran los retardos a través del inversor 401 y la puerta NAND 403). Nuevamente, supóngase que la señal QII está inicialmente en nivel bajo y se va a establecer en el nivel alto. En referencia a la FIG. 2, en el instante de tiempo T0, las señales CLK, Q y QII están inicialmente en el nivel bajo y

la señal QI está en el nivel alto. Puesto que CLK está en el nivel bajo, P1 se activa y TOP se precarga al nivel alto activando N4. Puesto que tanto QI como TOP están en el nivel alto, la señal Q en la salida de la puerta NAND 403 está inicialmente en el nivel bajo. Mientras CLK está en el nivel bajo y QI está en el nivel alto, N5 está activado, P3 está desactivado, y P4 está activado. Por lo tanto, en este caso, N5 y N4 están ambos activados proporcionando una vía de mantenimiento del estado "bajo" para el nodo 107 a tierra lo cual mantiene en nivel bajo la señal QII. La vía de mantenimiento de nivel bajo se habilita siempre que el segundo nodo 111 de salida preliminar y el nodo precargado 105 están ambos en el nivel alto, y se deshabilita en cualquier otro caso.

Cuando la señal CLK pasa al nivel alto en el instante de tiempo T1, N2 se activa dando inicio a la evaluación de los operandos de DATOS mediante la lógica 104 de evaluación. Tal como anteriormente, la señal DATOSN, que representa los operandos de los DATOS de entrada, se muestra inicialmente en nivel alto, lo cual provoca que la lógica 104 de evaluación acople el nodo 105 al drenador de N2. Esto provoca que la señal TOP sea llevada al nivel bajo a través de N2. El paso de TOP al nivel bajo provoca que la puerta NAND 403 establezca Q al nivel alto aproximadamente en el instante de tiempo T1 (después de un corto retardo a través de la puerta NAND 403). Además, el paso de TOP al nivel bajo desactiva N4 deshabilitando de este modo la vía de mantenimiento de nivel bajo desde N5 pasando por N4 hasta tierra. Y el paso de TOP al nivel bajo activa P2 de manera que la señal QII es llevada al nivel alto aproximadamente en el instante de tiempo T1. Cuando la señal QII pasa al nivel alto en el instante de tiempo T1, el inversor 301 lleva la señal QI al nivel bajo, lo cual activa a P3 y desactiva a N5. La señal de salida Q permanece en nivel bajo mientras la señal QI está en nivel bajo.

En este ejemplo, la vía de mantenimiento de nivel bajo a través de N5 se deshabilita debido a que N4 está desactivado cuando la señal TOP pasa al nivel bajo. Y como N4 está desactivado, P2 no debe superar a N5 para llevar la señal QII al nivel alto. Siempre que la señal QII está en nivel bajo y debe ser llevada al nivel alto en respuesta a una evaluación (llevar TOP al nivel bajo), la vía de mantenimiento de nivel bajo se deshabilita siempre (debido a que N4 está desactivado) de manera que la etapa de escritura de la etapa de almacenamiento no tiene que superar un dispositivo de mantenimiento de nivel.

En el instante de tiempo T2 cuando a continuación CLK pasa al nivel bajo, TOP se precarga una vez más al nivel alto. También en el instante de tiempo T2, se activa P4 proporcionando una vía de mantenimiento del estado "alto" desde el nodo 107 hasta VDD a través de P4 y P3, manteniendo de este modo en nivel alto la señal QII. La vía de mantenimiento de nivel alto se habilita siempre que el nodo precargado 105 y el segundo nodo 111 de salida preliminar están ambos en nivel bajo, y se deshabilita en cualquier otro caso. De este modo, la señal QII se mantiene en nivel alto, lo cual a su vez hace que QI se mantenga en nivel bajo para conservar el estado de la señal de salida Q mientras TOP pasa al nivel alto en el instante de tiempo T2. El paso de la señal TOP al nivel alto activa nuevamente N4 aproximadamente en el instante de tiempo T2, pero como la señal QI está en nivel bajo, N5 está desactivado manteniendo de esta manera desactivada o deshabilitada la vía de mantenimiento de nivel bajo durante el resto del ciclo.

La señal DATOSN pasa al nivel bajo en el instante de tiempo T3 y la señal CLK pasa a continuación al nivel alto en el instante de tiempo T4 mientras la señal DATOSN está todavía en el nivel bajo de manera que la lógica 104 de evaluación no realiza evaluaciones. Por consiguiente, TOP permanece en el nivel alto en el instante de tiempo T4 de manera que N4 permanece activado. El paso de la señal CLK al nivel alto desactiva P4 y activa N3. La vía de mantenimiento de nivel alto desde el nodo 107 a VDD se deshabilita debido a que P4 está desactivado, y N3 y N4 están ambos activados llevando la señal QII al nivel bajo. Puesto que P4 está desactivado, N3 y N4 no tienen que superar ningún dispositivo, incluyendo los dispositivos débiles de circuito de mantenimiento, para llevar QII al nivel bajo. Siempre que la señal QII está en el nivel alto y se debe llevar al nivel bajo en respuesta a una ausencia de evaluación (en la que TOP permanece en el nivel alto), la vía de mantenimiento de nivel alto está siempre deshabilitada (puesto que P4 está desactivado) de manera que la etapa de escritura de la etapa de almacenamiento no tiene que superar un dispositivo de mantenimiento de nivel. El inversor 401 lleva QI al nivel alto aproximadamente en el instante de tiempo T4 en respuesta al paso de QII al nivel bajo. Puesto que tanto QI como TOP están en nivel alto, la puerta NAND 403 lleva Q al nivel bajo aproximadamente en el instante de tiempo T4. Además, el paso de QI al nivel alto activa N5 y desactiva P3, de manera que la vía de mantenimiento de nivel alto se deshabilita y la vía de mantenimiento de nivel bajo a través de N5 y N4 se vuelve a habilitar. Cuando CLK a continuación pasa al nivel bajo en el instante de tiempo T5, N3 se desactiva pero QII se mantiene en nivel bajo a través de la vía de mantenimiento de nivel bajo puesto que N5 y N4 se mantienen activados. Tanto TOP como QI permanecen en nivel alto, de manera que Q permanece en nivel bajo durante el resto del ciclo de CLK.

El registro dominó no inversor 400 utiliza una técnica mejorada para deshabilitar los dispositivos débiles de realimentación de mantenimiento de nivel, de manera que cuando se está escribiendo un estado nuevo, no se debe superar un dispositivo fuerte interno en un dispositivo de mantenimiento de nivel. Consecuentemente, se hace que los dispositivos P3 y N5 sean más amplios para superar las fugas con el fin de mantener el estado, aunque sin influir en la velocidad debido a que estos mismos dispositivos P3 y N5 se deshabilitan cuando se escribe un estado nuevo en el nodo 107 de almacenamiento (la señal QII). Cuando se escribe un estado nuevo de la señal QII, no se debe superar ningún circuito de mantenimiento de nivel, de realimentación, de manera que los dispositivos P2 y N3 pueden ser dispositivos de dimensiones normales. El "circuito de mantenimiento de nivel" del registro dominó no inversor 400 se habilita únicamente para almacenar el estado. En particular, los dispositivos de realimentación se habilitan para mantener el estado y se deshabilitan cuando se escribe un estado nuevo.

La FIG. 5 es un diagrama esquemático de otro registro dominó no inversor 500 sin base, que utiliza la etapa mejorada de mantenimiento de nivel del registro 400 y que se implementa según otra realización ejemplificativa de la presente invención. El registro dominó no inversor 500 es sustancialmente similar al registro dominó no inversor 400, con la excepción de que la etapa de entrada de evaluación lógica, o etapa dominó, que comprende los dispositivos en apilamiento P1 y N2 de canal P y de canal N y la lógica 104 de evaluación, se reordena en una configuración "sin base" y la lógica 104 de evaluación se sustituye con la lógica 301 de evaluación. El cambio del registro 500 con respecto a 400 es análogo al cambio del registro 300 al 100. De esta manera, la lógica 301 de evaluación del registro dominó no inversor 500 se puede implementar con lógica CMOS en lugar de lógica de canal N, en donde nuevamente se sigue pudiendo aplicar el diagrama de temporización de la FIG. 2. Tal como se ha descrito previamente, la lógica CMOS proporciona un margen de ruido del nivel de entrada significativamente mejor que la lógica de canal N de manera que el registro dominó no inversor 500 proporciona un margen de ruido del nivel de entrada algo mejor que el registro dominó no inversor 400 cuando se usa lógica CMOS en la etapa dominó.

Un registro dominó no inversor implementado según una realización de la presente invención tiene un tiempo de reloj-a-salida menor que los planteamientos convencionales sin poner en riesgo la estabilidad de su salida, Q. Además, la etapa de almacenamiento se puede mejorar adicionalmente para permitir la utilización de dispositivos más pequeños, más rápidos, en un entorno con fugas elevadas que los que se requerirían, de otro modo, para superar dispositivos fuertes de mantenimiento de nivel. Esto permite materializar el registro dominó no inversor en un proceso con fugas elevadas o de alto ruido, tal como un SOI de 90 nm y similares, sin provocar un deterioro del rendimiento por causa de factores de fuga. Por lo tanto, se pueden lograr las ventajas de un proceso escalado, incluyendo tamaño, voltaje, consumo de potencia, etcétera, reducidos, sin provocar el deterioro de rendimiento asociado a dichos procesos escalados.

Se observa que el funcionamiento de las diversas realizaciones de la presente invención, según se ha descrito anteriormente en referencia a las FIGURAS 2 a 5, presenta en todas ellas requisitos de tiempo de mantenimiento de datos que son una función del ciclo de trabajo de la señal de reloj CLK mostrada en el nodo 101. Más específicamente, las señales de datos DATOSN en el nodo 103 se deben mantener en el nivel deseado durante el tiempo en el que la señal de reloj CLK presenta un nivel alto. Si DATOSN cambia de estado(s) durante el intervalo en el que CLK está en nivel alto, entonces el cambio de estado se propagará a través de la salida Q. Los presentes inventores han observado también que, en algunas aplicaciones de registros, es deseable proporcionar realizaciones de la presente invención que minimizan los requisitos del tiempo de mantenimiento para DATOSN. Por consiguiente, a continuación se describirá una realización del reloj de impulsos de la presente invención en referencia a la FIGURA 6, en donde la realización está configurada para minimizar el tiempo de mantenimiento de datos.

Volviendo a la FIGURA 6, se presenta un diagrama 600 de temporización que ilustra el funcionamiento del registro dominó no inversor de las FIGURAS 1, 3, 4 y 5 según una realización del reloj de impulsos que se prefiere para minimizar el tiempo de mantenimiento. Tal como se ha descrito anteriormente en referencia a la FIGURA 2, se representan con respecto al tiempo las señales CLK, DATOSN, TOP, QII, QI y Q. Los tiempos de transiciones relativas son estimados y los retardos se ignoran. La señal DATOSN se muestra como una única señal que representa el conjunto colectivo de N señales DATOS. La señal DATOSN se muestra establecida en nivel alto para cuando el estado colectivo de las señales de datos provoca que la lógica 104 de evaluación realice evaluaciones, llevando de este modo la señal TOP al nivel bajo, y se muestra establecida en nivel bajo para cuando la lógica 104 de evaluación no realiza evaluaciones, lo cual mantiene la señal TOP en nivel alto. En el instante de tiempo T0 cuando la señal CLK es inicialmente baja, N2 se desactiva y P1 se activa, de manera que la etapa dominó precarga la señal TOP a nivel alto. La señal TOP se precarga al nivel alto como preparación para la evaluación de la señal DATOSN por parte de la lógica 104 de evaluación tras el flanco de subida de CLK, en donde la señal DATOSN es inicialmente alta. La señal TOP precargada activa N4 y N6. La señal QII permanece en su estado anterior (mostrada inicialmente en un estado lógico bajo) y se mantiene allí por medio del circuito 109 de mantenimiento de nivel. La señal QI tiene inicialmente un nivel alto que activa N5, de manera que la señal de salida Q es llevada inicialmente a un nivel bajo a través de los dispositivos N5 y N6.

En el instante de tiempo T1, la señal CLK pasa al nivel alto, lo cual provoca que la señal TOP se descargue hasta el nivel bajo debido a que la señal DATOSN presenta un nivel alto. En particular, N2 se activa y la lógica 104 de evaluación realiza evaluaciones llevando TOP al nivel bajo a través de N2 a tierra. La señal QII es llevada al nivel alto a través de P2 y la señal de salida Q es llevada al nivel alto a través de P4. Las señales tanto QII como Q son llevadas al nivel alto aproximadamente en el mismo instante de tiempo T1, y la señal QI es llevada al nivel bajo por el inversor 109A. El estado invertido de la señal QI en la salida del circuito 109 de mantenimiento de nivel acciona los dispositivos P3 y N5. Cuando QI presenta un nivel alto, P3 está desactivado y N5 está activado; y cuando QI presenta un nivel bajo, P3 está activado y N5 está desactivado. En el instante de tiempo sucesivo T2 cuando la señal CLK pasa a continuación al nivel bajo, la señal TOP se precarga una vez más al nivel alto. P2 y N3 se desactivan de manera que el nodo 107 no se acciona a ningún estado. No obstante, los estados respectivos de las señales QII y QI permanecen sin variaciones, a través del funcionamiento del circuito 109 de mantenimiento de nivel, de manera que las señales Q y QII permanecen en nivel alto y la señal QI permanece en nivel bajo durante la totalidad del resto del semiciclo de CLK.

DATOSN se muestra pasando al nivel bajo en el instante de tiempo T3 mientras la señal CLK está todavía en el nivel bajo, y la señal CLK se establece a continuación en el nivel alto en el instante de tiempo T4 mientras la señal DATOSN está en el nivel bajo. La lógica 104 de evaluación no realiza evaluaciones, de manera que TOP permanece en

el nivel alto mientras CLK tiene un nivel alto. Las señales CLK y TOP activan los dispositivos N3 y N4, respectivamente, de manera que la señal QII se establece en nivel bajo aproximadamente en el instante de tiempo T4, y consecuentemente la señal QI es llevada al nivel alto por el inversor 109A. El nivel alto de la señal TOP mantiene activado a N6. La señal QI activa N5 y desactiva P3, de manera que la señal Q es llevada al nivel bajo a través de N5 y N6. A continuación, la señal CLK pasa al nivel bajo en el instante de tiempo T5 llevando nuevamente TOP al nivel alto. Los estados respectivos de las señales QII y QI permanecen sin variaciones a través del funcionamiento del circuito 109 de mantenimiento de nivel. La señal Q permanece en nivel bajo durante la totalidad del resto del ciclo de CLK puesto que Q1 mantiene a N5 activado y TOP mantiene a N6 activado.

La señal Q realiza una transición desde el nivel bajo al nivel alto de forma relativamente rápida en respuesta a un flanco de subida de la señal CLK cuando la lógica 104 de evaluación realiza evaluaciones descargando al nivel bajo la señal TOP. Existe un retardo insignificante a través de los dispositivos N2 y P4 que provocan la transición de salida. La señal Q realiza una transición desde el nivel alto al nivel bajo después de un retardo insignificante a través de los dispositivos N3, N5 y el inversor 109A en respuesta a un flanco de subida de la señal CLK cuando la lógica 104 de evaluación no realiza evaluaciones dejando la señal TOP en nivel alto. El retardo a través del inversor 109A se minimiza al implementarlo en forma de un dispositivo relativamente pequeño (con una capacidad mínima) ya que no necesita tener el tamaño de una memoria intermedia ni realizar la función de esta última. Aquellos con conocimientos habituales en la materia apreciarán que las transiciones de la señal Q de salida del registro dominó no inversor 100 son muy rápidas en respuesta a transiciones de la señal CLK. Si se necesita, o bien se desea, una salida no inversora, el registro dominó no inversor 100 proporciona una velocidad superior de datos-a-salida en comparación con diseños convencionales, entre otras virtudes y ventajas. El registro dominó no inversor 100 se puede convertir en un registro dominó inversor simplemente añadiendo un inversor/memoria intermedia de salida (no mostrados).

Se observa que la única diferencia entre el diagrama de temporización de la FIGURA 2 y el diagrama de temporización de la FIGURA 6 es que el nodo 103 de los registros dominó no inversores de las FIGURAS 1, 3, 4, y 5 está acoplado cada uno de ellos a una señal de reloj de impulsos CLK en lugar de estar acoplado a una señal de reloj aproximadamente simétrica CLK. Por consiguiente, el requisito de tiempo de mantenimiento para la señal de datos DATOSN se reduce significativamente con respecto a las realizaciones descritas en referencia a la FIGURA 2. En una realización, el ciclo de trabajo de la señal de reloj de impulsos CLK es menor que o igual al 10 por ciento. Al comparar las realizaciones de las FIGURAS 2 y 6, se observa que el tiempo que va desde T1 (cuando CLK pasa al nivel alto) hasta T3 (cuando se permite cambiar el estado de DATOSN) es notablemente menor que el periodo comparable de la FIGURA 2. Dicha realización de la presente invención se prefiere para minimizar el tiempo de mantenimiento.

Se observa adicionalmente que, debido a que se permite que el estado de DATOSN se propague a través de la salida Q cuando CLK está en nivel alto, las configuraciones descritas en referencia a las FIGURAS 1, 3, 4, y 5 también se pueden materializar como realizaciones de circuitos de retención de tipo dominó N cuando el nodo 101 se acopla a un reloj de circuito de retención CLK aproximadamente simétrico y en donde el nodo 103 recibe datos de circuito de retención DATOSN. Los datos de circuito de retención DATOSN pueden ser proporcionados por un circuito dominó precedente para el cual se desee una función de retención. Los circuitos de las FIGURAS 1, 3, 4, y 5 son ventajosos cuando se usan como realizaciones de circuitos de retención de tipo dominó N debido a una vía de descarga acelerada a través del nodo 105 hacia la señal de salida Q, lo cual permite que al nodo 103 le precedan más circuitos dominó en serie que los proporcionados hasta el momento. A continuación se describirán las realizaciones de circuitos de retención dominó N en referencia a la FIGURA 7.

Volviendo a la FIGURA 7, se presenta un diagrama de temporización que ilustra realizaciones de circuitos de retención dominó N de la presente invención. Para utilizar los circuitos de las FIGURAS 1, 3, 4, y 5 como realizaciones de circuitos de retención dominó N, es deseable acoplar el nodo 101 a una señal de reloj de circuito de retención CLK aproximadamente simétrica. En una realización, la señal de reloj de circuito de retención CLK presenta un ciclo de trabajo de un 40 por ciento hasta un 60 por ciento. Como visión general, se observa que, durante el periodo en el que CLK está en nivel alto, se abre una ventana de evaluación en la que se permite que DATOSN cambie y la salida Q sigue a DATOSN. Sin embargo, cuando CLK pasa al nivel bajo, el estado de DATOSN se retiene hasta que CLK pasa nuevamente al nivel alto. Por lo tanto, en el instante de tiempo T0, CLK está en nivel bajo y TOP está precargada. El estado previo (es decir, el estado anterior al paso de CLK al nivel bajo) de DATOSN se retiene a través de las señales QII, QI, y hasta llegar a la salida Q. En el instante de tiempo T1, CLK pasa nuevamente al nivel alto, abriendo una ventana en la que se permite que el estado de DATOSN se propague hasta llegar a la salida Q. Como DATOSN está en nivel bajo, la salida Q permanece en nivel bajo. En el instante de tiempo T2, DATOSN pasa al nivel alto provocando que la señal TOP se descargue, activando de este modo P2 y provocando que la salida Q pase al nivel alto. Sin embargo, en el instante de tiempo T3, CLK pasa nuevamente al nivel bajo, cerrando la ventana de evaluación y reteniendo el estado de DATOSN, manteniendo de este modo en nivel alto Q durante este periodo. DATOSN pasa nuevamente también al nivel bajo en T3, reflejando el estado de una etapa dominó precedente cuya salida está acoplada al nodo 803. TOP se precarga en el instante de tiempo T3, preparándose para la siguiente ventana de evaluación cuando CLK pasa al nivel alto en el instante de tiempo T4. Como DATOSN está en nivel bajo en el instante de tiempo T4, TOP no se descarga. De este modo, en el instante de tiempo T4, N3 y N4 están activados, impulsando QII al nivel bajo y QI al nivel alto. Debido a que tanto QI como TOP están en nivel alto en T4, Q se acciona al nivel bajo. En el instante de tiempo T5, debido a que DATOSN está todavía en el nivel bajo (es decir, la etapa dominó precedente no realizó evaluaciones), TOP permanece en el nivel alto, y el estado bajo permanece en la salida Q. En el instante de tiempo T6, CLK pasa nuevamente al nivel bajo, reteniendo el estado de DATOSN en la salida Q durante el periodo en el que CLK está en

nivel bajo.

Los expertos en la materia apreciarán también que debido a que DATOSN en general pasa nuevamente al nivel bajo cuando CLK pasa al nivel bajo, el dispositivo N2 se puede eliminar del circuito en una realización de circuito de retención de tipo dominó N, lo cual hace que aumente la velocidad del circuito.

5 A continuación, en referencia a la FIG. 8, se presenta un diagrama esquemático de un circuito 800 de tipo dominó P según la presente invención. El circuito dominó P 800 se puede utilizar o bien como un circuito de retención o bien como un registro que presenta ventajas con respecto a la técnica anterior tal como se describirá detalladamente en referencia a los diagramas de temporización de las FIGURAS 9 y 10. Los presentes inventores han reconocido también la necesidad de resolver el problema de los elevados tiempos de reloj-a-salida en los circuitos de retención y registros de salida de tipo dominó P. Han desarrollado por lo tanto un circuito 800 de salida dominó P que se puede utilizar o bien como circuito de retención o bien como registro, basándose en el tipo de señal de reloj y las entradas de datos a las que esté acoplado el circuito dominó P 800.

10 La configuración y el funcionamiento del circuito dominó P 800 son similares al funcionamiento de las realizaciones de los circuitos dominó N descritas anteriormente en referencia a las FIGURAS 1 a 7, con la excepción de que muchas de las señales y estados de las señales se invierten tal como se describe de forma adicional a continuación. El circuito dominó P 800 incluye tres etapas, que incluyen una etapa de evaluación, una etapa de retención, y una etapa de salida. La etapa de evaluación está formada por un dispositivo P1 de canal P, un dispositivo N1 de canal N y un inversor U1. La etapa de retención está formada por dispositivos P2 y P3 de canal P y un dispositivo N2 de canal N acoplados en una configuración de apilamiento. La etapa de salida está formada por un dispositivo P4 de canal P, dispositivos N3 y N4 de canal N, un inversor U2, y una puerta NOR U3 de dos entradas. Se proporciona un reloj o señal de fase PH1B, a través del nodo 801, a las puertas de P1, N1, P3 y N3. La fuente de N1 está acoplada a tierra (con respecto a un voltaje de fuente VDD) y su drenador está acoplado a un nodo 805 de precarga que desarrolla una señal de precarga a la que se hace referencia como TOPB. El drenador de P1 está acoplado al nodo 805 y su fuente está acoplada a la salida del inversor U1, que tiene su entrada acoplada a un nodo 803 que proporciona una señal de datos DB a la entrada del inversor U1.

15 Los dispositivos P1 y N1 forman un par complementario de dispositivos de evaluación, con el inversor U1 formando una lógica de evaluación para evaluar la señal de datos DB. Los expertos en la materia apreciarán que el dispositivo de evaluación de entrada U1 se puede sustituir por una lógica de tipo P más compleja configurada para llevar la fuente de P1 al nivel alto cuando una o más entradas de datos DB se evalúan como verdaderas (en cuyo caso el nodo 803 comprende un conjunto de nodos que proporcionan señales de datos correspondientes a una lógica de evaluación más compleja). Por motivos de simplificar la explicación sin desviarse con respecto al espíritu y el alcance de la presente invención, en la totalidad de la presente descripción se muestran una única entrada de datos DB y una puerta lógica correspondiente U1 de evaluación. Además, tal como en las realizaciones de tipo dominó N de las FIGURAS 1 y 4, el inversor U1 (o la lógica de evaluación CMOS complementaria más compleja) se puede intercambiar en la posición del circuito en cascada con el dispositivo P1 para permitir configuraciones complementarias más complejas de la lógica de evaluación. En dichas configuraciones, la fuente de P1 estaría acoplada al voltaje de fuente VDD. Además, los expertos en la materia apreciarán que, debido a que la función U1 (o la lógica de evaluación más compleja) conseguirá que la señal TOPB realice una transición rápida desde su nivel bajo precargado a un nivel alto, una realización de la presente invención utiliza dispositivos P y N racionalizados (dispositivos P fuertes y dispositivos N débiles), lo cual da como resultado un funcionamiento más rápido. De este modo, cuando U1 “realiza evaluaciones”, provoca que la señal TOPB realice una transición desde su estado bajo precargado a un estado alto. Cuando U1 “no realiza evaluaciones”, TOPB permanece en su estado bajo precargado.

20 El nodo 805 que proporciona la señal TOPB está acoplado a las puertas de los dispositivos P2 y N2 y a una entrada de la puerta NOR U3. La fuente de P2 está acoplada a VDD y su drenador está acoplado a la fuente de P3, que tiene su drenador acoplado a un nodo 807 que desarrolla una primera señal de salida intermedia QIIB. El drenador de N2 está acoplado al drenador de N3, que tiene su fuente acoplada al drenador de N4 en el nodo 807. La fuente de N4 está acoplada a tierra. El nodo 807 está acoplado al nodo formado por los drenadores de P4 y N4 y a la entrada del inversor U2, en donde la salida de U2 está acoplada al nodo 811 que desarrolla una segunda señal de salida intermedia QIB. La señal QIB se acciona al estado lógico opuesto que la señal QIIB después de un retardo de puerta a través del inversor U2. El nodo 811 está acoplado a las puertas de P4 y N4 y a la otra entrada de la puerta NOR U3. La salida de la puerta NOR U3 proporciona la señal QB de salida.

25 Volviendo a continuación a la FIG. 9, se presenta un diagrama de temporización que ilustra el funcionamiento del circuito dominó P 800 cuando se utiliza como circuito de retención dominó P, en el cual se representan con respecto al tiempo las señales PH1B, DB, TOPB, QIIB, QIB, y QB. En los diagramas de temporización se han realizado varias simplificaciones. Los retardos a través de cada dispositivo o componente (dispositivos de canal N, dispositivos de canal P, puertas lógicas, multiplexores, etcétera) se muestran de manera que son iguales ya que los mismos son aproximadamente equivalentes entre sí, y los tiempos de subida y caída se muestran también de manera que son iguales, ya que estos tiempos son también aproximadamente equivalentes. El diagrama de temporización ilustra dos ciclos de PH1B. Tal como se ha descrito anteriormente, para utilizar el circuito dominó P 800 como registro dominó P, es deseable acoplar el nodo 801 a una señal de reloj de impulsos PH1B. En una realización, PH1B tiene un ciclo de trabajo

menor que o igual al 10 por ciento.

En un instante de tiempo inicial T0, la señal QIIB presenta inicialmente un nivel alto y se va a establecer en nivel bajo en respuesta al paso de la señal PH1B a nivel bajo ya que la señal DB está en nivel bajo. También en instante de tiempo T0, la señal PH1B presenta inicialmente un nivel alto mientras que la señal QIB está en nivel bajo. Como PH1B está en nivel alto, N1 está activado y TOPB se “precarga” a nivel bajo de manera que tanto P2 como N3 están activados. Como QIB y TOPB están ambos en nivel bajo, la señal QB en la salida de la puerta NOR U3 está inicialmente en nivel alto. Mientras PH1B está en nivel alto y QIB está en nivel bajo, N4 está desactivado, N3 está activado y P4 está activado. Por lo tanto, en este caso, tanto P4 como N3 están activados proporcionando una vía de mantenimiento de estado “alto” para el nodo 807 a VDD que mantiene la señal QIIB en nivel alto.

La señal DB, que representa uno o más operandos de datos de entrada, se muestra inicialmente en nivel bajo, lo cual provoca que el inversor U1 lleve la fuente de P1 al nivel alto. Cuando la señal PH1B pasa al nivel bajo en el instante de tiempo T1 mientras DB está en nivel bajo, P1 se activa. Cuando se activa P1, la señal TOPB es llevada al nivel alto a través de P1. El paso de TOPB al nivel alto provoca que la puerta NOR U3 establezca QB en nivel bajo. Además, el paso de TOPB al nivel alto en el instante de tiempo T1 activa N2 de manera que la señal QIIB es llevada al nivel bajo. En respuesta al paso de la señal QIIB al nivel bajo, el inversor U2 lleva la señal QIB al nivel alto. El paso de QIB al nivel alto activa N4 y desactiva P4. El nivel alto de la señal QIB retiene eficazmente la señal de salida QB en nivel bajo durante el resto del ciclo de PH1B.

En un instante de tiempo T2 en el que PH1B pasa a continuación al nivel alto, TOPB se precarga una vez más al nivel bajo a través de N1. El nivel alto de la señal QIB mantiene activado a N4, lo cual mantiene QIIB en nivel bajo y QIB en nivel alto para mantener el estado de la señal de salida QB mientras TOPB pasa al nivel bajo. El paso de la señal TOPB al nivel bajo activa nuevamente P2, pero debido a que la señal PH1B está en nivel alto, P3 se desactiva de manera que la señal QIIB no se lleva al nivel alto.

La señal DB pasa al nivel alto en el instante de tiempo T3 para prepararse para el siguiente flanco de PH1B de manera que el inversor U1 lleva la fuente de P1 al nivel bajo. A continuación, la señal PH1B pasa al nivel bajo en el instante de tiempo T4 activando P1. Puesto que DB está todavía en nivel alto y la fuente de P1 está en nivel bajo, TOPB permanece en nivel bajo en el instante de tiempo T4. El paso de la señal PH1B al nivel bajo desactiva N3 y activa P3. Puesto que N2 permanece desactivado y tanto P2 como P3 están activados, la señal QIIB es llevada al nivel alto. El inversor U2 lleva QIB al nivel bajo en respuesta al paso de QIIB al nivel alto. Puesto que tanto QIB como TOPB están en este momento en nivel bajo, la puerta NOR U3 lleva QB al nivel alto.

La realización del registro dominó P del circuito 800 de la FIGURA 8 resulta muy adecuada para vías de temporización críticas con respecto a condiciones de “evaluación” ya que se presentan únicamente dos etapas (U1 y U3) de retardo de puerta durante un periodo de evaluación (cuando PH1B está en nivel bajo) para el tiempo de datos-a-salida. Mediante el acoplamiento del nodo 801 a una fuente de reloj de impulsos PH1B tal como se describe en el presente documento, se minimizan los requisitos del tiempo de mantenimiento para la señal de datos DB acoplada al nodo 803. Por ejemplo, en el diagrama de temporización de la FIGURA 9, DB puede cambiar de estado en cualquier momento tras el instante de tiempo T2 (o el instante de tiempo T5) ya que el estado de DB se registra en QB hasta el intervalo de evaluación de PH1.

Puesto que se permite que el estado de DB se propague hasta la salida QB cuando PH1B está en nivel bajo, el circuito dominó P 800 también se puede materializar en forma de un circuito de retención dominó P acoplando el nodo 801 a una señal de reloj de circuito de retención aproximadamente simétrica PH1B y acoplando el nodo 803 a datos de circuito de retención DB. Los datos de circuito de retención DB los puede proporcionar un circuito dominó anterior para el cual se desea una función de retención. El circuito 800 de la FIGURA 8 resulta ventajoso cuando se usa como una realización de circuito de retención dominó P gracias a una vía de “descarga” acelerada a través del nodo 805 hasta la señal de salida QB, lo cual permite que al nodo 803 le precedan más circuitos dominó en serie que los proporcionados hasta el momento. A continuación se describirá la realización del circuito de retención dominó P en referencia a la FIGURA 10.

Volviendo a la FIGURA 10, se presenta un diagrama de temporización que ilustra una realización de circuito de retención dominó P de la presente invención. Para utilizar el circuito 800 de la FIGURA 8 como circuito de retención de tipo dominó P, es deseable acoplar el nodo 801 a una señal de reloj de circuito de retención aproximadamente simétrica PH1B. En una realización, la señal de reloj de circuito de retención PH1B presenta un ciclo de trabajo de un 40 por ciento hasta un 60 por ciento. Como visión general, se observa que, durante el periodo en el que PH1B está en nivel bajo, se abre una ventana de evaluación en la que se permite que DB cambie y la salida QB sigue a DB. Sin embargo, cuando PH1B pasa al nivel alto, el estado de DB se retiene hasta que PH1B pasa nuevamente al nivel bajo. Por lo tanto, en el instante de tiempo T0, PH1B está en nivel alto y TOPB está precargada al nivel bajo. El estado previo (es decir, el estado anterior al paso de PH1B al nivel bajo) de DB se retiene a través de las señales QIIB, QIB, y hasta llegar a la salida QB. En el instante de tiempo T1, PH1B pasa nuevamente al nivel bajo, abriendo una ventana en la que se permite que el estado de DB se propague hasta llegar a la salida QB. Como DB está en nivel alto durante esta ventana, la salida QB permanece en nivel alto. En el instante de tiempo T2, DB pasa al nivel bajo provocando que la señal TOPB se “descargue” a un nivel alto, activando de este modo N2 y provocando que la salida QB pase al nivel bajo. Sin embargo, en el instante de tiempo T3, PH1B pasa nuevamente al nivel alto, cerrando la ventana de evaluación y

5 reteniendo el estado de DB, manteniendo de este modo en nivel bajo QB durante este semiciclo de PH1B. DB pasa nuevamente también al nivel alto en T3, reflejando el estado de una etapa dominó precedente cuya salida está acoplada al nodo 803. TOPB se precarga al nivel bajo en el instante de tiempo T3, preparándose para la siguiente ventana de evaluación cuando PH1B pasa al nivel bajo en el instante de tiempo T4. Como DB está en nivel alto en el instante de tiempo T4, TOP no se descarga. De este modo, en el instante de tiempo T4, P2 y P3 están activados, impulsando QIB al nivel alto y QIB al nivel bajo. Debido a que tanto QIB como TOPB están en nivel bajo en T4, QB se acciona al nivel alto. En el instante de tiempo T5, debido a que DB está todavía en el nivel alto (es decir, la etapa dominó precedente no realizó evaluaciones, de tal manera que DB paso al nivel bajo), TOPB permanece en el nivel bajo, y el estado alto permanece en la salida QB. En el instante de tiempo T6, PH1B pasa nuevamente al nivel alto, reteniendo el estado de DB en la salida QB durante el periodo en el que PH1B está en nivel bajo.

10 Los expertos en la materia apreciarán también que debido a que DB en general pasa nuevamente al nivel alto cuando PH1B pasa al nivel alto, el dispositivo P1 se puede eliminar del circuito 800 en una realización de circuito de retención de tipo dominó P, lo cual hace que aumente la velocidad del circuito 800.

15 Aunque la presente invención se ha descrito de forma considerablemente detallada en referencia a ciertas versiones preferidas de la misma, son posibles y se contemplan otras versiones y variaciones. Por otra parte, aunque la presente descripción contempla una implementación que usa dispositivos de tipo MOS, incluyendo dispositivos CMOS y similares, tales como, por ejemplo, transistores NMOS y PMOS, la misma se puede aplicar también de una manera similar a tipos diferentes o análogos de tecnologías y topologías, tales como dispositivos bipolares o similares. Finalmente, aquellos expertos en la materia apreciarán que pueden usar fácilmente el concepto dado a conocer y las realizaciones específicas como fundamento para diseñar o modificar otras estructuras, con el objeto de alcanzar los mismos objetivos de la presente invención sin desviarse del espíritu y el alcance de la misma según definen las reivindicaciones adjuntas.

20

REIVINDICACIONES

1. Registro de tipo dominó P, que comprende:

5 una etapa dominó, acoplada a una señal de impulsos de reloj, y destinada a evaluar una función lógica según los estados de por lo menos una señal de datos y de dicha señal de impulsos de reloj, en donde dicha etapa dominó precarga a nivel bajo un nodo precargado cuando dicha señal de impulsos de reloj tiene un nivel alto, y descarga dicho nodo precargado a un estado alto si dicha función lógica se evalúa cuando dicha señal de impulsos de reloj tiene un nivel bajo, y mantiene dicho nodo precargado en un nivel bajo si dicha función lógica no se evalúa cuando dicha señal de impulsos de reloj tiene un nivel bajo, en donde se suministra un estado de establecimiento de dicha por lo menos una señal de datos a dicha etapa dominó cuando dicha señal de impulsos de reloj tiene un nivel alto, en donde dicha etapa dominó comprende:

un dispositivo de canal N que tiene una puerta acoplada a dicha señal de impulsos de reloj, y un drenador y una fuente acoplados entre tierra y dicho nodo precargado;

un dispositivo de canal P que tiene una puerta acoplada a dicha señal de impulsos de reloj, un drenador acoplado a dicho nodo precargado y una fuente; y

15 lógica de evaluación acoplada entre un voltaje de fuente y dicha fuente de dicho dispositivo de canal P;

20 una etapa de escritura, acoplada a dicha etapa dominó y sensible a dicha señal de impulsos de reloj, que lleva un primer nodo de salida preliminar al nivel bajo si dicho nodo precargado pasa a nivel alto y que lleva dicho primer nodo de salida preliminar a nivel alto si dicho nodo precargado permanece en nivel bajo;

un inversor que tiene una entrada acoplada a dicho primer nodo de salida preliminar y una salida acoplada a un segundo nodo de salida preliminar;

25 una vía de mantenimiento de nivel bajo que mantiene dicho primer nodo de salida preliminar en nivel bajo cuando está habilitada, en donde dicha vía de mantenimiento de nivel bajo se habilita cuando tanto dicha señal de impulsos de reloj como dicho segundo nodo de salida preliminar tienen un nivel alto y que se deshabilita en cualquier otro caso;

30 una vía de mantenimiento de nivel alto que mantiene dicho primer nodo de salida preliminar en nivel alto cuando está habilitada, en donde dicha vía de mantenimiento de nivel alto se habilita cuando tanto dicho segundo nodo de salida preliminar como dicho nodo precargado tienen un nivel bajo y que se deshabilita en cualquier otro caso; y

una etapa de salida que proporciona una señal de salida basándose en estados de dicho nodo precargado y dicho segundo nodo de salida preliminar.

2. Circuito de retención dominó P según la reivindicación 1, en el que dicha lógica de evaluación comprende lógica de semiconductores de óxido-metal complementarios.

35 3. Circuito de retención dominó P según la reivindicación 1, en el que dicha etapa de escritura comprende:

un primer dispositivo de canal N que tiene una puerta acoplada a dicho nodo precargado, y un drenador y una fuente acoplados entre tierra y dicho primer nodo de salida preliminar;

un primer dispositivo de canal P que tiene una puerta que recibe dicha señal de impulsos de reloj, un drenador acoplado a dicho primer nodo de salida preliminar y una fuente; y

40 un segundo dispositivo de canal P que tiene una puerta acoplada a dicho nodo precargado, un drenador acoplado a dicha fuente de dicho primer dispositivo de canal P y una fuente acoplada a un voltaje de fuente.

4. Circuito de retención dominó P según la reivindicación 3, en el que dicha vía de mantenimiento de nivel bajo comprende:

45 un segundo dispositivo de canal N que tiene una puerta acoplada a dicho segundo nodo de salida preliminar, una fuente acoplada a tierra y un drenador; y

un tercer dispositivo de canal N que tiene una puerta que recibe dicha señal de reloj aproximadamente simétrica, y un drenador y una fuente acoplados entre dicho drenador de dicho segundo dispositivo de canal N y dicho primer nodo de salida preliminar.

50 5. Circuito de retención dominó P según la reivindicación 4, en el que dicha vía de mantenimiento de nivel alto comprende dicho primer dispositivo de canal N y un tercer dispositivo de canal P que tiene una puerta acoplada a dicho

segundo nodo de salida preliminar, y un drenador y una fuente acoplados entre dicho primer nodo de salida preliminar y dicho drenador de dicho tercer dispositivo de canal N.

6. Circuito de retención dominó P según la reivindicación 1, en el que dicha etapa de salida comprende una puerta NOR.

5 7. Circuito de retención dominó P según la reivindicación 1, en el que dicha etapa dominó, dicha etapa de escritura, dicho inversor, dichas vías de mantenimiento de nivel alto y bajo y dicha lógica de salida están integrados usando un proceso escalado de silicio-sobre-aislante de 90 nanómetros.

8. Método de registro de una o más señales de datos de entrada, que comprende:

precargar un primer nodo a nivel bajo mientras una señal de impulsos de reloj tiene nivel alto;

10 cuando la señal de impulsos de reloj tiene nivel alto, establecer estados de la señal o señales de datos de entrada de manera que se registre una señal de salida correspondiente durante un ciclo completo sucesivo de la señal de impulsos de reloj;

cuando la señal de impulsos de reloj tiene nivel bajo, evaluar una función lógica basándose en la señal o señales de datos de entrada para controlar el estado del primer nodo, comprendiendo dicha evaluación:

15 en primer lugar, acoplar una puerta de un dispositivo de canal N a la señal de impulsos de reloj, y

en segundo lugar, acoplar un drenador y una fuente del dispositivo de canal N entre tierra y el primer nodo;

en tercer lugar, acoplar una puerta de un dispositivo de canal P a la señal de impulsos de reloj, y

en cuarto lugar, acoplar un drenador del dispositivo de canal P al primer nodo; y

20 en quinto lugar, acoplar la lógica de evaluación entre un voltaje de fuente y una fuente del dispositivo de canal P;

controlar el estado de un segundo nodo con el estado del primer nodo cuando la señal de impulsos de reloj tiene un nivel bajo;

definir el estado de un tercer nodo como el estado invertido del segundo nodo;

25 habilitar una vía de mantenimiento de estado alto para mantener alto el estado del segundo nodo cuando tanto el primer como el tercer nodos tienen un nivel bajo y, en cualquier otro caso, deshabilitar la vía de mantenimiento de estado alto;

habilitar una vía de mantenimiento de estado bajo para mantener bajo el estado del segundo nodo cuando tanto la señal de reloj aproximadamente simétrica como el tercer nodo tienen un nivel alto y, en cualquier otro caso, deshabilitar la vía de mantenimiento de estado alto; y

30 cuando la señal de impulsos de reloj tiene un nivel alto, retener el estado de la señal de salida en un nodo de salida basándose en los estados del primer y el tercer nodos.

9. Método de la reivindicación 8, en el que dicha evaluación de una función lógica para controlar el estado del primer nodo comprende llevar el primer nodo al nivel alto cuando la función lógica se evalúa y mantener el primer nodo en nivel bajo cuando la función lógica no consigue evaluarse.

35 10. Método de la reivindicación 9, en el que dicho control del estado de un segundo nodo con el estado del primer nodo comprende llevar el segundo nodo al nivel bajo si el primer nodo se ha llevado al nivel alto y llevar el segundo nodo al nivel alto si el primer nodo permanece en nivel bajo cuando la señal de reloj de impulsos pasa al nivel bajo.

11. Método de la reivindicación 8, en el que dicha retención del estado de un nodo de salida comprende combinar lógicamente los estados del primer y el tercer nodos con una función NOR.

40

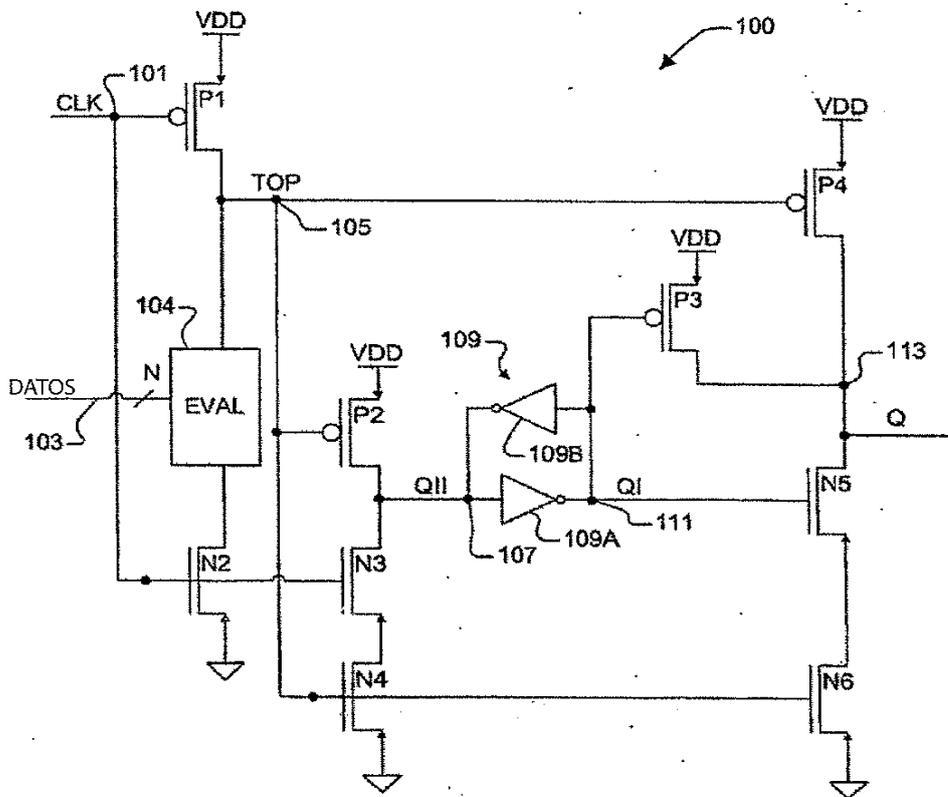


FIG. 1

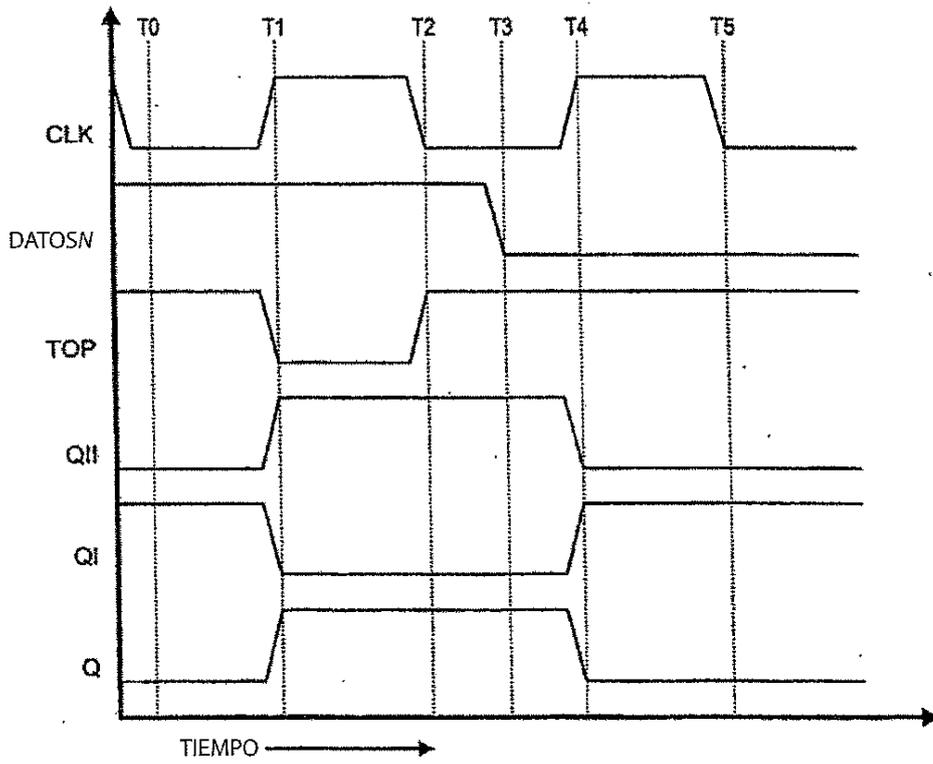


FIG. 2

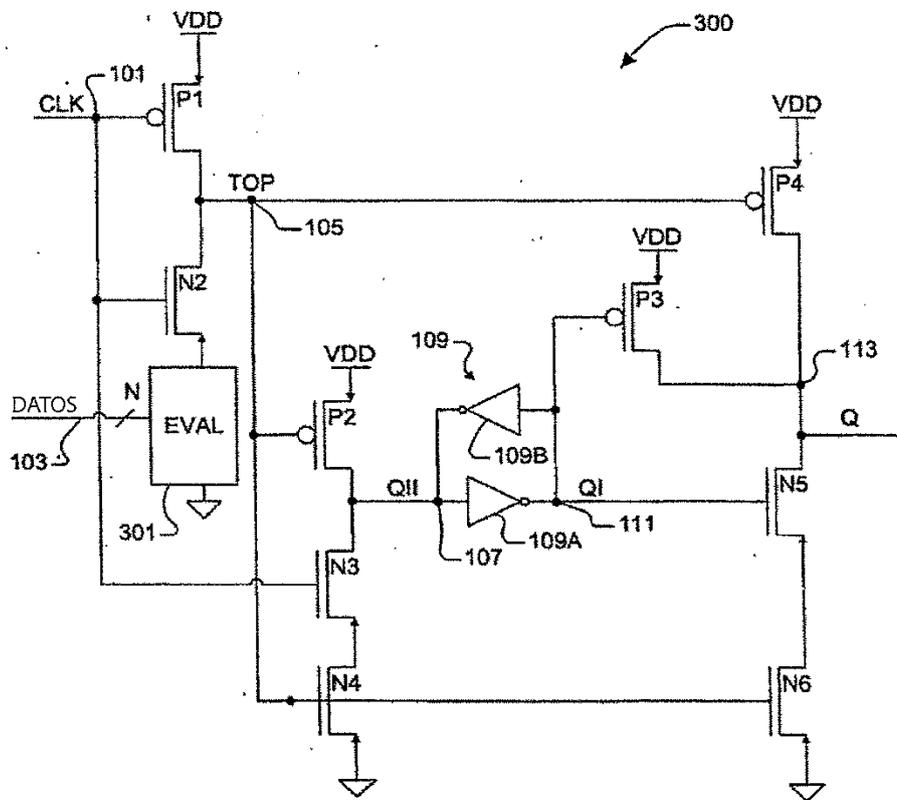


FIG. 3

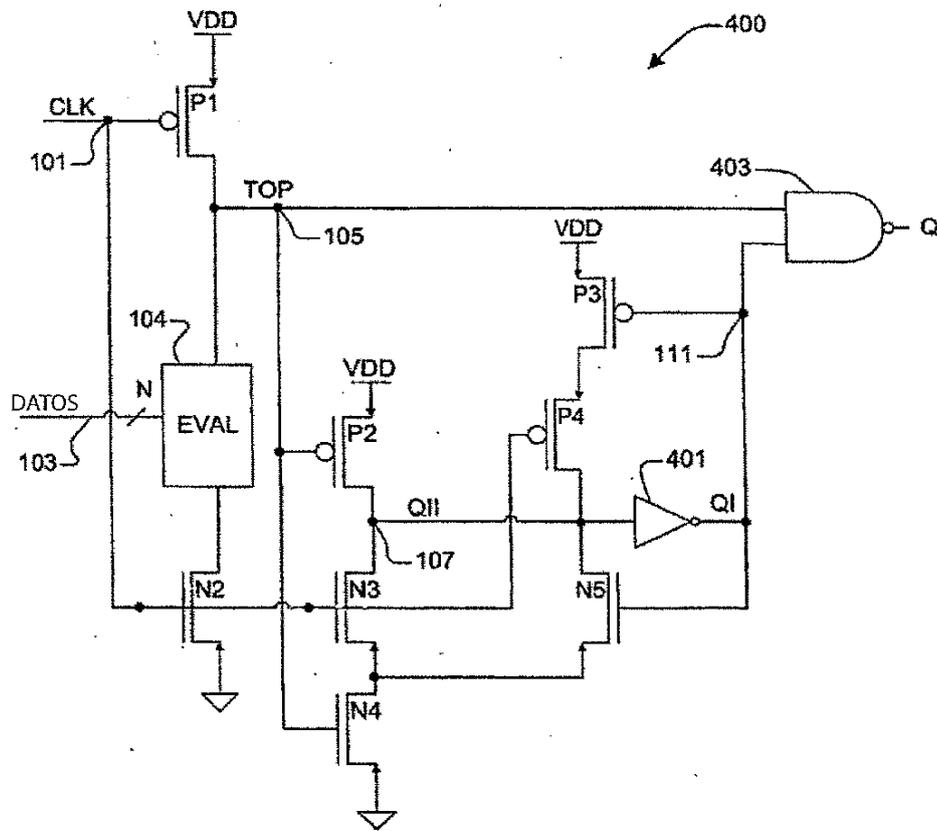


FIG. 4

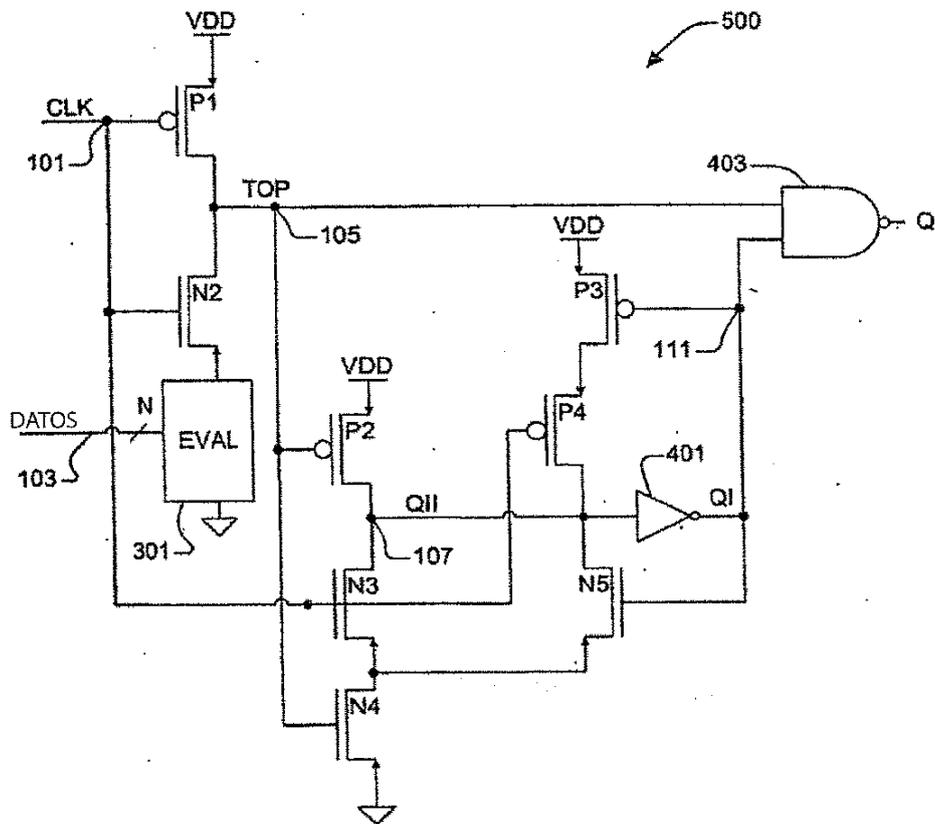


FIG. 5

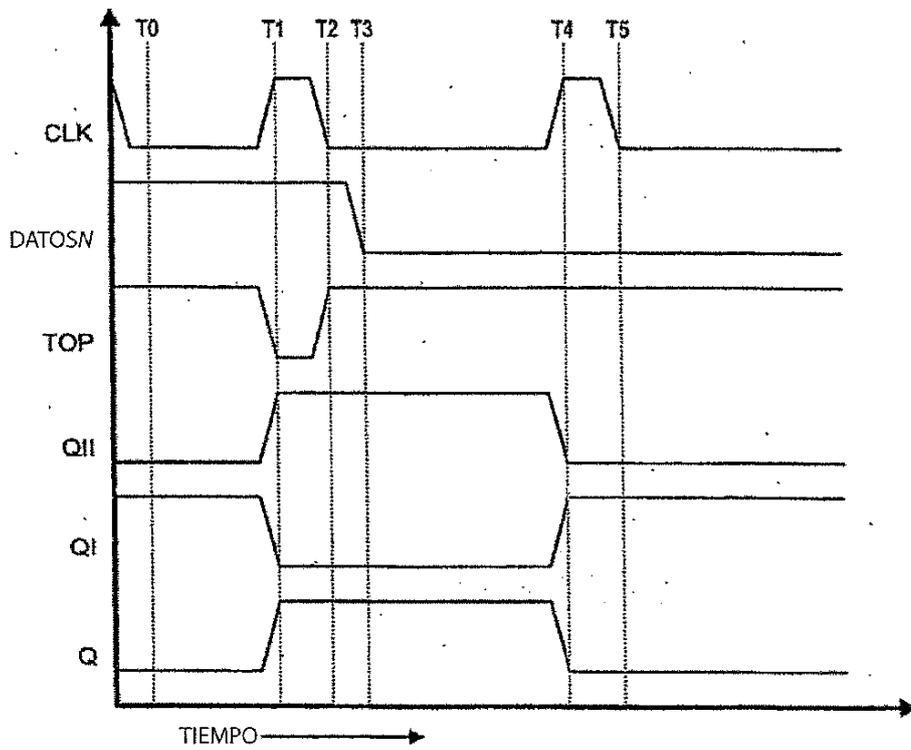


FIG. 6

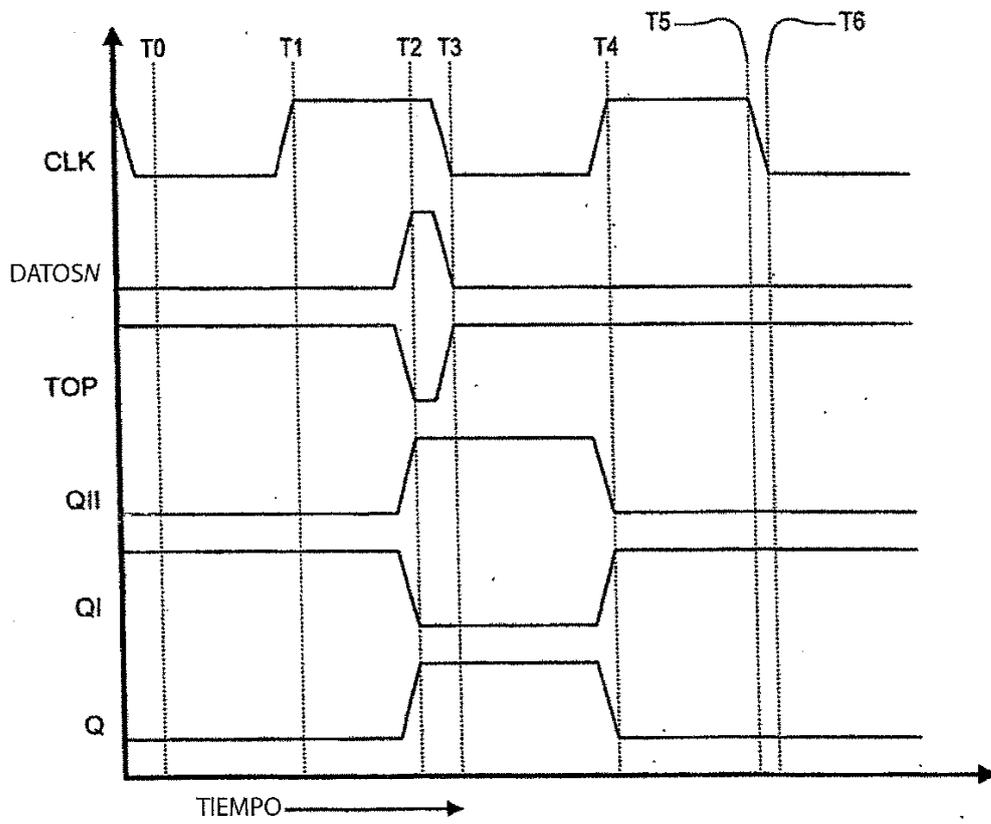


FIG. 7

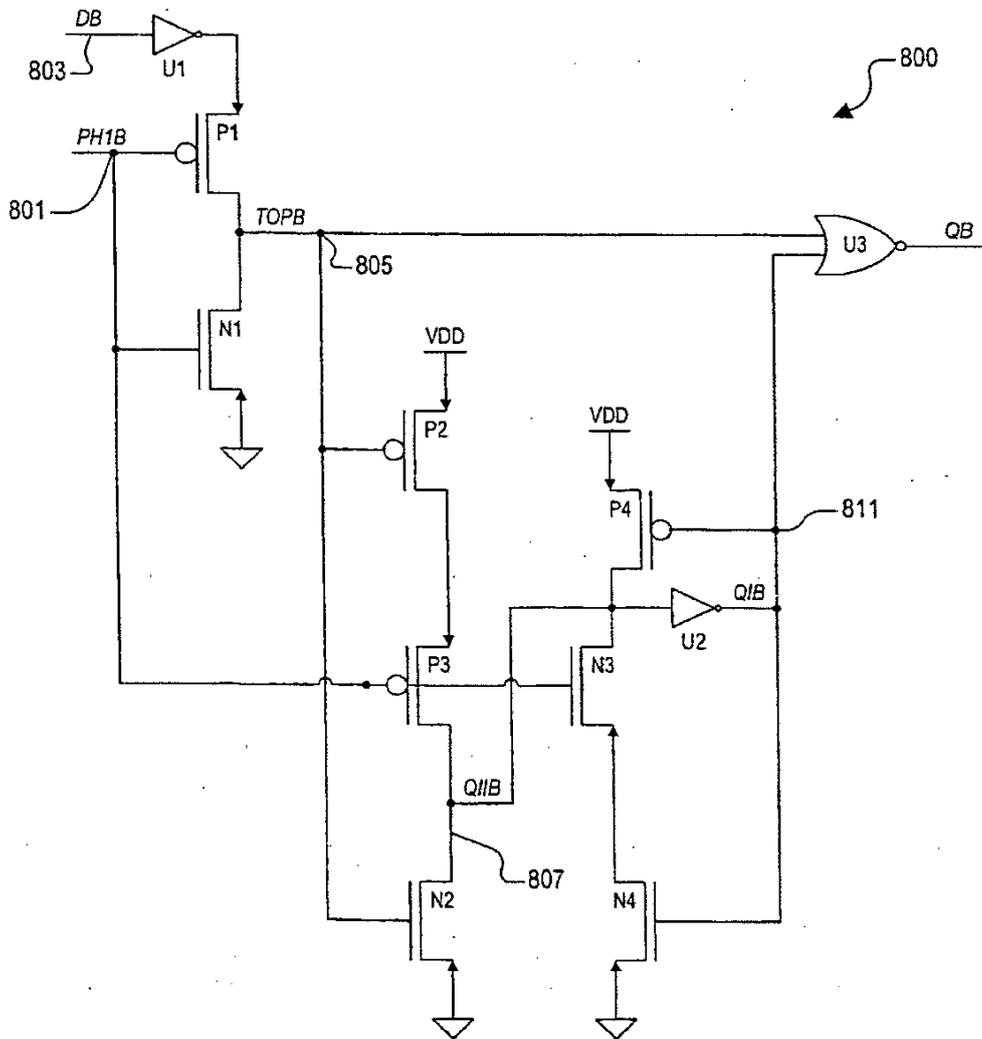


FIG. 8

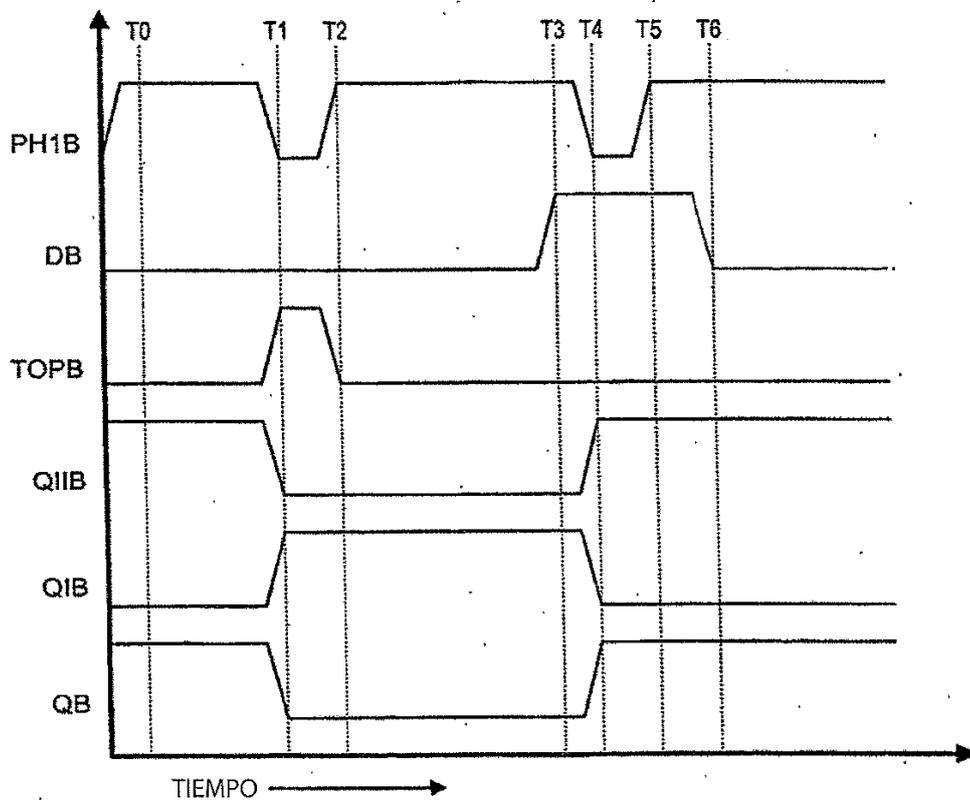


FIG. 9

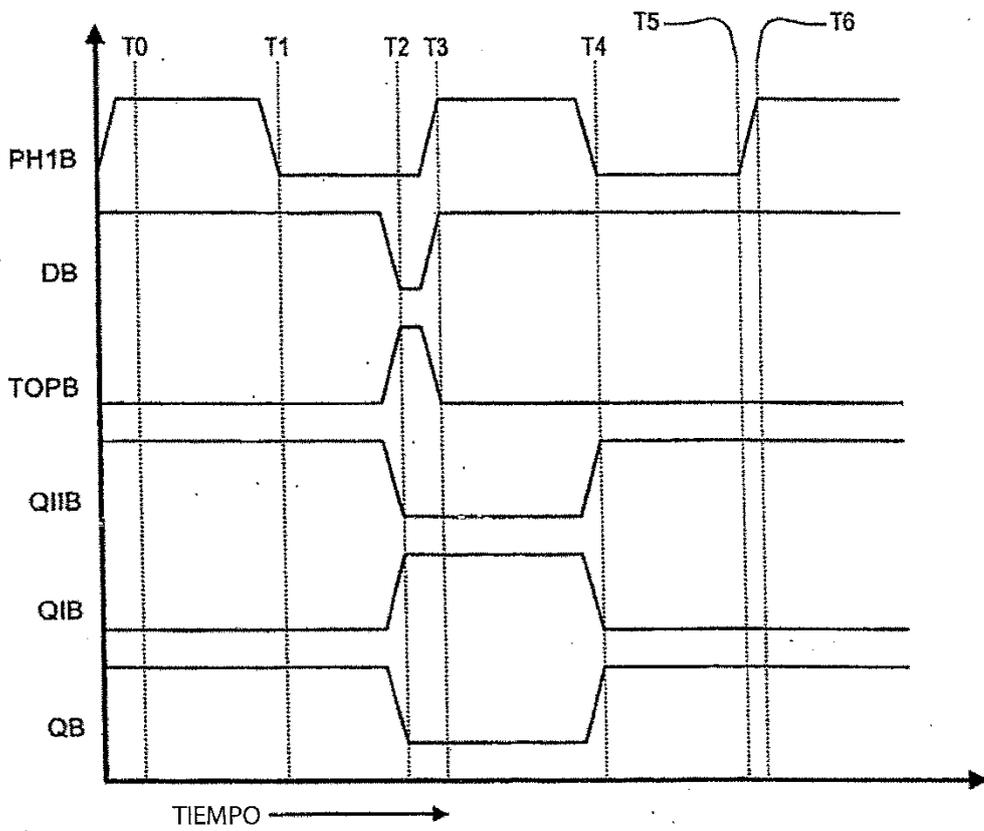


FIG. 10