



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 361 852**

51 Int. Cl.:  
**G06F 13/16** (2006.01)  
**G06F 9/38** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **06739634 .1**  
96 Fecha de presentación : **23.03.2006**  
97 Número de publicación de la solicitud: **1869561**  
97 Fecha de publicación de la solicitud: **26.12.2007**

54 Título: **Minimización de las barreras de memoria cuando se imponen solicitudes fuertemente ordenadas en un sistema de procesamiento débilmente ordenado.**

30 Prioridad: **23.03.2005 US 665000 P**  
**20.10.2005 US 254939**

45 Fecha de publicación de la mención BOPI:  
**22.06.2011**

45 Fecha de la publicación del folleto de la patente:  
**22.06.2011**

73 Titular/es: **QUALCOMM Incorporated**  
**5775 Morehouse Drive**  
**San Diego, California 92121, US**

72 Inventor/es: **Hofmann, Richard, Gerard;**  
**Dieffenderfer, James, Norris;**  
**Sartorius, Thomas;**  
**Speier, Thomas, Philip y**  
**Ganasan, Jaya, Prakash, Subramaniam**

74 Agente: **Carpintero López, Mario**

ES 2 361 852 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Minimización de las barreras de memoria cuando se imponen solicitudes fuertemente ordenadas en un sistema de procesamiento débilmente ordenado.

5 La presente solicitud de patente reivindica prioridad con respecto a la solicitud provisional nº 60/665.000, titulada "Method and Apparatus for Suppressing Unnecessary Memory Barrier Bus Operations", presentada el 23 de marzo de 2005 y transferida al cesionario de la presente.

### Antecedentes

#### Campo

10 La presente revelación versa en general acerca de sistemas procesadores, y, más en particular, acerca de un procedimiento y un aparato para minimizar las barreras de memoria cuando se imponen solicitudes fuertemente ordenadas en un sistema procesador débilmente ordenado.

### Antecedentes

15 Los ordenadores y otros sistemas procesadores modernos han revolucionado la industria electrónica permitiendo que se lleven a cabo tareas sofisticadas con solo algunas pulsaciones de tecla en un teclado. Estas tareas sofisticadas implican, a menudo, varios dispositivos que se comunican entre sí de una manera rápida y eficiente usando un bus. El bus proporciona un enlace compartido de comunicaciones entre los dispositivos de un sistema procesador.

20 Los tipos de dispositivos conectados a un bus en un sistema procesador pueden variar dependiendo de la aplicación particular. Típicamente, los dispositivos emisores del bus pueden ser procesadores, y los dispositivos receptores del bus pueden ser dispositivos de memoria o dispositivos con mapa de memoria. En estos sistemas, los procesadores logran a menudo beneficios de rendimiento permitiendo que las operaciones de memoria se ejecuten fuera de orden. Por ejemplo, una secuencia de operaciones de memoria podría ser reordenada para permitir que todas las operaciones a la misma página de memoria se ejecuten antes de que se abra una nueva página. Los sistemas procesadores a los que se les permite reordenar las operaciones de memoria se denominan generalmente sistemas procesadores "débilmente ordenados".

25 En ciertos casos, la reordenación de las operaciones de memoria puede afectar de forma imprevisible el comportamiento del programa. Por ejemplo, es posible que una aplicación requiera que un procesador escriba datos a memoria antes de que el procesador lea de esa ubicación de memoria. En un sistema procesador débilmente ordenado, no hay garantía alguna de que ocurra esto. Es posible que este resultado sea inaceptable.

30 Se han empleado diversas técnicas para ejecutar operaciones ordenadas de memoria en un sistema procesador débilmente ordenado. Una técnica es, simplemente, retardar ciertas operaciones de memoria hasta que se ejecuten todas las operaciones de memoria anteriores a una dada. En el ejemplo anterior, el procesador puede demorar la emisión de una solicitud de lectura hasta que reciba una indicación que garantice que los datos se han escrito en la ubicación de memoria. Otra técnica es usar una instrucción de bus denominada barrera de memoria cuando se requiere una operación ordenada de memoria. Puede usarse una "barrera de memoria" para garantizar que todas las solicitudes de acceso a la memoria emitidas por un procesador antes de la barrera de memoria son ejecutadas antes que todas las solicitudes de acceso a la memoria emitidas por el procesador después de la barrera de memoria. Nuevamente, como en el ejemplo anterior, el procesador podría enviar una barrera de memoria a la memoria antes de emitir una solicitud de lectura. Esto garantizaría que el procesador escribe a la memoria antes de que lea de la misma ubicación de memoria.

40 Ambas técnicas son efectivas, pero ineficientes desde una perspectiva del rendimiento del sistema. La barrera de memoria puede ser particularmente ineficiente en los sistemas procesadores con múltiples dispositivos de memoria. En estos sistemas procesadores, el procesador tendría que emitir una barrera de memoria a cada dispositivo de memoria al que pueda acceder antes de imponer una restricción de ordenación en las operaciones de memoria. Así, sigue existiendo la necesidad de procedimientos más eficientes para llevar a cabo operaciones ordenadas de memoria en un sistema procesador débilmente ordenado.

45 Se llama la atención sobre el documento US-B1-6 275 913, que proporciona un procedimiento para mantener la ordenación de las solicitudes de memoria distribuidas entre múltiples controladores de memoria. Este procedimiento actúa dentro de un sistema que recibe una solicitud de memoria en un primer controlador de memoria. Esta solicitud de memoria incluye una etiqueta de origen que indica una fuente de la que se originó la solicitud de memoria. (Por ejemplo, una etiqueta de origen puede identificar un procesador o un acelerador gráfico). Acto seguido, el sistema compara la etiqueta de origen con las etiquetas de origen para las solicitudes de memoria pendientes en un segundo controlador de memoria para determinar si el segundo controlador de memoria contiene alguna solicitud de memoria pendiente procedente del mismo origen. Obsérvese que las etiquetas de origen para el segundo controlador de memoria se almacenan dentro del primer controlador de memoria. Si el segundo controlador de memoria contiene

solicitudes de memoria pendientes procedentes del mismo origen, el sistema impide que la solicitud de memoria sea emitida desde el primer controlador de memoria hasta que se completen las solicitudes de memoria pendientes procedentes del mismo origen dentro del segundo controlador de memoria. Por último, el sistema emite la solicitud de memoria procedente del primer controlador de memoria a una primera memoria de acceso aleatorio acoplada al primer controlador de memoria.

Se llama la atención también sobre el documento US-A-6 038 646, que describe una interfaz de memoria que se proporciona entre un procesador y un subsistema de memoria que es capaz de múltiples transacciones o accesos concurrentes. La interfaz entre el procesador y la memoria lleva operaciones de lectura y escritura, así como operaciones "barrera", señalando una operación barrera la imposibilidad de reordenación de las operaciones. En una variación, la interfaz de memoria es una interfaz con uno o más dispositivos de entrada/salida (I/O) con mapa de memoria o dispositivos de cálculo.

### **Resumen**

Según la presente invención, se proporcionan un sistema procesador débilmente ordenado, tal como se expone en la reivindicación 1, una interconexión de bus, tal como se expone en la reivindicación 10, y un procedimiento de imposición de solicitudes fuertemente ordenadas de acceso a la memoria en un sistema procesador débilmente ordenado, tal como se expone en la reivindicación 16. En las reivindicaciones dependientes se reivindican realizaciones preferentes de la invención.

Se da a conocer un aspecto de un sistema procesador débilmente ordenado. El sistema procesador incluye una pluralidad de dispositivos de memoria, una pluralidad de procesadores, estando configurado cada uno de los procesadores para generar solicitudes de acceso a la memoria dirigidas a uno o más de los dispositivos de memoria; y una interconexión de bus configurada para interconectar los procesadores con los dispositivos de memoria. La interconexión de bus está configurada, además, para imponer una restricción de ordenación para una solicitud fuertemente ordenada de acceso a la memoria procedente de un procesador de origen dirigida a un dispositivo de memoria de destino enviando una barrera de memoria a cada uno de los otros dispositivos de memoria accesibles por el procesador de origen, salvo aquellos dispositivos de memoria de los que la interconexión de bus puede confirmar que no tienen solicitudes de acceso a la memoria pendientes de ejecución procedentes del procesador de origen.

Se da a conocer otro aspecto de un sistema procesador débilmente ordenado. El sistema débilmente ordenado incluye una pluralidad de dispositivos de memoria, una pluralidad de procesadores, estando configurado cada uno de los procesadores para generar solicitudes de acceso a la memoria dirigidas a uno o más de los dispositivos de memoria, y una interconexión de bus. La interconexión de bus incluye medios para interconectar los procesadores con los dispositivos de memoria, y medios para imponer una restricción de ordenación de una solicitud fuertemente ordenada de acceso a la memoria procedente del procesador de origen dirigida al dispositivo de memoria de destino enviando una barrera de memoria a cada uno de los otros dispositivos de memoria accesibles por el procesador, salvo aquellos dispositivos de memoria de los que la interconexión de bus puede confirmar que no tienen solicitudes de acceso a la memoria pendientes de ejecución procedentes del procesador de origen.

Se da a conocer un aspecto de una interconexión de bus. La interconexión de bus incluye un conmutador de bus configurado para interconectar una pluralidad de procesadores con una pluralidad de dispositivos de memoria en un sistema procesador débilmente ordenado, estando configurado cada uno de los procesadores para generar solicitudes de acceso a la memoria dirigidas a uno o más de los dispositivos de memoria, y un controlador configurado para imponer una restricción de ordenación para una solicitud fuertemente ordenada de acceso a la memoria procedente de un procesador de origen dirigida a un dispositivo de memoria de destino enviando una barrera de memoria a cada uno de los otros dispositivos de memoria accesibles por el procesador, salvo aquellos dispositivos de memoria de los que el controlador puede confirmar que no tienen solicitudes de acceso a la memoria pendientes de ejecución procedentes del procesador de origen.

Se da a conocer un aspecto de un procedimiento de imposición de solicitudes fuertemente ordenadas de acceso a la memoria en un sistema procesador débilmente ordenado. El procedimiento incluye recibir, de una pluralidad de procesadores, solicitudes de acceso a la memoria para una pluralidad de dispositivos de memoria, siendo una de las solicitudes de acceso a la memoria procedente de un procesador de origen dirigida a un dispositivo de memoria de destino una solicitud fuertemente ordenada de acceso a la memoria, e imponer una restricción de ordenación para la solicitud fuertemente ordenada de acceso a la memoria enviando una barrera de memoria a cada uno de los otros dispositivos de memoria accesibles por el procesador, salvo aquellos dispositivos de memoria de los que puede confirmarse que no tienen solicitudes de acceso a la memoria pendientes de ejecución procedentes del procesador de origen.

Se entiende que otras realizaciones de la presente invención se harán inmediatamente obvias a las personas expertas en la técnica a partir de la siguiente descripción detallada, en la que se muestran y se describen únicamente diversas realizaciones de la invención a título de ilustración. Como se observará, la invención es susceptible de otras realizaciones diferentes y sus varios detalles son susceptibles de modificación en diversos

aspectos adicionales, todo sin apartarse del alcance de la presente invención. En consecuencia, los dibujos y la descripción detalla han de considerarse de naturaleza ilustrativa y no restrictiva.

### **Breve descripción de los dibujos**

5 Se ilustran diversos aspectos de la presente invención a título de ejemplo y no de limitación en los dibujos adjuntos, en los que:

la FIG. 1 es un diagrama conceptual de bloques que ilustra un ejemplo de un sistema procesador débilmente ordenado;

la FIG. 2 es un diagrama funcional de bloques que ilustra un ejemplo de una interconexión de bus en un sistema procesador débilmente ordenado;

10 la FIG. 3 es un diagrama funcional de bloques que ilustra un ejemplo de un controlador en una interconexión de bus para un sistema procesador débilmente ordenado; y

la FIG. 4 es un diagrama funcional de bloques que ilustra otro ejemplo del controlador en una interconexión de bus para un sistema procesador débilmente ordenado.

### **Descripción detallada**

15 Se pretende que la descripción detallada expuesta a continuación en conexión con los dibujos adjuntos sea una descripción de diversas realizaciones de la invención y no se pretende que represente las únicas realizaciones en las que puede ponerse en práctica la invención. La descripción detallada incluye detalles específicos con el fin de proporcionar una comprensión cabal de la invención. Sin embargo, será evidente para las personas expertas en la técnica que la invención puede ser puesta en práctica sin estos detalles específicos. En algunos casos, se muestran estructuras y componentes bien conocidos en forma de diagrama de bloques para evitar oscurecer los conceptos de la invención.

20 La FIG. 1 es un diagrama conceptual de bloques que ilustra un ejemplo de un sistema procesador débilmente ordenado. El sistema procesador 100 puede ser un ordenador, estar residente en un ordenador, o ser cualquier otro sistema capaz de procesar, recuperar y almacenar información. El sistema procesador 100 puede ser un sistema dedicado o, alternativamente, estar integrado en un dispositivo, como un teléfono inalámbrico o cableado, una agenda personal (PDA), un ordenador de sobremesa, un ordenador portátil, una consola de juegos, un buscapersonas, un módem, una cámara, aparatos de automoción, aparatos industriales, aparatos de vídeo, aparatos de audio o cualquier otro dispositivo adecuado que requiera capacidad de proceso. El sistema procesador 100 puede ser implementado como un circuito integrado, parte de un circuito integrado, o ser distribuido entre múltiples circuitos integrados. De forma alternativa, el sistema procesador 100 puede ser implementado con componentes discretos, o cualquier combinación de circuitería discreta o integrada. Las personas expertas en la técnica reconocerán la forma óptima de implementar el sistema procesador 100 para cada aplicación particular.

25 El sistema procesador 100 se muestra con múltiples procesadores 102a-102c en comunicación con múltiples dispositivos 104a-104c de memoria mediante un bus 106. El número real de procesadores y de dispositivos de memoria requeridos para cualquier aplicación particular puede variar dependiendo de la potencia de cálculo requerida y de las restricciones globales de diseño. Puede usarse una interconexión 108 de bus para gestionar las transacciones de bus entre los procesadores 102a-102c y los dispositivos 104a-104c de memoria usando conexiones de conmutación punto a punto. En al menos una realización de la interconexión 108 de bus, pueden proporcionarse múltiples enlaces director para permitir que ocurran simultáneamente varias transacciones de bus.

30 Cada procesador 102a-102c puede ser implementado como cualquier tipo de dispositivo de gestión por bus, incluyendo, a título de ejemplo, un procesador de uso general, un procesador de señales digitales (DSP), un circuito integrado para aplicaciones específicas (ASIC), una matriz de puertas programables in situ (FPGA) u otros componentes de lógica programable, de lógica de puertas discretas o de transistor, componentes discretos de soporte físico, o cualquier otra entidad o disposición de procesamiento. Uno o más de los procesadores 102a-102c pueden estar configurados para ejecutar instrucciones bajo el control de un sistema operativo o de otro soporte lógico. Las instrucciones pueden residir en uno o más de los dispositivos 104a-104c de memoria. También pueden almacenarse datos en los dispositivos 104a-104c de memoria, y pueden ser recuperados por los procesadores 102a-102c para ejecutar ciertas instrucciones. Los nuevos datos resultantes de la ejecución de estas instrucciones pueden volver a escribirse en los dispositivos 104a-104c de memoria. Cada dispositivo 104a-104c de memoria puede incluir un controlador de memoria (no mostrado) y un medio de almacenamiento (no mostrado). El medio de almacenamiento puede incluir memoria RAM, memoria DRAM, memoria SDRAM, memoria flash, memoria ROM, memoria PROM, memoria EPROM, memoria EEPROM, CD-ROM, DVD, registros, unidad de disco duro, un disco extraíble o cualquier otro medio adecuado de almacenamiento.

35 Cada procesador 102a-102c puede estar dotado de un canal dedicado 106a-106c en un bus 106 para comunicarse con la interconexión 108 de bus. De manera similar, la interconexión 108 de bus puede ser un canal dedicado 106d-

106f en el bus para comunicarse con cada dispositivo 104a-104c de memoria. A título de ejemplo, un primer procesador 102a puede acceder a un dispositivo 104b de memoria de destino enviando una solicitud de acceso a la memoria por su canal dedicado 106a por el bus 106. La interconexión 108 de bus determina el dispositivo 104b de memoria de destino a partir de la dirección de la solicitud de acceso a la memoria y envía la solicitud al dispositivo 104b de memoria de destino por el canal apropiado 106e del bus 106. Una "solicitud de acceso a la memoria" puede ser una solicitud de escritura, una solicitud de lectura, o cualquier otra solicitud relacionada con el bus. Un procesador 102a-102c de origen puede emitir una solicitud de escritura dirigida a un dispositivo 104a-104c de memoria de destino poniendo la dirección apropiada con la carga útil en el bus 106 y haciendo constar una señal habilitadora de la escritura. Un procesador 102a-102c de origen puede emitir una solicitud de lectura dirigida a un dispositivo 104a-104c de memoria de destino poniendo la dirección apropiada en el bus 106 y haciendo constar una señal habilitadora de la lectura. En respuesta a la solicitud de lectura, el dispositivo 104a-104c de memoria de destino devolverá la carga útil al procesador 102a-102c de origen.

En al menos una realización del sistema procesador 100, los procesadores 102a-102c pueden transmitir un "atributo de memoria" con cada solicitud de acceso a la memoria. El "atributo de memoria" puede ser cualquier parámetro que describa la naturaleza de la solicitud de acceso a la memoria. El atributo de memoria puede ser transmitido con la dirección por el canal de dirección. De forma alternativa, el atributo de memoria puede ser transmitido usando señalización de banda lateral o alguna otra metodología. El atributo de memoria puede usarse para indicar si la solicitud de acceso a la memoria es fuertemente ordenada o no. Una solicitud "fuertemente ordenada" se refiere a una solicitud de acceso a la memoria que no puede ser ejecutada fuera de orden.

La interconexión 108 de bus puede usarse para monitorizar el atributo de memoria para cada solicitud de acceso a la memoria procedente de los procesadores 102a-102c. Si un atributo de memoria indica una solicitud fuertemente ordenada de acceso a la memoria, la interconexión 108 de bus puede imponer una restricción de ordenación en esa solicitud. A título de ejemplo, una solicitud de acceso a la memoria procedente de un primer procesador 102a dirigida a un dispositivo 104a de memoria puede incluir un atributo de memoria. La interconexión 108 de bus puede determinar, a partir del atributo de memoria, si la solicitud es fuertemente ordenada. Si la interconexión 108 de bus determina que la solicitud es fuertemente ordenada, envía una barrera de memoria a cada dispositivo 104b y 104c de memoria al que el primer procesador 102a es capaz de acceder distintos del dispositivo 104a de memoria de destino. La interconexión 108 de bus también envía la solicitud de acceso a la memoria a la memoria 104a de destino sin una barrera de memoria, porque el dispositivo 104a de memoria de destino la gestionará de manera implícita como una solicitud fuertemente ordenada debido al atributo de memoria asociado con la solicitud de acceso a la memoria.

La FIG. 2 es un diagrama funcional de bloques que ilustra un ejemplo de una interconexión de bus en un sistema procesador débilmente ordenado. La manera en la que se implemente realmente la interconexión de bus dependerá de las consideraciones de diseño. Las personas expertas en la técnica reconocerán la intercambiabilidad de diversos diseños, y la manera óptima de implementar la funcionalidad descrita en el presente documento para cada aplicación particular.

Con referencia a la FIG. 2, puede usarse un registro 202 de bus para recibir y almacenar información procedente del bus 106. El registro 202 de bus puede ser cualquier tipo de dispositivo de almacenamiento, como una memoria de primero en entrar, primero en salir (FIFO) o cualquier otro dispositivo adecuado de almacenamiento. La información recibida y almacenada por el registro 202 de bus puede ser cualquier información relacionada con el bus, pero típicamente incluye la dirección y el atributo de memoria para cada solicitud de acceso a la memoria y, en el caso de una solicitud de escritura, la carga útil. La dirección para cada solicitud de acceso a la memoria también es proporcionada a un decodificador 204. El decodificador 204 puede usarse para determinar el dispositivo de memoria de destino para cada solicitud de acceso a la memoria en el registro 202 de bus. Esta determinación se usa para controlar un conmutador 206 de bus. El conmutador 206 de bus se usa para desmultiplexar cada solicitud de acceso a la memoria en el registro 202 de bus al canal apropiado del bus 106 para su dispositivo de memoria de destino. Puede usarse un controlador 208 para controlar la sincronización de las solicitudes de acceso a la memoria liberadas desde el registro 202 de bus.

La FIG. 3 es un diagrama funcional de bloques que ilustra un ejemplo de un controlador en una interconexión de bus para un sistema procesador débilmente ordenado. El controlador 208 impone restricciones de ordenación en operaciones de memoria en base a la información que recibe del decodificador 204. La información puede incluir el atributo de memoria para cada solicitud de acceso a la memoria, que puede ser almacenado en un primer registro 302 de entrada. La información también puede incluir datos que identifican a cada dispositivo de memoria distinto del dispositivo de memoria de destino al que el procesador de origen es capaz de acceder. Los dispositivos particulares de memoria accesibles por cada procesador se configuran de antemano durante la etapa de diseño y, por lo tanto, pueden programarse o cablearse en el decodificador 204. En todo caso, puede usarse un segundo registro 304 de entrada para almacenar esta información. Los registros 302, 304 primero y segundo pueden ser registros separados, como se muestra en la FIG. 2, o, de forma alternativa, ser un solo registro. En algunas realizaciones del controlador 208, la información procedente del decodificador 204 puede almacenarse en registros compartidos con las otras funciones de la interconexión de bus. Cada registro puede ser un medio FIFO o cualquier otro medio adecuado de almacenamiento.

El controlador 208 impone restricciones de ordenación en las operaciones de memoria controlando la sincronización de las solicitudes de acceso a la memoria liberadas del registro 202 de bus. Se describirá el procedimiento en primer lugar en conexión con un atributo de memoria que indica que una solicitud fuertemente ordenada de acceso a la memoria está lista para ser liberada del registro 202 de bus. En este caso, el atributo de memoria es proporcionado desde el primer registro 302 de entrada a un generador 306 de barreras de memoria como una señal habilitadora. A la vez, los datos almacenados en el segundo registro 304 de entrada son proporcionados a la entrada del generador 306 de barreras de memoria. Tal como se ha indicado en lo que antecede, los datos almacenados en el segundo registro 304 de entrada incluyen datos que identifican a cada dispositivo de memoria distinto del dispositivo de memoria de destino al que el procesador de origen es capaz de acceder. Cuando el generador 306 de barreras de memoria es habilitado por el atributo de memoria, esta información se usa para generar una barrera de memoria para cada dispositivo de memoria identificado por los datos. Cada barrera de memoria puede ser proporcionada al dispositivo apropiado de memoria emitiendo una instrucción de bus con un atributo que identifica el procesador de origen que inició la solicitud fuertemente ordenada. De forma alternativa, las barreras de memoria pueden ser proporcionadas a los dispositivos de memoria apropiados usando señalización de banda lateral o mediante otros medios adecuados.

El generador 306 de barreras de memoria puede usarse para suprimir barreras de memoria innecesarias. Por ejemplo, una barrera de memoria para un dispositivo de memoria accesible por el procesador de origen puede ser suprimida si el dispositivo de memoria no tiene una solicitud procedente del procesador de origen pendiente de ejecución. Esto puede lograrse de varias maneras. En una realización del controlador 208, puede asignarse un registro de estado separado para monitorizar las actividades de cada dispositivo de memoria. En esta realización, un primer registro 307a de estado monitoriza las actividades del primer dispositivo 104a de memoria, un segundo registro 307b de estado monitoriza las actividades del segundo dispositivo 104b de memoria, y un tercer registro 307c de estado monitoriza las actividades del tercer dispositivo 104c de memoria (véase la FIG. 1). Cada registro 307a-307c de estado incluye varias señales de estado. En una realización del controlador las señales de estado constituyen bits de estado, correspondiendo uno a cada procesador que puede acceder a los dispositivos de memoria asignados a un bit de estado particular. El bit de estado se usa para indicar si el correspondiente procesador ha emitido o no una solicitud de acceso a la memoria que esté pendiente de ejecución por parte del dispositivo de memoria asignado al registro que almacena tal bit.

Con referencia a las FIGURAS 1-3, se proporcionará ahora un ejemplo para ilustrar la manera en la que pueden usarse los bits de estado para suprimir barreras de memoria. En este ejemplo, el sistema procesador puede estar configurado de tal modo que el primer procesador 102a pueda acceder a los dispositivos 104a, 104c primero y tercero de memoria. Como consecuencia de esta configuración, los registros 307a, 307c de estado primero y tercero en el controlador 208 incluyen cada uno un bit de estado para el primer procesador 102a. Cuando el primer procesador 102a emite una solicitud fuertemente ordenada dirigida al primer dispositivo 104a de memoria está en la salida del registro 202 de bus, el correspondiente atributo de memoria procedente del primer registro 302 de entrada habilita el generador 306 de barreras de memoria. Los datos proporcionados al generador 306 de barreras de memoria desde el segundo registro 304 de entrada identifican los dispositivos de memoria distintos del dispositivo de memoria de destino a los que el primer procesador 104a puede acceder. En este caso, los datos identifican al tercer dispositivo 104c de memoria. El generador 306 de barreras de memoria verifica el bit de estado en el tercer registro 307c de estado para el primer procesador 102a para determinar si el tercer dispositivo 104c de memoria tiene una solicitud de acceso a la memoria pendiente de ejecución procedente del primer procesador 102a. Si es así, el generador 306 de barreras de memoria envía una barrera de memoria al tercer dispositivo 104c de memoria. Si no, se suprime la barrera de memoria para el tercer dispositivo 104c de memoria.

Volviendo a la FIG. 3, la lógica 308 del controlador 208 puede usarse para monitorizar la información de retorno procedente de los dispositivos de memoria para los acuses de recibo de las barreras de memoria. Un "acuse de recibo de la barrera de memoria" es una señal procedente de un dispositivo de memoria que indica que se ha ejecutado cada solicitud de acceso a la memoria recibida por ese dispositivo de memoria procedente del procesador de origen que emite la solicitud fuertemente ordenada que precede a la barrera de memoria. Los datos procedentes del segundo registro 304 de entrada y los bits de estado procedentes de los registros 307a-307c de estado son usados por la lógica 308 para determinar qué dispositivos de memoria es preciso monitorizar en busca de acuses de recibo de las barreras de memoria. Cuando la lógica 308 determina que se han recibido todos los acuses de recibo de las barreras de memoria, genera un disparador que se usa para liberar del registro 202 de bus la correspondiente solicitud de acceso a la memoria. Más específicamente, se proporciona el atributo de memoria del primer registro 302 de entrada a la entrada de selección de un multiplexor 310. El multiplexor 310 se usa para acoplar el disparador generado por la lógica 308 con el registro 202 de bus cuando el atributo de memoria indica que la solicitud de acceso a la memoria es fuertemente ordenada. La salida del disparador procedente del multiplexor 310 también se acopla con el decodificador para sincronizar la sincronización del conmutador 206 de bus (véase la FIG. 2).

Una vez que la solicitud de acceso a la memoria es liberada del registro de bus, es encaminada al dispositivo de memoria de destino a través del conmutador 206 de bus (véase la FIG. 2). Puede usarse un segundo multiplexor 312 en el controlador 208 para retardar la liberación de los datos de los registros 302, 304 primero y segundo hasta que se recibe un accuse de recibo de acceso a la memoria desde el dispositivo de memoria de destino cuando se aplica a la entrada de selección un atributo de memoria que indica una solicitud fuertemente ordenada. Tal como se

ha expuesto anteriormente, el atributo de memoria incluido en la solicitud de acceso a la memoria impone una restricción de ordenación al dispositivo de memoria de destino. Concretamente, el dispositivo de memoria de destino ejecuta todas las solicitudes pendientes de acceso a la memoria emitidas por el procesador de origen antes de ejecutar la solicitud fuertemente ordenada de acceso a la memoria. El dispositivo de memoria de destino genera un  
 5 acuse de recibo de acceso a la memoria después de la ejecución de la solicitud fuertemente ordenada. El acuse de recibo de acceso a la memoria es devuelto al multiplexor 312 del controlador 208, en el que se usa para generar un disparador para liberar nuevos datos de los registros 302, 304 primero y segundo correspondientes a la siguiente solicitud de acceso a la memoria en el registro 202 de bus. Si los nuevos datos incluyen un atributo de memoria que indica que la correspondiente solicitud de acceso a la memoria en el registro 202 de bus es fuertemente ordenada,  
 10 entonces se repite el mismo procedimiento. Si no, la solicitud de acceso a la memoria puede ser liberada inmediatamente del registro 202 de bus.

El controlador 208 está configurado para liberar inmediatamente del registro 202 de bus una solicitud de acceso a la memoria cuando el correspondiente atributo de memoria en el primer registro 302 de entrada indica que la solicitud no es fuertemente ordenada. En ese caso, se usa el atributo de memoria para inhabilitar el generador 306 de  
 15 barreras de memoria. Además, el atributo de memoria fuerza el multiplexor 310 a un estado que acopla un disparador generado internamente con el registro 202 de bus para liberar la solicitud de acceso a la memoria. La solicitud de acceso a la memoria es liberada del registro 202 de bus y es acoplada al dispositivo de memoria de destino a través del conmutador 206 de bus (véase la FIG. 2). Se liberan entonces los datos correspondientes a la siguiente solicitud de acceso a la memoria de los registros 302, 304 primero y segundo mediante la salida del  
 20 disparador generado internamente desde el segundo multiplexor 312 del controlador 208.

La FIG. 4 es un diagrama funcional de bloques que ilustra otro ejemplo de un controlador en una interconexión de bus para un sistema procesador débilmente ordenado. En este ejemplo, el controlador 208 libera del registro 202 de bus una solicitud fuertemente ordenada de acceso a la memoria a la vez que se proporcionan barreras de memoria a los dispositivos apropiados de memoria. Más específicamente, el primer registro 302 de entrada se usa para  
 25 proporcionar al generador 306 de barreras de memoria un atributo de memoria para una solicitud de acceso a la memoria. Si el atributo de memoria indica que la correspondiente solicitud de acceso a la memoria es fuertemente ordenada, entonces se habilita el generador 306 de barreras de memoria. Cuando el generador 306 de barreras de memoria está habilitado, los datos del segundo registro 304 de entrada se usan para identificar cada dispositivo de memoria accesible por el procesador de origen distinto del dispositivo de memoria de destino. Para cada dispositivo de memoria identificado, el generador 306 de barreras de memoria verifica el bit de estado para el procesador de origen en los registros 307a-307c de estado. Entonces se genera una barrera de memoria para cada dispositivo de memoria distinto del dispositivo de memoria de destino que pueda tener una solicitud de acceso a la memoria pendiente de ejecución procedente del procesador de origen.

Con el generador 306 de barreras de memoria habilitado, puede usarse la lógica 314 del controlador 208 para evitar que se liberen del registro 202 de bus solicitudes subsiguientes de acceso a la memoria hasta que el dispositivo de memoria de destino ejecute la solicitud fuertemente ordenada. Puede usarse un retardo 316 para permitir que un  
 35 disparador generado internamente libere del registro 202 de bus la solicitud fuertemente ordenada de acceso a la memoria antes de que el atributo de memoria dé vía libre al disparador. De esta manera, la solicitud de acceso a la memoria puede ser proporcionada al dispositivo de memoria de destino de forma concurrente con las barreras de memoria para los restantes dispositivos de memoria accesibles por el procesador de origen.

La lógica 318 puede usarse para monitorizar la información de retorno procedente de los dispositivos de memoria para el acuse de recibo del acceso a la memoria procedente del dispositivo de memoria de destino y de los acuses de recibo de las barreras de memoria. Los datos del segundo registro 304 de entrada y los bits de estado de los registros 307a-307c de estado son usados por la lógica 318 para determinar qué dispositivos de memoria es preciso  
 45 monitorizar en busca de acuses de recibo de las barreras de memoria. Cuando la lógica 318 determina que se han recibido los diversos acuses de recibo de las barreras de memoria, genera un disparador para liberar nuevos datos de los registros 302, 304 primero y segundo de entrada correspondientes a la siguiente solicitud de acceso a la memoria del registro 202 de bus. El disparador se acopla por medio de un multiplexor 320 que es forzado al estado apropiado mediante el atributo de memoria del primer registro 202 de entrada. Si los nuevos datos incluyen un  
 50 atributo de memoria que indique que el correspondiente acceso a la memoria en el registro 202 de bus es fuertemente ordenado, entonces se repite el mismo procedimiento. Si no, la solicitud de acceso a la memoria puede ser liberada inmediatamente del registro 202 de bus con un disparador generado internamente mediante la lógica 314. Un disparador generado internamente también puede ser acoplado a través del multiplexor 320 para liberar los datos de los registros 302, 304 primero y segundo de entrada para la siguiente solicitud de acceso a la memoria en  
 55 el registro 202 de bus.

La manera en la que se configuran los bits de estado puede variar dependiendo de la aplicación particular y de las restricciones globales de diseño impuestas al sistema procesador. A título de ejemplo, el bit de estado para un procesador de origen y un primer dispositivo de memoria de destino pueden ponerse a cero cuando se libera del registro de bus una solicitud de acceso emitida por el procesador de origen y destinada al primer dispositivo de memoria de destino. Una vez que el bit de estado está puesto a cero, una solicitud fuertemente ordenada subsiguiente emitida por el procesador de origen dirigida al segundo dispositivo de memoria de destino dará como

resultado que se envíe una barrera de memoria al primer dispositivo de memoria de destino. El bit de estado seguirá puesto a cero hasta que se ejecute la solicitud de acceso a la memoria dirigida al primer dispositivo de memoria de destino. La información de retorno procedente del primer dispositivo de memoria de destino puede usarse para activar el bit de estado. Una vez que el bit de estado está activado, una solicitud subsiguiente fuertemente ordenada emitida por el procesador de origen dirigida a un tercer dispositivo de memoria de destino hará que el generador de barreras de memoria suprima la barrera de memoria que en otro caso se enviaría al primer dispositivo de memoria de destino.

El ejemplo del párrafo anterior da por sentido que el primer dispositivo de memoria de destino genera información de retorno tras la ejecución de la solicitud de acceso a la memoria. Sin embargo, en algunos sistemas procesadores, los dispositivos de memoria pueden no proporcionar información de retorno para las solicitudes débilmente ordenadas. En otros sistemas procesadores, la información de retorno puede indicar únicamente que la solicitud de acceso a la memoria ha sido escrita en una memoria intermedia del dispositivo de memoria de destino. En este caso, la información de retorno procedente del dispositivo de memoria de destino no puede usarse para activar el correspondiente bit de estado, porque es posible que la solicitud de acceso a la memoria no se ejecute realmente sino hasta algún tiempo después. En estos sistemas procesadores se precisa otra metodología para configurar los bits de estado.

En una realización del sistema procesador, las barreras de memoria pueden usarse para configurar los bits de estado. En esta realización, las barreras de memoria generadas por el generador de barreras de memoria para solicitudes fuertemente ordenadas pueden usarse para activar los correspondientes bits de estado. El bit de estado para la solicitud fuertemente ordenada puede ser activado también cuando la solicitud es liberada del registro de bus. Cada bit de estado seguirá activado hasta que una correspondiente solicitud débilmente ordenada sea liberada subsiguientemente del registro de bus.

Con referencia a las FIGURAS 1-4, se proporcionará ahora un ejemplo para ilustrar la funcionalidad de esta realización. En este ejemplo, el sistema procesador puede estar configurado de tal modo que el primer procesador 102a pueda acceder a los dispositivos 104a, 104c primero y segundo de memoria. Cuando una solicitud fuertemente ordenada emitida por el primer procesador 102a dirigida al primer dispositivo 104a de memoria está en la salida del registro 202 de bus, el generador 306 de barreras de memoria genera una barrera de memoria para el tercer dispositivo 104c de memoria, suponiendo que esté puesto a cero el bit de estado para el primer procesador 102a en el tercer registro 307c de estado. El bit de estado para el primer procesador 102a en el primer registro 307a de estado se activa cuando se libera del registro 202 de bus la solicitud fuertemente ordenada. Puede usarse una señal (no mostrada) procedente del decodificador 204 para activar el bit de estado. Además, el bit de estado para el primer procesador 102a en el tercer registro 307c de estado se activa cuando se envía la barrera de memoria al tercer dispositivo 104c de memoria.

Una vez que se completa la solicitud fuertemente ordenada, puede ser liberada del registro 202 de bus la siguiente solicitud. En este ejemplo, la siguiente solicitud es una solicitud fuertemente ordenada emitida por el primer procesador 102a para el tercer dispositivo 104c de memoria. El generador 306 de barreras de memoria usa los datos del segundo registro 304 de entrada para identificar los dispositivos de memoria distintos del dispositivo de memoria de destino a los que el primer procesador 102a puede acceder, es decir, el primer dispositivo 104a de memoria. El bit de estado para el primer procesador 102a en el primer registro 307a de estado es usado por el generador 306 de barreras de memoria para suprimir la barrera de memoria al primer dispositivo 104a de memoria. La solicitud fuertemente ordenada emitida por el primer procesador 102a dirigida al tercer dispositivo 104c de memoria puede entonces liberarse del registro 202 de bus. Los bits de estado en los registros 307a, 307c de estado para el primer procesador 102a continúan activados.

La siguiente solicitud en el registro 202 de bus en este ejemplo es una solicitud débilmente ordenada emitida por el primer procesador 102a dirigida al primer dispositivo 104a de memoria. Esta solicitud puede ser liberada inmediatamente del registro 202 de bus al primer dispositivo 104a de memoria. El decodificador 204 puede ser usado para controlar el conmutador 206 de bus en la salida al registro 202 de bus, y, a la vez, proporcionar una señal al controlador 208 para poner a cero el bit de estado para el primer procesador 102a en el primer registro 307 de estado.

En este ejemplo, una solicitud fuertemente ordenada emitida por el primer procesador 102a dirigida al tercer dispositivo 104c de memoria es la siguiente solicitud en el registro 202 de bus. El generador 306 de barreras de memoria usa los datos del segundo registro 304 de entrada para identificar los dispositivos de memoria distintos del dispositivo de memoria de destino a los que el primer procesador 102a puede acceder, es decir, el primer dispositivo 104a de memoria. El bit de estado para el primer procesador 102a en el primer registro 307a de estado se pone a cero y, por lo tanto, se genera una barrera de memoria para el primer dispositivo 104a de memoria. El bit de estado para el primer procesador 102a en el primer registro 307a de estado se reactiva cuando la barrera de memoria es enviada al tercer dispositivo 104c de memoria. El bit de estado en el tercer registro 307c de estado para el primer procesador 102a sigue activado cuando la solicitud fuertemente ordenada es liberada del registro 202 de bus.

5 Se proporciona la descripción anterior para permitir que cualquier persona versada en la técnica ponga en práctica las diversas realizaciones descritas en el presente documento. Diversas modificaciones a estas realizaciones serán inmediatamente evidentes para las personas expertas en la técnica, y los principios genéricos definidos en el presente documento pueden ser aplicados a otras realizaciones. Así, no se pretende que las reivindicaciones estén limitadas a las realizaciones mostradas en el presente documento, sino que debe otorgársele el pleno alcance coherente con las reivindicaciones. No debe interpretarse que cualquier referencia a un elemento en singular signifique "uno y solo uno", a no ser que así se afirme específicamente, sino, más bien, "uno o más".

## REIVINDICACIONES

1. Un sistema procesador débilmente ordenado (100) que comprende:
  - una pluralidad de dispositivos (104) de memoria;
  - una pluralidad de procesadores (102), estando configurado cada uno de los procesadores para generar solicitudes de acceso a la memoria dirigidas a uno o más de los dispositivos de memoria; y
  - una interconexión (108) de bus configurada para interconectar los procesadores con los dispositivos de memoria, estando configurada la interconexión de bus, además, para imponer una restricción de ordenación para una solicitud fuertemente ordenada de acceso a la memoria procedente de un procesador de origen dirigida a un dispositivo de memoria de destino enviando una barrera de memoria a cada dispositivo de memoria que no sea el dispositivo de memoria de destino y que sea accesible por el procesador de origen, salvo aquellos dispositivos de memoria que no tienen solicitudes de acceso a la memoria pendientes de ejecución procedentes del procesador de origen, habiendo de recibir, además, la interconexión de bus un acuse de recibo de la barrera de memoria procedente de cada dispositivo de memoria que no sea el dispositivo de memoria de destino y de enviar la solicitud fuertemente ordenada de acceso a la memoria al dispositivo de memoria de destino después de que se recibe el acuse de recibo de la barrera de memoria procedente de cada dispositivo de memoria que no es el dispositivo de memoria de destino.
2. El sistema procesador débilmente ordenado (100) de la reivindicación 1 en el que cada dispositivo de memoria que no es el dispositivo de memoria de destino y que recibe una barrera de memoria está configurado para ejecutar cualquier solicitud de acceso a la memoria pendiente de ejecución procedente del procesador de origen.
3. El sistema procesador débilmente ordenado (100) de la reivindicación 1 en el que la interconexión de bus está configurada, además, para controlar una señal dirigida a cada dispositivo de memoria que no es el dispositivo de memoria de destino y que es accesible por el procesador, y para confirmar, a partir de sus respectivas señales, qué dispositivos de memoria no tienen solicitudes de acceso a la memoria pendientes de ejecución.
4. El sistema procesador débilmente ordenado (100) de la reivindicación 3 en el que la interconexión de bus está configurada, además, para forzar a la señal dirigida a uno de los dispositivos de memoria que no es el dispositivo de memoria de destino y que es accesible por el procesador a un primer estado en respuesta a una barrera de memoria para el procesador de origen que es enviada por la interconexión de bus a dicho uno de los dispositivos de memoria, estando configurada la interconexión de bus, además, para confirmar que dicho uno de los dispositivos de memoria no tiene ninguna solicitud de acceso a la memoria pendiente de ejecución cuando se fuerza la señal al primer estado.
5. El sistema procesador débilmente ordenado (100) de la reivindicación 4 en el que la interconexión de bus está configurada, además, para forzar a la señal a un segundo estado en respuesta a una solicitud débilmente ordenada de acceso a la memoria procedente del procesador de origen dirigida a dicho uno de los dispositivos de memoria.
6. El sistema procesador débilmente ordenado (100) de la reivindicación 3 en el que la interconexión de bus está configurada, además, para forzar a la señal dirigida a uno de los dispositivos de memoria que no es el dispositivo de memoria de destino y que es accesible por el procesador a un primer estado en respuesta a la información de retorno procedente de dicho uno de los dispositivos de memoria de que no hay ninguna solicitud de acceso a la memoria pendiente de ejecución procedente del procesador de origen dirigida a dicho uno de los dispositivos de memoria, estando configurada la interconexión de bus, además, para confirmar que dicho uno de los dispositivos de memoria no tiene ninguna solicitud de acceso a la memoria pendiente de ejecución cuando la señal es forzada al primer estado.
7. El sistema procesador débilmente ordenado (100) de la reivindicación 6 en el que la interconexión de bus está configurada, además, para forzar a la señal a un segundo estado en respuesta a una solicitud débilmente ordenada de acceso a la memoria procedente del procesador de origen dirigida a dicho uno de los dispositivos de memoria.
8. El sistema procesador débilmente ordenado (100) de la reivindicación 1 en el que la interconexión de bus está configurada, además, para imponer una restricción de ordenación para una solicitud fuertemente ordenada de acceso a la memoria procedente de un procesador de origen dirigida a un dispositivo de memoria de destino enviando la solicitud fuertemente ordenada de acceso a la memoria junto con un atributo de memoria al dispositivo de memoria de destino, indicando el atributo de memoria que la solicitud de acceso a memoria es fuertemente ordenada.
9. El sistema procesador débilmente ordenado (100) de la reivindicación 1, teniendo la interconexión de bus:

medios (202, 204, 206, 208) para interconectar los procesadores con los dispositivos de memoria; y

medios (306) para imponer una restricción de ordenación de la solicitud fuertemente ordenada de acceso a la memoria procedente del procesador de origen dirigida al dispositivo de memoria de destino, incluyendo los medios de imposición:

5            medios (308, 310) para enviar la barrera de memoria a cada dispositivo de memoria que no sea el dispositivo de memoria de destino y que sea accesible por el procesador, salvo aquellos dispositivos de memoria que no tengan solicitudes de acceso a la memoria pendientes de ejecución procedentes del procesador de origen;

10           medios (308; 318) para recibir acuse de recibo de la barrera de memoria procedente de cada dispositivo de memoria que no sea el dispositivo de memoria de destino; y

              medios (308) para enviar la solicitud fuertemente ordenada de acceso a la memoria al dispositivo de memoria de destino después de recibir el acuse de recibo de la barrera de memoria procedente de cada dispositivo de memoria que no es el dispositivo de memoria de destino.

**10.** Una interconexión (108) de bus que comprende:

15            un conmutador (206) de bus configurado para interconectar una pluralidad de procesadores (102) con una pluralidad de dispositivos (104) de memoria en un sistema procesador débilmente ordenado (100), en la que cada uno de los procesadores está configurado para generar solicitudes de acceso a la memoria dirigidas a uno o más de los dispositivos de memoria; y

20            un controlador (208) configurado para imponer una restricción de ordenación para una solicitud fuertemente ordenada de acceso a la memoria procedente de un procesador de origen dirigida a un dispositivo de memoria de destino enviando una barrera de memoria a cada dispositivo de memoria que no sea el dispositivo de memoria de destino y que sea accesible por el procesador de origen, salvo aquellos dispositivos de memoria que no tienen solicitudes de acceso a la memoria pendientes de ejecución procedentes del procesador de origen, estando configurado el controlador, además, para recibir un acuse de recibo de la barrera de memoria procedente de cada dispositivo de memoria que no es el dispositivo de memoria de destino y para enviar la solicitud fuertemente ordenada de acceso a la memoria al dispositivo de memoria de destino después de que se recibe el acuse de recibo de la barrera de memoria procedente de cada dispositivo de memoria que no es el dispositivo de memoria de destino.

30            **11.** La interconexión (108) de bus de la reivindicación 10 en la que el controlador (208) está configurado, además, para controlar una señal dirigida a cada dispositivo de memoria que no es el dispositivo de memoria de destino y que es accesible por el procesador, y para confirmar, a partir de sus respectivas señales, cuáles de esos dispositivos de memoria no tienen solicitudes de acceso a la memoria pendientes de ejecución.

35            **12.** La interconexión (108) de bus de la reivindicación 11 en la que el controlador (208) está configurado, además, para forzar a la señal dirigida a uno de los dispositivos de memoria que no es el dispositivo de memoria de destino y que es accesible por el procesador a un primer estado en respuesta a una barrera de memoria para el procesador de origen que es enviada por la interconexión de bus a dicho uno de los dispositivos de memoria, estando configurado el controlador, además, para confirmar que dicho uno de los dispositivos de memoria no tiene ninguna solicitud de acceso a la memoria pendiente de ejecución cuando se fuerza la señal al primer estado.

40            **13.** La interconexión (108) de bus de la reivindicación 12 en la que el controlador (208) está configurado, además, para forzar a la señal a un segundo estado en respuesta a una solicitud débilmente ordenada de acceso a la memoria procedente del procesador de origen dirigida a dicho uno de los dispositivos de memoria.

45            **14.** La interconexión (108) de bus de la reivindicación 11 en la que el controlador (208) está configurado, además, para forzar a la señal dirigida a uno de los dispositivos de memoria que no es el dispositivo de memoria de destino y que es accesible por el procesador a un primer estado en respuesta a la información de retorno procedente de dicho uno de los dispositivos de memoria de que no hay ninguna solicitud de acceso a la memoria pendiente de ejecución procedente del procesador de origen dirigida a dicho uno de los dispositivos de memoria, estando configurado el controlador, además, para confirmar que dicho uno de los dispositivos de memoria no tiene ninguna solicitud de acceso a la memoria pendiente de ejecución cuando la señal es forzada al primer estado.

50            **15.** La interconexión (108) de bus de la reivindicación 14 en la que el controlador (208) está configurado, además, para forzar a la señal a un segundo estado en respuesta a una solicitud débilmente ordenada de acceso a la memoria procedente del procesador de origen dirigida a dicho uno de los dispositivos de memoria.

55            **16.** Un procedimiento de imposición de solicitudes fuertemente ordenadas de acceso a la memoria en un sistema procesador débilmente ordenado (100) que comprende:

recibir, de una pluralidad de procesadores (102), solicitudes de acceso a la memoria para una pluralidad de dispositivos (104) de memoria, siendo una de las solicitudes de acceso a la memoria procedente de un procesador de origen dirigida a un dispositivo de memoria de destino una solicitud fuertemente ordenada de acceso a la memoria;

5 enviar una barrera de memoria a cada dispositivo de memoria que no es el dispositivo de memoria de destino y que es accesible por el procesador de origen, salvo aquellos dispositivos de memoria que no tengan solicitudes de acceso a la memoria pendientes de ejecución procedentes del procesador de origen;

recibir un acuse de recibo de la barrera de memoria procedente de cada dispositivo de memoria que no es el dispositivo de memoria de destino; y

10 enviar la solicitud fuertemente ordenada de acceso a la memoria al dispositivo de memoria de destino después de que se recibe el acuse de recibo de la barrera de memoria procedente de cada dispositivo de memoria que no es el dispositivo de memoria de destino para imponer una restricción de ordenación para la solicitud fuertemente ordenada de acceso a la memoria.

15 **17.** El procedimiento de la reivindicación 16 en el que la solicitud fuertemente ordenada se impone controlando una señal dirigida a cada dispositivo de memoria que no es el dispositivo de memoria de destino y que es accesible por el procesador, y confirmando, a partir de sus respectivas señales, cuáles de esos dispositivos de memoria no tienen solicitudes de acceso a la memoria pendientes de ejecución.

20 **18.** El procedimiento de la reivindicación 17 en el que la solicitud fuertemente ordenada se impone forzando a la señal dirigida a uno de los dispositivos de memoria que no es el dispositivo de memoria de destino y que es accesible por el procesador a un primer estado en respuesta a una barrera de memoria para el procesador de origen que es enviada por la interconexión de bus a dicho uno de los dispositivos de memoria, basándose en la señal forzada al primer estado la confirmación de que dicho uno de los dispositivos de memoria no tiene ninguna solicitud de acceso a la memoria pendiente de ejecución.

25 **19.** El procedimiento de la reivindicación 18 en el que la solicitud fuertemente ordenada se impone forzando a la señal a un segundo estado en respuesta a una solicitud débilmente ordenada de acceso a la memoria procedente del procesador de origen dirigida a dicho uno de los dispositivos de memoria.

30 **20.** El procedimiento de la reivindicación 17 en el que la solicitud fuertemente ordenada se impone forzando a la señal dirigida a uno de los dispositivos de memoria que no es el dispositivo de memoria de destino y que es accesible por el procesador a un primer estado en respuesta a la información de retorno procedente de dicho uno de los dispositivos de memoria de que no hay ninguna solicitud de acceso a la memoria pendiente de ejecución procedente del procesador de origen dirigida a dicho uno de los dispositivos de memoria, basándose en la señal forzada al primer estado la confirmación de que dicho uno de los dispositivos de memoria no tiene ninguna solicitud de acceso a la memoria pendiente de ejecución.

35 **21.** El procedimiento de la reivindicación 20 en el que la solicitud fuertemente ordenada se impone forzando a la señal a un segundo estado en respuesta a una solicitud débilmente ordenada de acceso a la memoria procedente del procesador de origen dirigida a dicho uno de los dispositivos de memoria.

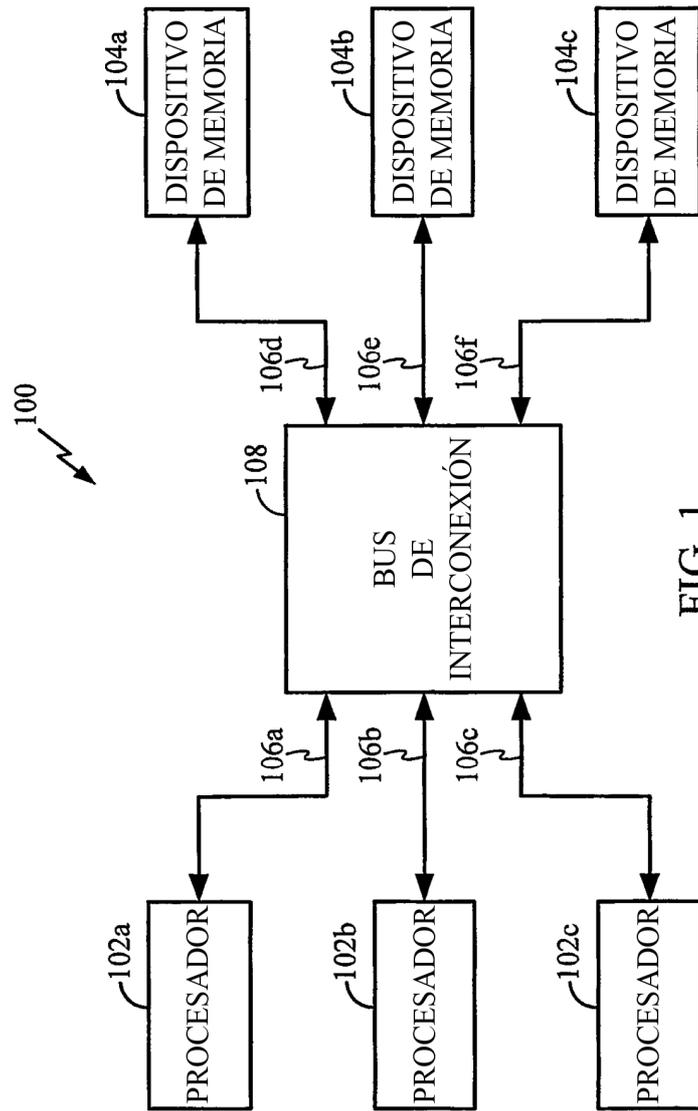


FIG. 1

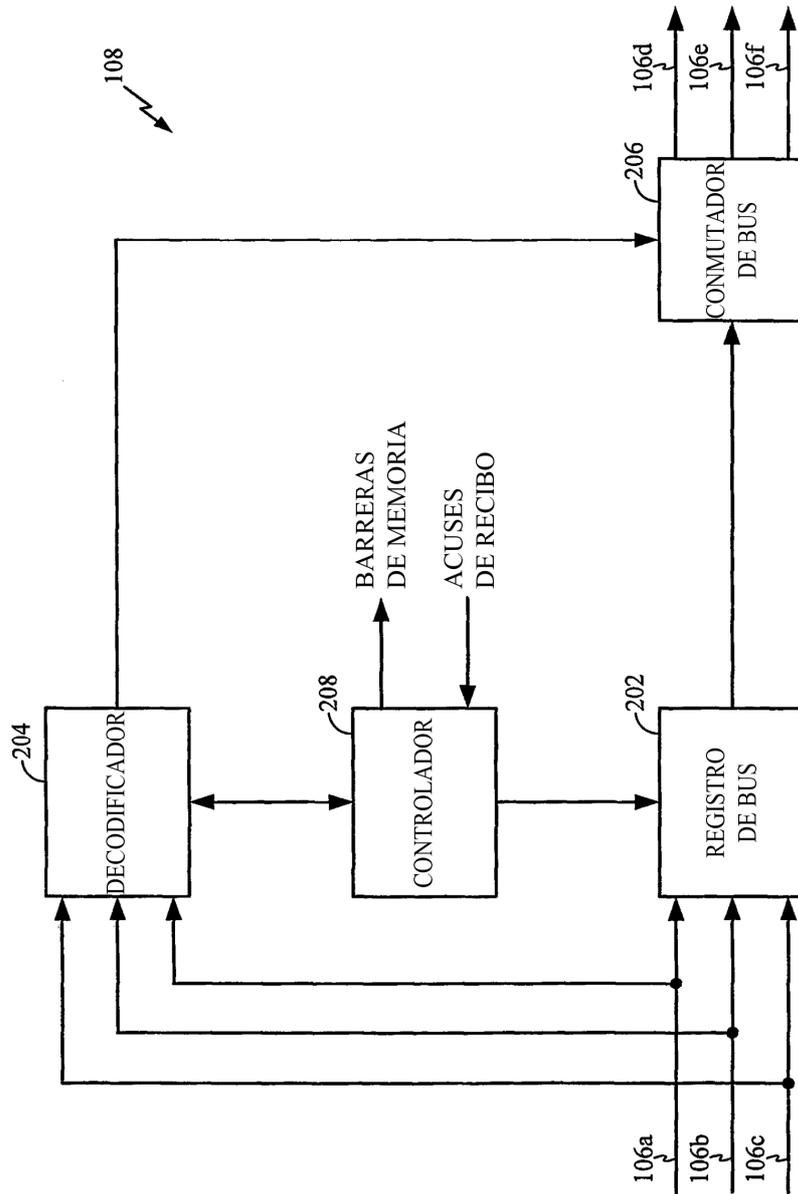


FIG. 2

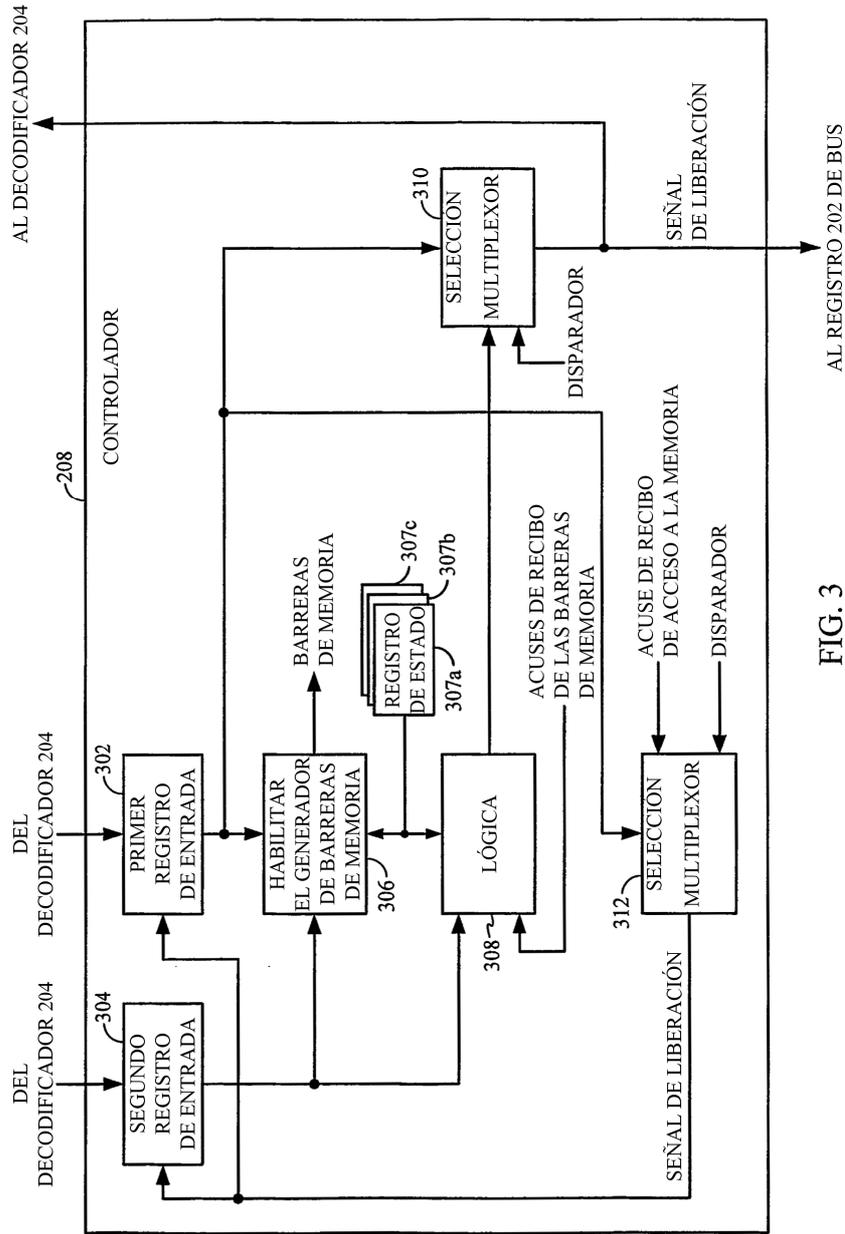
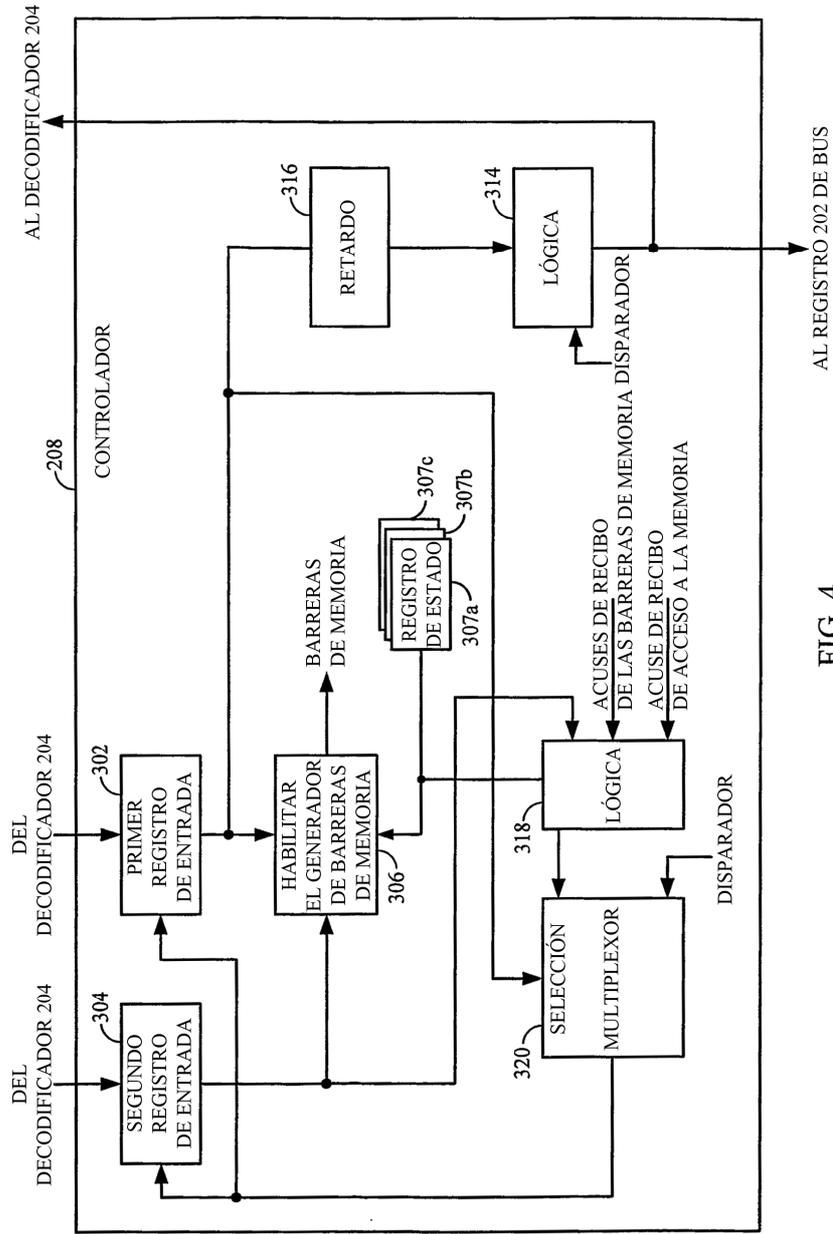


FIG. 3



AL REGISTRO 202 DE BUS

FIG. 4