



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 361 954**

51 Int. Cl.:
H03M 3/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **07857605 .5**

96 Fecha de presentación : **14.12.2007**

97 Número de publicación de la solicitud: **2127087**

97 Fecha de publicación de la solicitud: **02.12.2009**

54 Título: **Método y aparato de generación de la señal de realimentación en convertidores analógico a digital sigma-delta.**

30 Prioridad: **15.12.2006 US 611495**

45 Fecha de publicación de la mención BOPI:
24.06.2011

45 Fecha de la publicación del folleto de la patente:
24.06.2011

73 Titular/es: **Telefonaktiebolaget LM Ericsson (publ)
164 83 Stockholm, SE**

72 Inventor/es: **Sundström, Lars y
Andersson, Martin**

74 Agente: **Elzaburu Márquez, Alberto**

ES 2 361 954 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método y aparato de generación de la señal de realimentación en convertidores analógico a digital sigma-delta.

5 CAMPO TÉCNICO

La presente invención se refiere generalmente a los métodos y aparatos de conversión analógico a digital sigma-delta, y concretamente se refiere a la generación de la señal de realimentación mejorada de allí dentro.

10 ANTECEDENTES

Los convertidores analógico a digital (ADC) sigma-delta representan una elección popular para una amplia gama de aplicaciones de conversión analógico a digital, que incluyen las aplicaciones científicas e industriales de precisión, y en aplicaciones de procesamiento de señal digital, tales como dentro de los transceptores digitales de comunicación. Sus ventajas incluyen el aumento de la viabilidad con avances continuos en la tecnología de circuitos integrados, y la capacidad de desplazar el ruido de cuantización bien fuera de la gama de frecuencias de interés.

15 La Fig. 1 ilustra un simple ejemplo de un convertidor analógico a digital (ADC) sigma-delta de primer orden 10 de acuerdo con una disposición conocida, la cual incluye un filtro de lazo 12, un cuantizador 14, un filtro de diezma 16, y un convertidor digital a analógico (DAC) 18. De acuerdo con el funcionamiento bien conocido, el filtro de lazo 12 recibe una señal analógica de entrada u , la combina con una señal de realimentación de conversión analógica v_a , y genera una señal de salida del filtro de lazo correspondiente y . A su vez, el cuantizador 14 aquí, mostrado como un cuantizador de bit único pone a la salida un valor digital, por ejemplo, 1 o 0, que indica si la señal de salida del filtro de lazo y está por encima o por debajo de un valor de referencia. Por ejemplo, el valor de referencia para el cuantizador 14 es 0, de manera que pone a la salida un 1 digital si su entrada es positiva y un 0 digital si su entrada es negativa. La secuencia digital v_d , puesta a la salida por el cuantizador 14 acciona el DAC 18, el cual convierte la realimentación digital en la señal de realimentación de conversión (analógica) antes mencionada v_a .

20 La Fig. 2 ofrece detalles adicionales para el ADC 10, en el que el filtro de lazo 12 incluye un amplificador de integración único 20 que tiene una resistencia de señal de entrada 22 y un condensador de realimentación 24. El cuantizador 14 incluye un circuito de cuantización 26 que compara su señal de entrada con una señal de referencia en instantes de tiempo accionados por una señal de reloj aplicada. De más interés, el DAC 18 se configura como una fuente de corriente conmutada e incluye un resistor 30 en el camino de realimentación de conversión, el cual se acopla conmutablemente a través de conmutador 32 a una referencia de señal (por ejemplo, tierra) y $\pm V_{REF}$. Los 1 y 0 en la secuencia digital generada por el cuantizador 14 accionan el conmutador 32 para determinar si $+V_{REF}$ o $-V_{REF}$ se acopla al filtro de lazo 12 a través de la resistencia 30 en cada ciclo de realimentación del ADC 10.

35 Por lo tanto, en cada ciclo de realimentación, el DAC 18 genera un pulso de corriente positivo (o negativo) (indicado como un pulso "SI" para indicar la base de la fuente de corriente conmutada para la generación del pulso) que refleja el valor de la salida del bit digital por el cuantizador 14 para ese ciclo. Es importante que el DAC 18 genere el pulso de corriente consistentemente en cada ciclo, de manera que se transfiera la misma cantidad de carga entre el DAC 18 y el filtro de lazo 12 en cada ciclo de realimentación. La configuración de la fuente de corriente del DAC 18 funciona bien a ese respecto, con la Fig. 3 que ilustra un pulso ejemplo de corriente que va positiva para la señal de realimentación de conversión. No obstante, uno ve a partir de la forma de onda de la ilustración representada en la Fig. 3 que el pulso de corriente de la señal de realimentación de conversión mantiene su magnitud completa a través de la anchura del pulso completa, de manera que al final del ciclo de realimentación, tiempo T_P , la corriente de la señal está aún a plena magnitud.

40 Con esta condición de terminación del pulso de alta corriente, la cantidad total de carga, Q_{tot} , transferida por el DAC 18 en cada ciclo de realimentación es drásticamente dependiente de la anchura del pulso. Cualquier fluctuación en la señal de reloj del ciclo de realimentación, es decir, la fluctuación en la señal de reloj que establece la anchura del pulso de la señal de realimentación de conversión, puede aumentar o disminuir sustancialmente la cantidad de carga transferida en un ciclo de realimentación dado, conduciendo a imprecisión en el ADC 10.

55 La Fig. 4 ilustra otra disposición conocida para el ADC sigma-delta 10, la cual aborda los asuntos de la sensibilidad a la fluctuación del reloj. Aquí, el DAC 18 usa un condensador 34 para la transferencia de la carga en cada ciclo de realimentación, en el que se carga el condensador a $\pm V_{REF}$. Por el contrario a la configuración del DAC de la Fig. 1, la configuración aquí proporciona una corriente de la señal de realimentación de conversión decreciente, como se ilustra en la Fig. 5, que decae a algún umbral inferior, I_r , en el tiempo T_P . Debido a que la magnitud de corriente de la señal de realimentación de conversión es relativamente baja al final del ciclo de realimentación, la cantidad total de carga transferida durante el ciclo de realimentación no cambia mucho con la fluctuación del reloj. Desafortunadamente, se deben tolerar corrientes de pico relativamente altas en esta configuración, y la presencia de estas corrientes de pico altas aumentan el consumo de potencia DC, e impone ganancia de ancho de banda alta (GBW) y requerimientos de velocidad de exploración en el amplificador de integración 20 en el filtro de lazo 12.

60 Los ejemplos anteriores ilustran de esta manera el uso de un DAC basado en la fuente de corriente que reduce o elimina las corrientes de pico altas pero presenta alta sensibilidad a la fluctuación del reloj, y un DAC basado en

condensador que presenta buena sensibilidad a la fluctuación del reloj pero impone alto GBW y requerimientos de velocidad de exploración en los amplificadores de integración debido a sus corrientes de pico altas, y provoca mayor consumo de corriente DC. Como tal, ambos planteamientos comprometen el diseño y el rendimiento de los ADC sigma-delta.

5 La US 2005/206543 A1 describe un convertidor digital a analógico (DAC) para la generación de una señal de realimentación de conversión en un convertidor analógico a digital (ADC) tipo sigma – delta, el ADC que funciona como un generador de pulsos de corriente y que comprende un circuito de condensador configurado para ser precargado a un voltaje de referencia durante cada ciclo de realimentación del ADC, que presenta tanto baja
10 sensibilidad a la fluctuación del reloj como reduce o elimina las corrientes de pico altas cargando y descargando continuamente el condensador en el circuito condensador para el desplazamiento de una carga constante a o desde el filtro de lazo, usando conmutadores situados en ambos lados del condensador, de manera que no ocurren saltos de voltaje en el filtro de lazo.

15 COMPENDIO

Los convertidores analógico a digital (ADC) sigma-delta ofrecen una serie de ventajas de funcionamiento, que incluyen la formación del ruido de cuantización, pero son sensibles a las características y el rendimiento de los convertidores digital a analógico (DAC) usados comúnmente en sus caminos de realimentación de conversión. Para ese fin, un método y el aparato enseñado aquí dentro proporciona un DAC mejorado para usar en el camino de
20 realimentación de conversión de un ADC sigma-delta. El DAC usa la formación del pulso de corriente para generar una señal de realimentación de conversión en cada ciclo de realimentación del ADC que proporciona una transferencia de carga consistente para la conversión digital precisa y tiene una forma del pulso de corriente controlada. En al menos una realización, el control del pulso de corriente limita una corriente de pico de la señal de realimentación de conversión, produciendo por ello reducciones proporcionales en el consumo de corriente DC y la ganancia de ancho de banda (GBW) y los requerimientos de velocidad de exploración del amplificador de integración del ADC. Además el control del pulso de corriente limita la corriente residual (de terminación) en cada ciclo de realimentación, produciendo por ello ganancias proporcionales en insensibilidad a la fluctuación del reloj (ciclo de realimentación) para los ADC sigma-delta de tiempo continuo (CT).

30 En una realización, un DAC para la generación de una señal de realimentación de conversión en un ADC tipo sigma-delta funciona como un generador de pulsos de corriente y comprende un circuito condensador que va a ser precargado con un voltaje de referencia para cada ciclo de realimentación del ADC, y un circuito resistivo para la transferencia de la carga entre el circuito condensador y un filtro de lazo del ADC en cada ciclo de realimentación. El circuito resistivo se configura para variar su resistencia durante cada ciclo de realimentación de acuerdo con una
35 forma del pulso de la corriente deseada para la señal de realimentación de conversión. En al menos una de tales realizaciones, la forma del pulso de la corriente deseada se define por una cantidad de carga deseada a ser transferida en cada ciclo de realimentación y los valores de la corriente máxima y residual deseados para la señal de realimentación de conversión en cada ciclo de realimentación.

40 En una o más realizaciones, el circuito resistivo, el cual proporciona la resistencia serie para la transferencia de carga entre el circuito condensador y el filtro de lazo (ADC), comprende un dispositivo de resistencia continuamente variable y un circuito de control de resistencia asociado. La formación del pulso de corriente de la señal de realimentación de conversión se realiza en cada ciclo de realimentación por el circuito de control de la resistencia que varía la resistencia del dispositivo de resistencia variable durante cada ciclo de realimentación. Por medio del
45 ejemplo no limitativo, el dispositivo de resistencia continuamente variable comprende un dispositivo transistor de paso, y el circuito de control de resistencia ajusta una o más señales de polarización del dispositivo transistor de paso durante cada ciclo de realimentación de acuerdo con la forma del pulso de corriente deseada de la señal de realimentación de conversión. Por supuesto, tal control de la señal de polarización puede presentar cambios de tiempo discretos o cambios de tiempo continuos.

50 En una o más de otras realizaciones, el circuito resistivo comprende una red de resistencias en paralelo cuyo número de resistencias activamente conectadas en paralelo se cambia sobre el ciclo de realimentación. Más concretamente, en al menos una realización, el circuito resistivo comprende una red de resistencias en paralelo acopladas al circuito condensador a través de un circuito de control de configuración que, durante cada ciclo de
55 realimentación, se configura para aumentar con el tiempo el número de resistencias en paralelo que acoplan el circuito condensador a un nodo de salida del circuito resistivo. Por supuesto, se pueden usar otras disposiciones de red de resistencias conmutadas – por ejemplo, resistencias conmutadas en serie, donde el control de conmutación sobre el ciclo de realimentación reduce progresivamente la resistencia serie.

60 En al menos una realización de conmutación, el circuito de control de conmutación comprende un circuito de retardo de conmutación que genera las señales de activación de conmutación retardadas sucesivamente durante cada ciclo de conmutación, en el que cada señal de activación de conmutación aumenta (disminuye) el número de resistencias en paralelo (serie) que acoplan el circuito condensador al nodo de salida del circuito resistivo.

65 Los retardos de conmutación son uniformes en una o más realizaciones, y no uniformes en una o más de otras

realizaciones. El espaciado de retardo no uniforme se usa en al menos una realización para reducir además los picos de corriente en la señal de realimentación de conversión.

En otra realización, un método de generación de una señal de realimentación de conversión en un ADC de tipo sigma-delta comprende la generación de la señal de realimentación de conversión en cada ciclo de realimentación del ADC como un pulso de corriente desde un circuito condensador, y que varía una resistencia serie asociada con el circuito condensador durante cada ciclo de realimentación de acuerdo con una forma del pulso de corriente deseada para la señal de realimentación de conversión. El método incluye la definición de la forma del pulso de la corriente deseada en base a una cantidad de carga deseada a ser transferida en cada ciclo de realimentación y los valores de corriente máxima y residual deseados para la señal de realimentación de conversión en cada ciclo de realimentación. Por ejemplo, el método puede incluir la determinación del valor de corriente máximo deseado de acuerdo con las metas de consumo de corriente DC y/o ganancia de ancho de banda y requerimientos de velocidad de exploración del amplificador de integración dentro del filtro de lazo del ADC, y la determinación del valor de corriente residual deseada de acuerdo con un nivel deseado de insensibilidad de fluctuaciones de reloj.

Por supuesto, la presente invención no se limita a los rasgos y ventajas anteriores. Verdaderamente, aquellos expertos en la técnica reconocerán rasgos y ventajas adicionales tras la lectura de la descripción detallada siguiente, y tras la visualización de los dibujos anexos.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La Fig. 1 es un diagrama de bloques de un ADC sigma-delta conocido.

La Fig. 2 es un diagrama de bloques de una implementación para el DAC en el ADC de la Fig. 1.

La Fig. 3 es un gráfico de una señal de salida del DAC para el ADC de la Fig. 2.

La Fig. 4 es un diagrama de bloques de otra implementación para el DAC en el ADC de la Fig. 1.

La Fig. 5 es un gráfico de una señal de salida del DAC para el ADC de la Fig. 4.

La Fig. 6 es un diagrama de bloques de una realización de un ADC sigma-delta, que incluye un DAC que tiene buena insensibilidad a la fluctuación del reloj y la corriente máxima bien controlada para la señal de realimentación de conversión generada por ella.

La Fig. 7 es un diagrama de flujo lógico para una realización de la lógica de procesamiento para la generación basada en el DAC de una señal de realimentación de conversión que tiene buena insensibilidad a la fluctuación del reloj y la corriente máxima bien controlada.

La Fig. 8 es un diagrama de bloques de una realización del circuito resistivo del DAC ilustrado en la Fig. 6.

Las Figs. 9 a11 son gráficos de la corriente de señal, tensión del condensador, y la resistencia serie correspondiente para una señal de realimentación de conversión generada por una realización de la DAC ilustrada en la Fig. 6 u 8.

La Fig. 12 es un gráfico de una realización de las restricciones delimitadoras asociadas con la definición de una forma de pulso de corriente deseada para la señal de realimentación de conversión desde el DAC de la Fig. 6.

La Fig. 13 es un diagrama de bloques de otra realización del DAC ilustrado en la Fig. 6, basado en una red de resistencias en paralelo.

La Fig. 14 es un diagrama de bloques de una realización diferencial del DAC ilustrado en la Fig. 6.

La Fig. 15 es un diagrama de bloques de otra realización del DAC ilustrado en la Fig. 6, basado en otra red de resistencias en paralelo.

La Fig. 16 es un diagrama de bloques de otra realización del DAC ilustrado en la Fig. 6, basado en una red de resistencias en serie.

La Fig. 17 es un diagrama de flujos lógico de una realización de la lógica de procesamiento para determinar las restricciones delimitadoras ilustradas en la Fig. 12, y de manera correspondiente funcionando el DAC de la Fig. 13, por ejemplo.

Las Fig. 18 y 19 ilustran los parámetros de tiempo y corriente asociados con el método ilustrado en la Fig. 17.

La Fig. 20 es un gráfico de la amplitud de la señal de realimentación de conversión para el DAC de la Fig. 13, por ejemplo, de acuerdo con un número de resistencias conmutadas dadas en una red de resistencias en paralelo y los retardos de activación de conmutación uniformes.

Las Fig. 21 y 22 son gráficos de la amplitud de la señal de realimentación de conversión para el DAC de la Fig. 13, por ejemplo, de acuerdo con los números de resistencias conmutadas dadas en una red de resistencias en paralelo y los retardos de activación de conmutación no uniformes.

La Fig. 23 es un diagrama de bloques de un dispositivo o sistema de comunicaciones inalámbricas ejemplo, que incluye una realización del ADC ilustrado en la Fig. 6.

DESCRIPCIÓN DETALLADA

La Fig. 6 ilustra una realización de un ADC sigma-delta 40, de manera que se puede usar en operaciones de procesamiento de señal dentro de un receptor de comunicación inalámbrico (no se ilustra). La realización ilustrada comprende un ADC sigma-delta 40 continuo en el tiempo, el cual incluye un filtro de lazo 42, un cuantizador 44, y un filtro de diezma 46, el cual por sí mismo puede comprender todo o parte de un procesador de señal digital configurado para implementar un filtrado paso bajo u otro dominio digital. Aquellos expertos en la técnica apreciarán que, mientras que se ilustra un ADC de primer orden, las enseñanzas de aquí dentro aplican directamente a los ADC

sigma-delta con filtros de lazo de mayor orden.

De particular interés para la discusión de aquí dentro, el ADC 40 incluye un DAC 50 para la generación de una señal de realimentación de conversión para el filtro de lazo 42, en el que el DAC 50 funciona como un generador de pulsos de corriente y comprende un circuito condensador 52, que incluye uno o más condensadores 54 y unos conmutadores de precarga asociados 56 y 57 que definen el signo y tiempo de la precarga del condensador, y un circuito resistivo 58, que incluye un dispositivo de resistencia variable 60 y un circuito de control de la resistencia asociado 62. El circuito resistivo 58 acopla el circuito condensador 52 a una entrada de la señal de realimentación de conversión del filtro de lazo 42, y de esta manera proporciona una conexión de resistencias en serie para la transferencia de la carga entre el circuito condensador 52 y el filtro de lazo 42 del ADC 40 en cada ciclo de realimentación del ADC 40.

Más concretamente, la Fig. 7 ilustra una realización del funcionamiento del DAC. El método ilustrado comprende la generación de la señal de realimentación de conversión en el DAC 50 en cada ciclo de realimentación del ADC 40 como un pulso de corriente desde el circuito condensador 52 (Paso 100), y que varía la resistencia serie efectiva (del circuito resistivo 58) durante cada ciclo de realimentación de acuerdo con una forma del pulso de la corriente deseada para la señal de realimentación de conversión (Paso 102). Por supuesto, aquellos expertos en la técnica reconocerán que estos pasos ilustrados secuencialmente se pueden realizar concurrentemente, es decir, los cambios de la resistencia serie sobre cada ciclo de realimentación para controlar la corriente de la señal de realimentación de conversión y por ello efectúa la forma del pulso de corriente deseada para la señal de realimentación de conversión.

La Fig. 8 ilustra ampliamente tal funcionamiento del circuito resistivo 58, en el que el circuito de control de resistencia 62 varía la resistencia del dispositivo de resistencia variable 60 durante cada ciclo de realimentación del ADC 40, de acuerdo con la forma del pulso de corriente deseada para la señal de realimentación de conversión. Por ejemplo, la Fig. 9 ilustra un pulso más o menos cuadrado, de corriente constante para la corriente de la señal de realimentación de conversión, $i_b(t)$, la cual se puede obtener por el circuito de control de la resistencia 62 que disminuye linealmente la resistencia serie del dispositivo de resistencia variable 60 según el condensador 54 descarga (o carga) desde su voltaje precargado (+ o $-V_{REF}$) a través del dispositivo de resistencia variable 60. (Señalar que C_{REF} se precarga para un nivel de voltaje de referencia definido para cada ciclo de realimentación del ADC 40. Una señal de reloj que alimenta al DAC 50 define el tiempo del ciclo de realimentación, y el valor de v_d en cada ciclo de realimentación se puede usar para precargar el condensador 54 o bien $+V_{REF}$ o bien $-V_{REF}$. Señalar que se puede proporcionar la misma u otra señal de reloj al cuantizador 44 para accionar el muestreo temporizado).

Notablemente, como se muestra en la Fig. 10, el circuito de control de la resistencia 62 se configura para disminuir linealmente la resistencia serie del dispositivo de resistencia variable 60 a partir de una resistencia inicial R_0 en el comienzo de un ciclo de realimentación, a una resistencia final o de terminación R_1 en la terminación del ciclo de realimentación, según se marca por el tiempo T_S . De esta manera, el circuito resistivo 58 se configura para presentar una resistencia máxima en un comienzo de un ciclo de realimentación y reducir su resistencia durante el ciclo de realimentación, y presentar por ello una resistencia mínima al final del ciclo de realimentación.

Tal funcionamiento en combinación con el voltaje del condensador que decae V_C mostrado en la Fig. 11 mantiene una magnitud de corriente relativamente constante para el pulso de la señal de realimentación de conversión durante el ciclo de realimentación, a la par que permite una caída rápida de la corriente al final del ciclo. Como tal, el circuito resistivo 58 proporciona una cantidad deseada de transferencia de carga entre el circuito condensador 52 y el filtro de lazo 42, mientras que presenta simultáneamente buena insensibilidad a la fluctuación del reloj y encumbramiento de corriente reducida o eliminada.

De esta manera, el método anterior se puede comprender que incluye, o de otro modo depende de, la definición de la forma del pulso de la corriente deseada en base a una cantidad deseada de carga a ser transferida en cada ciclo de realimentación (del ADC del tema) y los valores de corriente máximos y residuales para la señal de realimentación de conversión en cada ciclo de realimentación. Por ejemplo, uno puede determinar el valor de la corriente máxima deseada de la señal de realimentación de conversión de acuerdo con un límite de ganancia de ancho de banda del filtro de lazo 42 – es decir, la corriente máxima se puede restringir de acuerdo con los requerimientos de consumo de corriente DC y/o las limitaciones de GBW/ velocidad de exploración del(de los) amplificador(es) de integración seleccionado(s) para el uso dentro del filtro de lazo 42. Además, uno puede determinar el valor de la corriente residual deseado de la señal de realimentación de conversión de acuerdo con un nivel deseado de insensibilidad a la fluctuación del reloj. La GBW/gran cantidad de requerimientos reducida puede permitir potencias de funcionamiento menores y coste de circuitos reducido, y la sensibilidad a la fluctuación del reloj disminuida puede permitir costes de circuitos menores y/o requerimientos de diseño y disposición relajados.

Con referencia de nuevo a la Fig. 8, en una realización, el dispositivo de resistencia variable 60 comprende un dispositivo transistor de paso, y el circuito de control de resistencia 62 se configura para cambiar o de otro modo ajustar una o más señales de polarización del dispositivo transistor de paso sobre el ciclo de realimentación. El uso de un dispositivo transistor de paso para el dispositivo de resistencia variable 60 permite el ajuste continuo de la

resistencia, si se desea. Por supuesto, en al menos una de tales realizaciones, la señal de polarización puede ser ajustada en forma de pasos sobre la señal de realimentación para efectuar cambios de tiempo discretos en la resistencia serie del dispositivo transistor de paso, más que ajustada continuamente.

5 La Fig. 12 ilustra una realización de la delimitación del pulso de corriente que se puede implementar por el DAC 50, sin importar el control de resistencia particular que se implementa. Sobre el periodo de tiempo T_P , un pulso de corriente cuadrado de magnitud I_0 integra a una carga total de:

10
$$Q_{tot} = T_P \cdot I_0 \quad \text{Eq. (1)}$$

Una delimitación del diseño para la forma del pulso de la corriente de la señal de realimentación de conversión $i_{fb}(t)$ es que la corriente integrada debería ser igual a la carga total Q_{tot} entregada por un pulso de corriente cuadrada "modelo" que tiene la temporización de anchura de pulso nominal, es decir,

15
$$Q_{tot} = \int_0^{T_P} i_{fb}(t) dt \quad \text{Eq. (2)}$$

El nivel de la corriente residual I_r de la forma del pulso de corriente en el tiempo T_P determina la sensibilidad a la fluctuación del reloj del DAC 50. Más concretamente, los valores inferiores de I_r producen reducida sensibilidad a la fluctuación. De esta manera, uno puede establecer el valor de la corriente residual I_r de acuerdo con un umbral de corriente residual máximo de I_{rmax} que corresponde con un grado deseado de insensibilidad a la fluctuación del reloj. Además, como consecuencia de las restricciones delimitadoras de la carga total introducidas anteriormente, la corriente de pico I_p de $i_{fb}(t)$ será necesariamente mayor que la magnitud de corriente constante nominal I_0 del pulso de corriente cuadrado nominal que transferiría la cantidad de carga deseada, Q_{tot} . Por conveniencia, uno puede referirse a la diferencia entre la corriente de pico, I_p , requerida para el pulso de corriente formado generado por el DAC 50 y la corriente nominal I_0 como la corriente de "exceso" dada por,

20
$$I_e = I_p - I_0 \quad \text{Eq. (3)}$$

Como la corriente de exceso provoca un aumento del consumo de corriente (comparado con el caso del pulso de corriente constante nominal) en el filtro de lazo 42, la corriente de exceso máxima permitida I_{emax} es otra delimitación del diseño, y se puede usar para restringir el valor para el que se diseña de I_e .

35 Con lo anterior en mente, uno puede resumir las restricciones de delimitación que definen la forma del pulso de corriente deseada para la señal de realimentación de conversión como,

$$Q_{tot} = \int_0^{T_P} i_{fb}(t) dt = T_P \cdot I_0, \quad \text{Eq. (4)}$$

40
$$i_{fb}(T_P) = I_r < I_{rmax}, \text{ and} \quad \text{Eq. (5)}$$

$$\max [i_{fb}(t)] - I_0 = I_p - I_0 < I_{emax} \quad \text{Eq. (6)}$$

donde I_{emax} , I_{rmax} y Q_{tot} se suponen que son parámetros de diseño conocidos.

45 Un planteamiento para implementar la formación del pulso de corriente deseado para la señal de realimentación de conversión generada por el DAC aparece en la realización del ADC ilustrada en la Fig. 13, por ejemplo. En esta realización, el circuito resistivo 58 del DAC 50 comprende una red de resistencias en paralelo ($R_1 - R_M$) acopladas al circuito condensador 52 a través de un circuito de control de resistencias (conmutadores $S_1 - S_M$, elementos de retardo $D_1 - D_{M-1}$) que, durante cada ciclo de realimentación, se configura para aumentar con el tiempo el número de

resistencias en paralelo que acoplan el circuito condensador 52 a un nodo de salida 64 del circuito resistivo 58.

Más concretamente, en esta realización, el dispositivo de resistencia variable 60 comprende los resistores $R_1 - R_M$, y el circuito de control de resistencia 62 comprende los conmutadores $S_1 - S_M$ que acoplan individualmente los respectivos de los resistores $R_1 - R_M$ al circuito condensador 52, y un circuito de retardo de conmutación (elementos de retardo sucesivos $D_1 - D_{M-1}$) que generan las señales de activación del conmutador sucesivamente retardadas durante cada ciclo de realimentación. Con esta realización, la afirmación de que cada señal de activación del conmutador aumenta el número de resistencias en paralelo que acoplan el circuito condensador 52 al nodo de salida 64 del circuito resistivo 58, reduciendo progresivamente por ello la resistencia serie del circuito resistivo 58 sobre cada ciclo de realimentación del ADC 40.

Con la configuración anterior, el DAC 50 comprende esencialmente un condensador conmutado 54 y M resistencias conmutadas que tienen señales de control individuales de manera que conmutan en distintos instantes de tiempo durante cada ciclo de realimentación en el ADC 40. Para cada ciclo de realimentación, el condensador 54 almacena inicialmente una carga bien definida $Q = C_{REF} \pm V_{REF}$. Cuando la primera resistencia, R_1 , se conmuta, una corriente $I_1 = \pm V_{REF} / R_1$ comienza a fluir en un terreno virtual del filtro de lazo 42. Además, la magnitud del voltaje en el condensador, V_C , comienza a disminuir, lo cual a su vez causa que la magnitud de la corriente comience a disminuir. La velocidad de descarga en el primer instante de conmutación se limita por la constante de tiempo determinada por la resistencia del circuito resistivo 58 y la capacitancia del circuito condensador 52. En otras palabras, la constante de tiempo $\tau_1 = C_{REF} R_1$.

En un segundo instante de conmutación posterior, R_2 también comienza a conducir la corriente y la corriente total de la señal de realimentación de conversión en el segundo instante de conmutación es por lo tanto $i_{fb}(t_2) = V_C(t_2) / (R_1 \cdot R_2 / (R_1 + R_2))$. Debido a que la conexión en paralelo de R_1 y R_2 tiene una resistencia menor que R_1 en sí misma, la magnitud de $i_{fb}(t)$ aumenta cuando R_2 se conmuta en paralelo con R_1 . Eligiendo los valores de resistencia de las resistencias en paralelo ($R_1 - R_M$) adecuadamente, es posible mantener la corriente $i_{fb}(t)$ de la señal de realimentación de conversión aproximadamente constante hasta que la resistencia final R_M , se ha conmutado en conexión paralela por el conmutador S_M . A partir de entonces la carga restante en el condensador 54 se descarga a través de la resistencia equivalente de todas las resistencias en paralelo, la cual generalmente será mucho menor que la resistencia individual más pequeña tomada en sí misma. Esa característica permite la caída rápida de $i_{fb}(t)$ a o por debajo del nivel de la corriente residual deseado al final del ciclo de realimentación.

Por supuesto, se debería comprender que la arquitectura mostrada en la Fig. 13 proporciona un ejemplo para la discusión, pero no es limitante con respecto a las enseñanzas de aquí dentro. Por ejemplo, la Fig. 13 ilustra una configuración de una única terminación por simplificación, en la que el RELOJi que acciona el conmutador de precarga 56 representa una versión invertida de la señal de RELOJi ilustrada. En principio, el conmutador 56 se usa para seleccionar el signo del voltaje de referencia, mientras que el conmutador 57 se usa para desconectar la referencia del condensador 54 durante la fase de descarga del DAC 50, y para conectarlo a la referencia durante la fase de carga del condensador. Es decir, el conmutador 57 y los conmutadores $s_1 - s_M$ del dispositivo de resistencia variable 60 están ENCENDIDOS en distintas fases. De esta manera, la ilustración debería ser entendida como una presentación simplificada, que no representa necesariamente la mejor manera de disponer los elementos del circuito para rendimiento óptimo.

La Fig. 14 ilustra un elemento del circuito alternativo en base a una implementación diferencial del DAC 50. Con la implementación diferencial, el signo de la señal de realimentación de conversión se selecciona en la fase de descarga del condensador 54, más que durante su fase de precarga. Debido a que el DAC 50 es diferencial, la multiplicación por -1 se puede hacer simplemente mediante acoplamiento cruzado de las conexiones de la señal como se ilustra en el conmutador 56 en el diagrama. Alternativamente, el acoplamiento cruzado para el control del signo se puede implementar en el circuito resistivo 58, antes o después del dispositivo de resistencia variable 60. (Señalar que con las realizaciones diferenciales del DAC 50, el(los) amplificador(es) de integración correspondiente(s) dentro del filtro de lazo 42 se configuran como amplificadores de integración diferenciales.

Además de las realizaciones de terminación única frente a diferenciales, se debería entender que la red de resistencias en paralelo ilustrada en la Fig. 13 es un ejemplo de una red de resistencias cuya resistencia serie efectiva se puede controlar. Otras numerosas disposiciones de circuitos se pueden implementar para cambiar la resistencia serie efectiva del circuito resistivo 58 con el tiempo, por ejemplo, en instantes de tiempo discretos sobre el ciclo de realimentación. Se contempla aquí dentro implementar la resistencia variable requerida usando cualquier número de resistencias y conmutadores, combinaciones de resistencias en paralelo y en serie, o esencialmente cualquier otra red de resistencias/conmutadores que proporcione la gama de control de resistencia deseado. Por ejemplo, la Fig. 15 ilustra aún otra configuración de conmutadores/resistencias para una realización de red de resistencias en paralelo del circuito resistivo 58. Además, la Fig. 16 ilustra aún otra disposición alternativa del circuito de resistencias/conmutadores para el circuito resistivo 58, donde comprende una red de resistencias en serie. Además, se contempla aquí dentro que se pueden usar elementos de resistencia continuamente variable, por ejemplo transistores controlados por polarización, si se ajustan de forma continua o en pasos discretos.

En general, en una realización de red de resistencias en paralelo del circuito resistivo 58, el número de resistencias en paralelo que conectan el circuito condensador 52 al integrador 42 se puede aumentar durante el ciclo de realimentación para disminuir de la misma manera la resistencia serie efectiva del camino de realimentación de conversión que acopla el circuito condensador 52 al integrador 42. De manera equivalente, en una realización de red de resistencias en serie del circuito resistivo 58, el número de resistencias en serie que conectan el circuito condensador 52 al integrador 42 se puede disminuir durante el ciclo de realimentación -tal como cerrando los conmutadores de desviación de la resistencia- para disminuir de la misma manera la resistencia serie del camino de realimentación de conversión. En ambas realizaciones en paralelo y en serie, las señales de activación del conmutador espaciado en el tiempo se pueden usar para aumentar con el tiempo el número de resistencias en paralelo que conectan el circuito condensador 52 al integrador 42, o disminuir con el tiempo el número de resistencias en serie que conectan el circuito condensador 52 al integrador 42.

De esta manera, en una realización general, variando la resistencia serie (efectiva) asociada con el circuito condensador 52 durante cada ciclo de realimentación de acuerdo con una forma del pulso de corriente deseada para la señal de realimentación de conversión comprende ajustar un elemento de resistencia variable tanto continuamente como discretamente sobre el ciclo de realimentación. En otra realización general, variando una resistencia serie asociada con el circuito condensador 52 durante cada ciclo de realimentación de acuerdo con una forma del pulso de corriente deseada para la señal de realimentación de conversión comprende cambiar una configuración de una red de resistencias conmutadas sobre el ciclo de realimentación.

La Fig. 17 ilustra un método más general de usar la realización de resistencias conmutadas anterior del DAC 50 para generar la señal de realimentación de conversión de acuerdo con las restricciones de delimitación del pulso de corriente ilustradas en la Fig. 12. La metodología de diseño general ejemplificada por el método ilustrado se refiere a una delimitación del diseño de la carga (transferida) total que es exacta para los ADC sigma-delta de primer orden y aproximada pero aún bastante útil para los ADC sigma-delta de orden más alto.

En general, la metodología de delimitación de la carga es aplicable a las formas del pulso de corriente que aproximan los pulsos de onda cuadrada. (Para sistemas de orden más alto, la respuesta al impulso desde la entrada del DAC v_d , a la salida del filtro de lazo y debería ser hecha de tal manera que es idéntica a la respuesta al impulso del pulso SI equivalente en los instantes de comparación del cuantizador del ADC. Esta condición se puede satisfacer superponiendo la respuesta al impulso de cada camino de realimentación a través del filtro de lazo, donde el número de caminos de realimentación es igual al orden del filtro de lazo.)

El método ilustrado comienza con el cálculo de un valor para el condensador 54 (C_{REF}) en el circuito condensador 52 (Paso 104). El límite inferior para C_{REF} se define por el ruido de conmutación kT/C . El método continúa con el cálculo de la constante de tiempo más pequeña factible τ (Paso 106). Señalar que la constante de tiempo más pequeña es un producto de C_{REF} y la resistencia serie más pequeña que descarga C_{REF} . La resistencia de conmutación individual de los conmutadores S_1-S_M , que pueden ser transistores, MEM, etc., y la impedancia de entrada del filtro de lazo 41 definen el límite inferior de este valor. A continuación, con referencia a los gráficos de forma de onda de amplitud y corriente de las Fig. 18 y 19 para la señal de realimentación de conversión, los cuales ilustran gráficamente los parámetros de tiempo y corriente implicados en la metodología de diseño de la Fig. 17, el punto (T_S, I_X) se determina como el punto que cumple las primeras dos de las delimitaciones de diseño (Q_{tot} e I_{rmax}). Esta determinación supone que la corriente constante I_X desde $t = 0$ a $t = T_S$, y una decaída exponencial con la constante de tiempo τ desde $t = T_S$ a $t = T_P$ (Paso 108). Más formalmente, la metodología puede resolver las siguientes ecuaciones no lineales:

$$Q_{tot} = I_X \cdot T_S + I_X \int_{T_S}^{T_P} e^{-(t-T_S)/\tau} dt, \text{ and} \tag{Eq. (7)}$$

$$I_X \cdot e^{-(T_P-T_S)/\tau} = I_{rmax} \tag{Eq. (8)}$$

El método continúa con la búsqueda de la posición de tiempo t_M del último conmutador que cumple la última delimitación de diseño ($I_{emax} + I_0$) (Paso 110). El punto de inicio es (T_S, I_X) desde donde se extiende la decadencia exponencial hacia atrás en el tiempo hasta que alcanza la corriente máxima permitida $I_{emax} + I_0$. Aquí uno puede definir el nivel de rizado como $I_{rizado} = I_{emax} + I_0 - I_X$. A continuación, se determinan los instantes de tiempo de conmutación t_K de los conmutadores restantes que cumplen la última delimitación de diseño ($I_{emax} + I_0$) (Paso 112). El punto de inicio es $(t_K + 1, I_X - I_{rizado})$ desde donde se extiende la decadencia exponencial con la constante de tiempo τ_K hacia atrás en el tiempo hasta que alcanza la corriente máxima permitida $I_{rizado} + I_X$. En otras palabras, uno puede suponer un rizado que se extiende simétricamente $2I_{rizado}$ alrededor de I_X , de manera que la corriente media será aproximadamente igual a I_X .

La constante de tiempo τ_K usada para la decadencia exponencial generalmente no es arbitraria, sino más bien se define únicamente por el voltaje a través del condensador C_{REF} y la corriente $I_X - I_{emax}$ en $t = t_{K+1}$. Es decir, $\tau_K = R_K C_{REF}$, donde $R_K = V_C(t_{K+1}) / (I_X - I_{emax})$. Señalar que este último paso del método se repite hasta que se alcanza o se cruza el tiempo cero ($t = 0$).

Las Fig. 20-22 ilustran el rizado de conmutación asociado con el funcionamiento de los conmutadores S_1, S_2 , y así sucesivamente, en el circuito de control de la resistencia 62 ilustrado en la Fig. 13, por ejemplo. El circuito de retardo de conmutación del circuito de control de resistencia 62, el cual incluye los conmutadores $S_1 - S_M$ y la línea de retardo que comprende los elementos de retardo $D_1 - D_{M-1}$, se pueden configurar, por ejemplo, para tener retardos de conmutación uniformemente espaciados. Con retardos de conmutación uniformemente espaciados, el número de resistencias conectadas en paralelo aumenta sobre el ciclo de realimentación de acuerdo con tiempos de conmutación uniformemente espaciados. La Fig. 20 ilustra la conmutación uniformemente espaciada de esta manera para una realización donde $M = 16$, es decir, 16 resistencias conmutadas en la red de resistencias en paralelo que comprende el dispositivo de resistencia variable 60.

Por el contrario, la Fig. 21 ilustra el mismo número de resistencias conmutadas, pero representa el uso de los retardos de conmutación no uniformes sobre el ciclo de realimentación. Por ejemplo, los individuales de los elementos de retardo $D_1 - D_{M-1}$ se pueden configurar para tener distintos valores de retardo, de manera que las afirmaciones de las señales de retardo de conmutación tengan espaciados de tiempo no uniformes. Ya sea por ese planteamiento particular o no, el DAC 50 se puede configurar para tener retardos de conmutación no uniformemente espaciados y, más concretamente, se puede configurar de manera que los retardos de conmutación del circuito de retardo de conmutación estén espaciados aparte más próximamente en el tiempo durante una parte de terminación de cada ciclo de realimentación, comparado con una parte de comienzo de cada ciclo de realimentación.

Como ilustra la Fig. 21, los retardos de conmutación más próximamente espaciados con el tiempo durante un ciclo de realimentación dado reducen el rizado de la amplitud en la señal de realimentación de conversión, lo cual produce una serie de beneficios. Verdaderamente, tanto la Fig. 20 como la Fig. 21 representan el mismo número de resistencias conmutadas en la red de resistencias en paralelo, de manera que la reducción del rizado evidenciada en el Fig. 21 es enteramente atribuible al uso de los retardos de conmutación no uniformemente espaciados. Además mejorando la reducción del rizado ganada por el uso de retardos de conmutación no uniformemente espaciados, la Fig. 22 ilustra las mejoras de la reducción del rizado y las mejoras del tiempo de descarga sobre la Fig. 21 a través del uso de más resistencias de conmutación en la red de resistencias en paralelo, por ejemplo, $M = 32$.

Por supuesto, como se señala en la discusión de la Fig. 8 y en otros lugares aquí dentro, el DAC 50 puede usar la resistencia serie continuamente variable o discretamente variable para efectuar la formación del pulso de la corriente deseada para la señal de realimentación de conversión. Por ejemplo, la resistencia serie proporcionada por el DAC 50 puede progresar desde una resistencia alta a una resistencia baja durante cada ciclo de realimentación en base al cambio de la señal de polarización de un dispositivo transistor de paso sobre el ciclo de realimentación, o cambiando el número de resistencias conectadas activamente en una red de resistencias en paralelo sobre el ciclo de realimentación. Es decir, el circuito de control de resistencia 62 se puede configurar para cambiar el número de resistencias en paralelo que comprende el dispositivo de resistencia variable 60 que acopla el circuito condensador 52 al filtro de lazo 42 durante cada ciclo de realimentación, de acuerdo con la forma del pulso de la corriente deseada de la señal de realimentación de conversión. Como se señaló, esa operación se puede consumir generando las señales de activación del conmutador sucesivamente retardadas durante cada ciclo de realimentación, en donde cada señal de activación del conmutador aumenta el número de resistencias en paralelo que acoplan el circuito condensador 52 al filtro de lazo 42.

En cualquiera de las configuraciones anteriores, el ADC 40, que incluye el DAC 50, se puede incorporar fácilmente en los dispositivos de circuitos integrados útiles en una variedad de aplicaciones. Por medio del ejemplo no limitativo, la Fig. 23 ilustra una de tales aplicaciones, en la que un sistema o dispositivo de comunicación inalámbrica 70 incluye una realización del ADC 40. Más concretamente, el dispositivo de comunicación inalámbrica 70 el cual puede ser una estación móvil para usar en una red de comunicación inalámbrica, por ejemplo, incluye una antena 72, un conmutador y/o duplexor 74, un receptor 76, un transmisor 78, un controlador del sistema 80, y un interfaz de usuario 82. (El interfaz de usuario 82 puede incluir un visualizador, teclado, circuitos de entrada/salida de audio, etc., dependiendo del uso destinado del dispositivo de comunicación inalámbrica 70).

Incorporando una realización del ADC 40 dentro del receptor 76, las operaciones del receptor, tales como el procesamiento de la señal en banda base que implica la conversión analógica a digital, puede beneficiarse de la fluctuación del reloj reducida y las corrientes máximas reducidas que resultan del uso del DAC 50 como se describe aquí dentro. Por supuesto, se pueden implementar otros ADC 40 o adicionales en otros lugares dentro del dispositivo de comunicación inalámbrica 70, tal como en el interfaz de usuario 82, en el que se puede digitalizar el audio u otras señales de entrada analógicas para el procesamiento.

Además, aunque uno o más ejemplos ilustrativos dados aquí dentro implican a los ADC sigma-delta de primer orden,

5 las enseñanzas de aquí dentro aplican directamente a dispositivos de orden más alto. Se debería entender también que las enseñanzas de aquí dentro aplican directamente a los DAC y los cuantizadores multibit. Además, aquellos expertos en la técnica apreciarán que cualesquiera ilustraciones de la "señal de terminación única" usadas en esta discusión se presentan como ejemplos no limitantes, y que las enseñanzas de aquí dentro aplican directamente a las implementaciones de circuitos de señal diferencial.

10 Adicionalmente, en una o más realizaciones, la formación del pulso de la señal de realimentación de conversión como se enseña aquí dentro se puede usar para generar señales de realimentación solamente para un subconjunto de amplificadores de integración dentro de un filtro de lazo del ADC sigma-delta que tiene dos o más amplificadores de integración. Por ejemplo, el método de formación del pulso de corriente inventivo para la señal de realimentación de conversión se puede usar para un camino de realimentación de conversión más exterior a un primer amplificador de integración en el filtro de lazo del ADC, mientras que las técnicas tradicionales de fuente de corriente conmutada se pueden usar para generar las señales de realimentación de conversión para uno o más caminos de realimentación de conversión interiores que van a los amplificadores de integración adicionales.

15 Como tal, la presente invención no se limita por la descripción anteriormente mencionada y los dibujos anexos. En su lugar, la presente invención se limita solamente por las reivindicaciones y su equivalentes legales.

20

REIVINDICACIONES

- 5 1.- Un convertidor digital a analógico (DAC) (50) para la generación de una señal de realimentación de conversión ($i_{fb}(t)$) en un convertidor analógico a digital (ADC) tipo sigma-delta (40), el DAC que funciona como un generador de pulsos de corriente y que comprende:
- 10 un circuito condensador (52) configurado para ser precargado con un voltaje de referencia para cada ciclo de realimentación del ADC; y que se **caracteriza porque** comprende además:
un circuito resistivo (58) para la transferencia de la carga entre el circuito condensador y un filtro de lazo del ADC en cada ciclo de realimentación;
dicho circuito resistivo (58) configurado para variar su resistencia durante cada ciclo de realimentación de acuerdo con una forma del pulso de corriente deseada para la señal de realimentación de conversión.
- 15 2.- El DAC de la reivindicación 1, en el que la forma de pulso de corriente deseada se define como una cantidad de carga deseada a ser transferida en cada ciclo de realimentación y los valores de corriente máxima y residual deseados para la señal de realimentación de conversión en cada ciclo de realimentación.
- 20 3.- El DAC de la reivindicación 1, en el que el circuito resistivo (58) se configura para presentar una resistencia máxima en un comienzo de un ciclo de realimentación y reducir su resistencia durante el ciclo de realimentación, y presentar por ello una resistencia mínima en un final del ciclo de realimentación.
- 25 4.- El DAC de la reivindicación 3, en el que el circuito resistivo (58) incluye uno de un dispositivo transistor de paso cuya señal de polarización se cambia sobre el ciclo de realimentación, o una red de resistencias en serie o en paralelo cuyo número de resistencias activamente conectadas en paralelo o en serie se cambia durante el ciclo de realimentación.
- 30 5.- El DAC de la reivindicación 1, en el que el circuito resistivo (58) comprende un dispositivo de resistencia variable (60) y un circuito de control de resistencia (62), y en el que el circuito de control de resistencia se configura para variar la resistencia del dispositivo de resistencia continuamente variable durante cada ciclo de realimentación.
- 35 6.- El DAC de la reivindicación 5, en el que el dispositivo de resistencia continuamente variable (60) comprende un transistor de paso, y en el que el circuito de control de resistencia (62) comprende un circuito de control de polarización dinámico que se configura para ajustar una o más señales de polarización del transistor de paso durante cada ciclo de realimentación de acuerdo con la forma del pulso de corriente deseada de la señal de realimentación de conversión.
- 40 7.- El DAC de la reivindicación 5, en el que el circuito de control de resistencia (62) se configura para controlar la resistencia del dispositivo de resistencia continuamente variable (60) durante cada ciclo de realimentación disminuyendo la resistencia del circuito resistivo según se descarga el circuito condensador durante cada ciclo de realimentación.
- 45 8.- El DAC de la reivindicación 1, en el que el circuito resistivo (58) comprende una red de resistencias en paralelo o en serie acopladas al circuito condensador a través de un circuito de control de resistencia que, durante cada ciclo de realimentación, se configura para aumentar con el tiempo el número de resistencias en paralelo que acoplan el circuito condensador a un nodo de salida del circuito resistor, o para disminuir con el tiempo el número de resistencias en serie que acoplan el circuito condensador al nodo de salida del circuito resistivo.
- 50 9.- El DAC de la reivindicación 8, en el que el circuito de control de resistencia (62) comprende un circuito de retardo de conmutación que genera las señales de activación de conmutación sucesivamente retardadas durante cada ciclo de realimentación, en el que cada señal de activación de conmutación aumenta el número de resistencias en paralelo que acoplan el circuito condensador al nodo de salida del circuito resistivo, o disminuye el número de resistencias en serie que acoplan el circuito condensador al nodo de salida del circuito resistivo.
- 55 10.- El DAC de la reivindicación 9, en el que el circuito de retardo de conmutación se configura para tener retardos de conmutación uniformemente espaciados.
- 60 11.- El DAC de la reivindicación 9, en el que el circuito de retardo de conmutación se configura para tener retardos de conmutación no uniformemente espaciados, y en el que los retardos de conmutación del circuito de retardo de conmutación están espaciados de manera más próxima en el tiempo durante una parte final de cada ciclo de realimentación, comparado con una parte de comienzo de cada ciclo de realimentación.
- 65 12.- Un ADC tipo sigma-delta que incluye un camino de realimentación de conversión exterior accionado por el DAC de la reivindicación 1, y un camino de realimentación de conversión interior accionado por un DAC fuente de la corriente conmutada.

- 13.- Un receptor de comunicación inalámbrico que incluye un ADC sigma-delta para la digitalización de la señal recibida, dicho ADC sigma-delta que tiene el DAC de la reivindicación 1.
- 5 14.- Un método de generación de una señal de realimentación de conversión ($i_{fb}(t)$) en un convertidor analógico a digital (ADC) tipo sigma-delta (40), el método que comprende:
- 10 generar la señal de realimentación de conversión en cada ciclo de realimentación del ADC como un pulso de corriente desde un circuito condensador (52); y que se **caracteriza por** variar una resistencia serie (60) asociada con el circuito condensador durante cada ciclo de realimentación de acuerdo con una forma del pulso de corriente deseada para la señal de realimentación de conversión.
- 15 15.- El método de la reivindicación 14, que además comprende la definición de la forma del pulso de corriente deseada en base a una cantidad de carga deseada a ser transferida en cada ciclo de realimentación y los valores de corriente máximos y residuales para la señal de realimentación de conversión en cada ciclo de realimentación.
- 20 16.- El método de la reivindicación 15, que además comprende la determinación del valor de la corriente máxima deseada de acuerdo con un límite de ganancia de ancho de banda del filtro de lazo.
- 25 17.- El método de la reivindicación 15, que además comprende la determinación del valor de la corriente residual deseada de acuerdo con un nivel deseado de insensibilidad a la fluctuación del reloj.
- 30 18.- El método de la reivindicación 14, en el que la variación de una resistencia serie asociada con el circuito condensador durante cada ciclo de realimentación de acuerdo con una forma del pulso de corriente deseada para la señal de realimentación de conversión comprende progresar desde una resistencia alta a una resistencia baja durante cada ciclo de realimentación.
- 35 19.- El método de la reivindicación 18, en el que el progreso desde una resistencia alta a una resistencia baja durante cada ciclo de realimentación comprende uno de cambiar la señal de polarización de un dispositivo transistor de paso durante el ciclo de realimentación, o cambiar el número de resistencias activamente conectadas en una red de resistencias en paralelo o en serie durante el ciclo de realimentación.
- 40 20.- El método de la reivindicación 14, en el que la variación de una resistencia serie asociada con el circuito condensador durante cada ciclo de realimentación de acuerdo con una forma del pulso de corriente deseada para la señal de realimentación de conversión comprende, durante cada ciclo de realimentación, controlar un dispositivo de resistencia variable (60) a través de un circuito de control de resistencia (62).
- 45 21.- El método de la reivindicación 20, en el que el dispositivo de resistencia variable comprende un transistor de paso, y en el que controlar un dispositivo de resistencia variable (60) a través de un circuito de control de resistencia (62) comprende controlar una señal de polarización del transistor de paso a través del circuito de control de resistencia.
- 50 22.- El método de la reivindicación 20, en el que el dispositivo de resistencia variable comprende una red de resistencias en paralelo o en serie, y en el que controlar un dispositivo de resistencia variable (60) a través de un circuito de control de resistencia (62) comprende controlar el número de resistencias conectadas en paralelo o en serie dentro de la red de resistencias en paralelo o en serie a través del circuito de control de resistencia.
- 55 23.- El método de la reivindicación 14, en el que la variación de una resistencia serie asociada con el circuito condensador durante cada ciclo de realimentación de acuerdo con una forma del pulso de corriente deseada para la señal de realimentación de conversión comprende cambiar el número de resistencias en paralelo o en serie que acoplan el circuito condensador a un filtro de lazo del ADC durante cada ciclo de realimentación.
- 60 24.- El método de la reivindicación 23, en el que cambiar el número de resistencias en paralelo o en serie que acoplan el circuito condensador a un filtro de lazo del ADC durante cada ciclo de realimentación comprende, dentro de cualquier ciclo de realimentación dado, aumentar con el tiempo el número de resistencias en paralelo que acoplan el circuito condensador al filtro de lazo, o disminuir con el tiempo el número de resistencias serie que acoplan el circuito condensador al filtro de lazo.
- 65 25.- El método de la reivindicación 23, en el que cambiar el número de resistencias en paralelo o en serie que acoplan el circuito condensador a un filtro de lazo del ADC durante cada ciclo de realimentación comprende generar las señales de activación de conmutación sucesivamente retardadas durante cada ciclo de realimentación, en donde cada señal de activación de conmutación aumenta el número de resistencias en paralelo que acoplan el circuito condensador al filtro de lazo, o disminuye el número de resistencias en serie que acoplan el circuito condensador al filtro de lazo.
- 26.- El método de la reivindicación 25, que comprende la generación de las señales de retardo de conmutación de

acuerdo con un espaciado de tiempo uniforme.

27.- El método de la reivindicación 25, que comprende la generación de las señales de retardo de conmutación de acuerdo con un espaciado de tiempo no uniforme.

5 28.- El método de la reivindicación 14, en el que la variación de una resistencia serie asociada con el circuito condensador durante cada ciclo de realimentación de acuerdo con una forma del pulso de corriente deseada para la señal de realimentación de conversión comprende ajustar un elemento de resistencia variable o bien continuamente o bien discretamente sobre el ciclo de realimentación.

10 29.- El método de la reivindicación 14, en el que la variación de una resistencia serie asociada con el circuito condensador durante cada ciclo de realimentación de acuerdo con una forma del pulso de corriente deseada para la señal de realimentación de conversión comprende cambiar una configuración de una red de resistencias conmutadas durante el ciclo de realimentación.

15

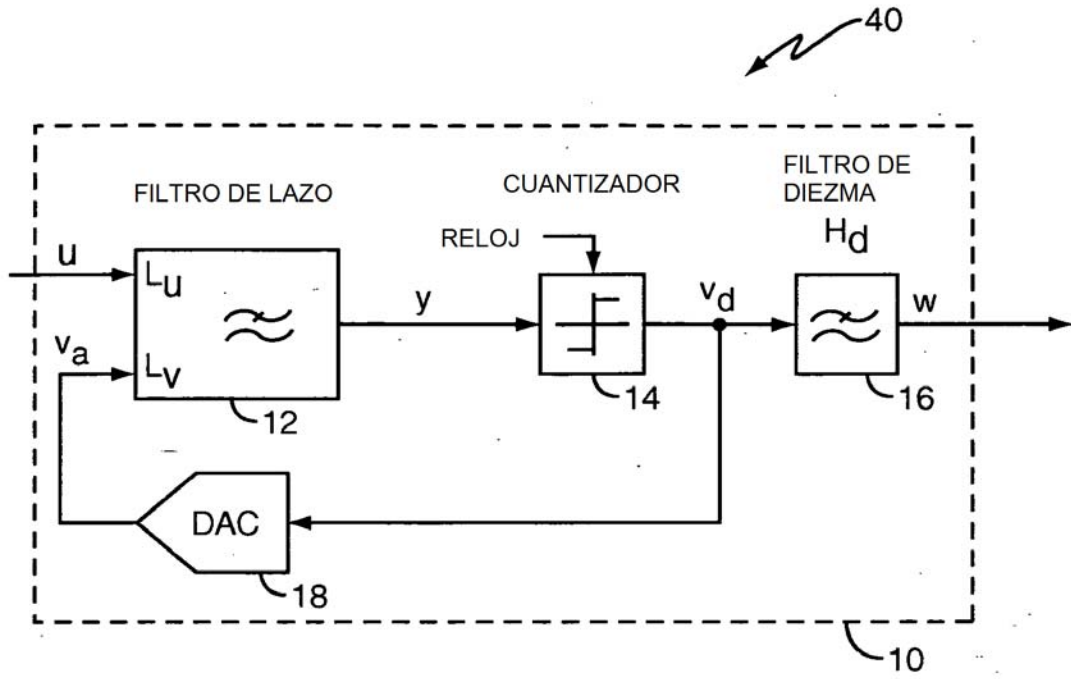


FIG. 1
TÉCNICA ANTERIOR

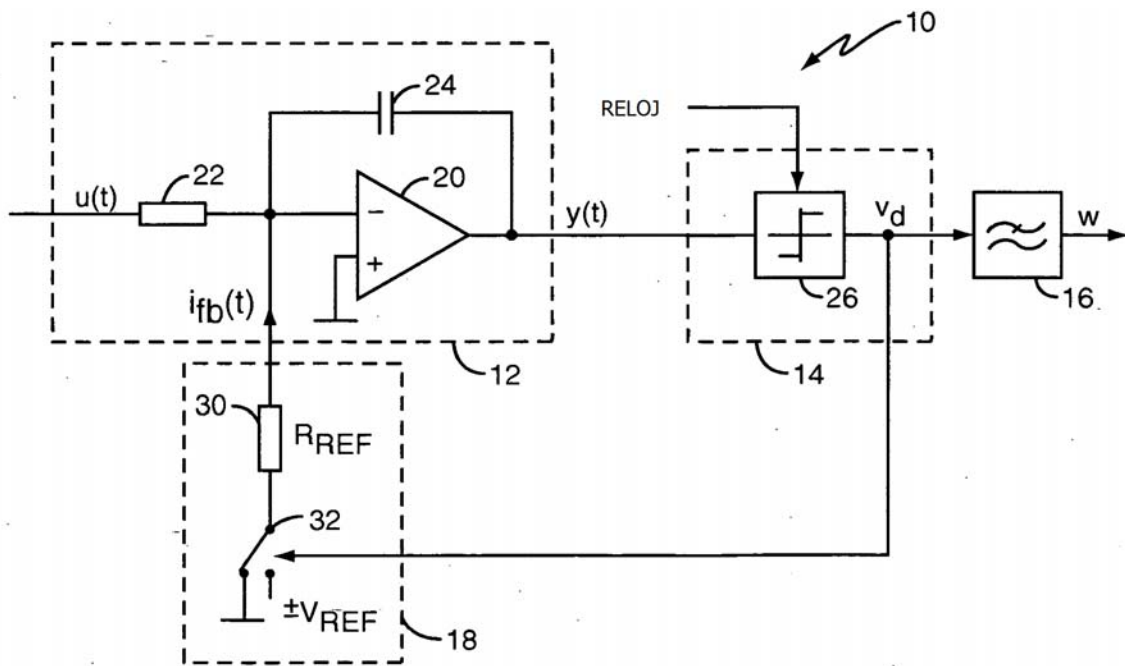


FIG. 2
TÉCNICA ANTERIOR

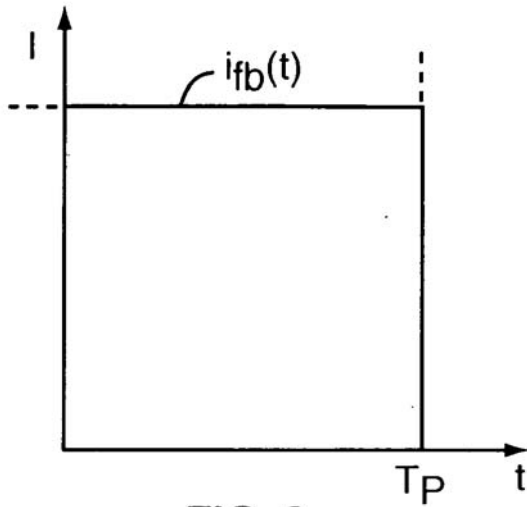


FIG. 3
TÉCNICA ANTERIOR

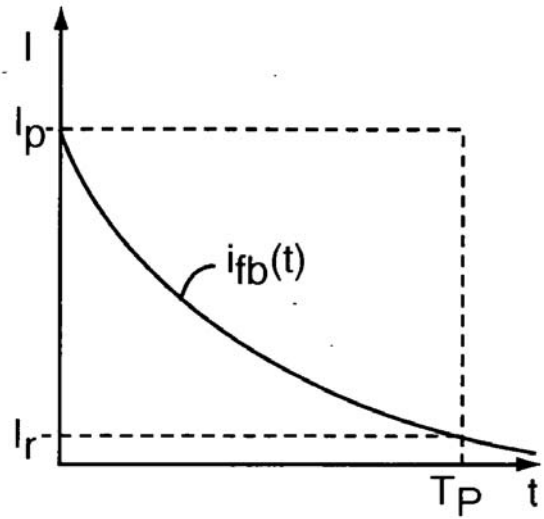


FIG. 5
TÉCNICA ANTERIOR

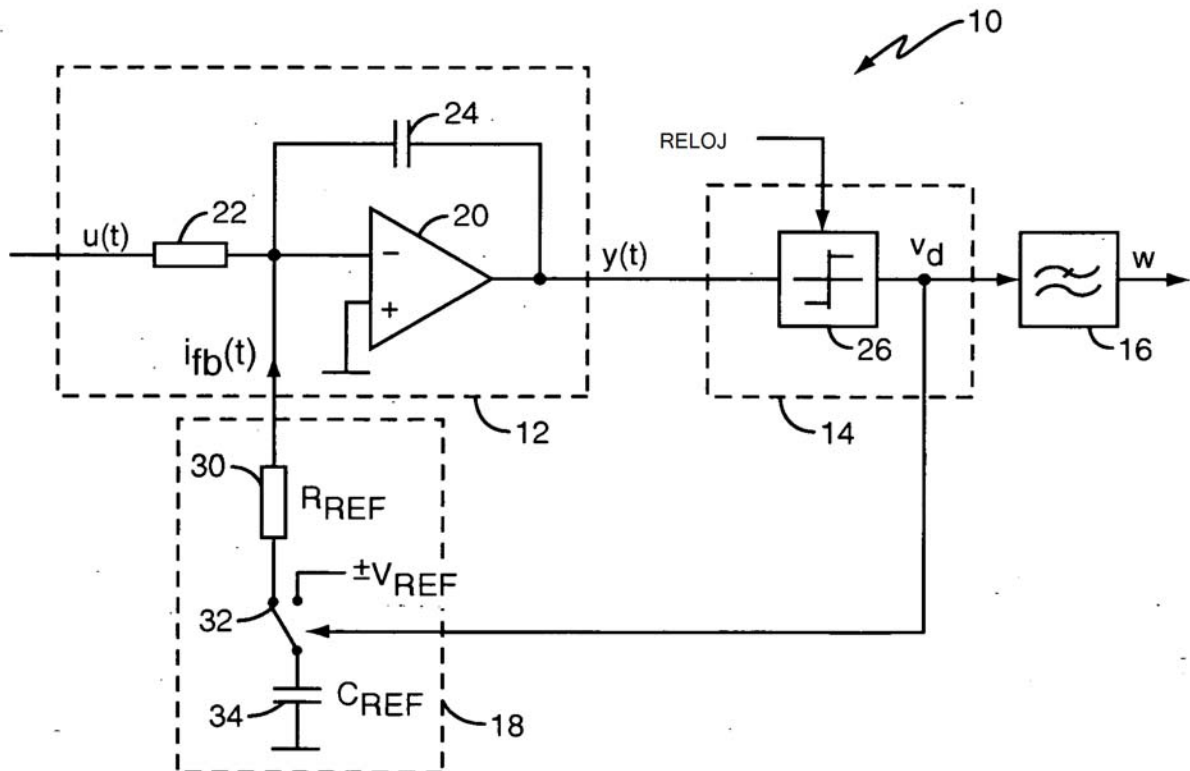


FIG. 4
TÉCNICA ANTERIOR

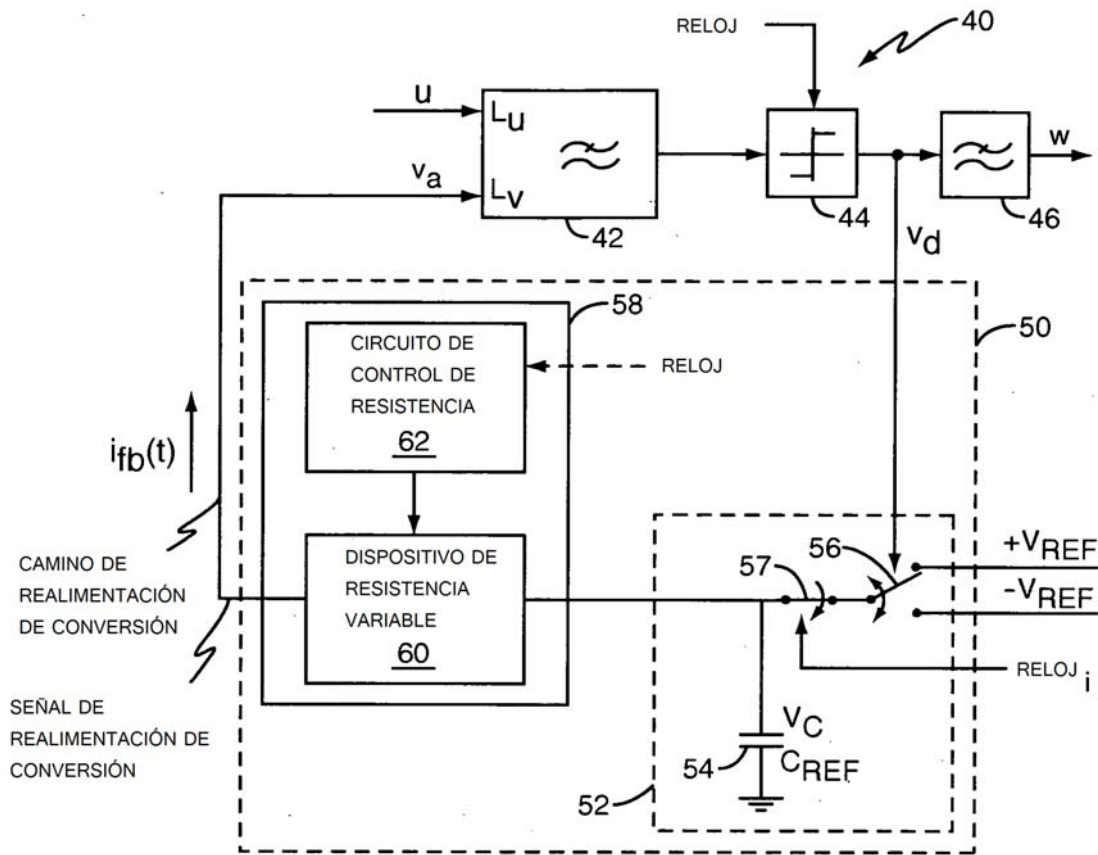


FIG. 6

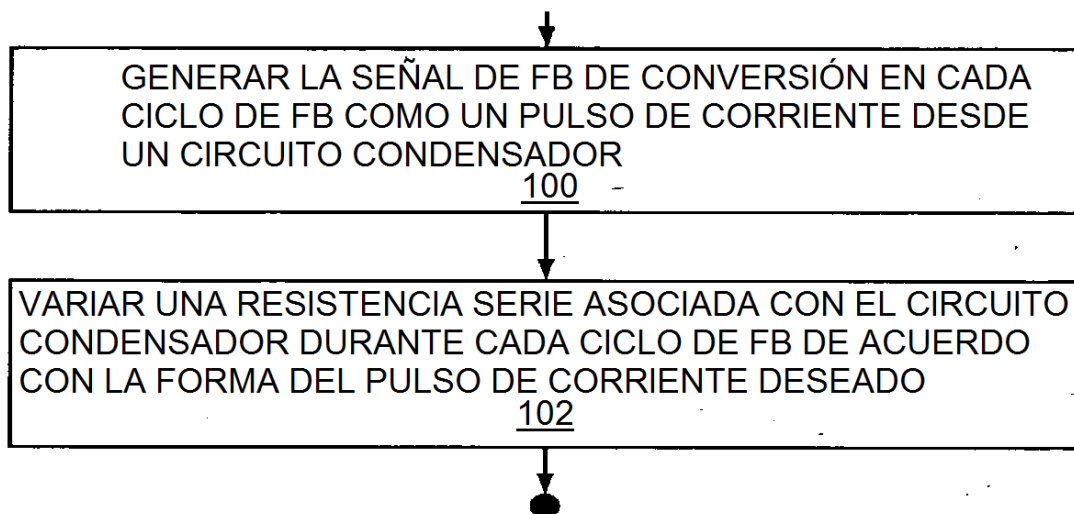


FIG. 7

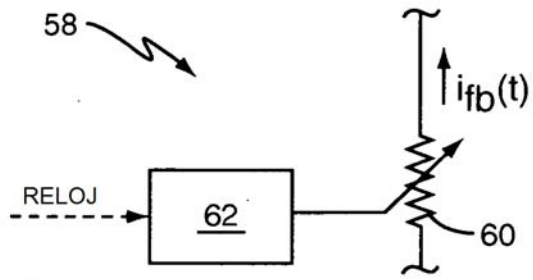


FIG. 8

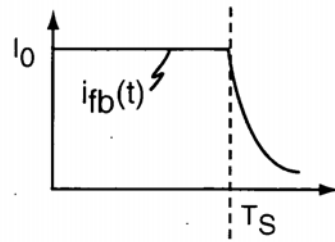


FIG. 9

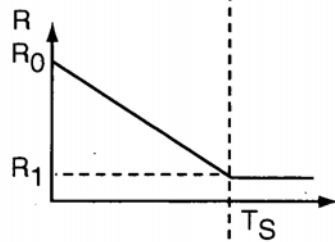


FIG. 10

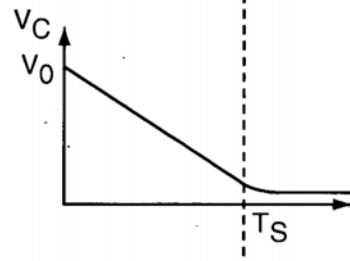


FIG. 11

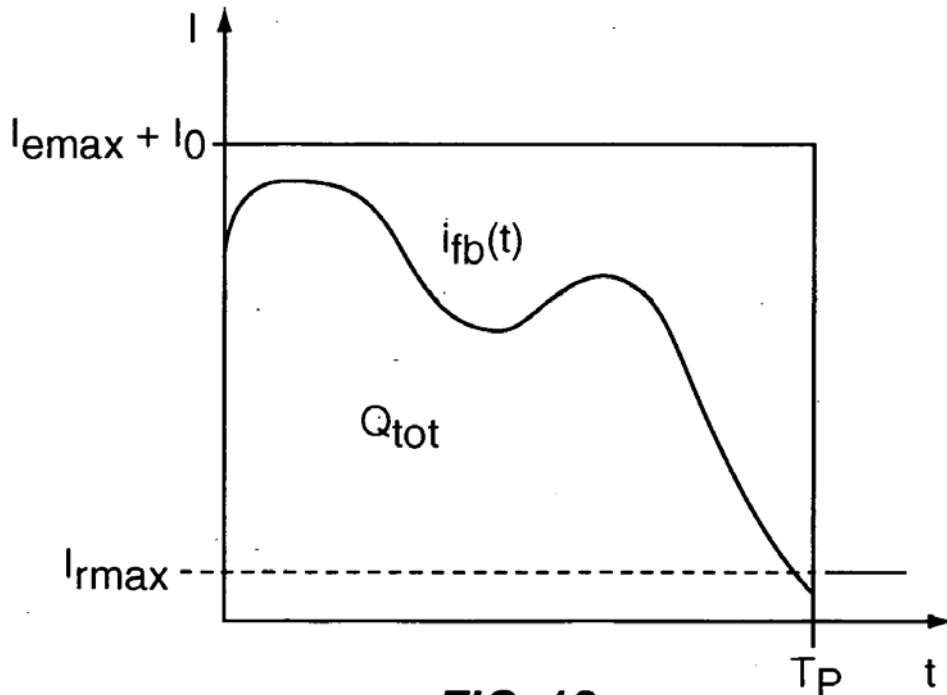


FIG. 12

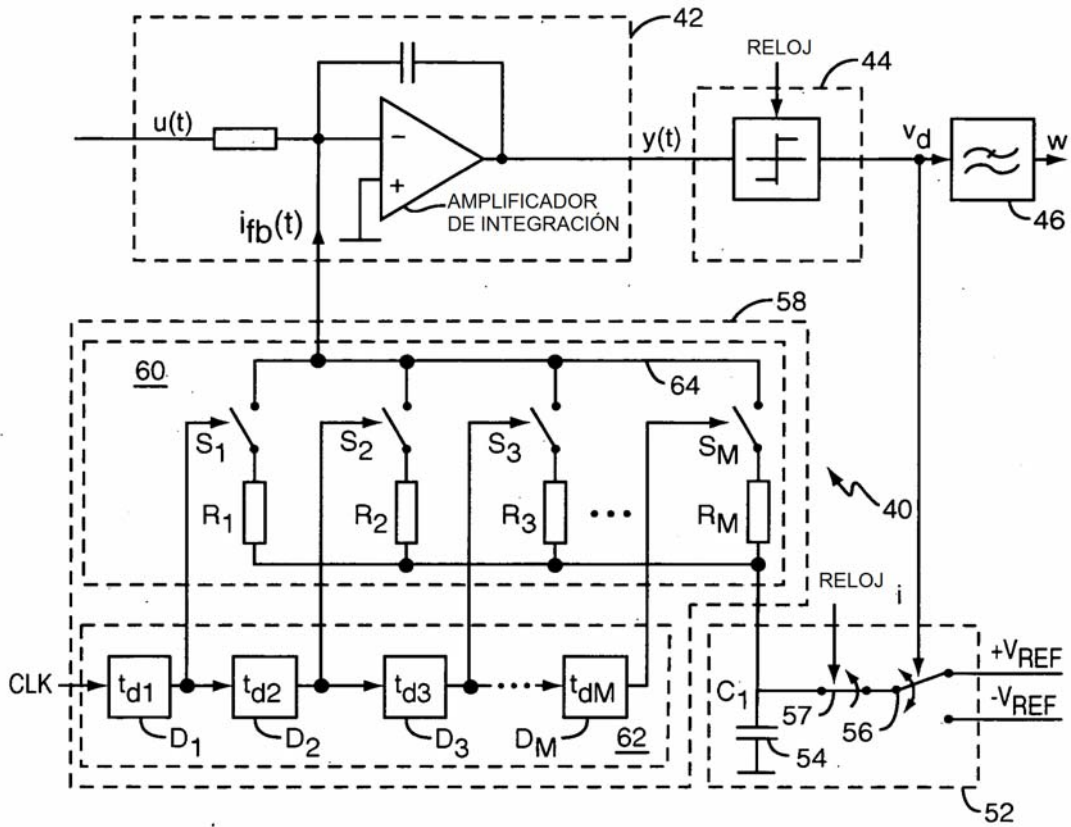


FIG. 13

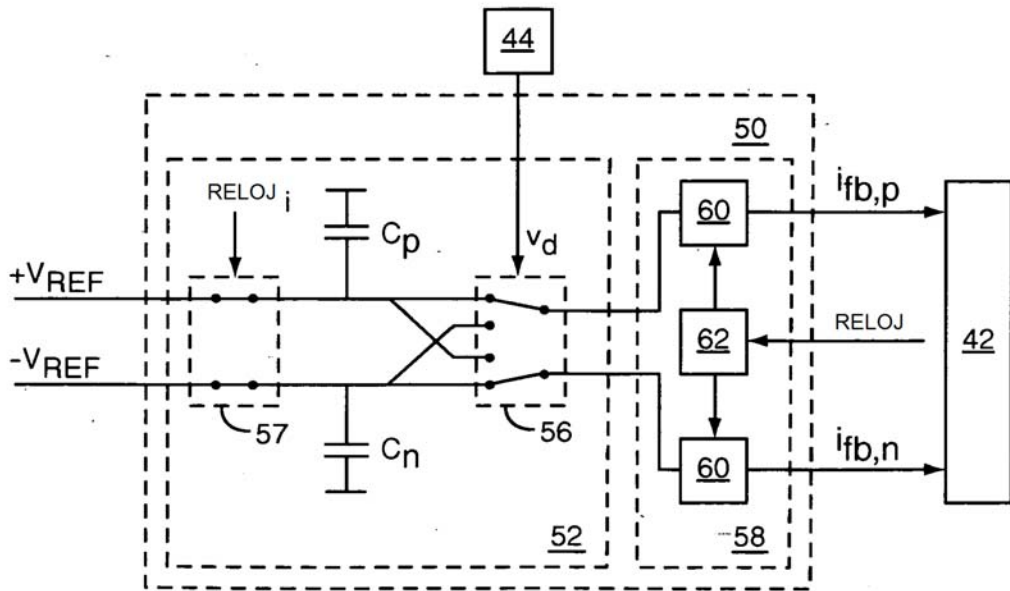


FIG. 14

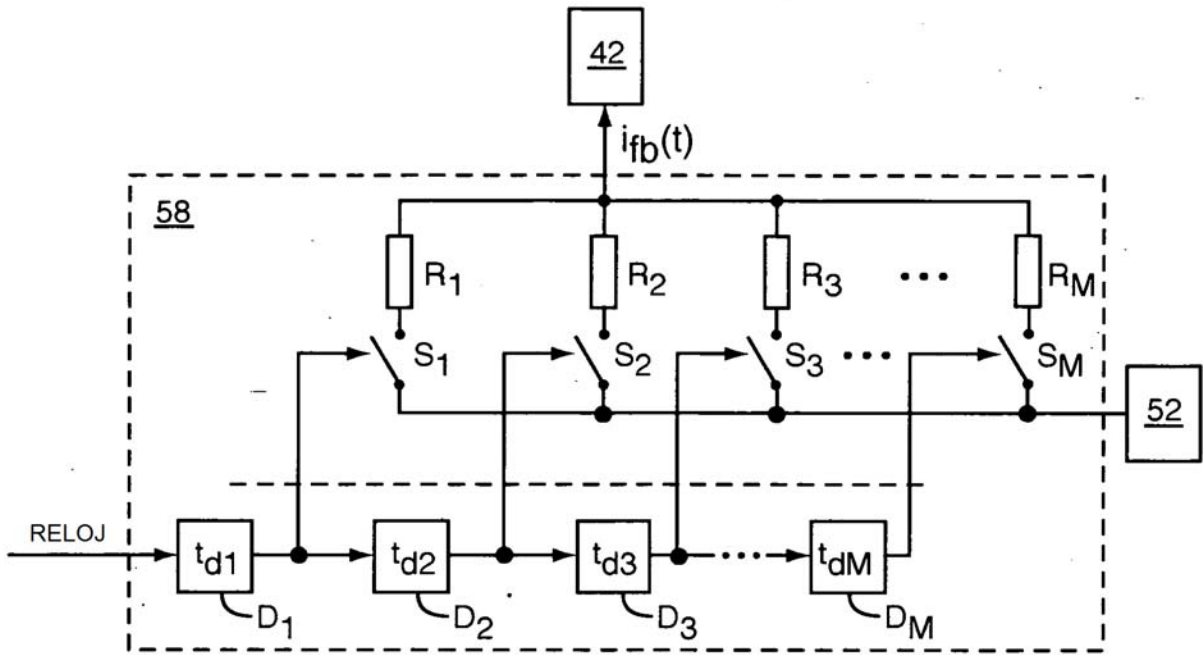


FIG. 15

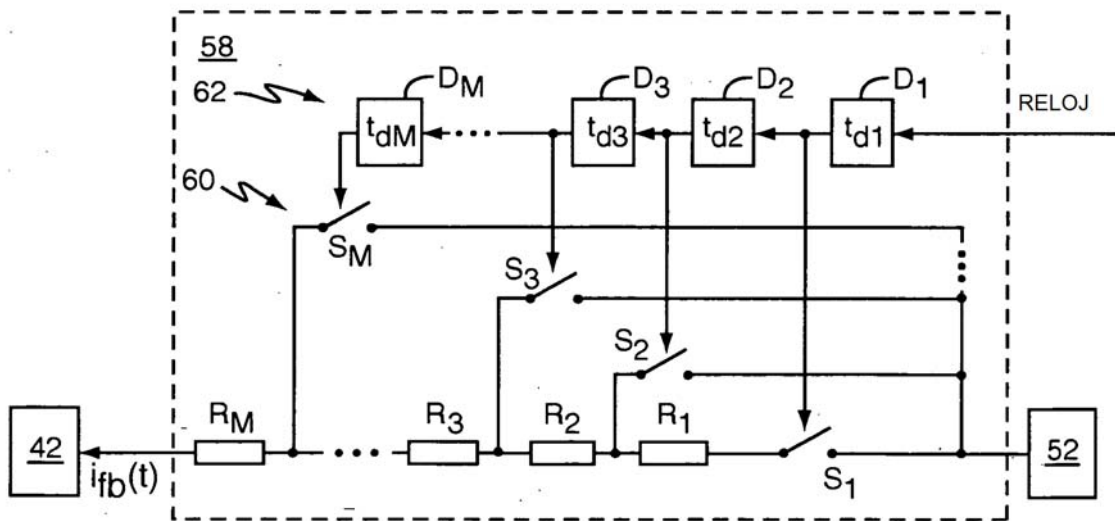
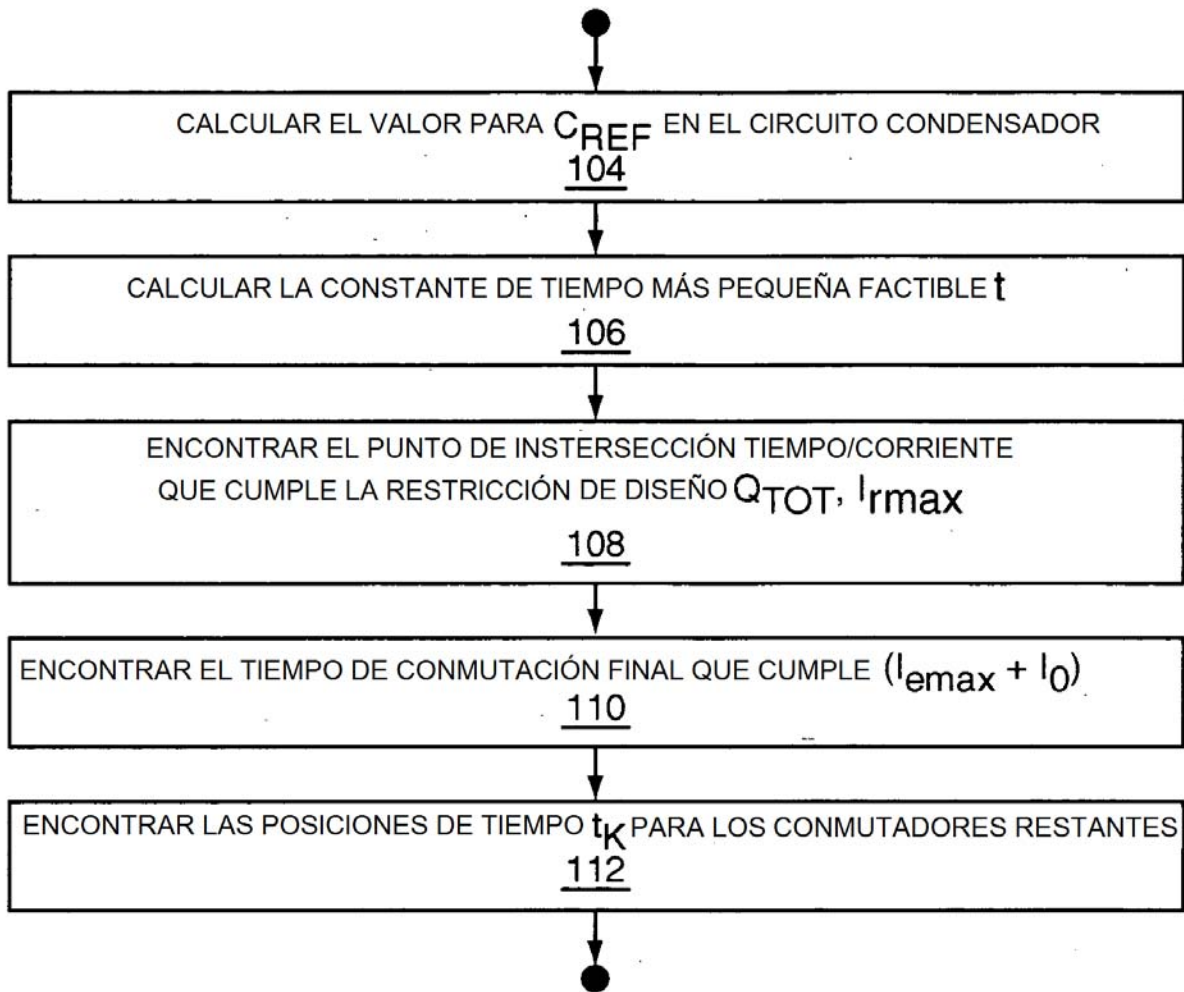


FIG. 16

**FIG. 17**

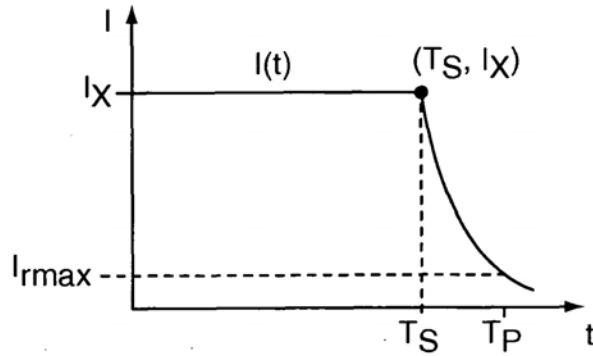


FIG. 18

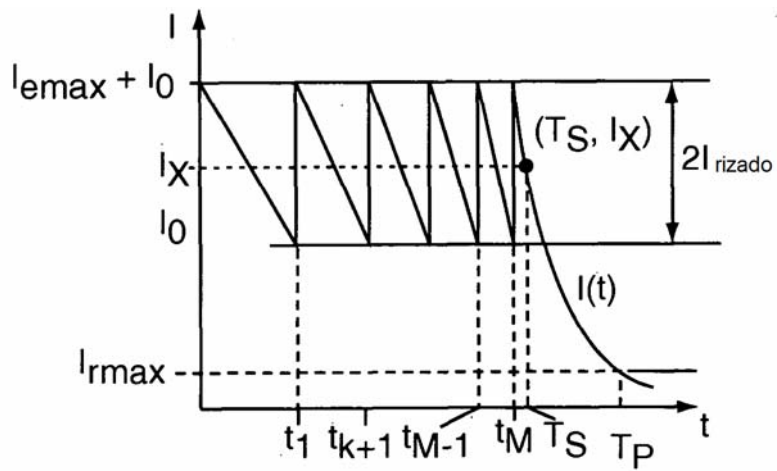


FIG. 19

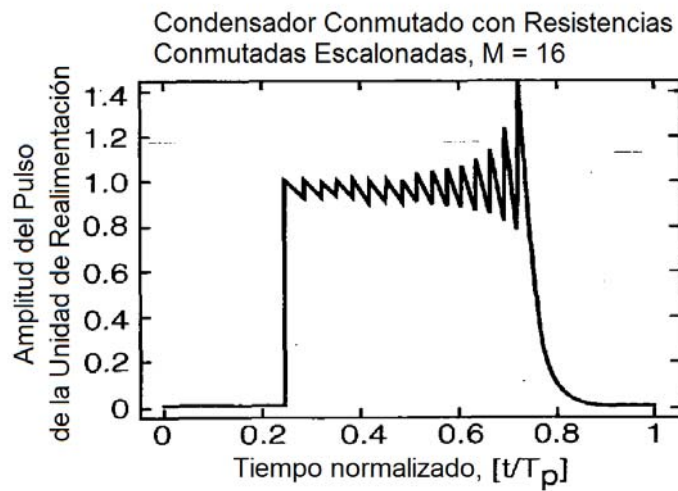


FIG. 20

Condensador Conmutado con Resistencias
Conmutadas Escalonadas, $M = 16$

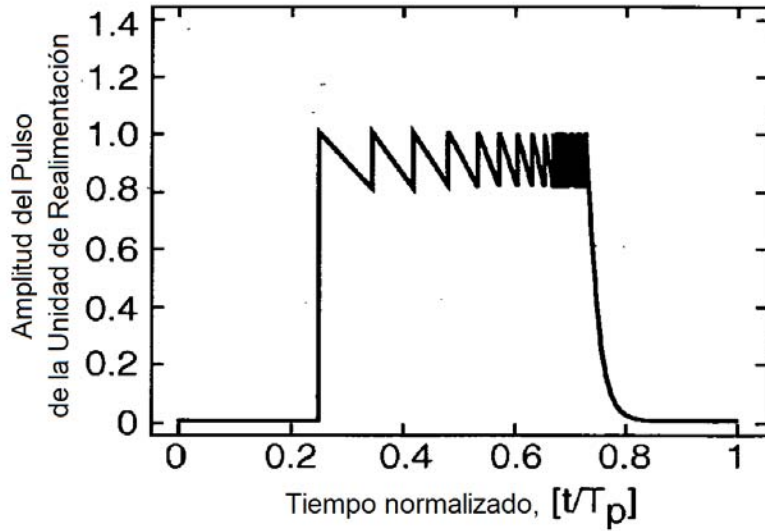


FIG. 21

Condensador Conmutado con Resistencias
Conmutadas Escalonadas, $M = 32$

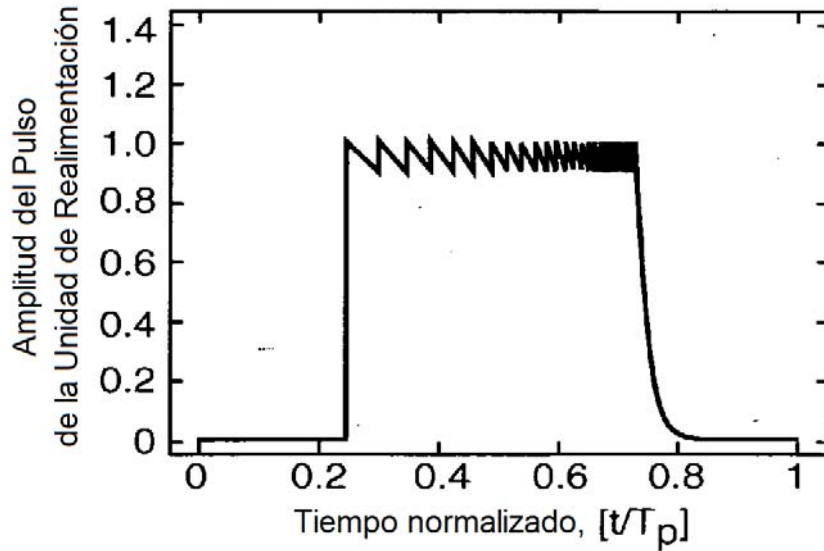


FIG. 22

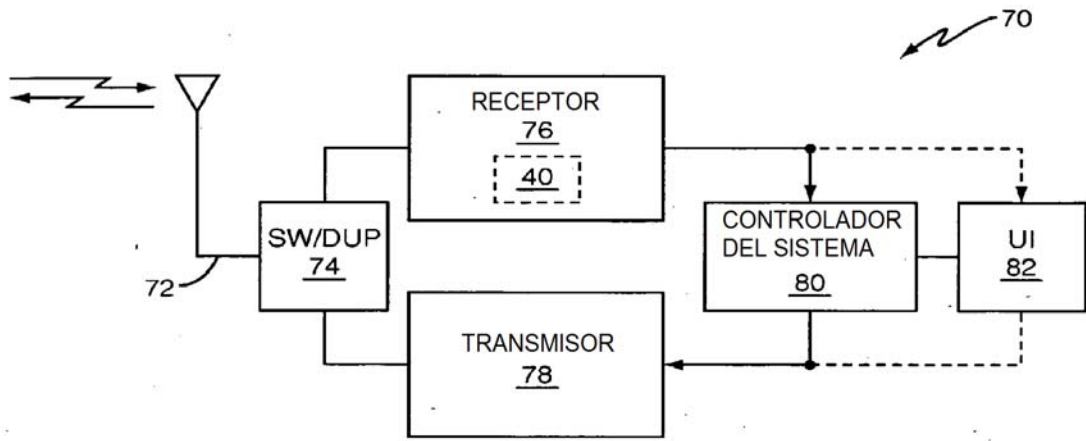


FIG. 23