



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 363 300**

51 Int. Cl.:  
**G06F 11/267** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **08803965 .6**

96 Fecha de presentación : **10.09.2008**

97 Número de publicación de la solicitud: **2203823**

97 Fecha de publicación de la solicitud: **07.07.2010**

54

Título: **Procedimiento para ensayar un bus de direcciones en un módulo lógico.**

30

Prioridad: **15.10.2007 DE 10 2007 049 354**

45

Fecha de publicación de la mención BOPI:  
**29.07.2011**

45

Fecha de la publicación del folleto de la patente:  
**29.07.2011**

73

Titular/es: **ROBERT BOSCH GmbH**  
**Postfach 30 02 20**  
**70442 Stuttgart, DE**

72

Inventor/es: **Schneider, Thomas;**  
**Wirth, Peter y**  
**Pfitzer, Otto**

74

Agente: **Carvajal y Urquijo, Isabel**

ES 2 363 300 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Procedimiento para ensayar un bus de direcciones en un módulo lógico

La invención se refiere a un procedimiento para ensayar un bus de direcciones en un módulo lógico, a un módulo lógico de este tipo, a un programa de ordenador y a un producto de programa de ordenador.

## 5 Estado de la técnica

10 En módulos electrónicos lógicos, como por ejemplo circuitos integrados específicos de la aplicación (ASIC: application specific integrated circuit), se emplean líneas de datos o bien buses para la comunicación entre los componentes individuales. Típicamente, en un ASIC está conectado un microprocesador o también microprocesador con varios elementos, como por ejemplo una memoria y varias unidades de entrada y salida, de manera que está previsto un bus de datos para la transmisión de los datos propiamente dichos. Para la activación de los componentes individuales o también de áreas de la memoria en la memoria está previsto un bus de direcciones, que solamente transmite direcciones de la memoria. Para la generación de las señales de direcciones necesarias está previsto habitualmente un decodificador de direcciones, de manera que con las señales de direcciones se pueden activas o bien reaccionar directamente elementos conectados en el microprocesador.

15 Para la verificación de la capacidad funcional de los elementos individuales del módulo lógico están previstos, entre otras cosas, ensayos del bus de direcciones, en los que se describen áreas de la memoria para verificar la funcionalidad de líneas de comunicaciones. En este caso, se escriben valores en todos los lugares de la memoria y se verifica la presencia de todos los valores escritos. En el caso un área de la memoria de 1 kb de tamaño, se escriben, por lo tanto, 1.024 números y se verifica cada número individualmente. Si falta uno o varios números, la conexión del bus de direcciones es defectuosa.

20 Para la verificación del bus de datos está previsto habitualmente que se escriban varios valores pre-definidos en un registro de datos y que éstos sean leídos de nuevo. Con pena funcionalidad, es posible la escritura y lectura de cada valor, en este caso con una anchura de 16 bits, existen 65.535 valores.

25 Para garantizar la funcionalidad y la integridad del bus de direcciones en un ASIC debe realizarse un ensayo similar. Sin embargo, en este caso hay que tener en cuenta que a través de la escritura de registros en el ASIC se pueden borrar funciones de manera no deseada. Así, por ejemplo, en el caso de un acceso de ensayo, se pueden borrar reacciones no factibles o legalmente no aseguradas.

30 Se conoce a partir del documento US 5436856 un sistema de ordenador de auto-prueba con circuitos que presentan registros de ensayo. El documento publica un procedimiento de ensayo para un circuito entre un microprocesador y circuitos circundantes. En este caso, un circuito de decodificador de direcciones presenta un registro de ensayo adicional.

## Publicación de la invención

35 El procedimiento de acuerdo con la invención sirve para el ensayo de un bus de direcciones en un módulo lógico, en el que en el módulo lógico está previsto al menos un registro de datos, en el que se transmite o bien se escribe una dirección reconocida por el decodificador de direcciones durante un acceso, que es leída para la verificación de la funcionalidad del bus de direcciones.

40 En este caso, se ofrece que la dirección reconocida durante un acceso desde el decodificador de direcciones, que ha sido escrita en el registro de datos, sea leída en un acceso siguiente, típicamente el acceso inmediatamente siguiente. El valor leído posibilita la verificación de si el decodificador de direcciones la reconocido o bien leído la dirección correcta. El bus de datos es ensayado en configuración a través de la descripción de un lugar de la memoria con preferencia no crítico en el módulo lógico con valores estándar.

El procedimiento, en particular la transmisión de las direcciones reconocidas durante el acceso, se puede realizar durante un acceso de lectura o un acceso de escritura. Se ofrece el empleo de procedimientos pre-establecidos en la verificación de bandas de conductores.

45 El módulo lógico de acuerdo con la invención está configurado especialmente para realizar el procedimiento descrito anteriormente y presenta al menos un registro de datos, en el que se pueden transmitir o bien escribir direcciones reconocidas por el decodificador de direcciones, que se pueden leer para la verificación de la funcionalidad del bus de direcciones.

50 Como módulo lógico se contempla, por ejemplo, un ASIC (application specific integrated circuit: circuito integrado específico de la aplicación), como se emplea, por ejemplo, para el control de una parte RADAR integrada en un control activo de la marcha (acc: active cruise control).

El programa de ordenador de acuerdo con la invención comprende medios de codificación de programa de acuerdo

con la invención, para realizar todas las etapas de un procedimiento descrito anteriormente, cuando el programa de ordenador es ejecutado en un ordenador o en una unidad de cálculo correspondiente, en particular en un módulo lógico del tipo anterior.

5 El producto de programa de ordenador de acuerdo con la invención comprende precisamente estos medios de codificación del programa, que están memorizados en un soporte de datos legibles por ordenador. Como soportes de datos se contemplan en este caso soportes de registro internos y externos discrecionales.

10 La invención posibilita al menos en sus configuraciones un ensayo no invasivo de las comunicaciones del bus. En este caso, no invasivo significa que no se escriben datos en el módulo lógico, para ensayar el bus de direcciones. Para realizar el ensayo, se integra dentro del módulo lógico, en un caso dentro del ASIC, un registro de datos (PREVIOUS\_ADDRESS), que contiene la dirección del último acceso de escritura o de lectura realizado. Esto se consigue porque la dirección reconocida por el decodificador de direcciones es transmitida o bien transferida al registro de datos. El contenido del registro de datos se puede leer entonces durante el siguiente acceso de lectura.

A través de la lectura de cada dirección se puede verificar si el decodificador de direcciones ha leído la dirección correcta. Esto se consigue a través de la lectura del registro de datos PREVIOUS\_ADDRESS después de la lectura.

15 De esta manera se "refleja" un valor de ensayo, que se coloca sobre el bus de direcciones, sobre el bus de datos. El bus de datos es ensayado, por ejemplo, a través de la descripción de un lugar no crítico de la memoria en el ASIC con valores estándar. Por consiguiente, se verifica la integridad del bus de direcciones a través de la integridad del bus de datos.

Otras ventajas y configuraciones de la invención se deducen a partir de la descripción y del dibujo adjunto.

20 Se entiende que las características mencionadas anteriormente y las características que se explican todavía a continuación no sólo se pueden utilizar en la combinación indicada en cada caso sino también en otras combinaciones o en posición aislada, sin abandonar el marco de la presente invención.

La invención se representa de forma esquemática en los dibujos con la ayuda de un ejemplo de realización y se describe en detalle a continuación con referencia a los dibujos.

25 Breve descripción de los dibujos

La figura 1 muestra en representación esquemática una forma de realización posible del módulo lógico de acuerdo con la invención.

La figura 2 muestra el módulo lógico de la figura 1 para la ilustración del principio del procedimiento de acuerdo con la invención.

30 La figura 3 muestra en un diagrama de flujo una forma de realización posible del procedimiento de acuerdo con la invención.

Formas de realización de la invención

35 En la figura 1 se muestra en representación esquemática una pletina, que se designa, en general, con el número de referencia 5. Esta pletina 5 lleva un módulo lógico 10 configurado como ASIC, un microprocesador 12, un bus de direcciones 14, un bus de datos 16, un decodificador de direcciones 18 y un registro de datos 20. El módulo lógico 10 sirve para controlar una parte de radar integrada en el ACC (active cruise control: control activo de la marcha).

A través del bus de direcciones 18 el microcontrolador 12 puede reaccionar a determinadas zonas de la memoria, realizando una transmisión de los datos a través del bus de datos 16.

40 El procedimiento descrito se explica a continuación con la ayuda de la figura 2, en la que se representa igualmente la pletina 5 con el módulo lógico 10, el microcontrolador 12, el bus de direcciones 14, el bus de datos 16, el decodificador de direcciones 18 y el registro de datos 20.

45 En el caso de un acceso a través del microcontrolador 12 sobre un componente o bien un área de la memoria dentro del módulo lógico 10, el decodificador de direcciones 18 genera una señal de dirección o bien señales de dirección con la ayuda de la dirección reconocida y transmite esta dirección reconocida adicionalmente al registro de datos 20. Este registro de datos 20 se puede leer a continuación, por ejemplo en el siguiente acceso de lectura, de manera que se puede verificar si el decodificador de direcciones 18 ha reconocido o bien ha leído la dirección correcta. De esta manera, se refleja un valor de ensayo, que se aplica sobre el bus de direcciones 14, sobre el bus de datos 16, como se ilustra con la flecha 22, que describe el recorrido de un valor de ensayo. Con el ensayo se puede verificar el modo de funcionamiento del bus de direcciones 14.

50 El bus de datos 16 es ensayado a través de la descripción de un lugar no crítico de la memoria en el módulo lógico

con valores estándar, de manera que se puede verificar la integridad del bus de direcciones 14 sobre la integridad del bus de datos 16.

En la figura 3 se ilustra en un diagrama de flujo una forma de realización posible del procedimiento de acuerdo con la invención.

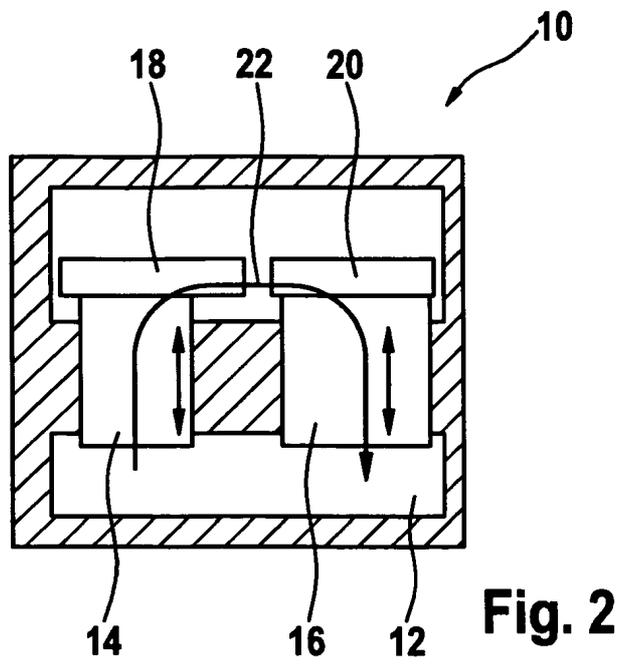
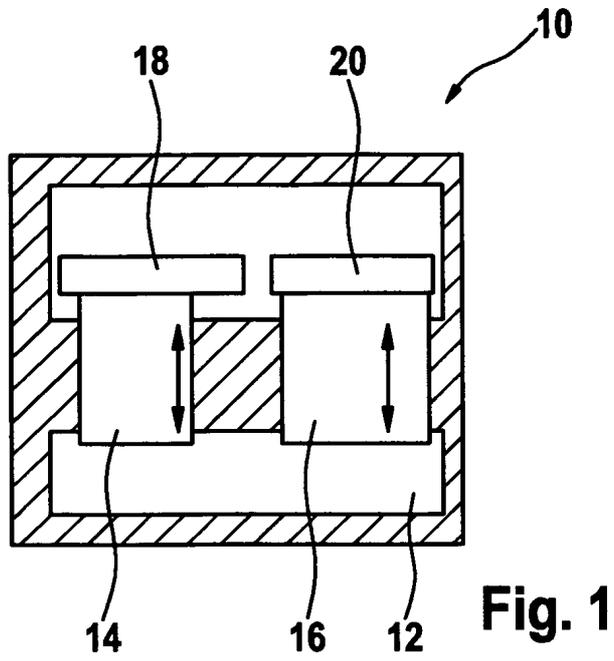
- 5 En una primera etapa 30 se lleva a cabo en un módulo lógico de una unidad de cálculo un acceso a un área de la memoria en una memoria del módulo lógico. En este caso, se realiza un direccionamiento del área de la memoria a controlar a través de un decodificador de direcciones, que escribe de nuevo en una etapa 32 siguiente la dirección reconocida en un registro de datos. En un acceso de lectura siguiente en una etapa 34 se lee este registro de direcciones y se establece típicamente después del ensayo del bus de datos si se da (bloque 36) o no (bloque 38) la integridad del bus de direcciones.
- 10

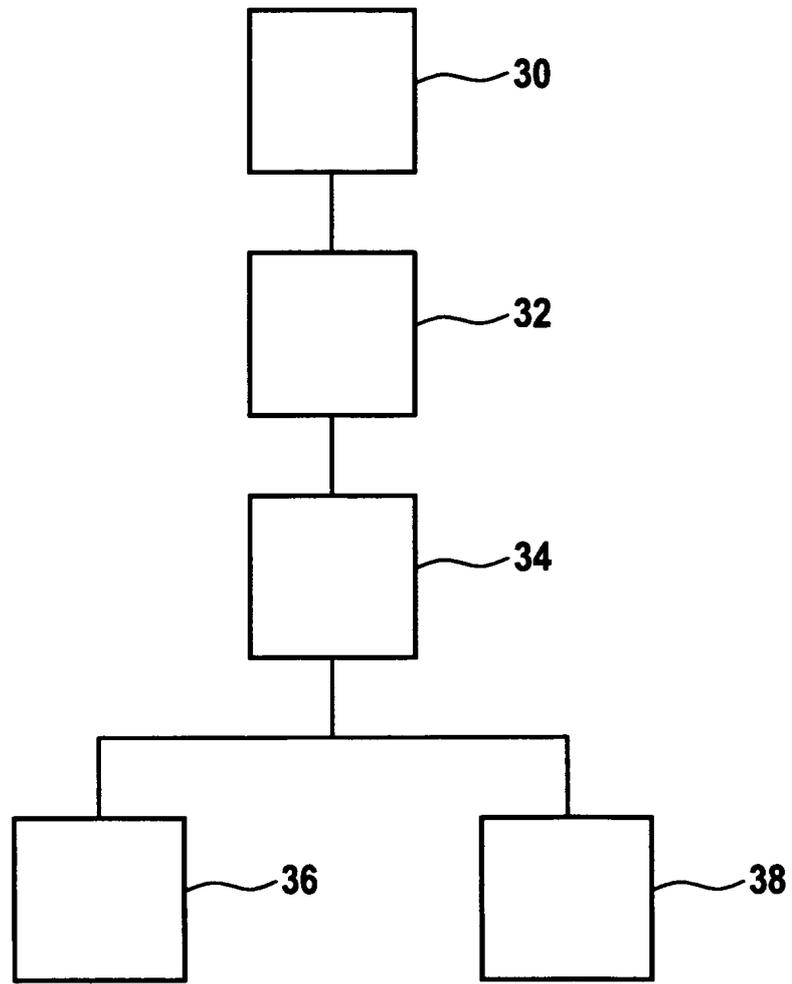
La integridad del bus de direcciones se verifica de esta manera a través de la integridad del bus de datos, reflejando un valor de ensayo, que se aplica sobre el bus de direcciones, sobre el bus de datos.

- 15 El procedimiento descrito se ofrece especialmente en módulos lógicos, como por ejemplo ASIC, en los que los ensayos convencionales del bus de direcciones, en los que se describen áreas de la memoria y se verifica la presencia de los valores escritos, pueden conducir a funciones no deseadas. Esto se evita en el procedimiento de ensayo no invasivo de acuerdo con la invención.

**REIVINDICACIONES**

- 5 1.- Procedimiento para el ensayo de un bus de direcciones (14) en un módulo lógico (10), en el que en el módulo lógico (10) está previsto al menos un registro de datos (20), caracterizado porque en el registro de datos (20) a través de un decodificador de direcciones (18) se escribe al menos una dirección reconocida durante un acceso por el decodificador de direcciones (18), que es leída para la verificación de la funcionalidad del bus de direcciones (14).
- 2.- Procedimiento de acuerdo con la reivindicación 1, en el que el registro de datos (20) es leído en un acceso de lectura siguiente.
- 3.- Procedimiento de acuerdo con la reivindicación 1 ó 2, en el que adicionalmente se ensaya un bus de datos (16) a través de la descripción de un lugar de la memoria en el módulo lógico (10) con valores estándar.
- 10 4.- Procedimiento de acuerdo con una de las reivindicaciones 1 a 3, que se lleva a cabo durante un acceso de lectura.
- 5.- Procedimiento de acuerdo con una de las reivindicaciones 1 a 3, que se lleva a cabo durante un acceso de escritura.
- 15 6.- Procedimiento de acuerdo con una de las reivindicaciones 1 a 5, que se emplea para la verificación de bandas de conductores.
- 20 7.- Módulo lógico, en particular para la realización de un procedimiento de acuerdo con una de las reivindicaciones 1 a 6, en el que está previsto al menos un registro de datos (20), caracterizado porque el módulo lógico presenta medios para escribir en el registro de datos (20) a través de un decodificador de direcciones (18) al menos una dirección reconocida por el decodificador de direcciones (18), así como presenta medios para leer la dirección para la verificación de la funcionalidad del bus de direcciones (14).
- 8.- Módulo lógico de acuerdo con la reivindicación 7, que está configurado como ASIC.
- 25 9.- Programa de ordenador con medios de codificación del programa, para realizar todas las etapas de un procedimiento de acuerdo con una de las reivindicaciones 1 a 6, cuando el programa de ordenador es ejecutado en un ordenador o en una unidad de cálculo correspondiente, en particular en un módulo lógico (10) de acuerdo con la reivindicación 7.
- 10.- Producto de programa de ordenador con medios de codificación del programa, que están memorizados en un soporte de datos legible por ordenador, para realizar todas las etapas de un procedimiento de acuerdo con una de las reivindicaciones 1 a 6, cuando el programa de ordenador es ejecutado en un ordenador o en una unidad de cálculo correspondiente, en particular en un módulo lógico (10) de acuerdo con la reivindicación 7.





**Fig. 3**