



(19)



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 363 942**

(51) Int. Cl.:
H04J 3/26 (2006.01)
H04L 12/56 (2006.01)

(12)

TRADUCCIÓN DE PATENTE EUROPEA

T3

(96) Número de solicitud europea: **08172422 .1**
(96) Fecha de presentación : **19.12.2008**
(97) Número de publicación de la solicitud: **2200200**
(97) Fecha de publicación de la solicitud: **23.06.2010**

(54) Título: **Elemento de red escalable con funcionalidad de Segmentación y Reensamblaje (SAR) para conmutar señales de multiplexación por división de tiempo.**

(45) Fecha de publicación de la mención BOPI:
19.08.2011

(45) Fecha de la publicación del folleto de la patente:
19.08.2011

(73) Titular/es: **ALCATEL LUCENT**
54, rue la Boétie
75008 Paris, FR

(72) Inventor/es: **Beisel, Werner;**
Hermesmeier, Christian y
Pleickhardt, Jörg

(74) Agente: **Elzaburu Márquez, Alberto**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Elemento de red escalable con funcionalidad de Segmentación y Reensamblaje (SAR) para conmutar señales de multiplexación por división de tiempo.

Campo de la Invención

La presente invención se refiere al campo de las telecomunicaciones y más particularmente a un elemento de red y a un método correspondiente para la conmutación de señales de multiplexación por división de tiempo en una red de transporte.

Antecedentes de la Invención

El documento WO 03/013061 describe un sistema de conmutación para servicios en paquetes, en el que los paquetes son segmentados en celdas de cierta longitud y se añade información de dirección a cada celda que es utilizada por una matriz de conmutación para determinar un puerto de salida y que reensambla de manera apropiada el paquete en el lado de salida.

El documento WO 93/05596 describe un control de congestión reactivo en una red de modo de transferencia asíncrona. Una unidad de comunicación de segmentación segmenta los paquetes en una pluralidad de celdas concurrentemente para una pluralidad de canales para su transmisión sobre la red de ATM. Una unidad de comunicación de reensamblaje reensambla celdas recibidas de la red de TDM concurrentemente para la pluralidad de canales. Unidades de tratamiento en tuberías son empleadas para la segmentación y para el reensamblaje.

El documento US 7.286.566 describe una segmentación de multi-servicios y un circuito integrado de reensamblaje para su uso en una tarjeta de línea en un encaminador o conmutador para conmutación de paquetes o celdas, respectivamente.

Aunque los servicios conmutados en paquetes están actualmente en alza, las redes de transporte aun hoy se basan principalmente en tecnología de conmutación de circuitos tal como la SDH (Synchronous Digital Hierarchy), donde señales de transporte de velocidad constante transportan señales de sub-velocidad multiplexadas por división de tiempo. Las señales de carga útil están mapeadas en unidades de multiplexación, las cuales en SDH se denominan contenedores virtuales. Una unidad de multiplexación o múltiplex representa una ruta de extremo-a-extremo a través de la red y se establecen conexiones en la red configurando los elementos de red para conmutar semi-permanentemente la unidad de multiplexación correspondiente, que está presente en la misma posición relativa en todas las tramas de transporte consecutivas a lo largo de la ruta.

Los elementos de red son por ejemplo multiplexadores de adición/borrado y interconexiones digitales. Tales elementos de red contienen puertos de I/O (input/output – entrada/salida) y una matriz de conmutación que contiene los puertos de I/O. La función de conmutación que necesita ser llevada a cabo en el nivel de las unidades de multiplexación para establecer rutas en la red incluye conmutar tanto en el dominio del espacio como del tiempo, es decir, entre diferentes puertos de I/O y entre diferentes posiciones de intervalos de tiempo. Típicamente, las señales de transporte son temporizadas de nuevo y alineadas en el puerto de entrada y la función de conmutación es llevada a cabo en intervalos de tiempo de la señal alineada en sincronismo con un reloj de sistema común de acuerdo con un mapa de interconexión preconfigurado.

El documento US 6.714.537 describe un elemento de conmutación para una red SONET, que contiene una matriz de conmutación estáticamente configurada para conmutar conexiones entre puertos de entrada y de salida de acuerdo con una tabla de conexiones. Con el fin de facilitar una rápida conmutación de una primera configuración a una segunda, el elemento de red tiene dos tablas, en las que la matriz de conmutación permanece configurada de acuerdo con los datos de configuración de conmutación actual almacenados en una primera tabla mientras que los datos de actualización de la configuración de conmutación son proporcionados a la otra tabla.

El documento US 2004/0008718 describe un sistema de conmutación para tráfico de TDM que utiliza una conmutación en paquetes. Una señal de TDM es desmultiplexada en sus circuitos de TDM y los circuitos de TDM son organizados en paquetes y conmutados individualmente mediante la conmutación en paquetes. Los circuitos de TDM bien usan puertos de matriz separados o bien varios circuitos de TDM pueden ser agregados en algunos paquetes de un flujo de paquetes. En el lado de salida, el ID del puerto de fuente disponible en las cabeceras de paquetes se utiliza para determinar el intervalo de tiempo en el cual el circuito de TDM tiene que ser multiplexado de acuerdo con la información de encaminamiento disponible localmente.

Compendio de la Invención

Con la siempre creciente demanda de tráfico en las redes de hoy en día, existe una necesidad de elementos de red que puedan conmutar un gran número de señales de tráfico a la vez. Por otro lado, los elementos de red serán baratos y compactos y tendrán un menor consumo de energía.

Los elementos de red hoy en día se construyen utilizando circuitos integrados especializados para funciones de I/O y conmutación. Aunque la tecnología de semiconductores típicamente permite una mayor integración para cada generación de tecnología, la evolución de un elemento de red a una mayor capacidad e integración requiere un completo rediseño de sus circuitos integrados. Puesto que tales elementos de red son equipos altamente especializados, que se fabrican sólo en cantidades moderadas, tal rediseño contribuye substancialmente a costes de equipo elevados.

Es por lo tanto un objeto de la presente invención proporcionar un elemento de red y un método correspondiente de conmutar señales de multiplexación por división de tiempo en una red de transporte, que permita una elevada capacidad y costes de equipo moderados.

Estos y otros objetos que aparecen a continuación son alcanzados por un elemento de red para conmutar señales de multiplexación por división de tiempo que tiene varios puertos de entrada, varios puertos de salida y una matriz de conmutación que interconecta los puertos de entrada y de salida. La matriz de conmutación es un conmutador basado en celdas que comprende uno o más módulos de conmutación que están adaptados para conmutar celdas de longitud fija basándose en las direcciones contenidas en cabeceras de celda de las celdas. Los puertos de entrada contienen un dispositivo de segmentación para la segmentación de una señal de multiplexación por división de tiempo de entrada en celdas de longitud fija y asignar información de dirección a cada celda. Los puertos de salida contienen un dispositivo de reensamblaje para reensamblar celdas recibidas de la citada matriz de conmutación en una señal de multiplexación por división de tiempo de salida. La información de dirección contiene una dirección de matriz y una dirección de TDM. La matriz de conmutación conmuta las celdas de acuerdo con la dirección de matriz a un puerto de salida correspondiente y el dispositivo de reensamblaje reensambla las celdas de acuerdo con la dirección de TDM.

Breve Descripción de los Dibujos

Realizaciones preferidas de la presente invención se describirán ahora con referencia a los dibujos que se acompañan en los cuales

la figura 1 muestra la arquitectura de un elemento de red que utiliza una matriz de conmutación basada en celdas;
la figura 2 muestra la estructura de señal interna en el elemento de red de la figura 1;
la figura 3 muestra la estructura de celdas en el elemento de red de la figura 1;
la figura 4 muestra la estructura de celdas tal como la transmitida sobre una interfaz paralela ancha de 4 líneas;
la figura 5 muestra un diagrama de bloques de una tarjeta de línea utilizada en la red de la figura 1;
la figura 6 muestra una variante de la estructura de celdas de la figura 3;
la figura 7 muestra la segmentación de una multitrama STS-1 en celdas que tienen la estructura de celdas mostrada en la figura 6; y
la figura 8 muestra con más detalle el controlador del elemento de red de la figura 1 y su funcionamiento.

Descripción Detallada de la Invención

Una realización de un elemento de red se muestra en la figura 1. Contiene varios puertos de entrada y puertos de salida. En aras de la simplicidad, sólo se muestra un puerto de entrada I y sólo se muestra un puerto de salida O. Los puertos de entrada y los puertos de salida están dispuestos en las placas de línea TIO. Las tarjetas de línea contienen funciones de recepción RX y de transmisión TX. En la figura, sólo se muestran una función receptora RX-TIO y una función transmisora TX-TIO. Debería no obstante resultar evidente, que un elemento de red en una aplicación real tiene varias tarjetas de línea, tales como por ejemplo 32 tarjetas de línea en una realización preferida. Además, cada tarjeta de línea puede alojar más de una entrada y puertos de salida correspondientes. En una realización preferida, cada tarjeta de línea tiene 8 puertos de entrada para señales de TDM de 10 Gb/s y 8 puertos de salida correspondientes. En total esto permitiría una capacidad de sistema de 2,5 Tb/s.

Estas tarjetas de línea están conectadas a una matriz de conmutación SF, que está construida a partir de un número de módulos de conmutación SE1-SEn. Estos módulos SE1-SEn son elementos de conmutación que se encaminan por sí mismos, que soportan conmutación de celdas de tamaño fijo. Tales módulos de conmutación están comercialmente disponibles en el mercado y son utilizados típicamente para la conmutación del tráfico de Ethernet o de otro tipo de tráfico conmutado en paquetes. Tales módulos de conmutación son componentes estándar fabricados en cantidades relativamente grandes. La reutilización de estos dispositivos para aplicaciones de TDM permite construir elementos de red grandes utilizando la tecnología más nueva con el nivel de integración más elevado a un precio moderado.

En la realización preferida que tiene una capacidad de sistema de 2,5 Tb/s, la matriz de conmutación SF contiene 20 módulos de conmutación dispuestos en 5 tarjetas de matriz más 12 módulos de conmutación adicionales en 3 tarjetas de matriz con el propósito de protección del equipo. Cada módulo de conmutación tiene una capacidad de

conmutación de 64x64 líneas a 6,25 Gb/s. Debe entenderse que esta elección y dimensionamiento es sólo un ejemplo y podría ser escalada a medida que se necesita y a medida que los componentes están disponibles.

Las tarjetas de línea TIO contienen un organizador en tramas de TDM 10, un módulo para una función de segmentation and reassembly (SAR – Segmentación y Reensamblaje) 11, y un matriz adapter (MA – Adaptador de Matriz) 12. En la dirección de recepción (lado en entrada), el organizador en tramas de TDM 10 termina la cabecera de transporte de las señales de transporte recibidas. Adicionalmente, el organizador en tramas también lleva a cabo una nueva función de temporización y alineamiento para las señales recibidas. El módulo de SAR 11 extrae las unidades de multiplexación de intervalos de tiempo en las señales de TDM recibidas y convierte a éstos en un formato de celda. El módulo de SAR también se inserta en cada cabecera de celda que contiene información de dirección como se explicará a continuación. El adaptador de matriz 12 distribuye las celdas a los elementos de conmutación SE1-SEn de la matriz de conmutación SF y contiene un gestor de tráfico para planificar y conformar el tráfico. Tales adaptadores de matriz están también disponibles comercialmente en el mercado para su uso en aplicaciones de Ethernet o de conmutación de paquetes.

Además, el elemento de red contiene un controlador de subbastidor de TDM TSC, por medio del cual las tarjetas de línea pueden ser configuradas como se explicará a continuación con más detalle. El controlador de sub-bastidor recibe también información de cabecera terminada en el organizador en tramas de TDM.

El lado transmisor (lado de salida) de una tarjeta de línea TIO-TX se muestra en el lado derecho de la figura 1. En la dirección de transmisión, un adaptador de matriz 13 recibe celdas de la matriz de conmutación SM, las ordena y las introduce en un módulo de SAR 14. El módulo de SAR extrae los datos útiles de las celdas recibidas y los reensambla en unidades de multiplexación. Un organizador en tramas de TDM 15 mapea las unidades de multiplexación en tramas de TDM creadas nuevamente para su transmisión hacia el exterior.

Como se ha explicado, el flujo de señal de la figura 1 es de izquierda a derecha. Una señal de línea de TDM estructurada en tramas de la misma longitud es recibida en el puerto de entrada 1. En la realización, la señal de línea puede ser una señal de STM64 que tiene una capacidad de 10 Gbit/s. Una trama de STM64 contiene 64 unidades de multiplexación de nivel superior VC-4. Alternativamente, puede utilizarse una señal de línea multiplexada de 4 x STM16 ó 16 x STM4 o combinaciones de las mismas. Además, el equivalente SONET STM-192 puede ser igualmente utilizado como señal de línea. En cualquier caso, la granularidad de la conmutación es elegida como STS-1, que corresponde a 1/3 STM-1. Ésta es, no obstante, sólo una entidad de conmutación interna mientras que el tratamiento de trama se da antes de la conmutación, de manera que el STM1, por ejemplo, puede ser conmutado como 3 STS-1 independientes. El tratamiento de la trama actual es realizado por el organizador en tramas de TDM 10, que termina la cabecera de sección de las tramas STM64 y procesa sus punteros AU.

La estructura de señal se muestra esquemáticamente en la figura 2. La salida del organizador en tramas de TDM 10 es una corriente de bits continua, estructurada aún en tramas pero sincronizada con un reloj local y con la cabecera de trama (cabecera de sección) extraída. Las unidades de multiplexación se encontrarán en intervalos de tiempo fijos dentro de cada trama. El módulo de SAR 11 extrae las unidades de multiplexación de los intervalos de tiempo y las convierte en un formato de celda segmentando la corriente de bits en celdas de carga útil 60B. La salida del módulo de SAR 11 tiene un formato de celda con carga útil 60B, cabecera de dirección 4B y una cabecera de celda 8B adicional que contiene bytes de organización en tramas y de CRC. En la realización preferida, se utiliza una interfaz XAUI modificada (XAUI corresponde a “10 Gigabit attachment unit interface” – “Interfaz de Unidad de Conexión de 10 Gigabit”), que es un formato de inter-procesador o de panel trasero popular para aplicaciones de Ethernet de 10G. La interfaz XAUI entre el SAR 11 y el MA 12 es una interfaz paralela con una anchura de 4 líneas. La distribución de los bytes de celda en las 4 líneas paralelas se muestra en la figura 4. La cabecera de celda XAUI de 8 bytes está situada allí al final de la celda y contiene bytes de CRC (cyclic redundancy check – Comprobación de Redundancia Cíclica) y bytes de organización en tramas (IKI, IT), que determinan el final de la celda. Debe entenderse que XAUI o modificaciones de la misma son sólo una posibilidad para la interfaz de inter-procesador y que pueden igualmente utilizarse otros formatos de interfaz basados en celdas.

La interfaz entre el MA 12, 13 y la matriz de conmutación SF es una interfaz propietaria con una cabecera de celda de 9 byte, que adicionalmente contiene una marca de tiempo que se encarga del orden de las celdas en el MA 13 del lado transmisor.

El campo de dirección 4B, que se muestra con más detalle en la figura 3, contiene una cabecera de matriz 2B y una cabecera de TDM 2B. La cabecera de matriz es vista por la matriz de conmutación. Contiene una dirección que es indicativa del puerto de salida al cual se dirige la celda. Puesto que cada tarjeta de línea transporta 8 puertos de salida, la cabecera de matriz contiene 11 bits que identifican el MA de destino y 4 bits que identifican el puerto de salida servido por ese MA de destino. El primer bit se utiliza para distinguir conexiones de unicast de conexiones de multicast, como se explicará con más detalle a continuación. En el caso de conexiones de unicast, este bit está puesto a ‘0’.

La cabecera de TDM es vista por el módulo de SAR del lado transmisor y contiene un identificador de salida de 16 bit. Los 8 bits menos significativos (P1) indican el intervalo de tiempo al cual pertenece la celda. Puesto que el elemento de red en la realización conmuta en granularidad de STS-1 (Synchronous Transport Signal level 1 – Señal de Transporte Síncrono de nivel 1), hay 192 intervalos de tiempo en una señal de salida de 10G (STM64 ó STS-192), por ello, 8 bits son suficientes para dirigir éstas ($2^8=256$). Los 8 bits menos significativos (P0) identifican la señal de 10G, a la cual pertenece el intervalo de tiempo en el cual necesita ser mapeada la carga útil de la celda. Esto puede parecer redundante a la vista de la información de la cabecera de matriz H1, H2, pero resulta ser útil cuando están implicadas conexiones de multicast, por ejemplo para conmutación de protección, para identificar la señal en el sistema sin ambigüedad.

Una tarjeta de línea 50 para el elemento de red de la figura 1 se muestra en la figura 5. Contiene 8 puertos de entrada I/O IO1-IO8 para conectar enlaces de fibra óptica. Cada puerto I/O IO1-IO8 está equipado con un convertidor E/O (eléctrico/óptico) conectado con un Serializer/Deserializer (Serdes – Seriador/Des-seriador), que convierte datos entre interfaces en serie y en paralelo en cada dirección. La tarjeta de línea 50 contiene también dos circuitos organizadores en tramas 51 a, 51 b, cada circuito organizador en tramas 51 a, 51 b sirve a cuatro puertos I/O y tiene una capacidad de 4 x 10G. Cada uno de los dos circuitos organizadores en tramas 51 a, 51 b está conectado a un módulo de SAR 52a, 52b, que también tiene una capacidad de 40G, y cada uno de los dos módulos de SAR 52a, 52b se conecta con un MA 53a, 53b. Los dos MAs 53a, 53b están cada uno conectados por medio de una interfaz ancha de 4 líneas a la matriz de conmutación 58. Debe observarse que todas las funciones de la tarjeta de línea son bidireccionales y contienen funcionalidad de recepción y transmisión. Interconexiones en la tarjeta de línea 50 así como conexiones de fibra externas se muestran esquemáticamente y son preferiblemente implementadas como conexiones físicas distintas para las dos direcciones de transmisión.

La tarjeta de línea 50 contiene también un controlador 55 de tarjetas, que está conectado a los dos circuitos organizadores en tramas 51 a, 51 b y a los módulos de TDM 52a, 52b por medio de un circuito concentrador 54. El concentrador 54 sirve como puente e interconecta diferentes tipos de interfaces de procesador. El controlador 55 de tarjetas tiene una interfaz de LAN (GE LAN) al controlador TSC (véase la figura 1). El concentrador 54 proporciona interfaces externas adicionales tales como una interfaz de serie SRIO y una interfaz de TDM multiplexada. Como interfaz de control entre los circuitos integrados en la tarjeta de línea y el concentrador 54 sirve a una interfaz PCI compacta (cPCI).

Los circuitos organizadores en tramas 51 a, 51 b terminan la cabecera de sección de las señales de línea receptoras y transmiten los bytes de control por medio del concentrador 54 al controlador de tarjetas 55. El controlador de tarjetas 55 gestiona y configura la tarjeta de línea. No obstante, también es posible que el controlador TSC del sub-bastidor gestione y configure el organizador en tramas y los módulos de SAR directamente por medio de la interfaz externa del concentrador 54 y pueda por ello tomar las funciones del controlador 55 de tarjetas, de manera que una tarjeta de línea puede también ser implementada sin un controlador de tarjetas separado.

El SAR segmenta los intervalos de tiempo de la señal de TDM recibida en celdas y asigna las direcciones de matriz y de TDM. Éstas han sido configuradas por el controlador 55 de tarjetas o por el TSC directamente. El MA es un componente estándar para dispositivos de Ethernet y proporciona en cooperación con la matriz de conmutación 58 basada en celdas una función de interconexión al MA del lado transmisor, el cual distribuye las celdas recibidas de acuerdo con los 4 bits de interfaz de destino al puerto de salida apropiado. Los MAs en la dirección de recepción y de transmisión y la matriz de conmutación SF pueden por ello verse como una matriz de conmutación de tres etapas. Debe entenderse que dependiendo de la capacidad del sistema tal matriz de conmutación puede también tener más de tres etapas.

La figura 6 muestra una mejora con respecto al formato de la cabecera de celda. Contiene un byte de cabecera P2 adicional. Además, el byte P3 también puede ser utilizado como byte de carga útil o como extensión de la cabecera. El byte P2 tiene 4 bits para sincronización de la salida y 4 bits que indican el número de celdas en una multitrama. La segmentación se lleva a cabo en multitramas de 500 μ s, es decir 4 tramas STS-1 consecutivas.

Como puede verse en la figura 5, el formato de celda del transporte con STS-1 proporciona 5 bytes nominales por cabecera de celda y 59 bytes para carga útil, pero hay pocas celdas en un transporte con celdas STS-1 con una cabecera extendida de 6 bytes y 58 bytes de carga útil. Tramas STS-1 completas incluyendo las columnas de cabecera 1, 2 y 3 son transportadas mediante las secciones de carga útil de un transporte con celdas STS-1. Un transporte con celdas STS-1 tiene una estructura de multitramas, donde la primera celda dentro de la multitrama siempre transporta el inicio de una trama STS1 en una posición de celda fija (P4). Esta celda está indicada por un marcador dentro de la sección de sincronización de salida de la cabecera de celda. La duración del intervalo de acumulación de una multitrama en el transporte con celdas STS-1 es 500 μ s. Durante el intervalo de tiempo 4 x 810 bytes = 3240 bytes serán transportados como se muestra en la figura 7.

Además del mecanismo de dirección explicado anteriormente, que permite conmutar sub-señales de TDM en el dominio de tiempo y de espacio de un puerto de entrada a un puerto de salida, el elemento de red de la realización

proporciona adicionalmente las capacidades de enviar una señal de entrada a uno o más puertos de salida. Tales conexiones se denominan conexiones de multicast. Para ello, la matriz de conmutación H1, H2 es reemplazada por una dirección de multicast de 15 bit y los módulos SE1 a SEn y MAs de matriz son configurados para conmutar celdas que transportan una cierta dirección de multicast a los puertos de salidas apropiados. Tales conexiones de multicast se usan en primer lugar para la conmutación de protección, donde una señal de entrada necesita ser enviada sobre enlaces redundantes. En el caso de una conexión de multicast, el primer bit de la cabecera de matriz es puesto a '1'.

Utilizando el ejemplo de conmutación de multicast, el funcionamiento y diseño del controlador mostrado en la figura 8 se explicará con más detalle. El controlador TSC contiene un módulo concentrador 81, un gestor de protección 82 y un controlador de comunicación 86 para la comunicación con un controlador de plano de datos o un sistema de gestión de red. Estos módulos están preferiblemente implementados como FPGAs (field gate programmable arrays – Matrices Programables de Puerta de Campo). El gestor de protección 82 contiene un bloque de control de protección 83, un bloque de mapa de capacidad de conexión 84 y un gestor de matriz 85, que lleva a cabo la configuración y la gestión real de las funciones de conmutación en el elemento de red.

En la tarjeta de línea del lado receptor, el organizador en tramas 10 termina la cabecera de sección y extrae bytes de control de la misma. El organizador en tramas detecta las alarmas de línea y de sección así como la información de alarma y status por contenedor virtual (VC), extrae bytes de automatic protection switching (APS – Conmutación con Protección Automática) K1 y K2, y determina primitivas para performance monitoring (PM – Monitorización de Funcionamiento). Estas informaciones son enviadas por medio de la interfaz de TDM del concentrador 54 al controlador TSC y agregadas de todas las tarjetas de línea por el módulo concentrador 81. El bloque de control de protección 83 evalúa estos datos y determina cuándo en el caso de un fallo o degradación de señal, la conmutación de protección necesita ser llevada a cabo y configura el mapa de capacidad de conexión del bloque 84 de manera correspondiente. La conexión/desconexión solicita el establecimiento de nuevas conexiones o desconecta una conexión existente cuando se recibe en el controlador de conmutación 86, que configura el mapa de conexión de bloque 84 de manera correspondiente. El mapa de capacidad de conexión 84 es implementado por el gestor de matriz 85 de la siguiente manera: Para cualquier tipo de conexiones (unicast y multicast). El gestor de matriz configura el módulo de SAR del lado receptor 11 con marcas de conexión por STS-1, es decir qué direcciones se utilizarán por celda para cada STS-1 particular.

Puesto que la matriz de conmutación se encamina por sí misma y mantiene el orden de la ruta, sólo se necesita configurar conexiones de multicast por medio del gestor de matriz. Esto se logra configurando los elementos de conmutación de acuerdo con ello de manera que éstas saben por dirección de multicast a qué puertos necesitan dirigirse las respectivas celdas. Finalmente, el gestor de matriz configura el módulo de SAR del lado de transmisión para asignar memorias temporales de multicast así como intervalos de tiempo de STS-1. Puesto que una celda con una sola dirección de TDM es enviada a más de un puerto de salida y no necesariamente termina en el mismo intervalo de tiempo en estos puertos, es necesario configurar los intervalos de tiempo en las tarjetas de línea, directamente. Además, las memorias temporales permiten también un multicast de una sola celda a más de una salidas servidas por el mismo módulo de SAR.

De manera correspondiente, la capacidad de conexión es proporcionada estableciendo las direcciones de celda en el lado de entrada. La cabecera de matriz H1, H2 se dirige al puerto de MA de destino y la cabecera de TDM P0, P1 se dirige al intervalo de tiempo STS-1. La capacidad de conexión de la matriz es evaluada por el TDM Shelf Controller TSC – Controlador de Sub-bastidor de TDM y descarga en la función de Segmentation and Reassembly (SAR – Segmentación y Reensamblaje) de las tarjetas de línea. Las cabeceras de destino para toda la matriz son calculadas teniendo en cuenta la ruta (SNCP) y las funciones de conmutación de línea (MSP) a una velocidad 200 veces por segundo (ciclo de 5 ms). Cada 5 ms toda la capacidad de conexión es descargada en tarjetas de línea y dispositivos de matriz. Como se ha mencionado, los dispositivos de matriz necesitan ser configurados sólo para capacidad de conexión de multicast.

Además de las tarjetas de línea de TDM, el elemento de red puede adicionalmente ser equipado con tarjetas de línea en paquetes, proporcionando así una conmutación de multi-servicio real.

Tal elemento de red de multi-servicio permite conmutar un paquete así como servicios de TDM síncronos que utilizan una sola matriz de conmutación de "tipo-agnóstico". Aunque tradicionalmente, se utilizaban redes completamente distintas para estos dos tipos de tráfico, la implementación en un único nodo permite tener todos los tipos de servicios en una sola arquitectura de red. Esto ahorra considerables costes comparados con los elementos de red híbridos, que tienen ambos, una matriz de TDM para tráfico de TDM y una matriz de celda para tráfico en paquetes.

Debe resultar claro que basándose en los principios anteriores, pueden considerarse varias modificaciones a la realización específica.

REIVINDICACIONES

- 5 1. Un elemento de red para señales de multiplexación o múltiplex por división de tiempo de conmutación que comprende un número de puertos de entrada (I; IO1-IO8), un número de puertos de salida (O; IO1-IO8) y una matriz de conmutación (SF; 58) que interconecta los citados puertos de entrada (I, IO1-IO8) y los citados puertos de salida (O; IO1-IO8);
 - 10 - en el que la citada matriz de conmutación (SF; 58) es un conmutador basado en celdas que comprende uno o más módulos de conmutación (SE1-SEn) adaptados para conmutar celdas de longitud fija sobre la base de las direcciones (H1, H2, P0, P1) contenidas en cabeceras de celda de las citadas celdas,
 - los citados puertos de salida (O) comprenden un dispositivo de reensamblaje (14; 52a, 52b) para reensamblar celdas recibidas de la citada matriz de conmutación (SF; 58) en una señal de multiplexación por división de tiempo de salida;
 - 15 **caracterizado porque**
 - los citados puertos de entrada (I) comprenden un dispositivo de segmentación (11; 52a, 52b) para segmentar intervalos de tiempo de una señal de multiplexación por división de tiempo de entrada en celdas de longitud fija e insertando en cada celda una cabecera de celda que contiene información de dirección; en el que la citada información de dirección contiene una dirección de matriz (H1, H2) y una dirección de TDM (P0, P1) que se dirige hacia un intervalo de tiempo de la citada señal de multiplexación por división de tiempo de salida;
 - 20 - la citada matriz de conmutación (SF; 58) conmuta las citadas celdas de acuerdo con la citada dirección de matriz (H1, H2) a un puerto de salida (O; IO1-IO8) correspondiente y
 - el citado dispositivo de reensamblaje (14; 52a, 52b) reensambla las citadas celdas de acuerdo con la citada dirección de TDM (P0, P1).
- 25 2. Un elemento de red de acuerdo con la reivindicación 1, en el que la matriz de conmutación (SF; 58) se encamina por sí misma.
- 30 3. Un elemento de red de acuerdo con la reivindicación 1, en el que la citada matriz de conmutación (SF; 58) contiene un número de elementos de conmutación (SE1-SEn) idénticos y en el que el citado elemento de red comprende también al menos un adaptador de matriz (12; 53a, 53b) que distribuye las celdas a los elementos de conmutación (SE1, SEn).
- 35 4. Un elemento de red de acuerdo con la reivindicación 3, en el que el citado adaptador de matriz (13; 53a, 53b) recibe también celdas de la citada matriz de conmutación (SF; 58), reordena estas celdas de acuerdo con información de cabeceras de estas celdas y envía las celdas reordenadas al dispositivo de reensamblaje (14) del correspondiente puerto de salida.
- 40 5. Un elemento de red de acuerdo con la reivindicación 3, en el que uno o más puertos de entrada y uno o más puertos de salida están dispuestos en una tarjeta de línea (50), que contiene también un módulo de segmentación y reensamblaje (52a, 52b) que comprende el dispositivo de segmentación (11) y el dispositivo de reensamblaje (14) correspondiente a los citados uno o más puertos de entrada y de salida (IO1-IO8) y el adaptador de matriz (53a, 53b), y en el que el citado elemento de red comprende una pluralidad de tales tarjetas de línea.
- 45 6. Un elemento de red de acuerdo con la reivindicación 1, que comprende también un controlador (TSC), que está conectado al citado dispositivo de segmentación (11; 52a, 52b) y adaptado para configurar el citado dispositivo de segmentación (11; 52a, 52b) que dirige información para entrar en cada celda.
- 50 7. Un elemento de red de acuerdo con la reivindicación 1 que está también adaptado para establecer conexiones de multicast para proporcionar en el caso de una conexión de multicast una dirección de multicast en las cabeceras de celda en lugar de la citada dirección de matriz y en el que la citada matriz de conmutación está configurada para distribuir celdas a los puertos de salida apropiados basándose en la citada dirección de multicast.
- 55 8. Un elemento de red de acuerdo con la reivindicación 1, que comprende también una o más tarjetas de línea en paquetes para recibir señales de tráfico en paquetes y convertir las citadas señales de tráfico en paquetes en celdas de longitudes fijas.
- 60 9. Un método de conmutar señales de multiplexación por división de tiempo que comprende las etapas de:
 - conmutar celdas mediante una matriz de conmutación (SF; 58) basada en celdas de un puerto de entrada a puertos de salida (O; IO1-IO8) correspondientes de un elemento de red utilizando información de dirección contenida en cada celda; y
 - reensamblar en los citados puertos de salida (O) celdas recibidas de la citada matriz de conmutación (SF; 58) en señales de multiplexación por división de tiempo de salida

caracterizado porque

- 5 - en el citado puerto de entrada (I), intervalos de tiempo de una señal de multiplexación por división de tiempo de entrada son segmentados en celdas de longitudes fijas y una cabecera de celda es insertada en cada celda que contiene información de dirección; en el que la citada información de dirección contiene una dirección de matriz (H1, H2) y una dirección de TDM (P0, P1) que se dirige a un intervalo de tiempo de la citada señal de multiplexación por división de tiempo de salida;
- la citada dirección de matriz (H1, H2) es utilizada por la citada matriz de conmutación (SF; 58), y
- 10 - en los citados puertos de salida (O), celdas recibidas de la citada matriz de conmutación (SF; 58) son reensambladas en la citada señal de multiplexación por división de tiempo de salida de acuerdo con la citada dirección de TDM (P0, P1).

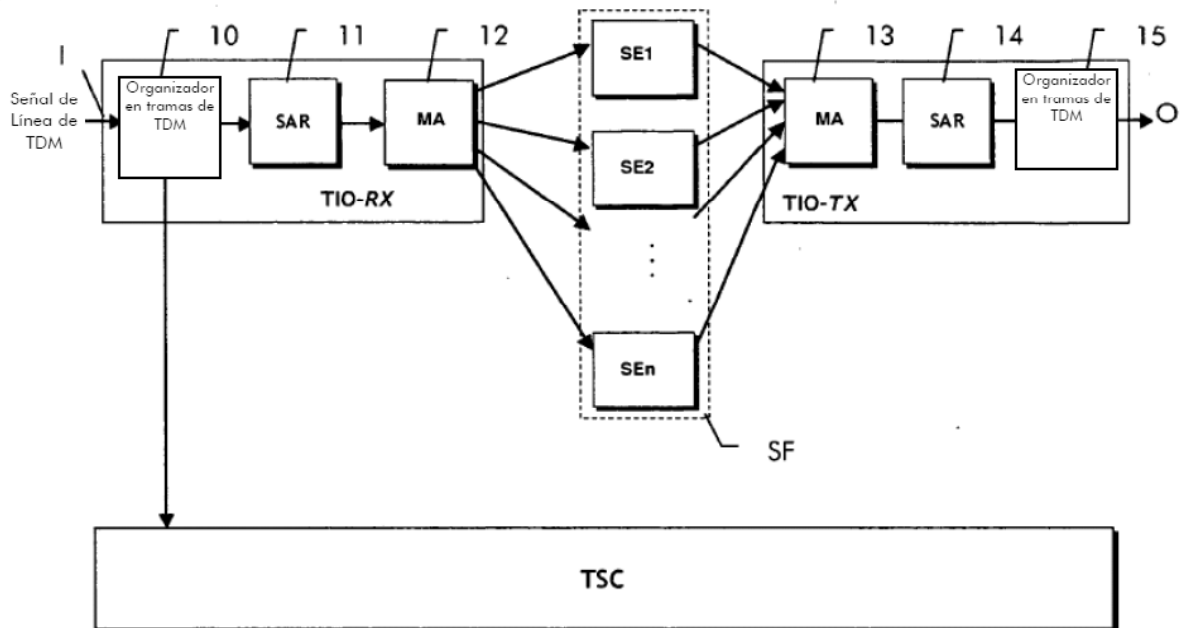


Fig. 1

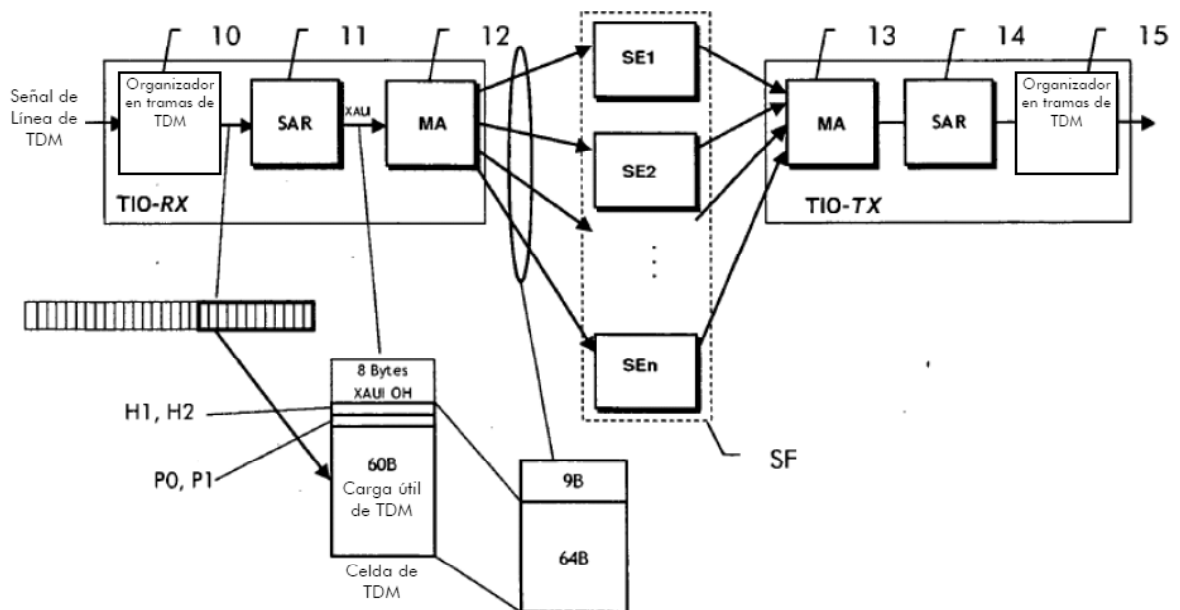


Fig. 2

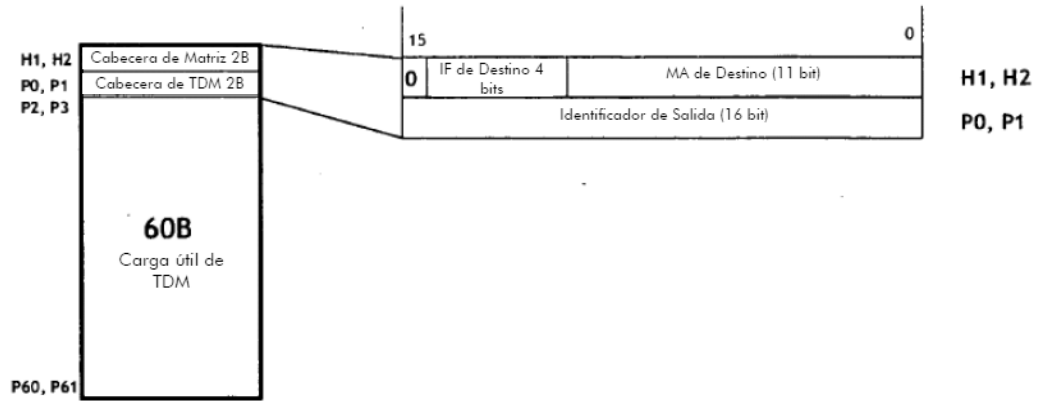


Fig.3

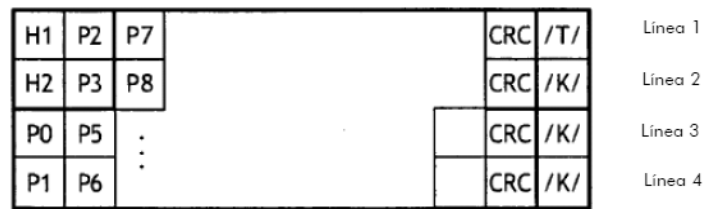


Fig.4

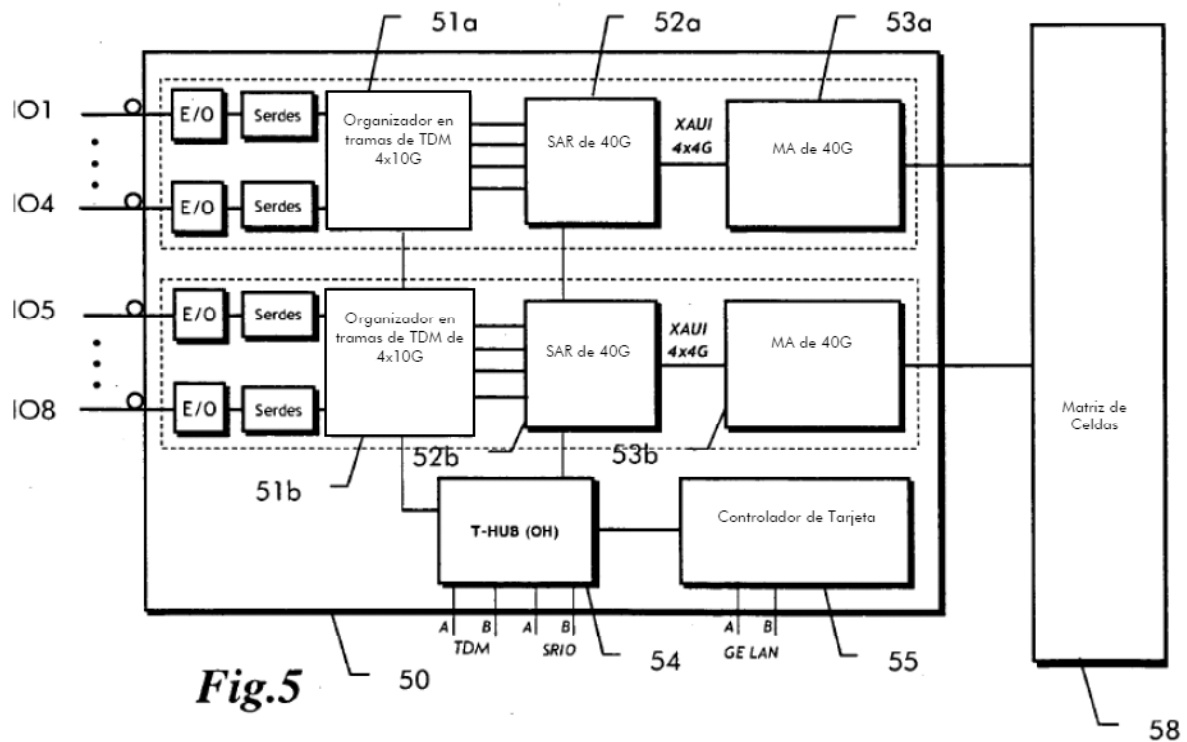


Fig.5

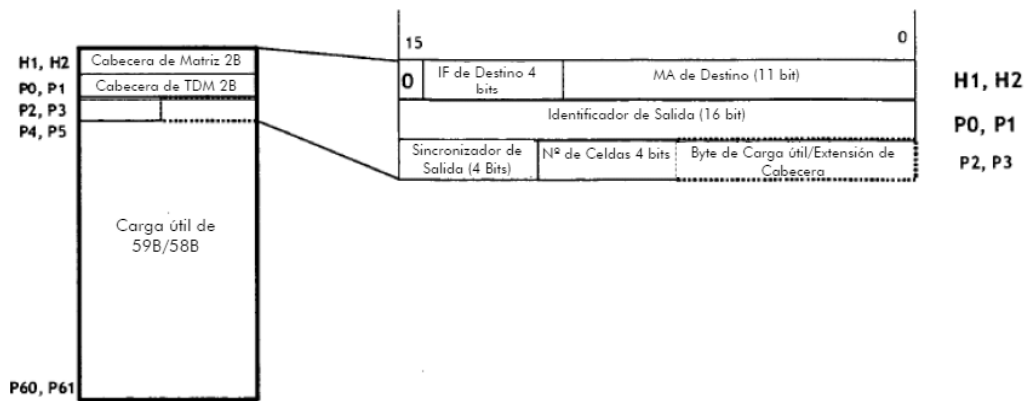


Fig.6

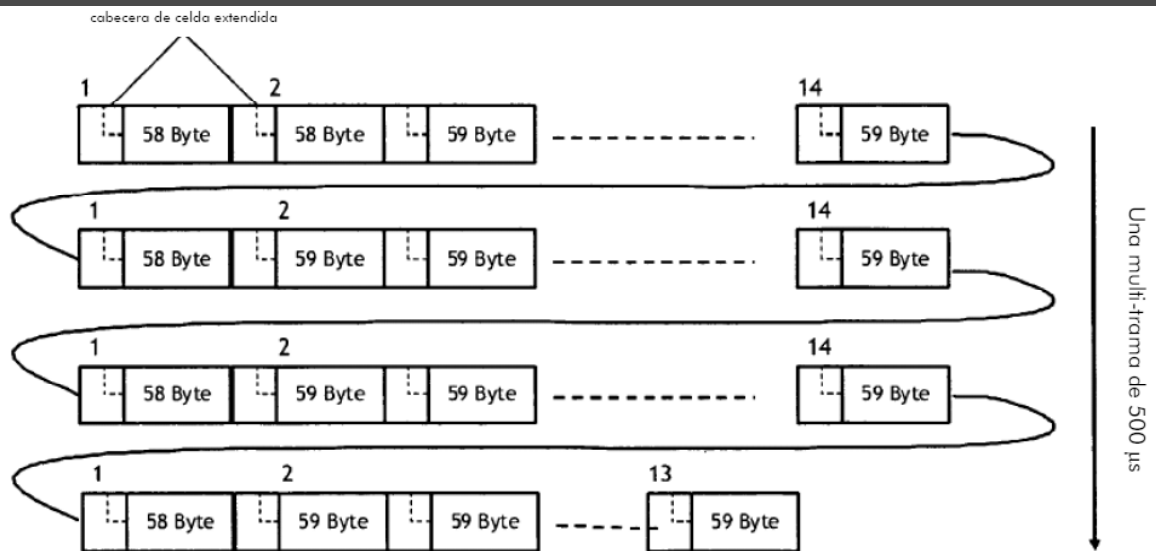


Fig.7

