



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 364 630**

51 Int. Cl.:

H03G 3/30 (2006.01)

H03D 3/00 (2006.01)

H04B 1/40 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **02709570 .2**

96 Fecha de presentación : **15.02.2002**

97 Número de publicación de la solicitud: **1402631**

97 Fecha de publicación de la solicitud: **31.03.2004**

54 Título: **Arquitectura de receptor de conversión directa.**

30 Prioridad: **16.02.2001 US 269623 P**
21.12.2001 US 34734

45 Fecha de publicación de la mención BOPI:
08.09.2011

45 Fecha de la publicación del folleto de la patente:
08.09.2011

73 Titular/es: **QUALCOMM INCORPORATED**
5775 Morehouse Drive
San Diego, California 92121-1714, US

72 Inventor/es: **Li, Tao;**
Holenstein, Christian;
Kang, Injup;
Walker, Brett, C.;
Peterzell, Paul, E.;
Challa, Raghu;
Severson, Matthew, L.;
Raghupathy, Arun y
Sih, Gilbert C.

74 Agente: **Carpintero López, Mario**

ES 2 364 630 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Arquitectura de receptor de conversión directa

Antecedentes**Campo**

- 5 La presente invención versa en general acerca de circuitos electrónicos y, más específicamente, acerca de una arquitectura de un receptor de conversión descendente para su uso en un sistema de comunicaciones inalámbricas (por ejemplo, de CDMA).

Antecedentes

- 10 En un sistema CDMA, los datos que han de ser transmitidos son inicialmente procesados para generar una señal modulada de radiofrecuencia (RF) que es más adecuada para su transmisión por un canal de comunicaciones inalámbricas. La señal modulada de RF se transmite entonces por el canal de comunicaciones a uno o más receptores deseados, que pueden ser terminales del sistema CDMA. La señal transmitida se ve afectada por diversos fenómenos de la transmisión, como la atenuación y las trayectorias múltiples. Estos fenómenos dan como resultado que la señal modulada de RF sea recibida en terminales con un amplio margen de los niveles de potencia de la señal, que pueden ser de 100 dB o más.

- 15 En un terminal dado, la señal transmitida es recibida, acondicionada y convertida descendentemente a una banda base por medio de una unidad de entrada. Convencionalmente, la conversión descendente de frecuencia de la RF a la banda base se lleva a cabo con un receptor heterodino que incluye múltiples etapas (por ejemplo, dos) de conversión descendente de la frecuencia. En la primera etapa, la señal recibida es convertida descendentemente de la RF a una frecuencia intermedia (FI) en la que, típicamente, se llevan a cabo el filtrado y la amplificación. Y en la segunda etapa se convierte descendente la señal desde la FI hasta la banda base, en la que, típicamente, se lleva a cabo un procesamiento adicional para recuperar los datos transmitidos.

- 20 La arquitectura del receptor heterodino proporciona varias ventajas. En primer lugar, la frecuencia FI puede ser seleccionada de tal modo que puedan filtrarse con mayor facilidad los productos no deseados de la intermodulación (IM), que son el resultado de la falta de linealidad en la circuitería de RF y analógica usada para acondicionar y convertir descendentemente la señal recibida. En segundo lugar, pueden proporcionar etapas de múltiples filtros y de un amplificador de ganancia variable (VGA) en la RF y la FI para proporcionar el filtrado y la amplificación necesarios para la señal recibida. Por ejemplo, puede diseñarse un amplificador de RF para que proporcione 40 dB de margen de ganancia, y puede diseñarse un amplificador de FI para que proporcione 60 dB de margen de ganancia, lo que entonces abarcaría los 100 dB de margen dinámico para la señal recibida.

- 25 Para ciertas aplicaciones, como la telefonía móvil, es sumamente deseable simplificar el diseño del receptor para reducir el tamaño y el coste. Además, para aplicaciones móviles como la telefonía móvil, es sumamente deseable reducir el consumo de energía para prolongar la vida de la batería entre recargas. Para estas aplicaciones, un receptor de conversión descendente directa (que también se denomina receptor homodino o receptor sin FI) puede proporcionar estos beneficios deseados, porque usa únicamente una etapa para convertir descendentemente de manera directa la señal recibida de RF a la banda base.

- 30 Se encuentran varios desafíos en el diseño de un receptor de conversión descendente directa. Por ejemplo, dado que no hay ninguna señal de FI en el receptor de conversión descendente directa, sería preciso que el margen de ganancia (por ejemplo, 60 dB) normalmente proporcionado por el amplificador de FI en el receptor heterodino fuera proporcionado, en vez de ello, en la RF o en la banda base en el receptor de conversión descendente directa. Para evitar poner requisitos adicionales en la circuitería de RF y reducir el coste y la complejidad del circuito, este margen de ganancia de la FI puede ser proporcionado en la banda base. Sin embargo, si el margen de ganancia de la banda base es proporcionado digitalmente después de la conversión analógico-digital, entonces la señal de la banda base proporcionada al convertidor de analógico a digital (ADC) tendría menor amplitud, dado que la ganancia se proporciona digitalmente después de la ADC. La desviación de CC en la señal de la banda base llegaría a ser entonces una consideración más crítica en el receptor de conversión descendente directa, porque la amplitud de la señal de la banda base es menor y la desviación de CC puede ser un porcentaje mucho mayor de la amplitud de la señal. El documento WO96/20540, de la técnica anterior, enseña un receptor de RF con un bucle de compensación de la desviación de dos velocidades.

- 40 Por lo tanto, existe en la técnica la necesidad de una arquitectura de receptor de conversión descendente directa capaz de proporcionar la ganancia de señal y la corrección de la desviación de CC requeridas.

Resumen

La presente invención proporciona un procedimiento de operar un bucle de CC en una unidad receptora que comprende:

seleccionar un modo operativo particular para el bucle de CC entre una pluralidad de posibles modos operativos que incluyen un modo de adquisición; y,

si el modo operativo seleccionado es el modo de adquisición,

5 operar el bucle de CC en el modo de adquisición en una duración temporal particular para corregir una desviación de CC en una señal deseada, en el que la duración temporal particular es inversamente proporcional a un ancho de banda del bucle para el bucle de CC para el modo de adquisición, y

salir del modo de adquisición después de la duración temporal particular.

También se proporciona un correspondiente aparato.

Breve descripción de los dibujos

10 Las características, la naturaleza y las ventajas de la presente invención resultarán más evidentes a partir de la descripción detallada expuesta a continuación cuando se toma en conjunto con los dibujos, en los que los caracteres de referencia semejantes identifican de forma correspondiente de principio a fin y en los que:

la FIG. 1 es un diagrama de bloques de una realización de una unidad receptora capaz de implementar diversos aspectos y realizaciones de la invención;

15 la FIG. 2A es un diagrama de bloques de una realización de un convertidor descendente directo;

la FIG. 2B es un diagrama de bloques de un cancelador de la desviación de CC;

la FIG. 3 es un diagrama de bloques de un amplificador digital de ganancia variable (DVGA);

la FIG. 4A es un diagrama de bloques de una unidad de bucle de CAG;

la FIG. 4B es un diagrama de bloques de una unidad de control de CAG; y

20 la FIG. 4C es un diagrama de una función ejemplar de transferencia de ganancia para los circuitos de RF/analógicos.

Descripción detallada

La FIG. 1 es un diagrama de bloques de una realización de una unidad receptora 100 capaz de implementar diversos aspectos y realizaciones de la invención. La unidad receptora 100 puede ser implementada dentro de un terminal o una estación base de un sistema de comunicaciones inalámbricas (por ejemplo, CDMA). En aras de la claridad, diversos aspectos y realizaciones de la invención son descritos para una implementación del receptor en un terminal. También en aras de la claridad, se proporcionan en el presente documento valores de diseño específicos, pero también pueden usarse, y están dentro del alcance de la invención, otros valores de diseño.

En la FIG. 1, una o más señales moduladas de RF transmitidas desde uno o más transmisores (por ejemplo, estaciones base, satélites de GPS, estaciones de radiodifusión, etcétera) son recibidas por una antena 112 y son proporcionadas a un amplificador (Amp) 114. El amplificador 114 amplifica la señal recibida con una ganancia particular para proporcionar una señal amplificada de RF. El amplificador 114 puede comprender una o más etapas de amplificador de bajo ruido (ABR) diseñadas para proporcionar un margen particular de ganancias y/o atenuación (por ejemplo, 40 dB de la ganancia máxima a la atenuación). La ganancia específica del amplificador 114 puede determinarse por un mensaje de control de la ganancia proporcionado por una unidad 150 de interfaz de bus serie (IBS) por medio de un bus serie 152. A continuación, la señal amplificada de RF es filtrada por un filtro 116 de recepción para eliminar el ruido y las señales espurias, y se proporciona la señal filtrada de RF a un convertidor descendente directo 120.

El convertidor descendente directo 120 lleva a cabo la conversión descendente directa en cuadratura de la señal filtrada de RF desde la RF a la banda base. Esto puede lograrse multiplicando (o mezclando) la señal filtrada de RF con una señal compleja del oscilador local (OL) para proporcionar una señal compleja de banda base. En particular, la señal filtrada de RF puede mezclarse con una señal en fase del OL para proporcionar un componente de banda base en fase (I) y mezclarse con una señal en cuadratura del OL para proporcionar un componente de banda base en cuadratura (Q). El mezclador usado para llevar a cabo la conversión descendente directa puede ser implementado con múltiples etapas que pueden ser controladas para proporcionar diferentes ganancias, tal como se describe más abajo. En este caso, la ganancia específica que ha de ser proporcionada por el mezclador también puede ser determinada mediante otro mensaje de control de la ganancia proporcionado por la unidad 150 de IBS por medio del bus serie 152, tal como se muestra en la FIG. 1. A continuación, los componentes I y Q de la banda base son proporcionados a uno o más convertidores 122 de analógico a digital (ADC).

Los ADC 122 digitalizan los componentes I y Q de la banda base para proporcionar muestras I y Q, respectivamente. Los ADC pueden ser implementados con diversos diseños de ADC, como los moduladores sigma-delta, capaces de filtrar y sobremuestrear los componentes I y Q de la banda base en múltiples veces (por ejemplo, 16) la tasa de los segmentos de código de los componentes de la banda base (que es de 1,2288 Mcps para IS-95).

5 El sobremuestreo permite que los ADC proporcionen un margen dinámico mayor y permite además que las muestras I y Q sean proporcionadas con menor número de bits para una precisión dada. En una realización específica, los ADC 122 proporcionan muestras I y Q de 2 bits a 16 veces la tasa de los segmentos de código (es decir, segmento de código \times 16). Otros tipos de ADC también pueden usarse y están dentro del alcance de la invención. Las muestras I y Q son proporcionadas desde los ADC 122 a un filtro digital 124.

10 El filtro digital 124 filtra las muestras I y Q para proporcionar muestras I y Q filtradas, respectivamente. El filtro digital 124 puede llevar a cabo cualquier número de funciones, como el filtrado de rechazo de imagen, el filtrado de la banda base igualado por impulsos, la decimación, la conversión de la tasa de muestreo, etcétera. En una realización específica, el filtro digital 124 proporciona a un cancelador 130 de la desviación de CC muestras filtradas de I y Q de 18 bits a segmento de código \times 8.

15 El cancelador 130 de la desviación de CC elimina la desviación de CC en las muestras filtradas de I y Q para proporcionar muestras I y Q corregidas de desviación de CC, respectivamente. En una realización específica, el cancelador 130 de la desviación de CC implementa dos bucles de corrección de la desviación de CC que intentan eliminar desviaciones de CC en dos emplazamientos diferentes del camino de la señal recibida: uno en la banda base, después de la conversión descendente de la frecuencia por parte del convertidor descendente directo 120, y otro después del filtrado digital por parte del filtro 124. La corrección de la desviación de CC se describe con detalle adicional más abajo.

20

Acto seguido, un amplificador digital 140 de ganancia variable (DVGA) amplifica digitalmente las muestras I y Q corregidas de la desviación de CC para proporcionar datos I y Q para su procesamiento subsiguiente por un demodulador digital 144. En una realización específica, el DVGA 140 proporciona datos I y Q de 4 bits a segmento de código \times 8.

25

El demodulador digital 144 desmodula los datos I y Q para proporcionar datos desmodulados, que pueden ser proporcionados entonces a un decodificador subsiguiente (no mostrado en la FIG. 1). El demodulador 144 puede ser implementado como un receptor de barrido que puede procesar de forma concurrente múltiples casos de señales en la señal recibida. Para el CDMA, cada correlacionador paralelo del receptor de barrido puede estar diseñado para (1) rotar los datos I y Q con una señal sinusoidal compleja para eliminar la desviación de frecuencia en los datos I y Q, (2) estrechar los datos I y Q rotados con una secuencia compleja de ruido pseudoaleatorio (RP) usada en el transmisor, (3) descifrar los datos I y Q estrechados con el código de canalización (por ejemplo, un código de Walsh) usado en el transmisor, y (4) desmodular los datos de los datos I y Q descifrados con un piloto recuperado de la señal recibida. El filtro digital 124, el cancelador 130 de la desviación de CC, el DVGA 140 y un demodulador digital 144 pueden ser implementados dentro de uno o más circuitos integrados (CI), por ejemplo dentro de un solo procesador de señales digitales.

30

35

Una unidad 142 de bucle de control automático de la ganancia (CAG) recibe los datos I y Q del DVGA 140 y una señal modo_bucle_CC procedente del cancelador 130 de la desviación de CC, y proporciona las ganancias para diversos elementos de ganancia variable dentro de la unidad receptora 100. En una realización, las ganancias para el amplificador 114 y el convertidor descendente directo 120 son proporcionadas a la unidad 150 de IBS, que después proporciona los mensajes apropiados del control de ganancia a estos elementos por medio del bucle serie 152. La ganancia para el DVGA 140 es proporcionada directamente al DVGA después de tener en cuenta el retardo desde la entrada de la señal de RF a la entrada del DVGA. La unidad 142 de bucle de CAG proporciona las ganancias apropiadas para el amplificador 114, el convertidor descendente directo 120 y el DVGA 140, de modo que se logra la amplitud deseada para los datos I y Q. El bucle CAG se describe con mayor detalle más abajo.

40

45

Un controlador 160 dirige diversas operaciones de la unidad receptora 100. Por ejemplo, el controlador 160 puede dirigir la operación de cancelación de desviación de CC, el bucle CAG, el DVGA, la IBS, etcétera. Una memoria 162 proporciona almacenamiento para datos y códigos de programa para el controlador 160.

50 En un diseño típico de receptor, el acondicionamiento de la señal recibida puede ser llevado a cabo por una o más etapas de amplificador, filtro, mezclador, etcétera. Por ejemplo, la señal recibida puede ser amplificada por una o más etapas de ABR. Además, el filtrado puede proporcionarse antes y/o después de las etapas del ABR, y también se lleva a cabo, típicamente, después de la conversión descendente de frecuencia. En aras de la simplicidad, estas diversas etapas de acondicionamiento de la señal están agrupadas en los bloques mostrados en la FIG. 1. Otros diseños de receptor de RF también pueden ser utilizados y están dentro del alcance de la invención. El amplificador 114, el convertidor descendente directo 120 y los ADC 122 forman una unidad de entrada de RF para el receptor de conversión descendente directa.

55

La resolución de las muestras I y Q en diversos bloques de procesamiento de señales en la FIG. 1 se proporciona como ilustración. Diferentes números de bits de resolución y tasas de muestreo diferentes pueden ser usados también para las muestras I y Q, y esto está dentro del alcance de la invención.

Corrección de la desviación de CC

La FIG. 2A es un diagrama de bloques de un convertidor descendente directo 120a, que es una realización específica del convertidor descendente directo 120 de la FIG. 1. Dentro del convertidor descendente directo 120a, se proporciona la señal filtrada de RF procedente del filtro 116 de recepción a un mezclador 212, que también recibe una señal (compleja) de OL procedente del oscilador local 218. La frecuencia de la señal del OL puede ser controlada por una señal de control de la frecuencia (que puede ser proporcionada por medio del bus serie 152 u otras líneas de señales) y se fija a la frecuencia central de la señal modulada de RF que está siendo recuperada. Acto seguido, el mezclador 212 lleva a cabo la conversión descendente en cuadratura de la señal filtrada de RF con la señal compleja del OL para proporcionar componentes en fase y en cuadratura, que son proporcionados a continuación a un sumador 214.

Un convertidor 220 recibe un control digital de la desviación de CC, que puede ser proporcionado por el cancelador 130 de la desviación de CC por medio del bus serie 152, y que es denotado como control de CC de la IBS en la FIG. 2A. Acto seguido, el convertidor 220 lleva a cabo una conversión de digital a analógico del control digital para generar valores de control de la desviación de CC CC1I y CC1Q para los componentes en fase y en cuadratura, respectivamente. En una realización, estos valores son usados para controlar la corriente de polarización del mezclador 212 de tal modo que la desviación de CC en los componentes de la señal pueda ser ajustada indirectamente.

La circuitería analógica 222 recibe un control analógico de la desviación de CC, que puede ser proporcionado por el cancelador 130 de la desviación de CC por medio de una línea dedicada de señales y denotada como desviación bruta de CC en la FIG. 2A. A continuación, la circuitería analógica 222 lleva a cabo el filtrado y, posiblemente, la desviación y el ajuste a escala del nivel para generar valores de desviación de CC de CC2I y CC2Q para los componentes en fase y en cuadratura, respectivamente. Acto seguido, el sumador 214 resta los valores de desviación de CC de CC2I y CC2Q de los componentes en fase y en cuadratura, respectivamente. A continuación, los componentes de salida del sumador 214 son filtrados y amplificados por un filtro/amplificador 216 de paso bajo para proporcionar los componentes I y Q de la banda base.

La FIG. 2B es un diagrama de bloques de un cancelador 130a de la desviación de CC, que es una realización específica del cancelador 130 de la desviación de CC de la FIG. 1. El cancelador 130a de la desviación de CC incluye los sumadores 232a y 232b, las unidades 234a y 234b de control del bucle de CC, un controlador 240 de la desviación de CC de la IBS y un controlador 242 del bucle de CC. En una realización, la corrección de la desviación de CC se lleva a cabo por separado para las muestras I y Q. Así, los sumadores 232a y 232b y las unidades 234a y 234b de control del bucle de CC incluyen cada uno dos elementos, uno para procesar las muestras I y otro para procesar las muestras Q.

Las muestras filtradas I y Q procedentes del filtro digital 124 son suministradas al sumador 232a, que elimina los valores fijados de desviación de CC de CC3I y CC3Q de las muestras I y Q, respectivamente. El sumador 232a puede ser usado para eliminar la desviación de CC que sea estática (por ejemplo, causada por un desajuste del circuito, etcétera). A continuación las salidas I y Q del sumador 232a son proporcionadas al sumador 232b, que elimina adicionalmente los valores de desviación de CC de CC4I y CC4Q (que son proporcionados por la unidad 234b de control del bucle de CC) de estas salidas I y Q para proporcionar las muestras I y Q corregidas de desviación de CC.

La unidad 234a de control del bucle de CC recibe las salidas I y Q del sumador 232a, determina las desviaciones de CC en estas salidas y proporciona el control basto de CC a la circuitería analógica 222 dentro del convertidor descendente directo 120a. De modo similar, la unidad 234b de control del bucle de CC recibe las salidas I y Q del sumador 232b, determina las desviaciones de CC en estas salidas y proporciona los valores de desviación de CC de CC4I y CC4Q al sumador 234b. Cada unidad 234 de control del bucle de CC es implementada con un elemento 236 de ganancia acoplado a un acumulador 238. El elemento 236 de ganancia multiplica la entrada de la muestra I o Q con una ganancia particular (ganancia 1 de CC para la unidad 234a y ganancia 2 de CC para la unidad 234b) seleccionada para ese bucle. Acto seguido, el acumulador 238 acumula la muestra I o Q alterada en escala para proporcionar el control de desviación de CC para ese bucle.

El sumador 214, dentro del convertidor descendente directo 120a, y la unidad 234a de control del bucle de CC implementan un bucle de CC de grano basto que elimina la desviación de CC en los componentes de la banda base después de la conversión descendente directa por el mezclador 212. El sumador 232b y la unidad 234b de control del bucle de CC implementan un bucle de CC de grano fino que elimina la desviación de CC que quede después del bucle de CC de grano basto. Como implican sus nombres, el bucle de CC de grano fino tiene una resolución mayor que el bucle de CC de grano basto.

El controlador 240 de la desviación de CC de la IBS determina periódicamente el control de la desviación de CC de la IBS en base a diversos factores, como la temperatura, las ganancias del amplificador 114 y el mezclador 212, la hora, la deriva, etcétera. A continuación, se proporciona el control de la desviación de CC de la IBS por medio del bus serie 152 al convertidor 220, que genera entonces los correspondientes valores de control de la desviación de CC CC1I y CC1Q para el mezclador 212.

Una implementación de la corrección de la desviación de CC para un receptor de conversión descendente directa como la mostrada en la FIG. 1 se describe con mayor detalle en la Publicación de Solicitud de Patente Estadounidense nº US2003/0199264, titulada "Direct Current Offset Cancellation for Mobile Station Modems Using Direct Conversion".

5 Los cuatro conjuntos de valores de desviación de CC (CC1I y CC1Q, CC2I y CC2Q, CC3I y CC3Q, y CC4I y CC4Q) representan cuatro mecanismos diferentes que pueden usarse individualmente o en combinación para proporcionar la corrección requerida de la desviación de CC para el receptor de conversión descendente directa. El bucle de CC de grano basto (que proporciona los valores de CC2I y CC2Q) y el bucle de CC de grano fino (que proporciona los valores de CC4I y CC4Q) pueden ser operados para eliminar dinámicamente la desviación de CC en los
10 componentes I y Q de la señal. El sumador 232a (que resta los valores de CC3I y CC3Q) puede ser operado para eliminar la desviación estática de CC. Y el controlador 240 de la desviación de CC de la IBS (que proporciona los valores de CC1I y CC1Q) puede usarse para eliminar la desviación dinámica y/o estática de CC en los componentes de la señal.

15 En una realización, los bucles de CC de grano basto y de grano fino soportan cada uno dos modos operativos: un modo de adquisición y un modo de seguimiento. El modo de adquisición se usa para eliminar más rápidamente una gran desviación de CC que puede haberse introducido en los componentes de la señal como resultado, respectivamente, de (1) una variación brusca en las ganancias de la circuitería de RF/analógica, como un amplificador 114 y/o un mezclador 212, o (2) de que el bucle global de CC lleve a cabo una actualización periódica de CC, lo que puede dar como resultado que se proporcionen nuevos valores de CC1 y/o CC3 al mezclador 212 y/o
20 al sumador 232a, o (3) de cualquier otra razón. El modo de seguimiento se usa para llevar a cabo la corrección de la desviación de CC de manera normal, y su respuesta es más lenta que la del modo de adquisición. También pueden ser soportados modos operativos diferentes o adicionales, y esto está dentro del alcance de la invención. Los modos de adquisición y de seguimiento pueden corresponder a dos valores diferentes de ganancia del bucle de CC para la ganancia 1 de CC y dos valores diferentes de ganancia del bucle de CC para la ganancia 2 de CC.

25 En aras de la simplicidad, los bucles de CC de grano basto y de grano fino reciben la denominación colectiva, sencillamente, de "bucle de CC". La señal de control modo_bucle_CC indica el modo operativo actual del bucle de CC. Por ejemplo, la señal de control modo_bucle_CC puede fijarse en un estado lógico alto para indicar que el bucle de CC está operando en el modo de adquisición y en un estado lógico bajo para indicar que está operando en el modo de seguimiento.

30 VGA digital

También se proporciona un DVGA para su uso en un receptor de conversión descendente directa. El DVGA puede proporcionar el margen requerido de ganancias necesitadas para dar cuenta de la totalidad o de una porción del margen dinámico total para la señal recibida (es decir, la porción no explicada por la circuitería de RF/analógica). Así, el margen de ganancia del DVGA puede ser usado para proporcionar la ganancia proporcionada previamente
35 en la frecuencia intermedia (FI) en un receptor heterodino. El diseño del DVGA y la colocación del DVGA dentro de la arquitectura del receptor de conversión descendente directa pueden ser implementados con ventaja según se describe más abajo.

La FIG. 3 es un diagrama de bloques de un DVGA 140a capaz de proporcionar una ganancia digital de la banda base para las muestras I y Q. El DVGA 140a es una realización específica del DVGA 140 de la FIG. 1.

40 Dentro del DVGA 140a, las muestras I y Q con desviación corregida de CC procedentes del cancelador precedente 130 de la desviación de CC son proporcionadas a un multiplexor (MUX) 312 y a una unidad 320 de truncamiento. Para minimizar el soporte físico, solo se usa un multiplicador digital 316 para llevar a cabo la multiplicación de ganancia para las muestras tanto I como Q de manera multiplexada por división de tiempo (TDM). Así, el multiplexor 312 proporciona de forma alternante una muestra I y luego una muestra Q (según determina una señal de control
45 sel_IQ) al multiplicador 316 por medio de una puerta AND 314. La señal de control sel_IQ es, simplemente, una onda cuadrada a la tasa de muestreo de I y Q (por ejemplo, segmento de código $\times 8$) y que tiene la fase apropiada (por ejemplo, un estado lógico bajo para las muestras I). La puerta AND 314 lleva a cabo una operación AND de la muestra I o Q con una señal de control hab_DVGA, que se fija a un estado lógico alto si el DVGA está habilitado y se fija a un estado lógico bajo si se puentea el DVGA. El DVGA puede ser puenteador, por ejemplo, si no se necesita el margen de ganancia del DVGA o si el margen de ganancia está dotado de circuitería analógica (por ejemplo, un amplificador de ganancia variable). Así, la puerta AND 314 pasa la muestra al multiplicador 316 si el DVGA está habilitado y, si no, proporciona un cero. El cero reduce el consumo de energía por parte de la circuitería subsiguiente eliminando transiciones que consumen energía en los circuitos CMOS.

55 El multiplicador 316 multiplica la muestra I o Q procedente de la puerta AND 314 con una ganancia procedente de un registro 344 y proporciona la muestra modificada en escala (o amplificada) a una unidad 318 de truncamiento. En una realización específica, el multiplicador 316 es operado a dos veces la tasa de muestreo, que es segmento de código $\times 16$ para la tasa de muestreo I/Q de segmento de código $\times 8$. En una realización específica, para CDMA y GPS, las muestras I y Q tienen 18 bits de resolución con 10 bits de resolución a la derecha de la coma binaria (es decir, 18Q10), la ganancia tiene 19 bits de resolución con 12 bits de resolución a la derecha de la coma binaria (es

decir, 19Q12), y las muestras con modificación de escala tienen 37 bits de resolución con 22 bits de resolución a la derecha de la coma binaria (es decir, 37Q22). En una realización específica, para FM digital o DFM, las muestras I y Q de entrada tienen una resolución de 18Q6, la ganancia tiene una resolución de 19Q12 y las muestras con modificación de escala tienen una resolución de 37Q18. La unidad 318 de truncamiento trunca los (por ejemplo, 18) bits menos significativos (LSB) de cada muestra con modificación de escala y proporciona la muestra truncada (que tiene una resolución de 18Q4 para CDMA/GPS y de 18Q0 para DFM) a una entrada de un multiplexor 322.

Para ciertos modos operativos del receptor, no es precisa la modificación digital de escala por parte del DVGA 140a y las muestras I y Q de entrada pueden ser pasadas a la salida del DVGA sin ninguna modificación de escala (después del procesamiento apropiado para obtener el formato deseado de datos de salida). La unidad 320 de truncamiento trunca los (por ejemplo, 6) LSB de cada muestra de entrada y proporciona la muestra truncada a la otra entrada del multiplexor 322. La unidad 320 de truncamiento se ocupa de que los datos I y Q de salida tengan la misma resolución con independencia de si el DVGA está habilitado o puenteado.

Acto seguido, el multiplexor 322 proporciona la muestra truncada, ya sea de la unidad 318 de truncamiento o de la 320, dependiendo de si el DVGA está habilitado o puenteado, respectivamente, lo que se determina por medio de la señal de control hab_DVGA. La muestra seleccionada es proporcionada entonces a una unidad 324 de saturación, que satura la muestra hasta el formato deseado de datos de salida, por ejemplo una resolución de 8Q4 para CDMA/GPS y 8Q0 para DFM. Acto seguido, la muestra saturada es proporcionada a un elemento 326 de demora y a una entrada de un registro 328. El elemento 326 de demora proporciona un periodo de demora de media muestra para alinear los datos I y Q (que han sido sesgados en un periodo de media muestra para implementar la multiplexión por división de tiempo para el multiplicador 316) y proporciona la muestra I demorada a la otra entrada del registro 328. A continuación, el registro 328 proporciona los datos I y Q, con la sincronización alineada con la señal de control sel_IQ. Para CDMA/GPS, se envían los cuatro bits más significativos (MSB) de los datos I y Q (es decir, con una resolución de 4Q0) al siguiente bloque de procesamiento. Y para DFM, se envían los datos I y Q (es decir, con una resolución de 8Q0) directamente a un bloque de procesamiento de FM.

La unidad receptora 100 puede usarse para diversas aplicaciones, como recibir datos de un sistema CDMA, un sistema GPS, un sistema de FM digital (DFM), etcétera. Cada aplicación de este tipo puede estar asociada con una respectiva señal recibida que tenga algunas características particulares y que requieran alguna ganancia particular. Según se muestra en la FIG. 3, se proporcionan a un multiplexor 332 las tres ganancias diferentes que han de usarse para CDMA, GPS y DFM. Una de las ganancias se selecciona entonces en base a una señal de control sel_mod. La ganancia seleccionada es proporcionada entonces a una unidad 334 de ajuste a escala y desviación de la ganancia, que también recibe una desviación de ganancia.

La unidad 334 de ajuste a escala y desviación de la ganancia modifica la escala de la ganancia seleccionada (CDMA, GPS o DFM) con un factor apropiado de ajuste de escala, de tal modo que se logre la resolución de ganancia deseada. Por ejemplo, la ganancia de CDMA puede proporcionarse con un número fijado de bits (por ejemplo, 10 bits) que cubren uno de varios posibles márgenes de ganancia (por ejemplo, márgenes de ganancia de 102,4 dB y 85,3 dB para la ganancia de CDMA de 10 bits), dependiendo del modo particular usado para el CDMA. El factor de modificación de escala se selecciona entonces de tal modo que la ganancia con modificación de escala tenga la misma resolución de ganancia (por ejemplo, 0,13 dB) con independencia del modo particular usado para el CDMA. La unidad 334 de ajuste a escala y desviación de la ganancia resta, además, la desviación de ganancia de la ganancia con modificación de escala. La desviación de ganancia se determina en base a un punto de referencia seleccionado para los ADC 122 que determina, a su vez, la potencia media de los componentes I y Q de la banda base proporcionados a los ADC. La desviación de la ganancia puede ser un valor programable que tenga la misma resolución que la ganancia con modificación de escala y puede ser proporcionada por el controlador 160.

Un multiplexor 336 recibe de la unidad 334 la ganancia ajustada a escala y desviada y una ganancia de anulación y proporciona una de las ganancias (en base a una señal de control anular_ganancia) a una unidad 338 de saturación. La ganancia de anulación puede usarse en lugar de la ganancia procedente del bucle del VGA, si se desea puentea el bucle del VGA. A continuación, la unidad 338 de saturación satura la ganancia recibida (por ejemplo, hasta 9 bits) para limitar el margen de la ganancia saturada (por ejemplo, hasta 68,13 dB del margen total de ganancia para 9 bits, con 0,133 dB de resolución para cada bit). Y una puerta AND 340 lleva a cabo entonces una operación AND sobre la ganancia saturada con la señal de control hab_DVGA y pasa la ganancia saturada a una tabla 342 de consulta (LUT) dB a lineal si el DVGA está habilitado o, si no, un cero (de nuevo, para reducir el consumo de energía por parte de la circuitería subsiguiente).

En un ejemplo, el bucle CAG proporciona el valor de ganancia (por ejemplo, la ganancia CDMA) en formato logarítmico (dB). El valor de ganancia en dB puede usarse para imitar las características de los circuitos de RF/análogos de ganancia variable, que típicamente tienen funciones logarítmicas (o de tipo semejante a los logaritmos) de transferencia para la ganancia en función del valor de control. En segundo lugar, la ganancia de recepción se usa como una estimación de la potencia de transmisión requerida en una llamada telefónica de CDMA y para informar de la potencia de recepción a la estación base cuando se solicita. Tradicionalmente, estas estimaciones se realizan en dB, dado el amplio margen dinámico de la señal recibida. Sin embargo, dado que se usa un multiplicador digital lineal 316 para proporcionar la multiplicación de la ganancia de la línea base, el valor de la

ganancia en dB es traducido a un valor lineal de la ganancia. La tabla 342 de consulta lleva a cabo la traducción dB a lineal en base a una fórmula que puede expresarse como:

$$Y(\text{lineal}) = 10^{X/20}, \quad \text{Ec (1)}$$

en la que Y es el valor lineal de la ganancia a partir de la tabla de consulta y X es un valor de atenuación, que puede definirse como:

$$X = -(Z(\text{dB}) + \text{desviación}), \quad \text{Ec (2)}$$

5 siendo Z el valor de la ganancia en dB proporcionado a la tabla de consulta y la desviación de la ecuación (2) puede usarse para compensar el truncamiento llevado a cabo en la unidad 334 (por ejemplo, desviación = 0,067 dB para un truncamiento de 4 bits). También pueden usarse otras técnicas para convertir el valor de ganancia en dB a un valor lineal de ganancia, y esto está dentro del alcance de la invención. El valor lineal de ganancia procedente de la LUT 342 es cronometrado entonces por el registro 344 para alinear la sincronización del valor de ganancia con el de la muestra I o Q proporcionada al multiplicador 316.

El bucle de CAG también puede estar diseñado para operar en base a valores de ganancia lineales (en vez de dB), y esto está dentro del alcance de la invención.

15 Con referencia de nuevo a la FIG. 1, el DVGA 140 está situado después del cancelador 130 de la desviación de CC y fuera del bucle de CC en el receptor 100 de conversión descendente directa. Esta situación del DVGA proporciona varias ventajas y, además, evita varias desventajas. En primer lugar, si el DVGA se coloca dentro del bucle de CC, entonces cualquier desviación de CC será amplificada por la ganancia del DVGA, lo que entonces agravaría la degradación causada por la desviación de CC. En segundo lugar, la ganancia de bucle del bucle de CC incluiría también la ganancia del DVGA, que varía dependiendo de la intensidad de la señal recibida. Dado que esta ganancia del bucle de CC afecta (o determina) directamente el ancho de banda del bucle de CC, el ancho de banda del bucle de CC variaría entonces junto con la ganancia del DVGA, lo cual es un efecto indeseable. El ancho de banda del bucle de CC puede ser mantenido aproximadamente constante cambiando dinámicamente la ganancia del bucle de CC (es decir, las ganancias 1 y 2 de CC dentro de las unidades 234a y 234b del bucle de CC) de manera inversa a cualquier cambio en la ganancia del DVGA, de modo que la ganancia global del bucle de CC se mantenga constante. Sin embargo, esto complicaría adicionalmente el diseño de los mecanismos de corrección de la desviación de CC. Además, la desviación residual de CC es variable cuando se refiere a la potencia real de la señal.

20 Situando ventajosamente el DVGA 140 después del cancelador 130 de la desviación de CC y fuera del bucle de CC, la corrección de la desviación de CC por parte del bucle de CC puede ser desacoplada de la modificación de escala de la ganancia de la señal por parte del DVGA. Además, la implementación del DVGA en el dominio digital después de los ADC 122 simplifica adicionalmente el diseño de la circuitería de RF/analógica, lo que puede llevar a una reducción de coste para el receptor de conversión descendente directa. Dado que la ganancia digital es proporcionada después de los ADC 122, la amplitud de los componentes de la señal proporcionadas a los ADC podría ser potencialmente menor, lo que entonces requeriría un margen dinámico mayor para el proceso de conversión analógico a digital para que el ruido de los ADC no degrade significativa la SNR de las muestras cuantificadas I y Q. Pueden proporcionarse ADC con un margen dinámico elevado sobremuestreando moduladores sigma-delta, según se conoce en la técnica.

Control automático de la ganancia

40 La FIG. 4A es un diagrama de bloques de una unidad 142a de bucle de CAG, que es un ejemplo específico de la unidad 142 de bucle de CAG de la FIG. 1. Dentro de la unidad 142a de bucle de CAG, se proporcionan los datos I y Q a un indicador 412 de la intensidad de la señal recibida (RSSI), que estima la intensidad de señal de la señal recibida. La intensidad de la señal recibida, RSS, puede estimarse como sigue:

$$RSS = \sum_i^{N_E} \{ I^2(i) + Q^2(i) \}, \quad \text{Ec (3)}$$

representando I(i) y Q(i) los datos I y Q para el periodo de la muestra iésima, y siendo N_E el número de muestras que deben acumularse para derivar la estimación de la intensidad de la señal recibida. También pueden usarse otras técnicas para estimar la intensidad de la señal recibida (por ejemplo, RSS = Σ|I_F(i)| + |Q_F(i)|). Acto seguido, la estimación de la intensidad de la señal recibida se proporciona a una unidad 414 de control de CAG.

50 La FIG. 4B es un diagrama de bloques de una unidad 414a de control de CAG, que es un ejemplo específico de la unidad 414 de control de CAG de la FIG. 4A. La unidad 414a de control de CAG recibe la estimación de la intensidad de la señal recibida, RSS, del RSSI 412, la señal de control modo_bucle_CC del cancelador 130 de la desviación de CC, una señal de control no_puentear/mantener de la unidad 418 de control de la etapa de ganancia, una decisión demorada de la etapa de ganancia de una unidad 420 de demora programable, y una señal de control

hab_congelación (por ejemplo, del controlador 160), todo lo cual está descrito con detalle adicional más abajo. En base a las señales de control recibidas y la RSS, la unidad 414a de control de CAG proporciona un valor de ganancia de salida que es indicativo de la ganancia total (G_{total}) que ha de aplicarse a la señal recibida.

5 En un ejemplo, el bucle de CAG soporta tres modos de bucle: un modo normal, un modo de baja ganancia y un modo de congelación. El modo normal se usa para proporcionar un ancho de banda nominal del bucle de CAG, el modo de baja ganancia se usa para proporcionar un ancho de banda menor del bucle de CAG y el modo de congelación se usa para congelar el bucle de CAG. Los modos de baja ganancia y normal están asociados con valores de ganancia del bucle de CAG de la ganancia 1 de CAG y la ganancia 2 de CAG, respectivamente. El modo de congelación se logra poniendo a ceros el valor proporcionado para la acumulación por el acumulador de bucle de CAG. En un ejemplo, se usa un valor adicional de ganancia del bucle de CAG de la ganancia 3 de CAG para la detección de interferencias. La ganancia 3 de CAG de típicamente menor que la ganancia 2 de CAG para el modo normal, pero mayor que la ganancia 1 de CAG para el modo de baja ganancia, y se usa para detectar la presencia de una interferencia en los componentes de la señal, tal como se describe más abajo. El bucle de CAG también puede soportar modos diferentes o adicionales.

15 Según se ha hecho notar más arriba, el bucle de CC afecta el rendimiento del bucle de CAG. Así, en un aspecto, el modo específico del bucle de CAG a usar es dependiente del modo específico del bucle CC actualmente en uso (es decir, se selecciona en base al mismo). En particular, el modo normal se usa para el bucle de CAG cuando el bucle de CC es operado en el modo de seguimiento, y los modos de ganancia bajo o de congelación se usan para el bucle de CAG cuando el bucle de CC es operado en el modo de adquisición.

20 Tal como se muestra en la FIG. 4B, se proporcionan la ganancia 2 de CAG para el modo normal y la ganancia 3 de CAG para la detección de interferencias a un multiplexor 446, que también recibe la señal de control no_puentear/mantener. La señal de control no_puentear/mantener puede ser usada para proporcionar una histéresis temporal entre las etapas (es decir, se mantiene el bucle de CAG en una etapa de ganancia dada durante una cantidad particular de tiempo (Tiempo 1 o Tiempo 2) antes de que se le permita conmutar a otra etapa de ganancia (superior o inferior).

25 Entonces el multiplexor 446 proporciona la ganancia 2 de CAG cuando se selecciona el modo normal, lo que es indicado porque el control no_puentear/mantener se pone en un estado lógico bajo. De forma alternativa, el multiplexor 446 proporciona la ganancia 3 de CAG cuando haya de llevarse a cabo una detección de interferencias, lo que se indica porque el control no_puentear/mantener se pone en un estado lógico alto. Un multiplexor 448 recibe la ganancia 1 de CAG para el modo de ganancia baja y la salida del multiplexor 448 en sus dos entradas y recibe, además, la señal de control modo_bucle_CC. A continuación, el multiplexor 448 proporciona la ganancia 1 de CAG a un multiplicador 442 cuando el modo de ganancia baja está seleccionado para el bucle de CAG cuando el bucle de CC está en el modo de adquisición, lo que se indica porque el control modo_bucle_CC se pone en un estado lógico alto. De manera alternativa, el multiplexor 448 proporciona la ganancia 2 de CAG o la ganancia 3 de CAG al multiplicador 442 durante el modo de seguimiento, lo que se indica porque el control modo_bucle_CC se pone en un estado lógico bajo.

30 Una puerta AND 440 recibe la estimación de la intensidad de la señal recibida, RSS, y el control hab_congelación. A continuación, la puerta AND 440 proporciona la RSS al multiplicador 442 cuando (1) el bucle de CC es operado en el modo de seguimiento o (2) se usa el modo de ganancia baja para el bucle de CAG cuando el bucle de CC es operado en el modo de adquisición. De forma alternativa, la puerta AND 440 proporciona un cero al multiplicador 442 cuando el bucle de CC es operado en el modo de adquisición y el bucle de CAG se congela. El cero de la puerta AND 440 da como resultado una acumulación de cero por parte del acumulador 444 del bucle de CAG cuando el bucle de CAG se congela.

35 El multiplexor 442 multiplica la estimación de la intensidad de la señal recibida, RSS, con la ganancia seleccionada de CAG procedente del multiplexor 448 y proporcione el resultado al acumulador 444 del bucle de CAG. Acto seguido, el acumulador 444 acumula el resultado con el valor almacenado y proporciona un valor de ganancia de salida que es indicativo de la ganancia total, G_{total} , que ha de aplicarse a la señal recibida para lograr el nivel deseado de señal, lo que se determina por medio de la desviación de la ganancia proporcionada a la unidad 334 de modificación de escala y desviación de la ganancia en la FIG. 3. Esta ganancia total puede descomponerse en dos partes: (1) una ganancia bruta, G_{bruta} , para la circuitería de RF/analógica (por ejemplo, el amplificador 114 y el mezclador 212) y (2) una ganancia fina, G_{fina} , para el DVGA 140. Así, la ganancia total para la señal recibida puede expresarse como:

$$G_{total} = G_{bruta} + G_{fina}, \quad \text{Ec (4)}$$

en la que G_{total} , G_{bruta} y G_{fina} se dan en dB.

55 Según se muestra en la FIG. 4B, el acumulador 444 también recibe la decisión demorada de la etapa de ganancia, que es indicativa de la ganancia diferencia específica que ha de usarse para los circuitos de RF/analógicos, tal como se describe más abajo. Cada ganancia diferenciada para los circuitos de RF/analógicos puede estar asociada con un conjunto respectivo de valores máximos y mínimos para la acumulación, lo que garantiza la estabilidad en el

bucle de CAG. Para la ganancia diferencia específica que ha de usarse, tal como se indica por medio de la decisión demorada de la etapa de ganancia, se usa el conjunto apropiado de valores máximos y mínimos para la acumulación por parte del acumulador 444.

5 Con referencia de nuevo a la FIG. 4A, el control de ganancia bruta para los circuitos de RF/analógicos se logra (1) estableciendo una correlación entre la ganancia total, G_{total} , y una decisión de la etapa de ganancia por medio de una unidad 418 de control de la etapa de ganancia, (2) codificando la decisión de la etapa de ganancia en los controles apropiados de la etapa de ganancia por medio de un codificador 424 de márgenes, (3) formateando los controles de la etapa de ganancia en mensajes apropiados por medio de la unidad 150 de IBS, (4) enviando los mensajes a los circuitos de RF/analógicos (por ejemplo, el amplificador 114 y/o el mezclador 212) por el bus serie 10 152 y (5) ajustando las ganancias de los circuitos de RF/analógicos en base a los mensajes. El control de ganancia fina se logra (1) determinando la ganancia fina, G_{fina} , para el DVGA restando la ganancia bruta, G_{bruta} de la ganancia total G_{total} y (2) ajustando la ganancia del DVGA en base a la ganancia fina. La derivación de las ganancias bruta y fina en base a la ganancia total se describe más abajo.

15 La unidad receptora 100 puede ser diseñada con un amplificador 114 que tenga múltiples etapas (por ejemplo, cuatro) y un mezclador 212 que tenga múltiples etapas (por ejemplo, dos). Cada etapa puede estar asociada con una ganancia diferenciada específica. Dependiendo de qué etapas estén ACTIVADAS/DEACTIVADAS, pueden lograrse ganancias diferenciadas diferentes. La ganancia bruta controla entonces las ganancias de los circuitos de RF/analógicos en etapas diferenciadas aproximadas. La ganancia diferenciada específica que ha de usarse para los circuitos de RF/analógicos depende del nivel de la señal recibida, de los diseños específicos de estos circuitos, etcétera. 20

La FIG. 4C es un diagrama de un ejemplo de una función de transferencia de ganancia para los circuitos de RF/analógicos (por ejemplo, el amplificador 114 y el mezclador 212). El eje horizontal representa la ganancia total, que está inversamente relacionada con la intensidad de la señal recibida (es decir, una ganancia mayor corresponde a la intensidad menor de la señal recibida). El eje vertical representa la decisión de la etapa de ganancia proporcionada por la unidad 418 de control de la etapa de ganancia en base a la ganancia total. En este diseño 25 ejemplar específico, la decisión de la etapa de ganancia adopta uno de cinco valores posibles, que se definen en la Tabla 1.

Tabla 1

Decisión de la etapa de ganancia	Estado del circuito de RF/analógico	Definición
000	primero	ganancia más baja: todas las etapas de ABR están DESACTIVADAS; el mezclador está en ganancia baja
001	segundo	segunda ganancia más baja: todas las etapas de ABR están DESACTIVADAS; el mezclador está en ganancia alta
010	tercero	tercera ganancia más baja: una etapa de ABR está ACTIVADA; el mezclador está en ganancia alta
011	cuarto	segunda ganancia más alta: dos etapas de ABR están ACTIVADAS; el mezclador está en ganancia alta
100	quinto	ganancia más alta: las tres etapas de ABR están ACTIVADAS; el mezclador está en ganancia alta

30 Según se muestra en la FIG. 4C, se proporciona histéresis en la transición entre estados adyacentes. Por ejemplo, aunque en el segundo estado ("001"), el primer ABR no está ACTIVADO (para pasar al tercer estado "010") hasta que la ganancia total supere el umbral de Subida L2, y este ABR no se DESACTIVA (para volver a pasar del segundo estado al primero) hasta que la ganancia total cae por debajo del umbral de Caída L2. La histéresis (Subida L2 – Caída L2) impide que el ABR se DESACTIVE y se ACTIVE continuamente si la ganancia total está entre los umbrales de Subida L2 y Caída L2 o es cercana a los mismos.

35 La unidad 418 de control de la etapa de ganancia determina la decisión de la etapa de ganancia en base a la ganancia total, una función de transferencia como la mostrada en la FIG. 4C (que es definida por los valores de umbral), y la información de sincronización, interferencia y posiblemente otras. La decisión de la etapa de ganancia es indicativa de las etapas específicas que deben ACTIVARSE/DEACTIVARSE para el amplificador 114 y el mezclador 212, según determine la función de transferencia. Con referencia de nuevo a la FIG. 4A, la unidad 418 de control de la etapa de ganancia proporciona entonces la decisión de la etapa de ganancia al elemento 420 de demora programable y al codificador 424 de márgenes. 40

En un ejemplo y según se muestra en la FIG. 1, el control para ACTIVAR o DESACTIVAR cada etapa del amplificador 114 y el mezclador 212 es proporcionado a estos circuitos por medio del bus serie 152. El codificador 424 de márgenes recibe la decisión de la etapa de ganancia y proporciona el correspondiente control de la etapa de ganancia para que cada circuito específico sea controlado (por ejemplo, un control de la etapa de ganancia para el amplificador 114 y otro control de la etapa de ganancia para el mezclador 212). La correlación entre la decisión de la etapa de ganancia y los controles de la etapa de ganancia puede basarse en una tabla de consulta y/o en la lógica. Cada control de la etapa de ganancia comprende uno o más bits y ACTIVA/DESACTIVA las etapas designadas dentro del circuito para que estén controlada por ese control de la etapa de ganancia. Por ejemplo, el amplificador 114 puede estar designado con cuatro etapas, y su control de la etapa de ganancia (de dos bits) puede estar asociado con cuatro valores posibles ("00", "01", "10" y "11") para las cuatro ganancias diferenciadas posibles para el amplificador. El mezclador 212 puede estar designado con dos etapas, y su control de la etapa de ganancia (de un bit) puede estar asociado con dos valores posibles ("0" y "1") para las dos ganancias diferenciadas posibles para el mezclador. Los controles de la etapa de ganancia para el amplificador 114 y el mezclador 212 se formatean en los mensajes apropiados por medio de la unidad 150 de IBS y estos mensajes son enviados entonces a los circuitos a través del bus serie 152. El codificador 424 de márgenes también proporciona al cancelador 130 de la desviación de CC una señal de cambio de la etapa de ganancia que indica si ha cambiado o no la ganancia de la circuitería de RF/analógica a un nuevo valor o a una nueva etapa.

Tal como se ha hecho notar más arriba, la ganancia total, G_{total} , para la señal recibida puede descomponerse en la ganancia bruta, G_{bruta} , y la ganancia fina, G_{fina} . Además, tal como se muestra en la FIG. 4A, la ganancia fina se genera restando la ganancia bruta de la ganancia total por medio de un sumador 416. Dado que la ganancia bruta (en forma de los controles de la etapa de ganancia) es proporcionada al amplificador 114 y el mezclador 212 por medio de la unidad 150 de IBS y el bus serie, se introduce una demora entre el momento en que la unidad 418 de control de la etapa de ganancia determina la ganancia bruta y el momento en el que los circuitos de RF/analógicos aplican realmente la ganancia bruta. Además, la demora de procesamiento se encuentra en la señal recibida procedente de la circuitería de RF destinada al DVGA (por ejemplo, especialmente el filtro digital 124). Así, para garantizar que la ganancia bruta sea aplicada por los circuitos de RF y eliminada del DVGA al mismo tiempo (es decir, para que la ganancia bruta sea aplicada una sola vez a cualquier muestra de datos dada), se usa una demora programable para retardar la ganancia bruta (tal como se indica por la decisión de la etapa de ganancia) antes de que sea aplicada al DVGA 140.

El elemento programable 420 de demora proporciona una cantidad particular de demora para la decisión de la etapa de ganancia. Esta demora compensa la demora introducida por la unidad 150 de IBS y la demora de la vía de procesamiento de la señal recibida procedente de la circuitería de RF al DVGA. Esta demora también puede ser programada escribiendo un valor de demora en un registro. Después, el elemento 420 de demora proporciona la decisión demorada de la etapa de ganancia.

Una unidad 422 de conversión de la ganancia bruta recibe la decisión demorada de la etapa de ganancia, que es indicativa de una ganancia diferenciada específica para los circuitos de RF/analógicos y proporciona la correspondiente ganancia bruta, G_{bruta} , que tiene el margen y la resolución debidas (por ejemplo, el mismo margen y la misma resolución que para la ganancia total procedente de la unidad 414 de control de CAG). Así, la ganancia bruta es equivalente a la decisión de la etapa de ganancia, pero es proporcionada en un formato diferente (por ejemplo, la ganancia bruta es un valor de alta resolución, mientras que la decisión de la etapa de ganancia es un control digital (ACTIVADO/DESACTIVADO)). La traducción de la decisión de la etapa de ganancia a la ganancia bruta puede lograrse con una tabla de consulta y/o con lógica. La ganancia bruta es restada entonces de la ganancia total por medio del sumador 416 para proporcionar la ganancia fina para el DVGA.

Siempre que cambia la ganancia de la circuitería de RF/analógica en una cantidad bruta conmutando las etapas ACTIVADO y DESACTIVADO, la fase de los componentes de señal gira típicamente en una cantidad de la etapa particular. La cantidad de la rotación de fase depende de qué etapas han sido ACTIVADAS y DESACTIVADAS (según se determina por medio de la decisión de la etapa de ganancia), pero es típicamente un valor fijado para ese reglaje o esa configuración. Esta rotación de fase puede dar como resultado una degradación en el proceso de demodulación de los datos, hasta que un bucle de control de la frecuencia es capaz de corregir la rotación de fase.

En un ejemplo, se establece una correlación entre la decisión de la etapa de ganancia y una fase de rotador, que es indicativa de la cantidad de rotación de fase en los componentes de la señal recibida debida a la ganancia indicada por la decisión de la etapa de ganancia. La fase de rotador es proporcionada entonces a un rotador dentro del demodulador digital 144 y usada para ajustar la fase de los datos I y Q para dar cuenta de la rotación de fase introducida por las etapas de ganancia habilitadas en los circuitos RF/analógicos. La correlación entre la decisión de la etapa de ganancia y la fase del rotador puede lograrse con una tabla de consulta y/o con lógica. Además, puede lograrse una resolución fina para la fase del rotador (por ejemplo, puede lograrse una resolución de $5,6^\circ$ con 6 bits para la fase del rotador).

Operación de los bucles de CC y CAG

5 Tal como se muestra en la FIG. 1, el bucle de CC opera sobre las muestras filtradas I y Q procedentes del filtro digital 124 para eliminar la desviación de CC y, a continuación, el bucle de CAG (por medio del DVGA 140) opera sobre las muestras I y Q con desviación de CC corregida que son proporcionadas, acto seguido, al demodulador digital 144. El bucle de CAG también controla la ganancia de la circuitería de RF/analógica, que, a su vez, afecta a la amplitud de las muestras I y Q en las que opera el bucle de CC. Así, puede considerarse que el bucle de CC está incorporado en el bucle de CAG. La operación del bucle de CC afecta a la operación del bucle de CAG.

10 En un receptor de conversión descendente directa, la desviación de CC (tanto la estática como la variable en el tiempo) tiene más impacto sobre los componentes de la señal debido a la menor amplitud de la señal. Pueden introducirse grandes desviaciones de CC (o picos de CC) en los componentes de la señal mediante medios diversos. En primer lugar, cuando cambia la ganancia de la circuitería de RF/analógica (por ejemplo, el amplificador 114 y el mezclador 212) en escalones diferenciados ACTIVANDO/DESACTIVANDO etapas, pueden introducirse grandes desviados de CC en los componentes de la señal debido a desajuste en las diferentes etapas que se están ACTIVANDO/DESACTIVANDO. En segundo lugar, también pueden introducirse grandes desviados de CC cuando el bucle de CC lleva a cabo actualizaciones de la desviación de CC, con lo que se proporcionan diferentes valores de desviación de CC de CC3I y CC3Q al sumador 232a y/o se proporcionan diferentes valores de desviación de CC de CC1Q y CC1Q al mezclador 212 por medio del bus serie.

20 Las desviaciones grandes de CC pueden ser eliminadas usando diversos mecanismos del bucle de CC (por ejemplo, los bucles de CC de grano grueso y de grano fino). Además, las desviaciones grandes de CC pueden ser eliminadas más rápidamente operando el bucle de CC en el modo de adquisición. Sin embargo, hasta que sean eliminadas, las grandes desviaciones de CC tienen efectos perjudiciales en los componentes de la señal y pueden degradar el rendimiento.

25 En primer lugar, cualquier desviación de CC no eliminada en los componentes de la señal aparece como ruido (cuya potencia es igual a la desviación de CC) después de la operación de estrechamiento por medio del demodulador digital 144. Este ruido puede degradar el rendimiento.

30 En segundo lugar, una gran desviación de CC perturba el rendimiento del bucle de CAG de varias maneras. La desviación de CC aumenta los componentes de la señal y da como resultado que los componentes combinados (desviación de CC y señal) tengan una amplitud mayor. Esto hace entonces que el bucle de CAG reduzca la ganancia total, de modo que se mantenga la potencia de los componentes combinados en el punto de referencia del CAG (por ejemplo, $I_2 + Q_2 =$ punto de referencia del CAG). La ganancia reducida provoca entonces la compresión de los componentes deseados de la señal, siendo proporcional la cantidad de compresión a la magnitud de la desviación de CC. La menor amplitud para los componentes deseados de la señal da como resultado una relación degradada señal-ruido de cuantificación (SNRQ), que también degrada el rendimiento. Además, si el bucle de CC no es capaz de eliminar por completo la gran desviación de CC antes de que entre en el modo de seguimiento, entonces la desviación residual de CC sería eliminada más lentamente en el modo de seguimiento. El bucle de CAG seguiría entonces esta respuesta transitoria lenta del bucle de CC, lo que entonces da como resultado un periodo de degradación prolongado hasta que los bucles de CC y CAG logren ambos un estado estacionario.

40 En tercer lugar, una gran desviación de CC afecta a la capacidad de detectar con precisión interferencias, que son señales que interfieren en la banda de las señales deseadas. Una interferencia puede ser generada por la falta de linealidad en los circuitos en la trayectoria de la señal recibida. Dado que la falta de linealidad en el amplificador 114 y en el mezclador 212 es más pronunciada cuando estos circuitos son operados con ganancias elevadas (es decir, con más etapas ACTIVADAS), el receptor puede detectar interferencias inmediatamente después de que cualquiera de estos circuitos se conmute a una ganancia elevada. La detección de interferencias puede llevarse a cabo midiendo la potencia de los componentes de la señal con el RSSI 412 inmediatamente después de la conmutación a una ganancia elevada, comparando la potencia medida con un umbral después de un periodo temporal particular de medición y declarando la presencia de una interferencia en los componentes de la señal si la potencia medida supera el umbral. Si se detecta una interferencia, puede reducirse la ganancia de uno o más circuitos para eliminar o mitigar la interferencia. Sin embargo, en presencia de una desviación de CC introducida por la conmutación a la ganancia elevada, puede no ser posible discernir si el aumento en la potencia medida se debe a la interferencia o al ruido total, que incluye cualquier desviación de CC no eliminada y el ruido aumentado del bucle de CC generado por operar el bucle de CC en el modo de adquisición para eliminar rápidamente la desviación de CC. Así, la presencia de una desviación de CC puede tener un impacto negativo en la capacidad de detectar interferencias con precisión, lo que puede degradar el rendimiento si los circuitos de RF/analógicos son operados con las ganancias equivocadas debido a la detección errónea de interferencias.

55 Una gran desviación de CC puede provocar prolongadas ráfagas de errores debidas a diversos efectos perjudiciales descritos más arriba. La degradación debida a la desviación de CC es más problemática con tasas de datos más elevadas, dado que el tiempo necesario para eliminar los picos de CC puede estar fijado (por ejemplo, por el diseño específico del bucle de CC), lo que entonces da como resultado más errores con tasas de datos más elevadas.

Según la invención, la duración del tiempo en el que el bucle de CC es operado en el modo de adquisición es inversamente proporcional al ancho de banda del bucle de CC en el modo de adquisición. El ancho de banda del bucle de CC está diseñado para ser más ancho en el modo de adquisición para permitir que el bucle de CC responda más rápidamente a la desviación de CC y la elimine. Un ancho de banda crecientemente ancho del bucle
 5 corresponde a una respuesta crecientemente grande del bucle. Como se ha hecho notar más arriba, el error de CC en los componentes deseados de la señal se manifiesta como ruido después de la operación de estrechamiento dentro del demodulador digital 144. Este ruido debería ser eliminado lo antes posible, lo que puede lograrse aumentando el ancho de banda del bucle de CC para el modo de adquisición. Sin embargo, el mayor ancho de banda del bucle de CC también da como resultado un mayor ruido en el bucle de CC que también puede degradar el
 10 rendimiento.

Para maximizar el rendimiento, el modo de adquisición debería hallar una solución de compromiso entre la desviación (introducida) de CC que ha de ser corregida y el ruido (autogenerado) del bucle de CC. Para limitar la cantidad de ruido del bucle de CC y seguir permitiendo que el bucle de CC opere con un ancho elevado de banda, la duración temporal en que el bucle de CC es operado en el modo de adquisición puede establecerse inversamente
 15 proporcional al ancho de banda del bucle. Generalmente, un mayor ancho de banda del bucle de CC corresponde a un tiempo de adquisición más corto de la desviación de CC debido a la capacidad más amplia del bucle de responder más rápidamente. Así, la cantidad más breve de tiempo dedicada al modo de adquisición con el mayor ancho de banda del bucle de CC aprovecha este hecho, y el bucle de CC no es operado en el modo de adquisición más tiempo del necesario, lo que puede entonces mejorar el rendimiento.

La duración temporal específica para operar el bucle de CC en el modo de adquisición también puede ser seleccionada en base a diversos factores, como, por ejemplo, la amplitud esperada de la desviación de CC, la amplitud del ruido del bucle de CC, los modelos de modulación, el ancho de banda de la señal recibida, etcétera. En general, la duración del modo de adquisición está relacionada inversamente con el ancho de banda del bucle de CC en el modo de adquisición, siendo la función exacta dependiente de los factores que se han notado más arriba.

La operación del bucle de CAG puede hacerse dependiente del modo operativo del bucle de CC. Como se ha hecho notar más arriba, cualquier desviación no eliminada de CC, que es típicamente mayor cuando el bucle de CC pasa al modo de adquisición, afecta a la operación del bucle de CAG. Así, el cancelador 130 de la desviación de CC proporciona a la unidad 142 de bucle de CAG la señal de control modo_bucle_CC, que indica el modo operativo actual del bucle de CC. Cuando el bucle de CC se conmuta al modo de adquisición para eliminar rápidamente una desviación de CC (potencialmente) grande, el bucle de CAG puede ser conmutado simultáneamente al modo de
 25 baja ganancia o al modo de congelación para que el bucle de CAG responda lentamente, o no lo haga en absoluto, a la desviación de CC mientras el bucle de CC está en el modo de adquisición. El bucle de CAG puede entonces volverse a conmutar al modo normal después de la que el bucle de CC pase al modo de seguimiento.

La ganancia de CAG pequeña o cero usada mientras el bucle de CC está en el modo de adquisición garantiza que el bucle de CAG conserve sus señales de control durante el periodo de adquisición de CC. Las señales de control de CAG estarán listas entonces para operar de la manera normal una vez que el bucle de CC entre en el modo de seguimiento. La ganancia de CAG pequeña o cero también dificulta o evita que el bucle de CAG mueva la potencia de los componentes deseados de la señal desde el punto de referencia del CAG y, además, reduce el impacto de la desviación de CC en el proceso de detección de interferencias, que entonces reduciría la probabilidad de una
 35 detección errónea de interferencias.

Las ganancias de CAG específicas normal y pequeña que han de usarse pueden determinarse mediante simulación, medición empírica o algún otro medio. Estas ganancias también pueden ser programables (por ejemplo, por el controlador 160).

La interfaz de bus serie (IBS)

En un aspecto relacionado, los controles para algunos de los circuitos de RF/analógicos, o de todos ellos, son proporcionados por medio del bus serie 152. El uso de un bus serie estándar para controlar las funciones de RF/analógicas proporciona muchas ventajas, tal como se describe más abajo. Además, el bus serie puede ser diseñado con diversas características para proporcionar de manera más efectiva los controles requeridos, como también se describe más abajo.

Convencionalmente, los controles para los circuitos de RF/analógicos (por ejemplo, el amplificador 114 y el mezclador 212) son proporcionados usando señales dedicadas entre los circuitos que han de ser controlados y el controlador que proporciona los controles. Pueden diseñarse uno o más contactos en el controlador para cada circuito que ha de ser controlado individualmente. Por ejemplo, pueden diseñarse tres contactos en el controlador y en el chip de RF/analógico para controlar las cinco etapas del amplificador/mezclador descrito más arriba. El uso de contactos designados para funciones específicas aumenta el número de contactos y complica el diseño de la placa, lo que puede llevar a un aumento de coste para el receptor.

El uso de un bus serie para proporcionar controles para los circuitos de RF/analógicos puede mejorar muchas de las desventajas encontradas en el diseño convencional y puede proporcionar, además, beneficios adicionales. En

primer lugar, el bus serie puede ser implementado con pocos contactos (por ejemplo, dos o tres) y estos mismos contactos pueden ser usados para proporcionar control para múltiples circuitos implementados en uno o más circuitos integrados (CI). Por ejemplo, puede usarse un solo bus serie para controlar la ganancia del amplificador 114, la ganancia del mezclador 212, la desviación de CC del mezclador 212, la frecuencia del oscilador 218, etcétera. Reduciendo el número de contactos requeridos para interconectar el CI de RF/analógico con el controlador, pueden reducirse los costes del CI de RF/analógico, del controlador y de la placa de circuitos. En segundo lugar, el uso de un bus serie estándar aumenta la flexibilidad para los futuros conjuntos de chips, dado que estandariza la interfaz del soporte físico entre el CI de RF/analógico y el controlador. Esto también permite que un fabricante use el mismo diseño de placa con diferentes CI de RF/analógicos y/o controladores sin alterar ni incrementar el número de líneas de control requeridas.

En un ejemplo, la unidad 150 de IBS está diseñada para soportar un número de canales de solicitud de soporte físico (HW_REQ), cada uno de los cuales puede ser usado para soportar una función particular. Por ejemplo, un canal puede ser usado para que el bucle del VGA establezca las ganancias de las etapas del amplificador 114 y el mezclador 212, y otro canal puede ser usado para que el bucle de CC establezca el valor de control de la desviación de CC (CC1) para el mezclador 212. En general, la unidad de IBS puede ser diseñada para soportar cualquier número de canales de solicitud de soporte físico.

Cada circuito que haya de ser controlado por separado puede estar asociado con una dirección respectiva. Cada mensaje transmitido por medio de la unidad de IBS incluye la dirección del circuito para el que se transmite el mensaje. Cada circuito acoplado al bus serie examinaría entonces la dirección incluida en cada mensaje transmitido para determinar si el mensaje está destinado o no para ese circuito y solo procesaría el mensaje si está dirigido a ese circuito.

En un ejemplo, cada canal de solicitud de soporte físico puede ser diseñado con la capacidad de soportar un número de modos de transferencia de datos, que pueden incluir un modo de transferencia rápida (FTM), un modo de transferencia por interrupciones (ITM) y un modo de transferencia por ráfagas o volumétrico (BTM). El modo de transferencia rápida puede usarse para transmitir múltiples bytes a múltiples circuitos según el siguiente patrón: ID, DIREC, DATOS, DIREC, DATOS, ... siendo ID la ID del canal de solicitud de soporte físico, DIREC la dirección del circuito destinatario y DATOS los datos para el circuito destinatario. El modo de transferencia por interrupciones puede usarse para transmitir un solo byte para la difusión a uno o más circuitos acoplados al bus serie. Y el modo de transferencia por ráfagas puede usarse para transmitir múltiples bytes a un circuito específico según el siguiente patrón: ID, DIREC, DATOS1, DATOS2, ... También pueden implementarse modos de transferencia diferentes y/o adicionales.

En un ejemplo, a los canales de solicitud de soporte físico se les pueden asignar prioridades específicas (por ejemplo, por el controlador). Las prioridades de los canales pueden ser programadas en un registro dentro de la unidad 150 de IBS. Las prioridades de los canales determinarían entonces el orden en el que los mensajes son enviados si es preciso que la unidad de IBS envíe múltiples mensajes por el bus serie. Puede asignarse una prioridad mayor a un canal usado para un bucle de control que requiere una respuesta rápida (por ejemplo, la etapa de ganancia para el amplificador 114 y el mezclador 212) y puede asignarse una prioridad menor a un canal usado para funciones más estáticas (por ejemplo, el modo de recepción del convertidor descendente directo 120, por ejemplo DFM y GPS).

Cada canal de solicitud de soporte físico puede estar asociado también con una respectiva bandera habilitadora que indica si ese canal está habilitado para su uso o no. Las banderas habilitadoras para todos los canales pueden ser mantenidas por la unidad 150 de IBS.

En un ejemplo, el bus serie comprende tres señales: una señal de datos, una señal de reloj y una señal para sincronizar la señal de sincronismo del reloj. La señal de datos se usa para enviar los mensajes. La señal de reloj es proporcionada por el remitente (por ejemplo, el controlador) y es usada por los destinatarios para acoplarse a los datos proporcionados en la señal de datos. Y la señal para sincronizar la señal de sincronismo del reloj se usa para indicar el inicio/la finalización de los mensajes. También pueden implementarse diferentes diseños de bus serie con señales diferentes y/o diferente número de señales.

Los diversos aspectos y las diversas realizaciones del receptor de conversión descendente directa descritos en el presente documento pueden ser implementados en diversos sistemas de comunicaciones inalámbricas, como sistemas CDMA, sistemas GPS, sistemas digitales de FM (DFM), etcétera. El receptor de conversión descendente directa también puede usarse para el enlace de ida o el enlace de vuelta en estos sistemas de comunicaciones.

Los diversos aspectos y las diversas realizaciones del receptor de conversión descendente directa descritos en el presente documento pueden ser implementados mediante diversos medios. Por ejemplo, todas las porciones del receptor de conversión descendente directa, o algunas de ellas, pueden ser implementadas en soporte físico, en soporte lógico o en una combinación de ambos. Para una implementación de soporte físico, el DVGA, la corrección de la desviación de CC, el control de ganancia, la IBS, etcétera, pueden ser implementados dentro de uno o más circuitos integrados para aplicaciones específicas (ASIC), procesadores de señales digitales (DSP), dispositivos de procesamiento de señales digitales (DSPD), dispositivos lógicos programables (PLD), matrices de puertas

programables in situ (FPGA), procesadores, controladores, microcontroladores, microprocesadores, otras unidades electrónicas diseñadas para llevar a cabo las funciones descritas en el presente documento o una combinación de los mismos.

5 Para una implementación de soporte lógico, los elementos usados para el control de ganancia y/o la corrección de la desviación de CC pueden implementarse con módulos (por ejemplo, procedimientos, funciones, etcétera) que llevan a cabo las funciones descritas en el presente documento. Los códigos de soporte lógico pueden ser almacenados en una unidad de memoria (por ejemplo, la memoria 162 en la FIG. 1) y ser ejecutados por un procesador (por ejemplo, el controlador 160). La unidad de memoria puede ser implementada dentro del procesador o ser externa al procesador, en cuyo caso puede estar acoplada de forma comunicativa al procesador mediante diversos medios, tal como se conoce en la técnica.

10 En el presente documento se incluyen encabezados para la referencia y para ayudar en la localización de ciertas secciones. No se pretende que estos encabezados limiten el alcance de los conceptos descritos bajo los mismos, y estos conceptos pueden tener aplicabilidad en otras secciones de principio a fin de la memoria.

15 La descripción previa de las realizaciones dadas a conocer se proporciona para permitir que cualquier persona experta en la técnica realice o use la presente invención. Diversas modificaciones a estas realizaciones serán inmediatamente evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden ser aplicados a otras realizaciones sin apartarse del alcance de la invención. Así, no se pretende que la presente invención esté limitada a las realizaciones mostradas en el presente documento, sino que está limitada únicamente por las reivindicaciones.

20

REIVINDICACIONES

1. Un procedimiento de operación de un bucle de CC en una unidad receptora que comprende:
- seleccionar un modo operativo particular para el bucle de CC entre una pluralidad de posibles modos operativos que incluyen un modo de adquisición; y,
- 5 si el modo operativo seleccionado es el modo de adquisición,
- operar el bucle de CC en el modo de adquisición en una duración temporal particular para corregir una desviación de CC en una señal deseada, en el que la duración temporal particular es inversamente proporcional a un ancho de banda del bucle para el bucle de CC para el modo de adquisición, y
- salir del modo de adquisición después de la duración temporal particular.
- 10 2. El procedimiento de la reivindicación 1 en el que el modo de adquisición es seleccionado en respuesta a un acontecimiento que se espera que dé como resultado una gran desviación de CC en la señal deseada.
3. El procedimiento de la reivindicación 2 en el que el acontecimiento corresponde a una conmutación a nuevas etapas de circuitos analógicos para procesar la señal deseada.
- 15 4. El procedimiento de la reivindicación 2 en el que el acontecimiento corresponde a la aplicación de un nuevo valor de la desviación de CC para corregir la desviación estática de CC en la señal deseada.
5. El procedimiento de la reivindicación 1 en el que la pluralidad de posibles modos operativos incluye, además, un modo de seguimiento.
6. El procedimiento de la reivindicación 5 en el que se efectúa la transición del modo de adquisición al modo de seguimiento después de la duración temporal particular.
- 20 7. El procedimiento de la reivindicación 1 en el que la duración temporal particular es seleccionado, además, en base a una amplitud esperada de la desviación de CC en la señal deseada.
8. El procedimiento de la reivindicación 1 en el que la duración temporal particular es seleccionado, además, para minimizar una combinación de la desviación de CC introducido en la señal deseada y el ruido de bucle procedente del bucle de CC.
- 25 9. Un aparato para su uso en una unidad receptora que comprende:
- medios para seleccionar un modo operativo particular para el bucle de CC entre una pluralidad de posibles modos operativos que incluyen un modo de adquisición; y,
- medios para operar el bucle de CC en el modo de adquisición en una duración temporal particular, si el modo operativo seleccionado es el modo de adquisición, para corregir una desviación de CC en una señal deseada, en el que la duración temporal particular es inversamente proporcional a un ancho de banda del bucle para el bucle de CC para el modo de adquisición, y
- 30 medios para salir del modo de adquisición después de la duración temporal particular.
10. El aparato de la reivindicación 9 en el que el bucle de CC comprende, además:
- un sumador operativo para restar el valor de la desviación de CC de una señal deseada para proporcionar una señal corregida con desviación de CC; y
- 35 una unidad de control del bucle configurable para operar en uno de la pluralidad de posibles modos operativos para proporcionar el valor de la desviación de CC, en el que la pluralidad de posibles modos operativos incluye un modo de adquisición que tiene un ancho de banda particular del bucle y en el que la unidad de control del bucle es operada en el modo de adquisición, cuando se selecciona, en una duración temporal particular inversamente proporcional al ancho de banda del bucle para el modo de adquisición y para salir del modo de adquisición después de la duración temporal particular.
- 40

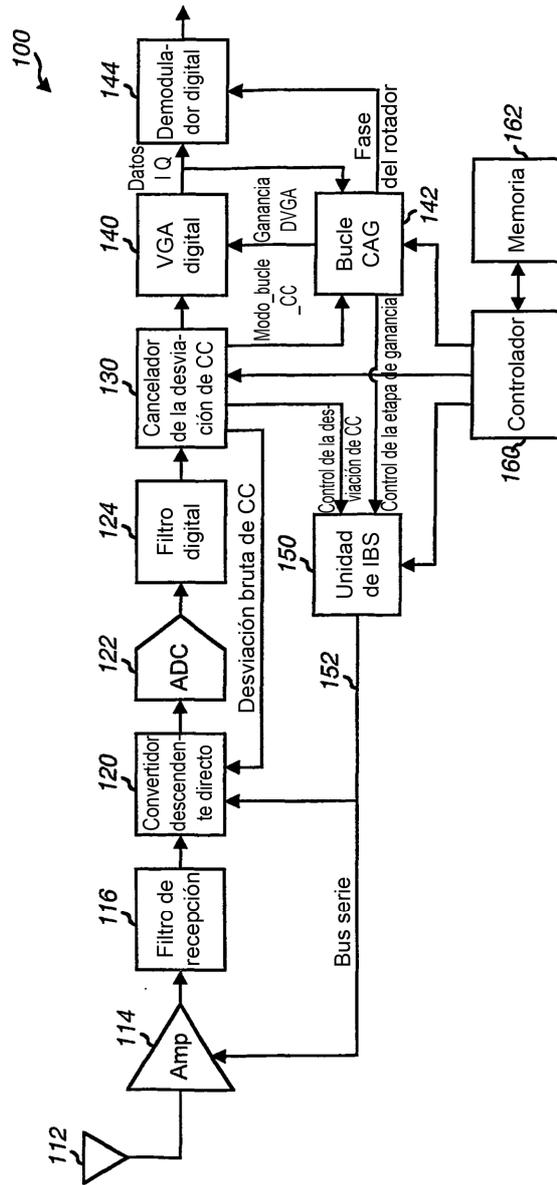


FIG. 1

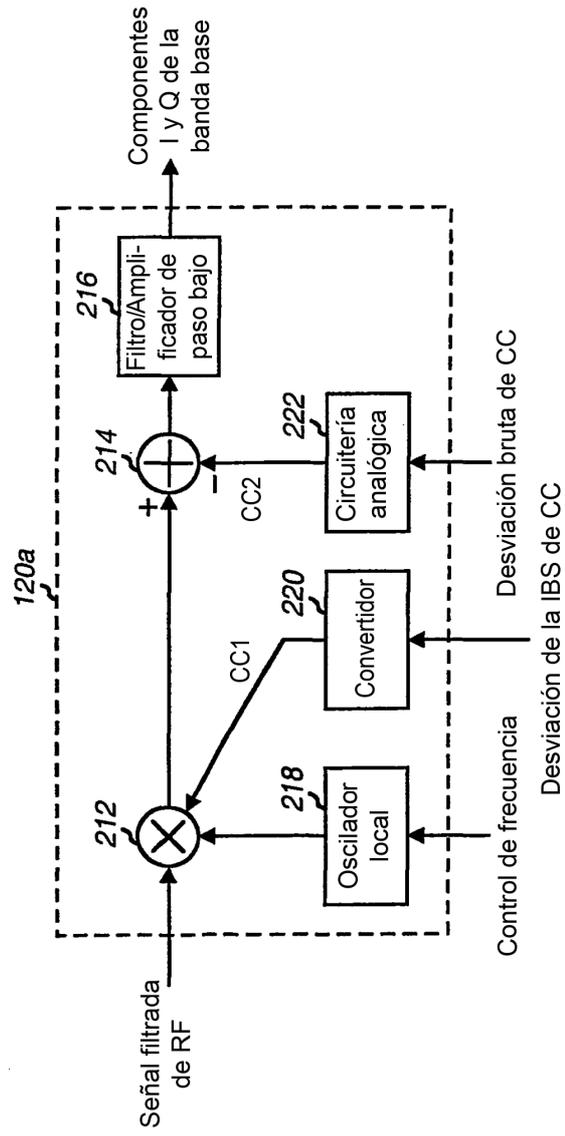


FIG. 2A

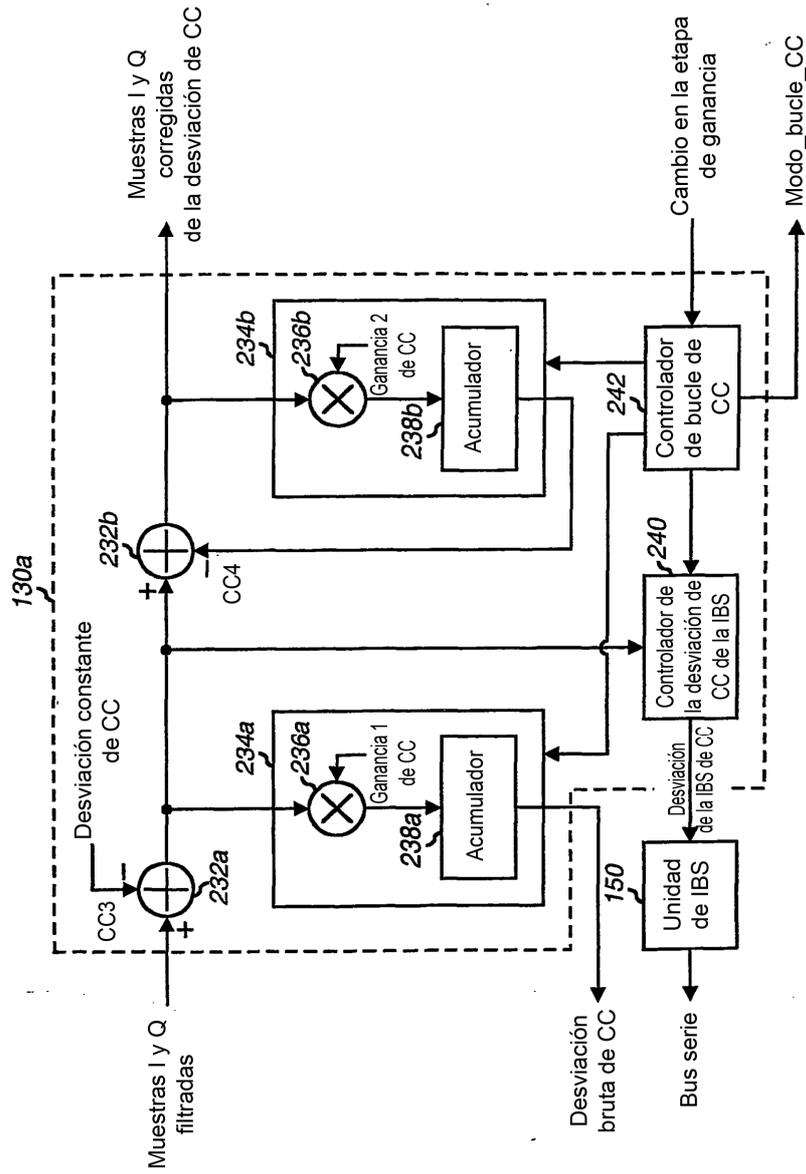


FIG. 2B

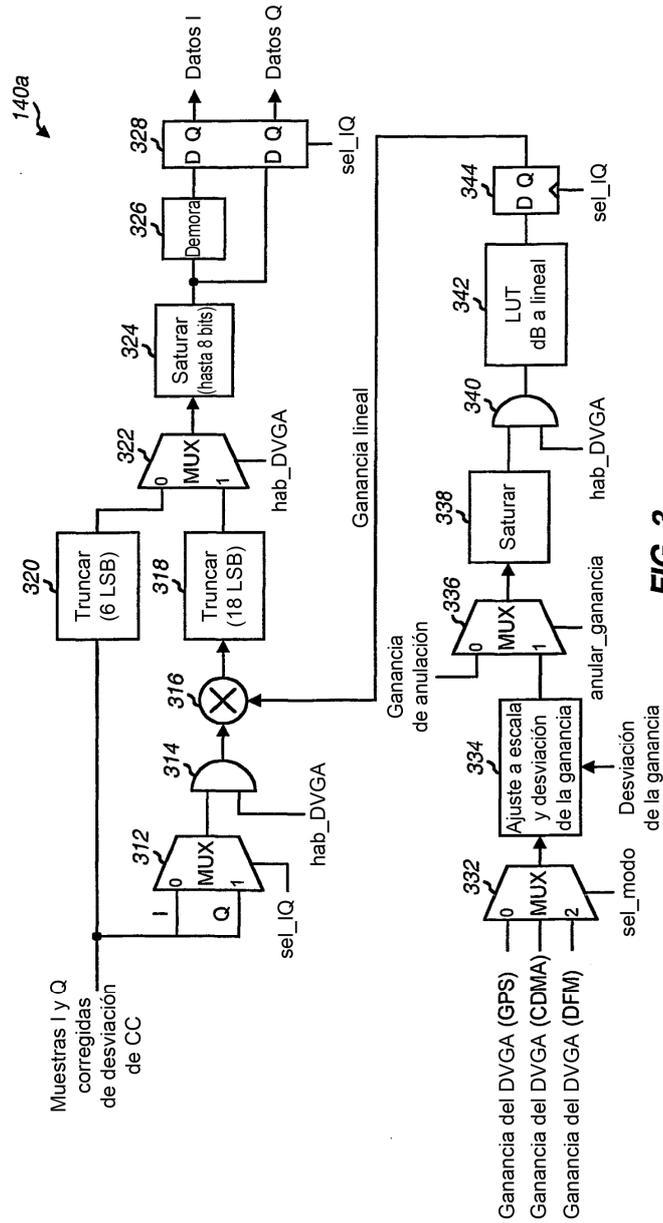


FIG. 3

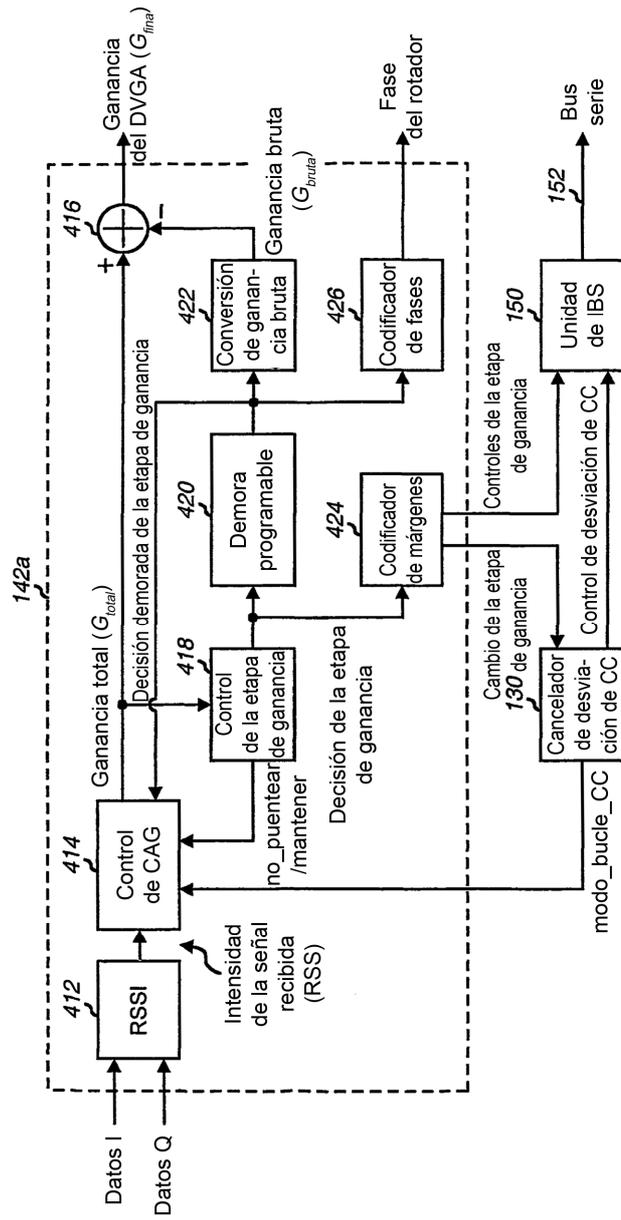


FIG. 4A

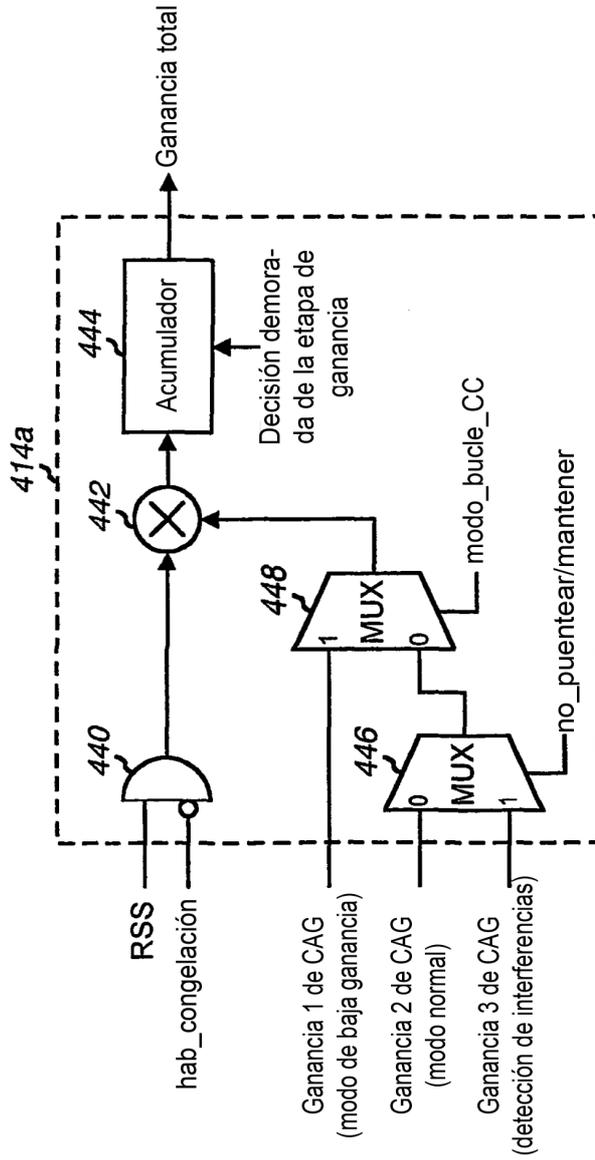


FIG. 4B

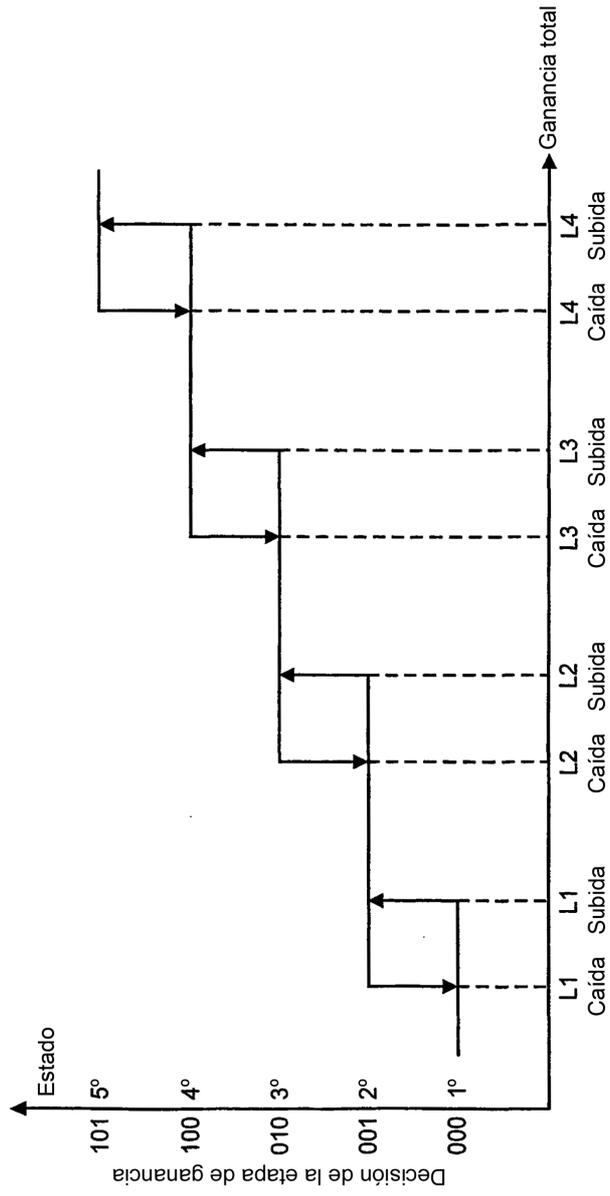


FIG. 4C