



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 364 867**

51 Int. Cl.:
H03M 3/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **08020314 .4**

96 Fecha de presentación : **21.11.2008**

97 Número de publicación de la solicitud: **2190121**

97 Fecha de publicación de la solicitud: **26.05.2010**

54 Título: **Convertidor A/D multicanal.**

45 Fecha de publicación de la mención BOPI:
15.09.2011

45 Fecha de la publicación del folleto de la patente:
15.09.2011

73 Titular/es: **SICK AG.**
Erwin-Sick-Strasse 1
79183 Waldkirch/Breisgau, DE

72 Inventor/es: **Hug, Gottfried;**
Bohli, Alexander y
Heindl, Jakob

74 Agente: **Carpintero López, Mario**

ES 2 364 867 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Convertidor A/D multicanal

La invención se refiere a un convertidor A/D (convertidor analógico / digital) multicanal para la conversión de varias señales de entrada en una señal de salida digital correspondiente.

- 5 Si con una FPGA (Field Programmable Gate Array) se deben valorar magnitudes analógicas, como en particular tensiones y/o corrientes, entonces éstas se deben someter en primer lugar a una conversión analógica / digital. La posibilidad más sencilla de realizar una conversión semejante la ofrecen los IC (circuitos integrados) acabados, tal y como están disponibles en el mercado. No obstante, tales IC no son apropiados para muchas tareas sencillas del convertidor, debido a su necesidad de espacio en la tarjeta de circuitos impresos correspondiente, a la absorción de potencia, al gasto de comunicación que se produce para la FPGA y no en último lugar debido a sus elevados costes.

- 10 Para la conversión analógica / digital se conocen también ya el procedimiento de rampa simple o de doble rampa o de aproximaciones sucesivas (compárese, por ejemplo, el documento US 6,246,258 B1). Estos procedimientos traen consigo respecto a los IC convencionales una mejora respecto a los costes, la absorción de potencia y el gasto de comunicación. No obstante, debido a su elevada propensión a fallos no se pueden utilizar de forma razonable, por ejemplo, para las tareas de supervisión en sistemas relevantes en seguridad. Además, este procedimiento condiciona un proceso de decisión continuo, en el que las magnitudes perturbadoras analógicas provocan al inicio del proceso decisiones erróneas y por consiguiente errores considerables.

- 15 Otra posibilidad para la realización de una conversión digital / analógica se da con el procedimiento sigma – delta ($\Sigma\Delta$) conocido. Este procedimiento ya se ha aplicado con coste diferente con elementos analógicos y digitales o de forma completamente integrada. En este caso se utiliza actualmente respectivamente un modulador $\Sigma\Delta$, en cuyo bucle de realimentación está previsto un integrador en forma de un amplificador de operación.

- 20 Del documento US 6,246,258 B1 se conoce además un así denominado convertidor A/D flash. No obstante, para la realización de un convertidor semejante se necesitan para n bits $2^n - 1$ comparadores. Para una resolución de 10 bits son necesarios 1023 comparadores, lo que va en contra de una conversión realista.

- 25 Entre los inconvenientes de los procedimientos o convertidores A/D conocidos cuentan por consiguiente en particular una propensión a fallos relativamente elevada, una resolución demasiado baja, una exactitud demasiado baja, tolerancias demasiado elevadas, una sensibilidad a la temperatura demasiado elevada, una absorción de potencia demasiado elevada, un consumo de recursos demasiado elevado en la FPGA, una necesidad de espacio demasiado elevada en la placa de circuitos impresos electrónicos (PCB, Printed Circuit Board), una cantidad de componentes relativamente grande, así como los costes relativamente elevados.

- 30 La invención tiene el objetivo de crear un convertidor A/D multicanal que se pueda aplicar utilizando lo mejor posible los recursos con una FGPA.

- Este objetivo se resuelve según la invención con un convertidor A/D multicanal con las características de la reivindicación 1.

- 35 El convertidor A/D multicanal según la invención para la conversión de varias señales de entrada analógicas en una señal de salida digital correspondiente se caracteriza porque comprende un modulador $\Sigma\Delta$ con varios comparadores de entrada asignados respectivamente a una señal de entrada, una unidad de muestreo dispuesta después de estos a través de un multiplexor y un bucle de realimentación que presenta un convertidor D/A así como un filtro, a través del que la señal de salida de la unidad de muestreo se reconduce a los comparadores de entrada. A este respecto los comparadores de entrada, el multiplexor, la unidad de muestreo y el convertidor D/A están realizados en una FPGA, mientras que el filtro está realizado como filtro analógico y está previsto fuera de la FPGA.

- 40 Con este convertidor A/D multicanal que se basa en el principio $\Sigma\Delta$, se pueden medir y convertir varias señales de entrada con un coste en componentes muy pequeño, necesiándose para la realización solo una pequeña parte de la unidad lógica FPGA y un filtro analógico. Debido a la sencilla estructura se produce una forma económica, que ahorra recursos, espacio y energía de un convertidor A/D multicanal. En este caso con una buena calidad en la conversión se utilizan de forma óptima las cualidades de la FPGA en un sentido analógico y digital y el coste en componentes analógicos adicionales se mantiene bajo. Además se minimiza la tolerancia y la sensibilidad a la temperatura, así como se obtiene una elevada calidad de medición (linealidad y exactitud), elevada seguridad frente a fallos, en particular respecto a perturbaciones externas y una resolución elevada (poco ruido).

- 50 El convertidor A/D puede comprender una unidad de valoración para la valoración de la señal de salida de la unidad de muestreo. En este caso esta unidad de valoración también está realizada preferentemente en la FPGA.

La unidad de valoración está realizada preferiblemente para la promediación de la señal de salida de la unidad de

muestreo durante un intervalo de tiempo predeterminable. Para ello puede comprender, por ejemplo, al menos un filtro FIR (FIR = Finite Impulse Response) y/o al menos un filtro CIC (CIC = Cascaded Integrator Comb).

La unidad de valoración puede estar realizada también en particular de forma que se cuentan los valores de exploración "1" que aparecen en una ventana de tiempo predeterminable correspondiente, correspondiendo el estado del contador que se produce al final de la ventana de tiempo con el resultado de la conversión.

Los filtros CIC ofrecen respecto a los filtros FIR un menor consumo de recursos, así como un tiempo de respuesta transitoria más breve. El recuento preferido correspondientemente de la señal que vuelve del comparador correspondiente es el más cuidadoso con los recursos, contándose cada "1" que aparece en una ventana de tiempo o ventana de medición determinada. El conteo se puede comenzar de forma síncrona al inicio de cada ventana de tiempo por una unidad de control y se puede interrumpir bruscamente al final. Después del desarrollo de la ventana de tiempo, el estado del contador se corresponde con el resultado de la conversión. La unidad de control puede conmutar al siguiente comparador y puede iniciar la siguiente ventana de tiempo tan pronto como el filtro analógico se ha estabilizado de forma segura. Una estructura del contador, potente, lo más rápida posible y que evite los fallos de sincronización en el diseño se obtiene en particular con dos contadores conectados en serie.

El convertidor A/D comprende convenientemente un demultiplexor dispuesto después de la unidad de valoración, que suministra las señales de salida digitales. En este caso este demultiplexor está realizado también en la FPGA.

Según se ha mencionado, el convertidor A/D comprende preferentemente también una unidad de control. Esta unidad de control también está realizada de nuevo en la FPGA.

La unidad de control puede estar prevista en particular para el control del multiplexor, para el control de la unidad de muestreo, para el control de la unidad de valoración y/o para el control del demultiplexor.

La unidad de control está realizada preferiblemente de forma que la señales de salida de los comparadores de entrada se suministran correspondientemente a la unidad de muestreo para una ventana de tiempo predeterminable, un inicio correspondiente de la unidad de muestreo se sincroniza con un inicio correspondiente de la unidad de valoración y/o el demultiplexor se controla correspondientemente para la emisión de la señales de salida digitales.

El filtro analógico previsto fuera de la FPGA puede comprender un filtro RC, comprendiendo preferentemente un filtro multipolar, en particular un filtro RC multipolar. El filtro analógico previsto fuera de la FPGA comprende preferentemente un filtro RC multipolar recursivo. En particular es ventajoso que comprenda un filtro RC cuadripolar recursivo, cuya toma esté prevista en particular después del tercer polo. Para la realización del filtro analógico se necesitan así sólo dos tipos de componentes o dos redes analógicas, así en particular cuatro elementos R idénticos y cuatro elementos C idénticos. En este caso la disposición, según se ha mencionado ya, está seleccionada ventajosamente de forma que resulta una estructura de filtro cuadripolar recursiva que se toma en particular después del tercer polo.

No obstante, también puede concebirse básicamente otro filtro multipolar, por ejemplo, un filtro tripolar, si dado el caso se asume el número mayor de componentes y los correspondientes costes de equipamiento para adaptar individualmente los elementos R y C. Así se podrían utilizar, por ejemplo, para un filtro tripolar en conjunto seis elementos R y C diferentes.

Es esencial que el filtro se realice como filtro analógico y fuera de la FPGA. Todos los otros elementos del modulador $\Sigma\Delta$ están integrados en la FPGA.

Con el convertidor A/D según la invención es posible la conversión analógica – digital secuencial de varias magnitudes de entrada, para lo que para n magnitudes de entrada están previstos n comparadores en la FPGA y una unidad lógica de control realizada preferentemente igualmente en la FPGA. La unidad de control asume en este caso en particular las tres tareas siguientes:

Se ocupa de que las señales de salida de los comparadores se suministren a la unidad de muestreo del modulador $\Sigma\Delta$ para una ventana de tiempo determinada. Sincroniza el inicio de la unidad de exploración o de muestreo con el inicio de la unidad de valoración, y controla la emisión del resultado de la conversión a través del demultiplexor.

Para la valoración de la señal generada por el modulador $\Sigma\Delta$ sólo se necesita una unidad de valoración. Así es posible realizar un convertidor $\Sigma\Delta$ multicanal mediante el empleo de la unidad lógica de control aplicada y n comparadores. El número de los componentes analógicos necesarios externamente, en particular del filtro analógico, permanece de forma inalterable. Sólo es necesaria también una unidad de control que esté realizada preferentemente igualmente de nuevo en la FPGA.

Para la conversión de varias señales analógicas de entrada están realizados en la FPGA así varios comparadores de entrada, mientras que sólo son necesarias una unidad de muestreo y una unidad de control que pueden estar realizadas igualmente de nuevo en la FPGA, y sólo es necesario un filtro analógico común que está previsto fuera de la FPGA, lo que se permite por el uso de un multiplexor y demultiplexor y una adaptación correspondiente de la unidad de control Por

consiguiente se puede prescindir de una reproducción de los componentes correspondientes, como en particular de la red de filtro para los canales individuales y adicionalmente se pueden ahorrar una pluralidad de entradas de la FPGA, lo que trae consigo claramente menores costes u otra disponibilidad de las restantes entradas presentes.

5 El convertidor A/D trabaja con el uso de un modulador $\Sigma\Delta$ en base al procedimiento $\Sigma\Delta$, que es un procedimiento que forma un valor medio continuo. El sistema necesita un tiempo determinado para ajustarse a un nuevo valor, siguiendo el modulador $\Sigma\Delta$ siempre al valor de la tensión de entrada y generando una cadena de datos moduladas por densidad de pulsos o modulada por frecuencia de pulsos, y que representa el valor de la tensión analógica en forma de su valor medio. Un valor digital se puede generar finalmente por la formación digital del valor medio (filtrado paso bajo / integración) a partir de la cadena de datos modulada por frecuencia de pulsos. La ventaja, por ejemplo, respecto a las aproximaciones sucesivas consiste en que las perturbaciones de tipo transitorio se promedian directamente por la integración continua de la cadena de datos modulada por frecuencia de pulsos y así apenas se hacen notar en la señal de salida o no se hacen notar en absoluto. La homogenización aumenta con el grado de la reexploración que está determinada por la relación entre la frecuencia, con la que se explora la señal modulada por frecuencia de pulsos, y la frecuencia de Nyquist que se produce a partir de la anchura de banda de la señal de entrada. No es necesario un elemento de exploración y parada.

10 La invención se explica más en detalle a continuación mediante ejemplos de realización en referencia al dibujo; en este muestran:

Fig. 1 un diagrama de bloques de una forma de realización a modo de ejemplo del convertidor A/D multicanal según la invención,

Fig. 2 un diagrama de bloques de otra forma de realización a modo de ejemplo del convertidor A/D multicanal,

20 Fig. 3 una estructura de conteo a modo de ejemplo para el recuento de la señal que viene de un comparador de entrada correspondiente, y

Fig. 4 un diagrama de tiempo de una conversión analógica / digital a modo de ejemplo, realizable con el convertidor A/D según la invención.

25 En la fig. 1 se muestra un diagrama de bloques de un convertidor A/D multicanal 10 según la invención para la conversión de varias señales de entrada analógicas $IN_1 - IN_n$ en una señal de salida digital $OUT_1 - OUT_n$ correspondiente.

30 El convertidor A/D multicanal 10 presenta un modulador $\Sigma\Delta$ 12, que comprende varios comparadores de entrada $14_1 - 14_n$ asignados respectivamente a una señal de entrada $IN_1 - IN_n$, una unidad de muestreo 18 dispuesta después de éstos a través de un multiplexor 16 y un bucle de realimentación 24 que presenta un convertidor D/A 20 así como un filtro 22, a través del que la señal de salida de la unidad de muestreo 18 se reconduce a los comparadores de entrada $14_1 - 14_n$. En este caso los comparadores de entrada $14_1 - 14_n$, el multiplexor 16, la unidad de muestreo 18 y el convertidor D/A 20 están realizados en una FPGA 26. El filtro 22 está realizado como filtro analógico y está previsto fuera de la FPGA 26.

El convertidor A/D 10 comprende además una unidad de valoración 28 para la valoración de la señal de salida de la unidad de muestreo 18. En este caso esta unidad de valoración 28 también está realizada preferiblemente de nuevo en la FPGA 26.

35 La unidad de valoración 28 está realizada en particular para la promediación de la señal de salida de la unidad de muestreo 18 durante un intervalo de tiempo predeterminable. Para ello la unidad de valoración 28 puede comprender diferentes tipos de filtros y, por ejemplo, un filtro FIR y/o al menos un filtro CIC. La unidad de valoración 28 puede estar realizada en particular también de forma que se cuenten los valores de explotación "1", que aparecen en una ventana de tiempo correspondiente predeterminable, correspondiéndose el estado del contador que se produce al final de la ventana de tiempo con el resultado de la conversión.

40 Los filtros CIC ofrecen respecto a los filtros FIR un menor consumo de recursos y un tiempo de respuesta transitoria más corto. No obstante, lo más cuidadoso en recursos es el recuento aquí preferido de la señal que viene de un comparador correspondiente en una estructura del contador mostrada en la figura 2 y explicada posteriormente más en detalle abajo, en la que en una ventana determinada de tiempo o medición se cuenta cada "1" que aparece. El conteo se puede iniciar de forma síncrona al inicio de cada ventana de tiempo por una unidad de control 30 y se puede interrumpir bruscamente al final. Después del desarrollo de la ventana de tiempo, el estado del contador se corresponde con el resultado de la conversión. La unidad de control 30 puede conmutar ahora a la siguiente entrada de comparador y puede iniciar la siguiente ventana de tiempo tan pronto como el filtro 22 analógico se ha estabilizado de forma segura. Una estructura del contador potente, lo más rápida posible y que evite los fallos de sincronización en el diseño se obtiene en particular con dos contadores conectados en serie.

50 El convertidor A/D 10 comprende además un demultiplexor 32 dispuesto después de la unidad de valoración 28, que suministra las señales de salida digitales $OUT_1 - OUT_n$. Este demultiplexor 32 también está realizado preferiblemente de nuevo en la FPGA 26.

La unidad de control 30 mencionada anteriormente también está realizada preferiblemente de nuevo en la FPGA 26. Esta unidad de control 30, que sirve en particular para la sincronización, así como la selección de la fuente de señal correspondiente, está prevista en particular para el control del multiplexor 16, para el control de la unidad de muestreo 18, para el control de la unidad de valoración 28 y/o para el control del demultiplexor 32.

5 A este respecto la unidad de control 30 puede estar realizada en particular de forma que las señales de salida de los comparadores de entrada $14_1 - 14_n$ se suministran respectivamente a la unidad de muestreo 18 para una ventana de tiempo predeterminable, un inicio correspondiente de la unidad de muestreo 18 se sincroniza con un inicio correspondiente de la unidad de valoración 28 y/o el demultiplexor se controla correspondientemente para la emisión de las señales de salida digitales $OUT_1 - OUT_n$.

10 La unidad de muestreo 18 suministra una cadena de datos 34 modulada por frecuencia de pulsos, que se reconduce, por un lado, a la unidad de valoración 28 y, por otro lado, a través del convertidor D/A 20 y el filtro analógico 22 a las entradas de referencia 46 de los comparadores $14_1 - 14_n$, que comparan la señal de entrada analógica $IN_1 - IN_n$ correspondiente con esta señal reconducida. El convertidor D/A 20 es en la forma de realización preferida un excitador de salida sencillo o convertidor D/A de 1 bit, que dispone sólo de los dos estados "LOW" y "HIGH". En el filtro analógico 22 se integra esencialmente la señal reconducida.

La unidad de muestreo 18 trabaja con un ratio de exploración 36 que de manera conocida en sí se selecciona más elevado en un múltiplo que lo que se exige por el teorema de exploración, de manera que se sobreexploran las señales de salida de los comparadores de entrada $14_1 - 14_n$.

20 La cadena de datos 34 modulada por frecuencia de pulsos se convierte por el convertidor D/A 20, que en la forma de realización preferida presenta una anchura de palabra de 1 bit, en una señal 38 analógica y, según se ha mencionado, se reconduce a través del filtro analógico 22 a los comparadores de salida $14_1 - 14_n$.

En la forma de realización representada, a disposición del convertidor D/A 20 se pone un valor de referencia de tensión V_{Ref} , por ejemplo su tensión de alimentación 44, con el que se ajusta el nivel de tensión de la señal de salida 38 del convertidor D/A.

25 El filtro analógico 32 previsto fuera de la FPGA 26 puede comprender en particular un filtro multipolar, preferentemente un filtro RC multipolar. Este filtro analógico 22 previsto fuera de la FPGA 26 comprende preferiblemente un filtro RC cuádrupolar recursivo, cuya toma está prevista ventajosamente después del tercer polo. En este caso sólo se necesitan dos redes analógicas, es decir, la red de resistencias 40 que comprende aquí, por ejemplo, cuatro resistencias, así como la red de condensadores 42 que comprende aquí, por ejemplo, cuatro condensadores. En este caso en la red de resistencias 40 están previstas preferentemente resistencias idénticas y en la red de condensadores 42 están previstos preferentemente condensadores idénticos. No obstante, también puede estar previsto básicamente otro filtro multipolar, sobre todo un filtro tripolar, si se asume el número mayor de componentes diferentes y los costes de equipamiento correspondientemente mayores, para adaptar individualmente los elementos R y C. Así se podrían utilizar para un filtro tripolar en conjunto seis elementos R y C diferentes.

35 En el ejemplo de realización descrito anteriormente se parte de que los comparadores están configurados en la FPGA (Input-Buffer) conforme a un estándar entrada/salida diferencial, es decir, la entrada invertida y no invertida de un comparador se cablea respectivamente con un pin de la FPGA. La entrada invertida está unida en la realización seleccionada siempre con la rama del filtro recursiva, la entrada no invertida con la señal analógica a convertir. Para cada señal, que debe convertirse de analógica a digital, se necesitan por lo tanto dos pins.

40 En la fig. 2 se muestra un diagrama de bloques de otra forma de realización a modo de ejemplo del convertidor A/D multicanal según la invención. Si se utiliza en lugar del estándar entrada/salida diferencial un estándar entrada/salida terminado simple y un así denominado pin de referencia, entonces se puede reducir, como en particular se puede reconocer mediante esta forma de realización representada en la figura 2, el número de los pins necesarios. El pin de referencia está unido con la entrada invertida de varios comparadores, es decir, la rama recursiva del filtro todavía sólo debe unirse con el pin de referencia correspondiente. Esto es ventajoso en la técnica frente a fallos ya que existen menos puntos de contacto para perturbaciones.

En esta forma de realización según la fig. 2 se puede utilizar así la entrada de referencia de la FPGA para los comparadores de entrada. Por lo demás esta forma de realización posee al menos esencialmente de nuevo la misma estructura que la según la fig. 1, estando asignadas a piezas correspondientes entre sí las mismas referencias.

50 La fig. 3 muestran una estructura de conteo a modo de ejemplo para el recuento preferible de la señal que viene de un comparador de entrada $14_1 - 14_n$ correspondiente. A este respecto se cuenta en una ventana determinada de tiempo o de medición cada "1" que aparece. El conteo se inicia de forma síncrona al inicio de cada ventana de medición por la unidad de control 30 y se puede interrumpir bruscamente al final. Después del desarrollo de la ventana de medición, el estado del contador se corresponde con el resultado de la conversión. La unidad de control 30 conmuta entonces a la siguiente

entrada de comparador e inicia la siguiente ventana de referencia, tan pronto como el filtro 22 analógico se ha estabilizado de forma segura. En este caso, en el presente ejemplo de realización, la ventana de medición tiene una duración de 500 μ s. Una señal de comparación correspondiente se explora, por ejemplo, con una frecuencia de 200 MHz. La tensión de suministro de un comparador correspondiente o FPGA es, por ejemplo, de 3,3 V. El primer contador posee, por ejemplo, una anchura de 3 bits y suma cada "1" en la señal de comparación. El segundo contador tiene, por ejemplo, una anchura de 17 bits y aumenta su estado de contador en cuatro tan pronto como el MSB (Most Significant Bit) del contador de 3 bits cambia su valor. Al final de cada ventana de tiempo se memorizan los 12 bits superiores del contador de 17 bits como resultado de la conversión, lo que se corresponde con una división entre 32.

La resolución resultante de ello del convertidor se calcula como sigue:

$$3,3 \text{ V} / ((500 \mu\text{s} \cdot 200 \text{ MHz}) / 32) = 1,056 \cdot 10^{-3} \text{ V} / \text{dígito},$$

lo que se corresponde al valor teórico para un dígito.

Un acortamiento del tiempo de valoración del sistema se puede conseguir en particular por la utilización de un filtro CIC que cuida los recursos en la unidad de valoración y/o una interrupción "suave" del recuento al final de la ventana de medición.

Una mejora de la linealidad del sistema se puede conseguir en particular por una linealización del resultado de la conversión según la estructura del contador o el filtro digital.

La fig. 4 muestra un diagrama de tiempo de una conversión analógica / digital a modo de ejemplo, realizable con el convertidor A/D según la invención. En este caso está representado puramente a modo de ejemplo un funcionamiento multicanal para, por ejemplo, tres canales o magnitudes de entrada analógicas. La señal modulada por frecuencia de pulsos (PCM) está reproducida para las siguientes tensiones de entrada:

Canal 1 = tensión de suministro / 2 (V), ciclo de trabajo de la señal PCM es 50%

Canal 2 = 0,75 • tensión de suministro (V), ciclo de trabajo de la señal PCM es 75%

Canal n = tensión de suministro / 3 (V), ciclo de trabajo de la señal PCM es 33%

En esta fig. 4 están representados respecto al tiempo las ventanas asignadas a los canales 1 – n, el ciclo del sistema, la señal modulada por frecuencia de pulsos (PCM) y el ciclo del sistema enmascarado por la señal modulada por frecuencia de pulsos. Durante una ventana correspondiente se cuentan los impulsos del ciclo del sistema enmascarado por la señal modulada por frecuencia de pulsos (PCM). Así en el presente caso se produce para la ventana asignada al canal 1 un estado del contador de 8, para la ventana asignada al canal 2 un estado del contador de 12 y para la ventana asignada al canal n un estado del contador de 4. El estado del contador correspondiente se corresponde entonces al valor digital en cuestión.

Con el convertidor A/D según la invención se obtienen una serie de ventajas. Así por el uso de modernos componentes electrónicos se produce una solución miniaturizable de forma económica. Se producen buenos resultados de la conversión para conversiones A/D sencillas (resolución, por ejemplo, de 12 bits, no linealidad integral por ejemplo < 1%). La exactitud absoluta no depende sólo de las tolerancias de la tensión de referencia o de suministro y no más de componentes analógicos externos o su funcionamiento respecto a la temperatura. Con el procedimiento $\Sigma\Delta$ se produce una mayor seguridad frente a fallos. Es posible un funcionamiento multicanal con coste mínimo. Es posible un tiempo de conversión por canal de en particular < 0,5 ms. El modulador $\Sigma\Delta$ está integrado, a excepción del filtro analógico, completamente en la FPGA. Con el filtro analógico construido a partir de dos redes se produce una minimización del coste en componentes. Mientras que para varias señales de entrada se debe realizarse sólo una unidad de muestreo, sólo una unidad de valoración y sólo una unidad de control en la FPGA, se necesita en ésta sólo un menor porcentaje de unidad lógica. Los resultados de la conversión pueden escalarse por ampliación de la unidad de valoración.

Lista de referencias

	10	Convertidor A/D
	12	Modulador $\Sigma\Delta$
	14 ₁ – 14 _n	Comparadores de entrada
	16	Multiplexor
5	18	Unidad de muestreo
	20	Convertidor D/A
	22	Filtro analógico
	24	Bucle de realimentación
	26	FPGA
10	28	Unidad de valoración
	30	Unidad de control
	32	Demultiplexor
	34	Cadena de datos modulada por frecuencia de pulsos
	36	Ratio de exploración
15	38	Señal analógica
	40	Red de resistencias
	42	Red de condensadores
	44	Tensión de suministro
	46	Entrada de referencia
20	IN ₁ - IN _n	Señales de entrada analógicas
	OUT ₁ – OUT _n	Señales de salida digitales

REIVINDICACIONES

- 1.- Convertidor A/D multicanal (10) para la conversión de varias señales de entrada analógicas ($IN_1 - IN_n$) en una señal de salida digital ($OUT_1 - OUT_n$) correspondiente, con un modulador $\Sigma\Delta$ (12) que comprende varios comparadores de entrada ($14_1 - 14_n$) asignados respectivamente a una señal de entrada ($IN_1 - IN_n$), una unidad de muestreo (18) dispuesta después de éstos a través de un multiplexor (16) y un bucle de realimentación (24) que presenta un convertidor D/A (20) así como un filtro (22), a través del que la señal de salida de la unidad de muestreo (18) se reconduce a los comparadores de entrada ($14_1 - 14_n$), en el que los comparadores de entrada ($14_1 - 14_n$), el multiplexor (16), la unidad de muestreo (18) y el convertidor D/A (20) están realizados en una FPGA (26) y el filtro (22) está realizado como filtro analógico y está previsto fuera de la FPGA (26).
- 2.- Convertidor según la reivindicación 1, caracterizado porque comprende una unidad de valoración (28) para la valoración de la señal de salida de la unidad de muestreo (18).
- 3.- Convertidor según la reivindicación 2, caracterizado porque la unidad de valoración (28) también está realizada en la FPGA (26).
- 4.- Convertidor según la reivindicación 2 ó 3, caracterizado porque la unidad de valoración (28) está realizada para la promediación de la señal de salida de la unidad de muestreo (18) durante un intervalo de tiempo predeterminable.
- 5.- Convertidor según una de las reivindicaciones precedentes, caracterizado porque la unidad de valoración (28) comprende al menos un filtro FIR y/o al menos un filtro CIC.
- 6.- Convertidor según una de las reivindicaciones precedentes, caracterizado porque la unidad de valoración (28) está realizada de forma que se cuentan los valores de exploración "1" que aparecen en una ventana de tiempo predeterminable correspondiente, correspondiendo el estado del contador que se produce al final de la ventana de tiempo con el resultado de la conversión.
- 7.- Convertidor según una de las reivindicaciones precedentes, caracterizado porque comprende una demultiplexor (32) dispuesto después de la unidad de valoración (28) y que suministra las señales de salida digitales ($OUT_1 - OUT_n$).
- 8.- Convertidor según la reivindicación 7, caracterizado porque el demultiplexor (32) también está realizado en la FPGA (26).
- 9.- Convertidor según una de las reivindicaciones precedentes, caracterizado porque comprende una unidad de control (30).
- 10.- Convertidor según la reivindicación 9, caracterizado porque la unidad de control (30) también está realizada en la FPGA.
- 11.- Convertidor según la reivindicación 9 ó 10, caracterizado porque la unidad de control (30) está prevista para el control del multiplexor (16), para el control de la unidad de muestreo (18), para el control de la unidad de valoración y/o para el control del demultiplexor (32).
- 12.- Convertidor según la reivindicación 11, caracterizado porque la unidad de control (30) está realizada de forma que las señales de salida de los comparadores de salida ($14_1 - 14_n$) se suministran respectivamente a la unidad de muestreo (18) para una ventana de tiempo predeterminable, un inicio correspondiente de la unidad de muestreo (18) se sincroniza con un inicio correspondiente de la unidad de valoración (28) y/o el demultiplexor (32) se controla correspondientemente para la emisión de las señales de salida digitales ($OUT_1 - OUT_n$).
- 13.- Convertidor según una de las reivindicaciones precedentes, caracterizado porque el filtro analógico (22) previsto fuera de la FPGA (26) comprende un filtro RC, en particular un filtro RC multipolar.
- 14.- Convertidor según la reivindicación 13, caracterizado porque el filtro analógico (22) previsto fuera de la FPGA (26) comprende un filtro RC multipolar recursivo.
- 15.- Convertidor según la reivindicación 13 ó 14, caracterizado porque el filtro analógico (22) previsto fuera de la FPGA (26) comprende un filtro RC cuádrupolar recursivo, cuya toma está prevista en particular después del tercer polo.

Fig. 1

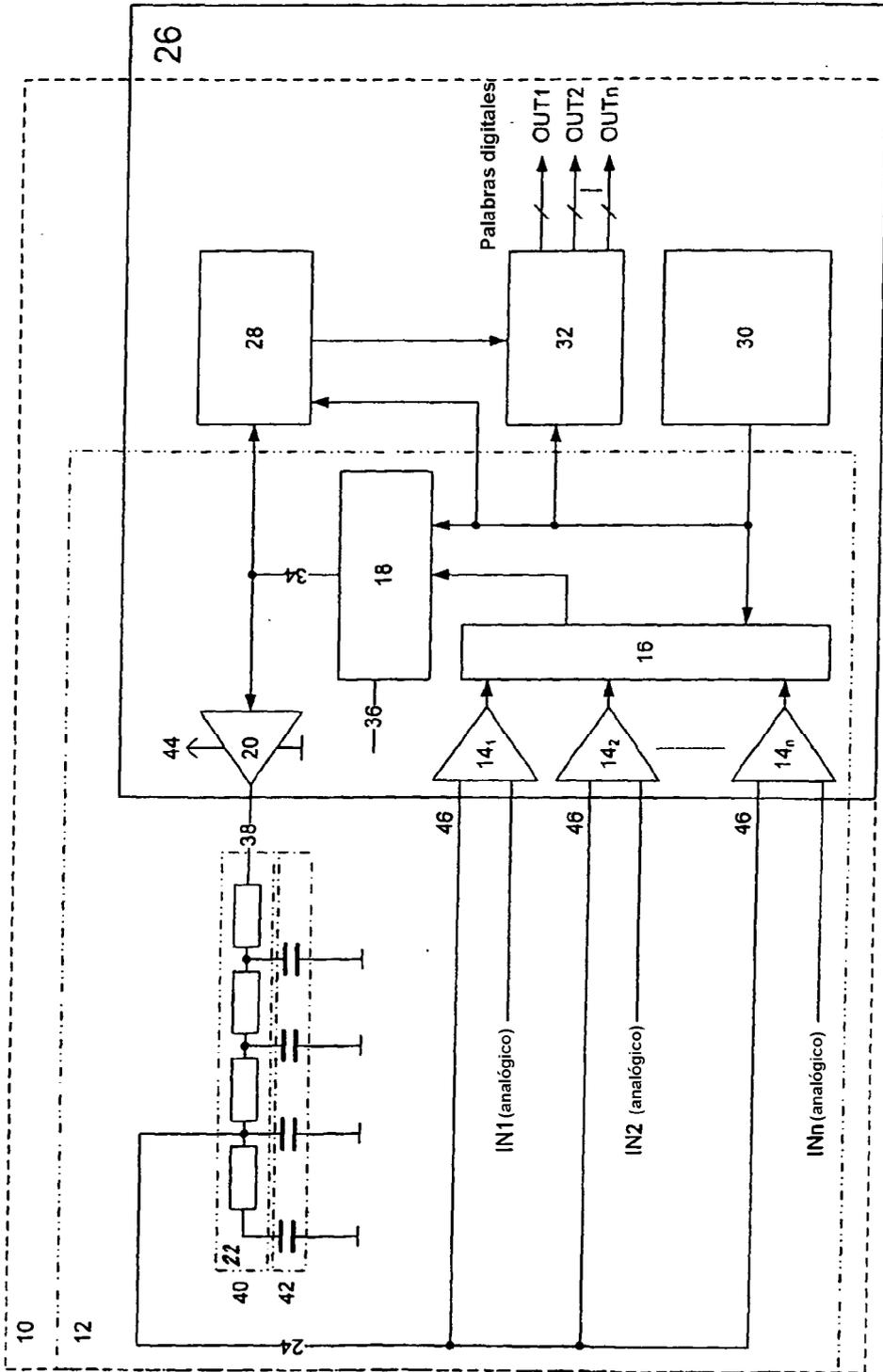


Fig. 2

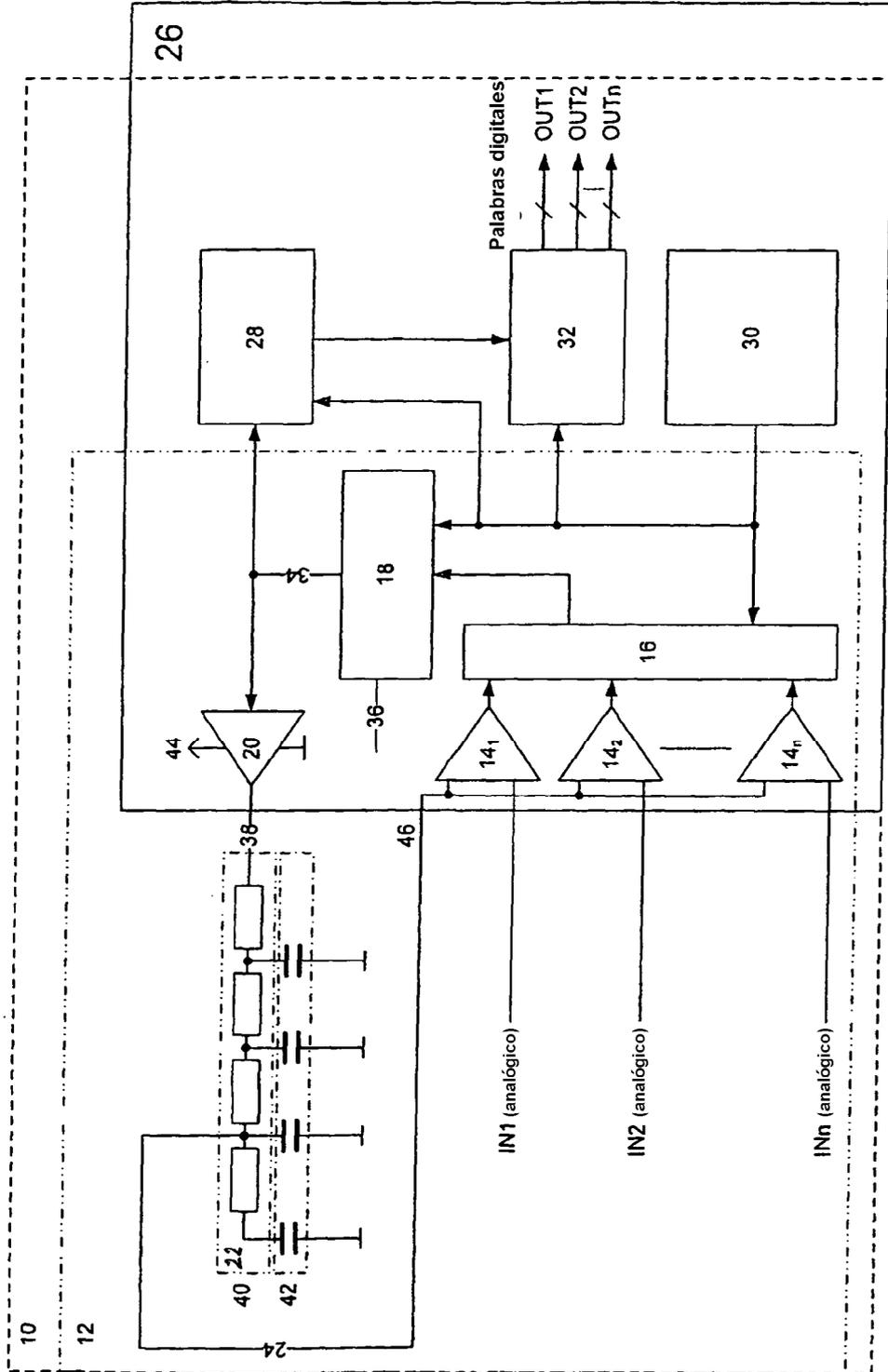
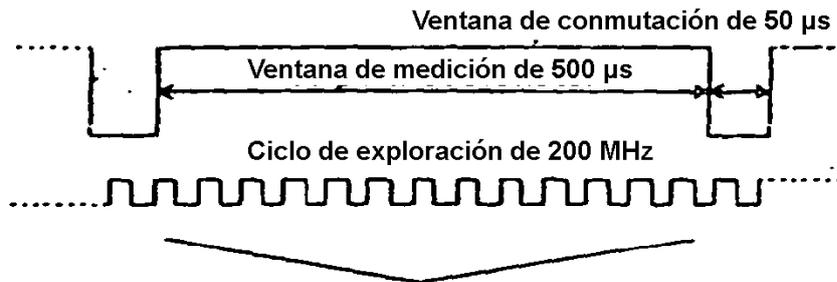


Fig. 3



100000 Valores de exploración => Contador de 17 bits
 Utilización de los 12 bits superiores => División entre 32

Valor teórico para un dígito:

$$3,3V / ((500\mu s \cdot 200MHz) / 32) = 1,056 \cdot 10^{-3} \checkmark$$

Fig. 4

