



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 365 438**

51 Int. Cl.:

**H03M 1/50** (2006.01)

**G01R 29/02** (2006.01)

**H03L 7/00** (2006.01)

**G01R 29/26** (2006.01)

**G01R 31/317** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **08005117 .0**

96 Fecha de presentación : **19.03.2008**

97 Número de publicación de la solicitud: **2026469**

97 Fecha de publicación de la solicitud: **18.02.2009**

54

Título: **Dispositivo de circuito y procedimiento para medir la fluctuación de reloj.**

30

Prioridad: **09.08.2007 US 836220**

45

Fecha de publicación de la mención BOPI:  
**05.10.2011**

45

Fecha de la publicación del folleto de la patente:  
**05.10.2011**

73

Titular/es: **QUALCOMM INCORPORATED**  
**5775 Morehouse Drive**  
**San Diego, California 92121-1714, US**

72

Inventor/es: **Saint-Laurent, Martin;**  
**Andreev, Boris y**  
**Bassett, Paul**

74

Agente: **Fabrega Sabaté, Xavier**

ES 2 365 438 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Dispositivo de circuito y procedimiento para medir la fluctuación de reloj

### I.- Campo

5 La presente divulgación se refiere generalmente a dispositivos de circuito y procedimientos para medir la fluctuación de reloj.

### II.- Descripción de la técnica relacionada

10 En general, la estabilidad temporal de una señal de reloj en un dispositivo de circuito puede afectar al rendimiento, particularmente en los dispositivos de circuitos digitales síncronos. Las fluctuaciones de reloj de corta duración, o fluctuaciones de reloj, pueden degradar el rendimiento del sistema debido a un riesgo de violaciones de la restricción temporal. La fluctuación de reloj introduce una limitación de rendimiento paramétrico en dispositivos de circuito. Convencionalmente, una reducción en la frecuencia del procesador puede ser difícil de medir con precisión, en parte, porque la inserción de puntos de medición puede también perturbar la señal de reloj. Por ejemplo, las sondas externas de ensayo que miden la fluctuación de reloj pueden perturbar la señal de reloj introduciendo capacitancias, inductancias, desajustes de impedancia, y otras anomalías que pueden introducir fluctuaciones de reloj adicionales.

15 Para medir la fluctuación de reloj con más precisión se han añadido estructuras de ensayo en chip a dispositivos de circuito. Las estructuras de ensayo en chip pueden incluir un gran número de circuitos biestables para capturar un valor de reloj en múltiples puntos de muestreo a lo largo de una cadena de retardos. Sin embargo, para muestrear con precisión la señal de reloj, se usa un gran número de puntos de muestreo y, por lo tanto, un gran número de circuitos biestables. El gran número de circuitos biestables puede ocupar un área importante del circuito global. Además, la precisión asociada a tales estructuras de ensayo está limitada normalmente al retardo de inserción de cada elemento de la cadena de retardos. Por ejemplo, si cada elemento de la cadena de retardos tiene un retardo de 20 picosegundos, la precisión de la medición tomada entre elementos de la cadena de retardos puede limitarse a más o menos 20 picosegundos. En los circuitos de procesador que operan a frecuencias superiores a un Gigahertzio, un margen de retardo de 40 picosegundos puede representar una cantidad importante de incertidumbre en la fluctuación de reloj detectada, que se puede solucionar añadiendo un margen operativo superior al margen de incertidumbre de la fluctuación de reloj detectada. Este margen operativo limita la frecuencia a la cual el dispositivo de circuito puede operar.

20 El documento "A 1-Gb/s/pin 512-Mb DDRII SDRAM Using a Digital DLL and a Slew-Rate-Controlled Output Buffer" de Matano y col. en *IEEE Journal of SOLID-STATE CIRCUITS*, de mayo de 2003, describe un enfoque alternativo.

25 Asimismo, una vez medida la fluctuación de reloj en un diseño de circuito particular, sigue siendo difícil determinar si un cambio de diseño puede reducir la fluctuación. Mientras un margen de fluctuación excesivo puede aumentar la utilización de área de un sustrato de circuito, aumentar el consumo de energía y aumentar el tiempo de comercialización de un diseño particular, un margen de fluctuación insuficiente puede dar como resultado una calidad reducida y un mayor número de fallos o un rendimiento reducido. De este modo, hay una necesidad de dispositivos de circuito mejorados y de procedimientos para medir la fluctuación de reloj.

### Resumen

Esta necesidad se satisface mediante la materia objeto de las reivindicaciones independientes.

30 En una forma de realización particular, se divulga un procedimiento que incluye enviar una señal de reloj a lo largo de una cadena de retardos de un dispositivo de circuito y determinar un valor de la señal de reloj en un punto seleccionado dentro de la cadena de retardos. El procedimiento también incluye ajustar la posición del punto seleccionado cuando el valor no indica la detección de una parte deseada de la señal de reloj.

35 En otra forma de realización particular, se divulga un dispositivo de circuito que incluye una cadena de retardos compuesta por múltiples elementos de retardo. La cadena de retardos es sensible a una señal de reloj. El dispositivo de circuito incluye también un circuito lógico y un circuito multiplexor jerárquico con múltiples entradas sensibles a la cadena de retardos. El circuito lógico controla el multiplexor jerárquico para determinar un valor de la señal de reloj en un punto seleccionado dentro de la cadena de retardos y para ajustar el punto seleccionado cuando el valor no indica un flanco de la señal de reloj.

40 En todavía otra forma de realización particular, se divulga un procedimiento que incluye recibir una señal de reloj en una cadena de retardos de un dispositivo de circuito y determinar una posición de un flanco de la señal de reloj dentro de la cadena de retardos para determinar un periodo de reloj. Localizar el flanco de la señal de reloj incluye determinar iterativamente un valor de la señal de reloj en un punto seleccionado dentro de la cadena de retardos y ajustar el punto seleccionado hasta que el valor indique un flanco de la señal de reloj. El procedimiento también incluye comparar la posición del flanco de la señal de reloj con una posición de un flanco de una señal de reloj nominal para determinar una medición de fluctuación de reloj.

En aún otra forma de realización particular, se divulga un dispositivo procesador que incluye medios para hacer pasar una señal de reloj a lo largo de una cadena de retardos de un dispositivo de circuito y medios para determinar un valor de la señal de reloj en un punto seleccionado. El dispositivo procesador incluye también medios para ajustar el punto seleccionado cuando el valor no indica un flanco de la señal de reloj.

- 5 Una ventaja particular proporcionada por las formas de realización del circuito de determinación de fluctuación de reloj se proporciona debido a que el circuito de determinación de fluctuación de reloj consigue una gran precisión en la determinación de fluctuaciones de reloj, permitiendo que los diseñadores establezcan un margen menor de fluctuación de reloj para mejorar las velocidades de reloj operativas para dispositivos de circuito.

- 10 Se proporciona otra ventaja particular debido a que el circuito de determinación de fluctuación de reloj ocupa un área menor del circuito global y consume menos energía de funcionamiento que los circuitos de compensación de fluctuación y/o que los circuitos de determinación de fluctuación de reloj convencionales.

Se proporciona otra ventaja particular adicional debido a que el circuito de determinación de fluctuación de reloj está adaptado para medir la fluctuación a lo largo de periodos de tiempo largos en núcleos de procesador que están ejecutando varias aplicaciones.

- 15 Se proporciona otra ventaja particular debido a que el circuito de determinación de fluctuación de reloj puede operar sin calibración.

Se realiza otra ventaja debido a que el circuito de determinación de fluctuación de reloj no requiere componentes de circuito analógicos.

- 20 Otros aspectos, ventajas y características de la presente divulgación serán evidentes tras revisar toda la solicitud, incluyendo las siguientes secciones:

Breve descripción de los dibujos, Descripción detallada y las Reivindicaciones.

#### **Breve descripción de los dibujos**

La FIG. 1 es un gráfico que ilustra una señal de reloj que incluye incertidumbre temporal debida a fluctuaciones;

- 25 La FIG. 2 es un diagrama de bloques de una forma de realización ilustrativa particular de un circuito para medir la fluctuación de reloj;

La FIG. 3 es un diagrama de bloques de una forma de realización ilustrativa particular de un dispositivo de circuito que incluye un circuito para medir la fluctuación de reloj;

La FIG. 4 es un diagrama de tiempos que ilustra la detección de flancos de una señal de reloj usando los circuitos mostrados en las FIG. 2 y 3;

- 30 La FIG. 5 es un diagrama de tiempos que ilustra la detección de flancos de una señal de reloj usando los circuitos mostrados en las FIG. 2 y 3 después de ajustar el tiempo de señal de reloj mediante un retardo conocido;

La FIG. 6 es un diagrama de flujo de una forma de realización ilustrativa particular de un procedimiento para medir la fluctuación de reloj;

- 35 La FIG. 7 es un diagrama de flujo de una forma de realización ilustrativa particular de un procedimiento para controlar un reloj operativo de un dispositivo de circuito en función de una fluctuación de reloj medida; y

La FIG. 8 es un diagrama de bloques de una forma de realización ilustrativa particular de un dispositivo de comunicaciones portátil que incluye un circuito para medir la fluctuación de reloj.

#### **Descripción detallada**

- 40 La FIG. 1 es un gráfico 100 que ilustra una señal de reloj 102 que incluye incertidumbre temporal debida a fluctuaciones. El gráfico 100 incluye un eje x que representa el tiempo y un eje y que representa un nivel lógico o nivel de voltaje. Se ha de entender que el eje temporal puede indicar el tiempo en unidades de retardo de circuito, unidades de tiempo absoluto (tales como nanosegundos), otras unidades, o cualquier combinación de las mismas. La señal de reloj 102 tiene un periodo de reloj nominal 106 y tiene un periodo de reloj detectado con fluctuación 108. En general, la fluctuación de reloj es una distorsión en el ciclo de reloj y una diferencia de fase acumulada a lo largo del tiempo, de manera que el flanco de reloj (flanco de subida, flanco de bajada o ambos) puede distorsionarse, o puede llegar antes o después que un flanco de reloj nominal esperado. Los flancos de reloj de subida anteriores causados por fluctuaciones están indicados de manera genérica mediante los números de referencia 104 y 112 y un flanco de reloj retardado está indicado de manera genérica mediante el número de referencia 110.

- 50 En general, la señal de reloj 102 puede incluir múltiples transiciones potenciales desde un nivel lógico bajo hasta un nivel lógico alto, como se indica generalmente mediante la línea 104 y la línea 110. La señal de reloj 102 también

incluye una transición desde un nivel lógico alto hasta un nivel lógico bajo. Además, se muestra en 112 una transición posterior desde el nivel lógico bajo al nivel lógico alto. Aunque la señal de reloj 102 puede tener un periodo de reloj nominal 106, el propio periodo de reloj puede variar dependiendo de las diversas transiciones de flanco potenciales y los retardos asociados a tales transiciones (es decir, basados en fluctuaciones). En este caso, el periodo de reloj detectado con fluctuación 108 representa el peor caso de fluctuación de reloj donde el periodo de reloj detectado es más corto que el periodo de reloj nominal, que, en los sistemas convencionales, puede dar como resultado errores de transición de datos debidos a la fluctuación de reloj, a menos que el diseñador hubiese introducido un margen de reloj operativo para justificar tal fluctuación de reloj.

En general, la fluctuación descrita con respecto a la FIG. 1 está relacionada con una diferencia entre un periodo de reloj nominal esperado (desde un flanco de subida de un primer impulso de reloj nominal hasta un flanco de subida de un siguiente impulso de reloj nominal) y un periodo de reloj determinado (desde un flanco de subida de un impulso de reloj recibido hasta un flanco de subida de un siguiente impulso de reloj recibido). Sin embargo, se ha de entender que un valor de fluctuación de reloj puede determinarse también a partir de flancos de bajada de la señal de reloj o a partir de partes seleccionadas de la señal de reloj.

En referencia a la FIG. 2, puede utilizarse un diagrama de bloques de una forma de realización ilustrativa particular de un dispositivo de circuito 200 para medir fluctuación de reloj, determinando un periodo de reloj y comparando el periodo de reloj con un periodo de reloj nominal esperado. El dispositivo de circuito 200 incluye una entrada de reloj 200, un elemento de retardo variable 204 y una cadena de retardos 206. La cadena de retardos 206 incluye una pluralidad de elementos de retardo, que pueden ser memorias intermedias, inversores, otros elementos de retardo, o cualquier combinación de los mismos. En una forma de realización particular, la cadena de retardos 206 puede incluir una pluralidad de inversores conectados en serie que incluyen los inversores ilustrados 238, 240, 242 y 244. La entrada de reloj 202 opera en respuesta a una fuente para recibir una señal de reloj, la cual se proporciona a la cadena de retardos 206 después de la compensación por medio del elemento de retardo variable 204. En general, el retardo en serie introducido por cada uno de la pluralidad de inversores conectados en serie de la cadena de retardos es mucho menor que un periodo de reloj nominal (es decir, un periodo de reloj esperado). En una forma de realización no limitativa, ilustrativa y particular, el periodo de reloj nominal puede ser de 1.000 picosegundos y cada inversor puede representar aproximadamente un retardo de 20 picosegundos.

El dispositivo de circuito 200 también incluye un circuito multiplexor jerárquico, que incluye un primer nivel de uno o más circuitos multiplexores, tales como los multiplexores 208 y 210. El circuito multiplexor jerárquico también incluye un circuito multiplexor de segundo nivel 216, que puede usarse para determinar fluctuaciones de fase de reloj muestreando una señal de reloj dentro de la cadena de retardos 206. Además, el circuito multiplexor jerárquico puede incluir dispositivos de circuito lógico, tales como uno o más elementos biestables 212 y 214. En una forma de realización ilustrativa particular, el circuito multiplexor jerárquico puede incluir niveles adicionales de circuitos o lógica de multiplexores, tales como el multiplexor 222 y el elemento biestable 224.

El dispositivo de circuito 200 también incluye un controlador de puntero de selección de cadena de retardos 228, que controla los multiplexores jerárquicos. En particular, el controlador de puntero de selección de cadena de retardos 228 controla los multiplexores 208 y 210 a través de una línea de control 232, controla el multiplexor 216 a través de una línea de control 234 y controla el multiplexor 222 a través de una línea de control 236. El dispositivo de circuito 200 incluye además un circuito lógico 226 que opera en respuesta al elemento biestable 224 y que está adaptado para determinar un flanco de una señal de reloj en un punto dentro de la cadena de retardos 206.

El circuito lógico 226 puede proporcionar datos relacionados con la señal de reloj en la salida 246. En una forma de realización ilustrativa particular, el circuito lógico 226 puede proporcionar un valor u otro indicador en la salida 246 que puede utilizarse mediante software u otro sistema de circuitos para identificar un periodo de reloj de la señal de reloj recibida en la cadena de retardos 206. En una forma de realización ilustrativa particular, el circuito lógico 226 proporciona un ajuste de puntero de cadena de retardos 248 (señal de control de realimentación) al controlador de puntero de selección de cadena de retardos 228. Además, el circuito lógico 226 proporciona una señal de realimentación de ajuste de retardo de reloj 235 al elemento de retardo de reloj variable 204.

El primer nivel de multiplexores, tal como los multiplexores 208 y 210, incluyen múltiples entradas acopladas a diferentes puntos de la cadena de retardos 206 y se controlan mediante el controlador de puntero de selección de cadena de retardos 228 para multiplexar los valores a partir de los respectivos puntos de la cadena de retardos 206. Por ejemplo, el multiplexor 208 puede controlarse mediante el controlador de puntero de selección de cadena de retardos 228 a través de la línea de control 232 para multiplexar (muestrear) el valor de una señal de reloj en un punto entre los elementos de retardo 238 y 240. El multiplexor 210 también puede controlarse mediante el controlador de puntero de selección de cadena de retardos 228 a través de la línea de control 232 para muestrear el valor de la señal de reloj en un punto entre los elementos de retardo 242 y 244 dentro de la cadena de retardos 206. El multiplexor 208 proporciona el valor muestreado al elemento biestable interno 212 y el multiplexor 210 proporciona el valor muestreado al elemento biestable 214.

En general, cada uno de los inversores conectados en serie (memorias intermedias u otros elementos de retardo) de la cadena de retardos 206 lleva a cabo la función de un elemento de retardo y cada uno tiene un retardo nominal predeterminado asociado a los datos que pasan a través del inversor. En una forma de realización no limitativa,

ilustrativa y particular, el periodo de reloj nominal puede ser de 1.000 picosegundos, y cada inversor puede representar aproximadamente un retardo de 20 picosegundos. Usando la cadena de retardos 206 para medir fluctuación de reloj, el retardo representando por cada inversor determina una granularidad de la medición (es decir, un margen de error para una muestra dada). Por ejemplo, en una forma de realización ilustrativa particular, se conoce una medición tomada entre dos elementos de retardo con una precisión de más o menos, aproximadamente, 20 picosegundos (es decir, un margen de error de aproximadamente 40 picosegundos). El retardo de reloj variable 204 puede controlarse mediante el circuito lógico 226 a través de la señal de realimentación de ajuste de retardo de reloj 235 para insertar un desfase temporal conocido en la señal de reloj en la entrada de la cadena de retardos 206, de manera que la resolución de la cadena de retardos 206 puede hacerse más precisa con el fin de determinar fluctuación de reloj. Por ejemplo, si el punto de muestreo entre los inversores 238 y 240 representa un periodo de tiempo de 40 picosegundos desde el principio de la cadena de retardos hasta el punto de muestreo, el retardo de reloj variable 204 puede introducir un retardo de 5 picosegundos que ajusta el retardo de inserción total al punto de muestreo, de manera que el periodo de tiempo para que la señal se propague al punto de muestreo en la salida del inversor 240 representa 45 picosegundos. De este modo, la granularidad de la determinación de flancos de reloj particulares puede mejorarse para determinar con más precisión el periodo de reloj.

En una forma de realización ilustrativa particular, una señal de reloj recibida en la entrada de reloj 202 se recibe en la cadena de retardos 206 del dispositivo de circuito 200. El controlador de puntero de selección de cadena de retardos 228 controla el primer nivel del multiplexor jerárquico, tal como los multiplexores 208 y 210, para muestrear un punto dentro de la cadena de retardos 206. En general, los multiplexores 208 y 210 incluyen una pluralidad de entradas que operan en respuesta a una pluralidad de salidas de la cadena de retardos 206. Cada una de la pluralidad de salidas de la cadena de retardos 206 corresponde a una salida respectiva de uno de los elementos de retardo, tales como los inversores ilustrados.

La señal de reloj se muestrea en un punto seleccionado dentro de la cadena de retardo 206. El punto seleccionado dentro de la cadena de retardos 206 puede representar un flanco de reloj de un reloj que tiene un periodo de reloj nominal o esperado. Alternativamente, el punto seleccionado puede representar un flanco para un reloj que tiene un periodo de reloj que es mayor que el periodo de reloj nominal o esperado. El controlador de puntero de selección de cadena de retardos 228 controla los multiplexores 208 y 210 para proporcionar los datos muestreados a los elementos biestables 212 y 214. Se ha de entender que hay una pluralidad de salidas procedentes del primer nivel del circuito multiplexor jerárquico, que proporciona datos muestreados de la cadena de retardos 206 a una pluralidad de elementos lógicos. Los datos muestreados de la pluralidad de elementos biestables se proporcionan en paralelo a un multiplexor de segundo nivel del circuito multiplexor jerárquico, tal como el segundo multiplexor 216. Los datos pueden proporcionarse a otro nivel del circuito multiplexor jerárquico representado por un inversor 218 y una memoria intermedia 220 acoplados en paralelo, que proporcionan los datos de reloj muestreados a un multiplexor 222.

El controlador de puntero de selección de cadena de retardos 228 puede controlar el multiplexor 222 a través de la línea de control 236 para proporcionar los datos de reloj muestreados a un elemento biestable 224 y al circuito lógico 226. El circuito lógico 226 está adaptado para determinar si el flanco de reloj se encontró en el punto de muestreo dentro de la cadena de retardos 206.

El circuito lógico 226 puede proporcionar una salida, tal como datos relacionados con el punto de muestreo en la cadena de retardos 206, a través de la salida 246. Además, el circuito lógico 226 puede proporcionar un ajuste de puntero de cadena de retardos 248 al controlador de puntero de selección de cadena de retardos 228 para ajustar un punto de muestreo de los multiplexores 208 y 210 para muestrear un punto diferente dentro de la cadena de retardos 206. En una forma de realización ilustrativa particular, el punto de muestreo en la cadena de retardos 206 puede indicar un periodo de reloj que es menor que un periodo de reloj nominal, y el punto de muestreo puede ajustarse seleccionando un punto de muestreo diferente en la cadena de retardos para identificar un segundo punto situado anteriormente en la cadena de retardos con respecto al punto inicial. El punto de muestreo en la cadena de retardos 206 puede representar una distancia esperada a lo largo de la cadena de retardos 206 recorrida por el flanco de la señal de reloj en función de la frecuencia de reloj nominal.

En una forma de realización ilustrativa particular, si el circuito lógico 226 determina que el flanco de reloj no se encontró en el punto de muestreo dentro de la cadena de retardos 206, el circuito lógico 226 puede modificar el punto de muestreo para muestrear en un punto diferente de un reloj que tiene un periodo que es menor o mayor que el periodo de reloj esperado, dependiendo del valor de los datos muestreados. En particular, si el flanco de reloj de subida no alcanzó el punto de muestreo, el circuito lógico puede proporcionar un ajuste de puntero de cadena de retardos 248 para compensar un periodo de reloj más corto. El dispositivo de circuito 200 puede llevar a cabo el proceso de nuevo, controlando que los multiplexores 208, 210, 216 y 222 del circuito multiplexor jerárquico muestreen en el punto de muestreo ajustado.

Una vez que el circuito lógico 226 localice el flanco de reloj dentro de la cadena de retardos 206, el circuito lógico 226 puede ajustar el retardo de reloj variable 204 a través de la señal de realimentación de ajuste de retardo de reloj 235 para ajustar la señal de reloj de entrada mediante un incremento de tiempo conocido, de manera que la señal de reloj efectúa una transición en la cadena de retardos 206 en un tiempo ajustado (es decir,  $T_0 + \Delta T$ ), donde  $T_0$  representa el retardo de propagación/inserción desde el inicio de la cadena de retardos 206 hasta el punto de

muestreo en la cadena de retardos 206 antes de que se ajuste la señal de reloj de entrada. El controlador de puntero de selección de cadena de retardos 228 puede volver a muestrear la señal de reloj en el punto de muestreo dentro de la cadena de retardos 206 para determinar con más precisión el flanco de reloj.

5 El elemento de retardo de reloj variable 204 está acoplado a una entrada de la cadena de retardos 206 para desfasar la señal de reloj recibida en un incremento de tiempo conocido con gran precisión para modificar el tiempo en que se recibe la señal de reloj en la cadena de retardos 206. Ajustando el retardo de reloj variable 204, la granularidad de la cadena de retardos 206 se refina o mejora de manera eficaz. El retardo de reloj variable 204 proporciona de este modo un mecanismo para que el dispositivo de circuito 200 proporcione pequeños ajustes precisos de reloj durante el proceso de detección de flanco de reloj. En particular, la señal de reloj de entrada puede ajustarse mediante un incremento que es inferior al retardo introducido por cada elemento de retardo de la cadena de retardos 206. Por ejemplo, si cada elemento de retardo, tal como el inversor 238, introduce un retardo de 20 picosegundos, el elemento de retardo de reloj variable 204 puede introducir un retardo de 5 picosegundos (un retardo que tiene un incremento de tiempo conocido) para determinar si el flanco de reloj es empujado hacia el siguiente punto de muestreo dentro de la cadena de retardos, reduciendo un margen de error de la detección de flanco de reloj a más o menos 5 picosegundos, sin tener que añadir puntos de muestreo adicionales. Aunque se describe un retardo de 5 picosegundos, se ha de entender que también pueden usarse otros incrementos de tiempo.

20 De este modo, el circuito lógico 226, proporcionando el ajuste de puntero de cadena de retardos 248, puede muestrear diferentes puntos dentro de la cadena de retardo 206 y puede controlar el controlador de puntero de selección de cadena de retardos 228 para proporcionar un ajuste iterativo de los multiplexores jerárquicos para muestrear diferentes puntos a lo largo de la cadena de retardos. Las muestras ajustadas iterativamente de la señal de reloj recibida pueden usarse para encontrar la primera señal de flanco de reloj, de manera que el flanco de la señal de reloj se detecta con el fin de justificar la fluctuación (es decir, las fluctuaciones en los tiempos del flanco de reloj).

25 El circuito lógico 226 puede refinar opcionalmente la detección de flanco proporcionando una señal de realimentación de ajuste de retardo de reloj 235 para ajustar el retardo de reloj variable 204. El circuito lógico 226 puede usar el reloj ajustado para determinar con más precisión la transición de la señal de reloj. Por ejemplo, el circuito lógico 226 puede ajustar el retardo de reloj variable 204 mediante una primera fracción del periodo de retardo (es decir, una fracción de un retardo introducido por cada elemento de retardo de la cadena de retardos 206). El circuito lógico 226 puede entonces volver a muestrear el reloj ajustado para detectar el flanco del reloj. Si el flanco detectado de la señal de reloj tiene todavía una incertidumbre en la medición que sobrepasa una incertidumbre de umbral, el circuito lógico puede ajustar el retardo de reloj variable 204 mediante una segunda fracción que es menor que la primera fracción. El circuito lógico 226 puede ajustar iterativamente el retardo de reloj variable 204 hasta que un flanco del reloj se determina a un nivel de precisión deseado.

35 Durante una última iteración, el circuito lógico 226 puede proporcionar una salida 246, indicando que el flanco de la señal de reloj se detectó a un nivel de precisión deseado. En una forma de realización ilustrativa particular, el circuito lógico 226 puede proporcionar una señal de control que indica el periodo de reloj detectado más corto en función de la fluctuación de reloj. El periodo de reloj detectado más corto puede indicar el peor caso de un periodo de reloj. Elementos de circuito adicionales pueden usar tal información para llevar a cabo funciones útiles tales como ajustar una frecuencia de un reloj operativo o ajustar un voltaje de un circuito. Por ejemplo, puede proporcionarse un circuito de control adaptativo de frecuencia y voltaje que puede utilizar el periodo de reloj detectado para ajustar una frecuencia de reloj o un voltaje. Tales ajustes de frecuencia o voltaje pueden usarse para proporcionar tiempos más precisos y, de este modo, pueden permitir que se sintonice un circuito resultante para un rendimiento mejorado, ahorros de energía o cualquier combinación de los mismos.

45 En general, se ha de entender que el primer nivel de multiplexores (por ejemplo, los multiplexores 208 y 210) dentro del circuito multiplexor jerárquico puede implementarse usando una pluralidad de multiplexores que tienen aproximadamente el mismo número de entradas acopladas a una pluralidad de puntos diferentes dentro de la cadena de retardos 206. En una forma de realización ilustrativa particular, utilizando aproximadamente el mismo número de entradas para cada multiplexor del primer nivel de multiplexores, puede equilibrarse un retardo a través del primer nivel de multiplexores (es decir, multiplexores 208 y 210). En una forma de realización particular, los multiplexores pueden ser multiplexores ocho-a-uno y pueden usarse dieciséis multiplexores para muestrear 128 puntos dentro de la cadena de retardos 206. En otra forma de realización particular, puede usarse un mayor número de multiplexores para muestrear más puntos en la cadena de retardos. Asimismo, se ha de entender que aunque se muestra solamente un único multiplexor de segundo nivel 216, el segundo nivel de multiplexores puede incluir uno o más componentes de multiplexor. En una forma de realización ilustrativa particular, el circuito multiplexor jerárquico puede incluir múltiples niveles de multiplexores.

60 En general, dependiendo de la implementación particular, el tiempo de llegada de la señal de punto de muestreo puede seleccionarse inicialmente para sea mayor que, igual a, o menor que un periodo de reloj nominal. Un punto de muestreo dentro de la cadena de retardos 206 puede seleccionarse en función del tiempo de llegada esperado de la señal de punto de muestreo. En función de una señal de reloj recibida, pueden seleccionarse iterativamente otros puntos de muestreo (bien anteriores o posteriores dentro de la cadena de retardos 206) hasta que una parte deseada de la señal de reloj recibida se detecte en el punto de muestreo particular. En una forma de realización

ilustrativa particular, la parte deseada de la señal de reloj recibida puede ser un flanco de subida de la señal de reloj.

En otra forma de realización ilustrativa particular, la parte deseada de la señal de reloj recibida puede ser un flanco de bajada. En otra forma de realización ilustrativa particular adicional, la parte deseada de la señal de reloj puede ser una parte horizontal. En este caso particular, pueden usarse múltiples puntos de muestreo para determinar un ancho de impulso de la parte horizontal de la señal de reloj, por ejemplo. En ambos casos, puede determinarse un valor de fluctuación de reloj en función de la desviación de la parte deseada de la señal de reloj recibida con respecto a la parte deseada respectiva de una señal de reloj nominal.

En una forma de realización ilustrativa particular, el dispositivo de circuito 200 puede usarse para medir la fluctuación de fase de reloj en unidades relativas de retardo de circuito. En una forma de realización ilustrativa particular, puede determinarse un periodo de reloj mínimo. En otra forma de realización ilustrativa particular, el dispositivo de circuito 200 puede usarse para efectuar un seguimiento de variaciones de reloj en unidades relativas de retardo de circuito en lugar de en unidades de tiempo. Sin embargo, puede utilizarse lógica para convertir un retardo de circuito medido en unidades de tiempo por medio de una calibración.

Además, aunque el análisis de la FIG. 2 indica una disposición jerárquica de multiplexores para muestrear la señal de reloj, se ha de entender que hay muchas configuraciones de circuito diferentes que pueden usarse para muestrear la señal de reloj. Por ejemplo, los multiplexores 208 y 210 pueden sustituirse por un único multiplexor que tiene un número de entradas correspondiente al número de puntos de muestra dentro de la cadena de retardos 206.

En referencia a la FIG. 3, se muestra un sistema 300 que incluye un dispositivo de circuito 302. El dispositivo de circuito 302 incluye un circuito de reloj 306, un circuito de control de reloj 312, un circuito lógico 310, un circuito de ensayo de fluctuación de reloj 304, un circuito de control de energía 314, un circuito de energía 316 y otros elementos de circuito 308. El circuito de reloj 306 opera en respuesta al circuito de control de reloj 312 y puede proporcionar una salida (tal como una señal de reloj) a los otros elementos de circuito 308. El circuito de ensayo de fluctuación de reloj 304 puede acoplarse a la salida del circuito de reloj 306 para probar la señal de reloj para determinar un periodo de reloj. El circuito de ensayo de fluctuación de reloj 304 proporciona una salida al circuito lógico 310, que puede determinar si el periodo de reloj de la señal de reloj del circuito de reloj 306 coincide con un valor esperado. Cuando el flanco de reloj no se detecta o si el flanco de reloj no se recibe en un tiempo esperado, el circuito lógico 310 puede ajustar un punto de muestreo dentro del circuito de ensayo de fluctuación de reloj 304 para medir el periodo de reloj que incluye fluctuaciones de reloj.

Una vez que el circuito lógico 310 detecta el periodo de reloj medido, el circuito lógico 310 puede ajustar el circuito de control de reloj 312 para controlar el circuito de reloj 306. El circuito lógico 310 puede proporcionar una primera salida al circuito de control de reloj 312 y una segunda salida al circuito de control de energía 314. En una forma de realización particular, el circuito lógico 310 proporciona una señal de ajuste al circuito de control de reloj 312 para controlar el circuito de reloj 306. El circuito lógico 310 puede también proporcionar información relacionada con un periodo de reloj detectado después de llevar a cabo la medición de circuito de ensayo de fluctuación de reloj al circuito de control de energía 314, que puede usar la información de periodo de reloj detectado del circuito lógico 310 para proporcionar una señal de control al circuito de energía 316. En una forma de realización ilustrativa particular, el circuito lógico 310 puede proporcionar información relacionada con el periodo de reloj al circuito de control de energía 314, que puede usar tal información para controlar el circuito de energía 316, y puede proporcionarse una señal de energía ajustada u otra señal de control a otros elementos de circuito 308 de un sistema, tal como un dispositivo de sistema en un chip (SOC).

En una forma de realización no limitativa ilustrativa particular, el circuito lógico 310 puede proporcionar información relativa al periodo de reloj medido al circuito de control de energía 314. El circuito de control de energía 314 puede usar tal información, por ejemplo, para ajustar la energía en otros elementos de circuito 308. Alternativamente, el circuito de control de energía 314 puede proporcionar energía adicional al circuito de control de reloj 312, al circuito de reloj 306, o a cualquier combinación de los mismos (conexión no mostrada) para proporcionar más energía al circuito de reloj 306 para reducir potencialmente la fluctuación de reloj.

En referencia a la FIG. 4, se muestra una parte de una señal de reloj representativa 400. La señal de reloj 400 está a un nivel lógico alto en 402 y efectúa una transición a un nivel lógico bajo que empieza en 406. La señal de reloj 400 se muestra en una rejilla que ilustra una pluralidad de puntos de muestreo tomados entre elementos de retardo, que representan un retardo tal como el retardo 404. El punto de transición 406 de la señal de reloj 400 se produce dentro de una ventana entre puntos de muestreo como se indica en 408. Puesto que la transición 406 se produce entre puntos de muestreo, como se muestra, la precisión del punto de transición muestreado es conocido dentro de un margen que está definido por la ventana de muestreo 408.

En referencia a la FIG. 5, la señal de reloj puede retardarse usando un elemento de retardo variable, tal como el retardo de reloj variable 204 de la FIG. 2, para proporcionar una versión retardada de la señal de reloj 500. En particular, el elemento de retardo variable puede insertar un desfase de tiempo conocido para la señal de reloj en la entrada de la cadena de retardos. La señal de reloj retardada 500 puede retardarse en un incremento de tiempo (desfase temporal) que es conocido con precisión. Como se muestra en la FIG. 5, la señal de reloj retardada 500 es una versión retardada de la señal de reloj 400 (en la FIG. 4) que se ha retardado en un incremento de tiempo ( $\Delta T$ )

indicado en 506, de manera que el punto de transición desde el nivel lógico alto 502 al nivel lógico bajo de la señal de reloj retardada 500 se produce en un punto 508, que corresponde a un punto de muestreo 510. Insertando un desfase temporal preciso, la transición del punto de flanco de reloj 508 puede determinarse con un mayor grado de precisión de lo que lo podrían hacer los elementos de retardo de la cadena de retardos (tal como la cadena de retardos 206 de la FIG. 2).

En referencia a la FIG. 6, se ilustra un procedimiento para detectar un periodo de reloj y determinar fluctuaciones de reloj, tal como mediante el uso del dispositivo de circuito de la FIG. 2. El procedimiento incluye recibir una señal de reloj en una cadena de retardos de un dispositivo de circuito, como se muestra en 602. En una forma de realización ilustrativa particular, el dispositivo circuito puede incluir un generador de reloj, que envía la señal de reloj a la cadena de retardos. El procedimiento incluye, además, muestrear la señal de reloj en un punto seleccionado dentro de la cadena de retardos, en 604, y determinar un valor de la señal de reloj en el punto seleccionado, como se muestra en 606. En una forma de realización ilustrativa particular, el punto seleccionado es un punto de muestreo dentro de la cadena de retardos. El punto de muestreo puede representar inicialmente un punto de muestreo dentro de la cadena de retardos donde debería detectarse una parte deseada de una señal de reloj nominal esperada. La parte deseada puede ser un flanco de subida, un flanco de bajada o una parte horizontal de la señal de reloj. En una forma de realización ilustrativa particular, los bloques indicados en 604 y 606 pueden combinarse. En otra forma de realización particular, el valor de la señal de reloj en el punto seleccionado puede determinarse calculando, escalando, interpolando o procesando de otro modo el valor de la señal de reloj muestreada en 604.

A continuación en 608, el valor de la señal de reloj en el punto de muestreo se compara entonces para determinar si el valor de la señal de reloj representa una parte deseada (por ejemplo, un flanco de subida, un flanco de bajada, una parte horizontal). Si el valor de la señal de reloj indica que se ha detectado la parte deseada, entonces el procedimiento avanza hasta el bloque 612. Si el valor de reloj indica que no se ha detectado la parte deseada, entonces el procedimiento avanza hasta el bloque 610 donde se selecciona un nuevo punto de muestreo dentro de la cadena de retardos. El procedimiento vuelve a 602 y el procesamiento continúa. Si, inicialmente, el valor de la señal de reloj indica que no se ha detectado una parte deseada, como se muestra en 610, se produce un procesamiento posterior en diferentes puntos de muestreo dentro de la cadena de retardos hasta que la parte deseada de la señal de reloj sea finalmente detectada en 608. Después, el procedimiento avanza hasta 612.

Una vez que el valor muestreado indica que se ha detectado la parte deseada, el valor muestreado se compara entonces con un nivel de precisión deseado en la etapa de decisión 612. Si el nivel de precisión deseado no se consigue, entonces el procedimiento avanza hasta la etapa 614 donde la entrada de reloj se retarda en un incremento de tiempo conocido ( $\Delta T$ ). Después de retardar la entrada de reloj en el incremento de tiempo conocido ( $\Delta T$ ), el procedimiento vuelve a la etapa 602 para otro procesamiento más.

Cuando se determina el flanco de reloj en un nivel de precisión deseado, en 612, el procedimiento avanza hasta 616 donde un periodo de reloj de fluctuación se ha determinado (es decir, medido) en función de la posición del flanco de reloj dentro de la cadena de retardos y en función del incremento de tiempo conocido ( $\Delta T$ ). Además, el procedimiento avanza hasta 618 donde la fluctuación de reloj se determina en función de una diferencia entre el periodo de reloj de fluctuación y un periodo de reloj nominal. El procedimiento termina en 620 después de haberse determinado el periodo de reloj de fluctuación y la diferencia entre el periodo de reloj de fluctuación y el periodo de reloj nominal. De este modo, el procedimiento puede proporcionar tanto un periodo de reloj de fluctuación detectado como una diferencia del periodo de reloj de fluctuación detectado respecto a un periodo de reloj nominal para identificar una medición de error de fluctuación.

El periodo de reloj se determina en función de la detección de un flanco de la señal de reloj en un punto seleccionado de una cadena de retardos. Asimismo, el periodo de reloj se determina en un tiempo específico (representativo de un retardo de programación/inserción desde del inicio de la cadena de retardos hasta el punto de muestreo centro de la cadena de retardos) en función de un valor determinado a partir de un punto específico dentro de la cadena de retardos que indica el flanco de la señal de reloj. Además, un margen de error asociado a la detección del flanco de reloj se conoce en función de los retardos introducidos por elementos dentro de la cadena de retardos 206, y el margen de error se puede reducir desplazando el tiempo en el cual se recibe una señal de reloj en la cadena de retardos en un incremento de tiempo conocido, tal como usando un elemento de retardo de reloj variable de alta precisión 204 como se muestra en la FIG. 2. Asimismo, para aumentar la precisión el incremento de tiempo conocido del elemento de retardo variable puede ser una fracción del tiempo de retardo de uno de los inversores dentro de la cadena de retardos. Asimismo, después de determinar el periodo de reloj de fluctuación y una diferencia entre el periodo de reloj de fluctuación y un periodo de reloj nominal, la información resultante puede usarse para controlar una frecuencia de un reloj operativo o puede usarse para controlar el voltaje del reloj operativo o de otros componentes de circuito.

Para la determinación de fluctuaciones de reloj, el punto de muestreo inicial puede ser un punto en una cadena de retardos que representa un retardo de propagación/inserción que es mayor que un periodo de reloj nominal, donde el periodo de reloj nominal se basa en una frecuencia esperada de la señal de reloj. En este ejemplo, el ajuste del punto de selección incluye muestrear la señal de reloj en el punto seleccionado en la cadena de retardos, y ajustar iterativamente el punto seleccionado hasta que se detecte un flanco de la señal de reloj. En una forma de realización ilustrativa particular, un circuito lógico selecciona inicialmente un punto en la cadena de retardo que es mayor que un



periodo de reloj esperado y, si el flanco de reloj no es detectado, la lógica selecciona un segundo punto en la cadena de exploración y determina un valor de la señal de reloj en el segundo punto. Si no se encuentra el flanco de reloj, la lógica ajusta de nuevo el punto de muestreo en la cadena de exploración. De este modo, el punto seleccionado es un punto dentro de la cadena de retardos que está relacionado con una distancia esperada recorrida a lo largo de la cadena de retardos por el flanco de la señal de reloj en función de la frecuencia de reloj nominal, y tal punto seleccionado puede ajustarse iterativamente en puntos anteriores en el tiempo para encontrar el flanco de transición de la señal de reloj con el fin de llevar a cabo la detección de señales de reloj de fluctuaciones.

En referencia a la FIG. 7, en otra forma de realización ilustrativa, se muestra un procedimiento para controlar un reloj operativo de un circuito en función de una medición de fluctuaciones detectadas. El procedimiento incluye recibir una señal de reloj en una cadena de retardos de un dispositivo de circuito, en 702, y localizar un flanco de la señal de reloj dentro de la cadena de retardos para determinar un periodo de reloj de la señal de reloj, en 704. Localizar el flanco de la señal de reloj incluye muestrear una señal de reloj en diferentes puntos en la cadena de retardos hasta que se localice el flanco de reloj. El procedimiento incluye, además, comparar la posición del flanco de la señal de reloj con una posición de un flanco esperado de una señal de reloj nominal para determinar un valor de fluctuación de reloj, en 706, y controlar un reloj operativo o un voltaje operativo del dispositivo de circuito en función del valor de fluctuación de reloj, en 708. El procedimiento termina en 710.

En una forma de realización ilustrativa particular, el punto seleccionado con fines de medición es un punto dentro de la cadena de retardos que es mayor que el punto de muestreo asociado a un periodo de reloj nominal. Una vez determinado el periodo de reloj adecuado para la medición de fluctuaciones, el voltaje o frecuencia de la señal de reloj operativo puede ajustarse como se ha descrito. En una forma de realización particular, la frecuencia del reloj operativo puede reducirse cuando la fluctuación de reloj sobrepasa un valor de umbral predeterminado. Además, el voltaje del reloj operativo puede aumentarse cuando la fluctuación de reloj sobrepasa el umbral predeterminado. De este modo, la frecuencia y el voltaje del reloj operativo pueden ajustarse en función de la fluctuación de reloj medida de la señal de reloj operativo.

Asimismo, el sistema y el procedimiento divulgados proporcionan medios para determinar el periodo de reloj más corto cuando un punto seleccionado de una cadena de retardos indica un flanco de la señal de reloj y para determinar un valor de fluctuación en función de una diferencia entre el periodo de reloj más corto y un periodo de reloj nominal. Asimismo, el sistema divulgado proporciona medios para controlar la frecuencia, el voltaje o cualquier combinación de las mismas de un reloj operativo en función del valor de fluctuación medido. Un ejemplo de los medios para ajustar el punto seleccionado es un circuito lógico, tal como el circuito lógico 310 ilustrado en la FIG. 3.

En una forma de realización ilustrativa particular, un circuito de ensayo de fluctuación de reloj, tal como los circuitos 200 y 304 ilustrados en las FIG. 2 y 3, puede utilizarse durante un proceso de fabricación para clasificar dispositivos de circuito en diferentes recipientes en función de un rendimiento probado. Por ejemplo, los dispositivos de circuito que indican una alta incidencia de fluctuación en función de una diferencia entre un periodo de reloj detectado con fluctuación y un periodo de reloj nominal que sobrepasa una diferencia de umbral, pueden clasificarse para su utilización en dispositivos de circuito de menor rendimiento. Alternativamente, tales dispositivos se puede reciclarse o destruirse, dependiendo del circuito.

Asimismo, aunque el circuito multiplexor jerárquico de la FIG. 2 ilustra solamente dos niveles de componentes de multiplexor jerárquico, pueden usarse uno o más niveles de multiplexor. En una forma de realización ilustrativa particular se utilizan múltiples niveles de multiplexor. Además, el número de dispositivos multiplexores de primer nivel puede variar dependiendo del número de puntos de muestreo y del grado de precisión. Asimismo, pueden usarse otros elementos de retardo que tengan periodos de retardo más largos o más cortos, dependiendo del grado de precisión y del coste requeridos (tanto en términos de costes financieros como costes de uso del área de circuito). Asimismo, pueden usarse formas de realización del circuito de determinación de fluctuación de reloj para determinar un valor de fluctuación de reloj a un alto grado de precisión, ajustando un elemento de retardo de reloj variable, tal como el retardo de reloj variable 204 de la FIG. 2, hasta que el punto de transición del flanco de reloj es detectado a un grado de precisión deseado. Determinando la fluctuación de reloj a tal nivel de precisión, los diseñadores de circuito pueden proporcionar un menor margen de fluctuación de reloj para mejorar las velocidades de reloj operativo para dispositivos de circuito.

Asimismo, puesto que el circuito de detección de fluctuación de reloj usa multiplexores para muestrear selectivamente la cadena de retardos, el circuito de detección puede ocupar un área relativamente pequeña del circuito global sin reducir el número de puntos de muestreo potenciales. Aunque los circuitos de detección de fluctuación convencionales incluyen diferentes circuitos biestables para cada punto de muestreo, los multiplexores permiten bloquear las mediciones de los puntos de muestreo seleccionados en lugar de bloquear las mediciones para cada punto de muestreo, reduciendo de este modo el número de circuitos biestables usados para medir la fluctuación de reloj y reduciendo el área de circuito usada para tomar tales mediciones. Además, el circuito de determinación de fluctuación de reloj puede usarse para ajustar un voltaje o frecuencia de un reloj operativo para el circuito o para otro circuito para mejorar el rendimiento y conservar la energía de reloj en función de la determinación de fluctuaciones de reloj.

Junto con los dispositivos de circuito, los procedimientos y sistemas descritos, un circuito de medición de

fluctuaciones de reloj puede utilizarse para medir un periodo de reloj asociado a una señal de reloj recibida en función de la detección de un valor deseado en un punto de muestreo particular. Una diferencia entre una señal de reloj nominal esperada y una señal de reloj recibida puede determinarse en función de la detección. En una forma de realización ilustrativa particular, la diferencia puede representar un valor de fluctuación de la señal de reloj, que  
 5 puede usarse para ajustar la energía en un circuito generador de reloj, ajustar la energía en otros elementos de circuito, modificar una frecuencia de la señal de reloj, o cualquier combinación de los mismos. Se ha de entender que la parte deseada de la señal de reloj puede ser un flanco de subida o un flanco de bajada de la señal de reloj. En una forma de realización ilustrativa particular, la parte deseada de la señal de reloj puede ser la parte horizontal de la señal de reloj. En una forma de realización ilustrativa particular, la fluctuación de reloj puede determinarse a  
 10 partir de flancos de reloj anteriores, flancos de reloj posteriores o cualquier combinación de los mismos.

Asimismo, aunque muchos de los ejemplos han descrito las mediciones en lo que respecta al tiempo, el término "tiempo", tal como se usa en el presente documento, es una unidad relativa de medición. En una forma de realización particular, el tiempo se puede representarse en términos de tiempo absoluto (por ejemplo, segundos, microsegundos, nanosegundos, picosegundos, etc.). En otra forma de realización ilustrativa particular, el tiempo se  
 15 puede representarse en términos de unidades relativas de retardo de circuito. En otra forma de realización ilustrativa particular adicional, el tiempo puede indicarse usando otra unidad de medida. En otra forma de realización ilustrativa particular adicional, el tiempo puede ser un valor calculado en función de uno o más de entre el tiempo absoluto, el tiempo relativo y otra unidad de medida.

La FIG. 8 ilustra una forma de realización no limitativa a modo de ejemplo de un dispositivo de comunicaciones portátil designado de manera genérica como 800. El dispositivo de comunicaciones portátil 800 incluye un sistema en chip 822 que incluye un procesador, tal como un procesador de señales digitales 810 que tiene un circuito de determinación de fluctuación de reloj 811 (como se describe respecto a las FIG. 2-3 y 6-7). La FIG. 8 también muestra un controlador de visualización 826 que puede acoplarse al procesador de señales digitales 810 y a una pantalla de visualización 828.  
 20

Además, un dispositivo de entrada 830 está acoplado al procesador de señales digitales 810. Además, una memoria 832 está acoplada al procesador de señales digitales 810. Un codificador/descodificador (CODEC) 834 también puede estar acoplado al procesador de señales digitales 810. Un altavoz 836 y un micrófono 838 pueden estar acoplados al CODEC 834.  
 25

La FIG. 8 también indica que un controlador inalámbrico 840 puede estar acoplado al procesador de señales digitales 810 y a una antena inalámbrica 842. En una forma de realización particular, una fuente de alimentación 844 está acoplada al sistema en chip 822. Asimismo, en una forma de realización particular, como se ilustra en la FIG. 8, la pantalla de visualización 828, el dispositivo de entrada 830, el altavoz 836, el micrófono 838, la antena inalámbrica 842, y la fuente de alimentación 844 son externos al sistema en chip 822. Sin embargo, cada uno está acoplado a un componente del sistema en chip 822.  
 30

En una forma de realización ilustrativa particular, el circuito de determinación de fluctuación de reloj 811 puede usarse para vigilar la fluctuación de reloj de un reloj operativo, y puede usarse para ajustar dinámicamente la energía del reloj, consumo de energía del circuito o una frecuencia de un reloj operativo en función de la fluctuación detectada. El circuito de determinación de fluctuación de reloj 811 puede usarse para mejorar el rendimiento global del dispositivo de comunicaciones portátil 800. En particular, el circuito de determinación de fluctuación de reloj 811  
 35 puede producir información de fluctuación que puede usarse por un sistema de circuitos de control, tal como el sistema de circuitos de control de reloj (tal como el circuito de control de reloj 312 ilustrado en la FIG. 3) o por una lógica de control del DSP 810, para aumentar la velocidad del procesador (es decir, reducir el margen de error de fluctuación de reloj por lo alto para proporcionar un rendimiento mejorado), ajustar un reloj operativo (es decir, ralentizar ligeramente el reloj operativo para reducir la fluctuación, por ejemplo), ajustar el consumo de energía, o  
 40 cualquier combinación de los mismos.  
 45

Se ha de entender que aunque el circuito de determinación de fluctuación de reloj 811 se muestra dentro del procesador de señales digitales 810, el circuito de determinación de fluctuación de reloj 811 puede estar previsto en otros componentes, incluyendo el controlador de visualización 826, el controlador inalámbrico 840, el CODEC 834, o cualquier otro componente que lleve a cabo operaciones que puedan efectuarse mediante fluctuación de reloj.

El experto en la técnica apreciará, además, que los diversos bloques lógicos, configuraciones, módulos, circuitos y etapas de algoritmo ilustrativos descritos con relación a las formas de realización divulgadas en el presente documento pueden implementarse como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, varios componentes, bloques, configuraciones, módulos, circuitos, y etapas ilustrativos se han descrito anteriormente de manera genérica en  
 50 términos de su funcionalidad. Si tal funcionalidad se implementa como hardware o software depende de la aplicación particular y limitaciones de diseño impuestas al sistema global.  
 55

Las etapas de un procedimiento o algoritmo descritas con relación a las formas de realización divulgadas en el presente documento pueden realizarse directamente en hardware, en un módulo de software ejecutado por un procesador, o en una combinación de ambos. Un módulo de software puede residir en memoria RAM, memoria

5 flash, memoria ROM, memoria PROM, memoria EPROM, memoria EEPROM, registros, un disco duro, un disco extraíble, un CD-ROM o cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento a modo de ejemplo se acopla al procesador de manera que el procesador pueda leer la información a partir de, y escribir información en, el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede ser una parte integrante del procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un dispositivo informático o un terminal de usuario. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un dispositivo informático o terminal de usuario.

**REIVINDICACIONES**

1. Un procedimiento para detectar una parte deseada de una señal de reloj (102) para determinar una fluctuación de reloj, que comprende:
  - recibir (602) la señal de reloj (102) en una cadena de retardos (206) de un dispositivo de circuito;
  - 5 seleccionar un punto de muestreo dentro de la cadena de retardos (206);
  - muestrear (604) la señal de reloj (102) en el punto de muestreo seleccionado;
  - determinar (606) un valor de la señal de reloj (102) en el punto de muestreo seleccionado en la cadena de retardos (206), en el que el valor de la señal de reloj representa un nivel de la señal de reloj en el punto de muestreo seleccionado; y
  - 10 comparar (608) el valor de la señal de reloj (102) en el punto de muestreo seleccionado para determinar si el valor de la señal de reloj indica la parte deseada;
  - si el valor no indica la parte deseada de la señal de reloj (102), ajustar el punto de muestreo seleccionado hasta que el valor indique la parte deseada.
2. El procedimiento según la reivindicación 1, en el que la parte deseada comprende uno de entre un flanco de subida, un flanco de bajada y una parte horizontal de la señal de reloj (102).
- 15 3. El procedimiento según la reivindicación 1, que comprende además determinar (616) un periodo de reloj cuando el punto seleccionado indica la detección de la parte deseada de la señal de reloj (102).
4. El procedimiento según la reivindicación 3, que comprende además:
  - determinar un margen de error asociado a la detección de la parte deseada de la señal de reloj (102); y
  - 20 desplazar el tiempo en el que la señal de reloj (102) se recibe en la cadena de retardos (206) en un incremento de tiempo conocido cuando el margen de error es mayor que un umbral de error.
5. El procedimiento según la reivindicación 4, en el que la cadena de retardos (206) comprende una pluralidad de elementos de retardo, en el que cada elemento de retardo introduce un tiempo de retardo, y en el que el incremento de tiempo conocido comprende una fracción del tiempo de retardo.
- 25 6. El procedimiento según la reivindicación 3, que comprende además determinar (618) un valor de fluctuación en función de una diferencia entre el periodo de reloj determinado y un periodo de reloj nominal.
7. El procedimiento según la reivindicación 3, que comprende además controlar una frecuencia de un reloj operativo en función del periodo de reloj.
8. El procedimiento según la reivindicación 3, que comprende además controlar un voltaje de un reloj operativo
- 30 en función del periodo de reloj.
9. El procedimiento según la reivindicación 1, en el que el punto seleccionado comprende inicialmente un punto inicial en la cadena de retardos (206) que es mayor que un periodo nominal de un reloj que proporciona la señal de reloj (102), y en el que ajustar comprende reducir el punto seleccionado en la cadena de retardos (206) para identificar un segundo punto que es anterior en la cadena de retardos (206) al punto inicial.
- 35 10. El procedimiento según la reivindicación 1, que comprende además:
  - determinar un segundo valor de la señal de reloj (102) en un segundo punto; y ajustar el segundo punto cuando el segundo valor no indica la detección del flanco de la señal de reloj (102).
11. El procedimiento según la reivindicación 1, en el que el punto seleccionado comprende inicialmente un punto inicial en la cadena de retardos (206) que es menor que un periodo nominal de un reloj que proporciona la señal de reloj (102), y en el que ajustar comprende incrementar el punto seleccionado en la cadena de retardos (206) para identificar un segundo punto que es posterior en la cadena de retardos (206) al punto inicial.
- 40 12. El procedimiento según la reivindicación 1, en el que el punto seleccionado comprende un punto dentro de la cadena de retardos (206) que está relacionado con una distancia esperada recorrida por la señal de reloj (102) a lo largo de la cadena de retardos (206) en función de una frecuencia de reloj nominal.
- 45 13. El procedimiento según la reivindicación 1, que comprende además:
  - determinar una posición de un flanco de la señal de reloj (102) dentro de la cadena de retardos (206) para

- determinar un periodo de reloj detectado de la señal de reloj (102), en el que localizar el flanco de la señal de reloj (102) comprende:
- determinar iterativamente un valor de la señal de reloj en un punto de muestreo seleccionado dentro de la cadena de retardos (206),
- 5      ajustar el punto de muestreo seleccionado hasta que el valor indique un flanco de la señal de reloj (102); y
- comparar la posición del flanco de la señal de reloj (102) con una posición de un flanco de una señal de reloj nominal (102) para determinar una medición de fluctuación de reloj.
14.    El procedimiento según la reivindicación 13, en el que el punto de muestreo seleccionado comprende un punto dentro de la cadena de retardos (206) relacionado con un periodo de reloj nominal.
- 10    15.    El procedimiento según la reivindicación 13, que comprende además controlar una frecuencia de un reloj operativo en función de la medición de fluctuación de reloj.
16.    El procedimiento según la reivindicación 15, que comprende además reducir una frecuencia del reloj operativo cuando la medición de fluctuación de reloj sobrepasa un umbral predeterminado.
- 15    17.    El procedimiento según la reivindicación 13, que comprende además controlar un voltaje de un reloj operativo en función de la medición de fluctuación de reloj.
18.    El procedimiento según la reivindicación 17, en el que controlar el voltaje comprende reducir un nivel de voltaje del reloj operativo cuando la medición de fluctuación de reloj sobrepasa un umbral predeterminado.
19.    Un dispositivo procesador para detectar una parte deseada de una señal de reloj (102) para determinar una fluctuación de reloj, que comprende:
- 20    medios para recibir la señal de reloj (102) en una cadena de retardos (206) de un dispositivo de circuito;
- medios para seleccionar un punto de muestreo dentro de la cadena de retardos (206);
- medios para muestrear la señal de reloj (102) en el punto de muestreo seleccionado;
- 25    medios para determinar un valor de la señal de reloj (102) en el punto de muestreo seleccionado dentro de la cadena de retardos (206), en el que el valor de la señal de reloj (102) representa un nivel de la señal de reloj (102) en el punto de muestreo seleccionado;
- medios para comparar el valor de la señal de reloj (102) en el punto de muestreo seleccionado para determinar si el valor de la señal de reloj indica la parte deseada; y
- medios para ajustar el punto de muestreo seleccionado hasta que el valor indique la parte deseada cuando el valor no indica la parte deseada de la señal de reloj (102).
- 30    20.    El dispositivo según la reivindicación 19, que comprende además medios para determinar el periodo de reloj más corto cuando el punto seleccionado indica un flanco de la señal de reloj (102) y para determinar un valor de fluctuación en función de una diferencia entre el periodo de reloj más corto y un periodo de reloj nominal.
21.    El dispositivo según la reivindicación 19, que comprende además medios para controlar una frecuencia de un reloj operativo en función del valor de fluctuación.
- 35    22.    El dispositivo según la reivindicación 19, que comprende además medios para controlar un voltaje de un reloj operativo en función del valor de fluctuación.
23.    El dispositivo según la reivindicación 19, en el que los medios para ajustar el punto seleccionado comprenden un circuito lógico.
24.    El dispositivo según la reivindicación 19, que comprende además:
- 40    una cadena de retardos (206) que comprende una pluralidad de elementos de retardo, la cadena de retardos (206) sensible a la señal de reloj (102);
- un circuito multiplexor jerárquico que incluye una pluralidad de entradas sensibles a la cadena de retardos (206); y
- 45    un circuito lógico acoplado al multiplexor jerárquico para controlar el multiplexor jerárquico para determinar el valor de la señal de reloj (102) en el punto de muestreo seleccionado dentro de la cadena de retardos (206) y para ajustar el punto de muestreo seleccionado cuando el valor no indica la parte deseada de la señal de reloj (102).

25. El dispositivo según la reivindicación 24, en el que el circuito multiplexor jerárquico comprende una pluralidad de multiplexores sensibles al circuito lógico, en el que cada uno de la pluralidad de multiplexores incluye múltiples entradas acopladas a diferentes puntos de la cadena de retardos (206).
- 5 26. El dispositivo según la reivindicación 25, en el que cada uno de la pluralidad de multiplexores incluye un mismo número de entradas.
27. El dispositivo según la reivindicación 25, en el que el circuito multiplexor jerárquico comprende además al menos un segundo multiplexor que incluye múltiples entradas sensibles a una salida respectiva de cada uno de la pluralidad de multiplexores.
- 10 28. El dispositivo según la reivindicación 27, en el que una salida del al menos un segundo multiplexor proporciona el valor de la señal de reloj en el punto seleccionado.
29. El dispositivo según la reivindicación 24, que comprende además un elemento de retardo de reloj acoplado a una entrada de la cadena de retardos (206) para aplicar un retardo variable a la señal de reloj (102).
30. El dispositivo según la reivindicación 24, en el que el circuito multiplexor jerárquico comprende:
- 15 una primera pluralidad de multiplexores, incluyendo cada multiplexor de la primera pluralidad de multiplexores un mismo número de entradas acopladas a diferentes puntos dentro de la cadena de retardos (206), incluyendo cada multiplexor de la primera pluralidad de multiplexores una entrada de selección; y
- al menos un segundo multiplexor que incluye una segunda pluralidad de entradas acopladas a respectivas salidas de la primera pluralidad de multiplexores, incluyendo el al menos un segundo multiplexor una entrada de selección sensible al circuito lógico y que tiene una salida para proporcionar el valor relacionado con el
- 20 punto seleccionado de la cadena de retardos (206) al circuito lógico.
31. El dispositivo según la reivindicación 24, que comprende además un elemento de retardo de reloj acoplado a una entrada de la cadena de retardos (206) para desplazar la señal de reloj (102) en un incremento de tiempo conocido para modificar el tiempo en el que la señal de reloj (102) se recibe en la cadena de retardos (206).
- 25 32. El dispositivo según la reivindicación 24, en el que el circuito lógico determina un periodo de reloj cuando el punto seleccionado indica un flanco de la señal de reloj (102).
33. El dispositivo según la reivindicación 24, en el que el circuito lógico ajusta una frecuencia de un reloj operativo en función de una diferencia entre un periodo de reloj nominal y el periodo de reloj determinado.
34. El dispositivo según la reivindicación 24, en el que el circuito lógico ajusta un voltaje de un reloj operativo en función de una diferencia entre un periodo de reloj nominal y el periodo de reloj determinado.

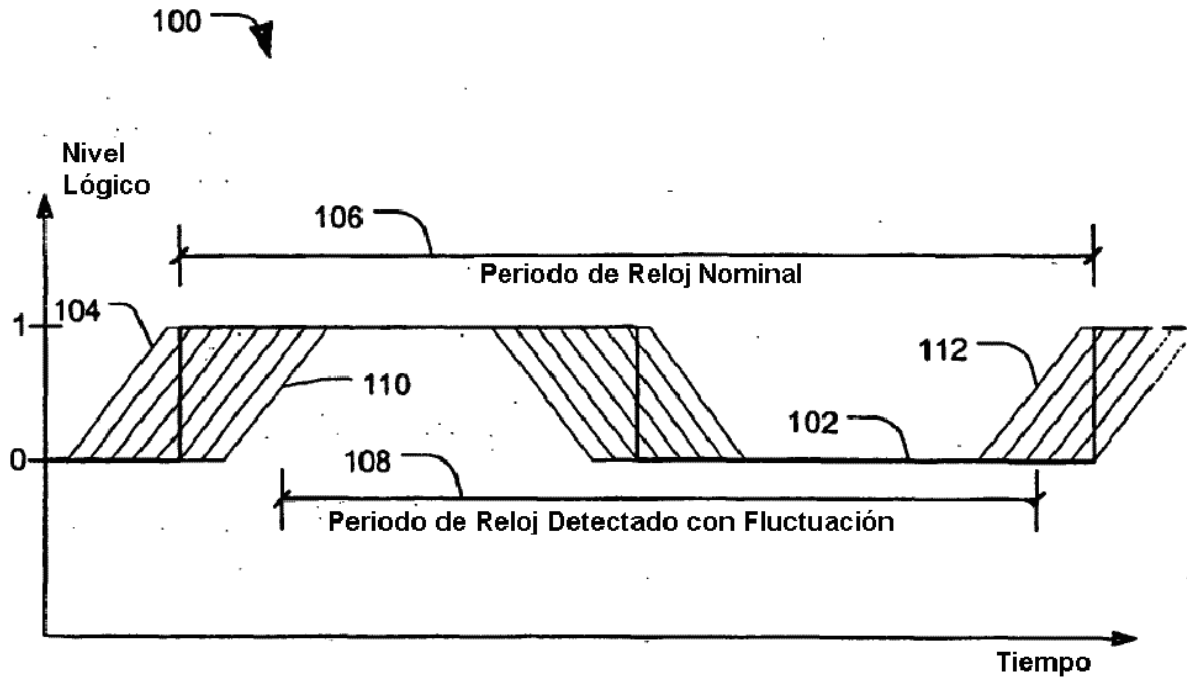


FIG. 1

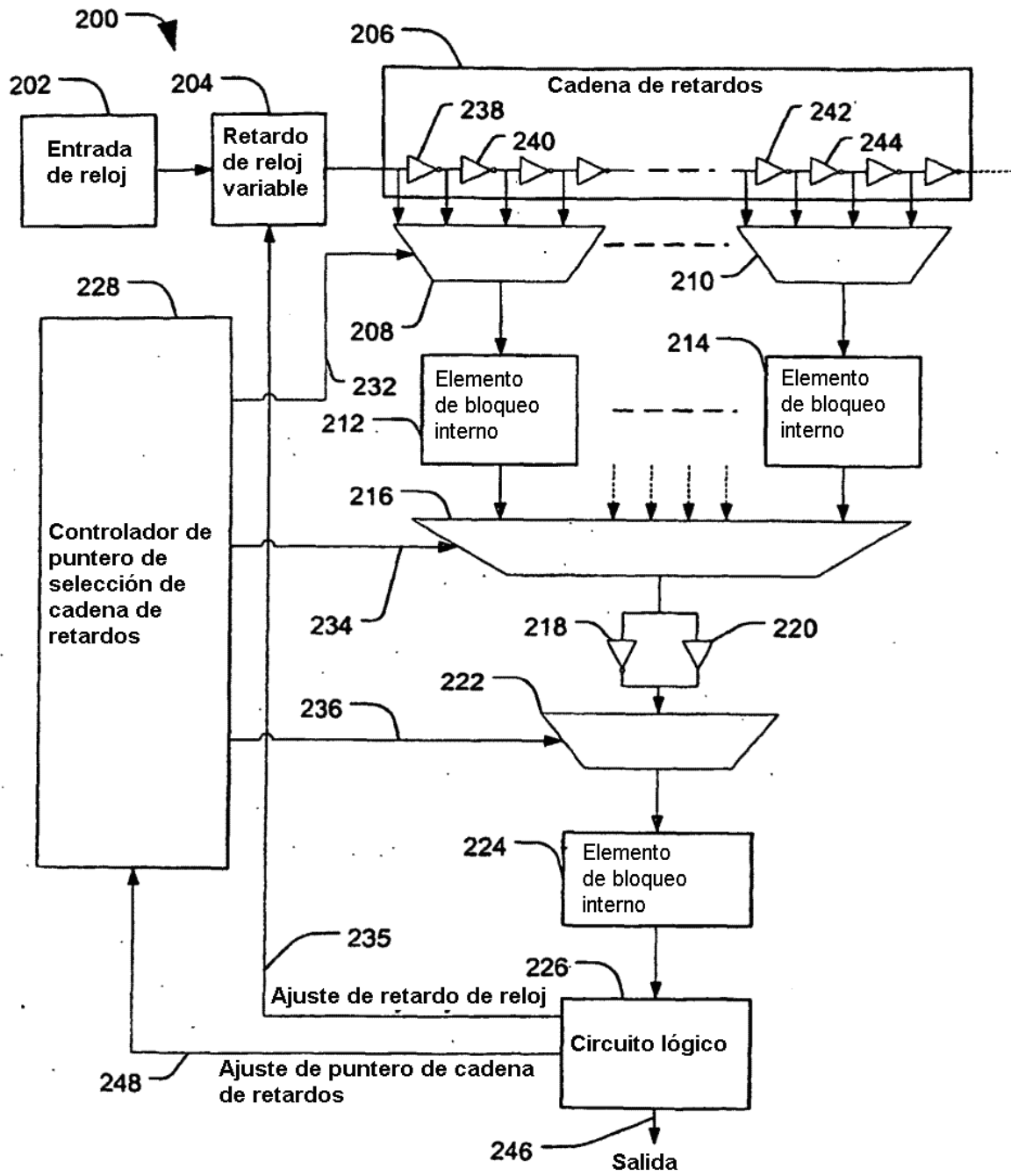


FIG. 2



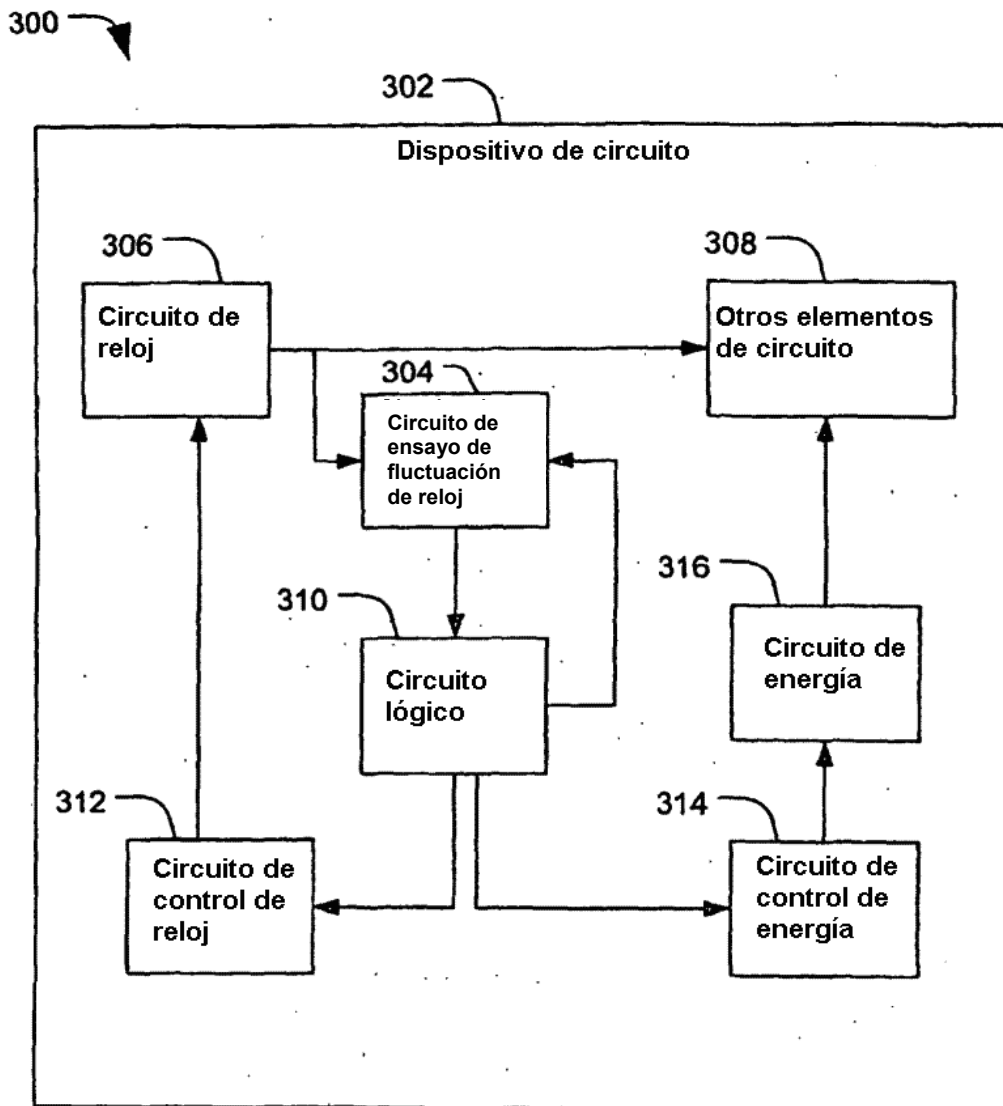


FIG. 3

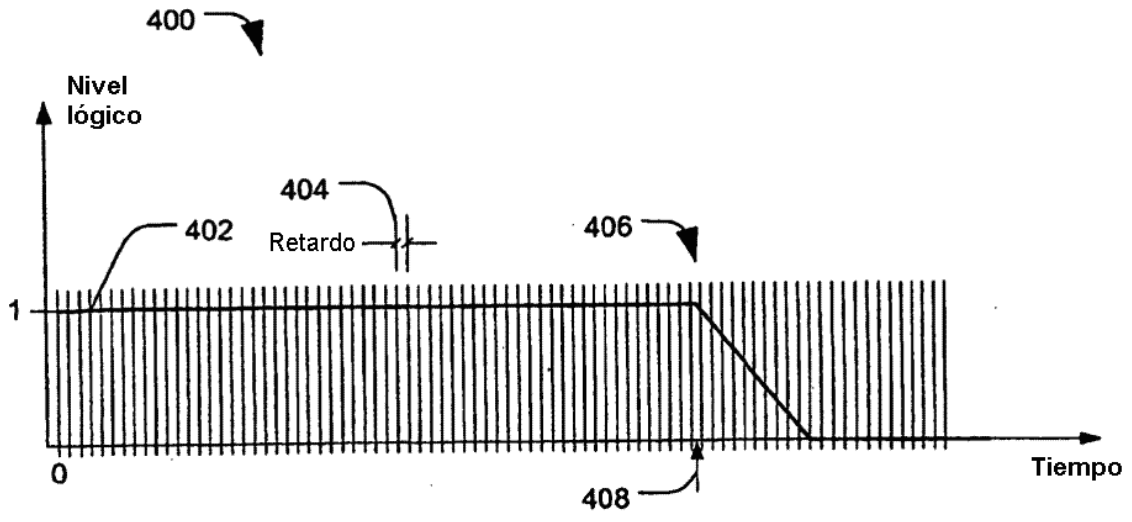


FIG. 4

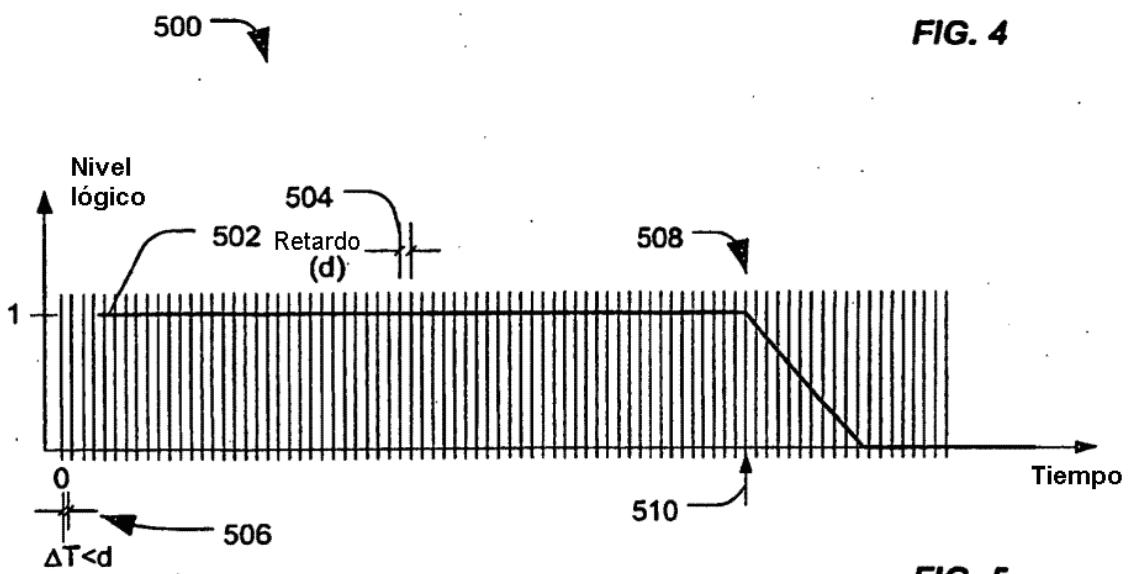


FIG. 5

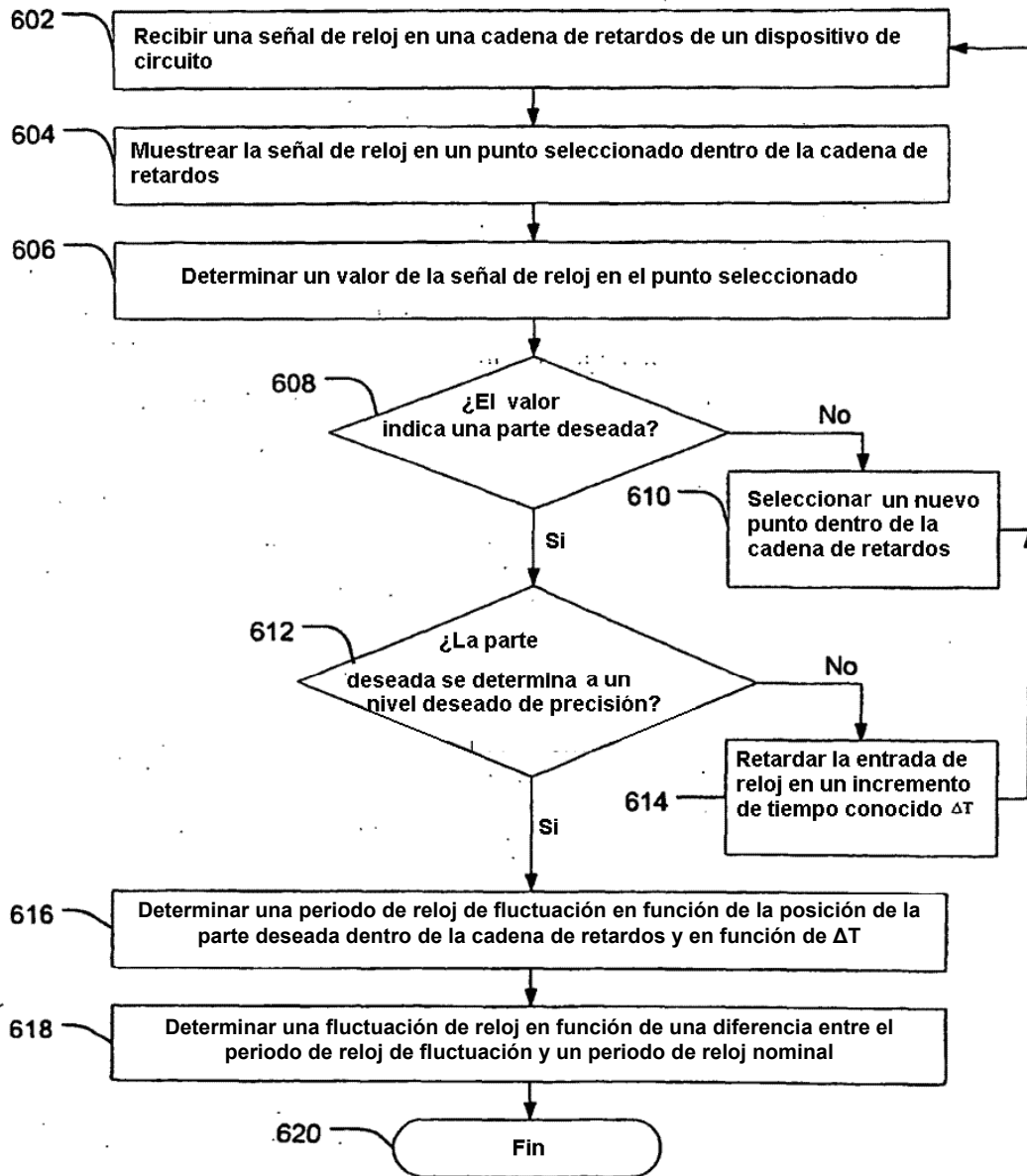
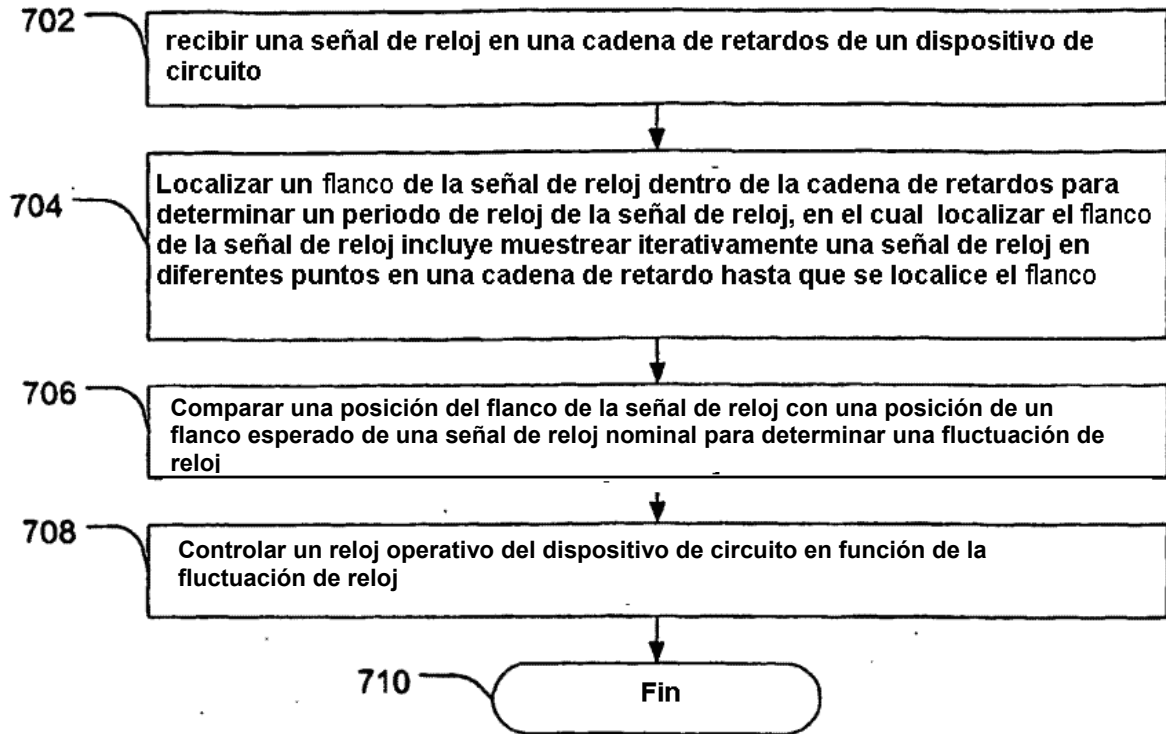


FIG. 6



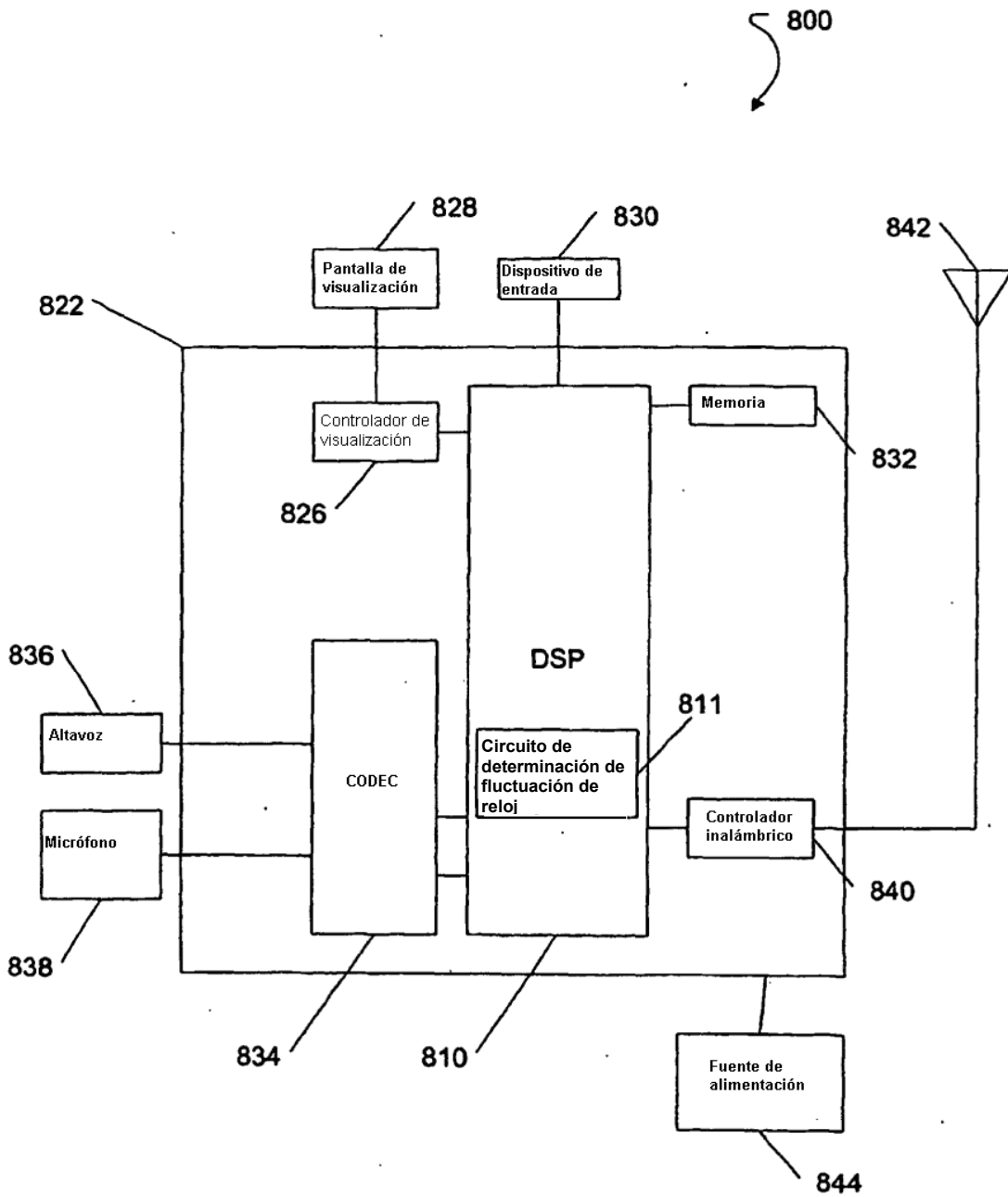


FIG. 8