



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 366 166**

51 Int. Cl.:  
**G06F 13/42** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **08750143 .3**

96 Fecha de presentación : **07.05.2008**

97 Número de publicación de la solicitud: **2153334**

97 Fecha de publicación de la solicitud: **17.02.2010**

54

Título: **Método de transmisión de datos entre dispositivos maestros y esclavos.**

30

Prioridad: **25.05.2007 DE 10 2007 024 737**

45

Fecha de publicación de la mención BOPI:  
**17.10.2011**

45

Fecha de la publicación del folleto de la patente:  
**17.10.2011**

73

Titular/es: **ROBERT BOSCH GmbH**  
**Postfach 30 02 20**  
**70442 Stuttgart, DE**

72

Inventor/es: **Goerlich, Patrick;**  
**Seemann, Sabine y**  
**Esch, Ermin**

74

Agente: **Carvajal y Urquijo, Isabel**

ES 2 366 166 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Método de transmisión de datos entre dispositivos maestros y esclavos

5 La presente invención hace referencia a un método para la transmisión de tramas de datos entre un dispositivo maestro y una pluralidad de dispositivos esclavos, un producto de programa de ordenador que inicia la ejecución de un método correspondiente en uno o en una pluralidad de dispositivos maestros y/o esclavos controlados por programa, y una red de comunicaciones con dispositivos maestros y esclavos apropiada para la ejecución del método.

### ESTADO DEL ARTE

10 En la transmisión de datos entre unidades de control centrales, como por ejemplo, microcontroladores y módulos periféricos utilizados como dispositivos maestros y, por ejemplo, sensores utilizados como dispositivos esclavos, se emplean generalmente sistemas de bus seriales. En los vehículos a motor se emplea generalmente, por ejemplo, el bus SPI (interfaz periférica serial). Además, se suministra una señal de reloj serial a una línea, desde el microcontrolador a los sensores conectados. Se provee una línea de datos para la transferencia de datos desde el microcontrolador hacia los sensores (MOSI = salida maestro/entrada esclavo), una línea de datos para la transferencia de datos desde los sensores hacia el microcontrolador (MISO = entrada maestro/salida esclavo), y una línea de selección para seleccionar uno o una pluralidad de sensores conectados (CSB = selector de chip). Para dicho sistema de bus que se basa en cuatro líneas, se conoce una pluralidad de protocolos de datos.

20 Por ejemplo, se ha recomendado proporcionar otras líneas de selección o bien, líneas de selección de chip en correspondencia con la cantidad de dispositivos periféricos existentes, que implica una pluralidad de puertos de selección en el respectivo microcontrolador. Esto permite que en un ciclo de selección, que se define mediante un nivel predeterminado de la señal de selección, se puedan transmitir tramas de datos de consulta y las tramas de datos de respuesta correspondientes a través de la línea MOSI o MISO, cuando la consulta y la respuesta se realizan durante un ciclo de selección. Sin embargo, los primeros bits de respuesta, es decir, los más significativos no se pueden ocupar específicamente para una consulta, dado que el dispositivo esclavo o bien, el dispositivo periférico seleccionado evalúa en primer lugar las tramas de datos de consulta, al menos, parcialmente. Por consiguiente, no se utilizan eficientemente todos los bits de las tramas de datos.

30 Un problema similar surge cuando se provee una única línea de selección, y la selección del módulo periférico seleccionado se define mediante bits de dirección en la trama de datos de consulta que se transfiere a través de la línea MOSI. En el caso que se transmitan tanto la trama de datos de consulta como la trama de datos de respuesta correspondiente en el mismo ciclo de selección, los primeros bits de la trama de datos de respuesta correspondiente no se pueden ocupar específicamente para consulta. Por otra parte, se ha recomendado transmitir las tramas de datos de consulta y de respuesta en diferentes ciclos de selección. De esta manera, se produce una corrección de tiempo entre una consulta del microcontrolador y la respuesta correspondiente mediante el dispositivo esclavo o dispositivo periférico seleccionado. Por lo tanto, se puede utilizar la trama de datos completa para la transmisión de bits específicos de consulta, sin embargo, se genera una bisección del flujo de datos cuando cada sensor se conecta a una línea de selección de chip, como es el caso, por ejemplo, del denominado protocolo de Autoliv.

40 La patente US 5,835,785 describe un bus de datos de multiplexor síncrono / asíncrono con tres enlaces de comunicaciones para la transmisión sincrónica bidireccional de datos entre dos dispositivos de datos. De la patente DE 101 09 369 A1 se conoce un sistema de bus serial. Además, se pueden transmitir datos independientes del protocolo del bus mediante un participante del bus a un receptor, después de que se haya transmitido una cabecera del paquete de datos que contiene respectivamente una dirección de emisor y receptor de 16 bits de longitud.

Un objeto de la presente invención consiste en crear un método perfeccionado para la transmisión de datos entre dispositivos maestros y esclavos.

### REVELACIÓN DE LA PRESENTE INVENCION

45 La presente invención parte de un método para la transmisión de tramas de datos entre un dispositivo maestro y uno o una pluralidad de dispositivos esclavos mediante un sistema de bus de acuerdo con las reivindicaciones independientes.

50 El sistema de bus presenta, al menos, una línea de consulta para la transmisión de tramas de datos de consulta desde el dispositivo maestro al dispositivo esclavo, una línea de respuesta para la transmisión de tramas de datos de respuesta desde los dispositivos esclavos hacia el dispositivo maestro y, al menos, una línea de selección para activar los dispositivos esclavos. Además, las tramas de datos de consulta y de respuesta se transmiten con, al menos, un bit de dirección para direccionar uno de los dispositivos esclavos, con bits de datos útiles y con, al menos, un bit indicador de longitud para indicar la longitud de la trama de datos.

Por un dispositivo maestro se puede entender, por ejemplo, un microcontrolador o una unidad aritmética lógica central para la evaluación de datos de sensores. Como dispositivos esclavos se consideran los dispositivos periféricos, dispositivos sensores u otros dispositivos controlables. Las tramas de datos de consulta y las tramas de datos de respuesta, se transmiten preferentemente sincrónicas entre sí. Por ejemplo, resulta concebible que directamente a continuación de una trama de datos de consulta se transmita respectivamente una trama de datos de respuesta asociada, en donde existen dos ciclos de selección diferentes. La respectiva transmisión de una trama de datos de consulta y de respuesta se inicia, por ejemplo, mediante la modificación del nivel de una señal de selección en una línea de selección. Además, la señal de selección para la duración de la transmisión de las tramas de datos de consulta y/o de respuesta se puede establecer en un nivel lógico predeterminado. Preferentemente, a continuación de una trama de datos de consulta se transmite una trama de datos de respuesta con los mismos bits de dirección del dispositivo esclavo direccionado.

En particular, la presente invención permite que, en relación con los bits de datos útiles de una trama de datos de consulta, se transmita desde el dispositivo esclavo direccionado una trama de datos de respuesta extensa, por ejemplo, con 32 bits. Esto puede resultar necesario, por ejemplo, cuando un microcontrolador que opera como un dispositivo maestro consulta una cantidad de datos particularmente extensa, de un sensor que opera como dispositivo esclavo. Por lo tanto, también se puede transmitir una trama de datos de consulta extendida mediante bits adicionales, en relación con los bits de datos útiles de una trama de datos de consulta. En los bits de datos útiles se registran, por ejemplo, instrucciones en relación con la consulta de datos de sensores. Dado que el dispositivo maestro espera una trama de datos de respuesta extendida, se transmite una siguiente trama de datos de consulta extendida que se transmite paralela y simultáneamente con la trama de datos de respuesta extendida, para no interferir en la sincronización de la transferencia de datos. También puede resultar necesaria una trama de datos de respuesta extendida, cuando se transmite una trama de datos de consulta más extensa simultáneamente, por ejemplo, con una instrucción de escritura y datos para la escritura.

Los bits adicionales de una trama de datos de consulta extendida presentan bits de control, en particular para efectuar un control de redundancia cíclica, y los bits indicadores de longitud indican la longitud de la trama de datos de consulta extendida. El control de redundancia cíclica es un método para la determinación de un valor de comprobación para los datos a transmitir, para poder identificar errores en la transmisión de datos.

Cuando se transmite una trama de datos de consulta extendida, los bits indicadores de longitud de una trama de datos de respuesta transmitida sincronizadamente, indican la longitud inalterada de la trama de datos de respuesta. En tanto que la señal de selección controlada por el dispositivo maestro responda al dispositivo esclavo relacionado, transmite dichos bits de manera que se genere una trama de datos de respuesta extendida.

En una variante del método, una respectiva trama de datos presenta un bit de paridad o un bit de control para efectuar un control de redundancia cíclica en relación con los bits indicadores de longitud. Por lo tanto, se puede conmutar, por ejemplo, entre diferentes longitudes de tramas de datos, por ejemplo, de 16 a 32 bits, en donde como característica de seguridad adicional de las tramas de datos más extensas se realiza un control de redundancia cíclica.

Preferentemente, los bits de dirección se transmiten como los bits más significativos de una respectiva trama de datos. De esta manera, se garantiza la identificación lo más rápida posible de la dirección del esclavo direccionado. Preferentemente, se transmite además un bit de lectura/escritura a una posición de bit predeterminada en las tramas de datos de consulta, y un bit de estado se transmite a la misma posición de bit en las tramas de datos de respuesta. De esta manera, en el dispositivo esclavo se simplifica la decodificación de los datos útiles, por ejemplo, de las instrucciones. Además, el bit de estado puede informar sobre errores en la transferencia de datos o en los dispositivos esclavos. Preferentemente, las posiciones de los bits de dirección, de los bits de datos útiles, los bits indicadores de longitud, de los bits de lectura/escritura, de los bits de estado, de los bits de paridad y/o de los bits de control, se establecen iguales para todas las tramas de datos.

La presente invención proporciona una red de comunicaciones con, al menos, un dispositivo maestro y uno o una pluralidad de dispositivos esclavos que se acoplan a un sistema de bus, en donde los dispositivos maestro y esclavos se diseñan de manera tal que se pueda ejecutar un método correspondiente para la transmisión de tramas de datos. El sistema de bus se puede realizar, por ejemplo, como un bus SPI.

Otros acondicionamientos ventajosos de la presente invención son objeto de las reivindicaciones relacionadas, así como de los ejemplos de ejecución descritos a continuación.

#### BREVE DESCRIPCIÓN DE LOS DIBUJOS

A continuación se explica en detalle la presente invención mediante ejemplos de ejecución preferidos en relación con las figuras incluidas. Muestran:

Fig. 1: una forma de ejecución de una red de comunicaciones para la ejecución de un método de transmisión de datos conforme a la presente invención;

Fig. 2: una estructura de una trama de datos a modo de ejemplo,

Fig. 3: una evolución en el tiempo de tramas de datos de consulta y de respuesta;

5 Fig. 4: un ejemplo de ejecución para tramas de datos extendidas de 16 bits y de 32 bits;

Fig. 5: un ejemplo de ejecución para tramas de datos de 32 bits; y

Fig. 6: una representación de etapas del método en un dispositivo maestro y un dispositivo esclavo.

En las figuras se proveen los mismos símbolos de referencia para los mismos elementos o aquellos que cumplen la misma función, siempre que no se indique algo diferente.

## 10 FORMAS DE EJECUCIÓN DE LA PRESENTE INVENCION

La figura 1 muestra una red de comunicaciones 1 con un dispositivo maestro 2 y una pluralidad de dispositivos esclavos 3, 4, 5. El dispositivo maestro 2 se puede realizar, por ejemplo, como un microcontrolador. Los dispositivos esclavos 3, 4, 5 se pueden realizar, por ejemplo, como circuitos ASIC adaptados a la aplicación (circuitos integrados para aplicaciones específicas) con elementos sensores. Por ejemplo, los dispositivos esclavos 3, 4, 5 se pueden conformar como sensores. En un vehículo a motor resulta concebible, por ejemplo, el control de un sistema de estabilización electrónico (ESP) mediante un microcontrolador 2 en relación con los datos de velocidad de rotación de los diferentes ejes del vehículo a motor, datos de aceleración, de revoluciones y/o del ángulo de dirección, que suministran los sensores correspondientes 3, 4, 5. A continuación, se utilizan como sinónimos los términos "dispositivo maestro" y "microcontrolador", así como por otra parte "dispositivo esclavo", "sensor", "dispositivo sensor y dispositivo periférico".

Los sensores 3, 4, 5 se acoplan al dispositivo maestro 2 a través de un sistema de bus 6 el cual se conforma, por ejemplo, como un bus SPI. Además, el sistema de bus 6 presenta una línea de selección o una línea de selección de chip 15, una línea de consulta o una línea MOSI 16, una línea de respuesta o línea MISO 17, y una línea de reloj 18 para una señal de reloj SCLK. El dispositivo maestro 2 genera la señal de reloj SCLK en su salida 10, y se conduce a través de la línea de reloj 18 a las conexiones de entrada correspondientes 14 de los dispositivos esclavos 3, 4, 5. El dispositivo maestro 2 genera la señal de selección de chip CSB en una salida 7, y se conduce a través de la línea de selección 15 a las entradas correspondientes 11 de los dispositivos esclavos 3, 4, 5. Generalmente, la señal de selección de chip presenta un nivel bajo activo, es decir, que los dispositivos esclavos 3, 4, 5 se activan ante un nivel L lógico de la señal de selección de chip, y esperan datos de consulta en la línea de consulta 16 que se acopla a las conexiones 12 correspondientes. Por lo tanto, un dispositivo esclavo correspondiente seleccionado 3, 4, 5 suministra mediante una salida 13 correspondiente, una trama de datos de respuesta a la línea de respuesta 17 que se conduce a una entrada 9 correspondiente del dispositivo maestro.

En la fig. 2 se representa esquemáticamente una trama de datos convencional de 16 bits. Además, en la fila FR se representa una numeración de bits de una trama de datos de consulta MOSI y una trama de datos de respuesta MISO que se indican en ambas columnas inferiores. Los bits de las tramas de datos se suministran con la señal de reloj SCLK a la línea de datos de consulta o de respuesta correspondiente. La señal de selección de chip de nivel bajo activo se indica con CSB. Mediante ambas líneas de datos de consulta y de respuesta 16, 17 separadas, se pueden transmitir simultánea y sincronizadamente, por ejemplo, una trama de datos de consulta que comprenda 16 bits y una trama de datos de respuesta.

Sin embargo, la señal de selección o la señal de selección de chip CSB activa simultáneamente todos los dispositivos esclavos 3, 4, 5 conectados, ante una ejecución con una única línea de selección 15. Por lo tanto, conforme a la presente invención se realiza un direccionamiento y, de esta manera, una selección del respectivo dispositivo esclavo consultado, mediante la introducción de bits de dirección en la trama de datos de consulta. Además, la presente invención prevé que en un ciclo de selección que se define mediante la señal de selección de chip CSB que se encuentra en el nivel L, no se transmitan simultáneamente tramas de datos de consulta para un dispositivo esclavo seleccionado y sus tramas de datos de respuesta. Además, como se explica más en detalle en la fig. 3, se prevé la transmisión de las tramas de datos de respuesta RP1 asignadas a una trama de datos de consulta RQ1 en el ciclo de selección inmediatamente posterior. En el caso de una conformación como se indica en la fig. 1 se transmite, por ejemplo, en un ciclo de selección CY1 una primera trama de datos de consulta RQ1 desde el dispositivo maestro 2 a través de la línea MOSI al dispositivo esclavo 3, 4, 5. Además, la trama de datos de consulta comprende bits de dirección que direccionan uno de los dispositivos esclavos. En el ciclo de selección CY2 a continuación, el dispositivo esclavo indicado mediante los bits de dirección en la primera trama de datos de consulta RQ1, transmite una trama de datos de respuesta RP1 correspondiente a través de la línea MISO. De esta manera, se

garantiza que la trama de datos completa se proporcione para datos útiles, dado que en la primera trama de datos de consulta RQ1 el dispositivo esclavo direccionado posee tiempo suficiente para la decodificación de la instrucción de consulta correspondiente en la trama de datos de consulta RQ1. Tanto las tramas de datos de consulta RQ1, RQ2 que se transmiten a través de la línea MOSI 16, así como las tramas de datos de respuesta RP0, RP1 que se transmiten a través de la línea MISO 17 desde los dispositivos esclavos, presentan la misma estructura. Sin embargo, las tramas de datos de consulta presentan en una posición de bits predeterminada respectivamente un bit de lectura/escritura, mientras que las tramas de datos de respuesta en dicha posición de bit presentan un bit de estado. Dichos bits se explican en detalle a continuación.

En la fig. 4 se representan, a modo de ejemplo, tramas de datos de 16 bits. Además, en primer lugar, se representa una trama de datos de consulta RQ1 con una longitud de 16 bits. En la fig. 4, el bit más significativo se representa a la izquierda y el bit menos significativo, a la derecha. Los primeros tres bits, es decir, los bits más significativos de la trama de datos de consulta se ocupan con bits de dirección SA0, SA1, SA2. Dichos bits de dirección establecen qué dispositivo esclavo 3, 4, 5 será consultado por el dispositivo maestro 2. En la cuarta posición más significativa en la trama de datos de consulta RQ1, se provee un bit de lectura/escritura RD/WR que indica al dispositivo esclavo 3, 4, 5 direccionado si debe cumplir una instrucción de escritura o de lectura. Esto simplifica la decodificación de la respectiva instrucción transmitida. En la quinta y sexta posición más significativa, se proveen dos bits indicadores de longitud DL0, DL1 que especifican la longitud de la trama de datos de consulta RQ1. En el caso de dos bits indicadores de longitud se puede concebir, por ejemplo, una codificación en la que 00 es para tramas de datos de consulta de 16 bits, 01 para longitudes de tramas de 32 bits, 10 para 48 bits, y 11 para tramas de datos de 64 bits. Además, también se pueden emplear otras asignaciones. Dentro del bit menos significativo que se conforma como un bit de paridad PAR, se proveen nueve de datos útiles LD0-LD8 de bit. Los datos útiles LD0-LD8 en la consulta son generalmente instrucciones para el dispositivo esclavo direccionado mediante los bits de dirección SA0, SA1, SA2. Los datos útiles LD0-LD8 en la respuesta RP son los datos de sensor que transmite el sensor de regreso al microcontrolador.

En la fig. 4 se indica con RP una trama de datos de respuesta correspondiente transmitida a continuación por el dispositivo esclavo direccionado 3, 4, 5. Dicha trama presenta la misma estructura que la trama de datos de consulta RQ1 transmitida en el ciclo de selección precedente. Los primeros tres bits o bien, los más significativos, se ocupan con bits de dirección SA0, SA1, SA2 que corresponden a la dirección del dispositivo esclavo a transmitir 3, 4, 5. En lugar de un bit de lectura/escritura, en la cuarta posición más significativa de bit se provee un bit de estado GS. En el caso que el dispositivo esclavo 3, 4, 5 identifique una transmisión de datos defectuosa, por ejemplo, de la trama de datos de consulta RQ1 precedente, esto se puede informar mediante un bit de estado GS correspondiente. El bit menos significativo es nuevamente un bit de paridad PAR, en donde entre las posiciones de bit del bit de estado GS y del bit de paridad PAR, se proveen los bits de datos útiles LD0-LD8, por ejemplo, datos de sensor.

Además, en la fig. 4 se representa una trama de datos de consulta extendida RQ1' que comprende 32 bits. Es posible que mediante una consulta del dispositivo maestro 2 a un dispositivo esclavo 3, 4, 5, se requiera de más bits de datos útiles. El dispositivo esclavo 2 puede generar en el dispositivo esclavo direccionado 3, 4, 5, por ejemplo, mediante una instrucción correspondiente en los datos útiles LD de la trama de datos de consulta, la retransmisión de una trama de datos de 32 bits con dieciocho o más bits de datos útiles LD en una trama de datos de respuesta. Para garantizar la sincronización de la transmisión de datos a través del bus SPI correspondiente, se debe extender la trama de datos de consulta RQ1' posterior transmitida simultáneamente durante la trama de datos de respuesta más extensa. La trama de datos de consulta RQ1' extendida presenta en primer lugar una estructura de datos convencional en los primeros 16 bits, después bits adicionales AD0-AD7 y ocho bits de control CR0-CR7 como bits de control para efectuar un control de redundancia cíclica. La extensión a 16 bits, se considera en los bits indicadores de longitud DL0, DL1 de la trama de datos de consulta extendida RQ1'. Se puede proveer, por ejemplo, una extensión de las tramas de datos en incrementos de 16 bits. De esta manera, en el caso de dos bits indicadores de longitud se obtienen tramas de datos de 16, 32, 48 ó 64 bits de longitud. Mediante los bits indicadores de longitud se puede indicar la cantidad de bits de datos útiles LD en la respectiva trama de datos, o también la longitud completa de la trama de datos incluso los bits de dirección SA0, SA1, SA2, bits de estado GS o bits de lectura/escritura RD/WR, bits indicadores de longitud DL0, DL1, bits de control PAR, CR0-CR7 y los bits de datos útiles LD.

En el caso que un dispositivo maestro 2 transmita una trama de datos de consulta extendida RQ1', dicho dispositivo recibe paralelamente una trama de datos de respuesta válido con la estructura y longitud que se indica en la fig. 4 con RP. Los bits indicadores de longitud DL0, DL1 indican tanto antes como después las longitudes de tramas de datos de 16 bits. El dispositivo esclavo agrega otros bits adicionales para la duración de la transmisión de la trama de datos de consulta extendida RQ1' transmitida paralelamente, siempre que la señal de selección CSB controle el dispositivo esclavo. De esta manera, la presente invención permite una conmutación simple entre diferentes longitudes de tramas de datos que están condicionadas, por ejemplo, por la clase de datos útiles o bien, por las instrucciones allí incluidas para los dispositivos esclavos 3, 4, 5 o los datos de sensor retransmitidos al dispositivo maestro 2.

Se puede establecer que a partir de una longitud de trama de datos de más de 16 bits que difiere de un control de paridad simple, se incluyen bits de control para efectuar un control de redundancia cíclica de 8 bits, como los bits menos significativos. En el caso de un control de redundancia cíclica simple CRC, se consideran los datos a transmitir como coeficientes polinomiales diádicos, y se divide el polinomio correspondiente en módulo con un polinomio generador predeterminado. Por consiguiente, el módulo restante que se obtiene genera los bits de CRC. Para verificar que los datos transmitidos, es decir, los datos útiles no presenten errores, se interpretan los datos útiles recibidos con los bits de control CRC agregados como una secuencia binaria, y se divide nuevamente en módulos mediante el polinomio de CRC establecido. En el caso que no se obtenga un módulo restante, los datos útiles transmitidos se consideran libres de errores. Además, se pueden emplear también otros controles de redundancia cíclica más costosos.

En la fig. 5 se representa un ejemplo para una trama de datos de consulta RQ2 y una trama de datos de respuesta correspondiente RP2 con 32 bits de longitud. Las respectivas posiciones de bits más significativos se ocupan con tres bits de dirección SA0, SA1, SA2. En el caso de la trama de datos de consulta RQ2, el cuarto bit más significativo es un bit de lectura/escritura RD/WR y en la trama de datos de respuesta RP2 es un bit de estado GS. A partir de allí siguen dos bits indicadores de longitud DL0, DL1 que, por ejemplo, en una codificación 01 indican la longitud de trama de datos de 32 bits. Se proveen ocho posiciones de bits menos significativos con bits de control CRC para los bits de datos útiles LD0-LD17 dispuestos entre los bits indicadores de longitud y los bits de control. La transmisión de una trama de datos de 32 bits se realiza en 32 ciclos de reloj que conforman un ciclo de selección de chip. La trama de datos de respuesta RP2 se transmite en el ciclo de selección que sigue directamente al ciclo de selección que se ha transmitido en la trama de datos de consulta RQ2.

En la figura 6 se representa esquemáticamente las etapas del método que se ejecutan mediante los dispositivos maestro y esclavo 2, 3. Los dispositivos correspondientes se conforman de manera que ejecuten el método descrito anteriormente y que generen las tramas de datos de manera correspondiente. Un dispositivo esclavo 3 correspondiente recibe una trama de datos de consulta RQ, por ejemplo, de acuerdo con la fig. 4 ó 5. En una primera etapa S1 se establece mediante los bits indicadores de longitud recibidos, si se trata de una trama de datos de 16 bits o una trama de datos más extensa. Todas las tramas de datos que sean más extensas que 16 bits, se someten a un CRC de 8 bits. En el caso que los bits indicadores de longitud indiquen una trama de datos de consulta de 16 bits, dicha trama se comprueba sólo mediante el bit de paridad PAR transmitido. A continuación, en la etapa S2 se establece la cantidad de ciclos de reloj requeridos durante la fase de selección del sensor o bien, del dispositivo esclavo 3 en relación con los bits indicadores de longitud. De esta manera, se realiza un control de seguridad para determinar si todos los datos se han recibido sincronizadamente en correspondencia con la longitud indicada en los bits indicadores de longitud. Dado que los bits indicadores de longitud codifican la cantidad de bits de las tramas de datos para la consulta, de esta manera se establece también la cantidad de ciclos de consulta. Los datos útiles de la consulta se pueden extraer, dado que dichas instrucciones presentan una longitud conocida y mediante el bit de lectura/escritura se identifica si se trata de una instrucción de escritura o de lectura. Los datos útiles de la respuesta se pueden extraer, dado que mediante los bits indicadores de longitud se identifica en qué punto finaliza la trama de datos o bien, en donde se encuentran los datos útiles en la trama.

Por parte del dispositivo maestro 2 se establece también, en primer lugar, la longitud de trama de datos válida de la respuesta mediante los bits indicadores de longitud DL, y se ejecuta ya sea un control de paridad o un control CRC en los datos útiles. Esto se realiza en una etapa S1'. El microcontrolador o bien, el dispositivo maestro 2 identifica la longitud que presenta la trama de datos de respuesta RP, dado que en el ciclo de selección precedente se ha transmitido una instrucción correspondiente desde el dispositivo maestro 2 a través de los datos útiles. Por consiguiente, en la etapa S2' se extraen y se evalúan los datos útiles, por ejemplo, los datos de sensor.

La presente invención presenta en particular la ventaja de que se pueden procesar y transmitir de manera flexible diferentes longitudes de tramas de datos. Además, las tramas de datos se pueden emplear completamente para el intercambio de datos. Dichas tramas se pueden utilizar completamente mediante las tramas de datos de consulta y de respuesta que presentan desfase de tiempo. Mediante el empleo de un bit de paridad o de una pluralidad de bits de control CRC, la transmisión de datos resulta además particularmente segura.

A pesar de que la presente invención se ha explicado en detalle conforme a ejemplos de ejecución preferidos, ésta no se limita a dichos ejemplos sino que se puede modificar de una pluralidad de formas. Resultan concebibles otras tramas de datos diferentes a las longitudes de tramas de datos representadas en las fig. 4 y 5. También se pueden modificar las posiciones de bits representadas en dichas figuras, para los bits de dirección, bits de escritura/lectura, bits indicadores de longitud, bits de estado y bits de control. Además, se puede proveer una pluralidad de líneas de selección de chip para reducir, por ejemplo, el espacio de la dirección o la cantidad de bits de dirección necesarios en las tramas de datos. El método de transmisión de datos recomendado no se limita a un bus SPI, sino que se puede emplear en una pluralidad de formas en sistemas de bus síncronos seriales.

## REIVINDICACIONES

1. Método para la transmisión de tramas de datos entre un dispositivo maestro (2) y uno o una pluralidad de dispositivos esclavos (3, 4, 5) a través de un sistema de bus (6) con, al menos, una línea de consulta (16) para la transmisión de tramas de datos de consulta (RQ1, RQ2) desde el dispositivo maestro (2) a los dispositivos esclavos (3, 4, 5), una línea de respuesta (17) para la transmisión de tramas de datos de respuesta (RP1, RP2) desde los dispositivos esclavos (3, 4, 5) hacia el dispositivo maestro (2) y, al menos, una línea de selección (15) para la activación de los dispositivos esclavos (3, 4, 5), en donde las tramas de datos de consulta y de respuesta (RQ1, RQ2, RP1, RP2) se transmiten con, al menos, un bit de dirección (SA0, SA1, SA2) para direccionar uno de los dispositivos esclavos (3, 4, 5), bits de datos útiles (LD) y, al menos, un bit indicador de longitud (DL0, DL1) para indicar la longitud de la trama de datos, en donde las tramas de datos de consulta (RQ1, RQ2) y las tramas de datos de respuesta (RP1, RP2) se transmiten sincronizadamente entre sí, **caracterizado porque** a continuación de una trama de datos de consulta (RQ1) se transmite una trama de datos de respuesta asociada, en donde en relación con los bits de datos útiles (LD) de una trama de datos de consulta (RQ1) se pueden transmitir desde el dispositivo esclavo direccionado (3, 4, 5) una trama de datos de respuesta extendida y una trama de datos de consulta (RQ1') sincrónica con la anterior y extendida mediante bits adicionales (AD).
2. Método de acuerdo con la reivindicación 1, en donde la transmisión de una trama de datos de consulta y una de respuesta (RQ1, RQ2, RP1, RP2) se inicia mediante la modificación del nivel de una señal de selección (CSB) en la línea de selección (15).
3. Método de acuerdo con una de las reivindicaciones precedentes, en donde mediante el dispositivo maestro (2) se establece la señal de selección (CSB) para la duración de la transmisión de las tramas de datos de consulta y/o de respuesta (RQ1, RQ2, RP1, RP2).
4. Método de acuerdo con una de las reivindicaciones precedentes, en donde a continuación de una trama de datos de consulta (RQ1) se transmite una trama de datos de respuesta (RP1) con los mismos bits de dirección (SA0, SA1, SA2) del dispositivo esclavo direccionado (3, 4, 5).
5. Método de acuerdo con una de las reivindicaciones precedentes, en donde los bits adicionales comprenden bits de control (CRO-CR7) en particular para efectuar un control de redundancia cíclica, y los bits indicadores de longitud (DL0, DL1) indican la longitud de la trama de datos de consulta extendida (RQ1').
6. Método de acuerdo con una de las reivindicaciones precedentes, en donde los bits indicadores de longitud (DL0, DL1) de una trama de datos de respuesta (RP) transmitida sincronizadamente con una trama de datos de consulta extendida (RQ1'), indican la longitud extendida de la trama de datos de respuesta.
7. Método de acuerdo con una de las reivindicaciones precedentes, en donde en relación con los bits indicadores de longitud (DL0, DL1) una respectiva trama de datos presenta un bit de paridad (PAR) o bits de control (CRO-CR7) para efectuar un control de redundancia cíclica.
8. Método de acuerdo con una de las reivindicaciones precedentes, en donde los bits de dirección (SA0, SA1, SA2) se transmiten como los bits más significativos de una respectiva trama de datos.
9. Método de acuerdo con una de las reivindicaciones precedentes, en donde un bit de lectura/escritura (RD/WR) se transmite a una posición de bit predeterminada en las tramas de datos de consulta (RQ1), y un bit de estado (GS) se transmite a la misma posición de bit en las tramas de datos de respuesta (RP).
10. Método de acuerdo con una de las reivindicaciones precedentes, en donde un bit de paridad (PAR) se transmite en particular como el bit menos significativo en las tramas de datos de consulta (RQ1, RQ2) y/o en las tramas de datos de respuesta (RP1, RP2).
11. Método de acuerdo con una de las reivindicaciones precedentes, en donde las posiciones de los bits de dirección (SA0, SA1, SA2), de los bits de datos útiles (LD), los bits indicadores de longitud (DL0, DL1), de los bits de lectura/escritura (RW/WR), de los bits de estado (GS), de los bits de paridad (PAR) y/o de los bits de control (CRO-CR7) se establecen iguales para todas las tramas de datos.
12. Método de acuerdo con una de las reivindicaciones precedentes, en donde las tramas de datos de consulta y de respuesta (RQ1, RP) comprenden 16 bits, 32 bits, 48 bits ó 64 bits.
13. Producto de programa de ordenador, **caracterizado porque** dicho producto inicia la ejecución de un método de acuerdo con una de las reivindicaciones 1-12, en uno o en una pluralidad de dispositivos maestros y/o esclavos controlados por el programa (2, 3, 4, 5).

**14.** Red de comunicaciones (1) con, al menos, un dispositivo maestro (2) y uno o una pluralidad de dispositivos esclavos (3, 4, 5) que se acoplan a un sistema de bus (6), **caracterizada porque** los dispositivos maestro y esclavos (2, 3, 4, 5) se diseñan de manera tal que se pueda ejecutar un método de acuerdo con una de las reivindicaciones 1-12.

5 **15.** Red de comunicaciones (1) de acuerdo con la reivindicación 14, en donde el sistema de bus (6) es un sistema de bus sincronizado, y en particular el dispositivo maestro (2) transmite una señal de reloj (SCLK) mediante una línea de reloj (18) a los dispositivos esclavos (3, 4, 5).

**16.** Red de comunicaciones (1) de acuerdo con la reivindicación 14 ó 15, en donde el sistema de bus (6) se conforma como un bus SPI.

10



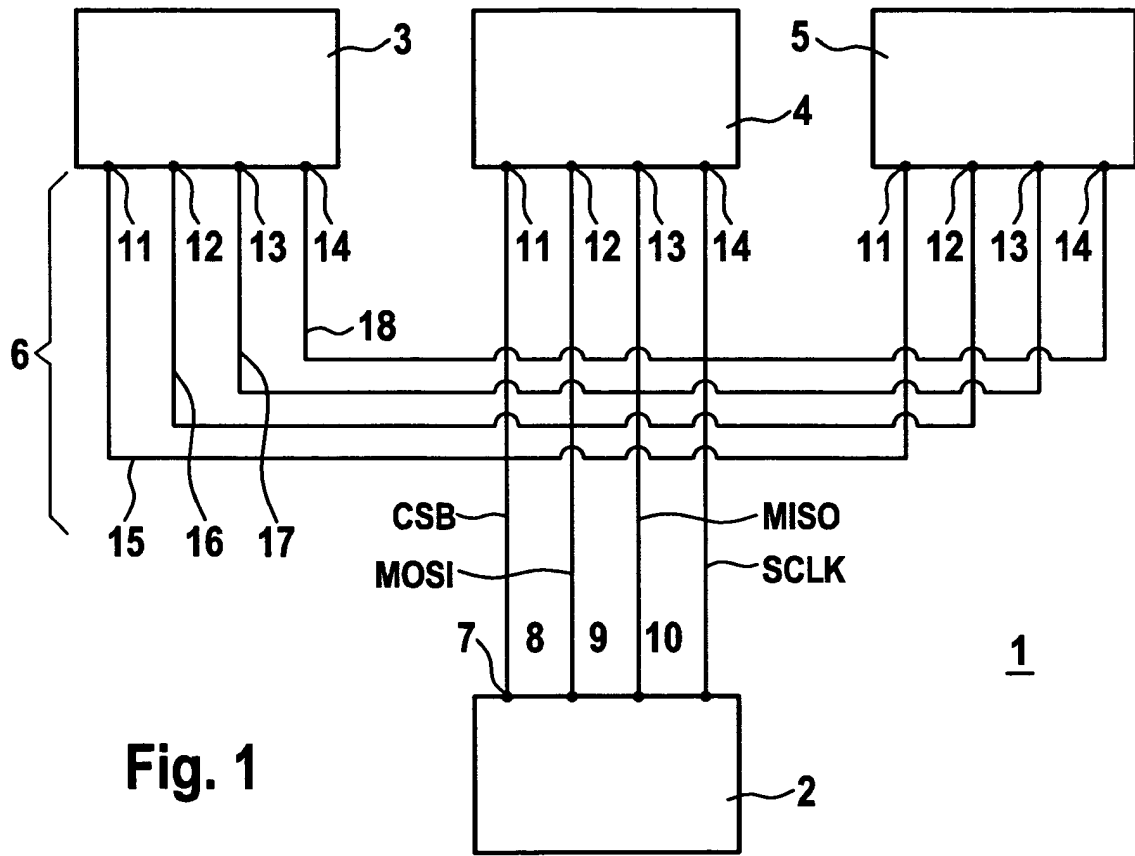
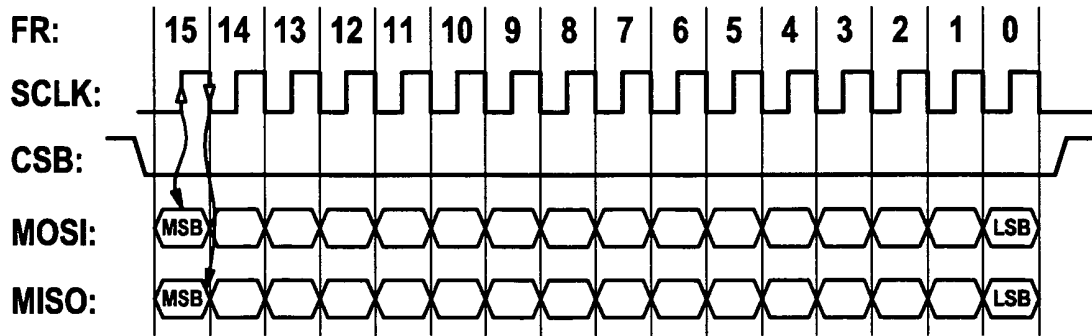
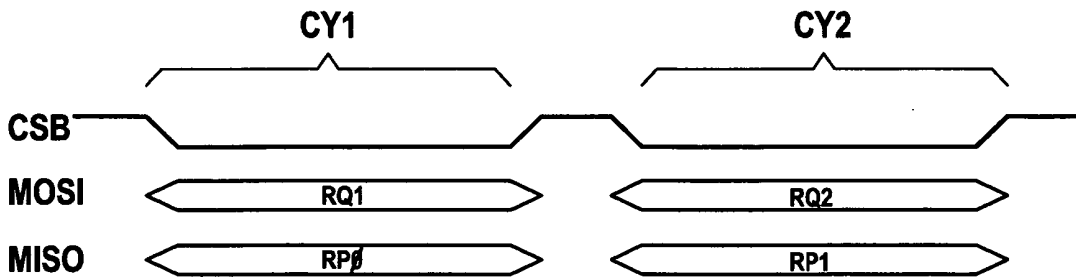


Fig. 1



**Fig. 2**



**Fig. 3**

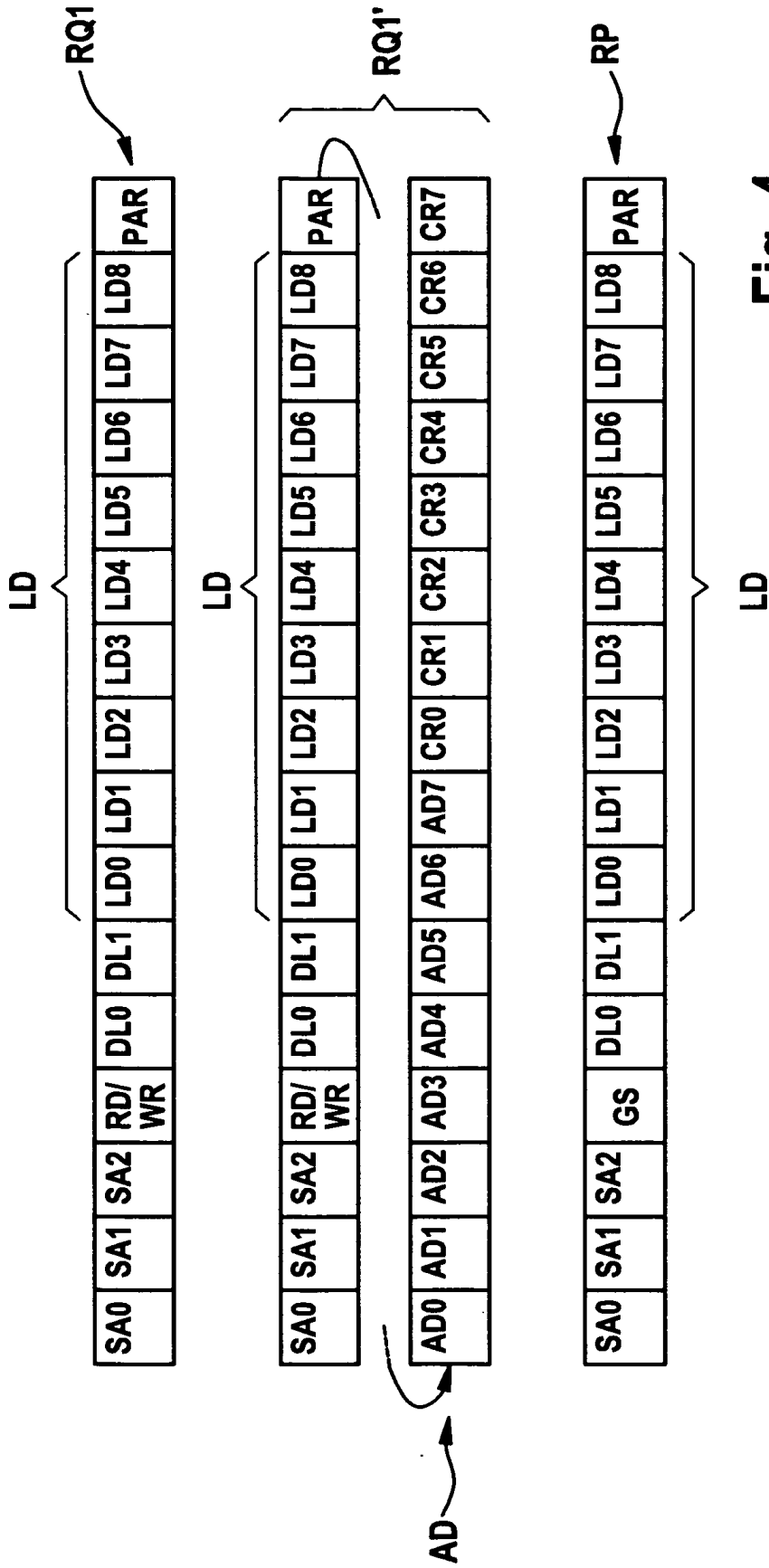


Fig. 4

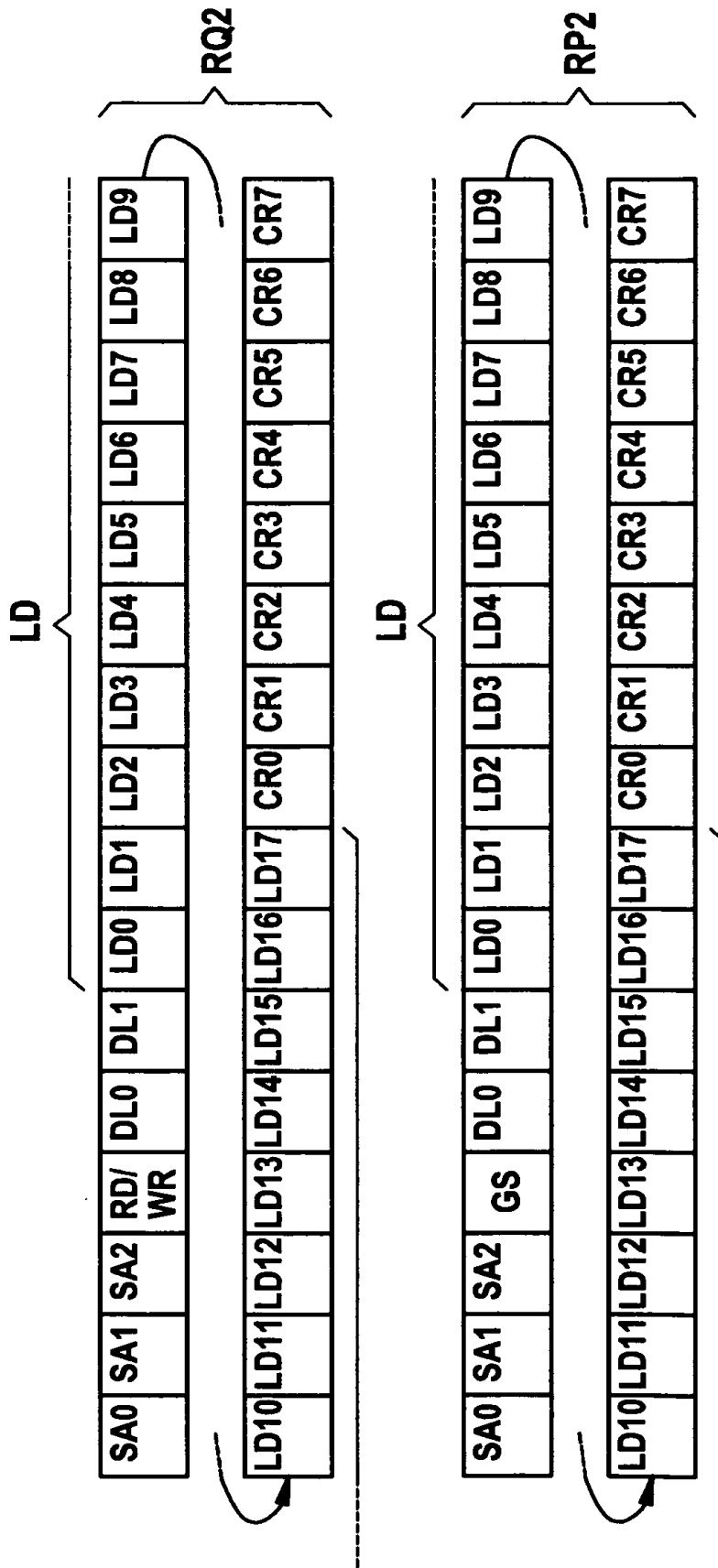
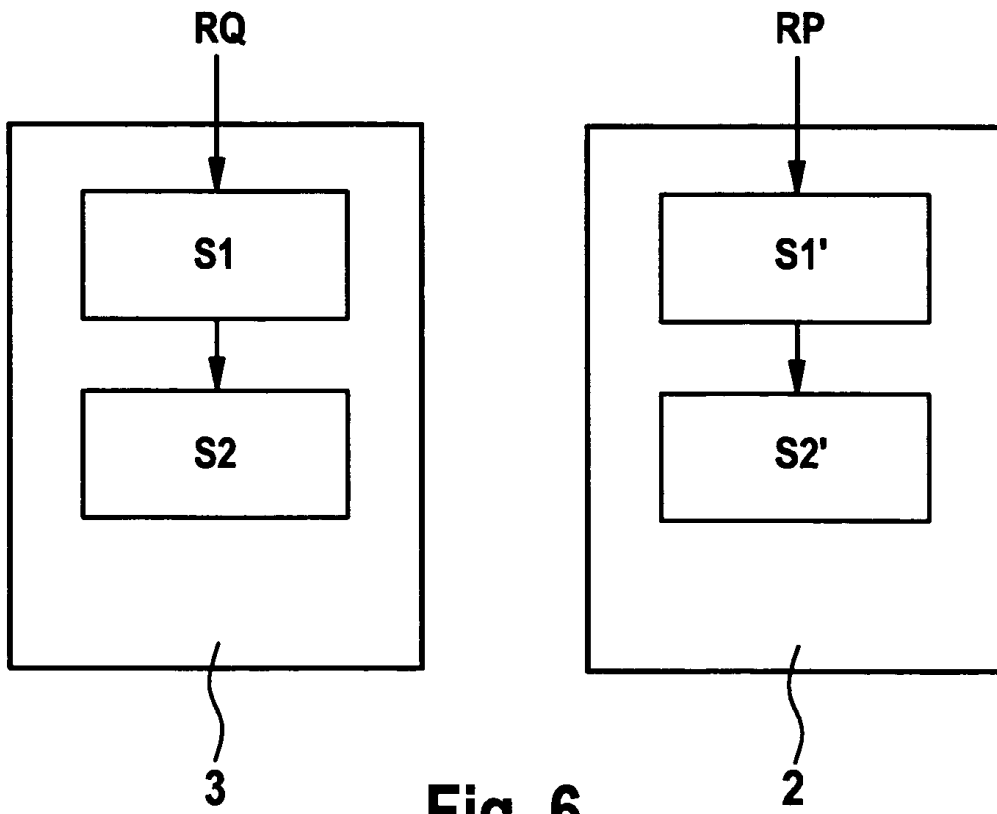


Fig. 5



**Fig. 6**