



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 366 368**

51 Int. Cl.:
G06F 13/362 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **05738907 .4**

96 Fecha de presentación : **15.04.2005**

97 Número de publicación de la solicitud: **1769370**

97 Fecha de publicación de la solicitud: **04.04.2007**

54 Título: **Sistema de procesamiento de datos.**

30 Prioridad: **14.06.2004 US 710030**

45 Fecha de publicación de la mención BOPI:
19.10.2011

45 Fecha de la publicación del folleto de la patente:
19.10.2011

73 Titular/es: **GENERAL ELECTRIC COMPANY**
1 River Road
Schenectady, New York 12345, US

72 Inventor/es: **Wells, Owen, N. y**
Hiranandani, Rajesh

74 Agente: **Carpintero López, Mario**

ES 2 366 368 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema de procesamiento de datos

Antecedentes de la Invención

5 Los sistemas de ordenador han utilizado un bus de comunicación de Interconexión de Componentes Periféricos (PCI) que tiene un dispositivo de procesamiento central (CPU) que realiza las funciones duales de (i) realizar cálculos matemáticos para diversos programas de software no relativos a comunicación, y (ii) realizar la funcionalidad de anfitrión para arbitrar o autorizar la comunicación sobre uno o más buses PCI entre diversos dispositivos acoplados a los buses PCI. Un inconveniente con esta arquitectura, sin embargo, es que cuando la CPU no está operativa, la CPU es incapaz de realizar las tareas de anfitrión y, por lo tanto, no puede realizarse ninguna comunicación entre dispositivos acoplados a los buses PCI.

10 Por lo tanto, existe la necesidad de un sistema que permita la comunicación sobre buses PCI incluso si una o más de las CPU acopladas a los buses PCI ya no están operativas.

15 El documento US 6.560.712 B1 desvela un procedimiento para ahorrar energía que incluye introducir un estado de baja energía por el procesador y la circuitería del sistema y permitir el arbitraje del bus por parte del procesador mientras que el núcleo del procesador permanece en el estado de baja energía. Una realización contempla un procedimiento para ahorrar energía concediendo acceso al bus a un dispositivo solicitante y haciendo entrar al núcleo de procesador en un modo de ahorro de energía en respuesta a ello.

20 El documento EP 0 710 813 A1 desvela un sistema PCI proporcionado con un registro sombra y un temporizador sombra. Cuando un dispositivo maestro envía una dirección que designa un dispositivo diana que está conectado a otro bus, el valor de latencia del dispositivo se registra en el registro sombra.

Breve descripción de la invención

25 Se proporciona un sistema de procesamiento de datos de acuerdo con una realización ejemplar. El sistema de procesamiento de datos incluye un primer dispositivo anfitrión acoplado de forma operativa con un primer bus de comunicación PCI en el que el primer dispositivo anfitrión sustancialmente solo realiza tareas asociadas con facilitar la comunicación a través del primer bus de comunicación PCI. El sistema de procesamiento de datos incluye adicionalmente un primer dispositivo de procesamiento acoplado de forma operativa con el primer bus de comunicación PCI. Finalmente, el sistema de procesamiento de datos incluye un segundo y tercer dispositivos, ambos acoplados de forma operativa con el primer bus de comunicación PCI. El segundo dispositivo está configurado para solicitar autorización del primer dispositivo anfitrión para transmitir un primer mensaje a través del primer bus de comunicación PCI, en el que el segundo dispositivo transmite el primer mensaje al tercer dispositivo tras la recepción de la autorización del primer dispositivo anfitrión incluso si el primer dispositivo de procesamiento no está operativo. El primer dispositivo anfitrión asigna un primer, segundo y tercer rangos de direcciones únicos al primer dispositivo de procesamiento y al segundo y tercer dispositivos, respectivamente, y el primer dispositivo anfitrión autoriza únicamente a un dispositivo acoplado al primer bus de comunicación PCI para que se comunique a la vez sobre el primer bus de comunicación PCI.

35 Se proporciona un sistema de procesamiento de datos de acuerdo con otra realización ejemplar. El sistema de procesamiento de datos incluye un primer medio de dispositivo anfitrión acoplado de forma operativa con un bus de comunicación PCI para realizar únicamente tareas asociadas con facilitar la comunicación a través del primer bus de comunicación PCI. El sistema de procesamiento de datos incluye adicionalmente un primer medio de dispositivo de procesamiento acoplado de forma operativa con el primer bus de comunicación PCI para realizar tareas computacionales. El sistema de procesamiento de datos incluye adicionalmente segundos y terceros medios de dispositivos, ambos acoplados de forma operativa con el primer bus de comunicación PCI para comunicarse entre sí. El segundo medio de dispositivo está configurado para solicitar autorización del primer medio de dispositivo anfitrión para transmitir un primer mensaje a través del primer bus de comunicación PCI, en el que el segundo medio de dispositivo transmite el primer mensaje al tercer medio de dispositivo tras la recepción de la autorización del primer medio de dispositivo anfitrión incluso si el primer medio de dispositivo de procesamiento no está operativo. El primer dispositivo anfitrión asigna un primer, segundo y tercer rangos de direcciones únicos al primer dispositivo de procesamiento y al segundo y tercer dispositivos, respectivamente, y el primer dispositivo anfitrión autoriza únicamente a un dispositivo acoplado al primer bus de comunicación PCI para que se comunique a la vez sobre el primer bus de comunicación PCI.

40 Se proporciona un sistema de procesamiento de datos de acuerdo con otra realización ejemplar. El sistema de procesamiento de datos incluye una primera placa base que tiene un primer dispositivo anfitrión, un primer bus de comunicación PCI y un primer, segundo y tercer conectores eléctricos. El primer dispositivo anfitrión está acoplado de forma operativa con el primer bus de comunicación PCI. El primer bus de comunicación PCI está acoplado de forma operativa con el primer, segundo y tercer conectores eléctricos, en los que el primer dispositivo anfitrión solo realiza tareas asociadas con facilitar la comunicación a través del primer bus de comunicación PCI. El sistema de

procesamiento de datos incluye adicionalmente un primer dispositivo de procesamiento acoplado de forma operativa con el primer bus de comunicación PCI a través del primer conector eléctrico. El sistema de procesamiento de datos incluye adicionalmente un segundo y tercer dispositivos, ambos acoplados de forma operativa con el primer bus de comunicación PCI a través del segundo y tercer conectores eléctricos, respectivamente. El segundo dispositivo está configurado para solicitar autorización del primer dispositivo anfitrión para transmitir un primer mensaje a través del primer bus de comunicación PCI, en el que el segundo dispositivo transmite el primer mensaje al tercer dispositivo después de la recepción de la autorización del primer dispositivo anfitrión incluso si el primer dispositivo de procesamiento no está operativo. El primer dispositivo anfitrión asigna un primer, segundo y tercer rangos de direcciones únicos al primer dispositivo de procesamiento y al segundo y tercer dispositivos, respectivamente, y el primer dispositivo anfitrión autoriza solo a un dispositivo acoplado al primer bus de comunicación PCI para que se comunique a la vez sobre el primer bus de comunicación PCI.

Se proporciona un procedimiento para controlar un sistema de procesamiento de datos de acuerdo con otra realización ejemplar. El sistema de procesamiento de datos tiene un primer dispositivo anfitrión acoplado de forma operativa con un primer bus de comunicación PCI en el que el primer dispositivo anfitrión solo realiza tareas asociadas con facilitar la comunicación a través del primer bus de comunicación PCI, y un primer dispositivo de procesamiento acoplado de forma operativa con el primer bus de comunicación PCI, y un segundo y tercer dispositivos, ambos acoplados de forma operativa con el primer bus de comunicación PCI. El procedimiento incluye enviar una señal de solicitud de autorización del segundo dispositivo al primer dispositivo anfitrión solicitando autorización para transmitir un primer mensaje sobre el primer bus de comunicación PCI. El procedimiento incluye adicionalmente, después de la recepción de la autorización del primer dispositivo anfitrión por el segundo dispositivo, transmitir el primer mensaje del segundo dispositivo al tercer dispositivo incluso si el primer dispositivo de procesamiento no está operativo. El primer dispositivo anfitrión asigna un primer, segundo y tercer rangos de direcciones únicos al primer dispositivo de procesamiento y al segundo y tercer dispositivos, respectivamente, y el primer dispositivo anfitrión autoriza solo a un dispositivo acoplado al primer bus de comunicación PCI para que se comunique a la vez sobre el primer bus de comunicación PCI.

Se proporciona un artículo de fabricación de acuerdo con otra realización ejemplar. El artículo de fabricación incluye un medio de almacenamiento informático que tiene un programa informático codificado en su interior para controlar un sistema de procesamiento de datos. El sistema de procesamiento de datos tiene un primer dispositivo anfitrión acoplado de forma operativa con un primer bus de comunicación PCI en el que el primer dispositivo anfitrión solo realiza tareas asociadas con facilitar la comunicación a través del primer bus de comunicación PCI, y un primer dispositivo de procesamiento acoplado de forma operativa con el primer bus de comunicación PCI, y un segundo y tercer dispositivos, ambos acoplados de forma operativa con el primer bus de comunicación PCI. El medio de almacenamiento informático incluye código para enviar una señal de solicitud de autorización desde el segundo dispositivo al primer dispositivo anfitrión solicitando autorización para transmitir un primer mensaje sobre el primer bus de comunicación PCI. El medio de almacenamiento informático incluye adicionalmente código para transmitir el primer mensaje del segundo dispositivo al tercer dispositivo incluso si el primer dispositivo de procesamiento no está operativo, después de la recepción de la autorización del primer dispositivo anfitrión por el segundo dispositivo. El primer dispositivo anfitrión asigna un primer, segundo y tercer rangos de direcciones únicos al primer dispositivo de procesamiento y al segundo y tercer dispositivos, respectivamente, y el primer dispositivo anfitrión autoriza únicamente a un dispositivo acoplado al primer bus de comunicación PCI para que se comunique a la vez sobre el primer bus de comunicación PCI.

Breve descripción de los dibujos

La Figura 1 es una representación esquemática del sistema de procesamiento de datos de acuerdo con una realización ejemplar;

la Figura 2 es una representación esquemática del sistema de procesamiento de datos de acuerdo con otra realización ejemplar;

la Figura 3 es una representación esquemática del sistema de procesamiento de datos de acuerdo con otra realización ejemplar;

la Figura 4 es un diagrama de flujo de un procedimiento para controlar la comunicación en el sistema de procesamiento de datos de la Figura 1;

las Figuras 5 y 6 son un diagrama de flujo de un procedimiento para controlar la comunicación en el sistema de procesamiento de datos de la Figura 3.

Descripción detallada la invención

Con respecto a la Figura 1, se proporciona un sistema de procesamiento de datos 10 para controlar la comunicación de datos entre dispositivos PCI de acuerdo con una realización ejemplar. El sistema de procesamiento de datos 10 incluye un dispositivo anfitrión PCI 12, un bus de comunicación PCI 14, conectores eléctricos 16, 18, 20, 22, 24, una

placa base 26, un módem 28, una CPU 30, un dispositivo de memoria 32, una CPU 34 y un dispositivo de pantalla de video 36. Una CPU o dispositivo de procesamiento en el presente documento se define como cualquier dispositivo capaz de realizar una tarea computacional. Un conector eléctrico también se denomina una ranura eléctrica para los expertos en la materia. Por ejemplo, el conector eléctrico 16 se denomina habitualmente "Ranura 1" en el bus PCI.

La placa base 26 comprende un sustrato sobre el que están unidos el dispositivo anfitrión PCI 12, el bus PCI 14 y los conectores eléctricos 16, 18, 20, 22, 24. El dispositivo anfitrión PCI 12 se proporciona sustancialmente para realizar únicamente tareas asociadas con facilitar la comunicación a través del bus de comunicación PCI 14. El dispositivo anfitrión PCI 12 asigna un rango de direcciones único para cada uno de los dispositivos que se comunican sobre el bus 14. Adicionalmente, el dispositivo anfitrión PCI configura las interfaces PCI en cada uno de los dispositivos que se comunican a través del bus 14 y habilita estas interfaces PCI. Además, el dispositivo anfitrión PCI 12 autoriza únicamente a un dispositivo acoplado al bus 14 para que se comuniquen a la vez con el bus 14. Con el fin de comunicarse sobre el bus 14, un dispositivo acoplado de forma operativa con el bus 14 envía una señal de solicitud de autorización al dispositivo anfitrión PCI 12. Después de ello, el dispositivo anfitrión PCI 12 puede transmitir una señal de concesión de autorización al dispositivo solicitante que autoriza al dispositivo a transmitir un mensaje a través del bus 14. Un bus de comunicación PCI comprende uno de PCI 2.0, PCI 2.1, PCI 2.2, PCI 2.3 y cualquier equivalente de los mismos. En una realización alternativa, un bus de comunicación PCI comprende uno de un bus PCI-X, un bus PCI Compacto, un bus PCI Express y cualquier equivalente de los mismos. Además, en otra realización alternativa, el bus de comunicación PCI podría reemplazarse por cualquier otro tipo de bus de comunicación en paralelo o bus de comunicación en serie.

El dispositivo anfitrión PCI 12 está acoplado eléctricamente con el bus 14 y con los conectores eléctricos 16, 18, 20, 22, 24. Los conectores eléctricos 16, 18, 20, 22, 24 también están acoplados eléctricamente con el bus 14.

Los dispositivos restantes del sistema de procesamiento de datos 10 están acoplados eléctricamente con el bus de comunicación PCI 14 a través de los conectores eléctricos. En particular, el módem 28, la CPU 30, el dispositivo de memoria 32, la CPU 34 y el dispositivo de pantalla de video 36 están acoplados eléctricamente con los conectores eléctricos 16, 18, 20, 22, 24, respectivamente.

Una ventaja sustancial del sistema 10 es que la comunicación puede producirse entre dispositivos a través del bus de comunicación PCI 14 incluso si una de las CPU 30, 34 no está operativa. Por ejemplo, la CPU 30 puede comunicarse con el dispositivo de memoria 32 a través del bus 14 incluso si la CPU 34 no está operativa.

Con respecto a la Figura 4, ahora se explicará un procedimiento para transmitir datos entre el sistema de procesamiento de datos 10. Debe apreciarse que aunque la comunicación entre la CPU 30 y el dispositivo de memoria 32 se usará para describir la operación del sistema 10, dos dispositivos cualesquiera sobre el bus 14 pueden comunicarse entre sí a través del bus 14 incluso si una de las CPU 30, 34 no está operativa.

En la etapa 190, el dispositivo anfitrión PCI 12 asigna un rango de direcciones único para configurar y habilitar las interfaces PCI a cada una de la CPU 30, la CPU 34, el módem 28, el dispositivo de memoria 32 y el dispositivo de pantalla de video 36 acoplados de forma operativa con el bus de comunicación PCI 14.

En la etapa 192, la CPU 30 envía una señal de solicitud de autorización al dispositivo anfitrión PCI 12 para obtener autorización para comunicarse con el dispositivo de memoria 32.

En la etapa 194, el dispositivo anfitrión PCI 12 envía una señal de concesión de autorización a la CPU 30.

En la etapa 196, la CPU 30 transmite un mensaje al dispositivo de memoria 32 a través del bus de comunicación PCI 14 después de la recepción de la señal de concesión de autorización, incluso si la CPU 34 no está operativa.

Con respecto a la Figura 2, se muestra un sistema de procesamiento de datos 48 para controlar la comunicación de datos entre dispositivos PCI de acuerdo con otra realización ejemplar. El sistema de procesamiento de datos 48 incluye un subsistema 49, un subsistema 50 y un puente PCI-PCI 76.

El subsistema 49 incluye un bus PCI 52, conectores eléctricos 54, 56, 58, 60, 62, una placa base 64, un dispositivo anfitrión PCI 66, un dispositivo de memoria 68, una CPU 70, una CPU 72 y un dispositivo de memoria 74. La placa base 64 comprende un sustrato sobre el que están unidos el bus PCI 52 y los conectores eléctricos 54, 56, 58, 60 y 62. La diferencia principal entre la placa base 64 y la placa base 26, analizada anteriormente, es que el dispositivo anfitrión PCI no está unido directamente al sustrato de la placa base 64. En su lugar, el dispositivo anfitrión PCI 66 está acoplado eléctricamente al conector eléctrico 60. El dispositivo anfitrión PCI 66 asigna un rango de direcciones único para cada uno de los dispositivos que se comunican sobre el bus de comunicación PCI 52. Además, el dispositivo anfitrión PCI 66 configura los interfaces PCI en cada uno de los dispositivos que se comunican a través del bus 52 y habilita esos interfaces PCI. Además, el dispositivo anfitrión PCI 66 autoriza solo a un dispositivo acoplado al bus 52 para que se comuniquen a la vez sobre el bus 52. El dispositivo anfitrión PCI 66 está acoplado eléctricamente con el bus 52 y con los conectores eléctricos 54, 56, 58, 60, 62. Los conectores eléctricos 54, 56, 58,

60, 62 también están acoplados eléctricamente con el bus 52.

Los dispositivos restantes del subsistema 49 están acoplados eléctricamente con el bus de comunicación PCI 52 a través de los conectores eléctricos. En particular, el dispositivo de memoria 68, la CPU 70, la CPU 72 y el dispositivo de memoria 74 están acoplados eléctricamente con los conectores eléctricos 54, 56, 58, 62, respectivamente.

5 El subsistema 50 incluye un bus PCI 78, conectores eléctricos 80, 82, 84, 86, 88, una placa base 90, el dispositivo anfitrión PCI 92, un dispositivo de memoria 94, una CPU 96, un dispositivo de memoria 98 y una CPU 100. La placa base 90 comprende un sustrato sobre el que están unidos el bus PCI 78 y los conectores eléctricos 80, 88, 84, 86, 88. El dispositivo anfitrión PCI 92 no está unido directamente al sustrato de la placa base 90. En su lugar, el dispositivo anfitrión PCI 92 está acoplado eléctricamente con el conector eléctrico 84.

10 El dispositivo anfitrión PCI 92 asigna un rango de direcciones único para cada uno de los dispositivos que se comunican sobre el bus de comunicación PCI 78. Además, el dispositivo anfitrión PCI 92 configura los interfaces PCI en cada uno de los dispositivos que se comunican sobre el bus 78 y habilita los interfaces PCI. Además, el dispositivo anfitrión PCI 92 autoriza únicamente a un dispositivo acoplado con el bus 78 para que se comuniquen a la vez sobre el bus 78. El dispositivo anfitrión PCI 92 está acoplado eléctricamente con el bus de comunicación PCI 78 y con los conectores eléctricos 80, 82, 84, 86, 88. Los conectores eléctricos 80, 82, 84, 86, 88 también están acoplados eléctricamente con el bus 78.

Los dispositivos restantes del subsistema 50 están acoplados eléctricamente con el bus de comunicación PCI 78 a través de los conectores eléctricos. En particular, el dispositivo de memoria 94, la CPU 96, el dispositivo de memoria 98 y la CPU 100 están acoplados eléctricamente con los conectores eléctricos 80, 82, 86, 88, respectivamente.

20 El sistema de procesamiento de datos 48 incluye adicionalmente un puente PCI-PCI 76 que está acoplado de forma operativa entre los subsistemas 49 y 50. En particular, el puente 76 está acoplado eléctricamente entre el bus de comunicación PCI 52 y el bus de comunicación PCI 78. Los expertos en la materia reconocerán que el puente 76 puede estar acoplado de forma operativa a los buses 52 y 78 usando uno de una pluralidad de configuraciones de acoplamiento conocidas. El puente 76 permite que los dispositivos del bus 52 se comuniquen con dispositivos acoplados de forma operativa con el bus 78, y viceversa.

25 Una ventaja del sistema de procesamiento de datos 48 es que los dispositivos unidos al bus 52 pueden comunicarse entre sí incluso si una o más de las CPU acopladas a los mismos no están operativas. Por ejemplo, el dispositivo anfitrión PCI 66 permitirá la comunicación sobre el bus 52 entre la CPU 72 y los dispositivos 68 y 74 incluso si la CPU 70 no está operativa. Análogamente, los dispositivos acoplados de forma operativa con el bus 78 pueden comunicarse entre sí incluso si una o más de las CPU acopladas al mismo no están operativas. Por ejemplo, el dispositivo anfitrión PCI 92 permitirá la comunicación sobre el bus 78 entre la CPU 100 y el dispositivo de memoria 94 incluso si la CPU 96 no está operativa.

30 Una ventaja adicional del sistema de procesamiento de datos 48 es que los dispositivos unidos al bus 52 pueden comunicarse con dispositivos unidos al bus 78, incluso si una o más CPU no están operativas sobre cualquiera de los buses 52 y 78. Por ejemplo, la CPU 70 sobre el bus 52 puede comunicarse con el dispositivo de memoria 98 sobre el bus 78, a través del puente 76, incluso si la CPU 72, la CPU 96 y la CPU 100 no están operativas.

35 Una ventaja adicional del sistema de procesamiento de datos 48 es que el dispositivo anfitrión PCI 66 puede reemplazarse fácilmente si el dispositivo anfitrión PCI 66 se vuelve no operativo. En particular, el dispositivo anfitrión PCI 66 puede desconectarse del conector eléctrico 60 y puede insertarse un nuevo dispositivo anfitrión PCI dentro del conector eléctrico 60.

Con respecto a la Figura 3, se muestra un sistema de procesamiento de datos 119 para controlar la comunicación de datos entre dispositivos PCI de acuerdo con otra realización ejemplar. El sistema de procesamiento de datos 119 incluye un subsistema 120, un subsistema 121 y una red de comunicación 176.

45 El subsistema 120 incluye un dispositivo anfitrión PCI 122, un bus PCI 124, conectores eléctricos 126, 128, 130, 132, 134, una placa base 135, un dispositivo de comunicación remota 136, un dispositivo de memoria 138, una CPU 140, un dispositivo de memoria 142 y una CPU 144. La placa base 135 comprende un sustrato sobre el que están unidos el dispositivo anfitrión PCI 122, el bus de comunicación PCI 124 y los conectores eléctricos 126, 128, 130, 132, 134. El dispositivo anfitrión PCI 122 asigna un rango de direcciones único para cada uno de los dispositivos que se comunican sobre el bus de comunicación PCI 124. Además, el dispositivo anfitrión PCI 122 configura las interfaces PCI en cada uno de los dispositivos que se comunican a través del bus 124 y habilita las interfaces PCI. Además, el dispositivo anfitrión PCI 122 solo autoriza a un dispositivo acoplado al bus 124 para que se comuniquen a la vez sobre el bus 124.

50 El dispositivo anfitrión PCI 122 está acoplado eléctricamente al bus de comunicación PCI 124 y a los conectores eléctricos 126, 128, 130, 132, 134. Los conectores eléctricos 126, 128, 130, 132, 134 están acoplados eléctricamente con el bus 124.

Los dispositivos restantes del subsistema 120 están acoplados eléctricamente con el bus de comunicación PCI 124 a través de los conectores eléctricos. En particular, el dispositivo de memoria 138, la CPU 140, el dispositivo de comunicación remota 136, el dispositivo de memoria 142 y la CPU 144 están acoplados eléctricamente a los conectores eléctricos 126, 128, 130, 132, 134, respectivamente.

- 5 El subsistema 121 incluye un dispositivo anfitrión PCI 150, un bus PCI 152, conectores eléctricos 154, 156, 158, 160, 162, una placa base 164, un dispositivo de pantalla de video 168, una CPU 170, un dispositivo de comunicación remota 166, un dispositivo de memoria 172 y una CPU 174. La placa base 164 comprende un sustrato sobre el que están conectados el dispositivo anfitrión PCI 150, el bus de comunicación PCI 152 y los conectores eléctricos 154, 156, 158, 160, 162. El dispositivo anfitrión PCI 150 asigna un rango de direcciones único para cada uno de los dispositivos que se comunican a través del bus de comunicación PCI 152. Además, el dispositivo anfitrión PCI 150 configura las interfaces PCI en cada uno de los dispositivos que se comunican a través del bus 152 y habilita las interfaces PCI. Además, el dispositivo anfitrión PCI 150 autoriza únicamente a un dispositivo acoplado al bus 152 para que se comunique a la vez sobre el bus 152. El dispositivo anfitrión PCI 150 está acoplado eléctricamente con el bus 152 y con los conectores eléctricos 154, 156, 158, 160, 162. Los conectores eléctricos 154, 156, 158, 160, 162 también están acoplados eléctricamente con el bus 152.

Los dispositivos restantes del subsistema 121 están acoplados eléctricamente con el bus de comunicación PCI 152 a través de los conectores eléctricos. En particular, el dispositivo de pantalla de video 168, la CPU 170, el dispositivo de comunicación remota 166, el dispositivo de memoria 172 y la CPU 174 están acoplados eléctricamente con los conectores eléctricos 154, 156, 158, 160, 162, respectivamente.

- 20 El sistema de procesamiento de datos 119 incluye adicionalmente una red de comunicación 176 que está acoplada de forma operativa entre los subsistemas 120 y 121. En particular, la red 176 está acoplado eléctricamente a través de dispositivo de comunicación remota 136 y el dispositivo de comunicación remota 166. Los dispositivos de comunicación remota 136, 166 y la red de comunicación 176 permiten que dispositivos del bus de comunicación PCI 124 se comuniquen con dispositivos del bus de comunicación PCI 124 se comuniquen con el bus de comunicación PCI 152, y viceversa.

Con respecto a las Figuras 5 y 6, ahora se explicará un procedimiento para transmitir datos dentro del sistema de procesamiento de datos 119. Debe apreciarse que aunque se utilizará la comunicación entre la CPU 140 y el dispositivo de memoria 172 para describir la operación del sistema 119, dos dispositivos cualesquiera en los buses 124 y 152 pueden comunicarse entre sí incluso si una o más de las CPU 140, 144, 170 y 174 no están operativas.

- 30 En la etapa 210, el dispositivo anfitrión PCI 122 asigna un rango de direcciones único para la CPU 140, la CPU 144, el dispositivo de comunicación remota 136, el dispositivo de memoria 138 y el dispositivo de memoria 142, acoplados de forma operativa con el bus de comunicación PCI 124. Además, el dispositivo anfitrión PCI 122 configura las interfaces PCI en cada una de la CPU 140, la CPU 144, el dispositivo de comunicación remota 136, el dispositivo de memoria 138 y el dispositivo de memoria 142 y habilita las interfaces PCI.

- 35 En la etapa 212, el dispositivo anfitrión PCI 150 asigna un rango de direcciones único para la CPU 170, la CPU 174, el dispositivo de comunicación remota 166, el dispositivo de memoria 172 y el dispositivo de pantalla de video 168, acoplado de forma operativa con el bus de comunicación PCI 152. Además, el dispositivo anfitrión PCI 150 configura las interfaces PCI en cada uno del dispositivo de comunicación remota 166, el dispositivo de memoria 172 y el dispositivo de pantalla de video 168 y habilita las interfaces PCI.

- 40 En la etapa 214, el dispositivo de comunicación remota 136 se comunica de forma operativa con el dispositivo de comunicación remota 166 a través de la red de comunicación 176.

En la etapa 216, la CPU 140 envía una señal de solicitud de autorización al dispositivo anfitrión PCI 122 para obtener autorización para comunicarse con el dispositivo de comunicación remota 136.

En la etapa 218, el dispositivo anfitrión PCI 122 envía una señal de concesión de autorización a la CPU 140.

- 45 En la etapa 220, la CPU 140 transmite un primer mensaje al dispositivo de comunicación remota 136 para una transmisión adicional al dispositivo de memoria 172 acoplados de forma operativa al bus de comunicación PCI 132.

En la etapa 224, el dispositivo de comunicación remota 136 retransmite el primer mensaje recibido de la CPU 140 al dispositivo de comunicación remota 166 a través de la red de comunicación 176.

- 50 En la etapa 226, el dispositivo de comunicación remota 166 envía una señal de solicitud de autorización al dispositivo anfitrión PCI 150 acoplado de forma operativa con al bus de comunicación PCI 152 para obtener autorización para comunicarse con el dispositivo de memoria 172.

En la etapa 228, el dispositivo anfitrión PCI 150 envía una señal de concesión de autorización al dispositivo de comunicación remota 136.

En la etapa 230, el dispositivo de comunicación remota 166 retransmite el primer mensaje recibido del dispositivo de comunicación remota 136 al dispositivo de memoria 172 a través del bus de comunicación PCI 152 incluso cuando la CPU 144, la CPU 170 o la CPU 174 no están operativas.

5 Una ventaja del sistema de procesamiento de datos 119 es que los dispositivos unidos al bus 124 pueden comunicarse con dispositivos unidos al bus 152, incluso si una o más CPU no están operativas en cualquiera de los buses 124 y 152. Por ejemplo, la CPU 140 en el bus 124 puede comunicarse con el dispositivo de memoria 172 en el bus 152, a través de la red de comunicación 176, incluso si la CPU 144, la CPU 170 y la CPU 174 no están operativas.

10 Por lo tanto, el sistema de procesamiento de datos 119 proporciona el efecto técnico de permitir la comunicación sobre uno o más buses PCI incluso si las CPU conectadas a los buses no están operativas.

15 Aunque las realizaciones de la invención se describen con respecto a las realizaciones ejemplares, se entenderá por los expertos en la materia que pueden realizarse diversos cambios y que puede sus elementos pueden sustituirse por equivalentes sin apartarse del alcance de la invención. Además, pueden realizarse numerosas modificaciones a las enseñanzas de la invención para adaptarse a una situación particular sin apartarse del alcance de la misma. Por lo tanto, se pretende que la invención no esté limitada a la realización desvelada para realizar esta invención, sino que la invención incluya todas las realizaciones que están dentro del alcance de las reivindicaciones. Además, el uso del primer y segundo, etc. términos no representa ningún orden de importancia, sino que el primer, segundo, etc. términos se usan para distinguir a un elemento de otro.

20

REIVINDICACIONES

1. Un sistema de procesamiento de datos (119), que comprende:

un primer dispositivo anfitrión (122) acoplado de forma operativa con un primer bus de comunicación PCI (124) en el que el primer dispositivo anfitrión (122) sustancialmente solo realiza tareas asociadas con facilitar la comunicación a través del primer bus de comunicación PCI (124);

un primer dispositivo de procesamiento (140) acoplado de forma operativa con el primer bus de comunicación PCI (124); y

segundo y tercer dispositivos (138, 142) acoplados ambos de forma operativa con el primer bus de comunicación PCI (124), estando configurado el segundo dispositivo (138) para solicitar autorización del primer dispositivo anfitrión (122) para transmitir un primer mensaje a través del primer bus de comunicación PCI (124), en el que el segundo dispositivo (138) transmite el primer mensaje al tercer dispositivo (142) después de recibir la autorización del primer dispositivo anfitrión (122) incluso si el primer dispositivo de procesamiento (140) no está operativo;

en el que el primer dispositivo anfitrión (122) asigna un primer, segundo y tercer rangos de direcciones únicos al primer dispositivo de procesamiento (140) y al segundo y tercer dispositivos (138, 142), respectivamente; y el primer dispositivo anfitrión (122) autoriza únicamente a un dispositivo acoplado al primer bus de comunicación PCI (124) para que se comunique a la vez sobre el primer bus de comunicación PCI (124).

2. El sistema de procesamiento de datos (119) de la reivindicación 1, en el que el primer dispositivo anfitrión comprende un dispositivo anfitrión PCI (122).

3. El sistema de procesamiento de datos (119) de la reivindicación 1, en el que el primer dispositivo anfitrión (122) y el primer bus de comunicación PCI (124) están dispuestos en una primera placa base (135).

4. El sistema de procesamiento de datos de la reivindicación 1, que comprende adicionalmente:

un segundo dispositivo anfitrión acoplado de forma operativa con un segundo bus de comunicación PCI en el que el segundo dispositivo anfitrión solo realiza tareas asociadas con facilitar la comunicación a través del segundo bus de comunicación PCI;

un cuarto dispositivo acoplado de forma operativa con el segundo bus de comunicación PCI; y

un primer dispositivo de comunicación que facilita de forma operativa la comunicación entre el primer y segundo buses de comunicación PCI, en el que el cuarto dispositivo se comunica con el segundo dispositivo a través del primer dispositivo de comunicación incluso si el primer dispositivo de procesamiento no está operativo.

5. El sistema de procesamiento de datos de la reivindicación 4, en el que el segundo dispositivo anfitrión comprende un dispositivo anfitrión PCI.

6. El sistema de procesamiento de datos de la reivindicación 4, en el que el cuarto dispositivo comprende un segundo dispositivo de procesamiento.

7. El sistema de procesamiento de datos de la reivindicación 4, que comprende adicionalmente un quinto dispositivo acoplado de forma operativa con el segundo bus de comunicación PCI, en el que quinto dispositivo se comunica con el cuarto dispositivo a través del segundo bus de comunicación PCI incluso si el primer dispositivo de procesamiento acoplado con el primer bus de comunicación PCI no está operativo.

8. Un procedimiento para controlar un sistema de procesamiento de datos (119), teniendo el sistema de procesamiento de datos (119) un primer dispositivo anfitrión (122) acoplado de forma operativa con un primer bus de comunicación PCI (124) en el que primer dispositivo anfitrión (122) solo realiza tareas asociadas con facilitar la comunicación a través del primer bus de comunicación PCI (124), y un primer dispositivo de procesamiento (140) acoplado de forma operativa con el primer bus de comunicación PCI (124) y un segundo y tercer dispositivos (138, 142) ambos acoplados de forma operativa con el primer bus de comunicación PCI (124), comprendiendo el procedimiento:

enviar una señal de solicitud de autorización del segundo dispositivo (138) al primer dispositivo anfitrión (122) solicitando autorización para transmitir un primer mensaje sobre el primer bus de comunicación PCI (124); y

después de la recepción de la autorización del primer dispositivo anfitrión (122) por el segundo dispositivo (138), transmitir el primer mensaje del segundo dispositivo (138) al tercer dispositivo (142) incluso si el primer dispositivo de procesamiento (140) no está operativo;

en el que

el primer dispositivo anfitrión (122) asigna un primer, segundo y tercer rangos de direcciones únicos al primer dispositivo de procesamiento (140) y al segundo y tercer dispositivos (138, 142), respectivamente; y

el primer dispositivo anfitrión (122) autoriza únicamente a un dispositivo acoplado al primer bus de comunicación PCI (124) para que se comunique a la vez sobre el primer bus de comunicación PCI (124).

9. Un artículo de fabricación, que comprende:

5 un medio de almacenamiento informático que tiene un programa informático codificado en su interior para controlar un sistema de procesamiento de datos (119), teniendo el sistema de procesamiento de datos (119) un primer dispositivo anfitrión (122) acoplado de forma operativa con un primer bus de comunicación PCI (124) en el que el primer dispositivo anfitrión (122) solo realiza tareas asociadas con facilitar la comunicación a través del primer bus de comunicación PCI (124), y un primer dispositivo de procesamiento (140) acoplado de forma operativa con el primer bus de comunicación PCI (124) y un segundo y tercer dispositivos (138, 142) ambos acoplados de forma operativa al primer bus de comunicación PCI (124), comprendiendo el medio de ordenador de almacenamiento informático:

10 código para enviar una señal de solicitud de autorización del segundo dispositivo (138) al primer dispositivo anfitrión (122) solicitando autorización para transmitir un primer mensaje sobre el primer bus de comunicación PCI (124); y

15 código para transmitir el primer mensaje del segundo dispositivo (138) al tercer dispositivo (142) incluso si el primer dispositivo de procesamiento (140) no está operativo, después de la recepción de la autorización del primer dispositivo anfitrión (122) por el segundo dispositivo (138); en el que

20 el primer dispositivo anfitrión (122) asigna un primer, segundo y tercer rangos de direcciones únicos al primer dispositivo de procesamiento (140) y al segundo y tercer dispositivos (138, 142), respectivamente; y el primer dispositivo anfitrión (122) autoriza únicamente a un dispositivo acoplado al primer bus de comunicación PCI (124) para que se comunique a la vez sobre el primer bus de comunicación PCI (124).

FIG. 1

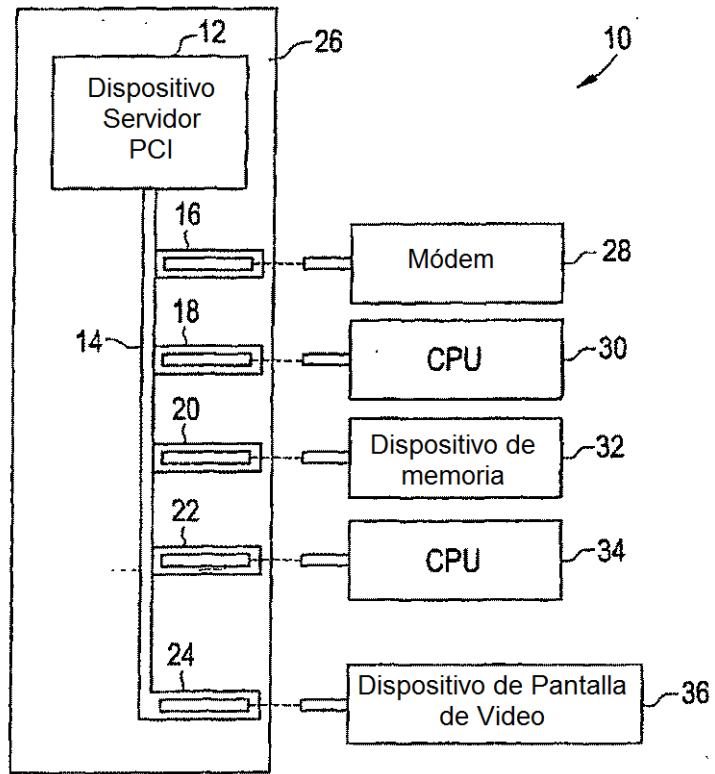


FIG. 2

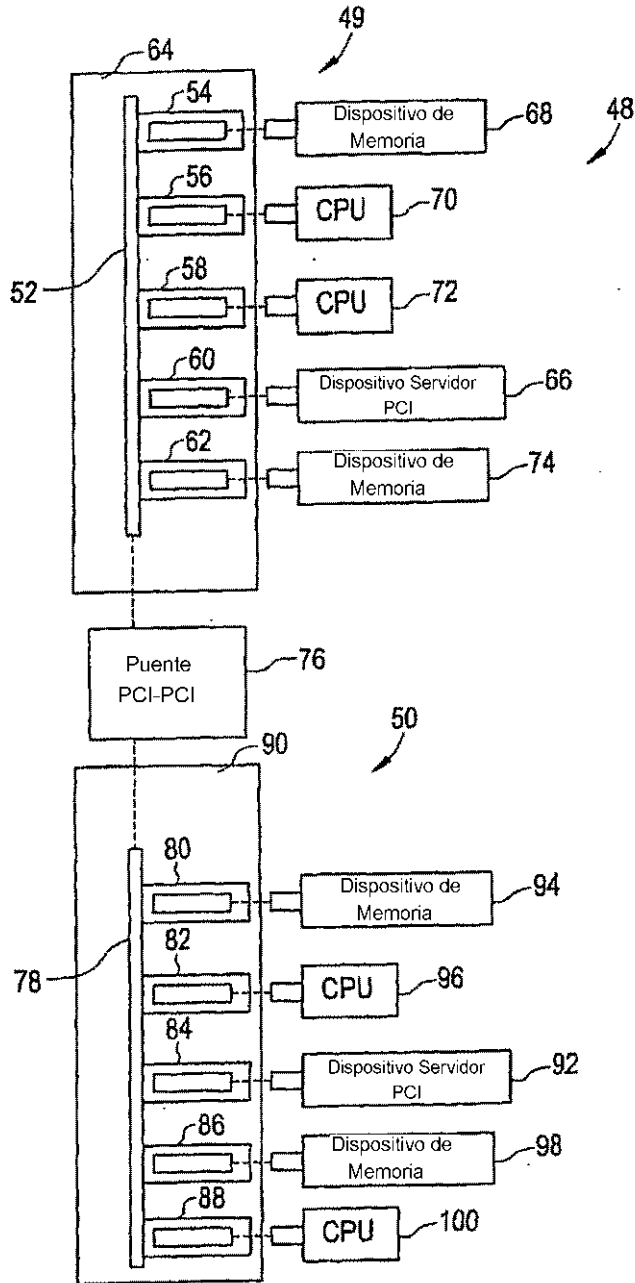


FIG. 3

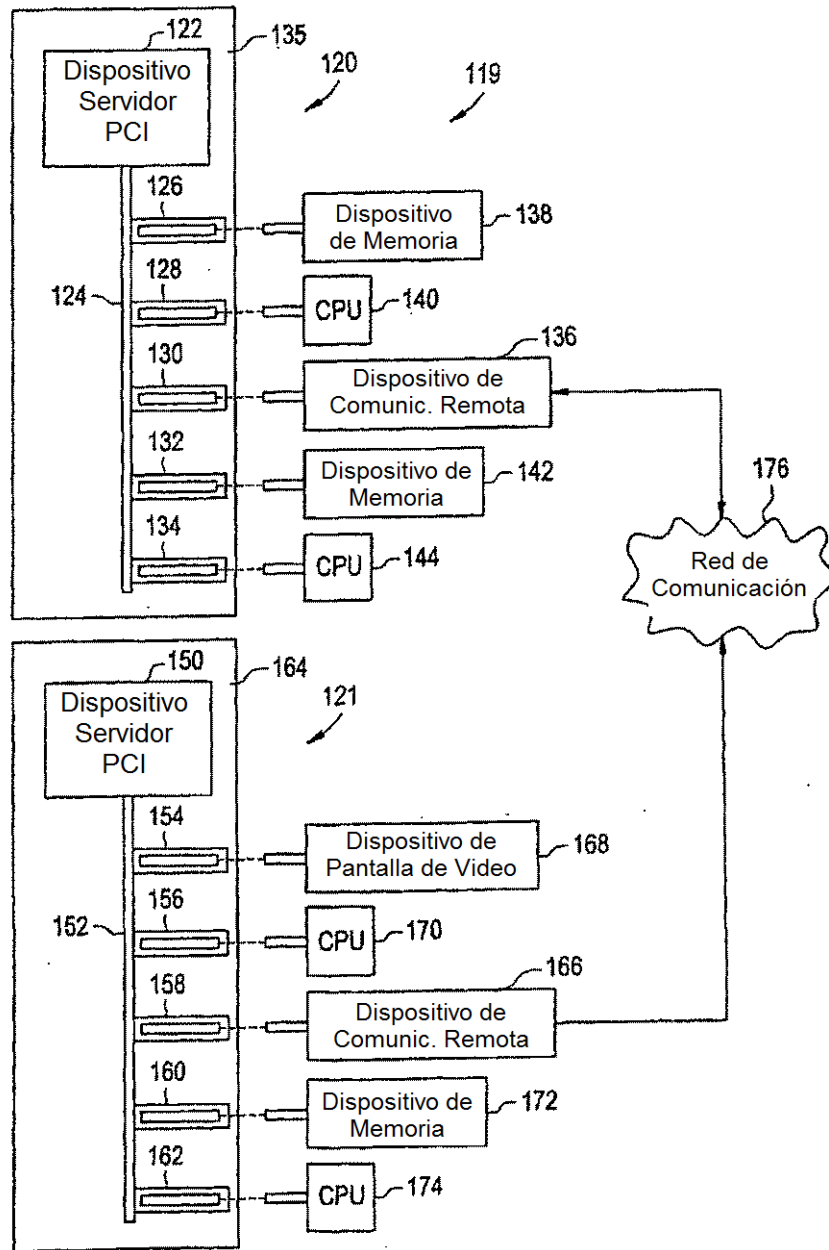


FIG. 4

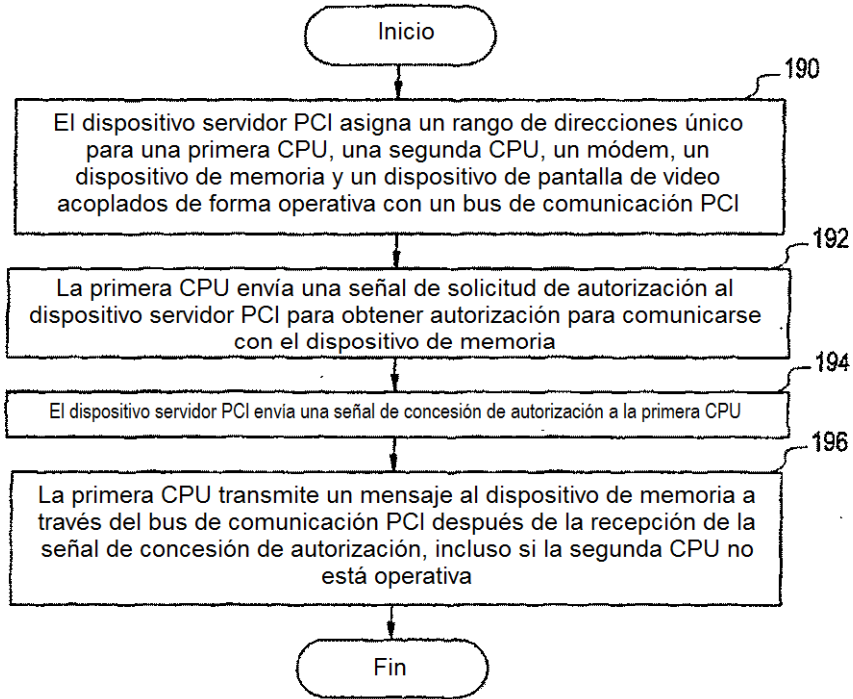


FIG. 5

