



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 366 611**

51 Int. Cl.:
H04L 1/00 (2006.01)
H04L 27/26 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **08165429 .5**
96 Fecha de presentación : **29.09.2008**
97 Número de publicación de la solicitud: **2043291**
97 Fecha de publicación de la solicitud: **01.04.2009**

54 Título: **Aparato y método para transmitir y recibir una señal OFDM.**

30 Prioridad: **28.09.2007 US 976410 P**
09.10.2007 US 978725 P
18.10.2007 US 980799 P

45 Fecha de publicación de la mención BOPI:
21.10.2011

45 Fecha de la publicación del folleto de la patente:
21.10.2011

73 Titular/es: **LG ELECTRONICS Inc.**
20, Yeouido-dong
Yeongdeungpo-gu, Seoul 150-721, KR

72 Inventor/es: **Ko, Woo Suk y**
Moon, Sang Chul

74 Agente: **Veiga Serrano, Mikel**

ES 2 366 611 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCION

Aparato y método para transmitir y recibir una señal ofdm

5 **Sector de la técnica**

La presente invención se refiere a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, y más particularmente, a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, que pueden mejorar la eficacia de transmisión de datos.

10

Estado de la técnica

15 A medida que se ha desarrollado una tecnología de difusión digital, los usuarios han recibido una imagen en movimiento de alta definición (HD). Con el desarrollo continuo de un algoritmo de compresión y alto rendimiento de hardware, se proporcionará un mejor entorno a los usuarios en el futuro. Un sistema de televisión digital (DTV) puede recibir una señal de difusión digital y proporcionar diversos servicios suplementarios a usuarios así como una señal de vídeo y una señal de audio.

15

20

Con el desarrollo de la tecnología de difusión digital, se aumenta el requisito de un servicio tal como una señal de vídeo y una señal de audio y se aumenta gradualmente el tamaño de datos deseado por un usuario o el número de canales de difusión. El documento US 2005/047514 da a conocer un sistema convencional que transmite y recibe una señal de difusión.

25

Objeto de la invención

Por consiguiente, la presente invención va dirigida a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal que sustancialmente obvien uno o más problemas debidos a las limitaciones y desventajas de la técnica relacionada tal como se menciona en las reivindicaciones 1 y B.

30

Un objeto de la presente invención es proporcionar un método para transmitir y recibir una señal y un aparato para transmitir y recibir una señal, que puedan mejorar la eficacia de transmisión de datos tal como se menciona en las reivindicaciones 5 y 12.

35

Otro objeto de la presente invención es proporcionar un método para transmitir y recibir una señal y un aparato para transmitir y recibir una señal, que puedan mejorar la capacidad de corrección de errores de bits que configura un servicio.

40

Ventajas, objetos, y características adicionales de la invención se expondrán en parte en la descripción que sigue y en parte serán evidentes para los expertos en la técnica tras examinar lo siguiente o pueden aprenderse a partir de la práctica de la invención. Los objetivos y otras ventajas de la invención pueden realizarse y lograrse mediante la estructura señalada particularmente en la descripción por escrito y en sus reivindicaciones así como los en dibujos adjuntos.

45

Descripción de las figuras

Los dibujos adjuntos, que se incluyen para proporcionar un entendimiento adicional de la invención y se incorporan en y constituyen una parte de esta solicitud, ilustran realización/realizaciones de la invención y junto con la descripción sirven para explicar el principio de la invención. En los dibujos:

50

la figura 1 es una vista que muestra una trama de señal para transmitir un servicio;

la figura 2 es una vista que muestra la estructura de una primera señal piloto P1 de la trama de señal;

55

la figura 3 es una vista que muestra una ventana de señalización;

la figura 4 es una vista esquemática que muestra una realización de un aparato para transmitir una señal;

la figura 5 es una vista que muestra un ejemplo de un procesador (110) de entrada;

60

la figura 6 es una vista que muestra una realización de una unidad de codificación y modulación;

la figura 7 es una vista que muestra una realización de un constructor de tramas;

65

la figura 8 es una vista que muestra un primer ejemplo de una relación de símbolos cuando los correlacionadores (131a y 131b) realizan correlación híbrida de símbolos;

- la figura 9 es una vista que muestra un segundo ejemplo de una relación de símbolos cuando los correlacionadores (131a y 131b) realizan correlación híbrida de símbolos;
- 5 la figura 10 es una vista que muestra un ejemplo de cada uno de los correlacionadores (131a y 131b) de símbolos mostrados en la figura 7;
- la figura 11 es una vista que muestra otro ejemplo del correlacionador de símbolos;
- 10 la figura 12 es una vista que muestra el concepto de intercalación de bits mediante los intercaladores (1312a y 1312b) de bits de la figura 11;
- la figura 13 es una vista que muestra un primer ejemplo del número de filas y columnas de memorias de los intercaladores (1312a y 1312b) de bits según los tipos de correlacionadores (1315a y 1315b) de símbolos;
- 15 la figura 14 es una vista que muestra un segundo ejemplo del número de filas y columnas de las memorias de los intercaladores (1312a y 1312b) de bits según los tipos de los correlacionadores (1315a y 1315b) de símbolos;
- la figura 15 es una vista que muestra el concepto de demultiplexación de bits de entrada de los demultiplexadores (1313a y 1313b);
- 20 la figura 16 es una vista que muestra una realización de demultiplexación de un flujo de entrada mediante el demultiplexador;
- la figura 17 es una vista que muestra un ejemplo de un tipo de demultiplexación según un método de correlación de símbolos;
- 25 la figura 18 es una vista que muestra un ejemplo de demultiplexación de un flujo de bits de entrada según un tipo de demultiplexación;
- 30 la figura 19 es una vista que muestra un tipo de demultiplexación que se determina según una tasa de código de un método de codificación con corrección de errores y de correlación de símbolos;
- la figura 20 es una vista que muestra un ejemplo de expresión del método de demultiplexación mediante una ecuación;
- 35 la figura 21 es una vista que muestra un ejemplo de correlación de un símbolo mediante un correlacionador de símbolos;
- 40 la figura 22 es una vista que muestra un ejemplo de un codificador de señal de múltiples trayectos;
- la figura 23 es una vista que muestra una realización de un modulador;
- la figura 24 es una vista que muestra un ejemplo de un procesador (160) analógico;
- 45 la figura 25 es una vista que muestra una realización de un aparato de recepción de señales que puede recibir una trama de señal;
- la figura 26 es una vista que muestra una realización de un receptor de señales;
- 50 la figura 27 es una vista que muestra una realización de un demodulador;
- la figura 28 es una vista que muestra un decodificador de señales de múltiples trayectos;
- 55 la figura 29 es una vista que muestra una realización de un analizador sintáctico de tramas;
- la figura 30 es una vista que muestra un ejemplo de cada uno de los decorrelacionadores (247a y 247p) de símbolos;
- 60 la figura 31 es una vista que muestra otro ejemplo de cada uno de los decorrelacionadores (247a y 247p) de símbolos;
- la figura 32 es una vista que muestra una realización de multiplexación de un subflujo demultiplexado;
- 65 la figura 33 es una vista que muestra un ejemplo de una unidad de decodificación y demodulación;

la figura 34 es una vista que muestra un ejemplo de un procesador de salidas;

la figura 35 es una vista que muestra otro ejemplo de un aparato de transmisión de señales para transmitir una trama de señal;

la figura 36 es una vista que muestra otro ejemplo de un aparato de recepción de señales para recibir una trama de señal;

la figura 37 es una vista que muestra un ejemplo de un método para transmitir una señal; y

la figura 38 es una vista que muestra un ejemplo de un método para recibir una señal.

Descripción detallada de la invención

A continuación se hará referencia en detalle a las realizaciones preferidas de la presente invención, cuyos ejemplos se ilustran en los dibujos adjuntos. Siempre que sea posible, se usarán los mismos números de referencia a lo largo de los dibujos para referirse a las mismas partes o similares.

En la siguiente descripción, el término "servicio" es indicativo de o bien contenidos de difusión que pueden transmitirse/recibirse por el aparato de transmisión/recepción de señales, o bien de provisión de contenido.

Antes de la descripción de un aparato para transmitir y recibir una señal según una realización de la presente invención, se describirá una trama de señal que se transmite y recibe por el aparato para transmitir y recibir la señal según la realización de la presente invención.

La figura 1 muestra una trama de señal para transmitir un servicio según la presente invención.

La trama de señal mostrada en la figura 1 muestra una trama de señal a modo de ejemplo para transmitir un servicio de difusión que incluye flujos de audio/vídeo (A/V). En este caso, un único servicio se multiplexa en canales de tiempo y de frecuencia, y el servicio multiplexado se transmite. El esquema de transmisión de señales mencionado anteriormente se denomina un esquema de fragmentación en tiempo-frecuencia (TFS). En comparación con el caso en el que un único servicio se transmite sólo a una banda de radiofrecuencia (RF), el aparato de transmisión de señales según la presente invención transmite el servicio de señales a través de al menos una banda RF (posiblemente varias bandas RF), de modo que puede adquirir una ganancia de multiplexación estadística que puede transmitir muchos más servicios. El aparato de transmisión/recepción de señales transmite/recibe un único servicio a través de varios canales RF, de modo que puede adquirir una ganancia de diversidad de frecuencia.

Los servicios primero a tercero (Servicios 1~3) se transmiten a cuatro bandas RF (RF1 ~ RF4). Sin embargo, este número de bandas RF y este número de servicios se han dado a conocer sólo con fines ilustrativos, de modo que también pueden usarse otros números según sea necesario. Dos señales de referencia (es decir, una primera señal piloto (P1) y una segunda señal piloto (P2)) se ubican en la parte de comienzo de la trama de señal. Por ejemplo, en el caso de la banda RF1, la primera señal piloto (P1) y la segunda señal piloto (P2) se ubican en la parte de comienzo de la trama de señal. La banda RF1 incluye tres ranuras asociadas con el Servicio 1, dos ranuras asociadas con el Servicio 2, y una única ranura asociada con el Servicio 3. Ranuras asociadas con otros servicios también pueden ubicarse en otras ranuras (Ranuras 4~17) ubicadas tras la única ranura asociada con el Servicio 3.

La banda RF2 incluye una primera señal piloto (P1), una segunda señal piloto (P2), y otras ranuras 13 ~ 17. Además, la banda RF2 incluye tres ranuras asociadas con el Servicio 1, dos ranuras asociadas con el Servicio 2, y una única ranura asociada con el Servicio 3.

Los Servicios 1 ~ 3 se multiplexan, y a continuación se transmiten a las bandas RF3 y RF4 según el esquema de fragmentación en tiempo y frecuencia (TFS). El esquema de modulación para transmisión de señales se basa en un esquema de multiplexación por división de frecuencia ortogonal (OFDM).

En la trama de señal, los servicios individuales se desplazan a las bandas RF (en el caso de que haya una pluralidad de las bandas RF en la trama de señal) y a un eje de tiempo.

Si las tramas de señal iguales a la trama de señal anterior se disponen de manera sucesiva en el tiempo, una supertrama puede estar compuesta de varias tramas de señal. Una futura trama de extensión también puede ubicarse entre las varias tramas de señal. Si la futura trama de extensión se ubica entre las varias tramas de señal, la supertrama puede terminarse en la futura trama de extensión.

La figura 2 muestra una primera señal piloto (P1) contenida en la trama de señal de la figura 1 según la presente invención.

La primera señal piloto (P1) y la segunda señal piloto (P2) se ubican en la parte de comienzo de la trama de señal.

5 La primera señal piloto (P1) se modula mediante un modo FFT 2k, y puede transmitirse simultáneamente al tiempo que incluye un intervalo de guarda de 1/4. En la figura 2, una banda de 7,61 Mhz de la primera señal piloto (P1) incluye una banda de 6,82992 Mhz. La primera señal piloto usa 256 portadoras de entre 1705 portadoras activas. Una única portadora activa se usa para cada 6 portadoras como promedio. Los intervalos de portadora de datos pueden disponerse irregularmente en el orden de 3, 6, y 9. En la figura 2, una línea continua indica la ubicación de una portadora usada, una línea fina discontinua indica la ubicación de una portadora no usada, y una línea de raya y punto indica una ubicación central de la portadora no usada. En la primera señal piloto, la portadora usada puede correlacionarse por símbolos mediante modulación por desplazamiento de fase binaria (BPSK), y puede modularse una secuencia de bits pseudoaleatoria (PRBS). El tamaño de una FFT usada para la segunda señal piloto puede indicarse mediante varias PRBS.

10 El aparato de recepción de señales detecta una estructura de una señal piloto, y reconoce una fragmentación en tiempo y frecuencia (TFS) usando la estructura detectada. El aparato de recepción de señales adquiere el tamaño de FFT de la segunda señal piloto, compensa un desvío de frecuencia basto de una señal de recepción, y adquiere sincronización de tiempo.

15 En la primera señal piloto, pueden ajustarse un tipo de transmisión de señal y un parámetro de transmisión.

20 La segunda señal piloto (P2) puede transmitirse con un tamaño de FFT y un intervalo de guarda igual a los del símbolo de datos. En la segunda señal piloto, se usa una única portadora como portadora piloto a intervalos de tres portadoras. El aparato de recepción de señales compensa un desvío de sincronización de frecuencia fina usando la segunda señal piloto, y realiza sincronización de tiempo fina. La segunda señal piloto transmite información de una primera capa (L1) de entre capas de Interconexión de Sistemas Abiertos (OSI). Por ejemplo, la segunda señal piloto puede incluir un parámetro físico e información de construcción de trama. La segunda señal piloto transmite un valor de parámetro por el que un receptor puede acceder a un flujo de servicio de tubería de capa física (PLP).

25 La información de L1 (Capa 1) contenida en la segunda señal piloto P2 es la siguiente.

30 La información de Capa-1 (L1) incluye un indicador de longitud que indica la longitud de los datos que incluyen la información de L1, de modo que puede usar fácilmente los canales de señalización de las Capas 1 y 2 (L1 y L2). La información de Capa-1 (L1) incluye un indicador de frecuencia, una longitud de intervalo de guarda, un número máximo de bloques de FEC (corrección de errores hacia adelante) para cada trama en asociación con canales físicos individuales, y el número de bloques de FEC reales que va a contener la memoria intermedia de bloques de FEC asociada con una trama actual/previa en cada canal físico. En este caso, el indicador de frecuencia indica la información de frecuencia correspondiente al canal RF.

35 La información de Capa-1 (L1) puede incluir diversa información en asociación con ranuras individuales. Por ejemplo, la información de Capa-1 (L1) incluye el número de tramas asociadas con un servicio, una dirección de inicio de una ranura que tiene la precisión de una portadora OFDM contenida en un símbolo OFDM, una longitud de la ranura, ranuras correspondientes a la portadora OFDM, el número de bits rellenos en la última portadora OFDM, información de modulación de servicio, información de tasa de modo de servicio, e información de esquema de entrada múltiple-salida múltiple (MIMO).

40 La información de Capa-1 (L1) puede incluir un ID de célula, una bandera para servicio como servicio de mensajes de notificación (por ejemplo, un mensaje de emergencia), el número de tramas actuales, y el número de bits adicionales para su uso futuro. En este caso, el ID de célula indica un área de difusión transmitida por un transmisor de difusión.

45 La segunda señal piloto (P2) está adaptada para realizar estimación de canal para decodificar un símbolo contenido en la señal (P2). La segunda señal piloto (P2) puede usarse como un valor inicial para estimación de canal para el siguiente símbolo de datos. La segunda señal piloto (P2) también puede transmitir información de Capa-2 (L2). Por ejemplo, la segunda señal piloto puede describir información asociada con el servicio de transmisión en la información de Capa-2 (L2). El aparato de transmisión de señales decodifica la segunda señal piloto, de modo que puede adquirir información de servicio contenida en la trama de fragmentación en tiempo y frecuencia (TFS) y puede realizar de manera efectiva la exploración de canal. Mientras tanto, esta información de Capa-2 (L2) puede incluirse en una PLP específica de la trama de TFS. Según otro ejemplo, la información de L2 puede incluirse en una PLP específica, y la información de descripción de servicio también puede transmitirse en la PLP específica.

50 Por ejemplo, la segunda señal piloto puede incluir dos símbolos OFDM del modo FFT 8k. Generalmente, la segunda señal piloto puede ser una cualquiera de un único símbolo OFDM del modo FFT 32k, un único símbolo OFDM del modo FFT 16k, dos símbolos OFDM del modo FFT 8k, cuatro símbolos OFDM del modo FFT 4k, y ocho símbolos OFDM del modo FFT 2k.

En otras palabras, un único símbolo OFDM que tiene el tamaño de una FFT grande o varios símbolos OFDM, cada uno de los cuales tiene el tamaño de una FFT pequeña, puede estar contenido en la segunda señal piloto (P2), de modo que puede mantenerse la capacidad que puede transmitirse al piloto.

- 5 Si la información que va a transmitirse a la segunda señal piloto supera la capacidad del símbolo OFDM de la segunda señal piloto, pueden usarse adicionalmente símbolos OFDM tras la segunda señal piloto. La información de L1 (Capa1) y L2 (Capa2) contenida en la segunda señal piloto se codifica con corrección de errores y a continuación se intercala, de modo que la recuperación de datos se lleva a cabo aunque se produzca un ruido de impulso.
- 10 Tal como se ha descrito anteriormente, la información de L2 también puede incluirse en una PLP específica que transporta la información de descripción de servicio.

15 La figura 3 muestra una ventana de señalización según la presente invención. La trama de fragmentación en tiempo y frecuencia (TFS) muestra un concepto de desvío de la información de señalización. La información de Capa-1 (L1) contenida en la segunda señal piloto incluye información de construcción de trama e información de capa física necesaria para el aparato de recepción de señales que decodifica el símbolo de datos. Por tanto, si la información de los siguientes símbolos de datos ubicados tras la segunda señal piloto, está contenida en la segunda señal piloto, y la segunda señal piloto resultante se transmite, puede que el aparato de recepción de señales no pueda decodificar inmediatamente los siguientes símbolos de datos anteriores debido al tiempo de decodificación de la segunda señal piloto.

20

Por tanto, tal como se muestra en la figura 3, la información de L1 contenida en la segunda señal piloto (P2) incluye información de un único tamaño de trama de fragmentación en tiempo y frecuencia (TFS), e incluye información contenida en la ventana de señalización en una ubicación separada de la segunda señal piloto por la ventana de desvío de señalización.

25

Entretanto, para realizar la estimación de canal de un símbolo de datos que construye el servicio, el símbolo de datos puede incluir un piloto disperso y un piloto continuo.

- 30 El sistema de transmisión/recepción de señales que puede transmitir/recibir tramas de señal mostrado en las figuras 1 ~ 3 se describirá a continuación en el presente documento. Pueden transmitirse y recibirse servicios individuales a través de varios canales RF. Un trayecto para transmitir cada uno de los servicios o un flujo transmitido a través de este trayecto se denomina una PLP. La PLP puede estar distribuida entre las ranuras divididas en el tiempo en varios canales RF o una única banda RF. Esta trama de señal puede transportar la PLP dividida en el tiempo en al menos un canal RF. En otras palabras, puede transferirse una única PLP a través de al menos un canal RF con regiones divididas en el tiempo. A continuación se darán a conocer en el presente documento los sistemas de transmisión/recepción de señales que transmiten/reciben una trama de señal a través de al menos una banda RF.
- 35

40 La figura 4 es un diagrama de bloques que ilustra un aparato para transmitir una señal según una realización de la presente invención. En referencia a la figura 4, el aparato de transmisión de señales incluye un procesador (110) de entrada, una unidad (120) de codificación y modulación, un constructor (130) de tramas, un codificador (140) MIMO/MISO, una pluralidad de moduladores (150a, ..., 150r) del codificador (140) MIMO/MISO, y una pluralidad de procesadores (160a, ..., 160r) analógicos.

- 45 El procesador (110) de entrada recibe flujos equipados con varios servicios, genera un número P de tramas de banda base (P es un número natural) que incluyen información de modulación y codificación correspondiente a trayectos de transmisión de los servicios individuales, y emite el número P de tramas de banda base.

50 La unidad (120) de codificación y modulación recibe tramas de banda base desde el procesador (110) de entrada, realiza la codificación e intercalación de canal sobre cada una de las tramas de banda base, y emite el resultado de codificación e intercalación de canal.

55 El constructor (130) de tramas forma tramas que transmiten tramas de banda base contenidas en el número P de PLP al número R de canales RF (donde R es un número natural), divide las tramas formadas, y emite las tramas divididas a trayectos correspondientes al número R de canales RF. Pueden multiplexarse varios servicios en un único canal RF en tiempo. Las tramas de señal generadas a partir del constructor (140) de tramas puede incluir una estructura de fragmentación en tiempo y frecuencia (TFS) en la que el servicio se multiplexa en los dominios de tiempo y dominio de frecuencias.

60 El codificador (140) MIMO/MISO codifica las señales que van a transmitirse al número R de canales RF, y emite las señales codificadas a trayectos correspondientes al número A de antenas (donde A es un número natural). El codificador (140) MIMO/MISO emite la señal codificada en la que se codifica una única que va a transmitirse a un único canal RF al número A de antenas, de modo que se transmite/recibe una señal a/desde una estructura MIMO (entrada múltiple-salida múltiple) o MISO (entrada múltiple-salida única).

65

Los moduladores (150a, ..., 150r) modulan señales en el dominio de frecuencia introducidas a través del trayecto correspondiente a cada canal RF a señales en el dominio de tiempo. Los moduladores (150a, ..., 150r) modulan las señales de entrada según un esquema de multiplexación por división de frecuencia ortogonal (OFDM), y emiten las señales moduladas.

5 Los procesadores analógicos (160a, ..., 160r) convierten las señales de entrada en señales RF, de modo que las señales RF pueden emitirse a los canales RF.

10 El aparato de transmisión de señales según esta realización puede incluir un número predeterminado de moduladores (150a,...150r) correspondiente al número de canales RF y un número predeterminado de procesadores (160a,...,160r) analógicos correspondiente al número de canales RF. Sin embargo, en el caso de usar el esquema MIMO, el número de procesadores analógicos debe ser igual al producto de R (es decir, el número de canales RF) y A (es decir, el número de antenas).

15 La figura 5 es un diagrama de bloques que ilustra un procesador (110) de entrada según la presente invención. En referencia a la figura 5, el procesador (110) de entrada incluye el primer multiplexador (111a) de flujo, el primer divisor (113a) de servicios, y una pluralidad de primeros constructores (115a, ..., 115m) de tramas de banda base (BB). El procesador (110) de entrada incluye un segundo multiplexador (111b) de flujo, un segundo divisor (113b) de servicios, y una pluralidad de segundos constructores (115n, ..., 115p) de tramas de banda base (BB).

20 Por ejemplo, el primer multiplexador (111a) de flujo recibe varios flujos de transporte MPEG-2 (TS), multiplexa los flujos TS MPEG-2 recibidos, y emite los flujos TS MPEG-2 multiplexados. El primer divisor (113a) de servicios recibe los flujos multiplexados, divide el flujo de entrada de servicios individuales, y emite los flujos divididos. Tal como se describió anteriormente, siempre que el servicio transmitido a través de un trayecto de canal físico se denomine un PLP, el primer divisor (113a) de servicios divide el servicio que va a transmitirse a cada PLP, y emite el servicio dividido.

25 Los primeros constructores (115a, ..., 115m) de tramas BB construyen datos contenidos en un servicio que van a transmitirse a cada PLP en forma de una trama específica, y emiten los datos formateados de trama específica. Los primeros constructores (115a, ..., 115m) de tramas BB construyen una trama que incluye una cabecera y carga útil equipadas con datos de servicio. La cabecera de cada trama puede incluir información de modo basada en la modulación y codificación de los datos de servicio, y un contravalor basado en una tasa de reloj del modulador para sincronizar flujos de entrada.

35 El segundo multiplexador (111b) de flujo recibe varios flujos, multiplexa el flujo de entrada, y emite los flujos multiplexados. Por ejemplo, el segundo multiplexador (111b) de flujo puede multiplexar flujos de protocolo de Internet (IP) en lugar de los flujos TS MPEG-2. Estos flujos pueden encapsularse mediante un esquema de encapsulación de flujo genérica (GSE). Los flujos multiplexados por el segundo multiplexador (111b) de flujo pueden ser uno cualquiera de los flujos. Por tanto, los flujos mencionados anteriormente diferentes de los flujos TS MPEG-2 se denominan flujos genéricos (flujos GS).

El segundo divisor (113b) de servicios recibe los flujos genéricos multiplexados, divide los flujos genéricos recibidos según servicios individuales (es decir, tipos de PLP), y emite los flujos GS divididos.

45 Los segundos constructores (115n, ..., 115p) de tramas BB construyen datos de servicio que van a transmitirse a PLP individuales en forma de una trama específica usada como una unidad de procesamiento de señales, y emiten los datos de servicio resultantes. El formato de trama construido por los segundos constructores (115n, ..., 115p) de tramas BB puede ser igual al de los primeros constructores (115a, ..., 115m) de tramas BB según sea necesario. Si se requiere, también puede proponerse otra realización. En otra realización, el formato de trama construido por los segundos constructores (115n, ..., 115p) de tramas BB puede ser diferente del de los primeros constructores (115a, ..., 115m) de tramas BB. La cabecera TS MPEG-2 incluye además una palabra de sincronización de paquetes que no está contenida en el flujo GS, dando como resultado que existan diferentes cabeceras.

55 La figura 6 es un diagrama de bloques que ilustra una unidad de codificación y modulación según la presente invención. La unidad de codificación y modulación incluye un primer intercalador (123), un segundo codificador (125), y un segundo intercalador (127).

60 El primer codificador (121) actúa como un codificador externo de la trama de banda base de entrada, y puede realizar la codificación con corrección de errores. El primer codificador (121) realiza la codificación con corrección de errores de la trama de banda base de entrada usando un esquema Bose-Chaudhuri-Hocquenghem (BCH). El primer intercalador (123) realiza la intercalación de los datos codificados, de modo que evita que se genere un error de ráfaga en una señal de transmisión. El primer intercalador (123) puede no estar contenido en la realización mencionada anteriormente.

- 5 El segundo codificador (125) actúa como un codificador interno de o bien los datos de salida del primer codificador (121) o bien los datos de salida del primer intercalador (123), y puede realizar la codificación con corrección de errores. Puede usarse un esquema de bit de paridad de baja densidad (LDPC) como un esquema de codificación con corrección de errores. El segundo intercalador (127) mezcla los datos codificados con corrección de errores generados a partir del segundo codificador (125), y emite los datos mezclados. El primer intercalador (123) y el segundo intercalador (127) pueden realizar intercalación de datos en unidades de un bit.
- 10 La unidad (120) de codificación y modulación se refiere a un único flujo de PLP. El flujo de PLP se codifica con corrección de errores y se modula mediante la unidad (120) de codificación y modulación, y a continuación se transmite al constructor (130) de tramas.
- 15 La figura 7 es un diagrama de bloques que ilustra un constructor de tramas según la presente invención. En referencia a la figura 7, el constructor (130) de tramas recibe flujos de varios trayectos desde la unidad (120) de codificación y modulación, y dispone los flujos recibidos en una única trama de señal. Por ejemplo, el constructor de tramas puede incluir un primer correlacionador (131a) y un primer intercalador (132a) de tiempo en un primer trayecto, y puede incluir un segundo correlacionador (131b) y un segundo intercalador (132b) de tiempo en un segundo trayecto. El número de trayectos de entrada es igual al número de PLP para transmisión de servicio o al número de flujos transmitidos a través de cada PLP.
- 20 El primer correlacionador (131a) realiza correlación de datos contenidos en el flujo de entrada según el primer esquema de correlación de símbolos. Por ejemplo, el primer correlacionador (131a) puede realizar correlación de los datos de entrada usando un esquema QAM (por ejemplo, 16 QAM, 64 QAM, y 256 QAM).
- 25 Si el primer correlacionador (131a) realiza correlación del símbolo, los datos de entrada pueden correlacionarse con varias clases de símbolos según varios esquemas de correlación de símbolos. Por ejemplo, el primer correlacionador (131a) clasifica los datos de entrada en una unidad de trama de banda base y una subunidad de trama de banda base. Los datos clasificados individuales pueden correlacionarse por símbolos de manera híbrida mediante al menos dos esquemas QAM (por ejemplo, 16 QAM y 64 QAM). Por tanto, los datos contenidos en un único servicio pueden correlacionarse con símbolos basándose en diferentes esquemas de correlación de símbolos en intervalos individuales.
- 30 El primer intercalador (132a) de tiempo recibe una secuencia de símbolos correlacionada mediante el primer correlacionador (131a), y puede realizar la intercalación en un dominio de tiempo. El primer correlacionador (131a) correlaciona los datos, que están contenidos en la unidad de trama en la que se han corregido los errores recibida desde la unidad (120) de codificación y modulación, con símbolos. El primer intercalador (132a) de tiempo recibe la secuencia de símbolos correlacionada por el primer correlacionador (131a), e intercala la secuencia de símbolos recibida en unidades de la trama en la que se han corregido los errores.
- 35 De este modo, el correlacionador (131p) de orden p o el intercalador (132p) de tiempo de orden p recibe datos de servicio que van a transmitirse a la PLP de orden p , correlaciona los datos de servicio con símbolos según el esquema de correlación de símbolos de orden p . Los símbolos correlacionados pueden intercalarse en un dominio de tiempo. Debe indicarse que este esquema de correlación de símbolos y este esquema de intercalación son iguales a los del primer intercalador (132a) de tiempo y el primer correlacionador (131a).
- 40 El esquema de correlación de símbolos del primer correlacionador (131a) puede ser igual a o diferente del correlacionador (131p) de orden p . El primer correlacionador (131a) y el correlacionador (131p) de orden p pueden correlacionar datos de entrada con símbolos individuales usando los mismos o diferentes esquemas de correlación híbrida de símbolos.
- 45 Los datos de los intercaladores de tiempo ubicados en trayectos individuales (es decir, los datos de servicio intercalados por el primer intercalador (132a) de tiempo y los datos de servicio que van a transmitirse al número R de canales RF por el intercalador (132p) de tiempo de orden p) se intercalan, de modo que el canal físico permita que los datos anteriores se intercalen sobre varios canales RF.
- 50 En asociación con los flujos recibidos en tantos trayectos como el número de PLP, el constructor (133) de tramas TFS construye la trama de señal TFS tal como la trama de señal mencionada anteriormente, de modo que el servicio se desplaza en tiempo según canales RF. El constructor (133) de tramas TFS divide los datos de servicio recibidos en uno cualquiera de los trayectos, y emite los datos de servicio divididos en datos del número R de bandas RF según un esquema de planificación de señal.
- 55 El constructor (133) de tramas TFS recibe la primera señal piloto y la segunda señal piloto a partir de la información de la unidad (135) de señalización (indicada por la señal Ref/PL), dispone la primera y la segunda señales piloto en la trama de señal, e inserta la señal de señalización (L1 y L2) de la capa física mencionada anteriormente en la segunda señal piloto. En este caso, la primera y la segunda señales piloto se usan como las señales de comienzo de la trama de señal contenida en cada canal RF de entre la trama de señal TFS recibida a partir de la información
- 60
- 65

de la unidad (135) de señalización (señal Ref/PL). Tal como se muestra en la figura 2, la primera señal piloto puede incluir un tipo de transmisión y parámetros de transmisión básicos, y la segunda señal piloto puede incluir un parámetro físico e información de construcción de trama. También, la segunda señal piloto incluye una señal de señalización L1 (Capa 1) y una señal de señalización L2 (Capa 2).

El número R de intercaladores (137a, ..., 137r) de frecuencia intercalan los datos de servicio, que van a transmitirse a canales RF correspondientes de la trama de señal TFS, en un dominio de frecuencia. Los intercaladores (137a, ..., 137r) de frecuencia pueden intercalar los datos de servicio a un nivel de células de datos contenidas en un símbolo OFDM.

Por tanto, los datos de servicio que van a transmitirse a cada canal RF en la trama de señal TFS se procesan por desvanecimiento selectivo de frecuencia, de modo que no se pierdan en un dominio de frecuencia específico.

La figura 8 es una vista que muestra un primer ejemplo de una relación de símbolos cuando los correlacionadores (131a y 131b) realizan correlación híbrida de símbolos. Esta Figura muestra el número de bits transmitidos por una subportadora (célula) si se realiza codificación con corrección de errores mediante la unidad de codificación y modulación en un modo normal (la longitud del código de codificación con corrección de errores es 64800 bits) de modo de codificación LDPC con corrección de errores.

Por ejemplo, si los correlacionadores (131a y 131b) realizan correlación de símbolos usando 256QAM, 64800 bits se correlacionan con 8100 símbolos. Si los correlacionadores (131a y 131b) realizan correlación híbrida de símbolos (128-QAM híbr.) usando 256QAM y 64QAM con una relación de 3:2, el número de símbolos correlacionados mediante 256QAM es 4860 y el número de símbolos correlacionados mediante 64QAM es 4320. El número de bits transmitidos por cada subportadora (célula) es 7,0588.

Si se usa un método de correlación de símbolos de 64QAM, los datos de entrada pueden correlacionarse con 10800 símbolos y pueden transmitirse seis bits por cada célula. Si los datos se correlacionan con los símbolos mediante un método de correlación híbrida de símbolos de 64QAM y 16QAM (64QAM:16QAM=3:2, 32-QAM híbr.), pueden transmitirse cinco bits mediante una subportadora (célula).

Si los datos se correlacionan con símbolos mediante el método 16QAM, los datos se correlacionan con 16200 símbolos, cada uno de los cuales se usa para transmitir cuatro bits.

De manera similar, si los datos se correlacionan con símbolos mediante un método de correlación híbrida de símbolos de 16QAM y QPSK (16QAM: QPSK=2:3, 8-QAM híbr.), pueden transmitirse tres bits mediante una subportadora (célula).

Si los datos se correlacionan con símbolos mediante un método QPSK, los datos pueden correlacionarse con 32400 símbolos, cada uno de los cuales se usa para transmitir dos bits.

La figura 9 muestra métodos de correlación de símbolos de datos en los que se han corregido los errores mediante el método de codificación con corrección de errores LDPC de un modo corto (la longitud del código de codificación con corrección de errores es 16200 bits), que son iguales a los métodos de correlación de símbolos de la figura 8, y los números de bits por cada subportadora según los métodos de correlación de símbolos.

El número de bits transmitidos por la subportadora es igual a los del modo normal (64800 bits) según los métodos de correlación de símbolos tales como 256QAM, 128-QAM híbr, 64-QAM, 32-QAM híbr., 16QAM, 8-QAM híbr. y QPSK, pero el número total de símbolos transmitidos es diferente de los del modo normal. Por ejemplo, 16200 bits se transmiten mediante 2025 símbolos en 256QAM, 16200 bits se transmiten mediante 1215 símbolos según 256QAM y 1080 símbolos según 64QAM (total 2295 símbolos) en 128-QAM híbr.

Por consiguiente, puede ajustarse una tasa de transmisión de datos por cada subportadora (célula) para cada PLP según un método de correlación híbrida de símbolos o un único método de correlación de símbolos.

La figura 10 es una vista que muestra un ejemplo de cada uno de los correlacionadores (131a y 131b) de símbolos mostrado en la figura 7. Cada uno de los correlacionadores (131a y 131b) de símbolos incluye un correlacionador (1315a) de primer orden, un correlacionador (1315b) de segundo orden, un fusionador (1317) de símbolos y un fusionador (1318) de bloques con corrección de errores.

El analizador (1311) sintáctico de flujos de bits recibe el flujo de PLP de servicio desde la unidad de codificación y modulación y divide el flujo de servicio recibido.

El correlacionador (1315a) de símbolos de primer orden correlaciona los bits del flujo de servicio divididos por el método de correlación de símbolos con símbolos de orden superior. El correlacionador (1315b) de símbolos de segundo orden correlaciona los bits del flujo de servicio dividido mediante un método de correlación de símbolos con

símbolos de orden inferior. Por ejemplo, en el ejemplo anterior, el correlacionador (1315a) de símbolos de primer orden puede correlacionar el flujo de bits con símbolos según 256QAM y el correlacionador (1315b) de símbolos de segundo orden puede correlacionar el flujo de bits con símbolos según 64QAM.

5 El fusionador (1317) de símbolos fusiona los símbolos emitidos desde los correlacionadores (1315a y 1315b) de símbolos con un flujo de símbolos y emite el flujo de símbolos. El fusionador (1317) de símbolos puede emitir el flujo de símbolos incluido en una PLP.

10 El fusionador (1318) de bloques con corrección de errores puede emitir un flujo de símbolos fusionado por el fusionador (1317) de símbolos en la unidad de bloques de códigos de codificación con corrección de errores. El fusionador (1318) de bloques con corrección de errores puede emitir un bloque de símbolos de modo que los bloques de códigos de codificación con corrección de errores se asignen uniformemente a al menos una banda RF de la trama de señal TFS. El fusionador (1318) de bloques con corrección de errores puede emitir el bloque de símbolos de modo que la longitud del bloque de símbolos del bloque de codificación con corrección de errores de un modo normal sea igual a la del bloque de símbolos del bloque de codificación con corrección de errores de un modo corto. Por ejemplo, cuatro bloques de símbolos del bloque de codificación con corrección de errores del modo corto pueden fusionarse en un bloque de símbolos.

20 El fusionador (1318) de bloques con corrección de errores puede dividir el flujo de símbolos según un múltiplo común del número de bandas RF de modo que el constructor de tramas de señal dispone uniformemente los símbolos con las bandas RF. Si el número máximo de bandas RF en la trama de señal es 6, el fusionador (1318) de bloques con corrección de errores emite el bloque de símbolos de modo que el número total de símbolos puede dividirse por 60 que es un múltiplo común de 1, 2, 3, 4, 5 y 6.

25 Los símbolos incluidos en el bloque de símbolos de salida pueden disponerse para asignarse uniformemente a las seis bandas RF. Por consiguiente, aunque se combinan un modo con corrección de errores según una tasa de código y un método de correlación de símbolos, los símbolos que configuran la PLP se asignan uniformemente a las bandas RF.

30 La figura 11 es una vista que muestra otro ejemplo del correlacionador de símbolos. En el ejemplo de esta figura, el correlacionador de símbolos incluye el segundo codificador (125) y el segundo intercalador (127) incluido en la unidad de codificación y modulación. Es decir, si se usa este ejemplo, la unidad de codificación y modulación puede incluir sólo el primer codificador (121), el primer intercalador (123) y el segundo codificador (125).

35 El ejemplo del correlacionador de símbolos incluye un analizador (1311) sintáctico de flujos de bits, un intercalador (1312a) de bits de primer orden, un intercalador (1312b) de bits de segundo orden, un demultiplexador (1313a) de primer orden, un demultiplexador (1313b) de segundo orden, un correlacionador (1315a) de símbolos de primer orden, un correlacionador (1315b) de símbolos de segundo orden y un fusionador (1317) de símbolos.

40 Cuando el segundo codificador (125) realiza codificación con corrección de errores LDPC, la longitud del bloque de codificación con corrección de errores (por ejemplo, la longitud de 64800 bits y la longitud de 16200 bits) puede variar según un modo LDPC. Si los bits incluidos en el bloque de codificación con corrección de errores se correlacionan con los símbolos, las capacidades de corrección de errores de los bits incluidos en una palabra de célula que configura el símbolo pueden variar según las ubicaciones de los bits. Por ejemplo, la palabra de célula que es el símbolo puede determinarse según la tasa de código de la codificación con corrección de errores y el método de correlación de símbolos (ya sea el método de correlación de símbolos el método de correlación de símbolos de orden superior o el método de correlación de símbolos de orden inferior). Si el código con corrección de errores es el LDPC, las capacidades de corrección de errores de los bits varían según las ubicaciones de los bits en el bloque de codificación con corrección de errores. Por ejemplo, las fiabilidades de los bits codificados según las características de la matriz H usada en el método de codificación con corrección de errores LDPC irregular pueden variar según las ubicaciones de los bits. Por consiguiente, el orden de los bits que configuran la palabra de célula correlacionados con el símbolo se cambia de modo que pueden ajustarse las capacidades de corrección de errores de los bits que son débiles frente a la corrección de errores en el bloque de codificación con corrección de errores se ajusta y la robustez frente al error en el nivel de bit.

55 En primer lugar, el segundo codificador (125), por ejemplo, realiza la codificación con corrección de errores con respecto al flujo incluido en una PLP mediante el método de codificación con corrección de errores LDPC.

60 El analizador (1311) sintáctico de flujos de bits recibe el flujo de servicio según la PLP y divide el flujo de servicio recibido.

El intercalador (1312a) de bits de primer orden intercala los bits incluidos en un primer flujo de bits del flujo de servicios dividido. De manera similar, el intercalador (1312b) de bits de segundo orden intercala los bits incluidos en un segundo flujo de bits de los flujos de servicios divididos.

El intercalador (1312a) de bits de primer orden y el intercalador (1312b) de bits de segundo orden pueden corresponder al segundo intercalador (127) usado como intercalador interno. El método de intercalación del intercalador (1312a) de bits de primer orden y el intercalador (1312b) de bits de segundo orden se describirán posteriormente.

5 El demultiplexador (1313a) de primer orden y el demultiplexador (1313b) de segundo orden demultiplexan los bits de los flujos de bits intercalados por el intercalador (1312a) de bits de primer orden y el intercalador (1312b) de bits de segundo orden. Los demultiplexadores (1313a y 1313b) dividen el flujo de bits de entrada en subflujos de bits que se correlacionarán con un eje real y un eje imaginario de una constelación y emitirán los subflujos de bits. Los correlacionadores (1315a y 1315b) de símbolos correlacionan los subflujos de bits demultiplexados por los demultiplexadores (1313a y 1313b) con los símbolos correspondientes.

10 Los intercaladores (1312a y 1312b) de bits y los demultiplexadores (1313a y 1313b) pueden combinar las características de la palabra de código LDPC y las características de la fiabilidad de constelación de la correlación de símbolos según la constelación. El ejemplo detallado de los demultiplexadores (1313a y 1313b) de primer orden se describirá posteriormente.

15 El correlacionador (1315a) de símbolos de primer orden realiza correlación de símbolos de primer orden, por ejemplo, correlación de símbolos de orden superior, y el correlacionador (1315b) de símbolos de segundo orden realiza correlación de símbolos de segundo orden, por ejemplo, correlación de símbolos de orden inferior. El correlacionador (1315a) de símbolos de primer orden correlaciona los subflujos de bits emitidos desde el demultiplexador (1313) primer orden con los símbolos y el correlacionador (1315b) de símbolos de segundo orden correlaciona los subflujos de bits emitidos desde el demultiplexador (1313b) de segundo orden con los símbolos.

20 El fusionador (1317) de símbolos fusiona los símbolos correlacionados por el correlacionador (1315a) de símbolos de primer orden y el correlacionador (1315b) de símbolos de segundo orden con un flujo de símbolos y emite el flujo de símbolos.

25 Tal como se describió anteriormente, en la LDPC, las capacidades de corrección de errores de los bits pueden cambiarse según las ubicaciones de los bits en el bloque de codificación con corrección de errores. Por consiguiente, si el intercalador de bits y el demultiplexador se controlan según las características del codificador (125) LDPC para cambiar el orden de los bits que configuran la palabra de célula, la capacidad de corrección de errores en el nivel de bit puede maximizarse.

30 La figura 12 es una vista que muestra el concepto de intercalación de bits mediante los intercaladores (1312a y 1312b) de bits de la figura 11.

35 Por ejemplo, los bits de entrada se almacenan en y se leen a partir de una memoria en forma de matriz que tiene un número predeterminado de filas y columnas. Cuando los bits de entrada se almacenan, en primer lugar, se almacenan los bits en una primera columna en dirección de fila, y, si la primera columna está llena, los bits se almacenan en otra columna en dirección de fila. Cuando se leen los bits almacenados, los bits se leen en dirección de columna y, si se leen todos los bits almacenados en una primera fila, los bits en otra fila se leen en dirección de columna. En otras palabras, cuando los bits se almacenan, los bits se almacenan por filas de modo que las columnas se llenan de manera seriada. Y cuando se leen los bits almacenados, los bits almacenados se leen por columnas a partir de la primera fila hasta la última fila de manera seriada. En esta figura, MSB significa bit más significativo y LSB significa bit menos significativo.

40 Con el fin de correlacionar los bits de codificación con corrección de errores LDPC con los símbolos en la misma unidad de bloques de longitud de corrección de errores a diversas tasas de código, los intercaladores (1312a y 1312b) de bits pueden cambiar el número de filas y columnas de la memoria según los tipos de los correlacionadores (1315a y 1315b) de símbolos.

45 La figura 13 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los intercaladores (1312a y 1312b) de bits según los tipos de correlacionadores (1315a y 1315b) de símbolos, si el modo LDPC es el modo normal.

50 Por ejemplo, si el correlacionador (1315a) de símbolos correlaciona los bits con símbolos 256QAM, el intercalador (1312a) de primer orden intercala los bits mediante una memoria que tiene 8100 filas y 8 columnas. Si los símbolos se correlacionan mediante 64QAM, el intercalador (1312a) de primer orden intercala los bits mediante una memoria que tiene 10800 filas y 6 columnas. Si los símbolos se correlacionan mediante 16QAM, el intercalador (1312a) de primer orden intercala los bits mediante una memoria que tiene 16200 filas y 4 columnas.

55 Por ejemplo, si los correlacionadores (1315a y 1315b) de símbolos correlacionan los bits con símbolos 28-QAM híbr., el intercalador (1312a) de primer orden intercala los bits usando una memoria que tiene 4860 filas y 8 columnas, y el intercalador (1312b) de segundo orden intercala los bits usando una memoria que tiene 4320 filas y 6 columnas.

De manera similar, si los correlacionadores (1315a y 1315b) de símbolos correlacionan los símbolos mediante 32-QAM híbr., el intercalador (1312a) de primer orden intercala los bits usando una memoria que tiene 6480 filas y 6 columnas, y el intercalador (1312b) de segundo orden intercala los bits usando una memoria que tiene 6480 filas y 4 columnas.

5 La figura 14 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los intercaladores (1312a y 1312b) de bits según los tipos de los correlacionadores (1315a y 1315b) de símbolos, si el modo LDPC es el modo corto.

10 Por ejemplo, si el correlacionador (1315a) de símbolos correlaciona los bits con 256QAM símbolos, el intercalador (1312a) de primer orden intercala los bits mediante una memoria que tiene 2025 filas y 8 columnas. Si los correlacionadores (1315a y 1315b) de símbolos correlacionan los símbolos mediante 128-QAM híbr., el intercalador (1312a) de primer orden intercala los bits usando una memoria que tiene 1215 filas y 8 columnas, y el intercalador (1312b) de segundo orden intercala los bits usando una memoria que tiene 1080 filas y 6 columnas.

15 Si la intercalación de bits se realiza con respecto al bloque de codificación con corrección de errores, pueden cambiarse las ubicaciones de los bits en el bloque de codificación con corrección de errores.

20 La figura 15 es una vista que muestra el concepto de multiplexación de bits de entrada de los demultiplexadores (1313a y 1313b).

Los intercaladores (1312a y 1312b) de bits intercalan los bits de entrada x_0, x_1, \dots, x_{n-1} y emiten los bits intercalados. El método de intercalación ya se ha descrito anteriormente.

25 Los demultiplexadores (1313a y 1313b) demultiplexan los flujos de bits intercalados. El método de demultiplexación puede variar según la tasa de código del método de codificación con corrección de errores y el método de correlación de símbolos del correlacionador de símbolos. Si el método de símbolos del correlacionador de símbolos es QPSK, los bits de entrada, por ejemplo, se intercalan con dos subflujos y el correlacionador de símbolos correlaciona los dos subflujos con los símbolos para corresponder al eje real y al eje imaginario de la constelación.

30 Por ejemplo, un primer bit y_0 del primer subflujo demultiplexado corresponde al eje real y un primer bit y_1 del segundo subflujo demultiplexado corresponde al eje imaginario.

35 Si el método de símbolos del correlacionador de símbolos es 16QAM, los bits de entrada, por ejemplo, se demultiplexan en cuatro subtramas. El correlacionador de símbolos selecciona los bits incluidos en los cuatro subflujos y correlaciona los bits seleccionados con los símbolos para corresponder al eje real y al eje imaginario de la constelación.

40 Por ejemplo, los bits y_0 e y_2 de los subflujos demultiplexados primero y tercero corresponden al eje real y los bits y_1 e y_3 de los subflujos demultiplexados segundo y cuarto corresponden al eje imaginario.

45 De manera similar, si el método de símbolos del correlacionador de símbolos es 64QAM, los bits de entrada pueden demultiplexarse en seis flujos de bits. El correlacionador de símbolos correlaciona los seis subflujos con los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por ejemplo, los bits y_0, y_2 e y_4 de los subflujos demultiplexados primero, tercero y quinto corresponden al eje real y los bits y_1, y_3 e y_6 de los subflujos demultiplexados segundo, cuarto y sexto corresponden al eje imaginario.

50 De manera similar, si el método de símbolos del correlacionador de símbolos es 256QAM, los bits de entrada pueden demultiplexarse en ocho flujos de bits. El correlacionador de símbolos correlaciona los ocho subflujos con los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por ejemplo, en primer lugar, los bits y_0, y_2, y_4 e y_6 de los subflujos demultiplexados primero, tercero, quinto y séptimo corresponden al eje real y los bits y_1, y_3, y_5 e y_7 de los subflujos demultiplexados segundo, cuarto, sexto y octavo corresponden al eje imaginario.

55 Si el correlacionador de símbolos correlaciona los símbolos, los subflujos demultiplexados mediante el demultiplexador pueden correlacionarse con los flujos de bits del eje real y el eje imaginario de la constelación.

60 El método de intercalación de bits, el método de demultiplexación y el método de correlación de símbolos descritos anteriormente son a modo de ejemplo y pueden usarse diversos métodos como método de seleccionar los bits en los subflujos de modo que los subflujos demultiplexados mediante el demultiplexador puedan corresponder al eje real y al eje imaginario de la constelación.

65 La palabra de célula correlacionada con los símbolos puede variar según uno cualquiera de los flujos de bits a los que se han corregido los errores según la tasa de código, el método de intercalación de los flujos de bits, el método de demultiplexación y el método de correlación de símbolos. El MSB de la palabra de célula es más alto que el LSB de la palabra de célula en la fiabilidad de la decodificación con corrección de errores. Aunque la fiabilidad del bit de una ubicación específica del bloque de codificación con corrección de errores es baja, la fiabilidad del bit puede

mejorarse mediante el procedimiento de decorrelación de símbolos si el bit de la palabra de célula se dispone en el MSB o cerca del MSB.

5 Por consiguiente, aunque la fiabilidad del bit codificado según las características de la matriz H usada en el método de codificación con corrección de errores LDPC irregular se cambie, el bit puede transmitirse/recibirse de manera robusta mediante el procedimiento de correlación y decorrelación de símbolos y el rendimiento del sistema puede ajustarse.

10 La figura 16 es una vista que muestra un ejemplo de demultiplexación de un flujo de entrada mediante el demultiplexador.

Si el método de correlación de símbolos es QPSK, se correlacionan dos bits con un símbolo y los dos bits de una unidad de símbolos se demultiplexan en el orden de los índices de bit (índices 0 y 1 de b).

15 Si el método de correlación de símbolos es 16QAM, se correlacionan 4 bits con un símbolo y los cuatro bits de una unidad de símbolos se demultiplexan según el resultado de cálculo del modulo-4 de índices de bit (índices 0, 1, 2 y 3 de b).

20 Si el método de correlación de símbolos es 64QAM, se correlacionan 6 bits con un símbolo y los seis bits de una unidad de símbolos se demultiplexan según el resultado de cálculo del modulo-6 de índices de bit (índices 0, 1, 2, 3, 4 y 5 de b).

25 Si el método de correlación de símbolos es 256QAM, se correlacionan 8 bits con un símbolo y los ocho bits de una unidad de símbolos se demultiplexan según el resultado de cálculo del modulo-8 de índices de bit (índices 0, 1, 2, 3, 4, 5, 6 y 7 de b).

El orden de demultiplexación de los subflujos es a modo de ejemplo y puede modificarse.

30 La figura 17 es una vista que muestra un ejemplo de un tipo de demultiplexación según un método de correlación de símbolos. El método de correlación de símbolos incluye QPSK, 16QAM, 64QAM y 256QAM, y el tipo de demultiplexación incluye de un primer tipo a un sexto tipo.

35 El primer tipo es un ejemplo en el que los bits de entrada corresponden secuencialmente a índices pares (0, 2, 4, 8, ...) (o al eje real de la constelación) y corresponden secuencialmente a índices impares (1, 3, 5, 7, ...) (o al eje imaginario de la constelación). En adelante en el presente documento, la demultiplexación de bits del primer tipo puede representarse mediante un identificador 10 de demultiplexación (un número binario de 1010; la ubicación de 1 es la ubicación del MSB correspondiente al eje real y al eje imaginario de la constelación).

40 El segundo tipo es un ejemplo en el que la demultiplexación se realiza en orden inverso del primer tipo, es decir, el LSB de los bits de entrada corresponde secuencialmente a índices pares (6, 4, 2, 0) (o al eje real de la constelación) e índices impares (1, 3, 5, 7,...) (o al eje imaginario de la constelación). En adelante en el presente documento, la demultiplexación de bits del segundo tipo puede representarse mediante un identificador 5 de demultiplexación (un número binario de 0101).

45 El tercer tipo es un ejemplo en el que los bits de entrada se disponen de modo que los bits de ambos extremos de la palabra de código se vuelven el MSB. Los bits de entrada vuelven a disponerse para llenar la palabra de código desde ambos extremos de la palabra de código. En adelante en el presente documento, la demultiplexación de bits del tercer tipo puede representarse mediante un identificador 9 de demultiplexación (un número binario de 1001).

50 El cuarto tipo es un ejemplo en el que los bits de entrada se disponen de modo que un bit medio de la palabra de código se vuelve el MSB. Un bit de los bits de entrada se llena en primer lugar en la ubicación media de la palabra de código y los bits restantes entonces vuelven a disponerse hacia ambos extremos de la palabra de código en el orden de los bits de entrada. En adelante en el presente documento, la demultiplexación de bits del cuarto tipo puede representarse mediante un identificador 6 de demultiplexación (un número binario de 0110).

55 El quinto tipo es un ejemplo en el que los bits se demultiplexan de modo que un último bit de la palabra de código se vuelve el MSB y un primer bit de la misma se vuelve el LSB, y el sexto tipo es un ejemplo en el que los bits vuelven a disponerse de modo que el primer bit de la palabra de código se vuelve el MSB y el último bit de la misma se vuelve el LSB. En adelante en el presente documento, la demultiplexación de bits del quinto tipo puede representarse mediante un identificador de demultiplexación 3 (un número binario de 0011), y la demultiplexación de bits del sexto tipo puede representarse mediante un identificador de demultiplexación 12 (un número binario de 1100).

60 Tal como se describió anteriormente, el tipo de demultiplexación puede variar según el método de correlación de símbolos o la tasa de código del método de codificación con corrección de errores. Es decir, puede usarse un tipo diferente de demultiplexación si se cambia el método de correlación de símbolos o la tasa de código.

65

La figura 18 es una vista que muestra una realización de demultiplexación de un flujo de bits de entrada según un tipo de demultiplexación. Esta realización puede incluir los intercaladores (1312a y 1312b) de bits, los demultiplexadores (1313a y 1313b) y los correlacionadores (1315a y 1315b).

5 Los intercaladores (1312a y 1312b) de bits intercalan los flujos de servicio de PLP codificados con corrección de errores. Por ejemplo, los intercaladores (1312a y 1312b) de bits pueden realizar la intercalación de bits en las unidades de codificación con corrección de errores según el modo de codificación con corrección de errores. El método de intercalación de bits ya se describió anteriormente.

10 Los demultiplexadores (1313a y 1313b) pueden incluir demultiplexadores (1313a1 y 1313b1,...), de primer tipo y demultiplexadores (1313a2 y 1313b2) de enésimo tipo. En este caso, n es un entero. Los métodos de demultiplexación de los bits mediante los n tipos de demultiplexadores siguen los tipos mostrados en la figura 17.

15 Por ejemplo, los demultiplexadores de primer tipo pueden corresponder al primer tipo demultiplexación de bits (1100) y el demultiplexador de segundo tipo (no mostrado) puede corresponder a la demultiplexación de bits de segundo tipo (0011). El demultiplexador (1313b) de enésimo tipo demultiplexa el flujo de bits de entrada según la multiplexación de bits de enésimo tipo (por ejemplo, el identificador de demultiplexación 1100) y emite el flujo de bits demultiplexado. Los selectores (1313a3 y 1313b3) reciben una señal de selección de demultiplexador del tipo de demultiplexación adecuada para los bits de entrada y emite el flujo de bits demultiplexado según uno cualquiera del primer tipo o el enésimo tipo y la señal de selección de demultiplexador. La señal de selección de demultiplexador puede variar según la tasa de código de la codificación con corrección de errores y el método de correlación de símbolos de la constelación. Por consiguiente, el tipo de demultiplexación puede determinarse según la tasa de código del método de codificación con corrección de errores y/o el método de correlación de símbolos de la constelación. El ejemplo detallado según los símbolos correlacionados con la constelación y/o la tasa de código de la codificación con corrección de errores según la señal de selección de demultiplexador se describirá posteriormente.

20 Los correlacionadores (1315a y 1315b) pueden correlacionar los subflujos de bits demultiplexados con los símbolos según la señal de selección de demultiplexador y emitir los símbolos correlacionados.

30 La figura 19 es una vista que muestra un tipo de demultiplexación que se determina según una tasa de código de la codificación con corrección de errores y el método de correlación de símbolos.

35 En el método de correlación de símbolos 4QAM, incluso cuando la tasa de código c_r del método de codificación con corrección de errores LDPC es uno cualquiera de $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, el flujo de bits puede demultiplexarse según todos los tipos de demultiplexación (indicados por todos).

40 En el método de correlación de símbolos 16QAM, si la tasa de código del método de codificación con corrección de errores LDPC es $1/4$, $1/3$, $2/5$ y $1/2$, los símbolos pueden correlacionarse sin realizar la intercalación de bits y la demultiplexación de bits (indicada por Sin Int. y Sin demultiplex.). Si la tasa de código de la codificación con corrección de errores es $3/5$, el bit puede demultiplexarse según uno cualquiera de los identificadores de demultiplexación 9, 10 y 12. Si la tasa de código de la codificación con corrección de errores es $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, el flujo de bits de entrada puede demultiplexarse según el identificador de demultiplexación 6.

45 En el método de correlación de símbolos 64QAM, si la tasa de código de la codificación con corrección de errores LDPC es $1/4$, $1/3$, $2/5$ y $1/2$, los símbolos pueden correlacionarse sin realizar la intercalación de bits y la demultiplexación de bits. Si la tasa de código es $3/5$, los bits pueden demultiplexarse según uno cualquiera de los identificadores de demultiplexación 9 y 10. Si la tasa de código es $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, los bits pueden demultiplexarse según el identificador de demultiplexación 6.

50 En el método de correlación de símbolos 256QAM, si la tasa de código de la codificación con corrección de errores LDPC es $1/4$, $1/3$, $2/5$ y $1/2$, los símbolos pueden correlacionarse sin realizar la intercalación de bits y la demultiplexación de bits. Si la tasa de código es $3/5$, los bits pueden demultiplexarse según el identificador de demultiplexación 9. Si la tasa de código es $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, los bits pueden demultiplexarse según el identificador de demultiplexación 6.

55 Tal como se describió anteriormente, el tipo de bit de demultiplexación puede variar según la tasa de código usada para la codificación con corrección de errores y el método de correlación de símbolos. Por consiguiente, la capacidad de corrección de errores de un bit ubicado en una ubicación específica del bloque de codificación con corrección de errores puede ajustarse correlacionando los subflujos demultiplexados con los símbolos. Por consiguiente, es posible optimizar la robustez en el nivel de bit.

60 La figura 20 es una vista que muestra un ejemplo de expresión del método de demultiplexación mediante una ecuación. Por ejemplo, si el método de correlación de símbolos es QPSK, los bits de entrada (x_i , $x_{N/2+1}$)

corresponden a los bits demultiplexados y_0 y y_1 . Si el método de correlación de símbolos es 16QAM, los bits de

entrada $(\frac{x_{2N}}{4+i}, \frac{x_{3N}}{4+i}, x_i, \frac{x_n}{4+i})$ corresponden a los bits demultiplexados y_0, y_1, y_2 e y_3 .

Si el método de correlación de símbolos es 64QAM, los bits de entrada

5 $(\frac{x_{4N}}{6+i}, \frac{x_{5N}}{6+i}, \frac{x_{2N}}{6+i}, \frac{x_{3N}}{6+i}, x_i, \frac{x_N}{6+i})$ corresponden a los bits demultiplexados y_0, y_1, y_2, y_3, y_4 e y_5 . Si el método de correlación de símbolos es 256QAM, los bits de entrada

$(\frac{x_{6N}}{8+i}, \frac{x_{7N}}{8+i}, \frac{x_{4N}}{8+i}, \frac{x_{5N}}{8+i}, \frac{x_{2N}}{8+i}, \frac{x_{3N}}{8+i}, x_i, \frac{x_N}{8+i})$ corresponden a los bits demultiplexados $y_0, y_1, y_2, y_3, y_4, y_5, y_6$ e y_7 .

10 En este caso, N indica el número de bits correlacionados con los símbolos con respecto a la entrada del intercalador de bits.

15 La figura 21 es una vista que muestra un ejemplo de correlación de un símbolo mediante un correlacionador de símbolos. Por ejemplo, en el método de correlación de símbolos QPSK, los símbolos en la constelación corresponden al valor del bit y_0 del primer subflujo demultiplexado y el valor del bit y_1 del segundo subflujo demultiplexado.

20 En 16QAM, el eje real de los símbolos en la constelación corresponde a los bits de los subflujos demultiplexados primero y tercero (bits separados de la ubicación del MSB por 0 y 2) y el eje imaginario de los mismos corresponde a los bits de los subflujos demultiplexados segundo y cuarto (bits separados de la ubicación del MSB por 1 y 3).

25 En 64QAM, el eje real de los símbolos en la constelación corresponde a los bits de los subflujos demultiplexados primero, tercero y quinto (bits separados de la ubicación del MSB por 0, 2 y 4) y el eje imaginario de los mismos corresponde a los bits de los subflujos demultiplexados segundo, cuarto y sexto (bits separados de la ubicación del MSB por 1, 3 y 5).

30 Por consiguiente, los bits que configuran el símbolo pueden correlacionarse con la palabra de célula en el orden de demultiplexación. Si los bits que configuran la palabra de célula se demultiplexan, el MSB y el LSB de la palabra de célula se cambian y la robustez de los bits puede ajustarse aunque las fiabilidades de los bits de codificación con corrección de errores LDPC varíen según las ubicaciones.

35 La figura 22 es un diagrama de bloques que ilustra un codificador MIMO/MISO según la presente invención. En referencia a la figura 22, el codificador MIMO/MISO codifica los datos de entrada usando el esquema de codificación MIMO/MISO, y emite los datos codificados a varios trayectos. Si un extremo de recepción de señal recibe la señal transmitida a los varios trayectos desde uno o más trayectos, puede adquirir una ganancia (también denominada una ganancia de diversidad, una ganancia de carga útil, o una ganancia de multiplexación).

40 El codificador (140) MIMO/MISO codifica los datos de servicio de cada trayecto generados desde el constructor (130) de tramas, y emite los datos codificados al número A de trayectos correspondiente al número de antenas de salida.

45 La figura 23 es un diagrama de bloques que ilustra un modulador según la presente invención. En referencia a la figura 23, el modulador incluye un primer controlador (151) de potencia (PAPR Reduce1), una unidad (153) de transformada de dominio de tiempo (IFFT), un segundo controlador (157) de potencia (PAPR Reduce2), y un insertador (159) de intervalo de guarda.

El primer controlador (151) de potencia reduce una PAPR (relación de potencia entre pico y promedio) de datos transmitidos al número R de trayectos de señal en el dominio de frecuencia.

50 La unidad (153) de transformada de dominio de tiempo (IFFT) convierte las señales recibidas en el dominio de frecuencia en señales en el dominio de tiempo. Por ejemplo, las señales en el dominio de frecuencia pueden convertirse en las señales en el dominio de tiempo según el algoritmo IFFT. Por tanto, los datos de dominio de frecuencia pueden modularse según el esquema OFDM.

- 5 El segundo controlador (157) de potencia (PAPR Reduce2) reduce una PAPR (relación de potencia entre pico y promedio) de datos de canal transmitidos al número R de trayectos de señal en el dominio de tiempo. En este caso, pueden usarse un esquema de reserva de tono, y un esquema de extensión de constelación activa (ACE) para extender la constelación de símbolos.
- 10 El insertador (159) de intervalo de guarda inserta el intervalo de guarda en el símbolo OFDM de salida, y emite el resultado insertado. Tal como se describió anteriormente, el ejemplo mencionado anteriormente puede llevarse a cabo en cada señal del número R de trayectos.
- 15 La figura 24 es un diagrama de bloques que ilustra un procesador (160) analógico según la presente invención. En referencia a la figura 24, el procesador (160) analógico incluye un convertidor (161) digital a analógico (DAC), una unidad (163) de conversión ascendente, y un filtro (165) analógico.
- 20 El DAC (161) convierte los datos de entrada en una señal analógica, y emite la señal analógica. La unidad (163) de conversión ascendente convierte un dominio de frecuencia de la señal analógica en un área RF. El filtro (165) analógico filtra la señal de área RF, y emite la señal RF filtrada.
- 25 La figura 25 es un diagrama de bloques que ilustra un aparato para recibir una señal según la presente invención. En referencia a la figura 25, el aparato de recepción de señales incluye un primer receptor (210a) de señales, un enésimo receptor (210n) de señales, un primer demodulador (220a), un enésimo demodulador (220n), un decodificador (230) MIMO/MISO, un analizador (240) sintáctico de tramas, y un demodulador (250) de decodificación, y un procesador (260) de salida.
- 30 En el caso de una señal de recepción según la estructura de trama de señal TFS, varios servicios se multiplexan en R canales, y a continuación se desplazan en el tiempo, de modo que el resultado desplazado en el tiempo se transmite.
- 35 El receptor puede incluir al menos un receptor de señales para recibir un servicio transmitido a través de al menos un canal RF. La trama de señal TFS transmitida al R (donde R es un número natural) número de canales RF puede transmitirse a un multitrayecto a través del número A de antenas. Las A antenas se han usado para los R canales RF, de modo que el número total de antenas es $R \times A$.
- 40 El primer receptor (210a) de señales puede recibir datos de servicio transmitidos a través de al menos un trayecto de entre los datos de servicio globales transmitidos a través de varios canales RF. Por ejemplo, el primer receptor (210a) de señales puede recibir la señal de transmisión procesada por el esquema MIMO/MISO a través de varios trayectos.
- 45 El primer receptor (210a) de señales y el enésimo receptor (210n) de señales pueden recibir varias unidades de datos de servicio transmitidos a través de n número de canales RF de entre varios canales RF, como una única PLP. Concretamente, este ejemplo muestra el aparato de recepción de señales que puede simultáneamente recibir datos del número R de canales RF. Por tanto, si este ejemplo recibe un único canal RF, sólo se necesita el primer receptor (210a).
- 50 El primer demodulador (220a) y el enésimo demodulador (220n) demodulan las señales recibidas en el primer y los enésimos receptores (210a y 210n) de señales según el esquema OFDM, y emiten las señales demoduladas.
- 55 El decodificador (230) MIMO/MISO decodifica los datos de servicio recibidos a través de varios trayectos de transmisión según el esquema de decodificación MIMO/MISO, y emite los datos de servicio decodificados a un único trayecto de transmisión. Si se recibe el número R de servicios transmitidos a través de varios trayectos de transmisión, el decodificador (230) MIMO/MISO puede emitir datos de servicio de PLP únicos contenidos en cada uno de R servicios correspondientes al número de R canales. Si el número P de servicios se transmiten a través del número R de canales RF, y la señales de canales RF individuales se reciben a través del número A de antenas, el receptor decodifica el número P de servicios usando un total de $(R \times A)$ antenas de recepción.
- 60 El analizador (240) sintáctico de tramas analiza sintácticamente la trama de señal TFS incluyendo varios servicios, y emite los datos de servicio analizados sintácticamente.
- 65 El demodulador (250) de decodificación realiza la decodificación con corrección de errores sobre los datos de servicio contenidos en la trama analizada sintácticamente, decorrelaciona los datos de símbolo decodificados en datos de bit, y emite el resultado procesado con decorrelación.
- El procesador (260) de salida decodifica un flujo que incluye los datos de bit decorrelacionados, y emite el flujo decodificado.
- En la descripción mencionada anteriormente, cada uno del analizador (240) sintáctico de tramas, y el demodulador

(250) de decodificación, y el procesador (260) de salida recibe varias unidades de datos de servicio tantas como el número de PLP, y realiza procesamiento de señal sobre los datos de servicio recibidos.

5 La figura 26 es un diagrama de bloques que ilustra un receptor de señales según la presente invención. En referencia a la figura 26, el receptor de señales puede incluir un sintonizador (211), un convertidor (213) descendente, y un convertidor (215) analógico a digital (ADC).

10 El sintonizador (211) realiza saltos de algunos canales RF que pueden transmitir servicios seleccionados por el usuario en todos los canales RF cuando la PLP se incluye en varios canales RF, y emite el resultado de salto. El sintonizador (211) realiza salto de canales RF contenidos en la trama de señal TFS según frecuencias de centro RF de entrada, y al mismo tiempo sintoniza las señales de frecuencia correspondientes, de modo que emite las señales sintonizadas. Si una señal se transmite al número A de multitrayectos, el sintonizador (211) realiza la sintonización a un correspondiente canal RF, y recibe señales de recepción a través del número A de antenas.

15 El convertidor (213) descendente realiza conversión descendente de la frecuencia RF de la señal sintonizada por el sintonizador (211), y emite el resultado de conversión descendente. El ADC (215) convierte una señal analógica en una señal digital.

20 La figura 27 es un diagrama de bloques que ilustra un demodulador según la presente invención. En referencia a la figura 27, el demodulador incluye un detector (221) de tramas, una unidad (222) de sincronización de tramas, un eliminador (223) de intervalo de guarda, una unidad (224) de transformada de dominio de frecuencia (FFT), un estimador (225) de canal, un igualador (226) de canal, y un extractor (227) de información de señalización.

25 Si el demodulador adquiere datos de servicio transmitidos a un único flujo de PLP, se llevará a cabo la siguiente demodulación de señal. Una descripción detallada de la misma se describirá a continuación en el presente documento.

30 El detector (221) de tramas identifica un sistema de entrega de una señal de recepción. Por ejemplo, el detector (221) de tramas determina si la señal de recepción es una señal DVB-TS o no. Y, el detector (221) de tramas también puede determinar si una señal de recepción es una trama de señal TFS o no. La unidad (222) de sincronización de tramas adquiere sincronización de dominio de frecuencia y tiempo de la trama de señal TFS.

35 El controlador (223) de intervalo de guía elimina un intervalo de guarda ubicado entre símbolos OFDM a partir del dominio de tiempo. El convertidor (224) de dominio de frecuencia (FFT) convierte una señal de recepción en una señal de dominio de frecuencia usando el algoritmo FFT, de modo que adquiere datos de símbolo de dominio de frecuencia.

40 El estimador (225) de canal realiza estimación de canal de un canal de recepción usando un símbolo piloto contenido en datos de símbolo del dominio de frecuencia. El igualador (226) de canal realiza igualación de canal de datos de recepción usando información de canal estimada por el estimador (225) de canal.

El extractor (227) de información de señalización puede extraer la información de señalización de una capa física establecida en las señales piloto primera y segunda contenidas en datos de recepción igualados en canal.

45 La figura 28 es un diagrama de bloques que ilustra un decodificador MIMO/MISO según la presente invención. El receptor de señales y el demodulador están diseñados para procesar una señal recibida en un único trayecto. Si el receptor de señales y el demodulador reciben datos de servicio de PLP que proporcionan un único servicio a través de varios trayectos de varias antenas, y demodulan los datos de servicio de PLP, el decodificador (230) MIMO/MIMO emite la señal recibida en varios trayectos como datos de servicio transmitidos a una única PLP. Por tanto, el decodificador (230) MIMO/MISO puede adquirir una ganancia de diversidad y una ganancia de multiplexación a partir de los datos de servicio recibidos en una PLP correspondiente.

50 El decodificador (230) MIMO/MISO recibe una señal de transmisión multitrayecto desde varias antenas, y puede decodificar una señal usando un esquema MIMO que puede recuperar cada señal de recepción en forma de una única señal. En cambio, el decodificador (230) MIMO/MISO puede recuperar una señal usando un esquema MIMO que recibe la señal de transmisión multitrayecto desde una única antena y recupera la señal de transmisión multitrayecto recibida.

60 Por tanto, si la señal se transmite a través del número R de canales RF (donde R es un número natural), el decodificador (230) MIMO/MISO puede decodificar señales recibidas a través del número A de antenas de canales RF individuales. Si el valor A es igual a "1", las señales pueden decodificarse mediante el esquema MISO. Si el valor A es mayor que "1", las señales pueden decodificarse mediante el esquema MIMO.

65 La figura 29 es un diagrama de bloques que ilustra un analizador sintáctico de tramas según la presente invención. En referencia a la figura 29, el analizador sintáctico de tramas incluye un primer desintercalador (241a) de

- 5 frecuencia, un r-ésimo desintercalador (241r) de frecuencia, un analizador (243) sintáctico de tramas, un primer desintercalador (245a) de tiempo, un p-ésimo desintercalador (245p) de tiempo, un primer decorrelacionador (247a) de símbolos, y un p-ésimo decorrelacionador de símbolos. El valor de "r" puede decidirse mediante el número de canales RF, y el valor de "p" puede decidirse mediante el número de flujos que transmiten datos de servicio de PLP generados a partir del analizador (243) sintáctico de tramas.
- 10 Por tanto, si p número de servicios se transmiten a p número de flujos de PLP a través de un número R de canales RF, el analizador sintáctico de tramas incluye el r número de desintercaladores de frecuencia, el p número de desintercaladores de tiempo, y el p número de decorrelacionadores de símbolos.
- 15 En asociación con un primer canal RF, el primer intercalador (241a) de frecuencia realiza desintercalación de datos de entrada de dominio de frecuencia, y emite el resultado de desintercalación.
- 20 El analizador (243) sintáctico de tramas analiza sintácticamente la trama de señal TFS transmitida a varios canales RF usando información de planificación de la trama de señal TFS, y analiza sintácticamente los datos de servicio de PLP contenidos en la ranura de un canal RF específico que incluye un servicio deseado. El analizador (243) sintáctico de tramas analiza sintácticamente la trama de señal TFS para recibir datos de servicio específicos distribuidos a varios canales RF según la estructura de trama de señal TFS, y emite datos de servicio de PLP de primer trayecto.
- 25 El primer desintercalador (245a) de tiempo realiza desintercalación de los datos de servicio de PLP de primer trayecto analizados sintácticamente en el dominio de tiempo. El primer decorrelacionador (247a) de símbolos determina que los datos de servicio correlacionados con el símbolo son datos de bit, de modo que puede emitir un flujo de PLP asociado con los datos de servicio de PLP de primer trayecto.
- 30 Siempre que los datos de símbolo se conviertan en datos de bit, y cada dato de símbolo incluye símbolos basados en el esquema híbrido de correlación de símbolos, el p número de decorrelacionadores de símbolos, cada uno de los cuales incluye el primer decorrelacionador de símbolos, puede determinar que los datos de símbolo son datos de bit usando diferentes esquemas de decorrelación de símbolos en intervalos individuales de los datos de símbolo de entrada.
- 35 La figura 30 es una vista que muestra un ejemplo de cada uno de los decorrelacionadores (247a y 247p) de símbolos. Los decorrelacionadores de símbolos reciben los flujos correspondientes a las PLP desde los intercaladores (245a y 245p) de tiempo respectivamente correspondientes a los decorrelacionadores de símbolos.
- 40 Cada uno de los decorrelacionadores (247a y 247p) de símbolos puede incluir un divisor (2471) de bloques con corrección de errores, un divisor (2473) de símbolos, un primer descorrelacionador (2475a) de orden, un segundo descorrelacionador (2475b) de orden y un fusionador (2478) de flujos de bits.
- 45 El divisor (2471) de bloques con corrección de errores puede dividir el flujo de PLP recibido desde uno correspondiente de los intercaladores (245a y 245p) de tiempo en las unidades de bloques con corrección de errores. El divisor (2471) de bloques con corrección de errores puede dividir el flujo de servicio en la unidad de bloques LDPC de modo normal. En este caso, el flujo de servicio puede dividirse en un estado en el que cuatro bloques según el modo corto (teniendo el bloque la longitud de 16200 bits) son tratados como el bloque con corrección de errores de un bloque según el modo normal (teniendo el bloque la longitud de 64800 bits).
- 50 El divisor (2473) de símbolos puede dividir el flujo de símbolos en el bloque de corrección de errores dividido según el método de correlación de símbolos del flujo de símbolos.
- 55 Por ejemplo, el primer descorrelacionador (2475a) de orden convierte los símbolos según el método de correlación de símbolos de orden superior en los bits. El segundo descorrelacionador (2475b) de orden convierte los símbolos según el método de correlación de símbolos de orden inferior en los bits.
- 60 El fusionador (2478) de flujos de bits puede recibir los bits convertidos y emitir un flujo de bits.
- 65 La figura 31 es una vista que muestra otro ejemplo de cada uno de los decorrelacionadores (247a y 247p) de símbolos. Cada uno de los decorrelacionadores (247a y 247p) de símbolos puede incluir un divisor (2473) de símbolos, un decorrelacionador (2474a) de primer orden, un decorrelacionador (2474b) de segundo orden, un multiplexador (2475a) de primer orden, un multiplexador (2475b) de segundo orden, un desintercalador (2476a) de bits de primer orden, un desintercalador (2476b) de bits de segundo orden y un fusionador (2478) de flujos de bits. Mediante este ejemplo, el ejemplo de la unidad de decodificación y demodulación de la figura 33 incluye un primer decodificador (253), un primer desintercalador (255) y un segundo decodificador (257).
- El divisor (2473) de símbolos puede dividir el flujo de símbolos de la PLP según el método correspondiente al método de correlación de símbolos.

- 5 El decorrelacionador (2474a) de primer orden y el decorrelacionador (2474b) de segundo orden convierten los flujos de símbolos divididos en bits. Por ejemplo, el decorrelacionador (2474a) de primer orden realiza la decorrelación de símbolos de QAM de orden superior y el decorrelacionador (2474b) de segundo orden realiza la decorrelación de símbolos de QAM de orden inferior. Por ejemplo, el decorrelacionador (2474a) de primer orden puede realizar la decorrelación de símbolos de 256QAM y el decorrelacionador (2474b) de segundo orden puede realizar la decorrelación de símbolos de 64QAM.
- 10 El multiplexador (2475a) de primer orden y el multiplexador (2475b) de segundo orden multiplexan los bits correlacionados por símbolos. Los métodos de multiplexación pueden corresponder a los métodos de demultiplexación descritos con referencia a las figuras 15 a 18. Por consiguiente, los subflujos demultiplexados pueden convertirse en un flujo de bits.
- 15 El desintercalador de bits (2476a) de primer orden desintercala los flujos de bits multiplexados por el multiplexador (2475a) de primer orden. El desintercalador de bits (2476b) de segundo orden desintercala los bits multiplexados por el multiplexador (2475a) de primer orden. El método de desintercalación corresponde al método de intercalación de bits. El método de intercalación de bits se muestra en la figura 12.
- 20 El fusionador (2478) de flujos de bits puede fusionar los flujos de bits desintercalados por los intercaladores (2476a y 2476b) de bits en un flujo de bits.
- 25 El primer decodificador (253) de la unidad de decodificación y demodulación puede decodificar con corrección de errores el flujo de bits emitido según el modo normal o el modo corto y la tasa de código según los modos.
- La figura 32 es una vista que muestra un ejemplo de multiplexación del subflujo demultiplexado. En este ejemplo, los decorrelacionadores (2474a y 2474b) deciden las palabras de célula que incluyen los bits. Los multiplexadores (2475a y 2475b) multiplexan las palabras de célula decididas según la señal de selección de multiplexador. Las palabras de célula demultiplexadas se introducen a uno cualquiera de los primeros multiplexadores (2475a2 y 2475b2) a enésimos multiplexadores (2475a3 y 2475b3).
- 30 Los primeros multiplexadores (2475a2 y 2475b2) a los enésimos multiplexadores (2475a3 y 2475b3) cambian el orden de los bits en las palabras de célula introducidas según la señal de selección de multiplexador. La señal de selección de multiplexador puede cambiarse según la tasa de código de la codificación con corrección de errores o el método de correlación de símbolos. Con el fin de generar un flujo y los flujos de bits entregados a los multiplexadores, el orden de selección del subflujo puede cambiarse según la señal de selección de multiplexador.
- 35 Los primeros demultiplexadores (2475a1 y 2475b1) emiten los flujos de bits decorrelacionados por símbolos con uno cualquiera de los primeros multiplexadores (2475a2 y 2475b2) con los enésimos multiplexadores (2475a3 y 2475b3) según la señal de selección de multiplexador. Los primeros submultiplexadores (2475a1 y 2475b1) pueden recibir los subflujos multiplexados por los primeros multiplexadores (2475a2 y 2475b2) con los enésimos multiplexadores (2475a3 y 2475b3) y emitir un flujo, según la señal de selección de multiplexador.
- 40 Las palabras de célula que incluyen los bits cambiados se introducen a los intercaladores (2476a y 2476b) de bits, y los desintercaladores (2476a y 2476b) de bits desintercalan los bits de entrada y emiten los bits desintercalados.
- 45 La figura 33 es un diagrama de bloques que ilustra un demodulador de decodificación según la presente invención. En referencia a la figura 33, el demodulador de decodificación puede incluir varios bloques de función correspondientes a la unidad de codificación y modulación. En este ejemplo, el demodulador de decodificación de la figura 16 puede incluir un primer desintercalador (251), un primer decodificador (253), un segundo desintercalador (255), y un segundo decodificador 257. El segundo desintercalador (255) puede estar contenido selectivamente en el demodulador de decodificación.
- 50 El primer desintercalador (251) actúa como un desintercalador interno, y puede realizar la desintercalación del p-ésimo flujo de PLP generado desde el analizador sintáctico de tramas.
- 55 El primer decodificador (253) actúa como un decodificador interno, puede realizar corrección de errores de los datos desintercalados, y puede usar un algoritmo de decodificación con corrección de errores basado en el esquema LDPC.
- 60 El segundo desintercalador (255) actúa como un intercalador externo, y puede realizar la desintercalación de los datos decodificados con corrección de errores.
- 65 El segundo decodificador (257) actúa como un decodificador externo. Los datos desintercalados por el segundo desintercalador (255) o a los que se han corregido los errores mediante el primer decodificador (253) es a los que se han corregido los errores de nuevo, de modo que el segundo decodificador (257) emite los datos a los que se han vuelto a corregir los errores. El segundo decodificador (257) decodifica los datos usando el algoritmo de decodificación con corrección de errores basado en el esquema BCH, de modo que emite los datos decodificados.

El primer desintercalador (251) y el segundo desintercalador (255) pueden convertir el error de ráfaga generado en los datos contenidos en el flujo de PLP en un error aleatorio. El primer decodificador (253) y el segundo decodificador (257) pueden corregir los errores contenidos en los datos.

- 5 El demodulador de decodificación muestra procedimientos de funcionamiento asociados con un único flujo de PLP. Si el p número de flujos existe, se necesita el p número de demoduladores de decodificación, o el demodulador de decodificación puede decodificar los datos de entrada repetidamente p veces.
- 10 La figura 34 es un diagrama de bloques que ilustra un procesador de salida según la presente invención. En referencia a la figura 34, el procesador de salida puede incluir p número analizadores (251a, ..., 261p) sintácticos de tramas de banda base (BB), un primer fusionador (263a) de servicios, un segundo fusionador (263b) de servicios, un primer demultiplexor (265a), y un segundo demultiplexor (265b).
- 15 Los analizadores (261a,..., 261p) sintácticos de tramas de BB eliminan cabeceras de trama BB del primer al p-ésimo flujo de PLP según los trayectos de PLP recibidos, y emiten el resultado eliminado. Este ejemplo muestra que los datos de servicio se transmiten a al menos dos flujos. Un primer flujo es un flujo MPEG-2 TS, y un segundo flujo es un flujo GS.
- 20 El primer fusionador (263a) de servicios calcula la suma de datos de servicio contenida en la carga útil de al menos una trama BB, de modo que emite la suma de los datos de servicio como un único flujo de servicio. El primer demultiplexor (255a) puede demultiplexar el flujo de servicio, y emitir el resultado demultiplexado.
- 25 De este modo, el segundo fusionador (263b) de servicios calcula la suma de datos de servicio contenida en la carga útil de al menos una trama BB, de modo que puede emitir otro flujo de servicio. El segundo demultiplexor (255b) puede demultiplexar el flujo de servicio de formato GS, y emitir el flujo de servicio demultiplexado.
- 30 La figura 35 es un diagrama de bloques que ilustra un aparato para transmitir una señal según otro ejemplo de la presente invención. En referencia a la figura 35, el aparato de transmisión de señales incluye un componedor (310) de servicios, un divisor (320) de frecuencia, y un transmisor (400). El transmisor (400) codifica o modula una señal que incluye un flujo de servicio que va a transmitirse a cada banda RF.
- 35 El componedor (310) de servicios recibe varios flujos de servicio, multiplexa varios flujos de servicio que van a transmitirse a canales RF individuales, y emite los flujos de servicio multiplexados. El componedor (310) de servicios emite información de planificación, de modo que controla el transmisor (400) usando la información de planificación, cuando el transmisor (400) transmite la PLP a través de varios canales RF. Mediante esta información de planificación, el componedor (310) de servicios modula varias tramas de servicio que van a transmitirse a los varios canales RF mediante el transmisor (400), y transmite las tramas de servicio moduladas.
- 40 El divisor (320) de frecuencia recibe un flujo de servicio que va a transmitirse a cada banda RF, y divide cada flujo de servicio en varios subflujos, de modo que las bandas de frecuencia RF individuales pueden asignarse a los subflujos.
- 45 El transmisor (400) procesa los flujos de servicio que van a transmitirse a bandas de frecuencia individuales, y emite los flujos resultantes procesados. Por ejemplo, en asociación con un flujo de servicio específico que va a transmitirse al primer canal RF, el primer correlacionador (410) correlaciona los datos de flujo de servicio de entrada en símbolos. El primer intercalador (420) intercala los símbolos correlacionados para evitar el error de ráfaga.
- 50 El primer insertador (430) de símbolos puede insertar una trama de señal equipada con una señal piloto (por ejemplo, una señal piloto dispersa o una señal piloto continua) en la señal modulada.
- 55 El primer modulador (440) modula los datos intercalados por el esquema de modulación de señal. Por ejemplo, el primer modulador (440) puede modular las señales usando el esquema OFDM.
- El primer insertador (450) de símbolos piloto inserta la primera señal piloto y la segunda señal piloto en la trama de señal, y puede transmitir la trama de señal TFS.
- Los datos de flujo de servicio transmitidos al segundo canal RF se transmiten a la trama de señal TFS a través de varios bloques (415, 425, 435, 445, y 455) de diferentes trayectos mostrados en el transmisor de la figura 18.
- 60 El número de trayectos de procesamiento de señal transmitidos desde el transmisor (400) puede ser igual al número de canales RF contenidos en la trama de señal TFS.
- 65 El primer correlacionador (410) y el segundo correlacionador pueden incluir respectivamente los demultiplexadores (1313a y 1313b), y permitir que las ubicaciones del MSB y el LSB cambien en la palabra de célula correlacionada por símbolos.

- 5 La figura 36 es un diagrama de bloques que ilustra un aparato para recibir una señal según otro ejemplo de la presente invención. En referencia a la figura 36, el aparato de recepción de señales puede incluir una unidad (510) de recepción, una unidad (520) de sincronización, un detector (530) de modo, un igualador (540), un detector (550) de parámetros, un desintercalador (560), un decorrelacionador (570), y un decodificador (580) de servicios.
- 10 La unidad (500) de recepción puede recibir señales de un primer canal RF seleccionado por un usuario de entre la trama de señal. Si la trama de señal incluye varios canales RF, la unidad (500) de recepción realiza salto de los varios canales RF, y al mismo tiempo puede recibir una señal que incluye la trama de servicio seleccionada.
- 15 La unidad (510) de sincronización adquiere sincronización de una señal de recepción, y emite la señal de recepción sincronizada. El demodulador (520) puede demodular la señal adquirida con sincronización. El detector (530) de modo puede adquirir un modo FFT (por ejemplo, longitud de funcionamiento de FFT 2k, 4k, 8k) de la segunda señal piloto usando la primera señal piloto de la trama de señal.
- 20 El demodulador (520) demodula la señal de recepción según el modo FFT de la segunda señal piloto. El igualador (540) realiza estimación de canal de la señal de recepción, y emite la señal resultante estimada en canal. El desintercalador (560) desintercala la señal de recepción igualada en canal. El decorrelacionador (570) decorrelaciona el símbolo intercalado usando el esquema de decorrelación de símbolos correspondiente al esquema de correlación de símbolos de señal de transmisión (por ejemplo, QAM).
- 25 El detector (550) de parámetros adquiere información de parámetro físico (por ejemplo, información de capa-1 (L1)) contenida en la segunda señal piloto a partir de la señal de salida del igualador (540), y transmite la información de parámetro físico adquirida a la unidad (500) de recepción y a la unidad (510) de sincronización. La unidad (500) de recepción puede cambiar el canal RF a otro canal usando información de red detectada por el detector (550) de parámetros.
- 30 El detector (550) de parámetros emite información asociada con el servicio, el decodificador (580) de servicio decodifica datos de servicio de la señal de recepción según la información asociada con el servicio a partir del detector (550) de parámetros, y emite los datos de servicio decodificados.
- 35 El decorrelacionador (570) puede incluir los multiplexadores (2475a y 2475b) y emitir el flujo de bits obtenido restableciendo el orden de los bits cuyas ubicaciones del MSB y del LSB se cambian según la tasa de código de la codificación con corrección de errores y el método de correlación de símbolos.
- La figura 37 es una vista que muestra un ejemplo de un método para transmitir una señal.
- El flujo de servicio se codifica con corrección de errores (S110).
- 40 Al igual que el método de codificación con corrección de errores, puede usarse un esquema de codificación con corrección de errores LDPC o puede realizarse codificación con corrección de errores a diversas tasas de código. Los bits codificados con corrección de errores según una tasa de código de error específica pueden incluirse en el bloque de codificación con corrección de errores según el modo de codificación con corrección de errores. Si el método de codificación con corrección de errores es el LDPC, pueden usarse el modo normal (64800 bits) y el modo corto (16200 bits).
- 45 Los bits codificados con corrección de errores se intercalan (S120). La intercalación puede realizarse almacenando y leyendo los bits incluidos en el bloque de codificación con corrección de errores en y a partir de la memoria en diferentes direcciones. El número de filas y el número de columnas pueden cambiarse según el modo de codificación con corrección de errores.
- 50 El flujo de bits intercalado se demultiplexa y los subflujos se emiten mediante la demultiplexación (S130). El método de demultiplexación puede cambiarse según la tasa de código de la codificación con corrección de errores y/o el método de correlación de símbolos y diversos ejemplos incluyendo la figura 17 ya se han descrito anteriormente. Los bits de entrada intercalados pueden convertirse en los subflujos mediante los métodos de demultiplexación que puede cambiarse según la tasa de código de la codificación con corrección de errores y/o el método de correlación de símbolos. La figura 18 muestra un ejemplo de emisión de los subflujos según los métodos de demultiplexación. El número de subflujos de salida puede cambiarse según los métodos de demultiplexación. Si se realiza la demultiplexación, las ubicaciones de los bits en la palabra de célula correlacionados con los símbolos en el flujo de bits intercalado se cambian y así el MSB y el LSB pueden cambiarse. Por tanto, aunque la fiabilidad del bit de una
- 60 ubicación específica en el bloque de codificación con corrección de errores según el modo de codificación con corrección de errores es baja, las ubicaciones de los bits pueden cambiarse de modo que la fiabilidad del bit se mejora en la etapa de correlación de símbolos.

Los subflujos demultiplexados se seleccionan secuencialmente y los bits incluidos en los subflujos seleccionados se correlacionan con los símbolos (S140). Existen métodos para seleccionar secuencialmente la pluralidad de subflujos. La palabra de célula correlacionada por símbolos puede cambiarse según el orden de selección de los subflujos.

5 Puede usarse al menos un método de correlación de símbolos. Por ejemplo, pueden usarse juntos el método de correlación de símbolos de orden superior y el método de correlación de símbolos de orden inferior.

10 Se construye una trama de señal en la que se disponen los símbolos correlacionados en al menos una banda de frecuencia y ranuras divididas temporalmente de la al menos una banda de frecuencia (S150). Pueden insertarse un símbolo de referencia y un símbolo piloto en la trama de señal. Los símbolos de la pluralidad de flujos de servicio que se someten a las etapas (S110 a S140) pueden disponerse en la trama de señal en la etapa (S150). Los símbolos de la pluralidad de flujos de servicio se distribuyen en la al menos una banda de frecuencia, y los símbolos distribuidos pueden disponerse en ubicaciones que se desplazan temporalmente en la banda de frecuencia o entre las bandas de frecuencia.

15 La trama de señal se convierte en el dominio de tiempo según el método OFDM y el intervalo de guarda se inserta en los símbolos OFDM convertidos en el dominio de tiempo (S160). La longitud del intervalo de guarda puede cambiarse según el modo FFT usado en el método OFDM.

20 El preámbulo para identificar la trama de señal se inserta en la parte de inicio de la trama de señal de cada banda RF y la señal se transmite (S170). La primera señal piloto y la segunda señal piloto pueden insertarse en el preámbulo.

25 La figura 38 es una vista que muestra un ejemplo de un método para recibir una señal.

El método de recepción de la señal transmitida es el siguiente.

30 La señal se recibe desde una banda de frecuencia específica incluida en la trama de señal (S210). La trama de señal puede tener una pluralidad de bandas de frecuencia. La señal puede recibirse desde la banda de frecuencia específica.

35 Cuando la trama de señal se detecta a partir de la señal recibida, la señal recibida se demodula mediante el método OFDM y la trama de señal correspondiente a la banda de frecuencia se analiza sintácticamente a partir de la señal demodulada (S220). La trama de señal se analiza sintácticamente de modo que el número de bandas de frecuencia incluidas en la trama de señal y el flujo de servicio incluido en la banda de frecuencia puedan identificarse, si la trama de señal tiene varias bandas de frecuencia. Y si las bandas de frecuencia se saltan, pueden obtenerse los símbolos de un flujo de servicio deseado.

40 La decorrelación de símbolos correspondiente al método de correlación de símbolos se realiza con respecto al flujo de símbolos y se emiten los subflujos decorrelacionados por símbolos (S230). Puede usarse el método de decorrelación de símbolos correspondiente a al menos un método de correlación de símbolos. Por ejemplo, puede usarse el método de correlación/decorrelación híbrida de símbolos.

45 La pluralidad de subflujos se multiplexan según el método de correlación de símbolos y/o la tasa de código de la codificación con corrección de errores y se emite un flujo de bits (S240). La fiabilidad del bit específico del bloque codificado con corrección de errores puede ser baja según el método de correlación de símbolos y la tasa de código de la codificación con corrección de errores. Por consiguiente, los subflujos pueden multiplexarse de modo que el MSB y el LSB de la palabra de célula correlacionados con el símbolo vuelvan a disponerse. El método de multiplexación puede corresponder al método de demultiplexación de la etapa (S130).

50 Los flujos de bits de salida se desintercalan por bits (S250). El método de desintercalación puede corresponder a la etapa (S120).

55 Los flujos desintercalados pueden decodificarse con corrección de errores (S260).

El servicio se obtiene a partir de los flujos de servicios decodificados con corrección de errores (S270).

60 Según el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la presente invención, es posible detectar y restablecer fácilmente las señales transmitidas. Además, es posible mejorar el rendimiento de transmisión/recepción de señales del sistema de transmisión/recepción.

65 Será evidente para los expertos en la técnica que pueden realizarse diversas modificaciones y variaciones en la presente invención. Por tanto, se pretende que la presente invención cubra las modificaciones y variaciones de esta invención siempre que entren en el alcance de las reivindicaciones adjuntas.

REIVINDICACIONES

1. Método para transmitir una señal, comprendiendo el método: codificar con corrección de errores (S110) un flujo de servicio según un método de codificación con corrección de errores; intercalar (S120) bits del flujo de servicio codificado con corrección de errores; demultiplexar (S130) los bits intercalados en varios subflujos, en el que el orden de bits en los subflujos emitidos por la etapa de demultiplexación es diferente del orden de los bits intercalados; correlacionar los subflujos demultiplexados con al menos un símbolo; construir (S150) una trama de señal que tiene el al menos un símbolo correlacionado; modular (S160) la trama de señal mediante un método de multiplexación por división de frecuencia ortogonal OFDM; y transmitir una señal que incluye la trama de señal modulada a través de al menos una banda de frecuencia, caracterizado porque la señal incluye una primera información y una segunda información, la segunda información tiene información del método de codificación con corrección de errores y la primera información tiene información para indicar un tamaño de transformada rápida de fourier, FFT, usado para los símbolos OFDM de la segunda información.
2. Método, para transmitir una señal, según la reivindicación 1, caracterizado porque, la etapa de correlación se realiza mediante un método de correlación de símbolos que es uno de QPSK, 16-QAM, 64-QAM y/o 256-QAM.
3. Método, para transmitir una señal según la reivindicación 1 ó 2, caracterizado porque la etapa de demultiplexación se realiza según una tasa de código del método de codificación con corrección de errores en la segunda información.
4. Método, para transmitir una señal según la reivindicación 1 a 3, caracterizado porque un bit menos significativo LSB o un bit más significativo MSB de los bits correlacionados con el símbolo se determina demultiplexando los bits intercalados según el método de codificación con corrección de errores en la segunda información.
5. Método para recibir una señal, comprendiendo el método: recibir (S210) la señal que incluye una trama de señal de al menos una banda de frecuencia; demodular (S220) la trama de señal en la señal recibida mediante un método de multiplexación por división de frecuencia ortogonal OFDM, en el que la trama de señal incluye símbolos para al menos un servicio, una primera información y una segunda información, en el que la segunda información tiene información de un método de codificación con corrección de errores, y la primera información tiene información para indicar un tamaño de transformada rápida de fourier, FFT, usado para los símbolos OFDM de la segunda información; adquirir al menos un símbolo de dicho al menos un servicio a partir de la trama de señal; decorrelacionar (S230) el al menos un símbolo adquirido en bits en varios subflujos; multiplexar (S240) los bits en los subflujos para emitir un flujo de bits, en el que el orden de bits en el flujo de bits emitido mediante la etapa de multiplexación es diferente del orden de los bits en los subflujos introducidos para la etapa de multiplexación; desintercalar (S250) los bits multiplexados; y decodificar con corrección de errores (S260) los bits desintercalados.
6. Método, para recibir una señal según la reivindicación 5, caracterizado porque la etapa de decorrelación se realiza mediante un método de decorrelación de símbolos que es uno de QPSK, 16-QAM, 64-QAM y/o 256-QAM.
7. Método, para recibir una señal según la reivindicación 5 ó 6, caracterizado porque la etapa de multiplexación se realiza según una tasa de código del método de codificación con corrección de errores en la segunda información.
8. Aparato para transmitir una señal, comprendiendo el aparato: un codificador (121; 125) con corrección de errores para codificar con corrección de errores un flujo de servicio según un método de codificación con corrección de errores; un intercalador de bits para intercalar (123; 127) bits del flujo de servicio codificado con corrección de errores; un demultiplexor (1313a; 1313b) para demultiplexar los bits intercalados en varios subflujos; en el que el orden de bits en los subflujos emitidos por el demultiplexor (1313a; 1313b) es diferente del orden de los bits intercalados; un correlacionador (131 a; 131 b) de símbolos para correlacionar los bits demultiplexados con al menos un símbolo; un constructor (130) de tramas de señal para construir una trama de señal que tiene el al menos un símbolo correlacionado; un modulador (150a; 150b) para modular la trama de señal mediante un método de multiplexación por división de frecuencia ortogonal OFDM; y un transmisor (160a; 160b) para transmitir una señal que incluye la señal modulada a través de al menos una banda de frecuencia, caracterizado porque la señal incluye una primera información y una segunda información, la segunda información tiene información del método de codificación con corrección de errores y la primera información tiene información para indicar un tamaño de transformada rápida de fourier, FFT, usado para los símbolos OFDM de la segunda información.
9. Aparato, para transmitir una señal según la reivindicación 8, caracterizado porque el correlacionador de símbolos está configurado para realizar la correlación del símbolo mediante un método de correlación de símbolos que es uno de QPSK, 16-QAM, 64-QAM y/o 256-QAM.

10. Aparato, para transmitir una señal según la reivindicación 8 ó 9, caracterizado porque el demultiplexor (1313a; 1313b) está configurado para realizar la demultiplexación sobre los bits intercalados según una tasa de código del método de codificación con corrección de errores en la segunda información.
- 5 11. Aparato, para transmitir una señal según la reivindicación 8 a 10, caracterizado porque un bit menos significativo LSB o un bit más significativo MSB de los bits correlacionados con el símbolo se determina demultiplexando los bits intercalados según el método de codificación con corrección de errores en la segunda información.
- 10 12. Aparato para recibir una señal, comprendiendo el aparato: un receptor (210a; 210b) para recibir la señal que incluye una trama de señal a partir de al menos una banda de frecuencia; un demodulador (220a; 220b) para demodular la trama de señal en la señal recibida mediante un método de multiplexación por división de frecuencia ortogonal OFDM, en el que la trama de señal incluye símbolos para al menos un servicio, una primera información y una segunda información, en el que la segunda información tiene información de un método de codificación con corrección de errores y la primera información tiene información para indicar un tamaño de transformada rápida de fourier, FFT, usado para los símbolos OFDM de la segunda información; un analizador (240) sintáctico de trama de señal para obtener al menos un símbolo de dicho al menos un servicio a partir de la trama de señal; un decorrelacionador (247a; 247b) de símbolos para decorrelacionar cada uno de los al menos un símbolo obtenido en bits en varios subflujos; un multiplexador (2475a; 2475b) para multiplexar los bits en los subflujos para emitir un flujo de bits, en el que el orden de bits en el flujo de bits emitido por el multiplexador (2475a; 2475b) es diferente del orden de los bits en los subflujos introducidos al multiplexador (2475a; 2475b); un desintercalador (2476a; 2476b) de bits para desintercalar los bits multiplexados; y un decodificador (253) con corrección de errores para decodificar con corrección de errores los bits desintercalados.
- 15 20
- 25 13. Aparato, para recibir una señal según la reivindicación 12, caracterizado porque el decorrelacionador de símbolos está configurado para realizar la decorrelación sobre el símbolo mediante un método de decorrelación de símbolos que es uno de QPSK, 16-QAM, 64-QAM y/o 256-QAM.
- 30 14. Aparato, para recibir una señal según la reivindicación 12 ó 13, caracterizado porque el multiplexador (2475a; 2475b) está configurado para realizar multiplexación sobre los bits según el método de codificación con corrección de errores en la segunda información.
- 35 15. Aparato, para recibir una señal según la reivindicación 12, caracterizado porque el método de codificación con corrección de errores incluye información correspondiente a una tasa de código.

FIG. 1

	RF 1	RF 2	RF 3	RF 4
	17	12	7	Servicio 2
	16	11	6	Servicio 2
	15	10	5	Servicio 1
	14	9	4	Servicio 1
	13	8	Servicio 3	Servicio 1
	12	7	Servicio 2	17
	11	6	Servicio 2	16
	10	5	Servicio 1	15
	9	4	Servicio 1	14
	8	Servicio 3	Servicio 1	13
	7	Servicio 2	17	12
	6	Servicio 2	16	11
	5	Servicio 1	15	10
	4	Servicio 1	14	9
	Servicio 3	Servicio 1	13	8
	Servicio 2	17	12	7
	Servicio 2	16	11	6
	Servicio 1	15	10	5
	Servicio 1	14	9	4
	Servicio 1	13	8	Servicio 3
	P2	P2	P2	P2
	P1	P1	P1	P1

↑
Tiempo
(no a escala)

FIG. 2

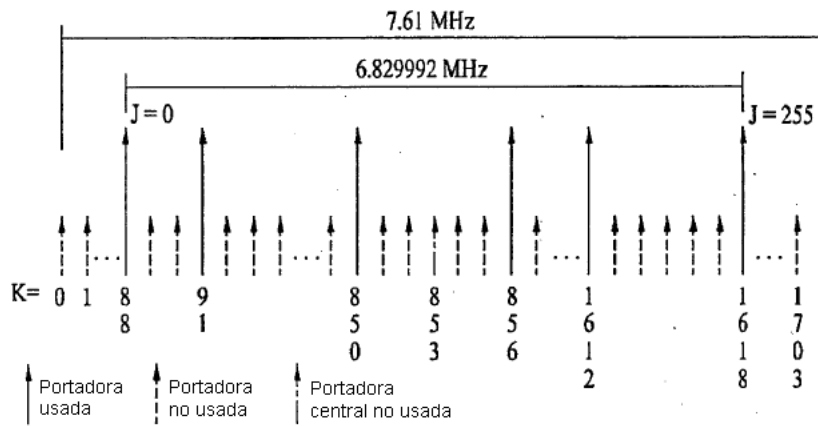


FIG. 3

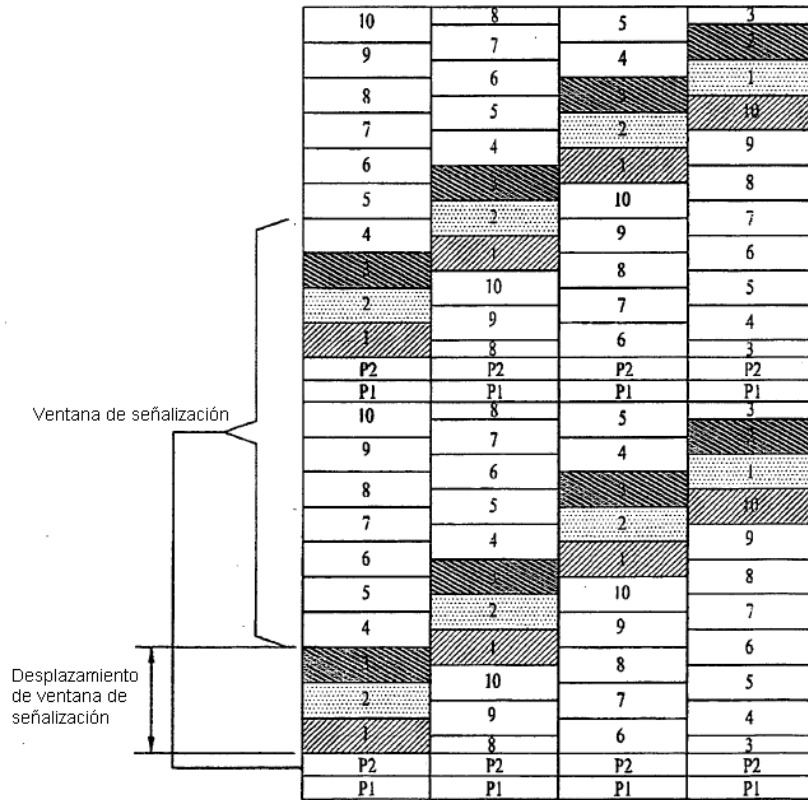


FIG. 4

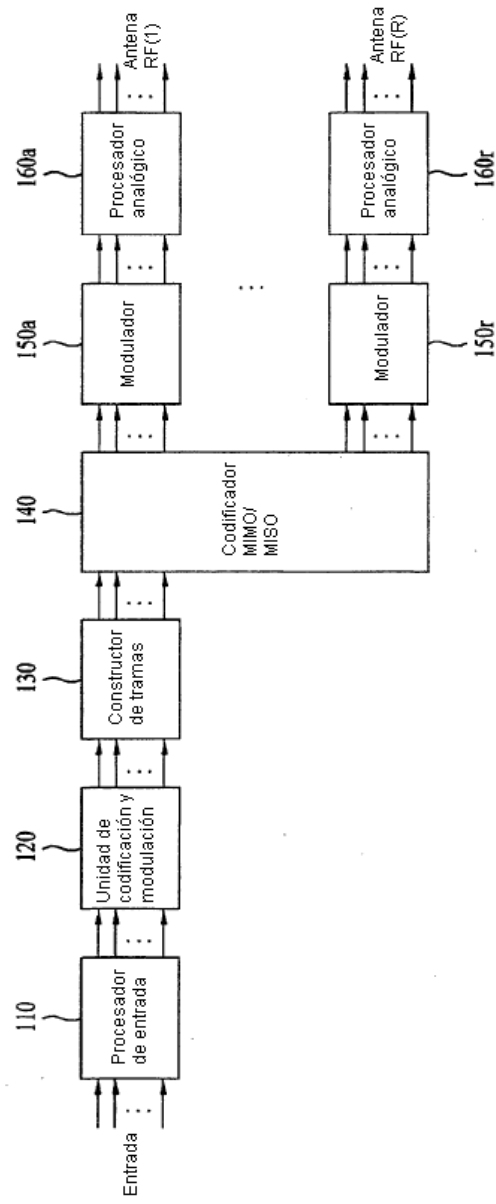


FIG. 5

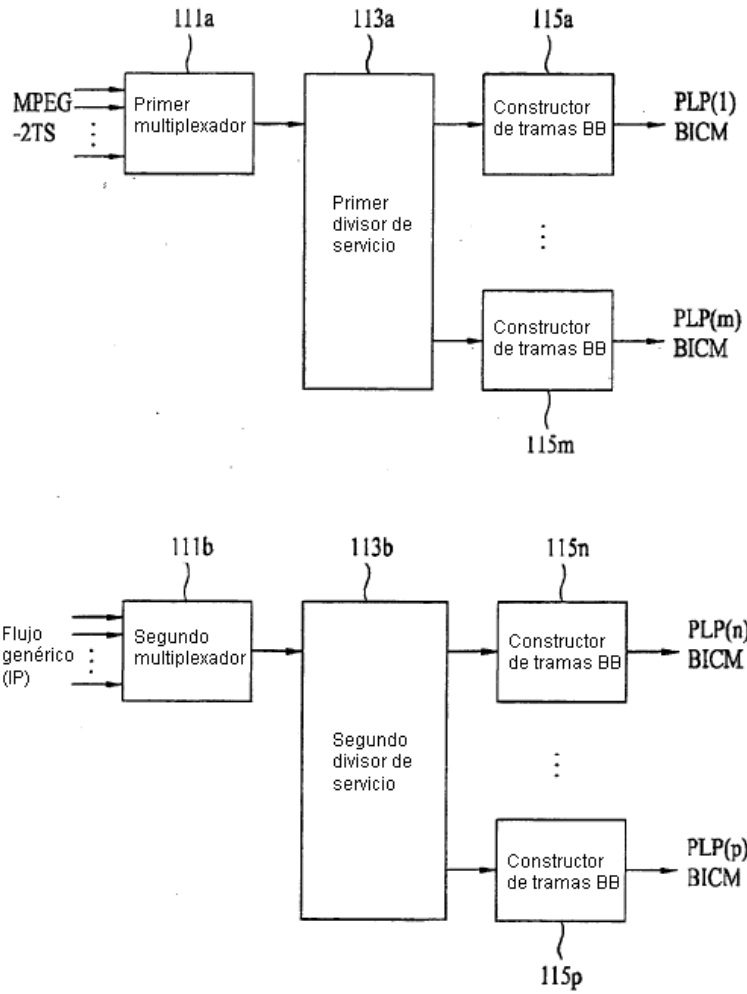


FIG. 6

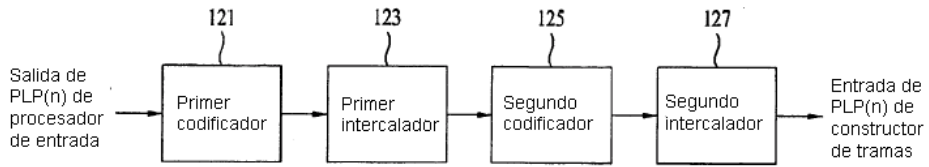


FIG. 7

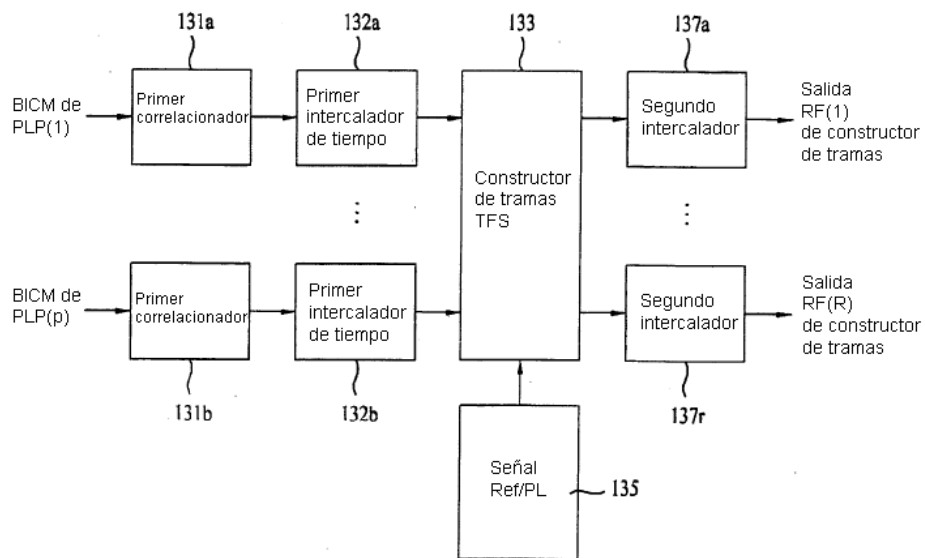


FIG. 8

bit/célula (exp.)	relación HOQ	bits HOQ	bits LOQ	simbolos HOQ	simbolos LOQ	Simbolos totales	bit/célula
256-QAM	1	64800	0	8100	0	8100	8
128-QAM hib.	3/5	38880	25920	4860	4320	9180	7.0588
64-QAM	1	64800	0	10800	0	10800	6
32-QAM hib.	3/5	38880	25920	6480	6480	12960	5
16-QAM	1	64800	0	16200	0	16200	4
8-QAM hib.	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2

FIG. 9

bit/célula (exp.)	relación HOQ	bits HOQ	bits LOQ	símbolos HOQ	símbolos LOQ	Símbolos totales	bit/célula
256-QAM	1	16200	0	2025	0	2025	8
128-QAM hib.	3/5	9720	6480	1215	1080	2295	7.0588
64-QAM	1	16200	0	2700	0	2700	6
32-QAM hib.	3/5	9720	6480	1620	1620	3240	5
16-QAM	1	16200	0	4050	0	4050	4
8-QAM hib.	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2

FIG. 10

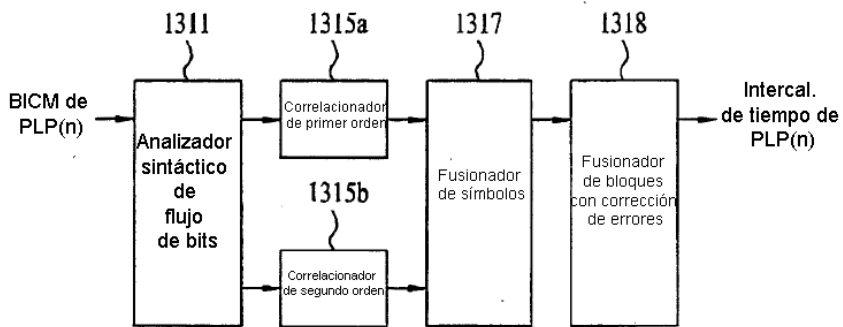


FIG. 11

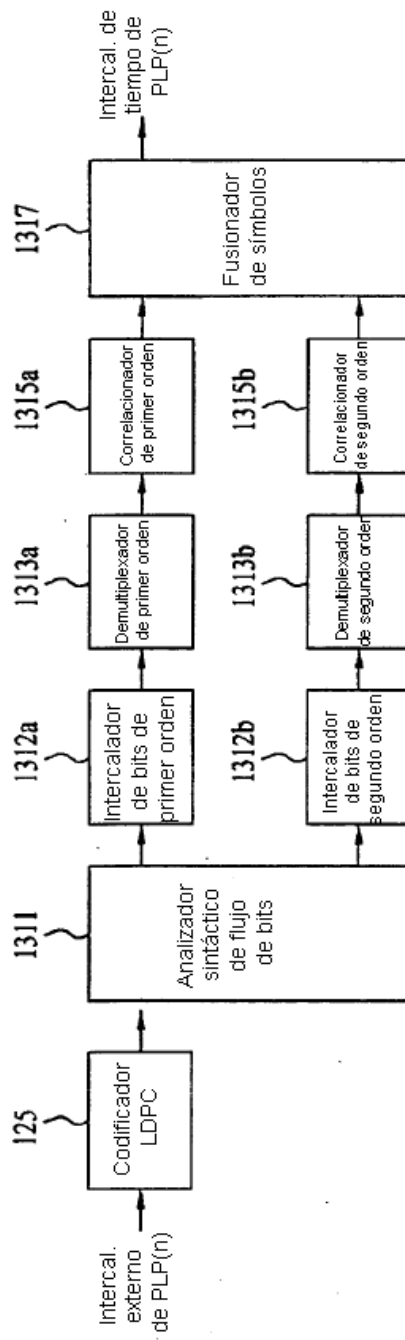


FIG. 12

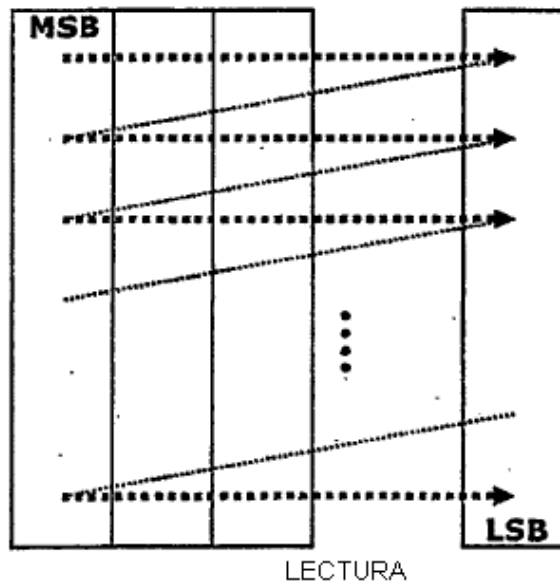
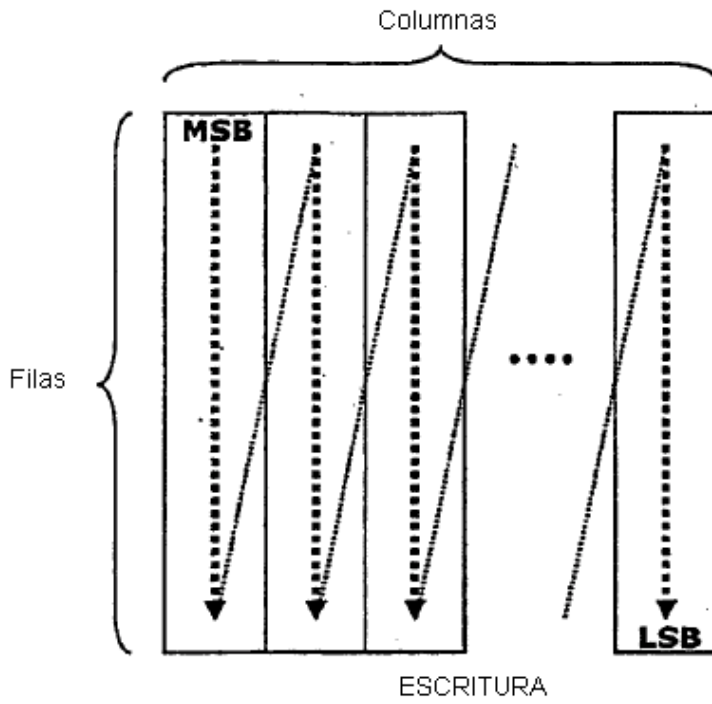


FIG. 13

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	8100	8		
128-QAM h�b.	4860	8	4320	6
64-QAM	10800	6		
32-QAM h�b.	6480	6	6480	4
16-QAM	16200	4		
8-QAM h�b.	10800	4	10800	2
4-QAM	32400	2		

FIG. 14

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	2025	8		
128-QAM h�b.	1215	8	1080	6
64-QAM	2700	6		
32-QAM h�b.	1620	6	1620	4
16-QAM	4050	4		
8-QAM h�b.	2700	4	2700	2
4-QAM	8100	2		

FIG. 15

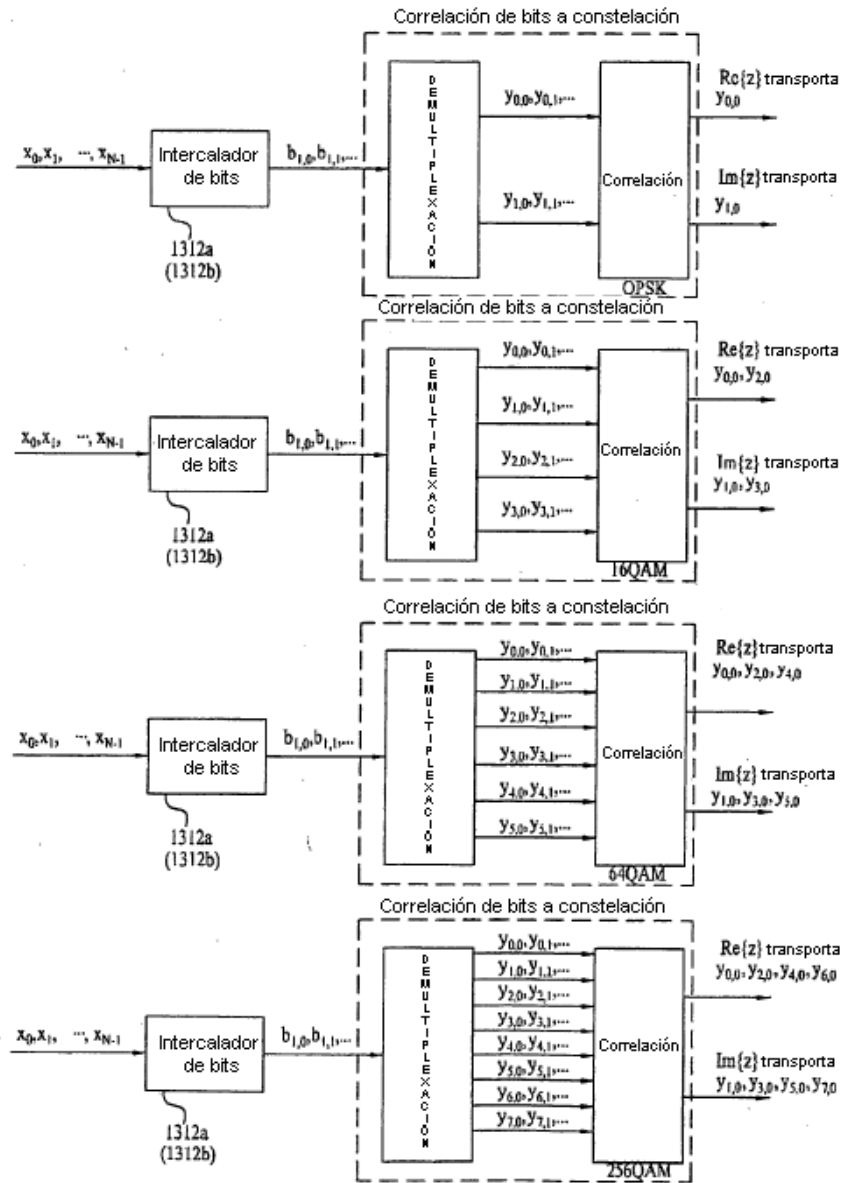


FIG. 16

QPSK
b 0 se correlaciona con y0,0
b 1 se correlaciona con y1,0

16-QAM
b 0 se correlaciona con y2,0
b 1 se correlaciona con y3,0
b 2 se correlaciona con y0,0
b 3 se correlaciona con y1,0

64-QAM
b 0 se correlaciona con y4,0
b 1 se correlaciona con y5,0
b 2 se correlaciona con y2,0
b 3 se correlaciona con y3,0
b 4 se correlaciona con y0,0
b 5 se correlaciona con y1,0

256-QAM
b 0 se correlaciona con y6,0
b 1 se correlaciona con y7,0
b 2 se correlaciona con y4,0
b 3 se correlaciona con y5,0
b 4 se correlaciona con y2,0
b 5 se correlaciona con y3,0
b 6 se correlaciona con y0,0
b 7 se correlaciona con y1,0

FIG. 18

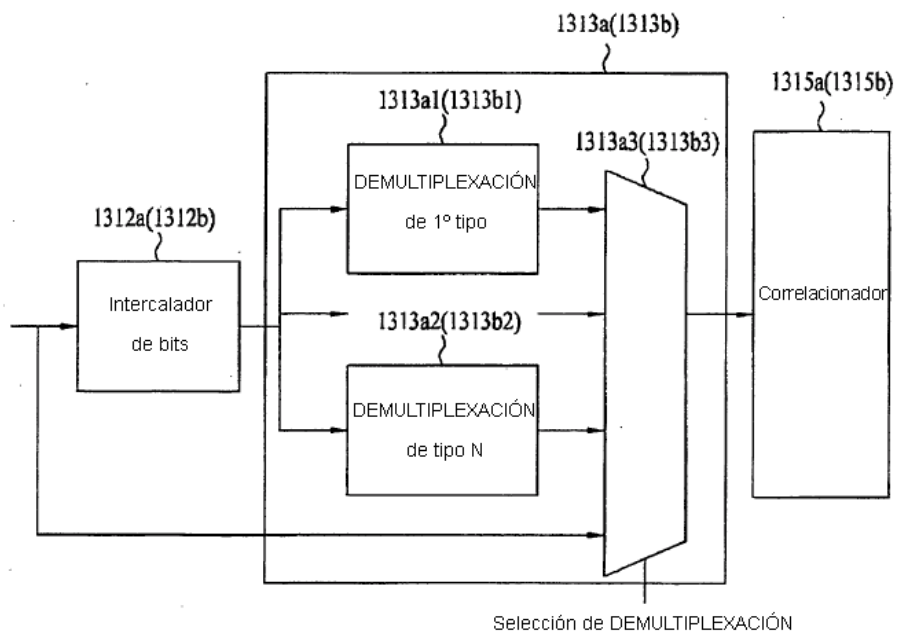


FIG. 19

qam	cr	Selección de DEMULTIPLEXACIÓN
4-qam	1/4	todos
	1/3	todos
	2/5	todos
	1/2	todos
	3/5	todos
	2/3	todos
	3/4	todos
	4/5	todos
	5/6	todos
	8/9	todos
9/10	todos	
16-qam	1/4	Sin int. – Sin demultiplex.
	1/3	Sin int. – Sin demultiplex.
	2/5	Sin int. – Sin demultiplex.
	1/2	Sin int. – Sin demultiplex.
	3/5	9, 10 ó 12
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
64-qam	1/4	Sin int. – Sin demultiplex.
	1/3	Sin int. – Sin demultiplex.
	2/5	Sin int. – Sin demultiplex.
	1/2	Sin int. – Sin demultiplex.
	3/5	9, ó 10
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
256-qam	1/4	Sin int. – Sin demultiplex.
	1/3	Sin int. – Sin demultiplex.
	2/5	Sin int. – Sin demultiplex.
	1/2	Sin int. – Sin demultiplex.
	3/5	9
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	

FIG. 20

$$\text{QPSK} : i = 0, 1, 2, \dots, \frac{N}{2} - 1,$$

$$(y_{0,i}, y_{0,i}) = (x_i, x_{N/2+i}),$$

$$\text{16-QAM} : i = 0, 1, 2, \dots, \frac{N}{4} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}) = \left\{ \frac{x_{2N+i}}{4}, \frac{x_{3N+i}}{4}, x_i, \frac{x_{N+i}}{4} \right\}$$

$$\text{64-QAM} : i = 0, 1, 2, \dots, \frac{N}{6} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}) = \left\{ \frac{x_{4N+i}}{6}, \frac{x_{5N+i}}{6}, \frac{x_{2N+i}}{6}, \frac{x_{3N+i}}{6}, x_i, \frac{x_{N+i}}{6} \right\}$$

$$\text{256-QAM} : i = 0, 1, 2, \dots, \frac{N}{8} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}, y_{6,i}, y_{7,i}) = \left\{ \frac{x_{6N+i}}{8}, \frac{x_{7N+i}}{8}, \frac{x_{4N+i}}{8}, \frac{x_{5N+i}}{8}, \frac{x_{2N+i}}{8}, \frac{x_{3N+i}}{8}, x_i, \frac{x_{N+i}}{8} \right\}$$

FIG. 21

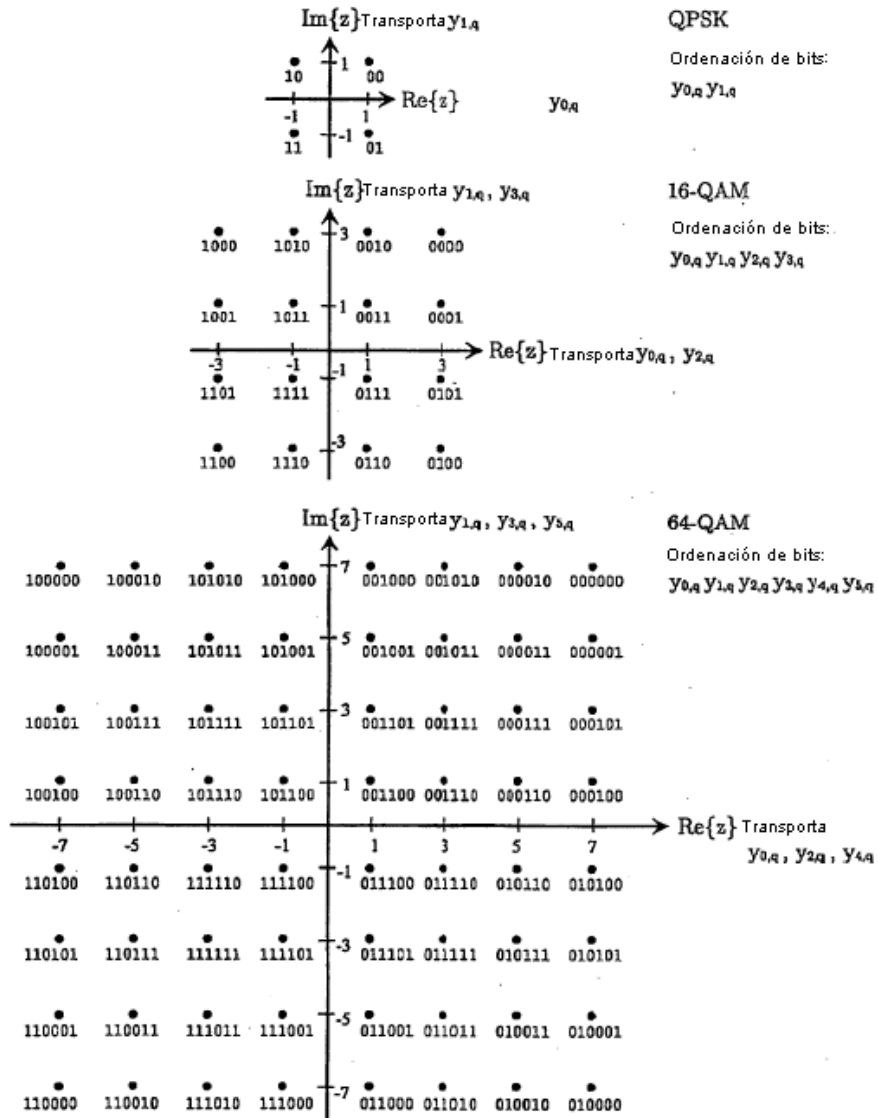


FIG. 22

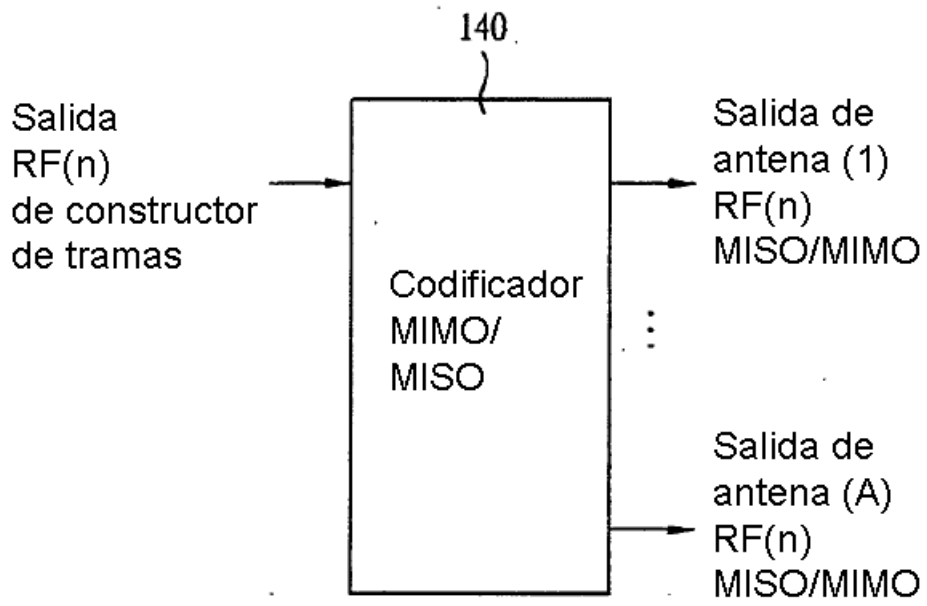


FIG. 23

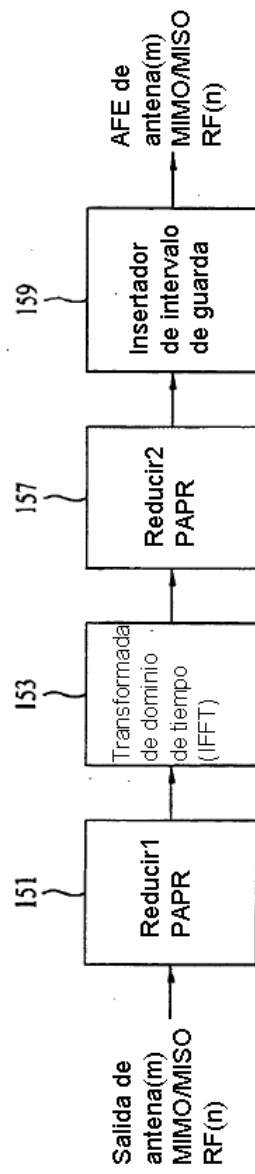


FIG. 24

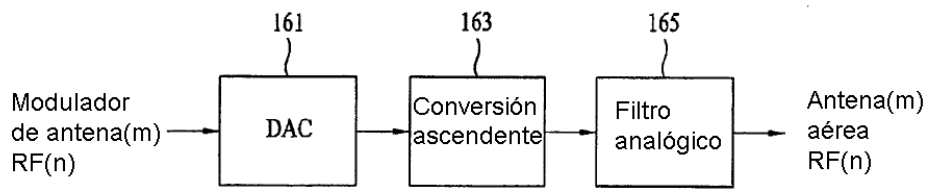


FIG. 25

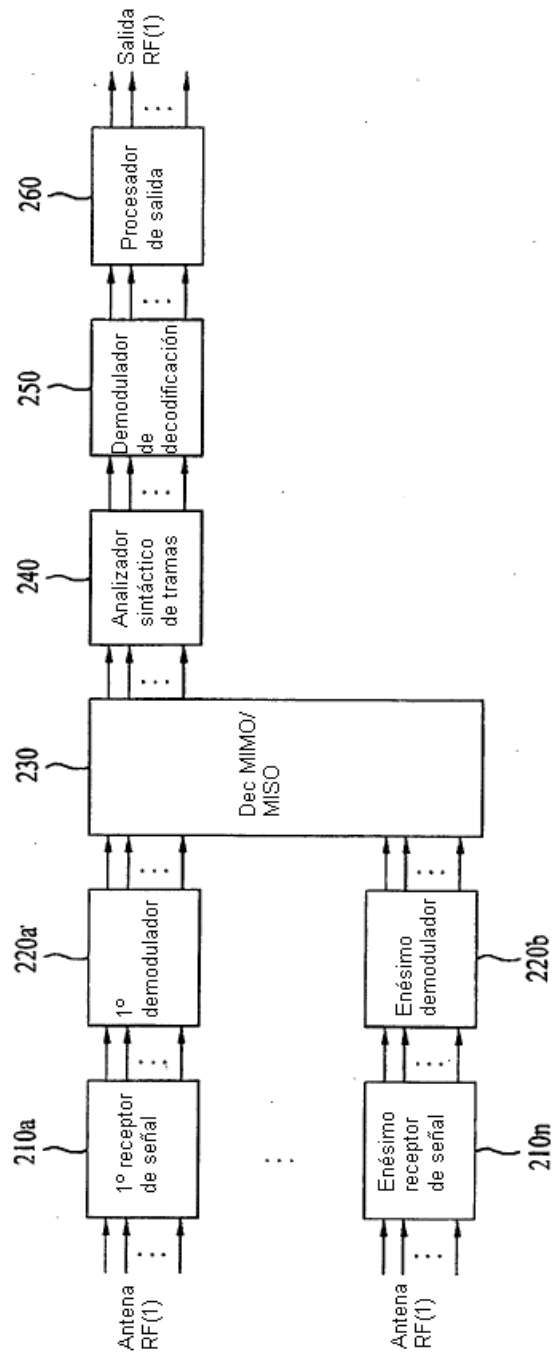


FIG. 26

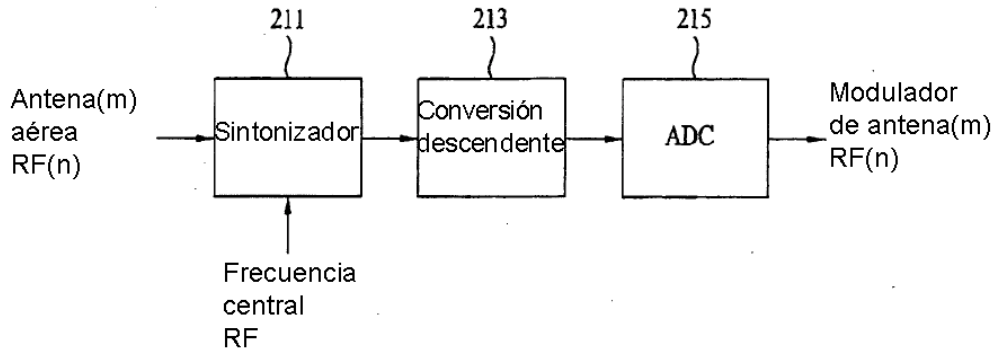


FIG. 27

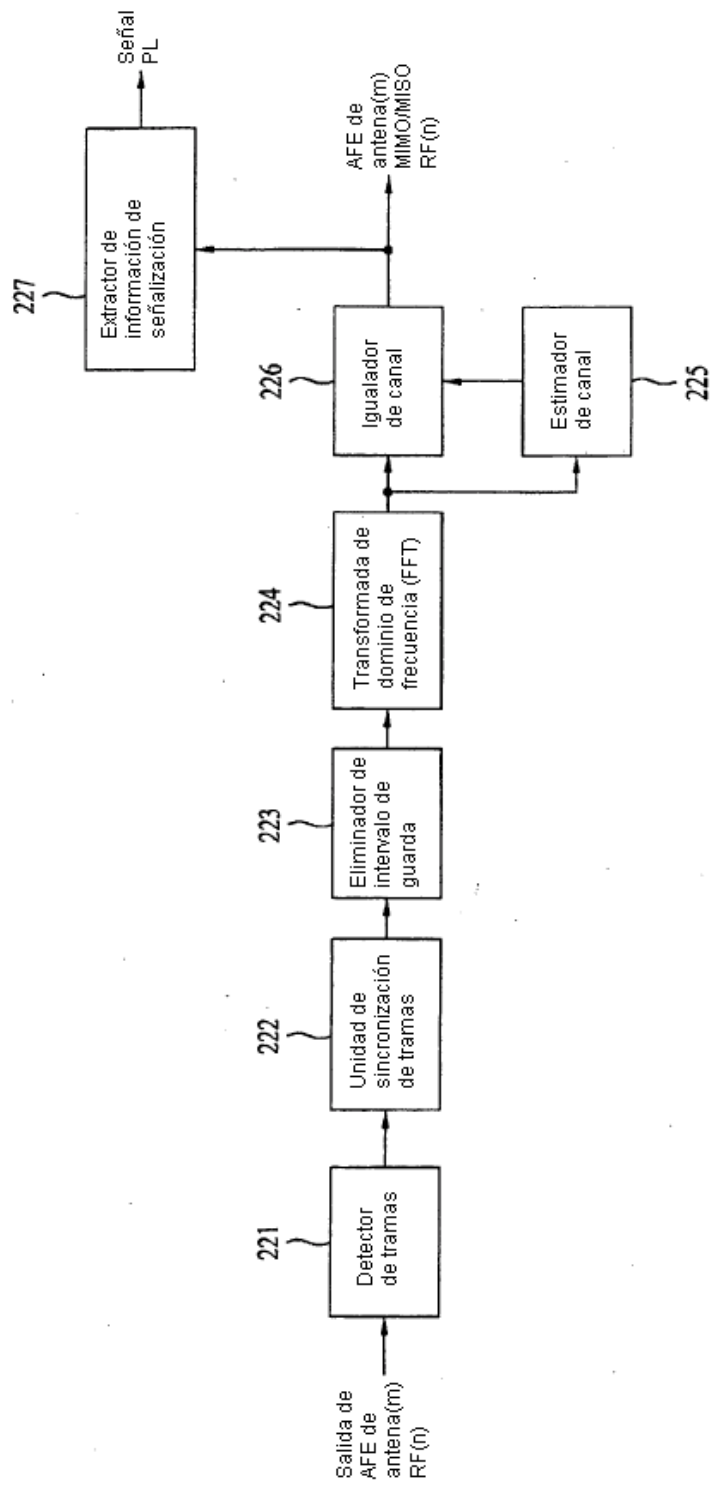


FIG. 28

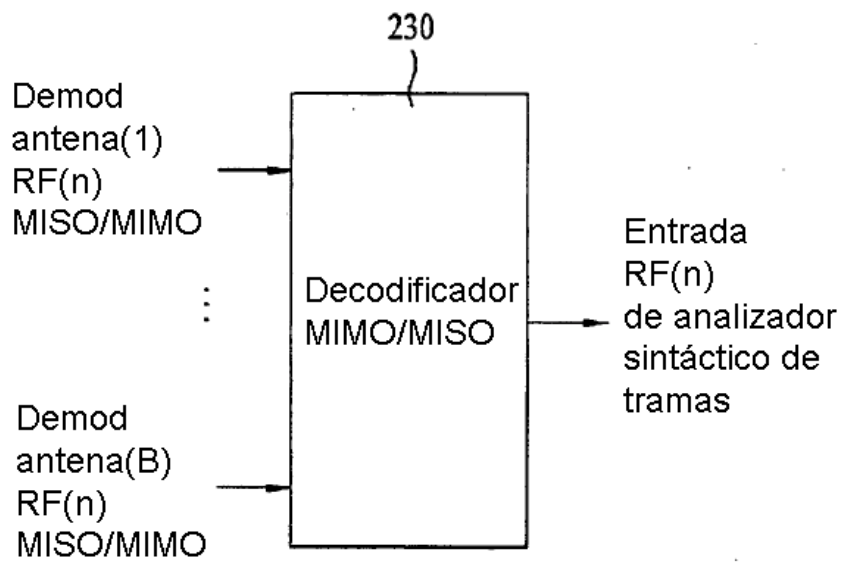


FIG. 29

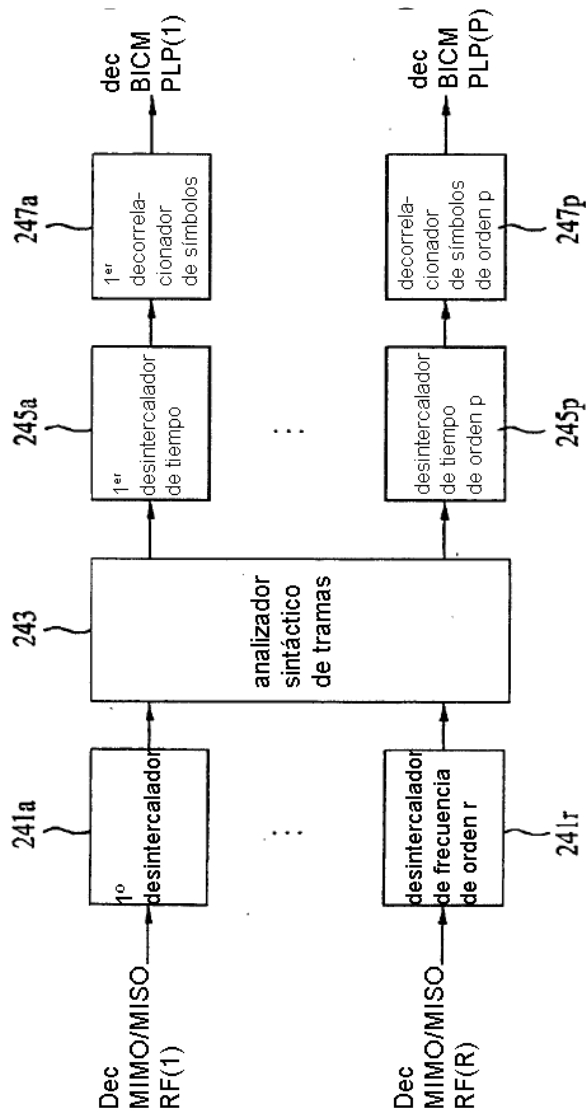


FIG. 30

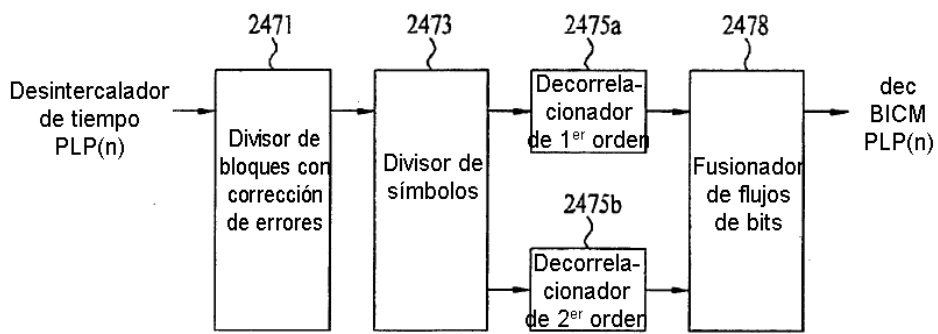


FIG. 31

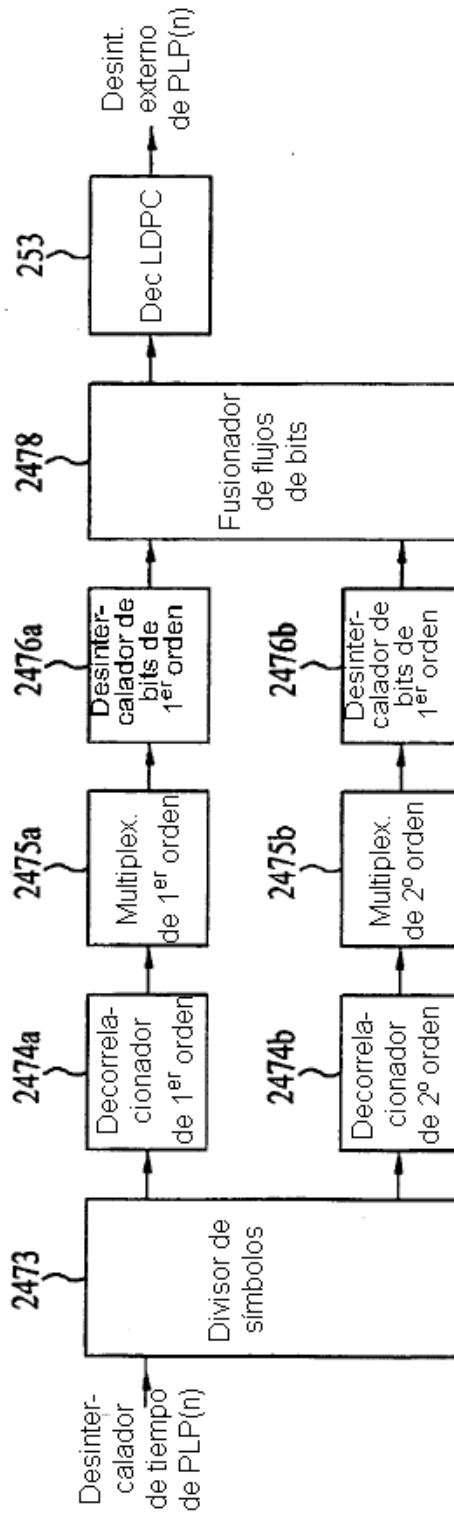


FIG. 32

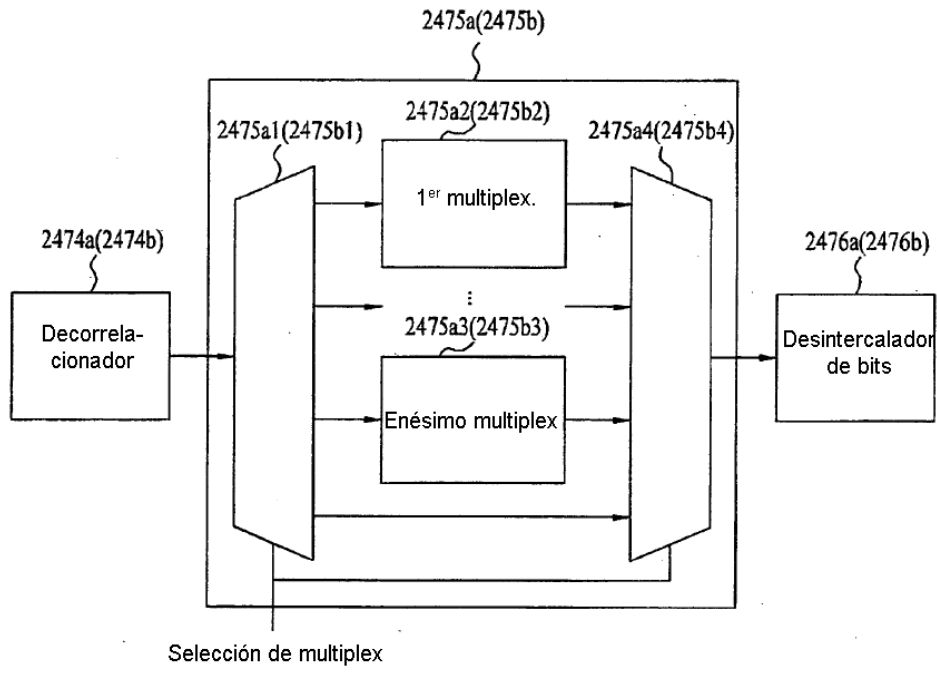


FIG. 33

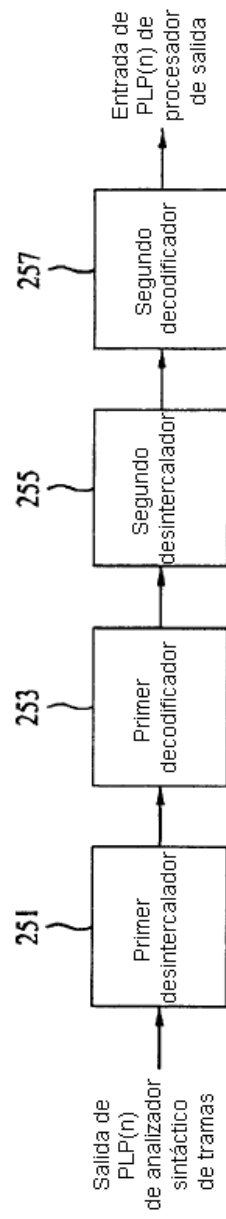


FIG. 34

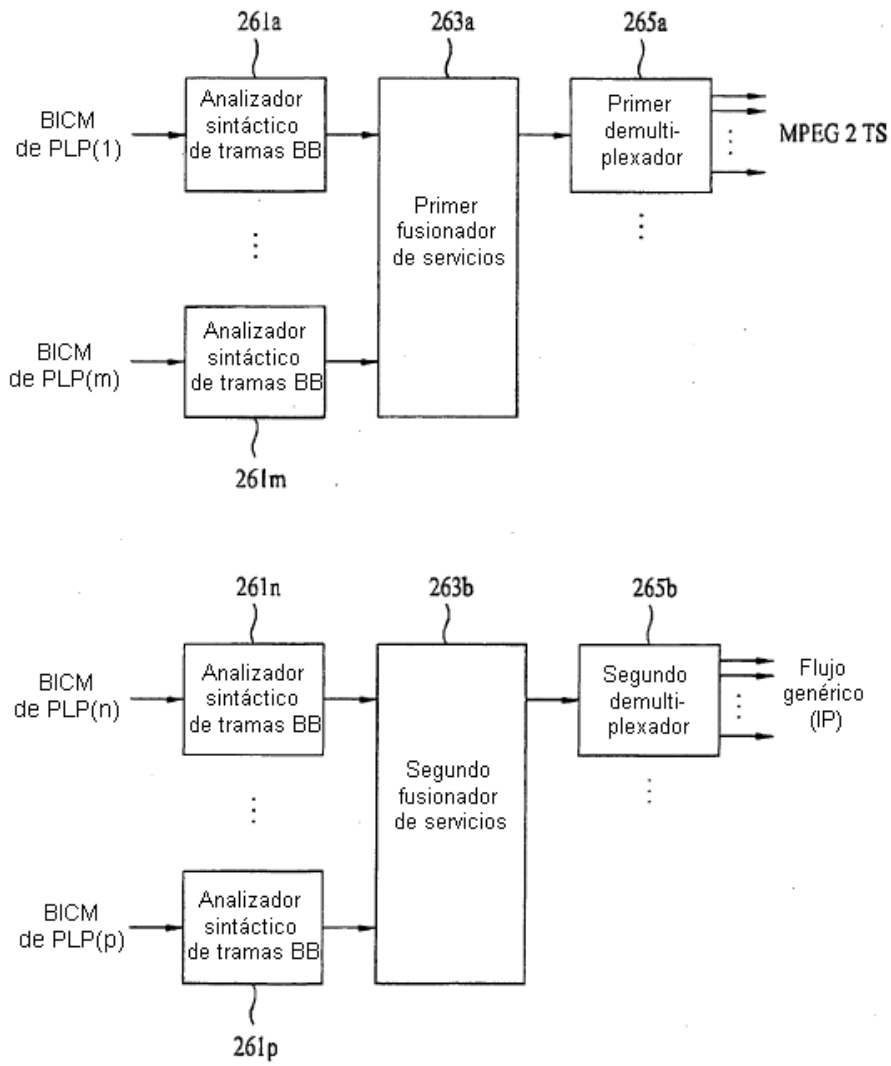


FIG. 35

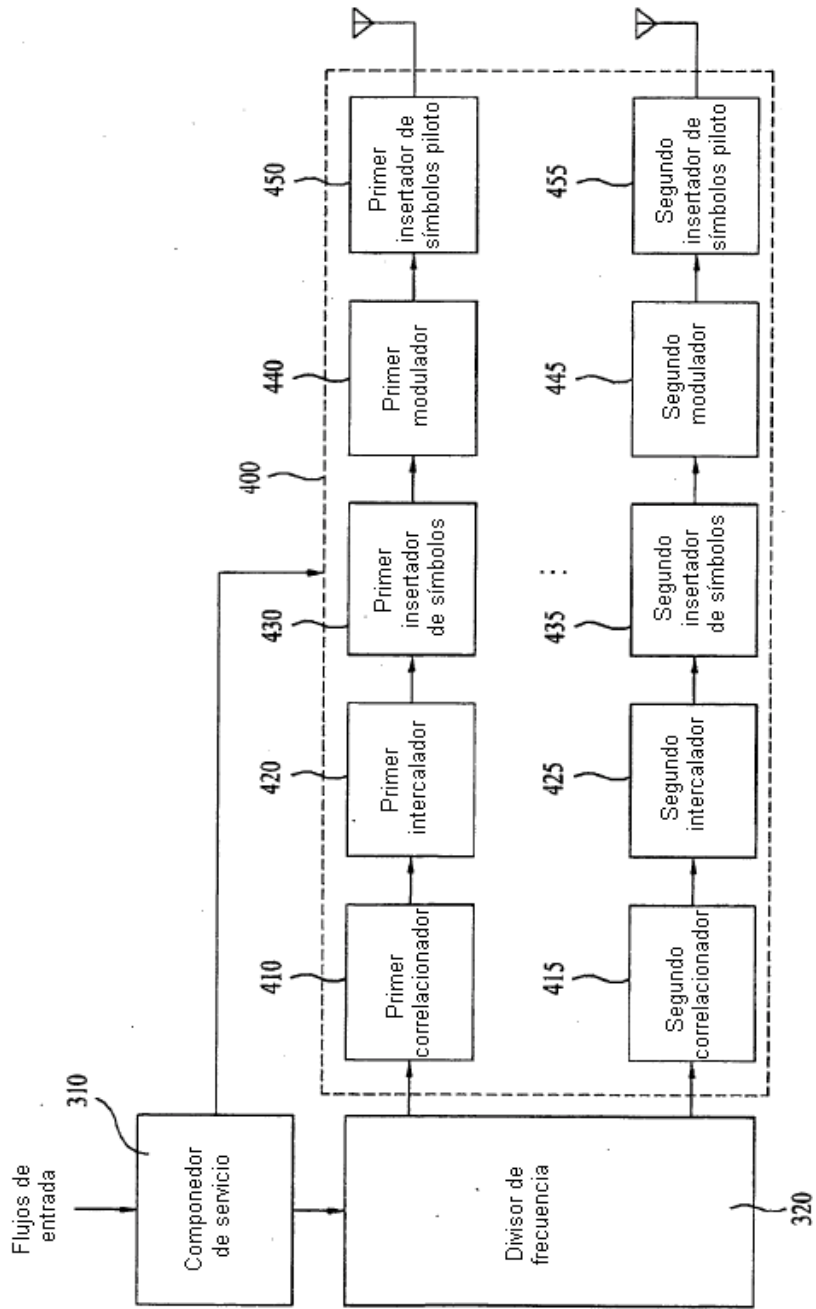


FIG. 36

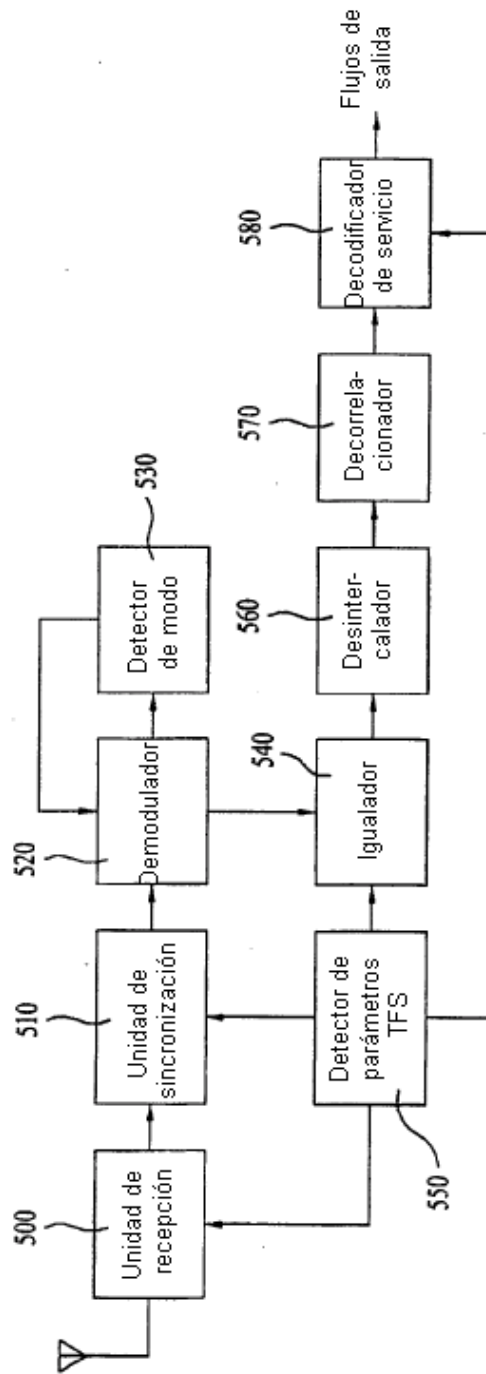


FIG. 37

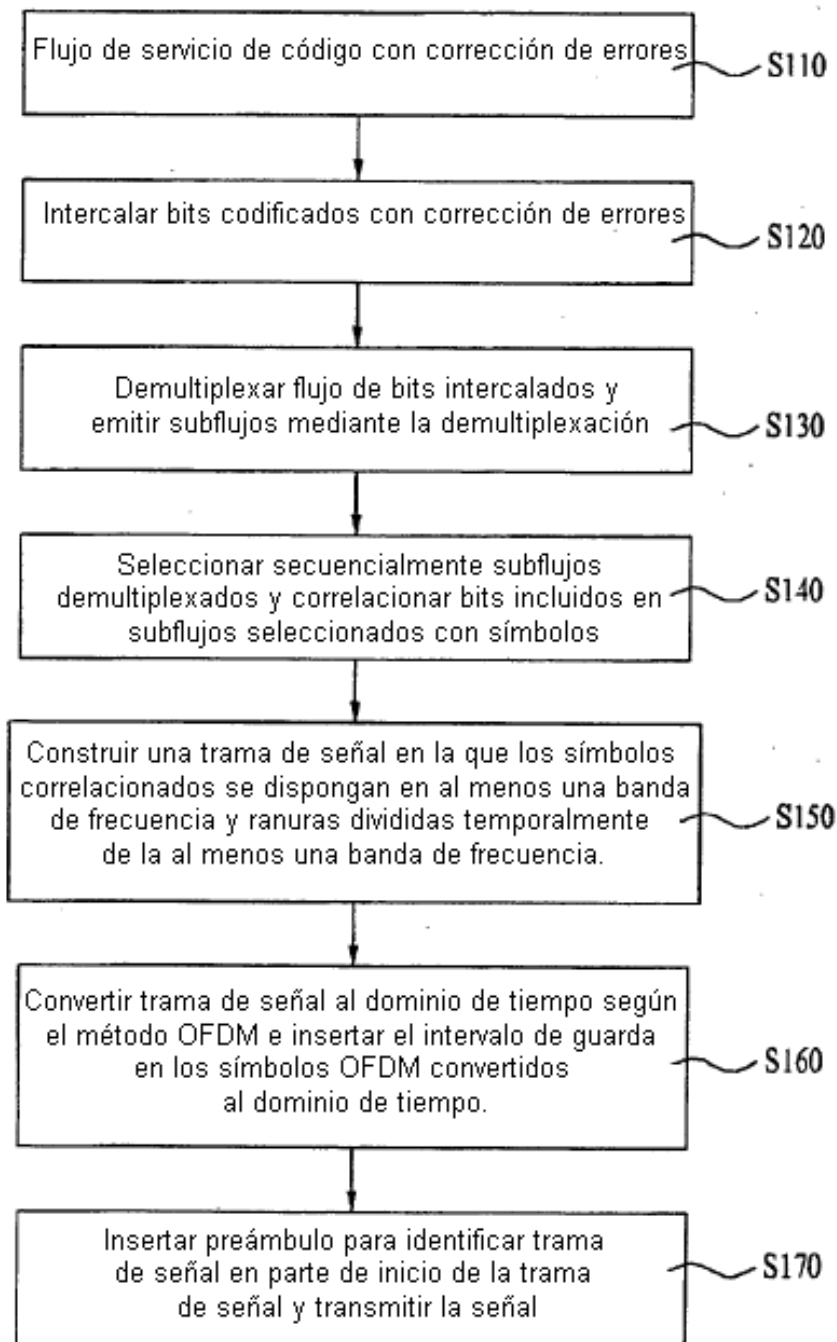


FIG. 38

