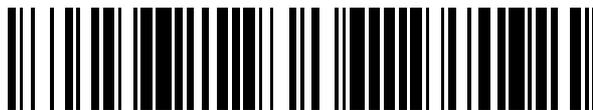


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 366 727**

21 Número de solicitud: 200902006

51 Int. Cl.:

H01L 21/8232 (2006.01)

H01L 21/335 (2006.01)

C23C 14/35 (2006.01)

12

PATENTE DE INVENCION

B1

22 Fecha de presentación: **16.10.2009**

43 Fecha de publicación de la solicitud: **25.10.2011**

Fecha de la concesión: **31.08.2012**

45 Fecha de anuncio de la concesión: **12.09.2012**

45 Fecha de publicación del folleto de la patente:
12.09.2012

73 Titular/es:
**UNIVERSIDAD COMPLUTENSE DE MADRID
AVDA. SÉNECA, 2
28040 MADRID, ES**

72 Inventor/es:
**FEIJOO GUERRO, PEDRO;
SAN ANDRÉS, ENRIQUE;
TOLEDANO LUQUE, MARÍA;
DEL PRADO MILLÁN, ÁLVARO;
LUCIA MULAS, MARÍA LUISA;
MARTIL DE LA PLAZA, IGNACIO y
GONZÁLEZ DÍAZ, GERMÁN**

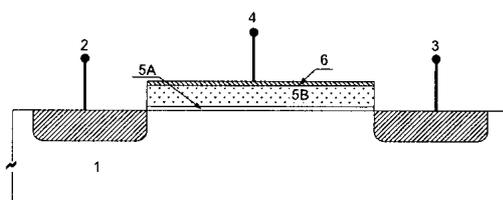
74 Agente/Representante:
No consta

54 Título: **MÉTODO PARA LA FABRICACIÓN DE ESTRUCTURAS DE PUERTA DE TRANSISTORES MOSFET MEDIANTE TÉCNICAS DE PLASMA SIN UTILIZAR GASES CONTAMINANTES.**

57 Resumen:

La presente invención se refiere a un método de obtención de estructuras de puerta de transistores MOSFET con la combinación de dos técnicas de depósito por plasma de materiales dieléctricos: Electron Cyclotron Resonance (ECR) y High Pressure Sputtering (HPS). El depósito de dieléctricos sobre Si con HPS no requiere, durante el proceso de fabricación, de gases con elementos metálicos, habitualmente utilizados cuando se recurre a técnicas convencionales, extremadamente tóxicos y contaminantes y que elevan enormemente los costos de procesamiento de residuos. Antes de depositar el dieléctrico, se protege el Si con la técnica ECR, con la que se obtiene por nitruración del Si, en atmósfera de N₂, una capa muy fina de SiN (5A). Sobre esta capa se deposita con HPS una capa de Sc₂O₃ (5B) en atmósfera de Ar.

Opcionalmente, encima de éste dieléctrico y también con HPS, se deposita el electrodo metálico (6) de TaN en atmósfera de Ar.



ES 2 366 727 B1

DESCRIPCIÓN

Método para la fabricación de estructuras de puerta de transistores MOSFET mediante técnicas de plasma sin utilizar gases contaminantes.

5

Sector técnico

La presente invención se encuadra en el sector de la microelectrónica en lo relativo a la fabricación de dispositivos semiconductores. Más específicamente se relaciona con un método de fabricación de estructuras de puerta de transistores MOSFET.

10

Estado de la técnica

Los transistores MOSFET tanto de tipo n-MOS como de tipo p-MOS son la pieza básica de la tecnología microelectrónica actual y los responsables de la cada vez mayor capacidad de cálculo de los ordenadores [Internacional Technology Roadmap for Semiconductors, <http://www.itrs.net/Links/2007ITRS/>].

15

Según la ley de Moore, el número de transistores por cada circuito integrado se dobla aproximadamente cada dos años. Este aumento en la densidad de integración es posible gracias a la reducción de los tamaños de los transistores. Un transistor MOSFET (en la Figura 1 se muestra el esquema de un transistor MOSFET) está compuesto esencialmente por un sustrato de Si (1) con dos electrodos que se denominan Drenador (2) y Fuente (3) y una estructura de Puerta (4) que es coplanar con el sustrato y que se extiende entre los dos electrodos anteriores. La estructura de puerta está formada por el dieléctrico de puerta o aislante (5), en íntimo contacto con el sustrato de Silicio (1) y el electrodo de puerta (6), depositado encima del dieléctrico (5) y constituido por un material metálico o semiconductor de alta conductividad.

20

25

La puerta de transistores MOSFET (4) es la zona fundamental en el funcionamiento del dispositivo. Dicha zona tiene que reunir unos requisitos, tanto eléctricos como geométricos, muy estrictos para garantizar el correcto funcionamiento del transistor. Desde el punto de vista eléctrico, la intercara entre el sustrato semiconductor (1) y el aislante (5) debe ser lo menos defectuosa posible para garantizar el paso de corriente entre el Drenador (2) y la Fuente (3). Por otra parte, las prestaciones del MOSFET son tanto mejores cuanto más reducido es el espesor del aislante de la Puerta (5), ya que un dieléctrico delgado tiene mayor capacidad eléctrica lo que permite controlar los efectos de canal corto y además aumenta la corriente del transistor. En concreto, el aislante de la puerta debe tener el mínimo espesor posible para optimizar las características eléctricas, pero su espesor físico debe ser mayor de 2 nm para evitar corrientes de fuga por efecto túnel. En la actualidad, la industria microelectrónica está instalando en las cadenas de producción dieléctricos de alta permitividad basados en hafnio [US7049192B2], lo que permite que el espesor del dieléctrico no sea excesivamente fino sin comprometer las características eléctricas del mismo. Por ejemplo, Intel en su nodo tecnológico de 32 nm emplea un aislante basado en HfO₂ con un espesor eléctrico equivalente (EOT) de 0.9 nm, lo que significa un espesor físico de unos 2.3 nm [S. Natarajan *et al.* "A 32 nm technology featuring 2nd generation High-k + metal gate transistors, enhanced channel strain and 0.171 μm² SRAM cell size in a 291 Mb array" IEDM Tech. Dig. 247 (2008) pag. 1-3]. En la carrera por conseguir mejores rendimientos próximamente serán necesarios dieléctricos de alta permitividad de segunda generación para sustituir a los aislantes basados en hafnio por otros materiales con mayor permitividad o con mejores posibilidades de integración [J. Robertson "High dielectric constant gate oxides for metal oxide Si transistors" Rep. Prog. Phys. 69 (2006) 327].

30

35

40

45

Los grupos de investigación que trabajan con Sc₂O₃ fabrican el aislante de la puerta con técnicas como el Atomic Layer Deposition [US7378354B2], donde el dieléctrico se obtiene realizando ciclos de gases, en los que secuencialmente se introduce el precursor de escandio, que puede ser Sc(THD)₃ (THD = 2,2,6,6-tetrametil-3,5-heptanodionato), (C₅H₅)₃Sc, M(EDMDD)₃ (M=Sc; EDMDD=6-Etil-2,2-Di Metil-3,5-Decanodionato), etc, y después un gas oxidante, habitualmente agua. En estos procesos, el espesor total de la película se controla mediante el número total de ciclos realizado, ya que en cada ciclo se depositan entre 0.1-0.3 monocapas de aislante, dependiendo de los precursores y la temperatura de los sustratos. Los gases precursores de escandio (y en general de tierras raras) son muy tóxicos y contaminantes, por lo que tanto la obtención como el procesado posterior de los mismos es muy costoso y delicado, a fin de asegurar un proceso de fabricación no dañino para el medio ambiente.

50

55

Descripción de la invención

Un aspecto de la invención se refiere a un método para fabricar el dieléctrico de la Puerta de un transistor MOSFET sin recurrir al uso de gases tóxicos o contaminantes. El método comprende la combinación de dos técnicas de plasma, *High Pressure Sputtering* (HPS) y *Electron Cyclotron Resonance* (ECR). En ambas, el plasma se obtiene a partir de un gas noble (preferentemente Ar con la técnica HPS) o inerte (preferentemente N₂ con la técnica ECR). El método incluye, primero, nitrurar la superficie del Si con ECR en atmósfera de N₂ y posteriormente depositar el dieléctrico con HPS, mediante el bombardeo iónico del blanco de partida con Ar. Adicionalmente, el electrodo metálico superior de la estructura de Puerta se obtiene bien con cualquier técnica convencional, bien con la misma técnica HPS bombardeando en atmósfera de Ar un blanco de TaN.

60

65

La principal ventaja de este método con respecto a los procedimientos habituales de obtención de la puerta es que se disminuye notablemente la utilización de gases tóxicos o contaminantes durante el proceso de fabricación. En el caso de que el electrodo metálico superior de la estructura de la Puerta se obtenga también utilizando la técnica HPS, la utilización de gases tóxicos o contaminantes durante el proceso de fabricación queda totalmente eliminada.

5 Como ya se ha indicado en el párrafo anterior, en esta patente se plantea utilizar la técnica HPS para la obtención del aislante de la puerta sin necesidad de recurrir al uso de gases contaminantes. La técnica HPS tiene como fundamento el crecimiento de una capa delgada de un cierto material a partir de la extracción de átomos de una pastilla de este mismo material por bombardeo de iones de un gas noble (Argón). Esto es posible ya que el gas noble se ioniza formando un plasma de iones positivos que son acelerados hacia la pastilla que se encuentra a potencial eléctrico negativo (por lo que dicha pastilla se denomina "cátodo", debido a su polarización, o "blanco", ya que es objeto de bombardeo iónico). Los átomos arrancados del blanco se adhieren a un sustrato de Silicio formando la película delgada. Atendiendo a estos procesos, la técnica recibe el nombre de pulverización catódica. La particularidad del sistema de pulverización que presentamos es que los procesos de bombardeo, extracción de especies del blanco y crecimiento de la película se realizan a altas presiones de Argón. Trabajamos a presiones comprendidas entre 0.2 y 2 mbar, siendo el valor habitual 0.5 mbar, dos o tres órdenes de magnitud en presión por encima de las presiones de trabajo en los sistemas de pulverización convencionales y/o industriales, por lo que el plasma queda muy confinado en una estrecha zona próxima al blanco.

20 La pulverización catódica de alta presión no puede por sí sola resolver el problema planteado en esta propuesta de patente, puesto que la intercara Dieléctrico/Silicio que se obtiene es defectuosa y por lo tanto, el paso de corriente desde el Drenador a la Fuente no se controla de forma óptima. La calidad eléctrica de esta intercara puede optimizarse de forma aceptable modificando la superficie de silicio previamente al depósito del Sc_2O_3 mediante el método conocido como nitruración. Consiste en la formación de nitruro de Silicio (SiN) usando la reacción entre Nitrógeno gas y el silicio del sustrato. El nitruro de Silicio así crecido ocupa un espesor mínimo y produce una calidad eléctrica en la intercara Dieléctrico /Silicio muy buena. Puesto que esta invención pretende resolver el problema de la grave contaminación de los procesos microelectrónicos, esta nitruración se realiza también de forma limpia usando la técnica de plasma ECR. Esta técnica se basa en la generación de un plasma a partir de un gas o mezcla de gases precursores, mediante la aplicación simultánea de un campo magnético y un campo de microondas. La frecuencia del campo de microondas y el valor del campo magnético se ajustan para cumplir la condición de resonancia ciclotrónica, que consiste en igualar la frecuencia del campo de microondas y la frecuencia de las órbitas que describen los electrones como consecuencia de la aplicación del campo magnético. De esta forma se maximiza la potencia absorbida por el plasma, logrando una gran eficiencia de ionización del gas precursor, permitiendo el uso de gases inertes, en general con energías de enlace altas, como es el N_2 . La variación de los tiempos de nitruración permite modificar el espesor de las capas depositadas. La presente invención comprende tiempos de nitruración entre 30 segundos y 60 minutos con los que se obtienen capas dieléctricas de SiN sobre la superficie del Si de entre 1,5 y 3,5 nm de espesor.

Por lo que respecta al electrodo de Puerta, lo obtenemos a partir de un blanco de TaN con la misma técnica HPS empleada para obtener el dieléctrico de puerta. Los intervalos de presión de trabajo son los mismos que los empleados anteriormente. Este proceso se realiza justo después del depósito del Sc_2O_3 durante el mismo ciclo de vacío.

Todo el proceso descrito empleando sustratos de Si de tipo n se realiza en las mismas condiciones para depositar la estructura de puerta empleando sustratos tipo p. Las condiciones de obtención de la estructura son idénticas al caso de los sustratos de tipo n.

45 Descripción de los dibujos

Figura 1. Esquema simplificado de un transistor MOSFET, con la estructura típica de los dispositivos comerciales.

50 Figura 2. Ilustración del proceso de fabricación de la puerta (4). Estructura después de realizar la nitruración de la superficie de Si (1) y obtener una capa dieléctrica de SiN (5A).

Figura 3. Ilustración del proceso de fabricación de la puerta (4). Estructura después de realizar el depósito del dieléctrico Sc_2O_3 (5B).

55 Figura 4. Ilustración del proceso de fabricación de la puerta (4). Estructura después de realizar el depósito del metal (TaN) que forma el electrodo superior (6).

Modo de realizar la invención

60 Ejemplo 1

Para fabricar una puerta (4) de transistor MOSFET, se partió de obleas de silicio cristalino de alta resistividad de tipo n ($10 \Omega \cdot \text{cm}$) de tipo Cz y orientación $\langle 1,0,0 \rangle$. La elección preferente de obleas de alta resistividad viene motivada con el fin de ajustar el valor de la tensión umbral del transistor finalizado. A continuación se limpiaron las obleas utilizando un ataque RCA2 consistente en una disolución 6:1:1 $\text{H}_2\text{O}:\text{HCl}:\text{H}_2\text{O}_2$ calentado a 80°C durante 3 minutos y después en $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ (1 minuto a 25°C) seguido de un baño en HF (1 minuto a 25°C).

ES 2 366 727 B1

5 A continuación las obleas se introdujeron en el sistema ECR y se procedió a la nitruración del Si. El proceso se realizó en atmósfera de N_2 , a una presión de aproximadamente 10^{-3} mbar, con un flujo de N_2 de 10,5 sccm y con una potencia de microondas de 100 W y una frecuencia de 2.45 GHz. El sustrato se mantuvo durante todo el proceso a $200^\circ C$ y la nitruración se realizó durante 30 s. Este proceso produjo una capa dieléctrica de SiN (5a) sobre la superficie del Si (1) de 1.5 nm.

10 A continuación, la oblea nitrurada se transfirió al sistema HPS donde se procedió a depositar la capa de Sc_2O_3 (5B). El depósito se realizó en atmósfera de Ar, a una presión de 0.5 mbar. Se utilizó como blanco un disco comercial de Sc_2O_3 , con una pureza de 99.99%. El sustrato se mantuvo a $200^\circ C$ y el depósito se realizó durante 30 min. Así se obtuvo una capa de 6 nm. Al finalizar este proceso se obtuvo el dieléctrico de puerta (5) con un espesor de 7.5 nm. Finalmente y en la misma cámara donde se obtuvo el dieléctrico se depositó el metal del electrodo superior (6). Para ello se pulverizó en atmósfera de Ar un blanco comercial de TaN de 99.99% de pureza, a una presión de 0.5 mbar durante 60 min. De esta forma se obtuvo una capa de 500 nm.

15
Ejemplo 2

20 Se fabricó una puerta (4) de transistor MOSFET siguiendo el ejemplo 1 pero la nitruración se realizó durante 1 min. De esta manera se produjo una capa dieléctrica de SiN sobre la superficie de Si de 2 nm de espesor.

Ejemplo 3

25 Se fabricó una puerta (4) de transistor MOSFET siguiendo el ejemplo 1 pero la nitruración se realizó durante 60 min. De esta manera se produjo una capa dieléctrica de SiN sobre la superficie de Si de 3.5 nm de espesor.

Ejemplos 4 y 5

30 Se siguió el método según se describe en los ejemplos 1 y 2 pero empleando un sustrato de Si (1) tipo p de manera que se obtuvieron transistores MOSFET de canal p.

35

40

45

50

55

60

65

REIVINDICACIONES

1. Método para fabricar el dieléctrico (5) de la Puerta (4) de un transistor MOSFET que comprende:

- nitrurar la superficie de Si (1) mediante la técnica *Electron Cyclotron Resonance* (ECR),
- depositar el dieléctrico (5) mediante la técnica *High Pressure Sputtering* (HPS).

2. Método según la reivindicación 1 en el que la nitruración se realiza en atmósfera de N₂.

3. Método según cualquiera de las reivindicaciones 1 y 2 en el que la nitruración se realiza durante entre 30 segundos y 60 minutos.

4. Método según cualquiera de las reivindicaciones anteriores en el que el bombardeo iónico del blanco de partida en la técnica HPS se realiza con argón.

5. Método según la reivindicación 4 en el que la presión de argón es de entre 0.2 y 2 mbar.

6. Método según la reivindicación 5 en el que la presión de argón es de 0.5 mbar.

7. Método según cualquiera de las reivindicaciones anteriores en el que se incluye un tercer paso para la obtención del electrodo metálico superior (6) de la estructura de Puerta (4) que se realiza mediante HPS.

8. Método según la reivindicación 7 en el que la técnica HPS se realiza por bombardeo de un blanco de TaN en atmósfera de Argón.

9. Método según cualquiera de las reivindicaciones anteriores en el que el sustrato (1) que se emplea es de Si tipo P.

10. Método según cualquiera de las reivindicaciones 1-8 en el que el sustrato (1) que se emplea es de Si tipo n.

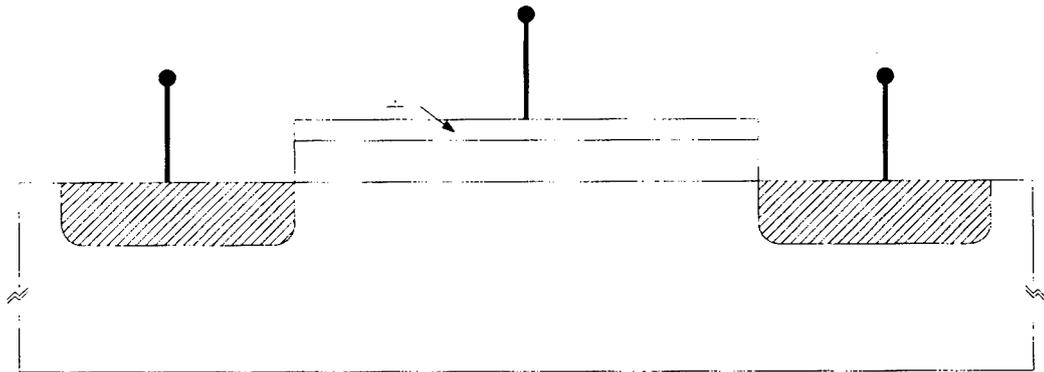


Fig. 1

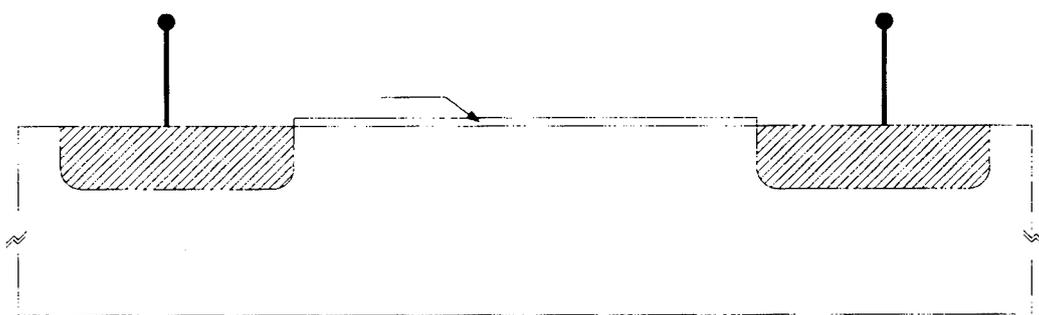


Fig. 2

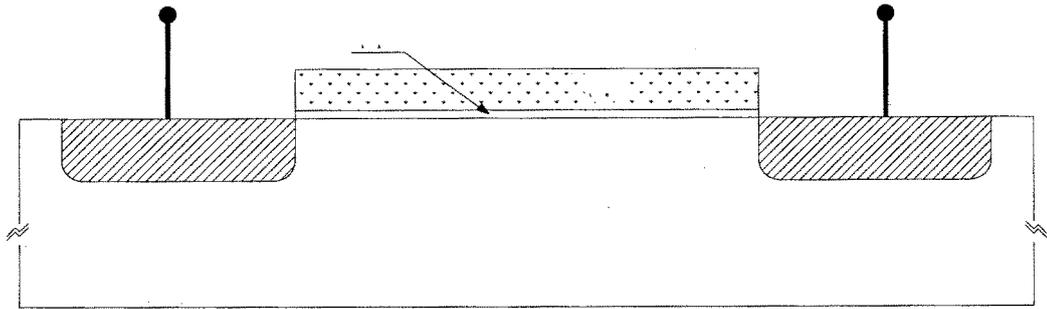


Fig. 3

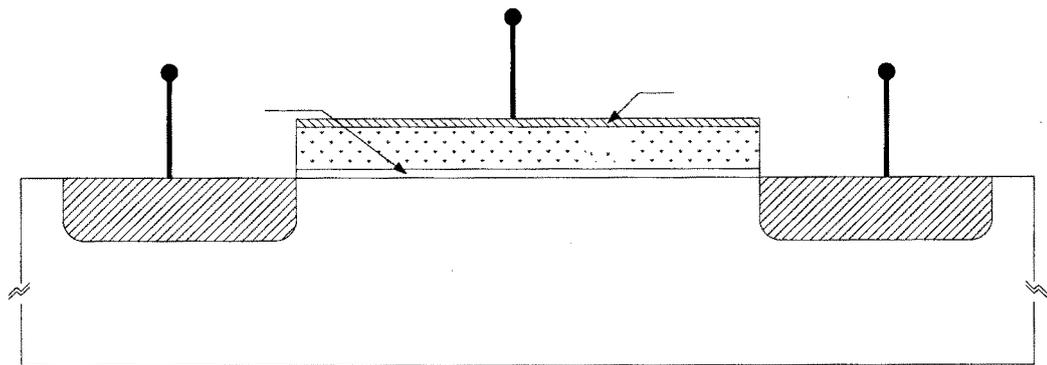


Fig. 4



②① N.º solicitud: 200902006

②② Fecha de presentación de la solicitud: 16.10.2009

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤① Int. Cl.: Ver Hoja Adicional

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
X	TOLEDANO-LUQUE et al. "Interfacial Properties of HfO ₂ / SiN/Si Gate Structures," Electron Devices, 2009. CDE 2009. Spanish Conference on, pp. 23-26, 11-13 Feb. 2009 doi: 10.1109/SCED.2009.4800420.	1,4-6,9,10
Y		2,3
A		7,8
Y	DEL PRADO et al. "Growth of Silicon Nitride on Silicon by Electron Cyclotron Resonance Plasma Nitridation," Electron Devices, 2009. CDE 2009. Spanish Conference on, pp.16-18, 11-13 Feb. 2009 doi: 10.1109/SCED.2009.4800418.	2,3
A	DAS et al. "Reliability and charge trapping properties of ZrO ₂ gate dielectric on Si Passivated p-GaAs," Physical and Failure Analysis of Integrated Circuits, 2009. IPFA 2009. 16th IEEE International Symposium on the , vol., no., pp.130-133, 6-10 Julio 2009 doi: 10.1109/IPFA.2009.5232683.	1-10
X	DUEÑAS et al. "Effect of interlayer trapping and detrapping on the determination of interface state densities on high-k dielectric stacks," Electron Devices, 2009. CDE 2009. Spanish Conference on, pp. 1-4, 11-13 Feb. 2009 doi: 10.1109/SCED.2009.4800414.	1-3,9,10
Y		7,8
Y	US 2007281401 A1 (YAMAZAKI SHUNPEI et al.) 06.12.2007, párrafos [0215],[0384]; figuras.	7,8

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe
03.10.2011

Examinador
M. P. López Sábater

Página
1/5

CLASIFICACIÓN OBJETO DE LA SOLICITUD

H01L21/8232 (2006.01)

H01L21/335 (2006.01)

C23C14/35 (2006.01)

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H01L, C23C

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC

Fecha de Realización de la Opinión Escrita: 03.10.2011

Declaración

Novedad (Art. 6.1 LP 11/1986)	Reivindicaciones 2,3,6-8,10	SI
	Reivindicaciones 1,4,5,9	NO
Actividad inventiva (Art. 8.1 LP11/1986)	Reivindicaciones	SI
	Reivindicaciones 1-10	NO

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

Base de la Opinión.-

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

1. Documentos considerados.-

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	TOLEDANO-LUQUE et al. "Interfacial Properties of HfO ₂ / SiN/Si Gate Structures," Electron Devices, 2009. CDE 2009. Spanish Conference on, pp. 23-26, 11-13 Feb. 2009 doi: 10.1109/SCED.2009.4800420.	
D02	DEL PRADO et al. "Growth of Silicon Nitride on Silicon by Electron Cyclotron Resonance Plasma Nitridation," Electron Devices, 2009. CDE 2009. Spanish Conference on, pp.16-18, 11-13 Feb. 2009 doi: 10.1109/SCED.2009.4800418.	
D03	DUEÑAS et al. "Effect of interlayer trapping and detrapping on the determination of interface state densities on high-k dielectric stacks," Electron Devices, 2009. CDE 2009. Spanish Conference on, pp. 1-4, 11-13 Feb. 2009 doi: 10.1109/SCED.2009.4800414.	
D04	US 2007281401 A1 (YAMAZAKI SHUNPEI et al.)	06.12.2007

2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración

Reivindicación 1:

El documento del estado de la técnica considerado más cercano a esta reivindicación independiente es D01, en el que se divulga un método para fabricar el dieléctrico de la Puerta de un transistor MOSFET ("1. Introduction", línea 1) que comprende nitrurar la superficie de Si mediante la técnica Electron Cyclotron Resonance (ECR), y depositar el dieléctrico mediante la técnica High Pressure Sputtering (HPS).

Por lo tanto, esta primera reivindicación carece de novedad según el artículo 6 de la Ley de Patentes 11/86.

Reivindicaciones 2 y 3:

En el documento D01 se establece que los gases precursores serán N₂ y SiH₄ en proporción 9.1, sin embargo, en estas reivindicaciones se establece que el gas precursor será exclusivamente N₂ y que la nitruración tendrá lugar durante periodos de tiempo a escoger entre 30 segundos y 60 minutos.

A consecuencia de estas diferencias entre D01 y el documento base se trabajará en diferentes condiciones de coste, toxicidad, peligro de inflamación, etc.

Un experto en la materia interesado en resolver los problemas técnicos que plantea el uso de una mezcla de nitrógeno y silano como gases precursores, puede reproducir el proceso de ECR divulgado por el documento D02 del estado de la técnica anterior, en el que se explica que es posible realizar el proceso de nitruración empleando únicamente N₂ si se hace en determinadas condiciones. Para controlar el grosor de la capa de SiNx obtenida, los periodos de tiempo que se pueden escoger según D02 van de entre 0.5 a 60 minutos.

Así pues, estas dos reivindicaciones ven anulada su actividad inventiva según el artículo 8 de la Ley de Patentes 11/86 por la combinación obvia de estos dos documentos.

Reivindicaciones 4 y 5:

Las condiciones de bombardeo iónico del blanco de partida que se desea proteger en estas reivindicaciones también se dan en el documento D01 y, por tanto, tampoco son nuevas.

Reivindicación 6:

En D01, la presión del Ar es de 1.2 mbar y no de 0.5, como se establece en esta reivindicación dependiente. En consecuencia, se trata de una reivindicación nueva. Sin embargo, se trata de una elección del inventor que no conlleva actividad inventiva con respecto a las presiones manejadas en D01.

Reivindicaciones 7 y 8:

En estas reivindicaciones dependientes se incluye el paso de obtener la capa superior del electrodo de puerta metálico mediante HPS, aunque sin concretar ningún valor de presión, y se especifica que en esta técnica se realiza un bombardeo de un blanco de TaN en atmósfera de Argón.

Este paso es un proceso adicional que tiene lugar cuando se ha terminado con la fabricación del dieléctrico, que es el método que se desea proteger según el título de la primera reivindicación.

D01 no aborda la fabricación de la capa metálica del electrodo de puerta, pero sí se ha encontrado la formación de una capa metálica de electrodo por medio de un bombardeo de un blanco de TaN en atmósfera de Argón en varios documentos del estado de la técnica. Véase, por ejemplo, el documento D04, párrafos [0215] y [0389] de su descripción.

Considerando que el método reivindicado es para fabricar el electrodo de puerta y no solamente su dieléctrico, se puede ver que la actividad inventiva de estas reivindicaciones es anulada por la yuxtaposición obvia del documento D04 con cualquiera de los documentos D01 ó D03.

Reivindicaciones 9 y 10:

El documento D01 especifica que el sustrato empleado es tipo n, por lo que anula la novedad de la reivindicación 10, dependiente de la primera.

Que el sustrato sea de tipo p obedece a una elección por parte del experto en la materia que no implica ninguna modificación del método (ver descripción del documento base, página 6 líneas 26 a 29) y que, por lo tanto, carece de actividad inventiva.