(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 366 762**

(51) Int. Cl.:
H04B 1/00 (2006.01)
G06F 9/46 (2006.01)
H04B 1/16 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Número de solicitud europea: **08702286 .9**
(96) Fecha de presentación : **18.01.2008**
(97) Número de publicación de la solicitud: **2109937**
(97) Fecha de publicación de la solicitud: **21.10.2009**

(54) Título: **Sistema digital multicanal para el procesamiento de señales de radio, en particular del tipo de banda muy ancha.**

(30) Prioridad: **19.01.2007 IT RM07A0025**

(45) Fecha de publicación de la mención BOPI:
25.10.2011

(45) Fecha de la publicación del folleto de la patente:
25.10.2011

(73) Titular/es: **Istituto Nazionale di Astrofisica - INAF**
Viale del Parco Mellini 84
00136 Roma, IT

(72) Inventor/es: **Tuccari, Gino**

(74) Agente: **Carpintero López, Mario**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

Venta de fascículos: Oficina Española de Patentes y Marcas. Pº de la Castellana, 75 – 28071 Madrid

DESCRIPCIÓN

Campo Técnico

La presente invención se refiere a un sistema digital multicanal para el procesamiento de señales de radio del tipo de banda muy ancha, aplicable en particular como un receptor astronómico en la cadena de adquisición de datos para interferometría de base muy larga (Very Long Base Interferometry = VLBI), y que es modular, flexible, fiable, simple y eficaz, con una banda operativa extremadamente ancha, un tamaño muy limitado y costos de producción, instalación y mantenimiento muy bajos.

La presente invención también se refiere a un receptor radioastronómico provisto de un sistema digital multicanal de este tipo.

El sistema según la presente invención que se describe en este documento es a título puramente ejemplificador y no limitativo con referencia a su aplicación en receptores radioastronómicos. Sin embargo, debe entenderse que el sistema según la presente invención puede ser aplicado a los campos de telecomunicaciones civiles, militares y espaciales (tales como, por ejemplo, telefonía móvil, recepción satelital, comunicaciones terrestres de banda corta y ancha) e instrumentos de electromedicina (por ejemplo, para detectar campos electromagnéticos de frecuencias de hasta varios GHz) sin apartarse del alcance de la misma invención.

Técnica Existente

Como es sabido los receptores radioastronómicos comprenden aparatos para recibir y elaborar datos que incluyen una etapa anterior (front-end) y una etapa posterior (back-end). Como se puede apreciar en la figura 1, la etapa de front-end (1) comprende una antena (11), un amplificador de bajo ruido (12), un mezclador (13) de conversión de banda de radiofrecuencia (RF) en frecuencia intermedia (IF), y un filtro de IF (14). La etapa de back-end está dividida en una primera unidad (2), que comprende un banco (21) de mezcladores, cada uno de ellos usados para la conversión de banda IF a una banda base específica para obtener un canal específico de una pluralidad de canales, y una segunda unidad (3), que comprende un banco (31) de convertidores analógicos/digitales (A/D), cada uno de ellos recibiendo una señal de entrada proveniente de un correspondiente mezclador de dicho banco (21), y cuyas señales de salida son procesadas por una subunidad de interfaz estándar VLBI (VSI = VLBI Standard Interface) (32) que las envía a una subunidad de registro y/o transmisión de datos (33).

En los actuales radiotelescopios donde la etapa de back-end (2) es una etapa estándar VLBI, la primera unidad (2), al igual que la etapa front-end (1) es substancialmente analógica, mientras que la segunda unidad (3) es digital. En otros términos, la primera unidad (2) procesa las señales provenientes de la etapa front-end mediante métodos analógicos hasta una conversión de frecuencia de banda máxima de 16 MHz, mientras que la segunda unidad (3) convierte las señales del dominio analógico al dominio digital formatando, transmitiendo y/o registrando al mismo tiempo los datos. No se tiene ningún procesamiento digital de datos aparte de la entrada de información adicional tal como marcadores temporales y datos auxiliares de formatación.

La desventaja principal de tales sistemas convencionales es que puesto que la primera unidad (2) es analógica, la misma introduce significativos componentes de ruido en los canales obtenidos, reduciendo así su fiabilidad y precisión.

Recientemente se propusieron algunos sistemas que anticipan la conversión de las señales del dominio analógico al dominio digital, poniendo los convertidores A/D al comienzo de la etapa de back-end. En particular, haciendo referencia a la figura 2, el Observatorio Haystack, en colaboración con el Laboratorio de Ciencias Espaciales de la Universidad de California, Berkeley, ha desarrollado un sistema de back-end digital VLBI de banda ancha (4) para aplicaciones geodésicas, que comprende en una única tarjeta electrónica una unidad de conversión A/D (34) y filtros digitales (35) provistos de dispositivos arreglo de puertas programables dinámicamente por campo (FPGA) que convierten de la banda IF a la banda base. Además, la misma tarjeta electrónica incluye una interfaz VSI (32) y la subunidad de registro/transmisión de datos (32).

El sistema desarrollado por el Observatorio Haystack, sin embargo, no carece de desventajas.

Ante todo, no prevé la sintonización de canales puesto que viene empleado para estudios geodésicos.

Asimismo, es relativamente inflexible puesto que su dimensión es predefinida y, por ende, no obstante la posibilidad de configurar los filtros FPGA (35) para permitir la selección de la cantidad de canales de salida obtenidos, la frecuencia y el ancho de banda de los canales son definidos de antemano.

Además, el sistema desarrollado por el Observatorio Haystack no efectúa ningún procesamiento digital de señales digitales aparte de la selección de los canales.

El documento US 2004/049.609 da a conocer un mecanismo estratificado para integrar dispositivos programables en ambientes a base de software para procesamiento distribuido donde el ambiente software se interconecta con un estrato de adaptación, que a su vez se interconecta con un dispositivo programable, tal como un arreglo de puertas programables por campo (FPGA). El estrato de adaptación especifica e impone interfaces eléctricas, físicas y lógicas compatibles entre el dispositivo programable y el ambiente a base de software de los cuales el

dispositivo, la aplicación que corre en el mismo y el estrato de adaptación forman un componente.

El documento US 2006/126.569 da a conocer una tarjeta terminal aplicada a un sistema inalámbrico multibanda y multiportadora y un aparato del mismo sistema. El aparato plataforma terminal según una ejecución ejemplificadora de la presente invención incluye una tarjeta plataforma terminal multibanda y multiportadora, un dispositivo de monitoreo, una unidad de RF para un sistema multibanda y multiportadora y una fuente de alimentación/GPS. La tarjeta plataforma terminal multibanda y multiportadora obtiene altas velocidades de procesamiento de datos y alta calidad de transmisión de datos utilizando una pluralidad de FPGAs de altas prestaciones, un procesador ARM, un DPRAM y una interfaz CardBus. El dispositivo de monitoreo efectúa operaciones de depuración en tiempo real, y las fuentes de alimentación/GPS entregan alimentación a la tarjeta plataforma terminal multibanda y multiportadora.

El documento US 2006/015.674 da a conocer un módulo de radio definido por software de autoarranque que puede ser realizado como un PCMCIA, Compact Flash, u otro módulo factor de forma plug-in. Las características prestacionales del módulo, pueden incluir frecuencia portadora en radiofrecuencia (RF), ancho de banda RF instantánea, modulación y desmodulación de portadora, codificación y descodificación de símbolos, seguridad y protocolo de red que pueden ser alterados y salvados por medio de un software de ordenador transferido al módulo desde un dispositivo anfitrión tal como un teléfono celular, un asistente digital personal u ordenador de bolsillo, un ordenador portátil u otro dispositivo de programación.

El documento US 2004/190.553 da a conocer un sistema de procesamiento canalizado flexible y redimensionable compuesto por una cantidad relativamente pequeña de tipos de componentes. El mismo extiende conceptos de malla de conmutadores en los FPGAs procesadores para crear así una malla de procesamiento que permita que los mismos buses sean compartidos por canales de datos múltiples, lo cual facilita la coordinación de la temporización de los eventos, y facilita la gestión de las funciones (correspondientes a administración, monitoreo y supervisión) del procesamiento.

El documento US 2006/291.428 da a conocer un módem adaptivo multicanal (AMC = Adaptive MultiChannel) que puede recibir una o varias señales de espectro disperso simultáneamente e incluye un filtro ajustable, un $\Delta\Sigma$ ADC, y un procesador digital. El filtro digital filtra una señal de entrada con un ancho de banda ajustable y proporciona una señal de salida comprendida de una cantidad seleccionada de señales de espectro disperso. El $\Delta\Sigma$ ADC digitaliza la señal de salida y proporciona muestras de datos. La velocidad de muestreo y/o la tensión de referencia del $\Delta\Sigma$ ADC pueden ser modificadas para obtener la prestación que se desea. El procesador digital elabora las muestras de datos para cada señal de espectro disperso de modo de recuperar datos enviados en esa señal. Un controlador verifica las condiciones de funcionamiento (por ejemplo, el nivel de señal que se desea, el nivel de señal que no se desea y así siguiendo) y selecciona la cantidad de señales de espectro disperso a recibir en base a las condiciones operativas, a los requerimientos del usuario y, en su caso, a otros factores.

Revelación de la Invención

El objetivo de la presente invención, por lo tanto, es el de proporcionar un sistema que permita procesar señales de radio de banda muy ancha de manera dinámicamente flexible, fiable, sencilla y eficaz, en particular en la cadena de adquisición de datos VLBI para receptores radioastronómicos.

Otro objetivo de la presente invención es el de proporcionar un sistema de este tipo que ocupe un espacio muy chico y que sea económico en términos de costos de producción, instalación y mantenimiento.

Un objetivo específico de la presente invención es un sistema digital multicanal para el procesamiento de señales de radio, en particular del tipo de banda muy ancha, tal como está definido en la reivindicación independiente número 1.

Las reivindicaciones dependientes de 2 a 8 describen otras ejecuciones del sistema.

Otro objetivo específico de la presente invención es un receptor radioastronómico como el definido en la reivindicación independiente número 9.

Breve Descripción de los Dibujos

A continuación se describirá la presente invención, a título ejemplificador y no limitativo, haciendo referencia a los dibujos anexos que exhiben algunas de sus ejecuciones preferentes y en los cuales:

- la figura 1 es un diagrama de bloques que representa un primer receptor radioastronómico según la técnica conocida;

- la figura 2 es un diagrama de bloques que representa un segundo receptor radioastronómico según la técnica conocida;

- la figura 3 es un diagrama de bloques que representa otro receptor radioastronómico que comprende una ejecución preferente del sistema según la presente invención;

- la figura 4 es un diagrama de bloques de la ejecución preferente del sistema según la presente invención;

- la figura 5 es un diagrama lógico que representa esquemáticamente una primera parte de las operaciones del sistema de la figura 4 configurado según una primera configuración; y

- la figura 6 es un diagrama lógico que representa esquemáticamente una segunda parte de las operaciones que ejecuta el sistema de la figura 4 configurado según la primera configuración.

Descripción Detallada de las Ejecuciones Preferentes de la Invención

En los dibujos anexos los ítems similares han sido denotados con los mismos numerales de referencia.

El inventor ha desarrollado un sistema de procesamiento de datos que convierte la frecuencia de las señales de radio y es adecuado para ser usado en particular en un receptor radioastronómico como una unidad back-end en la cadena de adquisición de datos para interferometría de base muy larga (VLBI), es decir, con distancias muy largas entre los elementos de recepción de ámbito nacional, continental e intercontinental, para estudios astronómicos, geodésicos y espaciales. El sistema de conformidad con la presente invención constituye un sistema multicanal para la formación flexible de canales convertidos en frecuencia que son independientes en términos de ancho de banda y sintonía. En particular, el sistema según la presente invención permite la producción de sistemas digitales de radio que funcionan a frecuencias más altas que las de los sistemas actualmente disponibles en el mercado.

El sistema de conformidad con la presente invención está basado en una arquitectura modular FPGA que, en la ejecución preferente, permite el procesamiento de anchos de banda de frecuencias de más de 1 GHz para intervalos de frecuencia de más de 3 GHz. La arquitectura circuital desarrollada también permite un uso más general de la tecnología VLBI.

Más exactamente, la arquitectura modular FPGA convierte digitalmente la banda de frecuencia y selecciona los canales obtenidos y está en condiciones de realizar conversiones de frecuencia para obtener bandas angostas sintonizables de hasta 16 MHz y bandas anchas desde 32 hasta 1024 MHz con incrementos de octavas con bandas base fijas.

El sistema según la presente invención adelanta la conversión del dominio analógico al digital a través de convertidores A/D situados antes de las unidades digitales para convertir la frecuencia de IF a banda base. Esto permite usar métodos numéricos para realizar la conversión de frecuencia, la filtración y cualquier otra operación adicional de procesamiento de datos tal como atenuación de ruido.

En el caso de aplicación a un receptor radioastronómico donde el ancho de banda de las señales recibidas es mayor que 3 GHz, la ejecución preferente del sistema viene aplicada a una unidad back-end que comprende una subunidad de conversión A/D (34), una subunidad de conversión digital de frecuencia IF en frecuencia de banda base (35) y una interfaz VSI (32), y el receptor radioastronómico puede seguir siendo representado esquemáticamente mediante la figura 2, ya comentado con referencia a la técnica conocida. En el caso de aplicación a un receptor radioastronómico donde el ancho de banda de la señal recibida es menor o igual que 3 GHz, el receptor radioastronómico puede ser representado esquemáticamente mediante la figura 3, donde, si se lo compara con el de la figura 2, no hay mezcladores para conversión de banda RF a IF y tampoco filtro IF, puesto que el ancho de banda de las señales recibidas a través de la antena (11) ya está en la frecuencia intermedia (IF).

Sin embargo, si se lo compara con sistemas de la técnica conocida, también representados esquemáticamente en la figura 2, que usan convertidores A/D de alta frecuencia y combinan dispositivos programables en el mismo soporte hardware dimensionado de manera substancialmente predeterminada, el sistema según la presente invención comprende una pluralidad de módulos hardware, que pueden ser conectados entre sí en paralelo y en serie para obtener una combinación modular flexible, incluso dinámicamente, y en condiciones de efectuar procesos complicados. En particular, el sistema según la presente invención puede ser configurado para implementar osciladores paralelos locales y filtros digitales paralelos que puedan funcionar con bandas muy anchas manteniendo, al mismo tiempo, un rígido control de la estabilidad de fase y del ancho de banda de los datos procesados que no es posible obtener en el dominio analógico o en las soluciones digitales de la técnica conocida.

Haciendo referencia a la figura 4, la ejecución preferente del sistema según la presente invención aplicada a un receptor radioastronómico comprende cuatro tarjetas impresas (PCBs) (42) para conversión A/D, que muestrean las señales provenientes del respectivo control automático de ganancia (AGC), filtros (43) pertenecientes a la etapa front-end del receptor (no exhibidos), en correspondencia de cuya entrada hay señales correspondientes a cuatro diferentes anchos de banda IF (provenientes del filtro IF (14), en el caso de un receptor del tipo exhibido esquemáticamente en la figura 2, o directamente del amplificador de bajo ruido (12), en el caso de un receptor del tipo exhibido esquemáticamente en la figura 3). Preferentemente, los anchos de banda de entrada IF pueden ser seleccionados a través de la etapa front-end en el intervalo de frecuencia comprendido entre 0 y 3,072 GHz. Preferentemente, las cuatro tarjetas A/D (42) funcionan a una frecuencia de muestreo de 1024 MHz suministrada por un adecuado dispositivo sintetizador y distribuidor de frecuencias (44) (instalado en cada tarjeta (42)) enganchado a una referencia externa, esta frecuencia de muestreo permite trabajar con anchos de banda instantáneos de hasta 2,048 GHz según modalidad de muestreo compleja y con anchos de banda instantáneos de hasta 1,024 GHz en modalidad muestreo real, cubriendo un ancho de banda total de más de 3 GHz.

Después de las tarjetas A/D (42) hay dieciséis PCBs (45) conectadas en cascada para procesar digitalmente las señales muestreadas, cada una de dichas tarjetas impresas (PCBs) exhibiendo una arquitectura FPGA idéntica.

El conjunto modular de veinte tarjetas (42 y 45) tiene una tarjeta inicial (no exhibida) y una tarjeta final (46), que

preferentemente tienen la misma configuración circuital, las cuales efectúan todas las funciones de servicio de las tarjetas denotadas con 42 y 45.

En particular, la tarjeta inicial controla las operaciones de programación de todas las tarjetas (42 y 45), por ejemplo enviando señales de programación a las tarjetas FPGA (45). Al respecto, el sistema puede ser configurado por un usuario en un ordenador conectado al sistema a través de la tarjeta inicial que por consiguiente genera las señales de programación de las tarjetas FPGA (45) y las señales de definición de las tarjetas A/D (42).

La tarjeta final (46) actúa como una interfaz estándar VSI que proporciona datos de salida VLBI y que monitorea el funcionamiento del sistema, por ejemplo suministrando la medición digital de potencia total de la señal recibida para accionar un control automático de ganancia del sistema (siendo posible por parte de un usuario inhabilitar dicho control) y también suministrando una señal analógica de salida (a través de un convertidor de digital a analógico) para un monitor (47).

Cada una de las tarjetas del sistema está conectada a las demás a través de tres canales de comunicación: un primer canal a través del cual vienen transmitidas las señales de entrada a la tarjeta, incluidas las señales muestreadas por las tarjetas A/D (42); un segundo canal a través del cual vienen transmitidos los datos de salida obtenidos de las tarjetas FPGA (45); y un tercer canal de configuración y monitoreo a través del cual, por ejemplo, vienen transmitidas las señales de programación y actualización de los registros de configuración de las tarjetas FPGA (45), y los datos que necesita la tarjeta final (46) para monitorear el funcionamiento del sistema. De este modo, el sistema de conformidad con la presente invención puede distribuir el procesamiento en una pluralidad de tarjetas FPGA (45) conectadas entre sí en serie o en paralelo, de manera que, por ejemplo, cada tarjeta FPGA (45) efectúe un proceso para una frecuencia y/o un intervalo de tiempo bien determinado, funcionando a una frecuencia menor que la frecuencia de muestreo original, y efectuando una parte de un cálculo complejo.

A tal efecto, cada tarjeta FPGA (45) comprende, para cada uno de los tres canales, dos buses, cada uno de los cuales recibe y transmite, respectivamente, las señales y los datos del respectivo canal, y entre los cuales está intercalado un dispositivo FPGA. Preferentemente, dicho dispositivo FPGA es un chip FPGA Xilinx con 1152 pines. En particular, las señales y los datos vienen propagados por cada tarjeta (45) a través de su dispositivo FPGA. Cada tarjeta FPGA (45) contribuye a la regeneración de las señales y de los datos propagados por la misma, restableciéndolos a sus condiciones iniciales y, por consiguiente, no deterioran la calidad de los datos y contribuyen en una magnitud muy limitada al tiempo de retardo con respecto a los tiempos de reloj del sistema.

Observando con mayor detenimiento, la parte de cada canal formado en cada tarjeta comprende en cascada: conectores de recepción; el bus de recepción comprendiendo líneas de conexión por impedancia y retardo controlado; el dispositivo FPGA que regenera y procesa los datos; el bus de transmisión que comprende líneas de conexión de impedancia y retardo controlado; y conectores de transmisión.

Los conectores de recepción y transmisión de cada uno de los tres pares de conectores (para cada canal y par de buses) están dispuestos superpuestos, es decir están instalados uno debajo del otro en la misma posición de las dos caras de la respectiva tarjeta FPGA (45), con conexión electromecánica enfrentada macho-hembra, de modo de permitir superponer en cascada una pluralidad de tarjetas FPGA (45). Preferiblemente, cada uno de los conectores es un dispositivo de montaje superficial (conector SMD, donde SMD = Surface Mount Device).

Preferentemente, las conexiones bus son del tipo diferencial, LVPECL o LVDS, hechas utilizando tecnología microwire con elementos entrelazados e impedancia controlada, y donde la longitud de cada línea bus es controlada hasta el milímetro; aún más preferible es que las conexiones bus tengan una impedancia controlada de 50 Ohmios y las líneas que pertenecen al mismo bus sean iguales en su longitud.

Preferentemente, cada uno de los buses del primer y del segundo canal comprenden 64+64 líneas diferenciales de datos y 4+4 líneas diferenciales de reloj que funcionan a 256 MHz pero que están en condiciones de funcionar a una frecuencia de hasta más de 350 MHz, con una velocidad de transmisión de datos total agregada de aproximadamente 44,8 Gbps. La ejecución preferente del sistema de conformidad con la presente invención utiliza aproximadamente 34 Gbps para el bus de entrada (es decir, aquel para el primer canal) a una frecuencia de ejercicio de aproximadamente 256 MHz, mientras que el bus de salida (es decir, aquel para el segundo canal) funciona a 128 MHz con una velocidad de transmisión de datos total de aproximadamente 16 Gbps.

Además, cada tarjeta FPGA (45) incluye varios componentes auxiliares tales como LEDs indicadores, un conector de alimentación para suministrar tres tensiones de alimentación a los distintos componentes de la tarjeta, y una batería botón de litio con dos diodos de caída de tensión para la alimentación auxiliar.

En aras de lo anterior, un técnico experto en el sector estará en condiciones de realizar con facilidad las partes de los tres canales antes mencionados necesarias para las tarjetas A/D (42), la tarjeta inicial y la tarjeta final (46).

En el sistema según la presente invención, cada tarjeta (PCB), se trate de una tarjeta de conversión A/D o de una tarjeta FPGA, puede ser superpuesta a las demás, permitiendo así crear un sistema con una cantidad variable de tarjetas en función de los procesos a aplicar a las señales recibidas. En la ejecución preferente del sistema según la presente invención, esta posibilidad de variación permite usar hasta cuatro tarjetas A/D (42) y hasta dieciséis tarjetas FPGA (45) para crear hasta 64 canales diferenciales de salida. También es posible modificar, en la cascada, el orden de

las tarjetas A/D (42) y de las tarjetas FPGA (45), puesto que preferentemente cada tarjeta FPGA (45) procesa las señales muestreadas por las tarjetas A/D (42) antes de la misma o los datos provenientes de los procesos ejecutados por las otras tarjetas FPGA (45) antes de la misma.

La ejecución preferente del sistema según la presente invención puede ser configurada de manera de funcionar con cuatro anchos de banda de entrada en modalidad de muestreo real en las seis gamas de frecuencia 0-512 MHz, 512-1024 MHz, 1024-1536 MHz, 1536-2048 MHz, 2048-2560 MHz y 2560-3072 MHz, o con dos anchos de banda de entrada en modalidad de muestreo compleja en las tres gamas de frecuencia 1-1024 MHz, 1024-2048 MHz y 2048-3072 MHz.

Además, la ejecución preferente del sistema según la presente invención puede ser configurada de manera de obtener canales de salida de banda angosta (real o compleja) de 0,25, 0,5, 1, 2, 4, 8 o 16 MHz, o canales de salida de banda ancha (real o compleja) de 32, 64, 128, 256, 512 o 1024 MHz.

Asimismo, la ejecución preferente del sistema según la presente invención puede ser configurada de manera de funcionar con cuatro polarizaciones o anchos de banda disponibles para la selección de un único canal sintonizable de un grupo que comprende hasta 64 canales de salida.

Asimismo, la ejecución preferente del sistema según la presente invención puede ser configurada de manera de permitir la sintonización variable a intervalos de 1 Hz o inferior.

A título ejemplificador y no limitativo, la ejecución preferente del sistema según la presente invención puede ser configurada de manera de realizar un proceso complejo para convertir una frecuencia de banda lateral única (SSB), en anchos de banda de salida relativamente angostos (a continuación también referidos como bwo) comenzando a partir de anchos de banda de entrada muy angostos (a continuación también referidos como bwi), es decir, para

$$bwo < bwi/16$$

A tal efecto, el sistema distribuye el procesamiento de las señales en dos o más tarjetas FPGA (45) en paralelo, cada una perteneciendo a un intervalo de tiempo bien definido. Como se ha mencionado con anterioridad, el proceso realizado simultáneamente por dos o más tarjetas FPGA (45), cada una en una diferente subsecuencia de muestras, permite trabajar a una frecuencia menor que la frecuencia original. La ejecución preferente del sistema según la presente invención permite realizar simultáneamente en paralelo una cantidad de conversiones que varía de dos a ocho con la misma cantidad de etapas de conversión virtualmente completas, mediante cálculos en cascada, con lo cual cada cálculo usa el resultado anterior para obtener el resultado siguiente.

Con referencia al diagrama lógico de la figura 5, que representa esquemáticamente una primera parte de las operaciones efectuadas por el sistema de la figura 4 así configurado, es posible observar que en este caso el sistema crea un conjunto de N osciladores locales (50) implementados como sintetizadores digitales directos (DDS = Direct Digital Synthesizers), cada uno de los cuales envía una señal de salida a un respectivo mezclador digital (51). Cada mezclador (51) recibe del primer canal de comunicación (52), sobre el cual vienen transmitidas las muestras de la señal de entrada muestreada a una dada frecuencia (f), una respectiva subsecuencia (53) de dichas muestras. En particular, cada oscilador (50) y cada mezclador (51) funciona a una frecuencia de f/N, y cada oscilador (50), para efectuar correctamente la conversión de la frecuencia en la banda base proporciona sus datos de salida con diferentes desvíos de fase bajo las mismas condiciones de intervalo para cada ciclo operativo, que es efectuado 1/N veces menos frecuentemente que la frecuencia de muestreo. Lo anterior produce un conjunto de osciladores locales (50) para crear un conjunto similar de conversiones de frecuencia a través de los mezcladores digitales (51). Las salidas del conjunto de mezcladores (51) vienen aplicadas a un filtro polifásico de N canales (54) que implementa un filtro pasa-bajo cuya frecuencia de corte corresponde al ancho de banda deseado que, como ya se ha dicho, es angosto comparado con el ancho de banda de entrada. En particular, a diferencia de los filtros polifásicos convencionales, dicho filtro (54) no tiene un conmutador de entrada para el enrutamiento de las muestras de entrada puesto que ya han sido divididas por el conjunto de mezcladores (51). Posteriormente, la salida de dicho filtro (54), cuyos datos son transmitidos a una frecuencia f/N, viene aplicada a un canal de comunicación de salida (55) (que preferentemente coincide con la próxima parte del primer canal (53) que transmite la entrada a las tarjetas FPGA (45) del sistema), que transmite los datos procesados a las siguientes tarjetas.

Tal como se puede deducir a partir de la figura 6, que representa esquemáticamente una segunda parte de las operaciones realizadas por el sistema de la figura 4 así configurado, posteriormente el sistema efectúa el proceso digital necesario para obtener las bandas laterales del canal deseado. En particular dos etapas (60 y 61) como aquella de la figura 5 reciben, respectivamente, las componentes real e imaginaria de la señal de entrada y efectúan su conversión en banda base. Luego, la componente real de la banda base viene retardada por una línea de retardo (62), mientras que la componente imaginaria viene aplicada a un filtro de respuesta impulsiva finita de Hilbert (FIR = Finite Impulse Response) (63), el cual la desfasa de 90°. Sucesivamente, los componentes procesados de esta manera vienen sumados y restados por un sumador (64) y un restador (65) respectivamente, para obtener la señal de la banda lateral inferior y la señal de la banda lateral superior, respectivamente. Después de lo cual, esas señales vienen enviadas a respectivos filtros FIR (66 y 67) que delimitan mejor las bandas laterales y, finalmente, las señales así obtenidas vienen enviadas a la interfaz VSI (46).

Obviamente, otras ejecuciones del sistema de la presente invención pueden comprender diferentes cantidades

de tarjetas A/D y FPGA de modo que puedan ser extendidas hasta la capacidad máxima de los recursos hardware, permitiendo pasar de la implementación paralela a la común implementación serial para conversiones descendientes de frecuencia en el dominio digital.

Asimismo, la ejecución preferente del sistema según la presente invención puede ser configurada de manera de obtener anchos de banda de salida anchos (bwo), preferentemente variables de bwi/16 a bwi.

En este caso, el sistema de la figura 4 viene configurado para crear un filtro FIR en implementación paralela. Para un filtro con N tomas con coeficientes h(0)…h(N-1) de filtrado pasa-banda paralelo, la salida normalmente viene descrita como

$$y(n)= h(0)x(n)+h(1)x(n-1)+h(2)x(n-2)+\ldots+h(N-1)x(n-N-1),$$

donde x(n) es la enésima muestra de entrada e y(n) el enésimo dato de salida. La implementación de esta relación requiere una cantidad de multiplicaciones y sumas para cada nuevo dato de entrada a la frecuencia de muestreo (f). Si en un conjunto genérico de valores k, donde k es, por ejemplo, 4, existen simultáneamente sucesivos datos de muestreo, entonces el sistema viene configurado de manera de crear una relación del siguiente tipo:

$$y(n)=h(0)x(n)+h(1)x(n-1)+h(2)x(n-2)+\ldots+h(N-1)x(n-N-1),$$

$$y(n+1)=h(0)x(n+1)+h(1)x(n)+h(2)x(n-1)+\ldots+h(N-1)x(n-N),$$

$$y(n+2)=h(0)x(n+2)+h(1)x(n+1)+h(2)x(n)+\ldots+h(N-1)x(n-N+1)$$

$$y(n+3)=h(0)x(n+3)+h(1)x(n+2)+h(2)x(n+1)+\ldots+h(N-1)x(n-N+2).$$

En este caso, el sistema recibe grupos de cuatro muestras por vez, usando dos de esos grupos por cada grupo de cuatro datos. Cada cuatro nuevas muestras de entrada, viene rechazado el grupo presente más viejo y viene retenido el más reciente. Procediendo así de modo iterativo, se reduce la frecuencia de funcionamiento a una cuarta parte de la frecuencia original.

El sistema según la presente invención exhibe obvias ventajas.

Ante todo, el sistema puede realizar una conversión de frecuencia según métodos numéricos paralelos, permitiendo variaciones de frecuencia de sintonización tan rápidas como el período del reloj del sistema para datos transmitidos en secuencias rápidamente conmutadas, o para muestreos casi simultáneos de posiciones diferentes del espectro procesado. A tal efecto, el sistema puede determinar numéricamente de manera fiable el progreso de la etapa de generación de la señal usada como oscilador local en la conversión de frecuencia y puede proceder activamente en el proceso de generación. Por lo tanto, es posible crear una variación periódica a intervalos predeterminados con facilidad y fiabilidad sin ninguna inercia de sistema, esta última siendo imposible de eliminar en sistemas convencionales, tales como sistemas PLL. Teniendo a disposición variaciones numéricas que pueden ser empleadas para cambiar rápidamente la frecuencia de manera totalmente arbitraria, dentro de los límites del sistema de generación, es posible realizar procesos de sintonización que se pueden variar con rapidez por lapsos de tiempo predeterminados, de conformidad con un modelo deseado definido por las señales de configuración de sistema, la cual puede ser incluso dinámica. Este método también podría ser empleado para crear una criptografía sofisticada distribuyendo la información de manera sincronizada en un espectro de frecuencias ocupado de manera variable a lo largo del tiempo.

Asimismo, el sistema de conformidad con la presente invención puede ser empleado para crear una unidad multicanal variable en cantidad de canales y ancho de banda, que soporta las principales modalidades de adquisiciones radioastronómicas VLBI empleadas actualmente y también permite un significativo aumento de la banda pasante en comparación con el sistema actualmente en uso.

Además, el sistema según la presente invención es extremadamente compacto, de aproximadamente un orden de magnitud, más económico que los sistemas actualmente en uso y, gracias al completo uso de tecnologías digitales, mucho más flexible y preciso.

Por otro lado, el sistema según la presente invención permite crear sistemas digitales de radio que funcionan a frecuencias más altas que los actualmente disponibles para sistemas radioastronómicos.

Además, el sistema según la presente invención puede ser aplicado a sectores distintos de la radioastronomía, tales como, por ejemplo, telecomunicaciones civiles, militares y espaciales. Especialmente en las telecomunicaciones civiles, un sistema en condiciones de reducir significativamente costos podría ser una gran ventaja para la telefonía móvil que podría funcionar sin ningún componente de conversión analógica. Análogamente, la presente invención podría ser aplicada a recepción satelital, donde actualmente las etapas front-ends son siempre analógicas, y a comunicaciones terrestres de banda corta o banda ancha. Otro sector donde se emplean ampliamente las tecnologías de rápido procesamiento de datos es el de instrumentos de electromedicina. En efecto, los procesos donde se realiza la detección de campos magnéticos a frecuencias de hasta varios gigahertz podrían beneficiarse del proceso totalmente numérico.

En la descripción anterior se describieron ejecuciones preferentes y se sugirieron algunas variantes a la presente

invención, sin embargo deberá entenderse que expertos del sector pueden modificar o adaptar esta invención sin por ello apartarse del alcance del concepto inventivo, tal como está definido en las reivindicaciones anexas.

REIVINDICACIONES

1.- Sistema digital multicanal para procesar señales de radio, del tipo de banda muy ancha, que comprende medios electrónicos (34, 35) para la conversión analógica a digital (A/D) de una o varias señales de radio en frecuencias intermedias (IF) y para la siguiente conversión digital de frecuencia de las señales muestreadas de IF en una o varias bandas base, el sistema estando caracterizado por el hecho que los medios electrónicos (34, 35) son modulares y comprenden:

- una o varias tarjetas impresas (PCBs) (42) para conversión A/D, cada una de las cuales muestrea una respectiva señal de entrada (IF) a una dada frecuencia de muestreo (f); y

- una o varias tarjetas impresas (PCBs) (45) para procesar digitalmente señales digitales, cada una de las cuales comprende un dispositivo FPGA;

dichas una o varias tarjetas A/D (42) y dicha una o varias tarjetas FPGA (45) estando conectadas entre sí en cascada a lo largo de al menos dos canales de comunicación que comprenden un primer canal a través del cual vienen transmitidas las señales de entrada a las tarjetas (42, 45), y un segundo canal a través del cual vienen transmitidos los datos de salida obtenidos a partir de la conversión digital de frecuencia y del procesamiento digital de las señales muestreadas, una parte de cada canal siendo formada en cada tarjeta FPGA (45) donde la misma comprende en cascada: conectores de recepción; un bus de recepción que comprende líneas de conexión de retardo e impedancia controlados; un dispositivo FPGA que regenera y procesa los datos; un bus de transmisión que comprende líneas de conexión de retardo e impedancia controlados; y conectores de transmisión; de modo que el sistema distribuya el procesamiento de señales en serie y/o en paralelo en dicha una o varias tarjetas FPGA (45), de modo que cada tarjeta FPGA (45) lleve a cabo una parte del proceso digital, funcionando preferentemente a una frecuencia menor que la frecuencia de muestreo (f), donde para cada canal, los conectores de recepción y los conectores de recepción están superpuestos, es decir están instalados uno debajo del otro en una posición idéntica en dos caras opuestas de la respectiva tarjeta FPGA (45), con conexión electromecánica enfrentada macho-hembra.

2.- Sistema según la reivindicación 1, donde cada uno de los conectores es un dispositivo de montaje superficial (conector SMD).

3.- Sistema según la reivindicación 1 o 2, caracterizado por el hecho que, para cada canal, las líneas de conexión de los buses de recepción y transmisión son del tipo diferencial, preferentemente según el estándar LVPECL o LVDS, más preferiblemente hechas usando tecnología microwire con elementos entrelazados, impedancia controlada y longitud controlada dentro de un milímetro; y aún más preferentemente, con impedancia controlada de 50 Ohmios y las líneas que pertenecen al mismo bus siendo de la misma longitud, cada uno de los buses de recepción y transmisión comprendiendo de manera principalmente preferida 64+64 líneas diferenciales de datos y 4+4 líneas diferenciales de reloj.

4.- Sistema según una cualquiera de las precedentes reivindicaciones, caracterizado por el hecho que además comprende, al final de la cascada, una tarjeta impresa final (46) que funciona como interfaz de salida para suministrar los datos obtenidos de la conversión digital de frecuencia y del procesamiento digital de las señales muestreadas, la tarjeta impresa final (46) preferentemente monitoreando el funcionamiento del sistema, más preferentemente proporcionando una medición digital de potencia total de una o varias señales de radio de frecuencia IF y/o accionando un control automático de ganancia del sistema, principalmente más preferente pudiendo ser inhabilitada y/o proporcionando una señal analógica de salida, principalmente más preferente a través de un convertidor digital-analógico, que puede ser empleado por un monitor (47).

5.- Sistema según una cualquiera de las precedentes reivindicaciones, caracterizado por el hecho que además comprende, en la extremidad inicial de la cascada, una tarjeta impresa inicial para controlar las operaciones de programación de las tarjetas FPGA (45), preferentemente enviando señales de programación y actualización de registros de configuración y/o señales para definir las tarjetas A/D (42) a un tercer canal de configuración y monitoreo a lo largo del cual la única o las varias tarjetas A/D (42) y la única o las varias tarjetas FPGA (45) también están conectadas en cascada, la tarjeta inicial siendo aún más preferentemente conectable a un ordenador de control.

6.- Sistema según una cualquiera de las precedentes reivindicaciones, caracterizado por el hecho que es adecuado para realizar un proceso digital complejo para convertir una frecuencia de banda lateral única (SBB) en un ancho de banda de salida bwo que comienza a partir de un ancho de banda bwi donde

$$bwo < bwi/16,$$

de manera de crear:

- dos etapas (60 y 61) que reciben, respectivamente, las componentes real e imaginaria de una o varias señales de radio de frecuencia IF y las convierten en la banda base de salida bwo;

- una línea de retardo (62) que retarda la componente real;

- un filtro de respuesta impulsiva finita de Hilbert (FIR) (63) que desfasa la componente imaginaria de 90°;

- un sumador (64) y un restador (65) que suma y resta, respectivamente, los datos provenientes de la línea de retardo (62) y del filtro FIR de Hilbert (63) para obtener los datos de la banda lateral inferior y los datos de la banda lateral superior, respectivamente;

el sistema creando, para cada una de las dos etapas (60 y 61) de conversión en la banda base de salida (bwo), un conjunto de N osciladores locales (50), preferentemente implementados como sintetizadores digitales (DDS), cada uno de los cuales envía una señal de salida a un respectivo mezclador digital (51) que recibe proveniente del primer canal de comunicación (52) una respectiva subsecuencia (53) de muestras de la única o de las varias señales de radio de frecuencia IF, cada oscilador (50) y cada mezclador (51) funcionando a una frecuencia de f/N, cada oscilador (50) proporcionando sus datos de salida con diferente desvíos de fase bajo las mismas condiciones de intervalo para cada ciclo operativo a la frecuencia f/N, las salidas del conjunto de mezcladores (51) siendo aplicadas a un filtro polifásico (54) con N canales que implementa un filtro pasa-bajo cuya frecuencia de corte corresponde a la banda base bwo, la salida del filtro polifásico (54) siendo aplicada posteriormente a un canal de comunicación de salida (55) que preferentemente coincide con la siguiente parte del primer canal (53).

7.- Sistema según una cualquiera de las precedentes reivindicaciones, caracterizado por el hecho que es adecuado para efectuar un proceso digital para la conversión en un ancho de banda de salida bwo comenzando a partir del ancho de banda bwi donde

$$bwi/16 \leq bwo \leq bwi,$$

de manera de crear un filtro pasa-banda FIR en implementación paralela con M ramas, dicho filtro FIR teniendo N tomas, donde $M \leq N$, o tomas con coeficientes h(0)...h(N-1) de filtrado pasa-banda y recibiendo secuencialmente grupos de entrada de M muestras de la única o de las varias señales de radio de frecuencia IF, cada rama procesando, después de recibir un completo nuevo grupo de M muestras de entrada, un dato de salida de un grupo de M datos de salida temporalmente consecutivos desde el filtro pasa-banda FIR, el grupo más viejo de M muestras siendo rechazado del sistema después de recibir un completo nuevo grupo de M muestras de entrada.

8.- Sistema según la reivindicación 4, o según una cualquiera de las reivindicaciones de 5 a 7 cuando dependen de la reivindicación 4, caracterizado por el hecho que funciona como una unidad back-end en la cadena de adquisición de datos para interferometría de base muy larga (VLBI), la tarjeta final (46) actuando como interfaz estándar VLBI (VSI) conectable a una subunidad (33) de registro y/o transmisión de datos.

9.- Receptor radioastronómico que comprende una unidad back-end digital, caracterizado por el hecho que dicha unidad de back-end digital es un sistema digital multicanal para el procesamiento de señales de radio según la reivindicación 8.

FIG.1

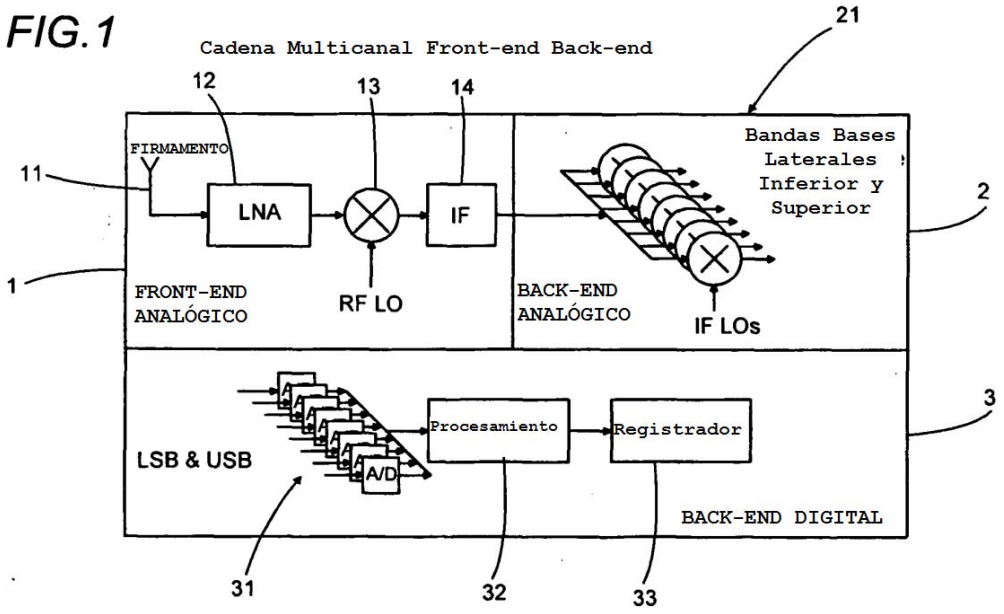

Cadena Multicanal Front-end Back-end
21
12
13
14
FIRMAMENTO
11
LNA
IF
Bandas Bases
Laterales
Inferior y
Superior
2
1
FRONT-END
ANALÓGICO
RF LO
BACK-END
ANALÓGICO
IF LOs
3
LSB & USB
A/D
Procesamiento
Registrador
BACK-END DIGITAL
31
32
33

FIG.2

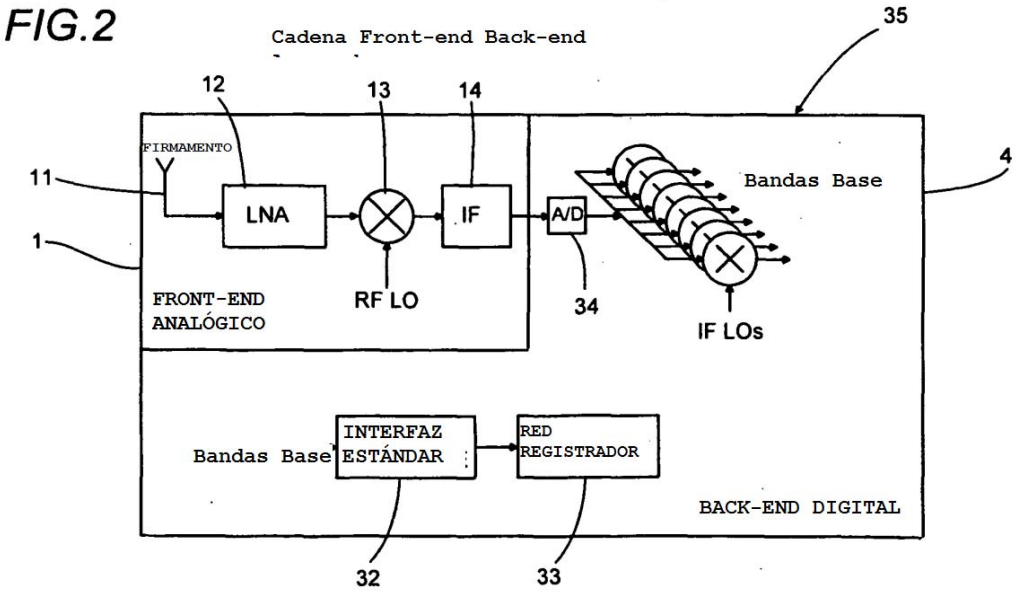

Cadena Front-end Back-end
35
12
13
14
FIRMAMENTO
11
LNA
IF
A/D
Bandas Base
4
1
FRONT-END
ANALÓGICO
RF LO
34
IF LOs
Bandas Base
INTERFAZ
ESTÁNDAR
RED
REGISTRADOR
BACK-END DIGITAL
32
33

FIG.3

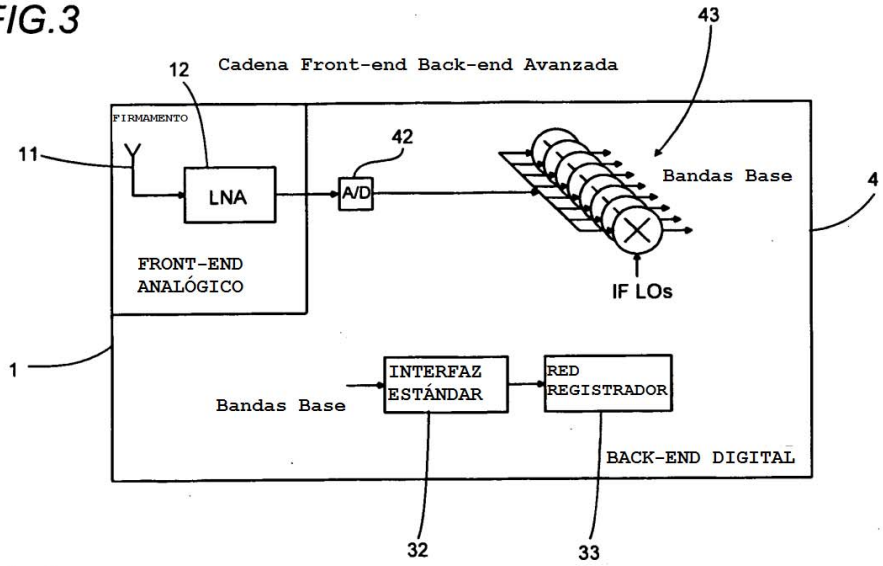

43
12
Cadena Front-end Back-end Avanzada
FIRMAMENTO
11
LNA
42
A/D
Bandas Base
4
FRONT-END
ANALÓGICO
IF LOs
1
Bandas Base
INTERFAZ
ESTÁNDAR
RED
REGISTRADOR
BACK-END DIGITAL
32
33

FIG.4

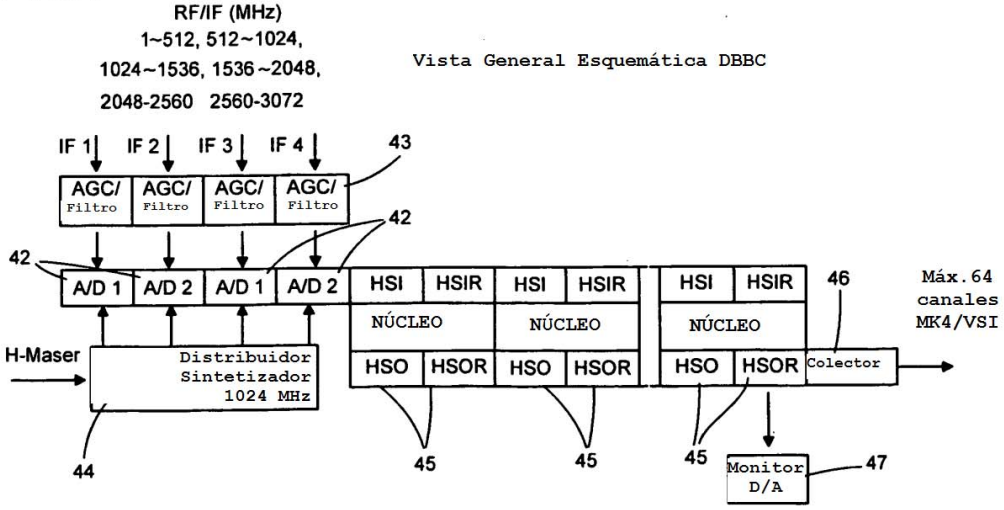

RF/IF (MHz)
1~512, 512~1024,
1024~1536, 1536~2048,
2048-2560 2560-3072
Vista General Esquemática DBBC
IF 1
IF 2
IF 3
IF 4
43
AGC/ Filtro
AGC/ Filtro
AGC/ Filtro
AGC/ Filtro
42
42
A/D 1
A/D 2
A/D 1
A/D 2
HSI
HSIR
HSI
HSIR
HSI
HSIR
46
Máx.64
canales
MK4/VSI
NÚCLEO
NÚCLEO
NÚCLEO
H-Maser
Distribuidor
Sintetizador
1024 MHz
HSO
HSOR
HSO
HSOR
HSO
HSOR
Colector
44
45
45
45
Monitor
D/A
47

FIG.5

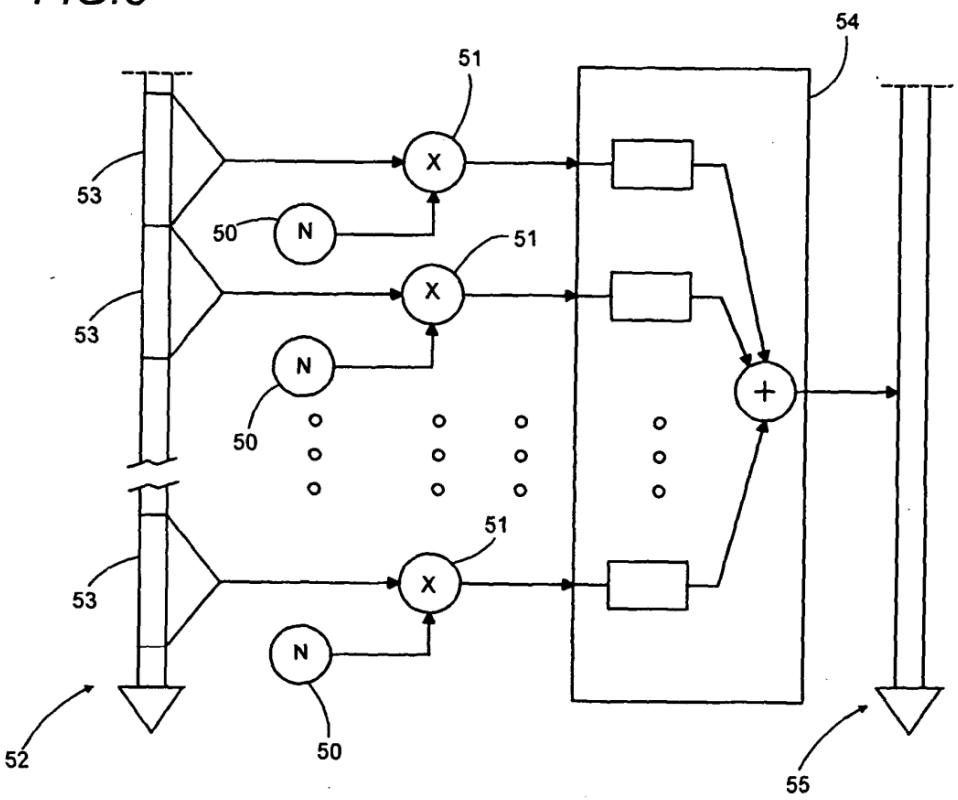
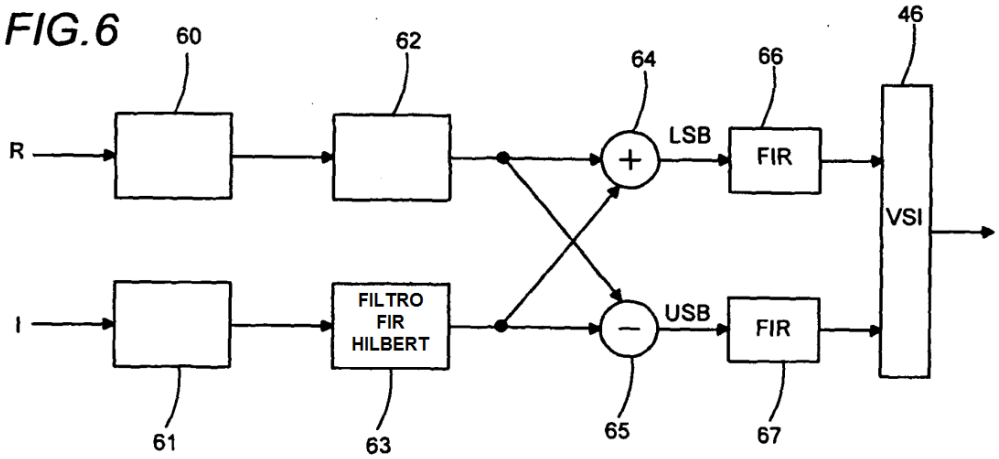

54
51
53
X
50
N
51
53
X
N
50
51
53
X
N
50
52
55

FIG.6


46
60
62
64
66
R
LSB
FIR
VSI
FILTRO
FIR
HILBERT
I
USB
FIR
61
63
65
67