



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 366 916**

51 Int. Cl.:

H03K 3/00 (2006.01)

G11C 19/00 (2006.01)

H03K 19/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **06254819 .3**

96 Fecha de presentación : **15.09.2006**

97 Número de publicación de la solicitud: **1887692**

97 Fecha de publicación de la solicitud: **13.02.2008**

54 Título: **Registro dinámico con canal P acelerado.**

30 Prioridad: **11.08.2006 US 463980**

45 Fecha de publicación de la mención BOPI:
26.10.2011

45 Fecha de la publicación del folleto de la patente:
26.10.2011

73 Titular/es: **VIA TECHNOLOGIES, Inc.**
8F, 535 Chung-Cheng Road
Hsin-Tien, Taipei 231, Taiwan R.O.C., TW

72 Inventor/es: **Lundberg, James R. y**
Bertram, Raymond A.

74 Agente: **Elzaburu Márquez, Alberto**

ES 2 366 916 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Registro dinámico con canal P acelerado.

5 ANTECEDENTES DEL INVENTO

CAMPO DEL INVENTO

El presente invento se refiere a funciones lógicas y de registros dinámicas, y más particularmente a un registro de salida dominó P con una carga acelerada y trayectos sin carga para registrar las salidas de circuitos lógicos complejos donde la velocidad y el tamaño son factores importantes.

DESCRIPCIÓN DE LA TÉCNICA RELACIONADA

Los circuitos integrados usan un número notable de registros, particularmente los que tienen una arquitectura segmentada síncrona. El registro lógico es empleado para retener las salidas de dispositivos y circuitos durante un periodo de tiempo de manera que estas salidas puedan ser recibidas por otros dispositivos y circuitos. En un sistema temporizado, tal como un microprocesador segmentado, los registros son utilizados para enganchar y retener las salidas de una etapa segmentada dada durante un periodo de un ciclo de reloj de manera que los circuitos de entrada en una etapa subsiguiente puedan recibir las salidas durante ese periodo mientras la etapa segmentada dada está generando al mismo tiempo nuevas salidas.

En el pasado, ha sido la práctica común preceder y hacer seguir a circuitos de evaluación lógica complejos, tales como multiplexadores de múltiples entradas (multiplexadores), codificadores multi-bits, etc., con registros para contener las entradas a los circuitos de evaluación y las salidas desde los mismos. Generalmente, estos registros tienen requisitos de configuración y tiempo de retención asociados, los cuales restringen los circuitos de evaluación en la etapa precedente. Además, los registros tienen características de tiempo de datos para salida correspondientes, que restringen los circuitos de evaluación en la etapa subsiguiente. La "velocidad" de un registro es juzgada típicamente en términos de su tiempo de datos para salida, es decir, la suma de su tiempo de configuración y tiempo de reloj para salida.

Preceder y seguir un circuito de evaluación lógica con circuitos de registro tradicionales introduce retrasos en un sistema segmentado cuyo efecto acumulativo da como resultado velocidades de funcionamiento significativamente más lentas. Más específicamente, una fuente notable de estos retrasos son los requisitos de tiempo de datos para salida que deben ser satisfechos por circuitos de evaluación lógica con el fin de asegurar salidas registradas estables. Se desea reducir estos retrasos para proporcionar tiempo adicional en cada etapa y aumentar por ello la velocidad total del sistema segmentado.

La publicación de Solicitud de Patente Norteamericana nº 2005/0127952A1, titulada "Registro Dominó No Inversor", está dirigida a los problemas descritos antes. En la exposición anterior, se ha descrito un registro dominó no inversor que combinaba funciones de evaluación lógica con sus registros correspondientes para conseguir un tiempo de reloj para salida más rápido que las aproximaciones convencionales sin comprometer la estabilidad de su salida. Las transiciones de la señal de salida del registro dominó no inversor expuestas en él fueron mostradas como muy rápidas en respuesta a transiciones de la señal de reloj en contraste con respuestas de transición más lentas de registros dominó de inversión convencional. El registro dominó no inversor anterior, fue también flexible con respecto a la configuración de la evaluación lógica, que podría ser proporcionada como lógica de canal N, lógica de canal P, o una combinación de ambas.

En la publicación de Solicitud de Patente Norteamericana nº 2006/0038589A1, titulada "Registro Dominó P", se ha expuesto una versión de canal P del registro dominó no inversor.

Tanto las versiones de canal N como las de canal P del registro dominó no inversor proporcionan ventajas de velocidad significativas cuando las entradas de datos hacen que el registro no inversor descargue un nodo precargado o cargue un nodo descargado en él cuando es temporizado. Pero los actuales inventores han observado un deseo de disminuir el tiempo de reloj para salida tanto para las versiones de canal P como para las de canal N del registro dominó no inversor cuando las entradas de datos son tales que el nodo precargado no descarga o el nodo previamente descargado no carga cuando es temporizado.

Consiguientemente, se desea proporcionar registros dominó N y dominó P mejorados con trayectos acelerados que proporcionan todos los beneficios de los registros dominó no inversor anteriores, y que son además flexibles con respecto a la etapa dominó, y que son además óptimos para utilizar en un entorno de fuga elevada o de ruido elevado.

SUMARIO DEL INVENTO

En una realización, se proporciona un registro dinámico no inversor. El registro dinámico no inversor incluye una etapa dominó, un multiplexador, y una etapa de salida. La etapa dominó está configurada para evaluar una función lógica basada en al menos una señal de datos de entrada y una señal de reloj pulsatoria, en que la etapa dominó descarga previamente un nodo previamente descargado bajo cuando la señal de reloj pulsatoria es alta y abre una ventana de evaluación cuando la señal de reloj pulsatoria adopta un valor bajo, y lleva a un valor alto el nodo previamente descargado si la etapa dominó evalúa, y conserva el nodo previamente descargado bajo si la etapa de dominó falla al evaluar. El multiplexador está acoplado a la etapa dominó. El multiplexador responde a la señal de reloj pulsatoria y al nodo previamente descargado. El multiplexador lleva a un valor alto un nodo de realimentación si el nodo previamente descargado adopta un valor alto durante la ventana de evaluación, y lleva el nodo de realimentación a un valor bajo si el nodo previamente descargado está bajo durante la ventana de evaluación. El multiplexador recibe una señal de realimentación retrasada que tiene el mismo estado que el nodo de realimentación, pero retrasado en el tiempo, en el que la señal de realimentación retrasada es seleccionada cuando la señal de reloj pulsatoria adopta un valor alto. La etapa de salida está acoplada al nodo previamente descargado y al nodo de realimentación. La etapa de salida proporciona una señal de salida basada en los estados de los nodos, previamente descargado y de realimentación.

En otra realización, se proporciona un método de registrar una función lógica y generar una salida no invertida. El método incluye descargar previamente un primer nodo bajo mientras una señal de reloj pulsatoria está alta; evaluar una función lógica para controlar el estado del primer nodo cuando la señal de reloj pulsatoria adopta un valor bajo, comprendiendo dicha evaluación: llevar un primer nodo a un valor alto cuando la función lógica evalúa y conservar el primer nodo bajo cuando la función lógica falla al evaluar; en primer lugar controlar el estado de un segundo nodo con un primer estado retrasado del primer nodo cuando la señal de reloj pulsatoria adopta un valor bajo, comprendiendo dicho primer control: en primer lugar seleccionar el primer estado retrasado del primer nodo como una salida de un multiplexador, en el que la salida está acoplada al segundo nodo; en segundo lugar controlar el estado del segundo nodo con un segundo estado retrasado del segundo nodo cuando la señal de reloj pulsatoria adopta un valor alto; y determinar el estado de un nodo de salida basado en los estados del primer y segundo nodos.

Los beneficios, características y ventajas del presente invento resultarán mejor comprendidos con relación a la siguiente descripción, y a los dibujos adjuntos en los que:

La fig. 1 es un diagrama esquemático de un registro dominó N no inversor puesto en práctica de acuerdo con una exposición anterior que está incorporada como referencia;

La fig. 2 es un diagrama de tiempo que ilustra el funcionamiento del registro dominó N no inversor de las figs. 1, 3-4, y 5;

La fig. 3 es un diagrama esquemático de un registro dominó N no inversor puesto en práctica de acuerdo con una realización alternativa del registro de la fig. 1;

La fig. 4 es un diagrama esquemático de otro registro dominó N no inversor que exhibe una etapa de almacenamiento mejorado;

La fig. 5 es un diagrama esquemático de un registro dominó N no inversor que emplea la etapa de almacenamiento mejorado y puesto en práctica de acuerdo con una realización alternativa del registro de la fig. 4;

La fig. 6 es un diagrama de tiempo que ilustra el funcionamiento de los registros dominó N no inversor de las figs. 1, 3-4, y 5 de acuerdo con una realización de reloj pulsatorio que es preferida para minimizar el tiempo de retención;

La fig. 7 es un diagrama de tiempo que ilustra el funcionamiento de una realización de enganche dominó N no inversor que emplea los circuitos de las figs. 1, 3-4, y 5;

La fig. 8 es un diagrama esquemático de un circuito dominó P no inversor que emplea una etapa de almacenamiento mejorado;

La fig. 9 es un diagrama de tiempo que ilustra el funcionamiento del circuito dominó P no inversor de la fig. 8 cuando es empleado como un registro de acuerdo con una realización de reloj pulsatorio que es preferida para minimizar el tiempo de retención;

La fig. 10 es un diagrama esquemático de un registro dominó P no inversor de acuerdo con una realización ejemplar del presente invento que muestra un trayecto de carga acelerado;

La fig. 11 es un diagrama esquemático de un registro dominó P no inversor de acuerdo con una realización del presente invento dura para llevar a un valor alto que exhibe un trayecto sin carga acelerado; y

La fig. 12 es un diagrama de tiempo que ilustra el funcionamiento de los registros dominó P no inversor de las figs. 10-11.

60

DESCRIPCIÓN DETALLADA

La siguiente descripción es presentada para permitir que un experto en la técnica haga y use el presente invento como está previsto dentro del contexto de una aplicación particular y de sus requisitos. Sin embargo, serán evidentes distintas modificaciones a la realización preferida para un experto en la técnica, y los principios generales aquí definidos pueden ser aplicados a otras realizaciones. Por ello, el presente invento no está destinado a estar limitado a las realizaciones particulares mostradas y descritas aquí, sino que ha de acordarse el marco más amplio en consonancia con los principios y nuevas características aquí descritos.

Los inventores de la presente solicitud han reconocido la necesidad de proporcionar salidas registradas para circuitos lógicos en las cuales la velocidad, el tamaño y la estabilidad son factores críticos, lo cual es flexible con respecto a la lógica de evaluación, que puede ser utilizada en entornos de fuga elevada o de ruido elevado, y que además exhiben tiempos de reloj para salida acelerados para estados de entrada de datos específicos. Han desarrollado por ello registros dominó N no inversor que tienen un tiempo de datos para salida más rápido que el que ha sido proporcionado hasta el momento sin comprometer la estabilidad de la salida, que son flexibles con relación a la puesta en práctica de la lógica de evaluación, y que pueden ser usados en un entorno de fuga elevada o de ruido elevado, como será descrito adicionalmente a continuación con respecto a las figs. 1-11. Cuando es empleado en una arquitectura segmentada que se basa fuertemente en registros y lógica dinámica para transferir datos de etapa a etapa, un registro dominó P no inversor de acuerdo con realizaciones del presente invento permite que la velocidad operativa del dispositivo completo sea aumentada significativamente. Por consiguiente, el dispositivo completo puede ser puesto en práctica usando dispositivos más rápidos y más pequeños en un proceso de fuga elevada o de ruido elevado sin comprometer la velocidad.

La fig. 1 es un diagrama esquemático de un registro 100 dominó N no inversor puesto en práctica como está descrito en la Publicación de Solicitud de Patente Norteamericana N° 2005/0127952A1. El registro 100 dominó no inversor incluye una etapa de entrada de evaluación lógica, o etapa dominó, que consiste de dispositivos P1 y N2 apilados de canal P y canal N y la lógica de evaluación 104. Los dispositivos P1 y N2 son un par complementario de dispositivos de evaluación acoplados a cada lado de la lógica de evaluación 104 en el apilamiento. La lógica de evaluación 104 puede ser tan simple como un único dispositivo de canal N o puede ser significativamente más compleja para la evaluación de cualquier función lógica deseada. La fuente de P1 está acoplada a una fuente de tensión VDD y su drenaje está acoplado al nodo 105 proporcionando una señal de carga previa TOP. La lógica de evaluación 104 está acoplada entre el nodo 105 y el drenaje de N2, que tiene su fuente acoplada a tierra. Una señal de reloj CLK es proporcionada a través del nodo 101 a las puertas de P1 y N2. Un conjunto 103 de N nodos proporciona N señales DATA de datos de entrada a la lógica de evaluación 104, en que N es cualquier entero positivo.

La etapa dominó del registro 100 dominó N no inversor va seguida por una etapa de almacenamiento que incluye dispositivos P2, N3, y N4 y un circuito de mantenimiento débil 109. Los dispositivos P2, N3 y N4 pueden ser considerados como una "etapa de escritura" y el circuito de mantenimiento 109 como una etapa conservadora dentro de la etapa de almacenamiento. El nodo 101 está acoplado a la puerta de N3 y el nodo 105 está acoplado a las puertas de P2 y N4. La fuente P2 está acoplada a VDD y su drenaje está acoplado a un primer nodo 107 de salida intermedia que proporciona una primera señal de salida intermedia QH. El nodo 107 está acoplado al drenaje de N3, a la entrada de un inversor 109A y a la salida de otro inversor 109B. La salida del inversor 109A está acoplada a un segundo nodo 111 de salida intermedia que proporciona una segunda señal de salida intermedia Q1, que está acoplada a la entrada del inversor 109B. Los inversores 109A y 109B están acoplados cruzados entre los nodos 107 y 111 y forman colectivamente el circuito de mantenimiento débil 109. La fuente de N3 está acoplada al drenaje de N4, que tiene su fuente acoplada a tierra.

La etapa de almacenamiento del registro dominó no inversor 100 va seguida por una etapa de salida adicional, que incluye los dispositivos P3 y P4 de canal P y los dispositivos N5 y N6 de canal N. El nodo 105 está acoplado a las puertas de P4 y N6, y el nodo 111 está acoplado a las puertas de P3 y N4. Las fuentes de P3 y P4 están acopladas a VDD y sus drenajes están acoplados juntos en un nodo de salida 113 que proporciona una señal de salida Q. El nodo de salida 113 está acoplado al drenaje de N5, que tiene su fuente acoplada al drenaje de N6, que tiene su fuente acoplada a tierra. Los dispositivos de canal P funcionan generalmente como dispositivos para llevar a un valor alto o elevar y los dispositivos de canal N funcionan generalmente como dispositivos para llevar a un valor bajo o descender.

La fig. 2 es un diagrama de tiempos que ilustra el funcionamiento del registro 100 dominó N no inversor, en que las señales CLK, DATAN, TOP, QH, QI Y Q están trazadas en función del tiempo. Para mayor claridad, los tiempos de transición relativos son estimados y los retrasos son ignorados. La señal DATAN es mostrada como una señal única que representa el conjunto colectivo de N señales DATA. La señal DATAN está mostrada confirmada alta para el caso en que el estado colectivo de las señales de datos hace que la lógica de evaluación 104 "evalúe", llevando por ello la señal de precarga TOP a un valor bajo, y está mostrada confirmada baja para el caso en que la lógica de

evaluación 104 falle al evaluar, lo que conserva la señal de precarga TOP alta. Así, cuando la lógica de evaluación 104 evalúa, hace que la señal TOP transite desde su estado precargado alto a su estado bajo. Cuando la lógica de evaluación "falla al evaluar", TOP permanece en su estado precargado alto. En otras palabras, cuando la lógica de evaluación hace que TOP se descargue, el nivel de señal TOP transita desde su estado precargado alto a un nivel lógico bajo. Cuando TOP permanece en su nivel lógico precargado alto debido a que la lógica de evaluación 104 falla al evaluar, tal situación es denominada como un evento "sin descarga".

Por tanto, en el instante T0, cuando la señal CLK es inicialmente baja, N2 está desactivado y P1 está activado, de manera que la etapa dominó precarga la señal TOP alta. La señal TOP es cargada previamente alta en preparación para la evaluación de la señal DATAN por la lógica de evaluación 104 sobre el borde ascendente de CLK, donde la señal DATAN es inicialmente alta. La señal TOP cargada previamente activa N4 y N6. La señal QII permanece en su estado anterior (mostrada inicialmente en un estado lógico bajo) y es retenida allí por el circuito de mantenimiento 109. La señal QI es inicialmente alta activando N5, de manera que la señal de salida Q es inicialmente llevada a un valor bajo mediante los dispositivos N5 y N6.

En el instante T1 la señal CLK adopta un valor alto, lo que provoca que la señal TOP se descargue a un nivel lógico bajo ya que la señal DATAN está alta. En particular, N2 es activado y la lógica de evaluación 104 lleva la TOP a un valor bajo mediante N2 a tierra. La señal QII es llevada a un valor alto mediante P2 y la señal de salida Q es llevada a un valor alto mediante P4. Las señales QII y Q son ambas llevadas a un valor alto en el mismo instante T1, y la señal QI es llevada a un valor bajo por el inversor 109A. El estado invertido de la señal QI en la salida del circuito de cierre 109 activa los dispositivos P3 y N5. Cuando QI es alta, P3 está desactivado y N5 está activado; y cuando QI es baja, P3 está activado y N5 desactivado. En el instante subsiguiente T2 cuando la siguiente señal CLK a continuación adopta un valor bajo, la señal TOP es otra vez cargada previamente alta. P2 y N3 son desactivados de manera que el nodo 107 no es activado a ningún estado. Los estados respectivos de las señales QII y QI permanecen sin cambios, sin embargo, mediante la operación del circuito de mantenimiento 109, de manera que las señales QI y QII permanecen altas y la señal QI permanece baja a lo largo de todo el resto del semiciclo de CLK.

La señal DATAN está mostrada adoptando un valor bajo en el instante T3 mientras la señal CLK es aún baja, y la señal CLK es a continuación confirmada alta en el instante T4 mientras la señal DATAN es baja. La lógica de evaluación 104 falla al evaluar, de manera que TOP permanece alta (es decir, una "sin descarga") mientras DATAN es baja y CLK es alta. Las señales CLK y TOP activan los dispositivos N3 y N4, respectivamente, de manera que la señal QII es confirmada baja aproximadamente en el instante T4, y la señal QI es llevada consecuentemente a un valor alto por el inversor 109A. Al ser alta la señal TOP conserva N6 activado. La señal QI activa N5 y desactiva P3, de manera que la señal Q es llevada a un valor bajo a través de N5 y N6. La señal CLK adopta un valor bajo a continuación en el instante T5 llevando TOP a un valor alto de nuevo. Los estados respectivos de las señales QII y QI permanecen sin cambios a través del funcionamiento del circuito de mantenimiento 109. La señal Q permanece baja a lo largo de todo el resto del ciclo de CLK ya que QI mantiene N5 activado y TOP mantiene N6 activado.

La señal de salida Q transita desde baja a alta de un modo relativamente rápido en respuesta a un borde ascendente de la señal CLK cuando la lógica de evaluación 104 descarga la señal TOP a un nivel bajo. Hay un retraso a través de los dispositivos N2 y P4 (es decir, el trayecto de descarga) provocando la transición de la salida. La señal de salida Q transita desde alta a baja después de un retraso a través de los dispositivos N3, N5 y el inversor 109A (es decir, el trayecto sin descarga) en respuesta un borde ascendente de la señal CLK cuando la lógica de evaluación 104 falla al evaluar, dejando la señal TOP baja. El retraso a través del inversor 109A es minimizado al ser puesto en práctica como un dispositivo relativamente pequeño (con capacitancia mínima) ya que no necesita tener el tamaño ni realizar la función de un tampón. En otra realización, el retraso puede ser minimizado empleando lógica proporcionada (es decir, el dispositivo P grande y el dispositivo N pequeño) para el inversor 109A. Es apreciado por los expertos en la técnica que las transiciones de la señal de salida Q del registro 100 dominó N no inversor sean muy rápidas en respuesta a transiciones de la señal CLK. Si es necesaria una salida no inversora o deseada de otro modo, el registro 100 dominó N no inversor proporciona una velocidad de datos para salida superior comparada con diseños convencionales entre otros beneficios y ventajas. El registro 100 dominó N no inversor puede ser convertido a un registro dominó N inversor simplemente añadiendo un inversor/tampón de salida (no mostrado).

Como el funcionamiento del circuito 100 de la fig. 1 ha sido descrito, un experto en la técnica apreciará que como la función de la lógica de evaluación 104 es hacer transitar rápidamente la señal TOP desde su nivel alto previamente cargado a un nivel bajo, una realización del presente invento emplea dispositivos P y N proporcionados para configurar la lógica de evaluación 104. En esta realización, son empleados dispositivos N fuertes y dispositivos P débiles, dando como resultado un funcionamiento más rápido.

La exposición anterior de la Publicación de Solicitud de Patente Norteamericana, de Serie Nº 20040034681A1 (Registro: CNTR.2200), que está aquí incorporada como referencia, describe la lógica AND y la lógica OR (no mostradas aquí), que pueden ser usadas como la lógica de evaluación 104. Se ha descrito en ella que cualquier

combinación adecuada de los circuitos lógicos AND y OR es contemplada, y que cualquier otro circuito de evaluación lógica compleja es contemplado, incluyendo, por ejemplo, multiplexadores de entradas múltiples (multiplexadores), codificadores multi-bits, etc. Cualquier lógica de evaluación deseada de simple a compleja puede ser sustituida por la lógica de evaluación 104 sin impactar de manera adversa en las restricciones de velocidad o de potencia asociadas del registro 100 dominó N no inversor. Los circuitos lógicos AND y OR fueron solamente ejemplares y fueron previstos para ilustrar que la lógica de evaluación 104 puede ser cualquier circuito de evaluación lógica compleja como es apreciado por los expertos en la técnica. Una limitación posible del registro 100 dominó N inversor, sin embargo, es que no es particularmente flexible con respecto a la lógica de evaluación 104, que típicamente tenía que ser puesta en práctica como lógica de canal N. La lógica de canal N, en algunas configuraciones, no proporciona niveles óptimos de margen de ruido de entrada.

La fig. 3 es un diagrama esquemático de un registro 300 dominó N no inversor puesto en práctica de acuerdo con una realización alternativa del registro de la fig. 1, y está también descrito en la Publicación de Solicitud de Patente Norteamericana de Serie N° 2005/0127952A1. El registro 300 dominó N no inversor es sustancialmente similar al registro 100 dominó N no inversor de la fig. 1, excepto en que la etapa de entrada de evaluación lógica, o etapa dominó, que comprende los dispositivos P1 y N2 apilados de canal P y canal N y la lógica de evaluación 104, es reordenada y la lógica de evaluación 104 es reemplazada con la lógica de evaluación 301. Los dispositivos P1 y N2 son un par complementario de dispositivos de evaluación acoplados juntos en el nodo 105 que proporciona la señal TOP. En este caso, el drenaje de N2 está acoplado al nodo 105 y su fuente está acoplada al extremo superior de la lógica de evaluación 301. El extremo inferior de la lógica de evaluación 301 está acoplado a tierra. De esta manera, la lógica de evaluación 301 está acoplada por debajo del apilamiento de P1/N2 en oposición a estar acoplada entre P1 y N2. El funcionamiento de sustancialmente similar al del registro 100 dominó N no inversor de la fig. 1 y el diagrama de tiempo de la fig. 2 permanece igualmente válido para el registro 300 dominó no inversor de la fig. 3.

La lógica de evaluación 301 podría estar configurada de la misma manera sustancialmente que la lógica de evaluación 104. Como es bien comprendido por los expertos en la técnica, sin embargo, la lógica de evaluación 301 puede alternativamente ser realizada usando una lógica de semiconductor de óxido metálico (CMOS) complementaria en vez de la lógica de canal N, donde de nuevo, el diagrama de tiempo de la fig. 2 sigue siendo válido. La lógica CMOS proporciona un margen de ruido de nivel de entrada significativamente mejor sobre la lógica de canal N, de modo que el registro 300 dominó N no inversor proporciona un margen de ruido de nivel de entrada significativamente mejor sobre el registro 100 dominó N no inversor cuando se utiliza la lógica CMOS en la etapa dominó.

Los registros 100 y 300 dominó N no inversor experimentan ambos efectos de fuga cuando son realizados en un proceso de alta fuga o de alto ruido, tal como SOI de 90 nm y similar. Reducir los circuitos a 90 nm introduce cuestiones relacionadas con la fuga. Los procesos reducidos de tamaño exhiben fugas mayores ya que las longitudes de canal son más cortas. Por consiguiente, con el fin de escribir un nuevo estado en el nodo 107 de la etapa de almacenamiento para cualquiera de los registros 100 y 300, un dispositivo débil debe ser superado dentro del inversor de realimentación (por ejemplo, dentro del inversor 109B, un dispositivo de canal P débil para cambiar a un estado bajo y un dispositivo de canal N débil para cambiar a un estado alto). El coste de superar un dispositivo es velocidad y corriente. Además, en los procesos en que hay o bien una fuga alta o bien un ruido alto, los dispositivos N y P débiles dentro del inversor de realimentación 109B deben ser hechos más grandes con el fin de mantener el estado del nodo de salida en presencia de fuga o ruido.

Obsérvese, por ejemplo, que el nodo de almacenamiento 107 (señal QII) está aislado de la etapa de entrada cuando CLK es baja. No hay ninguna activación de la señal QII excepto el inversor de realimentación de mantenimiento 109B, que incluye dispositivos N y P débiles internos (no mostrados). Aún, debido a la fuga aumentada asociada con un proceso de modificación de tamaño, una mayor cantidad de corriente de fuga circula a través de los dispositivos P2 y N3. Así, los dispositivos N y P en el inversor 109B han de ser lo suficientemente grandes para superar esa fuga. Por ejemplo, si la señal QII es alta, la fuga ocurre a tierra a través de los dispositivos N3 y N4, de manera que el dispositivo P dentro del inversor 109B ha de ser lo bastante grande para alimentar bastante corriente para superar esa fuga para mantener la señal QII alta. En los procesos en que hay una fuga elevada o corrientes elevadas y los dispositivos están desactivados, son necesarios dispositivos cada vez más amplios para retener el estado. Y el uso de dispositivos más amplios reduce sustancialmente el rendimiento porque cuando un nuevo estado es escrito, el dispositivo más amplio que está manteniendo el estado debe ser superado. Para compensar la reducción en velocidad, los dispositivos P2, N3 y N4 de etapa de almacenamiento son hechos mayores para activar el nuevo estado para superar el retenido por los dispositivos grandes en el inversor de realimentación de mantenimiento 109B. Los dispositivos más grandes consumen espacio valioso en un circuito integrado (IC).

La fig. 4 es un diagrama esquemático de otro registro 400 dominó N no inversor que exhibe una etapa de almacenamiento mejorada y que emplea un circuito de mantenimiento mejorado. El registro 400 dominó N no inversor incluye una etapa dominó de entrada seguida por una etapa de almacenamiento y una etapa de salida. La

etapa dominó y la parte inicial de la etapa de almacenamiento del registro 400 son similares a las del registro 100. El circuito de mantenimiento del registro 400, sin embargo, está modificado para mejorar el rendimiento eliminando la necesidad de superar dispositivos y reducir coste en términos de velocidad y corriente. La etapa dominó incluye dispositivos P1 y N2 apilados de canal P y canal N y lógica de evaluación 104. Como antes, los dispositivos P1 Y N2 son un par complementario de dispositivos de evaluación acoplados en cada lado de la lógica de evaluación 104 entre la fuente de tensión VDD y tierra. La fuente de P1 está acoplada a VDD y su drenaje está acoplado al nodo 105 que proporciona la señal TOP. La lógica de evaluación 104 está acoplada entre el nodo 105 y el drenaje de N2 y la fuente de N2 está acoplada a tierra. La señal de reloj de entrada CLK es proporcionada a través del nodo 101 a las puertas de P1, N2 y N3. Un conjunto de N nodos 103 proporciona N señales de datos de entrada DATA a la lógica de evaluación 104. Como antes, el nodo 105 que proporciona la señal TOP está acoplado a las puertas de los dispositivos P2 y N4. La parte inicial de la etapa de almacenamiento es sustancialmente la misma etapa de escritura que incluye los dispositivos apilados P2, N3 y N4. La fuente de P2 está acoplada a VDD y su drenaje está acoplado al nodo 107 desarrollando la primera señal de salida intermedia QII. EL drenaje de N3 está acoplado al nodo 107 y su fuente está acoplada al drenaje de N4, que tiene su fuente acoplada a tierra.

La etapa de almacenamiento del registro 400 dominó N no inversor tiene la etapa de escritura que incluye los dispositivos P3, P4, y N5 y una etapa de mantenimiento que incluye los dispositivos P3, P4, N3 y un inversor 401. La etapa de almacenamiento va seguida por una etapa de salida, que comprende una puerta 403 NAND de dos entradas en la realización ilustrada. En este caso, la fuente de P3 está acoplada a VDD y su drenaje está acoplado a la fuente de P4, que tiene su drenaje acoplado al drenaje de N5 en el nodo 107. La fuente de N5 está acoplada al drenaje de N4 acoplado además a la fuente de N3. El nodo 101, que proporciona la señal CLK, está acoplado a la puerta de P4. El nodo 107, que desarrolla la señal QII, está acoplado a la entrada del inversor 401 que tiene su salida acoplada al nodo 111 que desarrolla la segunda señal de salida intermedia QI. El nodo 111 está acoplado a las puertas de P3 y N5 y está acoplado a una entrada de la puerta 403 NAND. El nodo 105, que proporciona la señal TOP, está acoplado a la otra entrada de la puerta 403 NAND, y la salida de la puerta 403 NAND proporciona la señal Q de salida.

El diagrama de tiempos de la fig. 2 es aplicable para el registro 400 dominó no inversor para esta situación con sólo menores diferencias en tiempo, donde tales diferencias de tiempo y pequeños retrasos son ignorados (por ejemplo, retrasos a través del inversor 401 y la puerta 403 NAND son ignorados con propósitos de ilustrar la funcionalidad en el diagrama de tiempo 200). De nuevo, supóngase que la señal QII es inicialmente baja y ha de ser confirmada alta. Con referencia a la fig. 2, en el instante T0, las señales CLK, Q y QII son inicialmente bajas y la señal QI es alta. Como CLK es baja, P1 es activado y TOP es cargada previamente alta activando N4. Como QI y TOP son ambas altas, la señal Q en la salida de la puerta 403 NAND es inicialmente baja. Mientras CLK es baja y QI es alta, N5 está activado, P3 está desactivado y P4 está activado. En este caso, por lo tanto, N5 y N4 están ambos activados proporcionando un trayecto de mantenimiento de estado "bajo" para el nodo 107 a tierra que mantiene la señal QII baja. El trayecto de mantenimiento bajo es habilitado siempre que el segundo nodo de salida preliminar 111 y el nodo 105 cargado previamente son ambos altos, y de otro modo es deshabilitado.

Cuando la señal CLK adopta un valor alto en el instante T1, N2 es activado iniciando la evaluación de los operandos de DATA por la lógica de evaluación 104. Como antes, la señal DATAN, que representa los operandos de DATA de entrada, es mostrada inicialmente alta lo que hace que la lógica de evaluación 104 acople el nodo 105 al drenaje de N2. Esto hace que la señal TOP descargue a un nivel bajo a través de N2. Al adoptar TOP un valor bajo hace que la puerta 403 NAND mantenga Q alta aproximadamente en el instante T1 (después de un corto retraso a través de la puerta 403 NAND). Descargar TOP a un nivel bajo desactiva N4, deshabilitando por ello el trayecto conservador bajo desde N5 a través de N4 hacia abajo a tierra. Y al adoptar TOP un valor bajo activa P2 de manera que la señal QII es llevada a un valor alto aproximadamente en el instante T1. Cuando la señal QII adopta un valor alto en el instante T1, el inversor 301 lleva la señal QI a un valor bajo, lo que activa P3 y desactiva N5. La señal de salida Q permanece baja mientras la señal QI es baja.

En este ejemplo, el trayecto conservador bajo a través de N5 es deshabilitado debido a que N4 es desactivado cuando la señal TOP adopta un valor bajo. Y como N4 es desactivado, P2 no tiene que superar N5 para llevar la señal QII a un valor alto. Siempre que la señal QII es baja y ha de ser llevada a un valor alto en respuesta a la evaluación (llevar TOP a un valor bajo), el trayecto de mantenimiento bajo está siempre deshabilitado (porque N4 está desactivado) de manera que la etapa de escritura de la etapa de almacenamiento no tiene que superar un dispositivo conservador.

En el momento T2 cuando CLK adopta un valor bajo a continuación, TOP es otra vez cargada previamente alta. También en el instante T2, P4 es activado proporcionando un trayecto conservador de etapa "alto" desde el nodo 107 A VDD mediante P4 y P3, manteniendo por ello la señal QII alta. El trayecto conservador alto es habilitado siempre que el nodo 105 cargado previamente y el segundo nodo de salida preliminar 111 están ambos bajos, y de lo contrario es deshabilitado. Así, la señal QII es confirmada alta, lo que a su vez mantiene QI baja para mantener el

estado de la señal de salida Q mientras TOP adopta un valor alto en el instante T2. Al adoptar la señal TOP un valor alto activa N4 de nuevo aproximadamente en el instante T2, pero como la señal QI es baja, N5 es desactivado manteniendo por ello el trayecto conservador bajo desactivado o deshabilitado para el resto del ciclo.

5 La señal *DATAN* adopta un valor bajo en el instante T3 y la siguiente señal CLK adopta un valor alto a continuación en el instante T4 mientras la señal *DATAN* es aún baja de manera que la lógica de evaluación 104 no hace que TOP se descargue. Consiguientemente, TOP permanece alta en el instante T4 de manera que N4 permanece activado. Al adoptar la señal CLK un valor alto, desactiva P4 y activa N3. El trayecto de mantenimiento alto desde el nodo 107 a VDD es deshabilitado ya que P4 está desactivado, y N3 y N4 están ambos activados haciendo descender la señal QII. Como P4 está desactivado, N3 y N4 no tienen que superar ningún dispositivo, incluyendo dispositivos de mantenimiento débiles, para llevar a QII a un valor bajo. Siempre que la señal QII es alta y ha de ser llevada a un valor bajo en respuesta al fallo de evaluación (en que TOP permanece alta), el trayecto de mantenimiento alto está siempre deshabilitado (porque P4 está desactivado) de manera que la etapa de escritura de la etapa de almacenamiento no tiene que superar un dispositivo de mantenimiento. El inversor 401 lleva QI a un valor alto en el instante T4 en respuesta a que QI adopta un valor bajo. Como QI y TOP son ambas altas, la puerta 403 NAND lleva Q a un valor bajo en el instante T4. También, al adoptar QI un valor alto activa N5 y desactiva P3, de manera que el trayecto conservador alto es deshabilitado y el trayecto conservador bajo a través de N5 y N4 es rehabilitado. Cuando la CLK adopta un valor bajo a continuación en el instante T5, N3 es desactivado, pero QII es confirmada baja a través del trayecto de mantenimiento bajo mientras N5 y N4 son mantenidos activados. Tanto TOP como QI permanecen altas, de manera que Q permanece baja durante el resto del ciclo de CLK.

El registro 400 dominó N no inversor de la fig. 4 emplea una técnica mejorada para deshabilitar los dispositivos de realimentación de mantenimiento débiles, de manera que cuando se está escribiendo un nuevo estado, un dispositivo fuerte interno a un dispositivo de mantenimiento no tiene que ser superado. Por consiguiente, los dispositivos P3 y N5 son hechos más amplios para superar la fuga con el fin de mantener el estado, pero sin afectar a la velocidad debido a que los mismos dispositivos P3 y N5 son deshabilitados cuando se escribe un nuevo estado para el nodo de almacenamiento 107 (la señal QII). Cuando se escribe un nuevo estado de la señal QII, un circuito de mantenimiento de realimentación no tiene que ser superado, de manera que los dispositivos P2 y N3 pueden ser dispositivos de tamaño normal. El "mantenedor" del registro 400 dominó no inversor es solamente habilitado para almacenar el estado. En particular, los dispositivos de realimentación son habilitados para mantener el estado y deshabilitados cuando se está escribiendo un nuevo estado.

La fig. 5 es un diagrama esquemático de otro registro 500 dominó N no inversor que emplea la etapa de mantenimiento mejorada del registro 400 y puesta en práctica de acuerdo a una realización alternativa. El registro 500 dominó no inversor es sustancialmente similar al registro 400 dominó no inversor, excepto en que la etapa de entrada de evaluación lógica, o etapa dominó, que comprende los dispositivos P1 y N2 apilados de canal P y canal N y la lógica de evaluación 104 es reordenada, y la lógica de evaluación 104 es reemplazada con la lógica de evaluación 501. El cambio al registro 500 desde el registro 400 es análogo al cambio al registro 300 desde el registro 100. De esta manera, la lógica de evaluación 501 del registro 500 dominó N no inversor puede ser puesta en práctica con lógica CMOS en vez de con lógica de canal N, donde de nuevo, el diagrama de tiempos de la fig. 2 permanece aplicable. Como se ha descrito previamente, la lógica CMOS proporciona un margen de ruido de nivel de entrada significativamente mejor sobre la lógica de canal N de manera que el registro 500 dominó N no inversor proporciona un margen de ruido de nivel de entrada algo mejor sobre el registro 400 dominó N no inversor cuando se usa la lógica CMOS en la etapa dominó.

Un registro dominó N no inversor implantado de acuerdo a las realizaciones así descritas tiene un tiempo de reloj para salida más rápido que las aproximaciones convencionales sin comprometer la estabilidad de su salida, Q. Además, la etapa de almacenamiento pueda ser mejorada adicionalmente para permitir que dispositivos más pequeños, más rápidos sean empleados en un entorno de fuga elevado más allá de los que de otro modo serían requeridos para superar dispositivos de mantenimiento fuertes. Esto permite que el registro dominó N no inversor sea llevado a la práctica en un proceso de fuga alta o de ruido elevado, tal como SOI de 90 nm y similar, sin provocar degradación del rendimiento provocada por los factores de fuga. Así, los beneficios de un proceso a escala, incluyendo tamaño reducido, tensión, consumo de potencia, etc., pueden ser alcanzados sin provocar la degradación del rendimiento asociada con tales procesos a escala.

Los presentes inventores observan que el funcionamiento de las distintas realizaciones del registro dominó N no inversor como se ha descrito antes con referencia a las figs. 2-5 tienen todos requisitos de tiempo de retención de datos que son una función del ciclo de trabajo de la señal de reloj CLK mostrada en el nodo 101. Más específicamente, las señales de datos *DATAN* en el nodo 103 deben ser confirmadas al nivel deseado durante el período de tiempo en el que la señal de reloj CLK es alta. Si *DATAN* cambia el estado o estados durante el intervalo en el que CLK es alta, entonces el cambio de estado se propagará a través de la salida Q. Los presentes inventores han observado también que es deseable en muchas aplicaciones de registro proporcionar realizaciones del registro

dominó N no inversor que minimizan los requisitos del tiempo de retención para DATAN. Por consiguiente, una realización de reloj pulsatorio será ahora descrita con referencia a la fig. 6, en que la realización está configurada para minimizar el tiempo de retención de datos.

5 Volviendo a la fig. 6, se ha presentado un diagrama de tiempos 600 que ilustra el funcionamiento del registro dominó N no inversor de las figs. 1, 3-4 y 5 de acuerdo con una realización de reloj pulsatorio que es preferida para minimizar el tiempo de retención. Como el diagrama de tiempos 200 descrito antes con referencia a la fig. 2, el diagrama de tiempos 600 de la fig. 6 representa las señales CLK, DATAN, TOP, QII, QI y Q que están trazadas en función del tiempo. Para mayor claridad, los tiempos de transiciones relativas son estimados y los retrasos son ignorados. La señal DATAN está mostrada como una única señal que representa el conjunto colectivo de N señales DATA. La señal DATAN está mostrada confirmada alta para cuando el estado colectivo de las señales de datos hace que la lógica de evaluación 104 evalúe llevando la señal TOP a un valor bajo, y está mostrada confirmada baja para cuando la lógica de evaluación 104 falla al evaluar, lo que conserva la señal TOP alta. En el instante T0 cuando la señal CLK es inicialmente baja, N2 es desactivado y P1 es activado, de manera que la etapa dominó carga previamente la señal TOP alta. La señal TOP es cargada previamente alta en preparación para la evaluación de la señal DATAN por la lógica de evaluación 104 sobre el borde ascendente de CLK, en que la señal DATAN es inicialmente alta. La señal TOP cargada previamente activa N4 y N6. La señal QII permanece en su estado anterior (mostrada inicialmente en un estado lógico bajo) y es confirmada allí por el circuito de mantenimiento 109. La señal QI es inicialmente alta encendiendo N5, de manera que la señal de salida Q es inicialmente lleva a un valor bajo mediante los dispositivos N5 y N6.

En el instante T1 la señal CLK adopta un valor alto, lo que hace que la señal TOP se descargue a un nivel bajo ya que la señal DATAN es alta, y el estado de DATAN se propaga a través del trayecto de descarga a la salida Q. En particular, N2 es activado y la lógica de evaluación 104 evalúa llevando TOP a un valor bajo a través de N2 a tierra. La señal QII es llevada a un valor alto a través de P2 y la señal de salida Q es llevada a un valor alto a través de P4. Las señales QII y Q son ambas llevadas a un valor alto en el mismo instante T1, y la señal QI es llevada a un valor bajo por el inversor 109A. El estado invertido de la señal QI en la salida del circuito de mantenimiento 109 activa los dispositivos P3 y N5. Cuando QI es alta, P3 es desactivado y N5 es activado; y cuando QI es baja, P3 es activado y N5 es desactivado. En el instante T2 subsiguiente cuando la siguiente señal CLK adopta un valor bajo, la señal TOP es una vez más cargada previamente alta. P2 y N3 son desactivados de manera que el nodo 107 no es activado a ningún estado. Los estados respectivos de las señales QII y QI permanecen sin cambios, sin embargo, mediante el funcionamiento del circuito de mantenimiento 109, de manera que las señales Q y QII permanecen altas y la señal QI permanece baja durante todo el resto del semiciclo de CLK.

35 La DATAN está mostrada adoptando un valor bajo en el instante T3 mientras la señal CLK es aún baja, y la señal CLK es a continuación confirmada alta en el instante T4 mientras la señal DATAN es baja. La lógica de evaluación 104 falla al evaluar, de manera que TOP permanece alta mientras CLK está alta, y el estado de DATAN se propaga a través del trayecto sin descarga a la salida Q. Más específicamente, las señales CLK y TOP activan los dispositivos N3 y N4, respectivamente, de manera que la señal QII es confirmada baja en el instante T4, y la señal QI es consiguientemente llevada a un valor alto por el inversor 109A. La señal TOP que está baja mantiene N6 activado. La señal QI activa N5 y desactiva P3, de manera que la señal Q es llevada a un valor bajo mediante N5 y N6. La señal CLK adopta un valor bajo a continuación en el instante T5 llevando TOP a un valor alto de nuevo. Los estados respectivos de las señales QII y QI permanecen sin cambios mediante el funcionamiento del circuito de mantenimiento 109. La señal Q permanece a lo largo de todo el resto del ciclo de CLK ya que QI mantiene N5 activado y TOP mantiene N6 activado.

La señal Q transita de baja a alta de modo relativamente rápido en respuesta a un borde ascendente de la señal CLK cuando la lógica de evaluación 104 evalúa descargar la señal TOP baja. Hay un retraso despreciable a través de los dispositivos N2 y P4 que provoca la transición de salida. La señal Q transita de alta a baja después de un retraso a través de los dispositivos N3, N5, y el inversor 109A en respuesta a un borde ascendente de la señal CLK cuando la lógica de evaluación 104 falla al evaluar dejando la señal TOP alta. El retraso a través del inversor 109A es minimizado siendo puesto en práctica como un dispositivo relativamente pequeño (con capacitancia mínima) ya que no necesita tener el tamaño ni realizar la función de un tampón. Es apreciado por los expertos en la técnica que las transiciones de la señal Q de salida del registro 100, 300, 400, 500 de dominó N no inversor, son muy rápidas en respuesta a transiciones de la señal CLK. Si una salida no inversora es necesaria o deseada de otro modo, el registro 100, 300, 400, 500 dominó N no inversor proporciona una velocidad de datos para salida superior comparada con diseños convencionales entre otros beneficios y ventajas. El registro 100, 300, 400, 500 dominó N no inversor puede ser convertido a un registro dominó N inversor simplemente añadiendo un inversor/tampón de salida (no mostrado).

60 Se ha observado que solamente la diferencia entre el diagrama de tiempos 200 de la fig. 2 y el diagrama de tiempos 600 de la fig. 6 es que el nodo 103 de los registros 100, 300, 400, 500 dominó N no inversor de las figs. 1, 3-4, y 5

están cada uno acoplado a una señal de reloj pulsatoria CLK en vez de estar acoplado a una señal de reloj CLK aproximadamente simétrica. Por consiguiente, el requisito del tiempo de retención para la señal de datos DATAN es reducido significativamente sobre las realizaciones descritas con referencia a la fig. 2. En una realización, el ciclo de trabajo de la señal de reloj pulsatoria CLK es menor o igual al 10%. Comparando las realizaciones de las figs. 2 y 6, se ha observado que en el tiempo desde T1 (cuando CLK sube) a T3 (cuando el estado de DATAN es permitido que cambie) es notablemente menor que el periodo comparable de la fig. 2. Tal realización del registro dominó N no inversor es preferida para minimizar el tiempo de retención.

Se ha observado adicionalmente que como el estado de DATAN es permitido que se propague a través de la salida Q cuando CLK es alta, las configuraciones descritas con referencia a las figs. 1, 3, 4 y 5 pueden también ser realizadas como un enganche dominó N cuando el nodo 101 está acoplado a un reloj CLK de enganche aproximadamente simétrico y en que el nodo 103 recibe los datos de enganche DATAN. Los datos de enganche DATAN pueden ser proporcionados por un circuito dominó precedente para el que se desea una función de enganche. Los circuitos 100, 300, 400, 500 de las figs. 1, 3, 4 y 5 son ventajosos cuando son usados como realizaciones de enganche dominó N debido a un trayecto de descarga acelerado a través del nodo 105 a la señal de salida Q, permitiendo así que más circuitos dominó en serie precedan al nodo 103 que los que han sido previstos hasta ahora. Las realizaciones de enganche dominó N serán ahora descritas con referencia a la fig. 7.

Volviendo a la fig. 7, se ha presentado un diagrama de tiempos 700 que ilustra el funcionamiento de las realizaciones de enganche dominó N. Para emplear los circuitos 100, 300, 400, 500 de las figs. 1, 3-4, y 5 como realizaciones de enganche dominó N, es deseable acoplar el nodo 101 a una señal CLK de reloj de enganche aproximadamente simétrica. En una realización, la señal CLK de reloj de enganche exhibe desde un 40% a un 60% de ciclo de trabajo. A modo de perspectiva general, se ha observado que durante el período en el que CLK es alta, una ventana de evaluación es abierta donde se permite que DATAN cambie y la salida Q sigue a DATAN. Pero cuando CLK adopta un valor bajo, el estado de DATAN es retenido hasta que CLK vuelve de nuevo ser alta. Aquí, en el instante T0, CLK es baja y TOP está cargada previamente. El estado previo (es decir, el estado anterior a aquel en el que CLK adopta un valor bajo) de DATAN es retenido a través de las señales QII, QI, y a través de la salida Q. En el instante T1, CLK vuelve de nuevo a adoptar un valor alto, abriendo una ventana en la que se permite que el estado de DATAN se propague a través de la salida Q. Como DATAN es baja, la salida Q permanece baja. En el instante T2, DATAN adopta un valor alto haciendo que la señal TOP se descargue, encendiendo así P2 y haciendo que la salida Q adopte un valor alto. Pero en el instante T3, CLK vuelve de nuevo a adoptar un valor bajo, cerrando la ventana de evaluación y reteniendo el estado de DATAN, manteniendo Q así alta durante este período. DATAN vuelve también de nuevo a adoptar un valor bajo en T3, reflejando el estado de una etapa dominó precedente cuya salida está acoplada al nodo 803. TOP se carga previamente en el instante T3, configurando la siguiente ventana de evaluación cuando CLK adopta un valor alto en el instante T4. Como DATAN es baja en el instante T4, TOP no se descarga. Así en el instante T4, N3 y N4 son activados, activando QII baja y QI alta. Debido a que tanto QI como TOP son altas en T4, Q es activada baja. En el instante T5, como DATAN está aún baja (es decir, la etapa dominó precedente no se ha evaluado), TOP permanece alta y el estado bajo permanece en la salida Q. En el instante T6, CLK vuelve a adoptar un valor bajo, enganchando en el estado de DATAN en la salida Q durante el período en el que CLK es baja.

Un experto en la técnica apreciará también que, en algunas configuraciones, DATAN es realizada como un grupo de señales de "vuelta a cero", volviendo generalmente a un nivel lógico bajo cuando CLK adopta un valor bajo. Por consiguiente, el dispositivo N2 puede ser totalmente eliminado del circuito 100, 300, 400, 500 en una realización de enganche dominó N, que aumenta la velocidad del circuito 100, 300, 400, 500. Cuando el dispositivo N2 es eliminado, tal configuración es denominada como un enganche dominó N "sin pies".

Con referencia ahora a la fig. 8, se ha presentado un diagrama esquemático de un circuito 800 dominó P que emplea una etapa de almacenamiento mejorada. El circuito 800 dominó P puede ser empleado bien como un enganche o bien como un registro, exhibiendo ventajas sobre la técnica anterior cuando es empleado en cualquier configuración. Y como el circuito 500 dominó N de la fig. 5, el empleo del circuito de salida 800 dominó P bien como un enganche o bien como un registro está basado principalmente sobre el tipo de señal de reloj y entrada de datos a los que está acoplado el circuito 800 dominó P. Para una aplicación de registro, se emplea un reloj pulsatorio. Para una aplicación de enganche, se emplea una señal de reloj aproximadamente simétrica. Para mayor claridad, la descripción del circuito 800 está restringida a un resumen de su empleo como un registro 800 dominó P. Una descripción más detallada del empleo del circuito 800 de la fig. 8 como registro y como enganche es proporcionada en las siguientes Solicitudes de Patente Norteamericana, que están aquí incorporadas como referencia para todas las intenciones y propósitos:

NÚMERO DE SERIE	FECHA DE PRESENTACIÓN	TÍTULO
11/251399 (CNTR.2242)	10/14/2005	ENGANCHE DE SALIDA DE DOMINÓ P
11/251384 (CNTR.2299)	10/14/2005	REGISTRO DE DOMINÓ P

La configuración y funcionamiento del circuito 800 dominó P es similar al funcionamiento de las realizaciones del circuito de dominó N descritas antes con referencia a las figs. 1-7, en las que se ha observado que muchas de las señales y estados de señales son invertidos como se ha descrito a continuación. El circuito 800 dominó P incluye tres etapas, incluyendo una etapa de evaluación, una etapa de enganche, y una etapa de salida. La etapa de evaluación está formada por un dispositivo P1 de canal P, un dispositivo N1 de canal N y una lógica de evaluación 802. La lógica de evaluación 802 del registro 800 dominó P no inversor puede ser puesta en práctica con lógica CMOS en vez de con lógica de canal P, proporcionando así un margen de ruido de nivel de entrada significativamente mejor sobre la lógica de canal P de manera que el registro 800 dominó P no inversor proporciona un margen de ruido de nivel de entrada algo mejor. La etapa de enganche está formada por los dispositivos P2 y P3 de canal P, y un dispositivo N2 de canal N, acoplado en una configuración apilada. La etapa de salida está formada por un dispositivo P4 de canal P, dispositivos N3 y N4 de canal N, un inversor 812, y una puerta NOR 813 de dos entradas. Una señal de reloj CLKB es proporcionada a través del nodo 801 a las puertas de P1, N1, P3, y N3. La fuente de N1 está acoplada a tierra (relativa a una fuente de tensión VDD) y su drenaje está acoplado a un nodo 805 de descarga previa que desarrolla una señal de descarga previa denominada aquí como TOPB. El drenaje de P1 está acoplado al nodo 805 y su fuente está acoplada a la salida de la lógica de evaluación 802, que tiene su entrada acoplada a un conjunto de N nodos 803 que proporcionan señales de datos de entrada DATAB a la lógica de evaluación, donde N es cualquier entero positivo.

Los dispositivos P1 y N1 forman un par complementario de dispositivos de evaluación con la lógica de evaluación 802 que proporciona la evaluación de las N señales de datos de entrada DATAB. Y, como en la realizaciones dominó N de las figs. 1 y 4, la lógica de evaluación 802 puede ser intercambiada en la posición del circuito de cascada con el dispositivo P1 para permitir configuraciones alternativas. En tales configuraciones, la fuente P1 estaría acoplada a una fuente de tensión VDD. Además, un experto en la técnica apreciará que como la función de la lógica de evaluación 802 es hacer transitar rápidamente la señal TOPB desde su nivel bajo cargado previamente a un nivel alto, el empleo de dispositivos P y N proporcionados (dispositivos P fuertes y dispositivos N débiles) dará como resultado un funcionamiento más rápido. Así, cuando la lógica de evaluación 802 "evalúa", hace que la señal TOPB transite desde su estado bajo descargado previamente a un estado alto. Cuando la lógica de evaluación 802 "falla al evaluar", TOPB permanece en su estado bajo descargado previamente.

El nodo 805 que proporciona la señal TOPB está acoplado a las puertas de los dispositivos P2 y N2 y a una entrada de la puerta NOR 813. La fuente de P2 está acoplada a VDD y su drenaje está acoplado a la fuente de P3, teniendo su drenaje acoplado a un nodo 807 que desarrolla una primera señal de salida intermedia QIIB. El drenaje de N2 está acoplado al nodo 807 y su fuente está acoplada a tierra. La fuente de P4 está acoplada al drenaje de P2 y su drenaje está acoplado al drenaje de N3, teniendo su fuente acoplada al drenaje de N4. La fuente de N4 está acoplada a tierra. El nodo 807 está acoplado al nodo formado por los drenajes de P4 y N3 y a la entrada del inversor 812, donde la salida está acoplada al nodo 811 que desarrolla una segunda señal de salida intermedia QIB. La señal QIB es activada al estado lógico opuesto como la señal QIIB después del retraso de una puerta a través del inversor 812. El nodo 811 está acoplado a las puertas de P4 y N4 y a la otra entrada de la puerta NOR 813. La salida de la puerta NOR 813 proporciona la señal QB de salida.

Volviendo ahora a la fig. 9, se ha presentado un diagrama de tiempos que ilustra el funcionamiento del circuito 800 dominó P cuando es empleado como un registro dominó P en que las señales CLKB, DATABN, TOPB, QIIB, QIB Y QB están trazadas en función del tiempo. Se han hecho varias simplificaciones en los diagramas de tiempo. Los retrasos a través de cada dispositivo o componente (dispositivos de canal N, dispositivos de canal P, puertas lógicas, multiplexadores, etc.) están mostrados como si fueran iguales ya que son aproximadamente equivalentes entre sí, y los tiempos de subida y bajada están mostrados también como si fueran iguales, ya que estos tiempos son también aproximadamente equivalentes. La señal DATABN se ha mostrado como una señal única que representa el conjunto colectivo de N señales DATAB. La señal DATABN se ha mostrado confirmada baja para el caso en que el estado colectivo de las señales de datos hace que la lógica de evaluación 802 "evalúe", llevando por ello a un valor alto ("cargando") la señal TOPB de descarga previa, y se ha mostrado confirmada alta para el caso en que la lógica de evaluación 802 falla al evaluar, lo que mantiene la señal TOP de descarga previa baja ("sin carga"). Así, cuando la lógica de evaluación 802 evalúa, hace que la señal TOPB transite desde su estado bajo descargado previamente a un estado alto. Cuando la lógica de evaluación 802 "falla al evaluar", TOPB permanece en su estado bajo descargado previamente. En otras palabras, cuando la lógica de evaluación 802 hace que TOPB cargue, el nivel de

la señal TOPB transita desde su estado bajo descargado previamente a un nivel lógico alto. Cuando TOPB permanece en su nivel lógico bajo descargado previamente debido a que la lógica de evaluación 802 no puede evaluar, esto es denominado aquí como un evento "sin carga". El diagrama de tiempo ilustra dos ciclos de CLKB. Como se ha descrito antes, para emplear el circuito 800 dominó P como un registro dominó P, es deseable acoplar el nodo 801 a una señal CLKB de reloj pulsatoria, similar a la señal CLK de reloj pulsatoria descrita con referencia al registro dominó N en la fig. 6. En una realización, CLKB tiene un ciclo de trabajo menor o igual al 10%.

En un instante T0 inicial, la señal QIIB es alta y ha de ser confirmada baja en respuesta a la señal CLKB que adopta un valor bajo ya que la señal DATABN es baja. Como CLKB es alta, N1 es activado, P1 es desactivado, y TOPB es baja "descargada previamente" de manera que P2 y N3 son ambos activados. Como QIB y TOPB son ambas bajas, la señal QB en la salida de la puerta NOR 813 es inicialmente alta. Como CLKB es alta y QIB es baja, N4 es desactivado, N3 es activado y P4 es activado. También, P2 es activado ya que TOPB es baja. En este caso, por lo tanto, P4 y P2 son ambos activados proporcionando un trayecto conservador de estado "alto" para el nodo 807 a VDD, que mantiene la señal QIIB alta.

La señal DATABN, que representa uno o más operandos de datos de entrada, es mostrada inicialmente baja, lo que hace que la lógica de evaluación 802 eleve la fuente de P1 a un nivel lógico alto. Cuando la señal CLK adopta un valor bajo en el instante T1 mientras DATAN es baja, P1 es activado. Cuando P1 es activado, la señal TOPB es llevada a un valor alto mediante P1 y la lógica de evaluación 802. Al adoptar TOPB un valor alto hace que la puerta NOR 813 se mantenga QB baja. También, al adoptar TOPB un valor alto en el instante T1 activa N2 de manera que la señal QIIB sea llevada a un valor bajo. En respuesta a que la señal QIIB adopte un valor bajo, el inversor 812 lleva la señal QIB a un valor alto. Al adoptar un valor alto QIB activa N4 y desactiva P4.

En el instante T2, CLKB adopta un valor alto, y TOPB es una vez más baja descargada previamente a través de N1. Al estar alta la señal QIB mantiene N4 activado que mantiene QIIB baja y QIB alta para mantener el estado de la señal de salida QB mientras TOPB adopta un valor bajo. Al adoptar la señal TOPB un valor bajo se activa otra vez P2, pero como la señal CLKB es alta, P3 es desactivado de manera que la señal QIIB no sea llevada a un valor alto.

La señal DATAN adopta un valor alto en el instante T3 para configurar el próximo borde de CLKB, y así, la lógica de evaluación 802 no hace lleva la fuente de P1 a un valor alto. La señal CLKB adopta un valor bajo a continuación en el instante T4, lo que activa P1. Como DATAN es aún alta, TOPB no carga, y así permanece baja en el instante T4. Al adoptar un valor bajo la señal CLKB desactiva N3 y activa P3. Como N2 permanece desactivado y P2 y P3 están ambos activados, la señal QIIB es llevada a un valor alto. El inversor 812 lleva QIB a un valor bajo en respuesta a que QIIB adopte un valor alto. Como QIB y TOPB son ambas bajas ahora, la puerta NOR 813 lleva QB a un valor alto. La señal CLKB adopta un valor alto a continuación en el instante T5, encendiendo N1 y manteniendo TOPB baja. Los estados respectivos de las señales QIIB y QIB permanecen sin cambios, y la señal QB permanece alta a lo largo de todo el resto del ciclo de CLKB. En el instante T6, DATABN vuelve a adoptar un valor bajo.

La realización del registro dominó P del circuito 800 de la fig. 8 es muy adecuada para trayectos de temporización críticos a evaluar (es decir, "cargar") condiciones debido a que aproximadamente sólo dos etapas de retraso de puerta son presentadas durante un periodo de evaluación (cuando CLK es baja). Acoplando el nodo 801 a una fuente CLKB de reloj pulsatorios como se ha descrito aquí, los requisitos de tiempo de retención para las N señales de datos DATAB acoplados al nodo 803 son minimizados. Por ejemplo, en el diagrama de tiempo de la fig. 9, DATABN puede cambiar de estado en cualquier instante siguiente T2 (o instante T5) debido a que el estado es registrado en QB hasta que CLKB adopta un valor bajo de nuevo, abriendo la siguiente ventana de evaluación.

Un experto en la técnica apreciará también que, en algunas configuraciones, DATABN puede ser puesta en práctica como un grupo de señal "vuelta a uno", que vuelve generalmente a un nivel lógico alto cuando CLKB adopta un valor alto. Por consiguiente, el dispositivo P1 puede ser completamente eliminado del circuito 800 en una realización de enganche de dominó P, que aumenta

Se ha hecho referencia en la descripción anterior a la propagación del estado de DATABN cuando la señal de reloj CLKB adopta un valor bajo, a través de cualquier trayecto de carga (es decir, cargando la señal TOPB desde un nivel bajo a un nivel alto) o el trayecto sin carga (es decir, dejando que TOPB permanezca en su nivel bajo de descarga previa) a la salida QB. Más específicamente, cuando la señal de reloj CLKB adopta un valor bajo, si la salida QB es inicialmente alta (es decir, QIB es baja y QIIB es alta) y DATABN es baja, TOPB carga a través de P1 y la lógica de evaluación 802 y se propaga rápidamente a través de la puerta NOR 813 a la salida QB. Sin embargo, se ha encontrado un retraso mayor a través del trayecto sin carga en el caso en que QB es inicialmente baja (es decir, QIB es alta y QIIB es baja) y DATABN es alta sobre el borde de bajada de CLKB, como se ha ilustrado en el instante T4 en la fig. 9. En particular, el retraso para el trayecto sin carga incluye la propagación de retrasos a través de P3, del inversor 812, y de la puerta NOR 813. Consiguientemente, los presentes inventores han observado que este retraso del trayecto sin carga es limitador en algunos casos y que es más deseable minimizar el tiempo de reloj

para salida en el caso en que la lógica de evaluación 802 no hace que TOPB se cargue. Para proporcionar un retraso de trayecto de carga reducido, una realización basada en multiplexador del presente invento será descrita con referencia a la fig. 10. Para proporcionar el retraso de trayecto sin carga reducido, una realización ejemplar del presente invento será presentada con referencia a la fig. 11.

5
Volviendo a la fig. 10, se ha presentado un diagrama esquemático de un registro dinámico 1000 de canal P no inversor de acuerdo con una realización ejemplar del presente invento que exhibe un trayecto de carga acelerado. El registro 1000 de canal P no inversor tiene una etapa de evaluación que incluye dispositivos apilados P1, N1, y la lógica de evaluación 1002, que están configurados para funcionar sustancialmente de la misma manera que los dispositivos correspondientemente configurados del registro 800 de dominó P no inversor descritos antes con referencia a la fig. 8. Una señal PLSCLKB de reloj pulsatorio es proporcionada a través de un nodo 1001 a las puertas de P1 y N1. Como apreciará un experto en la técnica, es práctica común emplear una señal PLSCLKB de reloj pulsatoria para usar con circuitos de lógica dinámica, tales como el registro 1000 de la fig. 10. La señal PLSCLKB de reloj pulsatoria tiene un ciclo de trabajo relativamente corto. En una realización de tecnología actual, la señal PLSCLKB de reloj pulsatoria es confirmada baja durante un periodo de tiempo de acuerdo con la configuración que permite la propagación de un estado verdadero de N señales de datos de entrada DATAB desde etapas lógicas previas (no mostradas). Una realización del presente invento considera que una señal PLSCLKB de reloj pulsatorio está en un nivel bajo lógico para un intervalo de 40 a 70 picosegundos. Aunque estas realizaciones son presentadas como típicas, el presente invento contempla también otras realizaciones.

10
15
20
El registro dinámico 1000 de canal P no inversor está mostrado en la fig. 10 en una configuración que permite la puesta en práctica de la lógica de evaluación 1002 con lógica CMOS en vez de la lógica de canal P como se ha descrito previamente, proporcionando así un margen de ruido de nivel de entrada significativamente mejor. Sin embargo, se ha observado que realizaciones del presente invento comprenden también configuraciones de la etapa de evaluación (o "etapa dominó") en la que P1 y la lógica de evaluación 1002 están reordenados.

25
En la realización mostrada en la fig. 10, la etapa dominó incluye dispositivos P1 y N1 apilados de canal P y de canal N y la lógica de evaluación 1002. Los dispositivos P1 y N1 son un par complementario de dispositivos de evaluación acoplados juntos entre una tensión de referencia de tierra y la lógica de evaluación 1002. La fuente de N1 está acoplada a tierra y su drenaje está acoplado al nodo 1005 proporcionando una señal TOPB de descarga previa. El drenaje de P1 está acoplado al nodo 1005 y su fuente está acoplada a la lógica de evaluación 1002. La lógica de evaluación 1002 está acoplada entre la fuente de P1 y una fuente de tensión VDD. Un conjunto de N nodos 1003 proporciona N señales de datos de entrada DATAB a la lógica de evaluación 1002.

30
35
40
45
El nodo 1005 está acoplado a una entrada de una puerta NOR 813 de dos entradas de manera que solamente dos de los retrasos de la puerta son presentados cuando la lógica de evaluación 1002 evalúa. En este caso, sin embargo, el nodo 1005 está también acoplado a la entrada de un inversor U2, que tiene su salida acoplada a la entrada de otro inversor U4. La salida de U4 está acoplada al nodo 1007 que desarrolla una señal TP1, que es proporcionada a una primera entrada I1 de un multiplexador (MUX) U7. Los inversores U2 y U4 están acoplados en serie y forman colectivamente un trayecto de retraso entre las señales TOPB y TP1. La salida O del MULTIPLEXADOR U7 está acoplada a un nodo 1011 que desarrolla una señal de realimentación FBK, que es proporcionada a la segunda entrada de la puerta NOR 1013. La puerta NOR 1013 combina lógicamente los estados de los nodos 1005 y 1011 para desarrollar una señal de salida QB. El nodo 1011 está también acoplado a la entrada de un inversor U6, que tiene su salida acoplada a la entrada de otro inversor U5. La salida de U5 está acoplada al nodo 1009 que desarrolla una señal FB1, que es proporcionada a la segunda entrada I2 del MULTIPLEXADOR U7. Los inversores U5 y U6 están acoplados en serie y forman colectivamente un trayecto de retraso entre las señales FBK y FB1.

50
55
60
La señal de reloj PLSCLKB está acoplada directamente a una primera entrada de selección S1 del MULTIPLEXADOR U7 y a la entrada de otro inversor U3. La salida del inversor U3 desarrolla una fase invertida o señal de reloj PLSCCLK, que es el complemento de la señal de reloj PLSCLKB, y que es proporcionada a la segunda entrada de selección S2 del MULTIPLEXADOR U7. Las entradas de selección S1 y S2 son entradas de selección complementarias como es conocido por los expertos en la técnica, de manera que los estados respectivos de las señales PLSCLKB y PLSCCLK determinan qué señal TP1 o FB1 (o combinación de las mismas) es seleccionada por el MULTIPLEXADOR U7 y confirmada como la señal de salida de multiplexador FBK. Cuando PLSCLKB es baja y PLSCCLK es alta, la señal TP1 en la entrada I1 es seleccionada para activar la señal de salida FBK. Cuando PLSCLKB es alta y PLSCCLK es baja, la señal FB1 en la entrada I2 es seleccionada para activar la señal de salida FBK. Un circuito de mantenimiento completo que incluye inversores U9 y U10 acoplados en cruz está acoplado al nodo 1005 para mantener el estado de TOPB cuando PLSCLKB es baja y DATAB no hace que la lógica de evaluación 1002 evalúe.

EL MULTIPLEXADOR U7 incluye un primer trayecto desde I1 a O y un segundo trayecto desde I2 a O, donde ambos

trayectos son controlados por las entradas de selección complementarias S1 y S2 (que reciben las señales PLSCCLKB y PLSCCLK, respectivamente). En la realización ilustrada, el trayecto de I1 a O del MULTIPLEXADOR U7 es puesto en práctica con dispositivos que están dimensionados significativamente mayores que los dispositivos del trayecto desde I2 a O. Como es comprendido por los expertos en la técnica, en un primer período intermedio cuando PLSCCLKB desciende y mientras PLSCCLK está aún baja y no ha sido aún hecha subir por el inversor U3, ambos trayectos desde las entradas I1 e I2 a la salida O son activados a la mitad. Como el trayecto desde I1 a O domina durante el primer período intermedio, el MULTIPLEXADOR U7 comienza casi inmediatamente seleccionando la entrada I1. Y si la señal TP1 está en un estado diferente que FBK, entonces la señal FBK comienza casi inmediatamente cambiando al nuevo estado de la señal TP1. Por ejemplo, si TP1 es baja mientras FBK es alta, entonces FBK comienza a caer casi inmediatamente en respuesta al borde de bajada de la señal PLSCCLKB y el borde de bajada de FBK acelera más cuando la señal PLSCCLK adopta un valor alto si FBK no ha sido ya confirmada baja. En la dirección opuesta durante un segundo período intermedio cuando PLSCCLKB adopta un valor alto y antes de que PLSCCLK adopte un valor bajo, ambos trayectos son otra vez activados a medias. Pero como el primer trayecto desde I1 a O domina con relación al segundo trayecto desde I2 a O, la conmutación para seleccionar la entrada I2 del MULTIPLEXADOR U7 es relativamente lenta. La conmutación relativamente "lenta" desde I1 a I2 no tiene consecuencias, sin embargo, como el estado de FB1 está en el mismo estado que FBK debido al trayecto de realimentación de manera que FBK no cambie de estado.

En una realización más específica, el MULTIPLEXADOR U7 es puesto en práctica con una primera puerta de paso complementaria desde la entrada I1 a la salida O y una segunda puerta de paso complementaria desde la entrada I2 a la salida O. Cada puerta de paso complementaria es puesta en práctica con un dispositivo de canal P y un dispositivo de canal N acoplados en paralelo (por ejemplo, fuente a fuente y drenaje a drenaje), como es conocido por los expertos en la técnica. Para la primera puerta de paso complementaria, la entrada de selección S1 es proporcionada a la puerta del dispositivo de canal P y la entrada de selección S2 es proporcionada a la puerta del dispositivo de canal N, de manera que la primera puerta de paso complementaria es encendida completamente cuando PLSCCLKB es baja y PLSCCLK es alta, y es desactivada completamente cuando PLSCCLKB es alta y PLSCCLK es baja. De manera similar, para la segunda puerta de paso complementaria, la entrada de selección S1 es proporcionada a la puerta del dispositivo de canal N y la entrada de selección S2 es proporcionada a la puerta del dispositivo de canal P, de manera que la segunda puerta de paso complementaria es encendida completamente cuando PLSCCLKB es alta y PLSCCLK es baja, y es desactivada completamente cuando PLSCCLKB es baja y PLSCCLK es alta. En tal configuración desequilibrada, los dispositivos complementarios de la primera puerta de paso complementaria son hechos significativamente mayores que los dispositivos de la segunda puerta de paso complementaria, de manera que la primera puerta de paso complementaria domine durante ambos períodos intermedios. En esta configuración desequilibrada, el MULTIPLEXADOR U7 cambia más rápidamente desde I2 a I1 que cuando cambia de I1 a I2.

El inversor U3 puede ser configurado de una manera similar a otros inversores con dispositivos de canal N y canal P complementarios. En una realización, cada inversor es puesto en práctica con un dispositivo de canal P apilado (referenciado a VDD) en la parte superior de un dispositivo de canal N referenciado a tierra, con la entrada del inversor unida a las puertas y la salida del inversor acoplada a la conexión de drenaje común de los dispositivos de canal N y de canal P. Obsérvense, por ejemplo, los dispositivos P1 y N1 con la fuente de P1 acoplada en su lugar a VDD, de manera que TOPB es llevada a un valor bajo y cuando PLSCCLKB es alta y viceversa. El borde ascendente de salida que conmuta la velocidad del inversor estándar U3 (y así de la señal PLSCCLK) en respuesta a un borde descendente de PLSCCLKB puede ser significativamente aumentado haciendo el dispositivo de canal P significativamente mayor que el dispositivo de canal N, que está representado como un inversor "mejorado" U33 mostrado en la fig. 11. En esta configuración desequilibrada entre los dispositivos complementarios, el dispositivo mayor de canal P lleva a un valor alto la salida mucho más rápido cuando se activa, aunque es algo más lento desactivando de manera que el borde descendente ocurre más lentamente.

Para el inversor mejorado U33, PLSCCLK asciende muy rápidamente en respuesta a cada borde descendente de PLSCCLKB, mejorando además la velocidad de conmutación del MULTIPLEXADOR U7 de I2 a I1. El trayecto mejorado del MULTIPLEXADOR U7 desde I1 a O es completamente activado incluso más rápido en respuesta a cada borde descendente de PLSCCLKB cuando el inversor estándar U3 es reemplazado con el inversor mejorado U33 en el registro 1000 (o en el registro 1100). Por otro lado, el borde descendente de salida del inversor mejorado U33 (y así la señal PLSCCLK) en respuesta un borde ascendente de PLSCCLK es más lento. El borde descendente más lento del inversor U33 no tiene consecuencias ya que la velocidad de conmutación del MULTIPLEXADOR U7 en respuesta un borde ascendente de PLSCCLKB no es un trayecto de temporización crítico.

Ahora con referencia a la fig. 11, se ha presentado un diagrama esquemático de otro registro dinámico 1100 de canal P ejemplar con un trayecto sin evaluación acelerado puesto en práctica de acuerdo con otra realización del presente invento. El registro 1100 es sustancialmente el mismo que el registro 1000 descrito con referencia a la fig. 10 en la que componentes similares asumen números de referencia idénticos, excepto que el registro 1100 incluye

dispositivos N2 y N3 de bajada de canal N adicionales acoplados al nodo FBK 1011. Además, el inversor U3 es reemplazado con el inversor mejorado U33, proporcionando así un borde ascendente más rápido de PLSCLK en respuesta al borde descendente de PLSCLKB. La fuente de N3 está acoplada a VDD y su drenaje está acoplado a la fuente de N2, que tiene su desagüe acoplado al nodo 1011. La salida del inversor U2 está acoplada a la entrada de N3 y la salida del inversor U33, que proporciona la señal PLSCLK, está adicionalmente acoplada a la entrada de N2. El MULTIPLEXADOR U7 está configurado de la misma manera con trayecto mejorado desde la entrada I1 hasta la salida O.

La fig. 12 es un diagrama de temporización 1200 que ilustra el funcionamiento de los registros dinámicos 1000, 1100 de canal P de las figs. 10 Y 11. En el diagrama de temporización, las señales PLSCLKB, PLSCLK, DATABV, TOPB, TPI, FBK, FB1, y QB están trazadas en función del tiempo. Para mayor claridad, se han estimados tiempos de transiciones relativas y se han ignorado retrasos con la excepción del retraso a través de los inversores U2 y U4, que se ha enfatizado para ilustrar las transiciones de señal TP1 con relación a las transiciones de señal TOPB. Además, se ha representado el retraso a través de los inversores U5 y U6 para ilustrar las transiciones de señal FB1 con relación a las transiciones de señal FBK. La señal DATABN se ha mostrado como una única señal que representa el conjunto colectivo de N señales DATAB. La señal DATABN se ha mostrado confirmada baja para el caso en el que el estado colectivo de las señales de datos DATAB hace que la lógica de evaluación 1002 evalúe llevando así la señal TOPB a un valor alto, y se ha mostrado confirmada alta cuando la lógica de evaluación 1002 falla al evaluar, lo que mantiene la señal TOPB baja. Por consiguiente, TPI es una versión retrasada de TOPB (dos retrasos de puerta a través de U2 y U4), y FB1 es una versión retrasada de FBK (dos retrasos de puerta a través de U6 y U5). Aunque el inversor U3 (o el inversor U33) está configurado para invertir PLSCLKB, como solo se ha presentado un único retraso de puerta, las transiciones de PLSCLK con relación a las transiciones de PLSCLKB no son enfatizadas en el diagrama de temporización 1200.

En un instante inicial T0, la señal PLSCLKB adopta un valor alto y TOPB es descargada previamente baja ya que N1 es activado. También, la señal FBK es inicialmente baja de modo que la señal QB es inicialmente llevada a un valor alto por la puerta NOR 1013. PLSCLKB es alta y PLSCLK adopta un valor bajo de modo que la señal FB1 en la entrada I2 de MULTIPLEXADOR U7 es seleccionada y la señal FBK es confirmada en la salida de MULTIPLEXADOR U7 con el mismo estado que FB1. Así, la configuración de realimentación de la señal FBK a la señal FB1 mantiene el estado de FBK mientras PLSCLKB es alta y la entrada I2 es seleccionada.

La señal DATABN es mostrada inicialmente baja lo que hace que la lógica de evaluación 1002 lleve la fuente de P1 a un valor alto. Cuando la señal PLSCLKB adopta un valor bajo en el instante T1, P1 se activa llevando así la señal TOPB a un valor alto. Llevar TOPB a un valor alto hace que la puerta NOR 1013 mantenga QB baja. Además, el estado de la señal TP1 sigue a TOPB en el instante T2 después del retraso a través de los inversores U2 y U4. Al adoptar la señal PLSCLKB un valor bajo en T1 hace que el MULTIPLEXADOR U7 seleccione la señal TP1 en I1 durante el período intermedio. En este momento, sin embargo, TP1 es aún baja ya que el nuevo estado de TOPB está aun propagándose a través del inversor U2. La TOPB que es llevada a un valor alto es propagada a través de los inversores U2 y U4 para llevar TP1 a un valor alto en el instante T2, por ejemplo alrededor de dos retrasos de puerta más tarde. TP1 es seleccionado por el MULTIPLEXADOR U7 en la entrada I1, y como el trayecto desde I1 hasta O del MULTIPLEXADOR U7 es mejorado, FBK es confirmada alta en el instante subsiguiente T3. Además, FB1 adopta un valor alto en el instante T4 debido al retraso presentado por los inversores U6 y U5. Así, FB1 es confirmada alta en la entrada I2 del MULTIPLEXADOR U7. La acción de enganche del MULTIPLEXADOR U7 ocurre después de varios retrasos de puerta desde el borde descendente de PLSCLKB al borde ascendente eventual de FB1. Aún, como la señal TOPB es proporcionada directamente a la puerta NOR 1013, la señal QB cambia dentro de dos retrasos de puerta después del borde descendente de PLSCLKB.

En un instante T5 cuando la PLSCLKB adopta un valor alto a continuación, TOPB es una vez más descargada previamente baja y el estado de TP1 sigue en el instante T6 debido al retraso a través de U2 y U4. También, el MULTIPLEXADOR U7 conmuta para selecciona la señal FB1, que es el mismo estado que la señal FBK en este instante. De esta forma, la señal FBK es bloqueada de forma efectiva durante el resto del ciclo de PLSCLKB (es decir, mientras PLSCLKB es alta). Como FBK era alta y permanece alta, la señal QB en la salida de la puerta NOR 1013 permanece baja durante el resto del ciclo.

DATABN adopta un valor alto entre los instantes T6 y T7 de modo que la lógica de evaluación 1002 lleva la fuente de P1 a un valor bajo. La señal PLSCLKB adopta un valor bajo a continuación en un instante subsiguiente T7 encendiendo P1 e iniciando el siguiente ciclo. Como DATABN es alta y la fuente de P1 es baja, TOPB permanece baja y continua siendo baja durante el resto del ciclo de PLSCLKB. Por consiguiente, TP1 permanece baja a lo largo de todo el resto del ciclo de PLSCLKB. El MULTIPLEXADOR U7 selecciona la señal TP1 en la entrada I1 en respuesta al borde descendente de PLSCLKB y así lleva la señal FBK a un valor bajo en el instante T8. El estado de FB1 sigue al estado de FBK en el instante T9. Aunque no se ha representado específicamente en el diagrama de temporización 1200, se ha observado que si el inversor U3 es en vez de ello puesto en práctica con velocidad de

borde ascendente mejorada como se ha descrito previamente utilizando el inversor U33, a continuación la señal FBK transita de alta a baja aun más rápidamente que la mostrada. La señal QB es así llevada a un valor alto en el instante T8 cuando FBK adopta un valor alto. El retraso desde cuando PLSCCLKB es confirmada baja en el instante T7 hasta cuando QB es llevada a un valor alto en el instante T8 es aproximadamente dos retrasos de puerta.

5 En resumen, cuando PLSCCLKB es alta, la entrada I2 del MULTIPLEXADOR U7 es seleccionada, que es el mismo estado que FBK, y que preserva el estado de salida QB durante la descarga previa (es decir, cuando PLSCCLKB es alta). Cuando PLSCCLKB adopta un valor bajo, la entrada I1 comienza a ser seleccionada casi inmediatamente por MULTIPLEXADOR U7. Si TOPB evalúa (es decir, adopta un valor alto), la puerta NOR 1013 es directamente
10 activada, haciendo que QB adopte un valor bajo. Adicionalmente, FBK es activada baja, lo que mantiene el estado de QB (bajo) durante una parte del ciclo de descarga previa siguiente. Si la DATABV no hace que la evaluación lógica 1002 evalúe cuando PLSCCLKB adopta un valor bajo, a continuación el estado de TOPB (descargado previamente a un nivel lógico bajo) ya está presente en 11 cuando es seleccionado por la entrada seleccionada S1 que desciende. Cuando FBK adopta un valor bajo, QB adopta un valor alto. Por tanto, el retraso de reloj a salida bajo
15 esta condición se compone sólo de aproximadamente dos retrasos de puerta de acuerdo con el presente invento, incluyendo la propagación del estado de TOPB (es decir, la señal TPI) a través del MULTIPLEXADOR U7, y a continuación la propagación del estado de la señal FBK a través de la puerta NOR 1013. Y para acelerar además la transición de QB bajo condiciones en las que la lógica de evaluación 1002 no hace que TOPB se cargue, se ha recomendado que se emplee la realización 1100 de la fig. 11. Más específicamente, reemplazando el inversor U3
20 con el inversor mejorado U33 y por adición de dispositivos N2 y N3, cuando TOPB no carga, N3 ya está en el instante T7. Y cuando PLSCCLK adopta un valor alto, N2 se activa, llevando FBK a un valor bajo y activando QB alto a través de la puerta NOR 1013. Por consiguiente, el retraso reloj a salida solamente en que se ha incurrido bajo esta condición sin carga es el presentado por el inversor U33 y la puerta NOR 1013, que es esencialmente
25 equivalente al que se ha presentado bajo carga, o evaluar condiciones.

Por consiguiente, la realización del registro dinámico 1100 de canal P es preferida para acelerar el tiempo de reloj para salida para casos en los que TOPB no carga.

Un registro dinámico de canal P no inversor con un trayecto sin carga acelerado puesto en práctica de acuerdo con
30 una realización del presente invento es más rápido por al menos dos retrasos de puerta comparado con el que se ha proporcionado hasta ahora en condiciones en las que la salida QB cambia de estado desde un nivel bajo a un nivel alto. El diseño mejorado con retraso reducido es muy útil en trayectos de temporización críticos. Como tal, el trayecto sin carga no es ya el retraso crítico. Como el retraso de reloj a salida para el trayecto sin carga puede resultar más corto que el retraso de reloj a salida para el trayecto con carga, el primer trayecto puede ser reducido
35 intencionadamente para coincidir con el retraso último, si se desea reduciendo el tamaño de dispositivos apropiados. Así, puede alcanzarse un ahorro total en el área de implantación.

Aunque el presente invento haya sido descrito en detalle considerable con referencia a ciertas versiones preferidas del mismo, otras versiones y variaciones son posibles y se han contemplado. Por ejemplo, aunque la presente
40 exposición contempla puestas en práctica y está aquí descrita con respecto a dispositivos tipo MOS, incluyendo dispositivos CMOS y similares, tales como, por ejemplo, transistores NMOS y PMOS, también puede aplicarse de manera similar a tipos diferentes o análogos de tecnologías y topologías, tales como dispositivos bipolares o similares. Además, los expertos en la técnica deberían apreciar que pueden usar fácilmente el concepto descrito y sus realizaciones específicas como una base para diseñar o modificar otras estructuras para proporcionar los
45 mismos propósitos del presente invento sin salirse del marco del invento como se ha definido por las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un registro dinámico no inversor (1000; 1100), **caracterizado por**:

5 una etapa dominó (1002, N1, P1), configurada para evaluar una función lógica basada en al menos una señal de datos de entrada (DATAB) y una señal de reloj pulsatoria (PLSCLKB), en la que dicha etapa dominó descarga previamente un nodo (1005) descargado previamente bajo cuando dicha señal de reloj pulsatoria es alta y abre una ventana de evaluación cuando dicha señal de reloj pulsatoria adopta un valor bajo, y lleva dicho nodo (1005) a un valor alto descargado previamente si dicha etapa de dominó evalúa, y mantiene dicho nodo descargado previo bajo si dicha etapa de dominó falla al evaluar; un multiplexador (U7), acoplado a dicha etapa dominó, configurada para responder a dicha señal de reloj pulsatoria y dicho nodo descargado previo, que lleva un nodo de realimentación (1011) a un valor alto si dicho nodo (1005) descargado previamente adopta un valor alto durante dicha ventana de evaluación, y que lleva dicho nodo (1011) de realimentación a un valor bajo si dicho nodo (1005) descargado previamente está bajo durante dicha ventana de evaluación, y que recibe una señal de realimentación retrasada (1009) que tiene el mismo estado que dicho nodo de realimentación (1011), pero retrasado en el tiempo, en el que dicha señal de realimentación retrasada (1009) es seleccionada cuando dicha señal de reloj pulsatoria adopta un valor alto; y una etapa de salida (1013), acoplada a dicho nodo (1005) descargado previamente y dicho nodo de realimentación (1011), configurado para proporcionar una señal de salida (QB) basada en estados de dichos nodos descargados previamente y dichos nodos de realimentación (1005, 1011).

2. El registro dinámico no inversor según la reivindicación 1, en el que dicha etapa dominó comprende:

25 un dispositivo (N1) de canal N que tiene una puerta que recibe dicha señal de reloj pulsatoria, y un drenaje y fuente acoplados entre tierra y dicho nodo (1005) descargado previamente; un dispositivo (P1) de canal P que tiene una puerta que recibe dicha señal de reloj pulsatoria, un drenaje acoplado a dicho nodo (1005) descargado previamente, y una fuente; y lógica de evaluación (1002) acoplada entre una fuente de tensión (VDD) y dicha fuente de dicho dispositivo (P1) de canal P.

30 3. Un registro dinámico no inversor según la reivindicación 2, en el que dicha lógica de evaluación (1002) comprende una lógica de semiconductor de óxido metálico complementaria.

35 4. El registro dinámico no inversor según la reivindicación 1, que comprende además: una primera lógica de retardo (U2, U4), acoplada a dicho nodo (1005) descargado previamente y una primera entrada (I1) de dicho multiplexador (U7), configurada para generar una primera señal retrasada (TP1) que tiene el mismo estado que dicho nodo (1005) descargado previamente, pero retrasado en el tiempo.

5. El registro dinámico no inversor según la reivindicación 4, que comprende además:

40 una segunda lógica de retardo (U5, U6), acoplada a dicho nodo de realimentación (1011) y una segunda entrada (I2) de dicho multiplexador (U7), configurada para generar dicha señal de realimentación retrasada (FB1).

45 6. El registro dinámico no inversor según la reivindicación 1, en el que dicha señal de reloj pulsatoria (PLSCLKB) es acoplada a una primera entrada seleccionada (S1) de dicho multiplexador (U7), y en el que una versión invertida de dicha señal de reloj pulsatoria (PLSCLK) es acoplada a una segunda entrada seleccionada (S2) de dicho multiplexador.

50 7. El registro dinámico no inversor según la reivindicación 1, en el que dicha etapa de salida (1013) comprende una puerta NOR.

8. El registro dinámico no inversor según la reivindicación 1, en el que dicha etapa dominó, dicho multiplexador, y dicha etapa de salida son fabricados usando un proceso de silicio sobre aislante de 90 nanómetros a escala.

55 9. Un método para registrar una función lógica y generar una salida no invertida, **caracterizado por** las operaciones de:

60 descargar previamente un primer nodo bajo mientras una señal de reloj pulsatoria es alta; evaluar una función lógica para controlar el estado del primer nodo cuando la señal de reloj pulsatoria adopta un valor bajo, comprendiendo dicha evaluación:

llevar el primer nodo a un valor alto cuando la función lógica evalúa y mantiene el primer nodo bajo

cuando la función lógica falla al evaluar;

controlar en primer lugar el estado de un segundo nodo con un primer estado retrasado del primer nodo cuando la señal de reloj pulsatoria adopta un valor bajo, comprendiendo dicho primer controlador:

5 seleccionar en primer lugar el primer estado retrasado del primer nodo como una salida de un multiplexador, en el que la salida está acoplada al segundo nodo;

10 en segundo lugar controlar el estado del segundo nodo con un segundo estado retrasado del segundo nodo cuando la señal de reloj pulsatoria asciende; y
determinar el estado de un nodo de salida en base a los estados del primer y segundo nodos.

10. El método según la reivindicación 9, en el que dicho segundo control comprende:

15 en segundo lugar seleccionar el segundo estado retrasado del segundo nodo como la salida del multiplexador.

11. El método según la reivindicación 9, en el que dicha determinación del estado de un nodo de salida comprende lógicamente combinar los estados del primer y segundo nodos con una función NOR.

20

FIG. 1

REGISTRO DOMINÓ N NO INVERSOR

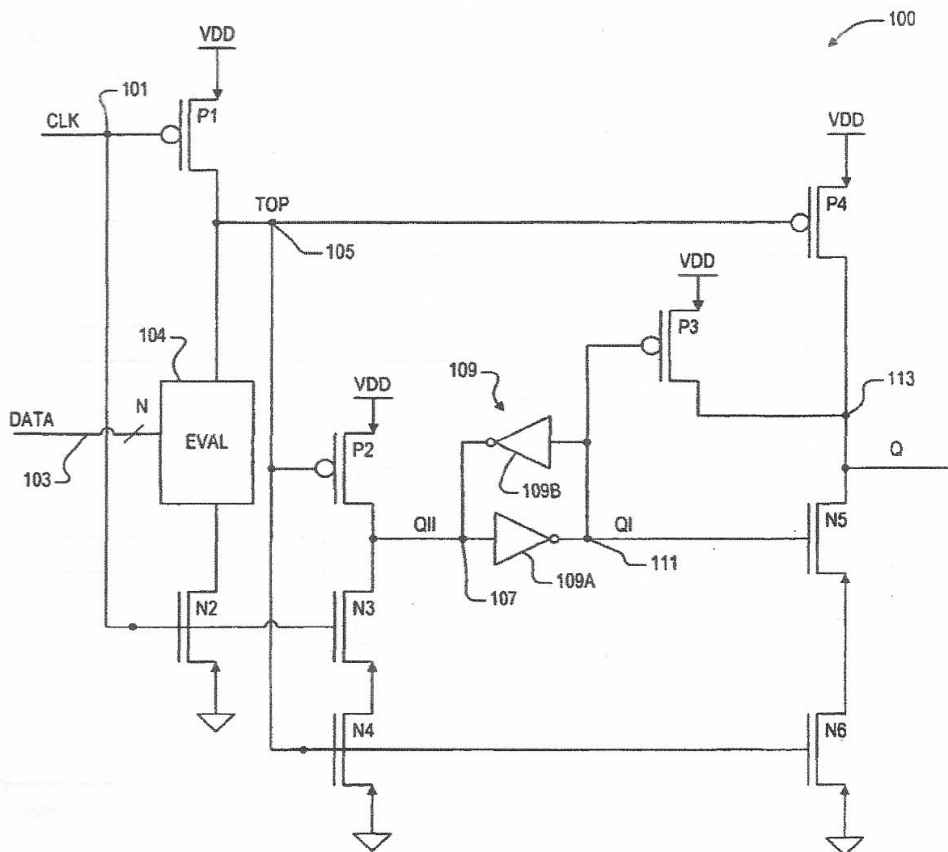


FIG. 2 TEMPORIZACIÓN DE REGISTRO DOMINÓ N NO INVERSOR

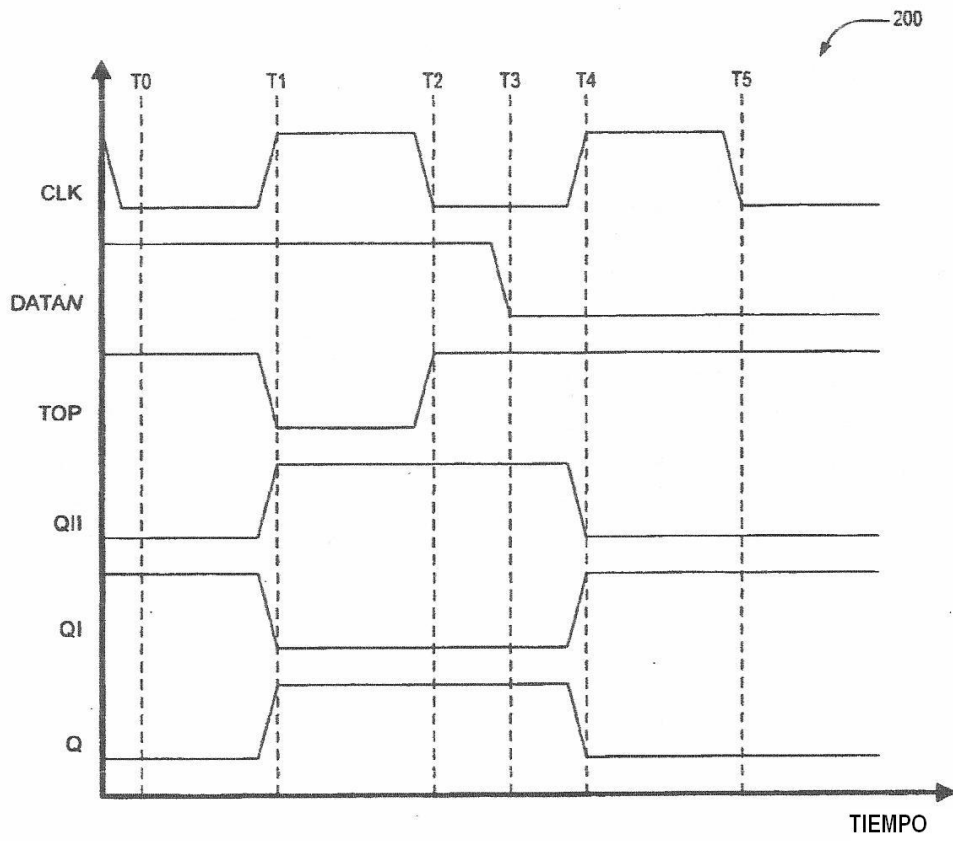


FIG. 3 REGISTRO DOMINÓ N NO INVERSOR - REALIZACIÓN ALTERNATIVA

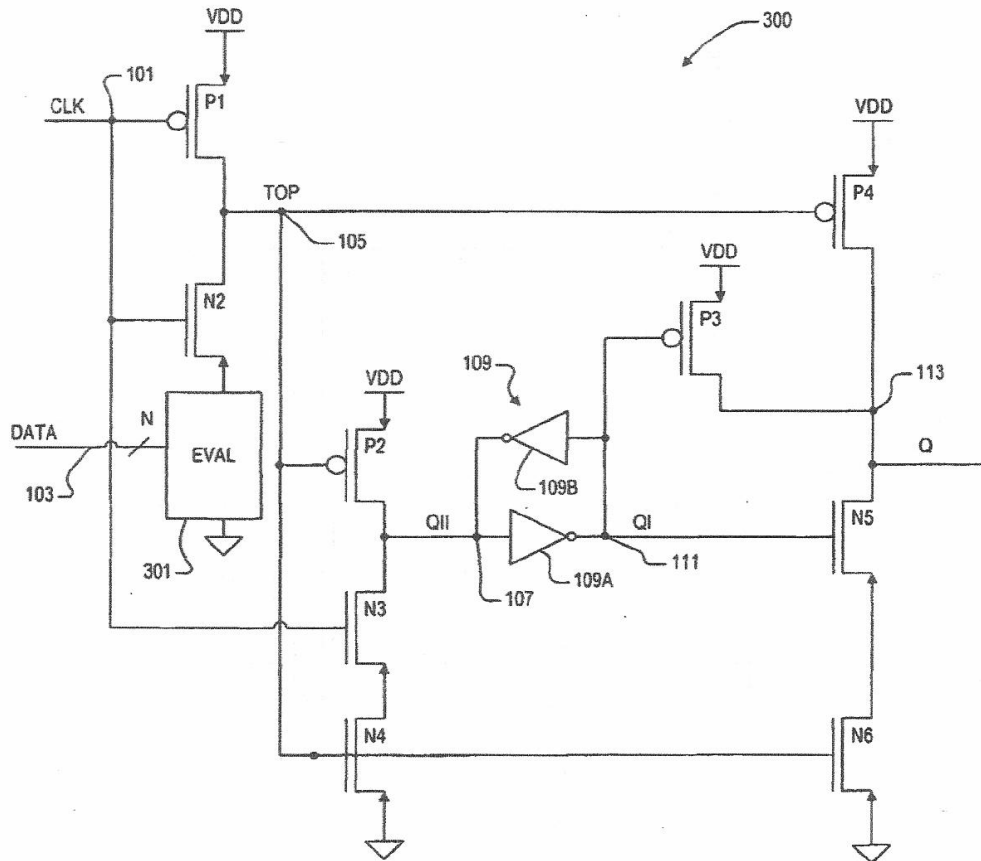


FIG. 5 REGISTRO DOMINÓ N NO INVERSOR CON ETAPA DE ALMACENAMIENTO MEJORADA - REALIZACIÓN ALTERNATIVA

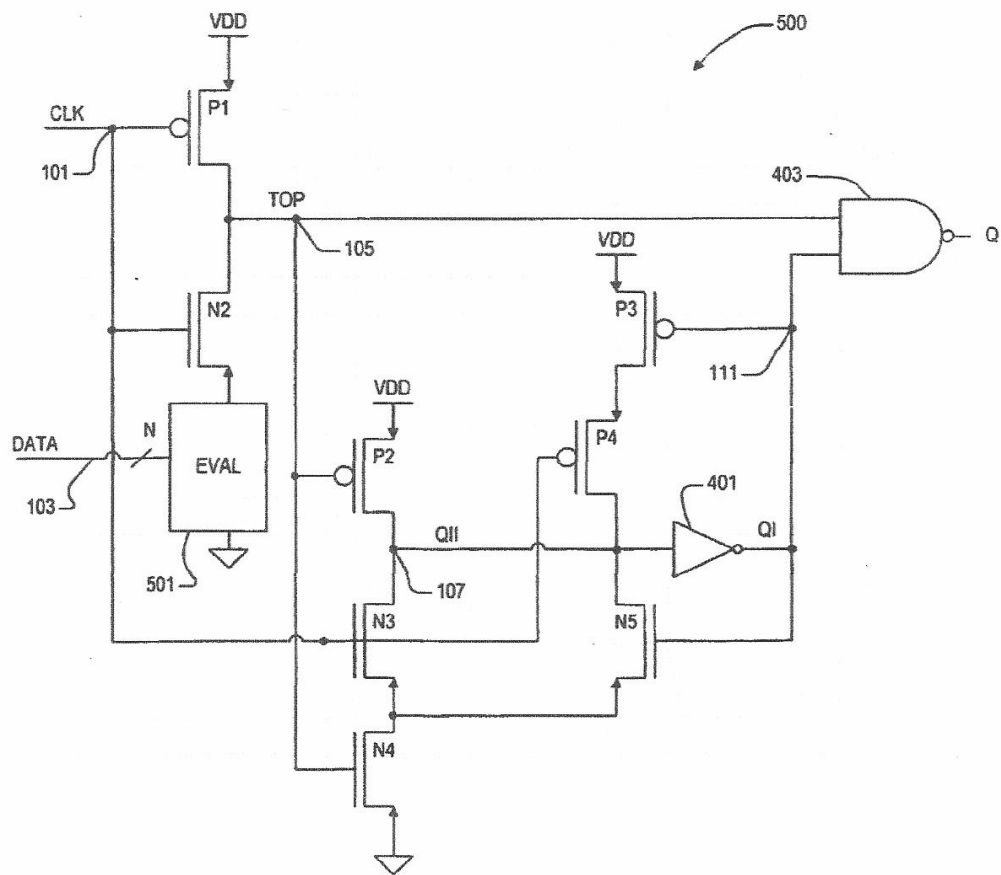


FIG. 6 TEMPORIZACIÓN DE RELOJ PULSATORIA DE REGISTRO DOMINÓ N NO INVERSOR

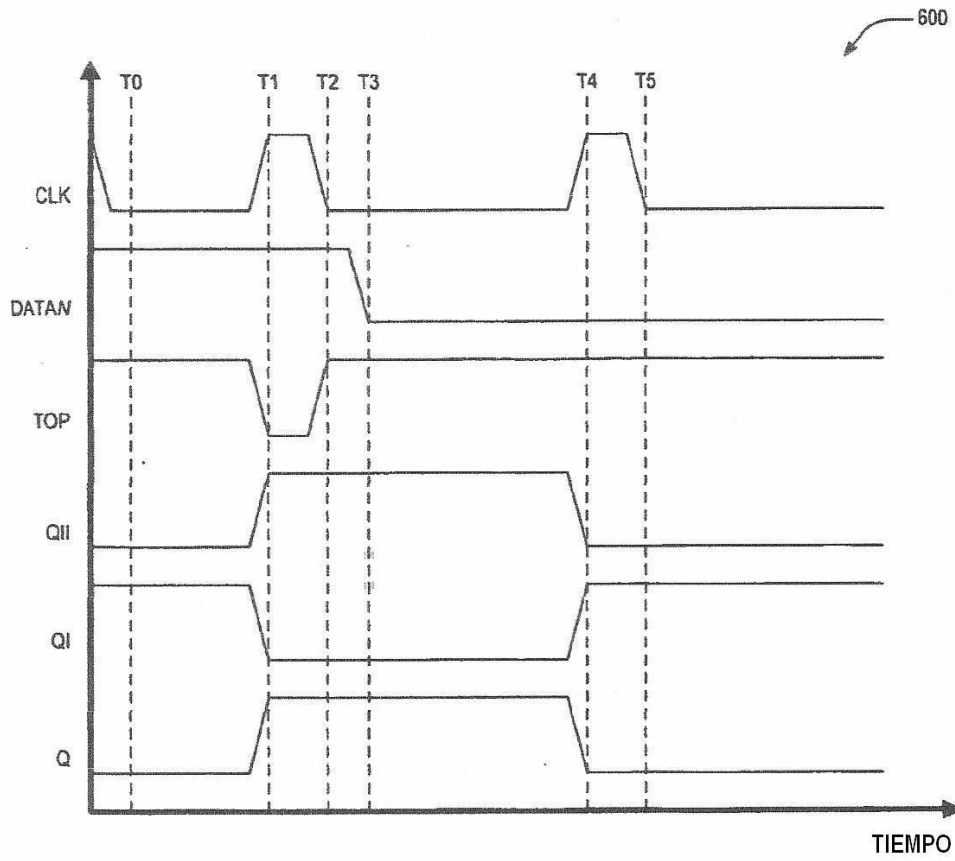


FIG. 7

TEMPORIZACIÓN DE ENGANCHE DOMINÓ N

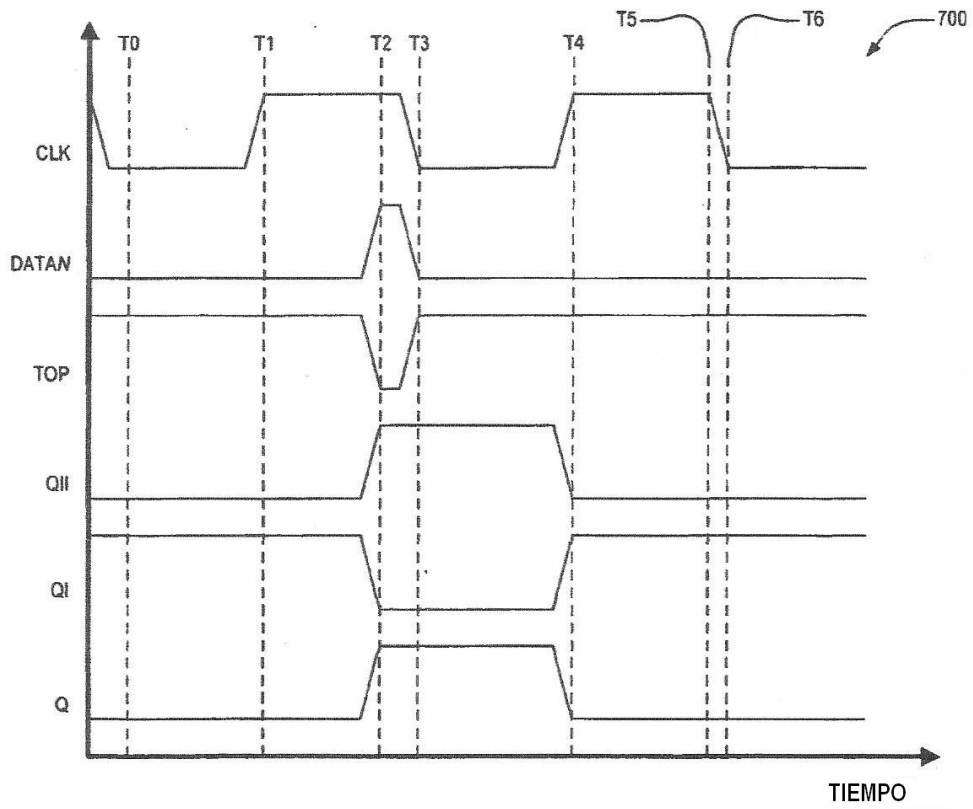


FIG. 8 REGISTRO DOMINÓ P NO INVERSOR CON ETAPA DE ALMACENAMIENTO MEJORADA

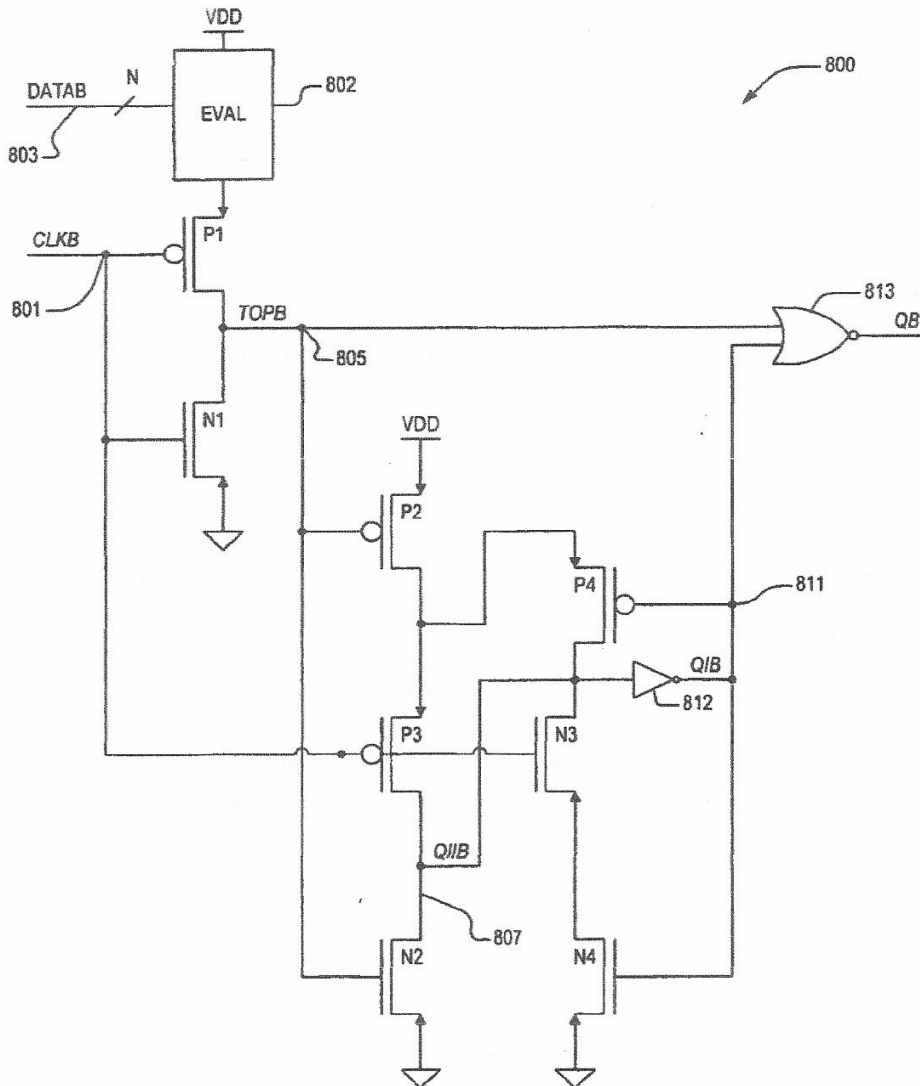


FIG. 9
 TEMPORIZACIÓN DE RELOJ PULSATORIA DE REGISTRO
 DOMINÓ P NO INVERSOR

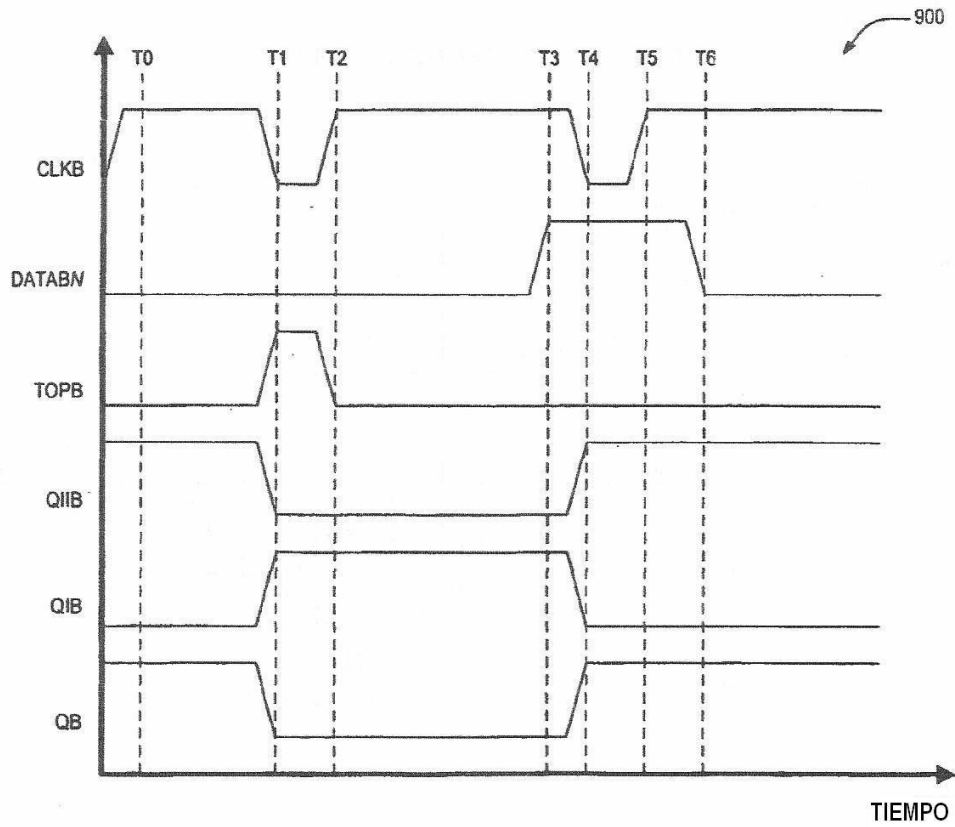


FIG. 10 REGISTRO DINÁMICO DE CANAL P ACELERADO

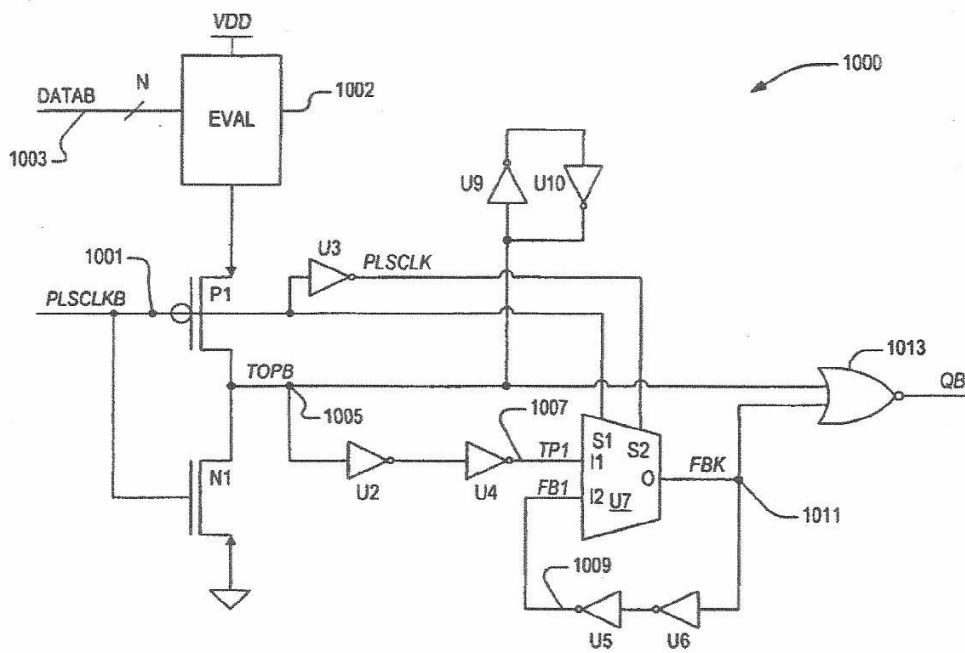


FIG. 11

REGISTRO DINÁMICO DE CANAL P ACCELERADO - REALIZACIÓN DE LLEVAR A UN VALOR BAJO DURA Y RÁPIDA

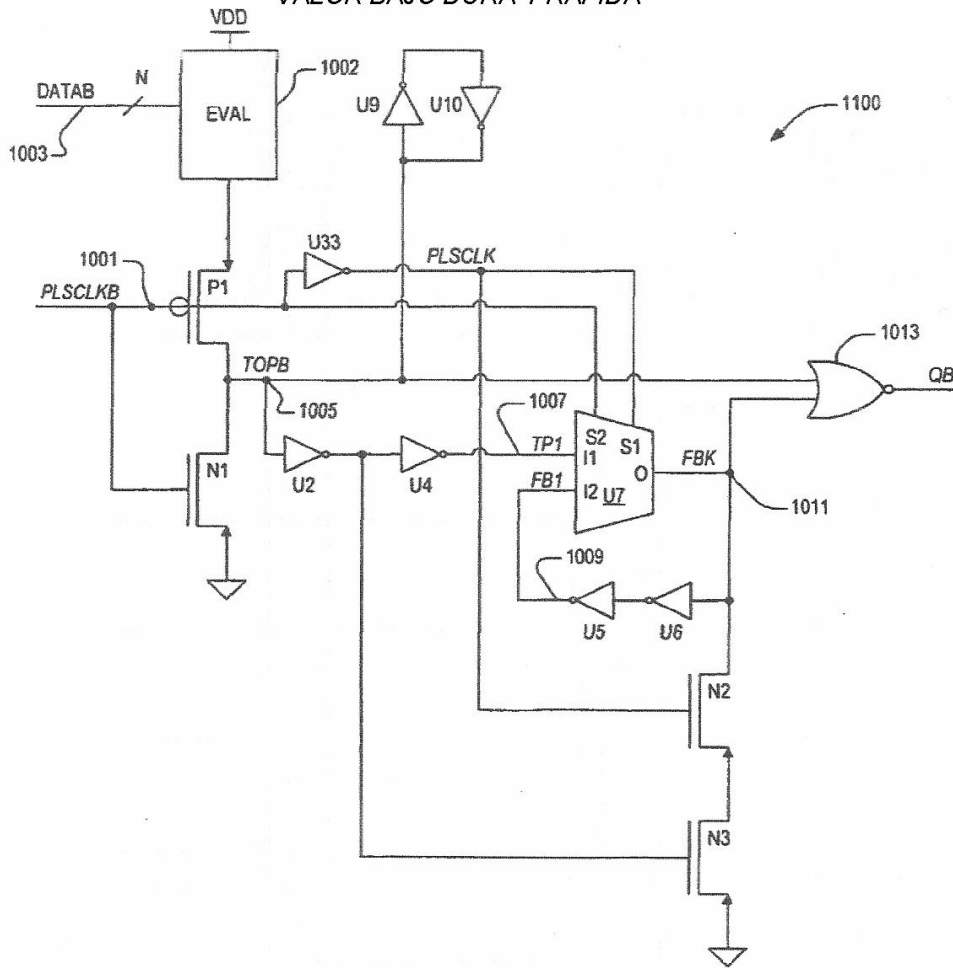


FIG. 12 TEMPORIZACIÓN DE REGISTRO DE CANAL P ACELERADO

