

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 368 938**

51 Int. Cl.:
G06F 13/42 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **06251163 .9**
96 Fecha de presentación: **03.03.2006**
97 Número de publicación de la solicitud: **1760601**
97 Fecha de publicación de la solicitud: **07.03.2007**

54 Título: **PROTOCOLO DE DISPONIBILIDAD DE OBJETIVO PARA ESCRITURA CONTIGUA.**

30 Prioridad:
05.07.2005 US 697063 P
21.02.2006 US 358464 P

45 Fecha de publicación de la mención BOPI:
23.11.2011

45 Fecha de la publicación del folleto de la patente:
23.11.2011

73 Titular/es:
VIA TECHNOLOGIES, INC.
8F, NO. 535, CHUNG-CHENG ROAD HSIN-TIEN
CITY
TAIPEI 231, TW

72 Inventor/es:
Gaskins, Darius D.

74 Agente: **de Elzaburu Márquez, Alberto**

ES 2 368 938 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Protocolo de disponibilidad de objetivo para escritura contigua.

ANTECEDENTES DEL INVENTO**CAMPO DEL INVENTO**

- 5 El presente invento se refiere a buses de datos de procesador, y más particularmente a un aparato y método de protocolo de disponibilidad de objetivo que permite que un microprocesador o dispositivo similar realice escrituras contiguas en la memoria.

DESCRIPCIÓN DE LA TÉCNICA RELACIONADA

- 10 La interfaz de bus de la mayor parte de microprocesadores es sustancialmente similar con una variación menor. Las direcciones de memoria para transacciones son proporcionadas sobre un bus de dirección bidireccional denominado aquí como ADDR. Una señal de muestreo de dirección bidireccional, denominada aquí como ADS, indica la validez de las direcciones en el bus ADDR. Los datos son transferidos sobre un bus de datos bidireccional denominado aquí como DATA. En algunas arquitecturas de microprocesador de hoy día, ocho bytes son transferidos a la vez, cuya cantidad (8 bytes) es conocida como un "batido". En un bus de datos bombeado cuatro veces de hoy día, tal como es
- 15 previsto en el bien conocido microprocesador PENTIUM® 4, cuatro batidos son transferidos durante cada ciclo de una señal de reloj de bus, denominada aquí como BCLK, y hasta ocho batidos (64 bytes) pueden ser transferidos durante una única transacción para acomodar la transferencia de una línea caché de 64 bytes entera a o desde la memoria. Una señal de ocupación de bus de datos bidireccional, denominada aquí como DBSY, es activada por la entidad que está proporcionando los datos (es decir, microprocesador o agente bus) durante todos excepto el ciclo
- 20 de reloj final en el que los datos son transferidos sobre el bus DATA. La entidad que proporciona activa DBSY para indicar que está adquiriendo la propiedad del bus DATA. Una señal dispuesta de datos, denominada aquí como DRDY, es activada bien por el microprocesador o bien por el agente bus durante todos los ciclos de reloj en los que los datos son transferidos sobre el bus DATA. El dispositivo que está proporcionando los datos activa DRDY. Una señal preparado objetivo, denominada aquí como TRDY, es activada solo por el dispositivo objetivo (por ejemplo, el
- 25 circuito integrado auxiliar "chipset") desde el que se ha solicitado una transacción de escritura. La activación de TRDY indica que el agente objetivo está dispuesto para proporcionar los datos para la transacción de escritura. Además, un bus de respuesta, denominado aquí como RS, es activado por el agente objetivo para indicar el tipo de respuesta de transacción (por ejemplo, sin datos, datos normales, sobre-escritura implícita) que está siendo completada sobre el bus DATA.
- 30 Algunos procesadores multiplexan direcciones y datos sobre el mismo grupo de señales y proporcionan así señales de control para indicar si los datos o direcciones están presentes. Otros microprocesadores utilizan diferentes anchuras de bus de datos o direcciones o señales de control alternativamente nombradas. Es importante resaltar que sustancialmente todos los procesadores proporcionan señales para comunicación con agentes bus para indicar que el bus de datos está dispuesto, es decir está ocupado, y para recibir indicación desde los agentes bus de que el
- 35 agente está dispuesto para recibir los datos correspondientes a una transacción de escritura.

- Debido a que los datos asociados con escrituras combinadas (por ejemplo, combinaciones de escritura, almacenamientos no temporales) son típicamente grandes, es desventajoso no utilizar totalmente el ancho de banda de un bus de datos, si ese bus es bombeado cuatro veces o de otra manera. Como los buses de datos funcionan típicamente a velocidades de reloj muchas veces más lentas que las de relojes de núcleo de microprocesador, es
- 40 crucial ejecutar escrituras combinadas a la memoria con eficiencia óptima. La utilización ineficiente de ancho de banda bus en un microprocesador hoy en día es una consecuencia de las reglas para desactivar la señal TRDY, denominadas aquí como las reglas del Protocolo de Disponibilidad de Objetivo (TRP). Más particularmente, debido a que la TRDY no puede ser desactivada hasta que el ciclo que sigue al ciclo donde se ha confirmado que la DBSY es desactivada de acuerdo con las reglas TRP, las escrituras combinadas en un bus de datos bombeado cuatro veces
- 45 pueden emplear solo un porcentaje del ancho de banda de bus. Este "apretón de manos" de DBSY y TRDY (o señales análogas) es una norma industrial de hecho y sirve para limitar el flujo de datos a la memoria. Debido a las reglas asociadas con TRDY, es imposible saturar un bus de datos de hoy en día con datos escritos.

El documento US 5.790.811 describe un sistema para realizar transferencias de datos durante ciclos de reloj en vacío PCI.

50 COMPENDIO DEL INVENTO

Un método para realizar transacciones de escritura contigua entre un procesador y un agente bus sobre un bus de procesador de acuerdo con una realización del presente invento incluye la detección, por el agente bus, de una solicitud para un ciclo de escritura, la activación, por el agente bus, de una señal preparado objetivo para un ciclo de reloj en respuesta al ciclo de escritura, en el que la señal preparado objetivo es un impulso de un ciclo, la activación,

por el agente bus, de señales de respuesta en un próximo ciclo de reloj que sigue al ciclo de reloj en el que las señales de respuesta son activadas, y la activación, por el procesador, de datos para el ciclo de escritura cuando la señal de ocupación de datos es activada.

5 El método puede incluir la detección, por el agente bus, de una solicitud para cada uno de una pluralidad de ciclos de escritura contigua, la activación, por el agente bus, de la señal preparado objetivo para un ciclo de reloj en respuesta a cada ciclo de escritura contigua durante un primer ciclo de reloj de una fase de transferencia de datos de un ciclo de escritura contigua anterior, la activación, por el agente bus, de señales de respuesta para ciclos de escritura contigua en un próximo ciclo de reloj que sigue al ciclo de reloj en el que es activada la señal preparado objetivo, la
10 activación, por el procesador, de la señal de ocupación de datos para cada ciclo de escritura contigua en el próximo ciclo de reloj que sigue al ciclo de reloj en el que las señales de respuesta son activadas y la activación, por el procesador, de datos para cada ciclo de escritura contigua cuando la señal de ocupación de datos es activada.

15 El método puede incluir la detección de al menos una señal de muestreo de dirección y bloquear una dirección que indica una localización para almacenar los datos. El método puede incluir la activación de la señal preparado objetivo y la señal de ocupación de datos al mismo tiempo. El método puede incluir la interpretación, por el procesador, la desactivación de la señal de ocupación de datos después de haber sido activada para el ciclo de escritura. El método puede incluir la activación de señales de respuesta que indican un tipo de respuesta de transacción para el ciclo de escritura. El método puede incluir la activación de datos en una parte de datos del bus de procesador. El método puede incluir la activación de una señal dispuesta de datos al mismo tiempo que la activación de los datos para el ciclo de escritura.

20 Un procesador de acuerdo con una realización del presente invento comprende una interfaz de bus de control, que activa una solicitud para un ciclo de escritura, que detecta la activación de una señal preparado objetivo para dicho ciclo de escritura, que detecta la activación de señales de respuesta para un ciclo de reloj después de la activación de dicha señal preparado objetivo, y que activa una señal de ocupación de datos para un ciclo de reloj después de la
25 activación de dichas señales de respuesta; una interfaz de bus de datos acoplada a dicha interfaz de bus de control, que proporciona datos para dicho ciclo de escritura cuando dicha señal de ocupación de datos es activada; y una interfaz de bus de dirección que proporciona una dirección cuando dicha solicitud para dicho ciclo de escritura es activada; en el que dicha interfaz de bus de control comprende una interfaz preparada objetivo que detecta dicha señal preparado objetivo para dicho ciclo de escritura durante un primer ciclo de reloj de una fase de transferencia de datos de u ciclo de escritura anterior; y en el que dicha señal preparado objetivo comprende un impulso de un ciclo.

30 La interfaz de bus de control puede incluir una interfaz de selección de dirección que proporciona la solicitud para un ciclo de escritura. La interfaz de bus de control puede incluir una interfaz de respuesta que detecta la activación de las señales de respuesta después de la activación de la señal preparado objetivo. La interfaz de bus de control puede incluir una interfaz dispuesta de datos que activa las señales dispuesta de datos indicando que los datos para el ciclo de escritura son activados.

35 BREVE DESCRIPCIÓN DE LOS DIBUJOS

Los beneficios, características y ventajas del presente invento serán mejor comprendidos con referencia a la descripción siguiente, y a los dibujos adjuntos en los que:

La fig. 1 es un diagrama de bloques simplificado de un sistema de interfaz de microprocesador convencional;

40 La fig. 2 es un diagrama de temporización que ilustra la interacción de las señales descritas con referencia al sistema de interfaz de microprocesador convencional de la fig. 1 para realizar una transacción de lectura R1 seguida por tres transacciones de escritura W1, W2 y W3;

La fig. 3 es un diagrama de bloques simplificado de un sistema de interfaz de microprocesador ejemplar puesto en práctica de acuerdo con una realización del presente invento; y

45 La fig. 4 es un diagrama de temporización que ilustra la interacción de las señales descritas con referencia al sistema de interfaz de microprocesador de la fig. 3 para realizar una transacción de lectura R1 seguida por tres transacciones de escritura W1-W3 de acuerdo con una realización ejemplar del presente invento.

DESCRIPCIÓN DETALLADA

50 La siguiente descripción es presentada para permitir que un experto en la técnica haga y use el presente invento como es proporcionado dentro del contexto de una aplicación particular y sus requisitos. Distintas modificaciones a la realización preferida resultarán, sin embargo, evidentes para los expertos en la técnica, y los principios generales definidos aquí pueden aplicarse a otras realizaciones. Por lo tanto, el presente invento no se pretende que esté limitado a las realizaciones particulares mostradas y descritas aquí, sino que ha de estar de acuerdo con el marco más amplio consistente con los principios y nuevas características descritas aquí.

El inventor de la presente solicitud ha reconocido que es desventajoso no utilizar totalmente el ancho de banda de un bus de procesador de un microprocesador, si ese bus es bombeado cuatro veces o de otra manera. Ha resaltado además que como los buses de procesador funcionan típicamente a velocidades de reloj muchas veces más lentas que las de relojes de núcleo de procesador, es crucial ejecutar escrituras combinadas a la memoria con una eficiencia óptima. El inventor ha reconocido que la utilización ineficiente del ancho de banda del bus es una consecuencia de las reglas TRP para desactivar TRDY, que hace difícil si no imposible saturar la parte de datos del bus con datos de escritura. Ha desarrollado por ello un mecanismo para saturar el ancho de banda de un bus de datos de microprocesador bombeado cuatro veces de hoy en día durante escrituras combinadas, cuyo mecanismo incluye un aparato y un método de protocolo de disponibilidad objetivo que permite que un microprocesador o dispositivo similar realice escrituras contiguas a la memoria, como se describirá adicionalmente más adelante con respecto a las figs. 1 a 4.

La fig. 1 es un diagrama de bloques simplificado de un sistema 100 de interfaz de microprocesador tradicional. El sistema 100 de interfaz de microprocesador incluye un microprocesador 101 y un agente bus 103 interconectado con un bus 105 de procesador. El agente bus 103 representa cualquier número de diferentes tipos de agentes bus como es conocido por los expertos en la técnica, tal como un controlador de memoria, un puente de anfitrión/PCI (Interconexión de Componente Periférico), etc. El bus 105 de procesador incluye las señales para realizar transacciones de datos, incluyendo un bus de dirección bidireccional ADDR, un bus de datos bidireccional DATA, y múltiples señales de control. En la realización ilustrada, el bus ADDR tiene 36 señales mostradas como ADDR[35:0] y el bus DATA tiene 64 señales mostradas como DATA[63:0], aunque se ha comprendido que los buses de dirección y de datos pueden tener cualquier número adecuado de señales dependiendo de la configuración y de la arquitectura particulares. Las señales de control incluyen una señal de reloj bus BCLK, una señal de muestreo de dirección bidireccional ADS (que indica la validez de las direcciones en el bus ADDR), una señal de ocupación de bus de datos bidireccional DBSY (activada por la entidad que está proporcionando datos en el bus DATA), una señal dispuesta de datos DRDY (activada por el dispositivo que proporciona datos durante todos los ciclos de reloj en que los datos son transferidos sobre el bus DATA), una señal preparado objetivo TRDY (activada sólo por el dispositivo objetivo desde el que se ha solicitado una transacción de escritura), y un bus de respuesta RS que proporciona el tipo de respuesta de transacción que está siendo completado sobre el bus DATA. En la realización ilustrada, el bus RS tiene 3 señales mostradas como RS[2:0] para indicar hasta 8 tipos de transacción diferentes.

La fig. 2 es un diagrama de temporización que ilustra la interacción de las señales descritas con referencia al sistema 100 de interfaz de microprocesador tradicional para realizar una transacción de lectura R1 seguida por tres transacciones de escritura W1, W2 y W3. Como se ha mostrado, las señales BCLK, ADS, TRDY, DBSY y DRDY junto con los buses de RS y DATA están trazadas en función del tiempo. Por motivos de claridad, el bus ADDR no está mostrado y se ha resaltado que la dirección (es decir, paquetes de Solicitud A y de Solicitud B) es proporcionada sobre el bus ADDR para transacciones respectivas R1 y W1-W3 durante la activación de la ADS seleccionada de dirección correspondiente. El microprocesador 101 proporciona la dirección y el agente bus 103 bloquea la dirección al detectar las señales ADS. También por motivos de claridad, las señales de control son mostradas activadas como un nivel lógico bajo aunque un experto en la técnica aprecia que la activación puede también estar indicada por un nivel lógico alto. El funcionamiento de tales transacciones y señales correspondientes como se ha citado aquí en un microprocesador compatible x86 está descrito en numerosas referencias, incluyendo el libro "Arquitectura de Sistema Pentium Pro y Pentium II 2ª Edición", por Tom Shanley y la Publicación de la Solicitud de Patente norteamericana 2001/0037421A1, publicada el 1 de Noviembre de 2001 y titulada "Arquitectura de Bus de Canalización Muy Mejorada".

Los ciclos de la señal de reloj BCLK están mostrados a través de la parte superior del diagrama de temporización junto con números de ciclo y la temporización de transiciones de los estados de las señales están descritos con respecto al número de ciclo correspondiente. Durante los ciclos 1, 3, 5, y 7, ADS es activada por el microprocesador 101 (junto con los paquetes A/B solicitados proporcionados sobre el bus ADDR) para solicitar una transacción de lectura R1 seguida por las tres transacciones de escritura W1-W3. Por simplicidad de ilustración, los retrasos son ignorados y se comprende que las transiciones de señal reales ocurren durante el ciclo inmediatamente siguiente a la transición de señal ilustrada. Por ejemplo, el borde descendente de la señal ADS para iniciar la transacción de escritura W1 mostrada que ocurre en el borde ascendente de la señal BCLK entre los ciclos de reloj 2 y 3 ocurre realmente durante el ciclo de reloj 3 después de un retraso relativamente corto. Numerosas transacciones de escritura tales como W1-W3 son típicamente ejecutadas para escrituras a memoria de memorias tampón de escritura y similares. Durante el ciclo 6, el agente bus 103 activa DBSY, tomando así propiedad del bus 105 de procesador. Además, durante los ciclos 6-7, el agente bus activa DRDY y transfiere los datos de lectura al microprocesador 101 sobre el bus DATA. Durante el ciclo 6, el tipo de transacción es proporcionado sobre el bus RS. Durante el ciclo 7, el agente bus 103 desactiva DBSY permitiendo que otros agentes bus o dispositivos se apropien del bus 105 de procesador. El agente bus 103 activa la señal TRDY durante el ciclo 6 para indicar su disponibilidad a aceptar datos de escritura asociados con el ciclo de escritura W1 indicado por el microprocesador 101. Durante el ciclo 8, el agente bus 103 desactiva la señal DRDY, indicando así la finalización de la transacción de lectura R1.

Las reglas TRP incluyen una regla fundamental de que TRDY no puede ser desactivada hasta el ciclo que sigue al ciclo en el que el agente bus 103 confirma que DBSY ha sido desactivada. En el caso de una transacción de lectura, como el mismo agente bus 103 es la entidad que desactiva DBSY, puede desactivar TRDY durante el siguiente ciclo. Este caso está ilustrado para la transacción de lectura R1. Pero si el microprocesador 101 (u otro agente bus) está controlando el estado de DBSY (como en el caso de una transacción de escritura), entonces el agente bus 103 debe mantener TRDY activada durante el ciclo en que muestra DBSY desactivada, que es en el ciclo que sigue a la desactivación de DBSY por el microprocesador 101. Por consiguiente, durante el ciclo 6, el agente bus 103 activa TRDY para indicar su disponibilidad para la transacción de escritura W1 y, debido a que el agente bus 103 es el agente que desactiva DBSY durante el ciclo 7, puede desactivar TRDY durante el ciclo 8. Pero durante los ciclos 9 y 10, el microprocesador 101 toma el control de DBSY y TRDY para completar la transacción de escritura W1. Y como el microprocesador 101 desactiva DBSY en el ciclo 10, el agente bus 103 debe esperar hasta el ciclo 11 para muestrear la DBSY desactivada, y por lo tanto no puede desactivar la TRDY hasta el ciclo 12. Debido a esta solicitud, no hay modo de utilizar totalmente el ancho de banda del bus 105 de procesador. Actualmente DBSY debe ser muestreada desactivada antes de desactivar TRDY.

Como los buses de datos funcionan típicamente a velocidades de reloj muchas veces más lentas que las de los relojes de núcleo de microprocesador, es crucial ejecutar escrituras combinadas a la memoria con una eficiencia óptima. Debido a que los datos asociados con escrituras combinadas (por ejemplo, combinaciones de escritura, almacenamientos no temporales) son típicamente grandes, es desventajoso no utilizar totalmente el ancho de banda de un bus de datos, si ese bus es bombeado cuatro veces o de otra manera. La utilización ineficiente de ancho de banda de bus en un microprocesador de hoy en día es una consecuencia de reglas para desactivar TRDY de acuerdo con las reglas TRP como se ha indicado antes, de modo que sólo un porcentaje del ancho de banda bus es utilizado. Este "apretón de manos" de DBSY y TRDY (o señales análogas) es una norma industrial de hecho y sirve para limitar el flujo de datos a la memoria, de modo que es imposible saturar un bus de datos de hoy en día con datos de escritura.

Un sistema y método de acuerdo con el presente invento proporciona un protocolo de disponibilidad objetivo mejorado que permite escrituras colindantes a la memoria. En resumen, una realización de acuerdo con el presente invento desacopla la relación entre DBSY y TRDY. En una realización, TRDY es un impulso de un ciclo que indica la disponibilidad para datos de escritura, y puede ser activado tan pronto como el primer reloj de una fase de datos de transferencias de datos previa. El accionamiento de DATA es aún dependiente de la desactivación de DBSY, pero la desactivación es o bien muestreada o bien interpretada. Para una transacción de lectura, un agente bus que proporciona los datos de lectura puede "interpretar" la desactivación de DBSY durante el mismo ciclo que desactiva la señal. Así, el agente bus no espera hasta el siguiente ciclo para muestrear la señal que desactiva. Además, RS es proporcionado un reloj después de la activación de TRDY para permitir que el próximo ciclo de TRDY sea aceptado, y no es proporcionado antes de la última transferencia de la fase de datos previa. El aparato y método son proporcionados en un sistema de interfaz de microprocesador puesto en práctica de acuerdo con una realización del presente invento para determinar y ejecutar la activación/desactivación de TRDY y DBSY, permitiendo así que ocurran escrituras dorso a dorso sobre el bus de procesador.

La fig. 3 es un diagrama de bloques simplificado de un sistema 300 de interfaz de microprocesador ejemplar puesto en práctica de acuerdo con una realización del presente invento. El bus 105 de procesador incluye las mismas señales de bus excepto la mostrada en diferente orden de acuerdo con las partes de dirección, datos y control. Las señales de bus funcionan de un modo sustancialmente similar excepto para el funcionamiento de TRDY con relación a DBSY como se ha descrito más adelante. El microprocesador 101 es sustituido con un microprocesador 301 que incluye una interfaz 310 de bus de dirección, una interfaz 311 de bus de datos, y una interfaz 312 de control. La interfaz 312 de control incluye además una interfaz ADS 313 que enlaza las señales DBSY, una interfaz TRDY 315 que enlaza la señal TRDY, una interfaz DRDY 316 que enlaza la señal DRDY y una interfaz RS 317 que enlaza las señales RS. Las interfaces 310-312 están acopladas juntas dentro del microprocesador 301 y las interfaces 313-317 están acopladas juntas dentro de la interfaz 312 de control para permitir colectivamente que escrituras contiguas sean ejecutadas sobre el bus 105 de procesador en esta arquitectura de bus bombeada cuatro veces. Se ha resaltado que el microprocesador 101 incluye interfaces similares pero es puesto en práctica de acuerdo con las reglas TRP convencionales y así es incapaz de realizar escrituras contiguas. El agente bus 103 es sustituido con un agente bus 303 que incluye una interfaz 320 de bus de dirección, una interfaz 321 de bus de datos, y una interfaz 322 de control. La interfaz 322 de control incluye además una interfaz ADS 323 que enlaza las señales ADS, una interfaz DBSY 324 que enlaza la señal DBSY, una interfaz TRDY 326 que enlaza la señal DRDY y una interfaz RS 327 que enlaza las señales RS. Las interfaces 320-322 están acopladas juntas dentro de la interfaz de control 322 para permitir colectivamente que escrituras contiguas sean ejecutadas sobre el bus 105 de procesador en esta arquitectura bus bombeada cuatro veces. Se ha resaltado que el agente bus 103 puede incluir interfaces similares pero es puesto en práctica de acuerdo con las reglas TRP convencionales y por lo tanto es incapaz de realizar escrituras contiguas.

En la realización ilustrada, para el microprocesador 301, la interfaz ADS 313 activa las señales ADS para iniciar un

ciclo de escritura sobre el bus 105 de procesador y la interfaz ADDR 310 activa simultáneamente una dirección correspondiente sobre el bus ADDR. La interfaz TRDY 315 vigila la señal TRDY en respuesta a la solicitud de ciclo de escritura. La interfaz RS 327 activa las señales sobre el bus RS durante el ciclo de reloj que sigue al ciclo de reloj en el que la señal TRDY fue activada para indicar el ciclo de escritura. La interfaz DRDY 316 activa la señal DRDY durante el ciclo de reloj que sigue al ciclo de reloj en el que las señales de bus RS son activadas. La interfaz DBSY 314 activa la señal DBSY para un ciclo de reloj durante el ciclo de reloj que sigue al ciclo de reloj en el que las señales de bus RS son activadas. La interfaz 311 de bus de datos activa datos para el ciclo de escritura sobre el bus DATA simultáneamente con la activación de las señales DRDY. Durante ciclos de escritura contiguos, como la interfaz DBSY 314 del microprocesador 301 es la entidad que activa la señal DBSY, la interfaz 312 de control del microprocesador 301 interpreta la desactivación de la señal DBSY. De esta forma, el microprocesador 301 es capaz de activar datos en el bus DATA en el siguiente ciclo de reloj que sigue a la desactivación de la señal DBSY sin tener que muestrear la señal DBSY desactivada en el bus DATA.

En la realización ilustrada, para el agente bus 301, la interfaz ADS 323 detecta la solicitud para el ciclo de escritura a través de la activación de las señales ADS. La interfaz 324 de ocupación de datos detecta la activación de la señal DBSY durante una fase de datos de un ciclo de transferencia de datos anterior. La interfaz TRDY 325 activa la señal TRDY en respuesta a la solicitud de ciclo de escritura para un ciclo de reloj durante un primer ciclo de reloj de una fase de datos de un ciclo de escritura anterior durante un primer ciclo de reloj de una fase de datos de un ciclo de escritura anterior o durante un segundo ciclo de reloj de un ciclo de lectura anterior. El retraso de reloj adicional para cada ciclo de lectura permite muchos cambios en el bus 105 de procesador entre los ciclos de lectura y escritura. Como la señal TRDY puede ser activada tan pronto como el primer reloj de la fase de datos de transferencia de datos previa, la TRDY puede ser activada simultáneamente con la señal DBSY para todos los ciclos de escritura contigua excepto para el primer ciclo de escritura si la transferencia de datos previa es un ciclo de lectura. Si la transferencia de datos previa es un ciclo de lectura, entonces la señal TRDY es activada durante el segundo reloj de la fase de datos del ciclo de lectura anterior. La interfaz RS 317 detecta la activación de las señales sobre el bus RS que indica la fase de transferencia de datos del ciclo de escritura. La interfaz DRDY 326 detecta la activación de la señal DRDY que indica qué datos son válidos sobre el bus DATA. La interfaz 321 de bus DATA recupera los datos en respuesta a la señal DRDY que está siendo activada.

La fig. 4 es un diagrama de temporización que ilustra la interacción de las señales descritas con referencia al sistema 300 de interfaz de microprocesador para realizar una transacción de lectura R1 seguida por tres transacciones de escritura W1-W3 de acuerdo con una realización ejemplar del presente invento. Como se ha mostrado, las señales BCLK, ADS, TRDY, DBSY y DRDY junto con los buses RS y DATA están trazadas en función del tiempo. De nuevo, por motivo de claridad, el bus ADDR no está mostrado y se ha resaltado que la dirección (es decir, paquetes de Solicitud A y de solicitud B) para las transacciones respectivas R1 y W1-W3 son proporcionadas durante la activación del ADS de selección de dirección. El microprocesador 301 proporciona la dirección y el agente bus 303 bloquea la dirección al detectar las señales ADS. También por motivos de claridad, las señales de control se han mostrado activadas como un nivel lógico bajo aunque un experto en la técnica aprecia que la activación puede también estar indicado por un nivel lógico alto.

De nuevo, los ciclos del reloj de bus BCLK están mostrados a través de la parte superior del diagrama de temporización. Como las transacciones ilustradas con referencia al sistema 100 de interfaz de microprocesador convencional como se ha mostrado en el diagrama de temporización de la fig. 2, durante los ciclos 1, 3, 5, y 7, la señal ADS es activada (junto con paquetes de solicitud A/B proporcionados sobre el bus ADDR) por la interfaz ADS 313 para solicitar una transacción de lectura R1 seguida por tres transacciones de escritura W1-W3 de la misma manera. Durante el ciclo 6, la interfaz DBSY 324 del agente bus 103 activa DBSY, apropiándose así del bus 105 de procesador para el ciclo de lectura R1. Además durante los ciclos 6-7, la interfaz DRDY 326 del agente bus 303 activa DRDY y la interfaz 321 de bus DATA transfiere los datos de lectura al microprocesador 301 sobre el bus DATA. Durante el ciclo 6 también, el tipo de transacción es proporcionado sobre el bus RS por la interfaz RS 327.

Como se ha resaltado antes, la señal TRDY es un impulso de un ciclo que indica la disponibilidad para datos de escritura, y puede ser activada tan pronto como el primer reloj de una fase de datos de transferencias de datos previa o tan pronto como el segundo reloj de la fase de datos de un ciclo de lectura previo en la realización ilustrada. Para indicar la disponibilidad a aceptar datos de escritura asociados con W1, la interfaz TRDY 325 del agente bus 303 activa TRDY durante el ciclo 7 debido a que, como es la entidad que activa DBSY durante el ciclo 7, la desactivación es interpretada durante el mismo ciclo. Debido a que la activación de TRDY es un ciclo de acuerdo con una realización del presente invento, TRDY es desactivada durante el ciclo 8. También durante el ciclo 8, DRDY es desactivada, indicando así la finalización de la transacción de lectura R1.

En contraste con las reglas TRP convencionales, el protocolo de acuerdo con una realización del presente invento permite para desactivación de TRDY inmediatamente en el próximo ciclo de reloj después de haber sido activada. Por consiguiente, se permite una transacción de escritura siguiente que comience en el ciclo de reloj que sigue a la desactivación de TRDY y para soportar esta nueva característica, el tipo de transacción es proporcionado sobre el

- bus RS durante el mismo ciclo en que TRDY es desactivada, es decir, un ciclo después de la activación de TRDY. Así, la interfaz TRDY 325 del agente bus 303 activa TRDY para indicar la disponibilidad para W1 en el ciclo 7. Y como las activaciones de TRDY están en un ciclo, la respuesta para W1 sobre el bus RS comienza en el ciclo 8 y los datos para W1 son transferidos durante los ciclos 9 y 10 entre las interfaces de 311 y 321 de bus DATA. Además,
- 5 obsérvese que cuando DBSY es desactivada, por la interfaz DBSY 314 en el ciclo 10, TRDY también es desactivada. Como la interfaz DBSY 314 del microprocesador 301 controla la señal DBSY en los ciclos 9 y 10, la desactivación de la señal DBSY en el ciclo 10 es interpretada por la interfaz 312 de control. Así, la interfaz DBSY 314 de la interfaz 312 de control no tiene que muestrear la señal DBSY desactivada, de modo que la interfaz 311 de datos puede comenzar a activar datos para W2 en el próximo ciclo de reloj 11. Los datos para W2 comienzan a transferirse durante los ciclos 11-12, con los datos de respuesta para W2 proporcionados durante el ciclo 10, un ciclo
- 10 que sigue a la activación de TRDY para W2. De modo similar, la desactivación de DBSY y TRDY durante el ciclo 12 permite la transferencia de los datos W3 durante los ciclos 13 y 14 (no mostrados). De nuevo, el microprocesador 301 interpreta la desactivación de la señal DBSY en el ciclo 12 para permitir la transferencia de datos anticipada en el siguiente ciclo 13.
- 15 De acuerdo con la realización ilustrada del presente invento, tres escrituras colindantes W1-W3 son ejecutadas durante los ciclos 9-14, saturando así totalmente el bus 105 de procesador. Desacoplar la relación entre TRDY y DBSY permite así que el bus 105 de procesador quede totalmente saturado con datos de escritura, que es una mejora del 33% sobre el sistema 100 de interfaz de microprocesador convencional que funciona de acuerdo con las reglas TRP convencionales.
- 20 Aunque el presente invento ha sido descrito con un detalle considerable con referencia a ciertas versiones preferidas del mismo, son posibles y consideradas otras versiones y variaciones. Por ejemplo, el presente invento también considera otros mecanismos para permitir las transacciones de escritura a velocidad total sobre el bus. Uno de tales mecanismos emplea dos señales TRDY. Con dos señales TRDY, la disponibilidad objetivo podría ser indicada por cualquiera de las dos señales TRDY que son activadas. Esto eliminaría el retraso en el que se ha incurrido al producirse la desactivación de una única señal TRDY. Finalmente, los expertos en la técnica deberían apreciar que
- 25 pueden usar fácilmente el concepto y las realizaciones específicas descritos como una base para diseñar o modificar otras estructuras para poner en práctica los mismos propósitos del presente invento.

REIVINDICACIONES

1. Un método para realizar transacciones de escritura contigua entre un procesador (301) y un agente bus (303) sobre un bus (105) de procesador (105); **caracterizado por** las operaciones de:

detectar, por el agente bus (303), una solicitud para un ciclo de escritura;

5 activar, por el agente bus (303), la señal preparado objetivo para un ciclo de reloj en respuesta al ciclo de escritura durante un primer ciclo de reloj de una fase de transferencia de datos de un ciclo de escritura anterior, en el que la señal preparado objetivo es un impulso de un ciclo;

activar, por el agente bus (303), señales de respuesta en un próximo ciclo de reloj que sigue al ciclo de reloj en el que la señal preparado objetivo es activada;

10 activar, por el procesador (301), una señal de ocupación de datos para el ciclo de escritura en el próximo ciclo de reloj que sigue al ciclo de reloj en el que las señales de respuesta son activadas; y

activar, por el procesador (301), datos para el ciclo de escritura cuando la señal de ocupación de datos es activada.

2. El método de la reivindicación 1, que comprende además:

15 detectar, por el agente bus (303), una solicitud para cada uno de una pluralidad de ciclos de escritura contigua;

activar, por el agente bus (303), la señal preparado objetivo para un ciclo de reloj en respuesta a cada ciclo de escritura contigua durante un primer ciclo de reloj de una fase de transferencia de datos de un ciclo de escritura contigua anterior;

20 activar, por el agente bus (303), señales de respuesta para cada ciclo de escritura contigua en un próximo ciclo de reloj que sigue al ciclo de reloj en el que la señal preparado objetivo es activada;

activar, por el procesador, la señal de ocupación de datos para cada ciclo de escritura contigua en el próximo ciclo de reloj que sigue al ciclo de reloj en el que las señales de respuesta son activadas; y

25 activar, por el procesador, datos para cada ciclo de escritura contigua cuando la señal de ocupación de datos es activada.

3. El método de la reivindicación 1, en el que dicha detección de una solicitud para un ciclo de escritura comprende la acción de bloquear una dirección que indica una localización para almacenar los datos.

4. El método de la reivindicación 1, en el que dicha activación de la señal preparado objetivo para el ciclo de escritura durante un primer ciclo de reloj de una fase de transferencia de datos de un ciclo de escritura anterior comprende la acción de activar la señal preparado objetivo y la señal de ocupación de datos al mismo tiempo.

5. El método de la reivindicación 1, que comprende además la interpretación, por el procesador (301), de la desactivación de la señal de ocupación de datos después de haber sido activada por el ciclo de escritura.

6. El método de la reivindicación 1, en el que dicha activación de señales de respuesta comprende la activación de las señales de respuesta que indican un tipo de respuesta de transacción para el ciclo de escritura.

35 7. El método de la reivindicación 1, en el que dicha activación de datos para el ciclo de escritura comprende activar datos en una parte de datos del bus de procesador.

8. El método de la reivindicación 7, que comprende además la activación de una señal dispuesta de datos al mismo tiempo que dicha activación de datos para el ciclo de escritura.

9. Un procesador (301) **caracterizado por**:

40 una interfaz (312; 322) de bus de control, que activa una solicitud para un ciclo de escritura, que detecta la activación de una señal preparado objetivo para dicho ciclo de escritura, que detecta la activación de las señales de respuesta para un ciclo de reloj después de la activación de dicha señal preparado objetivo, y que activa una señal de ocupación de datos para un ciclo de reloj después de la activación de dichas señales de respuesta;

45 una interfaz (311; 321) de bus de datos acoplada a dicha interfaz de bus de control, que proporciona datos para dicho ciclo de escritura cuando dicha señal de ocupación de datos es activada; y

una interfaz (310; 320) de bus de direcciones que proporciona una dirección cuando dicha solicitud para dicho ciclo de escritura es activada;

5 en el que dicha interfaz bus de control comprende una interfaz preparada objetivo (315) que detecta dicha señal preparado objetivo para dicho ciclo de escritura durante un primer ciclo de reloj de una fase de transferencia de datos para un ciclo de escritura anterior; y

en el que dicha señal preparado objetivo comprende un impulso de un ciclo.

10. El procesador según la reivindicación 9, en el que dicha interfaz de bus de control comprende una interfaz de señal de muestreo de direcciones que proporciona dicha solicitud para un ciclo de escritura.

10 11. El procesador según la reivindicación 9, en el que dicha interfaz de bus de control comprende una interfaz de ocupación de datos que interpreta la desactivación de dicha señal de ocupación de datos durante dicho ciclo de escritura.

12. El procesador según la reivindicación 9, en el que dicha interfaz de bus de control comprende una interfaz de respuesta que detecta la desactivación de dichas señales de respuesta después de la desactivación de dicha señal preparado objetivo.

15 13. El procesador según la reivindicación 9, en el que dicha interfaz de bus de control comprende además una interfaz de datos dispuestos que activa las señales de datos dispuestos indicando que los datos para el ciclo de escritura son activados.

SEÑALES DE MICROPROCESADOR PARA TRANSACCIONES DE DATOS

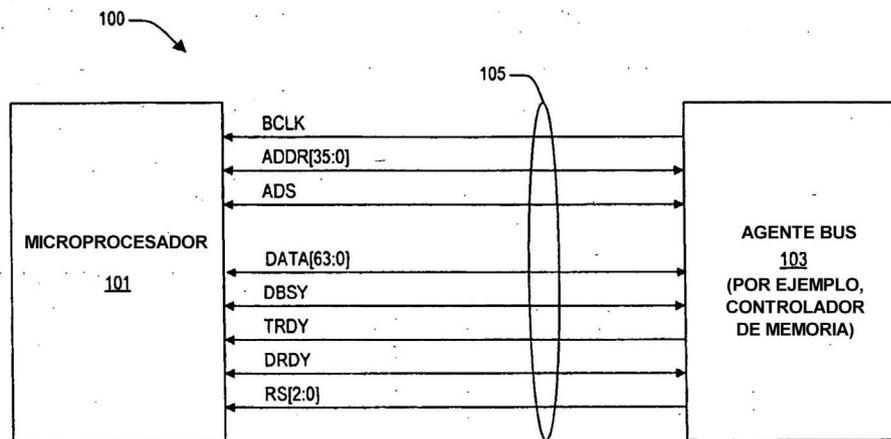


FIG. 1 (Técnica Anterior)

PROTOCOLO DE DISPONIBILIDAD DE OBJETIVO CONVENCIONAL

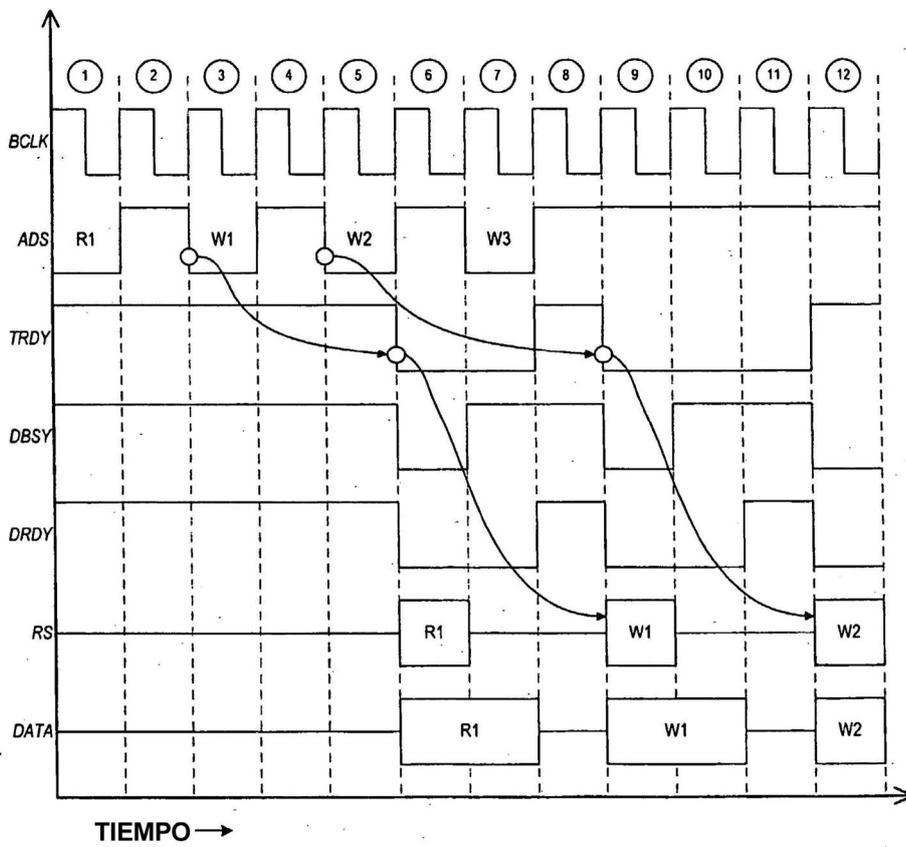


FIG. 2 (Técnica Anterior)

MICROPROCESADOR Y SEÑALES PARA TRANSACCIONES DE ESCRITURA CONTIGUA

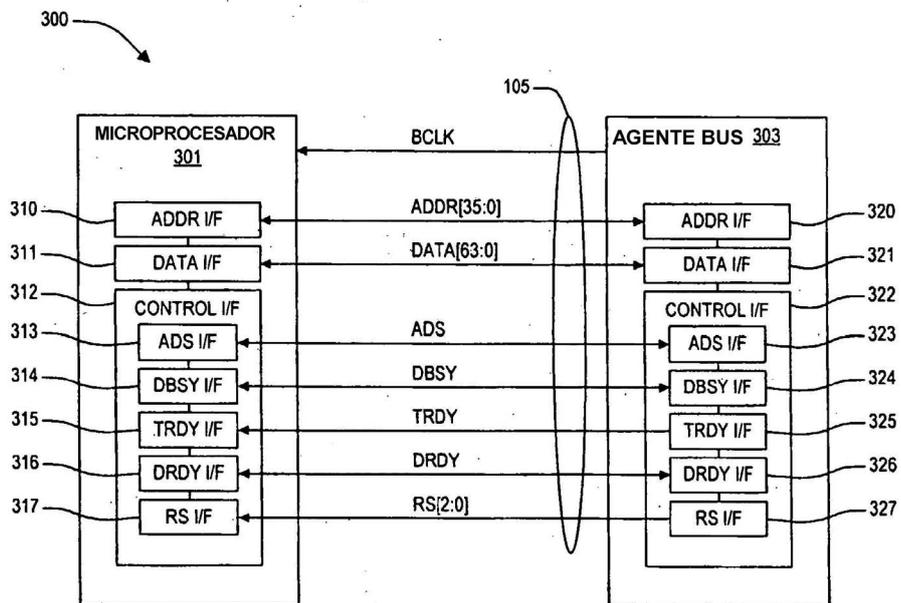


FIG. 3

PROTOCOLO DE DISPONIBILIDAD DE OBJETIVO PARA ESCRITURAS CONTIGUAS

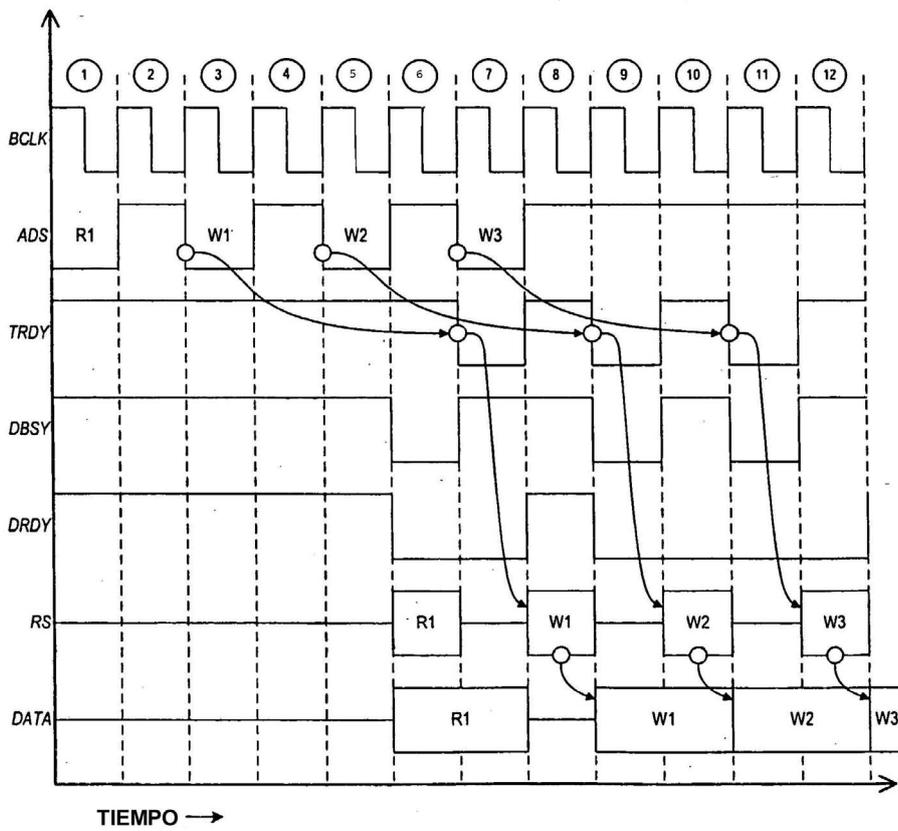


FIG. 4