



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



① Número de publicación: **2 370 222**

② Número de solicitud: 201030757

⑤ Int. Cl.:

G11C 7/10 (2006.01)

G11C 13/04 (2006.01)

⑫

SOLICITUD DE PATENTE

A1

② Fecha de presentación: **20.05.2010**

④ Fecha de publicación de la solicitud: **13.12.2011**

④ Fecha de publicación del folleto de la solicitud:
13.12.2011

⑦ Solicitante/s: **Universitat de Barcelona
Centre de Patents de la UB
08028 Barcelona, ES**

⑦ Inventor/es: **Diéguez Barrientos, Ángel;
Casanova Mohr, Raimon;
Arbat Casas, Anna y
Sanuy Charles, Andreu**

⑦ Agente: **Segura Cámara, Pascual**

⑤ Título: **Dispositivo de memoria y método para el acceso óptico de datos en paralelo.**

⑤ Resumen:

Dispositivo de memoria y método para el acceso óptico de datos en paralelo.

Dispositivo de memoria de acceso de datos en paralelo y método para acceder en paralelo a los datos de dicho dispositivo de memoria. El dispositivo comprende: un módulo de almacenamiento que comprende: una variedad de segmentos de almacenamiento basados en tecnología de semiconductores; un receptor de datos del dispositivo de almacenamiento relacionado con cada segmento de almacenamiento; un emisor de datos del dispositivo de almacenamiento relacionado con cada segmento de almacenamiento; y una unidad de gestión del dispositivo de almacenamiento relacionada con cada segmento de almacenamiento para la gestión del segmento de almacenamiento, el receptor de datos del dispositivo de almacenamiento asociado y el emisor de datos del dispositivo de almacenamiento asociado; y un módulo de control que comprende: un receptor de datos del controlador relacionado con cada emisor de datos del almacén; un emisor de datos del controlador relacionado con cada receptor de datos del almacén; una unidad de gestión del controlador relacionada con los receptores de datos del controlador y con los emisores de datos del controlador para la gestión de los receptores de datos del controlador y los emisores de datos del controlador.

ES 2 370 222 A1

DESCRIPCIÓN

Dispositivo de memoria y método para el acceso óptico de datos en paralelo.

5 La presente invención se refiere a un dispositivo de memoria para el acceso de datos en paralelo y con un método para el acceso en paralelo a los datos en dicho dispositivo de memoria. La invención también se refiere a un programa de ordenador para la aplicación de dicho método para acceder de forma paralela a los datos en dicho dispositivo de memoria.

10 Estado de la técnica

Existen diferentes medios y métodos para el almacenamiento de datos, por ejemplo en sistemas de computación. Dichos medios se pueden clasificar en dos categorías principales: almacenamiento masivo (por ejemplo, discos duros) y memorias (por ejemplo, RAM). Los dispositivos de almacenamiento masivo normalmente son dispositivos no volátiles externos con una capacidad de almacenamiento muy alta, pero con una baja velocidad de acceso a datos, mientras que las memorias pueden ser calificadas en general como dispositivos internos, que pueden ser volátiles o no volátiles, con una menor capacidad de almacenamiento pero con una mayor velocidad de acceso que las de los dispositivos de almacenamiento masivo.

20 Ambas categorías de medios para almacenar datos se basan en principios eléctricos, magnéticos y/o ópticos. De hecho, se han realizado inversiones muy cuantiosas para financiar la investigación sobre dichos principios físicos con el fin de producir memorias que ofrezcan las ventajas más apreciables de acuerdo a las aplicaciones que están destinadas. Los parámetros más relevantes tenidos en cuenta al evaluar las memorias son: velocidad, coste y densidad (tamaño frente a la capacidad).

25 En la actualidad, los tipos más extendidos de memorias en el mercado son las memorias estáticas de acceso aleatorio ("Static Random Access Memory", SRAM), las memorias dinámicas de acceso aleatorio ("Dynamic Random Access Memory", DRAM) y las memorias flash. Dichos tipos de memorias se basan en las características eléctricas de determinados materiales semiconductores, por lo que se suelen llamar memorias semiconductoras. En otras palabras, SRAM, DRAM y memorias flash utilizan circuitos integrados basados en semiconductores para almacenar datos. Un chip de memoria semiconductor normalmente contienen millones de pequeños transistores y condensadores.

30 Las memorias DRAM se llaman dinámicas porque el mantenimiento de los datos almacenados requiere revisar y volver a cargar dichos datos cada cierto periodo de tiempo en un ciclo refrescante, mientras que las memorias SRAM son capaces de mantener los datos almacenados sin necesidad de medidas refrescantes. Así, las memorias, tanto las DRAM como las SRAM son volátiles. Se considera que las memorias DRAM son más lentas que las SRAM, pero, por otra parte, las DRAM son más baratas y tienen mayor densidad que las SRAM.

35 Las memorias flash usan transistores basados en puertas flotantes de tal manera que la carga contenida (representando 0 o 1) se mantiene en el transistor durante un largo periodo de tiempo (10 años o más) incluso sin suministro eléctrico. Las memorias flash tienen la ventaja de ser no-volátiles y tienen una mayor densidad y son más baratas que las DRAM y SRAM, pero, por otra parte, las memorias flash son más lentas que las DRAM y SRAM. Es decir, el principal punto débil de las memorias flash en relación a las DRAM y SRAM es la velocidad de acceso a los datos.

40 Por otra parte, las memorias flash también tienen aplicaciones relevantes como dispositivos de almacenamiento masivo. Por ejemplo, existen discos de estado sólido que están totalmente basados en memorias flash y discos híbridos que están parcialmente basados en memorias flash. Un disco híbrido cuenta con un disco duro convencional y una memoria caché basada en tecnología de memoria Flash, dicha memoria caché está dedicada a almacenar datos que son accedidos continuamente. En comparación con los discos duros convencionales, los discos híbridos tienen la ventaja de aumentar la velocidad global de acceso a los datos y reducir el consumo de energía porque el disco duro convencional incluido en el disco híbrido puede parar sus motores cuando sólo se accede a los datos almacenados en la memoria caché.

45 Existen también tecnologías de memoria "emergentes" que están bastante menos extendidas que las comerciales memorias DRAM, SRAM y flash. El término "emergente" se utiliza en el sentido de que dichas tecnologías parecen ofrecer la posibilidad de producir memorias con altas prestaciones en el futuro pero no ahora, principalmente porque estas tecnologías no están todavía lo suficientemente maduras y/o es necesario aplicar nuevos procesos de producción muy caros para la producción de dichas memorias.

50 Una de dichas tecnologías de memoria "emergente" se refiere a memorias memorias ferroeléctricas de acceso aleatorio ("Ferroelectric Random Access Memory", FRAM). La FRAM es una memoria no volátil basada en el uso de sustancias ferroeléctricas que tienen un comportamiento dipolar (dos estados posibles) de manera que la aplicación de un campo eléctrico provoca que cambie el estado de la sustancia ferroeléctrica (lógicamente, de 0 a 1 o inversa). Las memorias FRAM ofrecen la misma funcionalidad que las memorias flash con más velocidad, pero tienen como desventajas densidades de almacenamiento mucho más bajas, una capacidad mucho menor y un mayor coste que las memorias Flash. Por lo tanto, es comúnmente aceptado que la tecnología FRAM debe seguir evolucionando para tomar el lugar de las memorias Flash en el mercado.

Otra tecnología de memoria “emergente” se refiere a memorias magnetoresistentes de acceso aleatorio (“Magnetoresistance Random Access Memory”, MRAM). La MRAM es una memoria no volátil basada en una propiedad cuántica llamada “spin” de una sustancia ferromagnética, dicho “spin” puede tener dos valores posibles (arriba o abajo) de manera que la aplicación de un campo eléctrico hace que cambie el “spin” (lógicamente, de 0 a 1 o inversa). Se acepta generalmente que la velocidad de las memorias MRAM es equivalente a la velocidad de las memorias dinámicas más rápidas (DRAM, por ejemplo), pero las MRAM son más caras y tiene menor densidad que las DRAM, SRAM y memorias flash. Generalmente se supone que la tecnología MRAM no está suficientemente madura, ya que, por ejemplo, se requiere una corriente eléctrica muy alta para crear el campo magnético inducido para escribir en la memoria.

También ha habido intentos de diseñar memorias basadas en principios ópticos físicos. Por ejemplo, la patente europea EP0627116B1 revela una memoria óptica que permite la escritura y lectura en paralelo en varias células de memoria a la vez. Dicha memoria óptica comprende una pluralidad de células de memoria yuxtapuestas, cada una de las cuales cuenta con un soporte de almacenamiento para la recepción de un respectivo haz de luz. El punto de incidencia del haz de luz en la celda de memoria correspondiente sólo debe ser desplazado entre los puntos de memoria incluida precisamente en esta celda de memoria. La memoria óptica comprende además, medios de control eléctrico para lograr un desplazamiento constante y mutuamente igual de grande de el punto de incidencia de cada uno de los haces de luz de las células de memoria en el punto de la memoria correspondiente.

La memoria óptica descrita en EP0627116B1 requiere una gran precisión de los medios para desplazar el punto de incidencia del haz de luz correspondiente para que el haz de luz afecte únicamente punto de memoria apuntado (o correcto). Decir que sólo se puede lograr gran precisión, si es posible, a través de medios complejos y costosos para desplazar el punto de incidencia del haz de luz. Además, debe haber una distancia mínima entre los puntos de memoria para evitar que el haz de luz afecte a puntos de memoria incorrectos (por ejemplo, adyacente al punto de la memoria de destino), dicha distancia entre los puntos de la memoria implica menor densidad de los chips de memoria. Esto es lo mismo que decir que, a pesar de que dicha memoria óptica puede aumentar la velocidad de escritura/lectura de datos a través de escritura/lectura en paralelo de varias células de memoria a la vez, tiene los inconvenientes de ser más cara y menor densidad que las actualmente más extendidas memorias: DRAM, SRAM y memorias flash.

En conclusión, existen tecnologías de memoria alternativas (FRAM, y las memorias MRAM quizá óptica) que en un futuro pueden tomar el lugar de las memorias más extendidas en la actualidad (DRAM, SRAM y las memorias Flash), sobre todo porque se supone que dichas tecnologías alternativas mejoraran el rendimiento de acceso a datos con un coste y densidad aceptables. Sin embargo, dichas tecnologías alternativas no parecen ser lo suficientemente maduras y/o exigen procesos de producción muy complejos y costosos. Por otra parte, en relación con las memorias de semiconductores utilizadas hoy en día (DRAM, SRAM, memorias Flash), las velocidades más altas están directamente vinculadas a mayores costos. Es decir, las memorias flash pueden ser una primera opción, porque tienen un buen equilibrio entre velocidad y coste, pero en caso de requerir mayor velocidad, se podría seleccionar una memoria DRAM en lugar de Flash con el inconveniente de que la DRAM es más cara que el Flash, y en caso de requerirse velocidades aún mayores, la SRAM puede ser seleccionada en lugar de una memoria DRAM con la desventaja de que la SRAM es más costosa que la DRAM.

Resumen de la invención

Así pues, todavía existe la necesidad de una memoria “real” (en el sentido de las memorias no sólo “emergentes”) más rápida que las memorias semiconductoras actualmente extendidas (DRAM, SRAM, Flash), sin reducir significativamente su densidad y sin necesidad de nuevos procesos de producción complejos y costosos. En otras palabras, teniendo en cuenta los principales parámetros para la evaluación de memorias (velocidad, coste y densidad), dicha memoria “real” debería mejorar la velocidad de las memorias semiconductoras, pero sustancialmente preservando la densidad y los costes de las memorias semiconductoras.

El objeto de la presente invención consiste en cumplir esta necesidad. Dicho objeto se consigue con un dispositivo de memoria, según la reivindicación 1, un método según la reivindicación 13, y un programa de ordenador, según la reivindicación 22. Las otras reivindicaciones definen las principales partes de la invención.

En un primer aspecto, la presente invención proporciona un dispositivo de memoria de acceso de datos en paralelo, que comprende:

un módulo almacén que comprende:

una pluralidad de segmentos de almacenamiento basados en tecnología de semiconductores;

un receptor de datos del dispositivo de almacenamiento relacionado con cada segmento de almacenamiento;

un emisor de datos del dispositivo de almacenamiento relacionado con cada segmento de almacenamiento;

una unidad de gestión del dispositivo de almacenamiento relacionada con cada segmento de almacenamiento para gestionar el segmento de almacenamiento, el receptor de datos del dispositivo de almacenamiento asociado y el emisor de datos a almacenar asociado;

un módulo controlador que comprende:

un receptor de datos del controlador relacionado con cada emisor de datos del almacén;

un emisor de datos del controlador relacionado con cada receptor del almacén de datos;

una unidad de gestión del controlador relacionado con los controladores de recepción de datos y con los controladores de emisión de datos para gestionar los controladores de recepción de datos y los controladores de emisión de datos.

A pesar de que la segmentación de memorias es una técnica estándar en el campo de las memorias, esta configuración particular de la memoria permite escrituras/lecturas paralelas de datos desde/hacia dicho dispositivo de memoria por medio de un circuito a cargo del envío de datos (los emisores y receptores) que puede ser disociada de los segmentos de la memoria (segmentos de almacenamiento). Así, por ejemplo, la escritura/lectura óptica de datos puede hacerse en paralelo, de modo que el tiempo de escritura/lectura se reduce globalmente.

Es importante tener en cuenta que la mayoría de las aplicaciones informáticas actuales están continuamente escribiendo/leyendo tramas completas de datos o bloques en vez de escribir/leer un solo bit. Por ejemplo, en aplicaciones multimedia, realizan normalmente una gran cantidad de accesos a grandes segmentos de datos. Por lo tanto, dichos accesos a los bloques de datos puede ser paralelizado en forma de varios accesos simultáneos a diferentes segmentos de almacenamiento del dispositivo de memoria.

Cada par de emisor (emisor de datos del dispositivo de almacenamiento o el emisor de datos del controlador) y su receptor asociado (receptor de datos del dispositivo de almacenamiento o el controlador de recepción de datos) constituyen un canal de comunicación entre el unidad de gestión del controlador y el segmento de almacenamiento relacionado con el par de emisor y su receptor asociado. Dichos canales son gestionados por la unidad de gestión del controlador (en el lado del módulo controlador) y por la unidad de gestión del dispositivo de almacenamiento (en el lado del módulo de almacenamiento). Así, con el diseño propuesto es posible convertir los datos en serie, procedentes por ejemplo de un ordenador, en datos en paralelo y escribir dichos datos en paralelo en varios segmentos de almacenamiento a la vez. La lectura de datos requiere la operación inversa, es decir, la conversión de paralelo a serie de datos.

La conversión de los datos mencionados y la gestión de los elementos comprendidos en el dispositivo de memoria (emisores, receptores, segmentos) requieren de lógica adicional y almacenamiento de datos, que puede ser programas de ordenador o técnicas informáticas (“software”) o soporte físico (“hardware”) en la práctica, y por lo tanto se disminuye la velocidad de los accesos concreto (escritura o lectura) a segmentos específicos. Sin embargo, la velocidad global se aumenta considerablemente cuando se tiene acceso a varios segmentos a la vez (por ejemplo, en aplicaciones multimedia, como se señalaba más arriba).

Por otra parte, los segmentos de almacenamiento están basados en tecnología de semiconductores, por lo que dichos segmentos de almacenamiento puede basarse en cualquiera de las tecnologías de memoria más extendidas comercialmente hoy en día (por ejemplo, memorias DRAM, SRAM, o flash). Así, por ejemplo, si una memoria flash convencional no es suficiente debido a razones de velocidad, una memoria Flash físicamente segmentada de acuerdo con la invención, que comprende los segmentos de almacenamiento basados en la tecnología Flash, puede ser una alternativa muy útil a la memoria Flash convencional. El mismo principio se puede aplicar a otras memorias como las de semiconductores DRAM y SRAM.

Así, la memoria de la invención aumenta la velocidad global de acceso a los datos, como se ha señalado anteriormente, pero sin incrementar los costes y sin un considerable descenso en la densidad en relación a las memorias de semiconductores convencionales. Por ejemplo, una memoria Flash físicamente segmentada de acuerdo con la invención puede ser producida a través de los procesos de producción de las memorias Flash convencionales existentes hoy en día, ya que el principal componente de dicha memoria Flash físicamente segmentada se basa precisamente en la tecnología de memoria Flash. De acuerdo con el mismo argumento, la densidad de las memorias Flash físicamente segmentadas no es significativamente menor que la densidad de las memorias Flash convencionales. Idénticos principios se pueden aplicar a otras memorias como las de semiconductores DRAM y SRAM.

Preferiblemente, la tecnología de semiconductores es semiconductor complementario de metal-óxido (“Complementary Metal Oxide Semiconductor”, CMOS), ya que la memoria de semiconductores más extendida (por ejemplo, DRAM, SRAM, memorias Flash) se basan en dicha tecnología CMOS.

En realizaciones preferidas de la invención, cada uno de los controladores de emisión de datos es una fuente de emisión óptica y el receptor de almacenamiento de datos es un receptor óptico. En algunas realizaciones de la invención, cada receptor de datos del controlador es un receptor óptico y cada uno de los emisores de datos a almacenar es una fuente de emisión óptica.

Cada par de emisor óptico y su receptor óptico asociado constituye una conexión óptica entre la unidad de gestión del controlador y el segmento de almacenamiento que se asocian con dicho par de emisor óptico y su receptor óptico

asociado. Las ventajas de las conexiones ópticas son básicamente inmunidad a las interferencias electromagnéticas, altas tasas de transmisión y desacoplo eléctrico. Por otra parte, con dichas conexiones de fibra óptica, son posibles un número muy grande de accesos simultáneos (varios miles), por lo que la memoria puede ser fragmentada en un número muy grande de segmentos. Entonces, es posible desarrollar grandes memorias y aumentar la velocidad global de acceso.

Alternativamente, cada receptor de datos del controlador es un receptor eléctrico y cada emisor de datos del dispositivo de almacenamiento es un emisor eléctrico.

Preferiblemente, cada receptor óptico es una matriz compuesta por al menos una unidad receptora óptica, y, en algunas partes de la invención por lo menos un receptor óptico se compone de cuatro unidades de receptoras ópticas. La extensión de la superficie de recepción óptica (por ejemplo, para cuatro unidades receptoras ópticas) reduce la posibilidad de error en las transmisiones a través de cada conexión de canal compuesto por un emisor óptico y su receptor óptico asociado. Es decir, el ángulo de dispersión de los emisores ópticos y de cualquier otra inevitable inexactitud en los canales de conexión, son sustancialmente corregidos organizando varias unidades receptoras ópticas para cada canal de conexión. Existen técnicas de precisión de montaje para la obtención de buenas conexiones de fibra óptica con sólo una pequeña unidad receptora óptica (por ejemplo un píxel), pero unidades receptoras ópticas más grandes, incluso, varias unidades receptoras ópticas también puede ser utilizadas para obtener una conexión altamente fiable.

En realizaciones preferidas, cada unidad receptora óptica es un píxel semiconductor complementario de metal-óxido ("Complementary Metal Oxide Semiconductor", CMOS) con salida binaria, estando dicho píxel binario integrado con su segmento de almacenamiento asociado basado en tecnología CMOS. Preferiblemente, dicho píxel CMOS con salida binaria no tiene realimentación ni señal de reinicializar ("reset"), ya que con dicho tipo de píxeles se obtiene una velocidad máxima de operación porque no es necesario hacer muestreos adicionales de la señal recibida para obtener el promedio de dichas muestras adicionales como el valor final de la transmisión a través de la conexión de canal formado por el receptor óptico con su emisor óptico asociado. Además, teniendo un píxel CMOS estrechamente asociado (i.e., integrado) con un segmento de almacenamiento basado en tecnología de semiconductores CMOS reduce el acoplamiento capacitivo.

Se han utilizado píxeles sin reset porque experimentalmente se han obtenido mayores velocidades de operación en relación con el caso de la utilización de píxeles con reset. La razón de esto es que los píxeles con reset requieren lógica adicional más compleja que los píxeles sin reset, es decir, los píxeles sin reset requieren un menor número de pasos (por ejemplo, instrucciones de programas informáticos) que píxeles con reset. No obstante, como alternativa a los píxeles sin reset, cada unidad de recepción óptica puede ser un píxel con reset, o cualquier otro tipo de receptor óptico adecuado para cumplir la función esperada.

En realizaciones preferidas de la invención, cada píxel CMOS con salida binaria es un fotodiodo de avalancha, ya que los fotodiodos de avalancha tienen un nivel muy alto de sensibilidad y son robustos, baratos, compactos y muy eficientes. En particular, se prefiere el uso de fotodiodos de avalancha integrados en procesos convencionales CMOS junto con las memorias (CMOS elementos de almacenamiento) porque experimentos llevados a cabo por los inventores han demostrado que los fotodiodos de avalancha integrados con segmentos de almacenamiento CMOS permiten incrementar la velocidad de operación alrededor de 100 veces en comparación con otros tipos de píxeles CMOS con salida binaria.

En realizaciones preferidas de la invención, cada emisor óptico es un emisor láser de superficie de cavidad vertical ("Vertical-Cavity Surface-Emitting Láser", VCSEL), a pesar de que se podría utilizar cualquier otro tipo de láser semiconductor (por ejemplo, los láseres de emisión lateral ("edge-emitting lasers") convencionales). Sin embargo, se prefieren los VCSELs porque tienen un menor coste y menor consumo de energía que los convencionales láseres de emisión lateral ("edge-emitting lasers"), y que los VCSEL se puede modular a velocidades mayores de más de 10 GHz. Además, está ampliamente aceptado que se pueden desarrollar matrices de VCSELs de alta densidad, por lo que se pueden utilizar un número muy grande de emisores en la memoria de la invención y, por lo tanto, la velocidad global de acceso se incrementa. Se han obtenido las mejores prestaciones de velocidad con emisores de alta velocidad y con fotoreceptores de alta velocidad, siendo dichos fotoreceptores muy eficientes los fotodiodos de avalancha previamente mencionados.

En algunas realizaciones de la invención, el dispositivo de memoria comprende un dieléctrico para enfocar la luz entre cada emisor óptico y su receptor óptico asociado, siendo preferiblemente dicho dieléctrico el aire. Alternativamente, el dispositivo de memoria comprende una microlente para enfocar la luz de cada emisor óptico y su receptor óptico asociado. Por otra parte, el dispositivo de memoria consta de una pieza de fibra óptica para enfocar la luz de cada emisor óptico y su receptor óptico asociado. Sin embargo, el haz de luz puede ser dirigido desde el emisor al receptor correspondiente sin que los demás medios de enfoque (por ejemplo, microlente o fibra óptica) entre dicho emisor y su receptor relacionados, ya que, como hemos comentado, existen técnicas de precisión de montaje para la obtención de buenas conexiones de fibra óptica. Por otra parte, un simple agujero entre el emisor y su receptor también podrían ser suficiente para una buena concentración de la luz.

Dieléctricos (e.g. el aire), microlentes y fibras ópticas permiten concentrar el haz de luz y, por tanto, centrar la señal luminosa en el receptor óptico. Por lo tanto, la distancia mínima entre cada emisor óptico y su receptor óptico

ES 2 370 222 A1

asociado se acorta. Al mismo tiempo, dicha concentración del haz de luz aumenta la intensidad de la luz y minimiza el área iluminada del receptor óptico.

En otro aspecto de la invención, se proporciona un método para acceder a los datos en paralelo en un dispositivo de memoria de acuerdo a la invención, el método comprende:

recibir por parte de la unidad de gestión del controlador datos sobre el acceso;

generar por parte de la unidad de gestión del controlador al menos una trama partir de los datos recibidos sobre el acceso, cada trama de control representa el acceso a un segmento de almacenamiento del dispositivo de memoria;

para cada trama de control que representa el acceso a un segmento de almacenamiento:

emitir por parte de la unidad de gestión del controlador la trama de control a través emisor de datos del controlador en relacionado con el segmento de almacenamiento;

recibir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento la trama de control a través de su receptor de datos del dispositivo de almacenamiento relacionado;

acceder por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento al segmento de almacenamiento de acuerdo con la trama de control.

Dicho método permite aumentar la velocidad de acceso a la memoria del dispositivo según la invención. La unidad de gestión del controlador recibe datos sobre el acceso, por ejemplo, de un sistema informático, y convierte dichos datos sobre el acceso en varias tramas de control, cada una representando el acceso a un segmento de almacenamiento concreto del dispositivo de memoria. Entonces, el controlador de de la unidad de gestión puede emitir varias tramas de control y al mismo tiempo, dichas tramas de control son recibidas y ejecutadas en forma de accesos paralelos a los segmentos del almacén relacionados por las correspondientes unidades gestoras de almacenamiento. Como se ha comentado antes, dichos pasos del método representan lógica adicional que aumenta el tiempo de acceso a un segmento concreto, pero la velocidad global de la memoria aumenta cuando se realizan accesos simultáneos a varios sectores.

En una realización preferida de la invención, el método comprende además:

emitir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento una trama de control respuesta relacionada con la trama de control a través de su emisor de datos del almacén, representar por dicha trama de control respuesta relacionada con la trama de control la confirmación de la recepción de una trama de control.

La trama de control respuesta representa un asentimiento de la trama de control recibida. Es decir, una vez la unidad de gestión del dispositivo de almacenamiento ha recibido la trama de control a través de su receptor de datos del dispositivo de almacenamiento asociado, la unidad gestora del almacén emite una trama de control respuesta a través de su emisor de datos del dispositivo de almacenamiento asociado para comunicar a la unidad de gestión del controlador que se ha recibido la trama de control y el resultado de dicha recepción (a lo mejor con algún error). Por lo tanto, se aumenta la fiabilidad y la robustez de las comunicaciones entre el módulo controlador y el módulo de almacenamiento y, por lo tanto, la fiabilidad y la robustez de los accesos a los datos del dispositivo de memoria.

En algunas realizaciones de la invención, el método comprende además:

recibir por parte de la unidad de gestión del controlador la trama de control respuesta relacionada con la trama de control a través del receptor de datos del controlador relacionado con el segmento de almacenamiento;

verificar por parte de la unidad de gestión del controlador si la trama de control respuesta recibida comprende al menos un error acerca de la trama de control;

en caso de resultado positivo:

transferir el control del método para la unidad de gestión del controlador que emite una trama de control a través del emisor de datos del controlador relacionado con el segmento de almacenamiento.

Preferentemente, verificar por parte de la unidad de gestión del controlador si la información recibida en la trama de control respuesta comprende al menos un error acerca de la recepción de la trama de control;

ES 2 370 222 A1

en caso de resultado positivo:

se transfiere el control del método a la unidad de gestión del controlador emitiendo una trama de control a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

5

se repiten continuamente hasta que una condición determinada de trama de control respuesta se cumple.

Dicha condición predeterminada de trama de control respuesta comprende al menos una de entre las siguientes condiciones:

10

verificar por parte de la unidad de gestión del controlador si la información recibida en la trama de control respuesta comprende al menos un error acerca de la recepción de la trama de control, produce un resultado negativo;

15

verificar por parte de la unidad de gestión del controlador si se ha alcanzado un número predeterminado de recepción de tramas de control respuesta relacionadas con la trama de control de las cuales al menos una contiene un error acerca de la recepción de la trama de control, produce un resultado positivo.

20

En resumen, contener por parte de la trama de control respuesta al menos un error de la recepción de la trama de control significa que la unidad gestora del almacén ha detectado un error y, por tanto, el acceso a los datos no se realiza correctamente. A continuación, la unidad de gestión del controlador repite la transmisión de la trama de control relacionada hasta que se alcance un número predeterminado de repeticiones o el error haya desaparecido. Con esta característica, un error en la transmisión desde el módulo controlador al módulo de almacenamiento, por ejemplo debido a perturbaciones temporales física, se puede resolver definitivamente antes de cancelar totalmente la operación de acceso. Por lo tanto, se mejora la fiabilidad y la robustez de las comunicaciones entre el módulo controlador y el módulo almacén y, por lo tanto, la fiabilidad y la robustez de los accesos a los datos del dispositivo de memoria.

25

30

En una realización preferida de la invención, el método comprende además:

comprobar por parte de la unidad de gestión del controlador si la trama de control respuesta relacionada con la trama de control ha sido recibida en un determinado intervalo de tiempo de espera de la trama de control respuesta;

35

en caso de resultado negativo:

transferir el control del método para a la unidad de gestión del controlador que emite una trama de control a través del emisor de datos del controlador relacionado con el segmento de almacenamiento.

40

Preferentemente,

comprobar por parte de la unidad de gestión del controlador si la trama de control respuesta relacionada con la trama de control ha sido recibida en un determinado intervalo de tiempo de espera de la trama de control respuesta;

45

en caso de resultado negativo:

transferir el control del método para a la unidad de gestión del controlador que emite una trama de control a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

50

se repite continuamente hasta que una determinada condición de recepción de trama de control respuesta se cumple.

55

Dicha condición predeterminada de recepción de la trama de control respuesta comprende preferentemente al menos una las siguientes condiciones:

comprobar por parte de la unidad de gestión del controlador si la trama de control respuesta relacionada con la trama de control ha sido recibida en un determinado intervalo de tiempo de espera de la trama de control, produce un resultado negativo;

60

verificar por parte de la unidad de gestión del controlador si se ha alcanzado un número predeterminado de verificaciones de la recepción de tramas de control respuesta dentro de un determinado intervalo de tiempo de espera de trama de control respuesta, produce un resultado positivo.

65

ES 2 370 222 A1

En otras palabras, una vez que la unidad de gestión del controlador ha emitido la trama de control, si la trama de control respuesta asociada no se recibe dentro de un intervalo de tiempo predeterminado, la unidad de gestión del controlador repite la emisión de la trama de control para la correspondiente unidad de gestión del almacén. Con esta característica, una transmisión que no se haya completado desde el módulo controlador al módulo de almacenamiento, por ejemplo debido a perturbaciones temporales físicas, se puede resolver definitivamente antes de cancelar la operación de acceso general. Por lo tanto, se mejora la fiabilidad y la robustez de las comunicaciones entre el módulo controlador y el módulo almacén y, por lo tanto, la fiabilidad y la robustez del acceso a los datos del dispositivo de memoria.

En algunas realizaciones de la invención, acceso es acceso escritura y acceder al segmento de almacenamiento es escribir datos en el segmento de almacenamiento; el método comprende además:

para cada trama de control que representa el acceso escritura a un segmento de almacenamiento:

generar por parte de la unidad de gestión del controlador por lo menos una trama de escritura relacionada con la trama de control de los datos sobre el acceso por escrito;

para cada trama de escritura generada:

emitir por parte de la unidad de gestión del controlador una trama de escritura generada a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

y en donde la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento que escribe datos en el segmento de almacenamiento según la trama de control comprende:

para cada trama de escritura relacionada con la trama de control:

recibir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento la trama de escritura a través de su receptor de datos del dispositivo de almacenamiento asociado;

escribir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento datos en el segmento de almacenamiento de acuerdo con la trama de lectura.

Por lo tanto, cuando se realiza el acceso escritura a la memoria del dispositivo, la unidad de gestión del controlador genera al menos una trama de escritura relacionada con cada trama de control y envía cada trama de escritura generada a la correspondiente unidad de gestión del almacén. A continuación, cada unidad de gestión del dispositivo de almacenamiento que recibe alguna trama de escritura escribe datos a su segmento de almacenamiento asociado en función del contenido de la trama de escritura recibida. Preferiblemente, varias tramas de escritura se procesan al mismo tiempo, ya que la escritura de datos simultánea a varios segmentos de almacenamiento tiene la ventaja de reducir el tiempo de escritura total.

En realizaciones preferentes, el método comprende además:

emitir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento una trama de escritura respuesta relacionada con la trama de escritura a través de su emisor de datos del dispositivo de almacenamiento asociado.

La trama de escritura respuesta representa un asentimiento de la recepción de la trama de escritura. Al igual que en el caso de la trama de control, dicho asentimiento aumenta la fiabilidad y la robustez de las comunicaciones entre el módulo de control y el módulo de almacenamiento y, por lo tanto, la fiabilidad y la robustez de los datos a escribir en la memoria del dispositivo.

Preferiblemente, el método comprende además:

recibir por parte de la unidad de gestión del controlador la trama de escritura respuesta a través del receptor de datos del controlador relacionado con el segmento de almacenamiento;

verificar por parte de la unidad de gestión del controlador si la trama de escritura respuesta recibida comprende al menos un error acerca de la recepción de la trama de escritura;

en caso de resultado positivo:

transferir el control del método a la unidad de gestión del controlador que emite la trama de escritura generada a través del emisor de datos del controlador relacionado con el segmento de almacenamiento.

ES 2 370 222 A1

Es preferible:

5 verificar por parte de la unidad de gestión del controlador si la trama de escritura recibida comprende al menos un error acerca de la recepción de la trama de escritura;

en caso de resultado positivo:

10 transferir el control del método a la unidad de gestión del controlador que emite la trama de escritura generada a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

se repite continuamente hasta que una condición determinada de la trama de control respuesta se cumple.

15 Dicha condición predeterminada de la recepción de la trama de control respuesta comprende al menos una de entre las siguientes condiciones:

verificar por parte de la unidad de gestión del controlador si la trama de escritura respuesta comprende al menos un error acerca de la recepción de la trama de escritura, produce un resultado negativo;

20 verificar por parte de la unidad de gestión del controlador si se ha alcanzado un número predeterminado de tramas de escritura respuesta recibidas relacionadas con la trama de escritura que comprenden al menos un error acerca de la recepción de la trama de escritura, produce resultado positivo.

25 Es decir, la trama de escritura que comprende al menos un error acerca de la recepción de la trama de escritura significa que la unidad de gestión del dispositivo de almacenamiento ha detectado un error y, por tanto, la escritura de datos no es correcta. A continuación, la unidad de gestión del controlador repite la transmisión de la trama de escritura relacionada hasta que se alcance un número predeterminado de repeticiones o el error haya desaparecido. Con esta característica, un error en la transmisión desde el módulo de control al módulo de almacenamiento, por ejemplo
30 debido a perturbaciones temporales físicas, se puede resolver definitivamente antes de la cancelación de la operación de escritura. Por lo tanto, se mejora la fiabilidad y la robustez de las comunicaciones entre el módulo de control y el módulo de almacenamiento y, por lo tanto, la fiabilidad y la robustez de la escritura de datos en la memoria del dispositivo.

35 En una realización preferida de la invención, el método comprende además:

verificar por parte de la unidad de gestión del controlador si la trama de escritura respuesta relacionada con la trama de escritura ha sido recibida en un determinado intervalo de tiempo de espera de la trama de escritura;

40 en caso de resultado negativo:

transferir el control del método a la unidad de gestión del controlador que emite la trama de control generada a través del emisor de datos del controlador asociado con el segmento de almacenamiento.

45 Es preferible:

verificar por parte de la unidad de gestión del controlador si la trama de escritura respuesta relacionada con la trama de escritura ha sido recibida en un determinado intervalo de tiempo de espera de la trama de escritura;

50 en caso de resultado negativo:

transferir el control del método a la unidad de gestión del controlador que emite la trama de escritura generada a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

55 se repiten continuamente hasta que una determinada condición de recepción de la trama de escritura respuesta se satisface.

60 Dicha condición predeterminada de recepción de la trama de escritura respuesta comprende preferiblemente al menos una de las siguientes condiciones:

verificar por parte de la unidad de gestión del controlador si la trama de escritura respuesta relacionada con la trama de escritura ha sido recibida en un determinado intervalo de tiempo de espera de la trama de escritura, produce resultados negativos;

65 verificar por parte de la unidad de gestión del controlador si se ha alcanzado un número predeterminado de verificaciones de la recepción de la trama de escritura respuesta dentro de un determinado intervalo de tiempo de espera de la trama de escritura, produce resultados positivos.

ES 2 370 222 A1

En resumen, una vez que la unidad de gestión del controlador ha emitido la trama de escritura, si la trama de escritura respuesta no se recibe dentro de un intervalo de tiempo predeterminado, la unidad de gestión del controlador repite la emisión de la trama de escritura a la correspondiente unidad de gestión del almacén. Con esta característica, una transmisión no completada desde el módulo de control al módulo de almacenamiento, por ejemplo debido a perturbaciones temporales físicas, se puede resolver definitivamente antes de la cancelación de la operación de escritura general. Por lo tanto, se mejora la fiabilidad y la robustez de las comunicaciones entre el módulo de control y el módulo de almacenamiento y, por lo tanto, la fiabilidad y la robustez de los datos a escribir en la memoria del dispositivo.

En realizaciones preferidas, el acceso es el acceso lectura y el acceso al segmento de almacenamiento es leer datos desde el segmento de almacenamiento, y

la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento leyendo datos del segmento de almacenamiento según la trama de control comprende:

para cada lectura de datos desde el almacenamiento del segmento representado en la trama de control:

leer por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento datos del segmento de acuerdo a la lectura de datos representada en la trama de control;

generar por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento una trama de lectura relacionada con la lectura de datos representada en la trama de control;

emitir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento una trama de lectura relacionada con la lectura de los datos representados en la trama de control.

Por lo tanto, cuando se realiza un acceso lectura a la memoria del dispositivo, cada trama de control generada representa al menos una lectura de datos del correspondiente segmento de almacenamiento, cada lectura de datos se refiere, por ejemplo, a una posición específica del segmento de almacenamiento que se debe leer. Es decir, si una trama de control se refiere a la lectura de tres bytes desde una posición inicial X, esto significa que la trama de control representa tres lecturas de datos: el primero para obtener los bytes contenidos en la posición X, un segundo para obtener el byte contenidos en la posición X+1 y un tercer para obtener el byte contenido en la posición X+2. Así, cada unidad de gestión del dispositivo de almacenamiento que recibe una trama de control realiza tantas lecturas de datos como las que están indicadas en la trama de control, genera una trama de lectura relacionada con cada lectura de datos y envía cada trama de lectura a la unidad de gestión del controlador. Preferentemente, varias lecturas de datos y sus correspondientes tramas de lectura son procesados al mismo tiempo, ya que la lectura simultánea de varios segmentos de almacenamiento tiene la ventaja de reducir el tiempo de lectura global.

En una realización preferida de la invención, el método comprende además:

recibir por parte de la unidad de gestión del controlador la trama de lectura a través del receptor de datos del controlador relacionado con el segmento de almacenamiento;

emitir por parte de la unidad de gestión del controlador una trama de lectura respuesta relacionada con la trama de lectura a través del emisor de datos del controlador relacionado con el segmento de almacenamiento.

Por lo tanto, cuando la unidad de gestión del controlador recibe una trama de lectura, la unidad de gestión del controlador envía una trama de lectura respuesta que representa un asentimiento de la recepción de la trama de lectura. Al igual que en el caso de las tramas de control respuesta, decir que el asentimiento aumenta la fiabilidad y la robustez de las comunicaciones entre el módulo de almacenamiento y el módulo de control y, por tanto, la fiabilidad y la robustez de la lectura de datos de el dispositivo de memoria.

En una realización de la invención, el método comprende además:

recibir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento la trama de lectura respuesta a través receptor de datos del dispositivo de almacenamiento relacionado con el segmento de almacenamiento;

verificar por parte de la unidad de gestión del dispositivo de almacenamiento si la trama de lectura respuesta comprende al menos un error acerca de la recepción de la trama de lectura;

en caso de resultado positivo:

transferir el control del método a la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento que emite la trama de lectura generada a través del emisor de datos del dispositivo de almacenamiento relacionada con el segmento de almacenamiento.

ES 2 370 222 A1

Es preferible que:

la unidad de gestión del dispositivo de almacenamiento verifique si la trama de lectura respuesta comprende al menos un error acerca de la recepción de la trama de lectura;

5

en caso de resultado positivo:

transferir el control del método a la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento que emite la trama de lectura generada a través del emisor de datos del dispositivo de almacenamiento relacionada con el segmento de almacenamiento;

10

se repiten continuamente hasta que se satisface una condición determinada de trama de lectura respuesta.

15

Dicha condición predeterminada de trama de lectura respuesta comprende preferentemente al menos una de entre las siguientes condiciones:

verificar por parte de la unidad de gestión del dispositivo de almacenamiento si la trama de lectura respuesta comprende al menos un error acerca de la recepción de la trama de lectura, produce resultados negativos;

20

verificar por parte de la unidad de gestión del dispositivo de almacenamiento si se ha alcanzado un número predeterminado de tramas de lectura respuesta recibidas relacionadas con la trama de lectura comprende al menos un error acerca de la recepción de la trama de lectura, produce resultados positivos.

25

Es decir, la trama de lectura respuesta que comprende al menos un error acerca de la recepción de la trama de lectura significa que la unidad de gestión del controlador ha detectado un error, y por tanto, la lectura de datos no es correcta. A continuación, la unidad de gestión del dispositivo de almacenamiento repite la transmisión de la lectura relacionada con el marco hasta que se alcance un número predeterminado de repeticiones o el error haya desaparecido. Con esta característica, un error en la transmisión desde el módulo de almacenamiento al módulo de control, por ejemplo, debido a perturbaciones temporales físicas, se puede resolver definitivamente antes de cancelar la operación de lectura general. Por lo tanto, se mejora la fiabilidad y la robustez de las comunicaciones entre el módulo de almacenamiento y el módulo de control y, por tanto, la fiabilidad y la robustez de la lectura de datos desde el dispositivo de memoria.

30

35

En una realización preferida de la invención, el método comprende además:

verificar por parte de la unidad de gestión del dispositivo de almacenamiento si la trama de lectura respuesta relacionada con la trama de lectura ha sido recibida en un determinado intervalo de tiempo de espera de la trama de lectura respuesta;

40

en caso de resultado negativo:

transferir el control del método a la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento que emite la trama de lectura generada a través del emisor de datos del dispositivo de almacenamiento relacionado con el segmento de almacenamiento.

45

Es preferible:

verificar por parte de la unidad de gestión del dispositivo de almacenamiento si la trama de lectura respuesta relacionada con la trama de lectura ha sido recibida en un determinado intervalo de tiempo de espera de la trama de lectura;

50

en caso de resultado negativo:

transferir el control del método a la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento que emite la trama de lectura generada a través del emisor de datos del dispositivo de almacenamiento relacionado con el segmento de almacenamiento;

55

se repiten continuamente hasta que una determinada condición de recepción de tramas de lectura respuesta se satisface.

60

Dicha recepción de la trama de lectura respuesta preferiblemente comprende al menos una de entre las siguientes condiciones:

65

verificar por parte de la unidad de gestión del dispositivo de almacenamiento si la trama de lectura respuesta relacionada con la trama de lectura ha sido recibida en un determinado intervalo de tiempo de espera de la trama de lectura, produce resultados negativos;

verificar por parte de la unidad de gestión del dispositivo de almacenamiento si se ha alcanzado un número predeterminado de verificaciones de la recepción de la trama de lectura respuesta dentro de un determinado intervalo de tiempo de espera de la trama de lectura, produce resultados positivos.

5 En otras palabras, una vez que la unidad de gestión del dispositivo de almacenamiento ha emitido la trama de lectura, si la trama de lectura respuesta no se recibe dentro de un intervalo de tiempo predeterminado, la unidad de gestión del dispositivo de almacenamiento repite la emisión de la trama lectura a la unidad de gestión del controlador. Con esta característica, una transmisión que no se hayan completado desde el módulo de almacenamiento al módulo de control, por ejemplo, debido a perturbaciones temporales físicas, se puede resolver definitivamente antes de cancelar la operación de lectura general. Por lo tanto, se mejora la fiabilidad y la robustez de las comunicaciones entre el módulo de almacenamiento y el módulo de control y, por tanto, la fiabilidad y la robustez de la lectura de datos del dispositivo de memoria.

15 En otro aspecto, la presente invención también proporciona un producto que es un programa de ordenador que comprende instrucciones de programa para hacer que un ordenador lleve a cabo el método de acceso paralelo a los datos en un dispositivo de memoria de acuerdo con la invención. La invención también se refiere a dicho producto, programa de ordenador incorporado en un soporte de almacenamiento (por ejemplo, un CD-ROM, un DVD, una unidad USB, una memoria de ordenador o en una memoria de sólo lectura) o soportados en una señal portadora (por ejemplo, en una señal portadora eléctrica u óptica).

Breve descripción de los dibujos

25 Algunas de las cualidades particulares de la presente invención se describe seguidamente, sólo a modo de ejemplo no limitativo, con referencia a los dibujos adjuntos, en los cuales:

La Fig. 1 es una representación esquemática de un modelo conceptual de un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención;

30 La Fig. 2 es un diagrama de bloques de un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención;

La Fig. 3 es una representación esquemática de un píxel CMOS con salida binaria sin realimentación y sin señal de reset de acuerdo con una realización de la memoria del dispositivo de la invención;

35 La Fig. 4 es una representación esquemática de la estructura de una trama para la implementación de tramas de control, tramas de escritura, y tramas de lectura, de acuerdo con una realización del método de la invención;

40 La Fig. 5 es una representación esquemática de la estructura de una trama para la implementación de tramas de control respuesta, tramas de escritura respuesta y tramas de lectura respuesta, según una realización del método de la invención;

45 La Fig. 6 es una representación esquemática del método de escritura simple y del método de escritura ráfaga en un determinado segmento de almacenamiento de un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención, dichos métodos de acuerdo con una realización del método de la invención;

La Fig. 7 es una representación esquemática del método de lectura simple y del método lectura ráfaga específicas del segmento de almacenamiento de un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención, dichos métodos de acuerdo con una realización del método de la invención;

50 La Fig. 8 es una representación esquemática de un modelo de segmentación de los segmentos de almacenamiento integrado en un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención;

55 La Fig. 9 es un diagrama de flujo de un método para escribir datos en paralelo en un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención, dicho método de acuerdo con una realización del método de la invención;

La Fig. 10 es un diagrama de flujo de un método de lectura de datos en paralelo en un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención, dicho método de acuerdo con una realización del método de la invención.

60 Descripción de realizaciones particulares

En la siguiente descripción, se establecen numerosos detalles específicos con el fin de proporcionar un conocimiento profundo de la presente invención. Se entenderá, sin embargo, por un experto en la materia, que la presente invención puede ser implementada sin algunos o todos estos detalles específicos. En otros casos, los elementos conocidos no han sido descritos en detalle a fin de no oscurecer innecesariamente la presente invención. También es importante tener en cuenta que los dibujos adjuntos no están dibujados a escala.

ES 2 370 222 A1

La Fig. 1 es una representación esquemática de un modelo conceptual de un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención, dicho dispositivo de memoria comprende:

un módulo almacén 13-14 que consta de varios segmentos de almacenamiento 16 basados en tecnología semiconductor complementario de metal-óxido (“Complementary Metal Oxide Semiconductor”, CMOS), una matriz CMOS receptora 17, que consta de cuatro píxeles CMOS con salida binaria sin realimentación y sin señal de reset, relacionados con cada segmento de almacenamiento 16, un emisor de datos del dispositivo de almacenamiento (no se muestra en la Fig. 1) relacionado con cada segmento de almacenamiento 16, y una unidad gestora del almacén (no se muestra en la Fig. 1) relacionada con cada segmento de almacenamiento 16 para la gestión del segmento de almacenamiento 16, la matriz CMOS receptora 17 asociada y el emisor de datos del dispositivo de almacenamiento asociado (no se muestra en la Fig. 1);

un módulo controlador 10 que comprende un receptor de datos del controlador (no se muestra en la Fig. 1) relacionado con cada emisor del almacén de datos (no se muestra en la Fig. 1), una matriz de emisores láser de superficie de cavidad vertical (“Vertical-Cavity Surface-Emitting Láser”, VCSEL) emisora 15, cada VCSEL 15 está relacionado con una matriz CMOS receptora 17, y una unidad de gestión del controlador 11 relacionado con el receptor de datos del controlador (no se muestra en la Fig. 1) y con el VCSELS 15 para gestionar dicho receptor de datos del controlador (no se muestra en la Fig. 1) y dicho VCSELS 15.

Se muestran dos vistas diferentes del módulo almacén 13-14. El punto de vista del módulo almacén 13 representa el módulo almacén 13 encarado y alineado con el emisor 12 de la matriz VCSEL emisora 15 de manera que cada matriz CMOS receptora 17 está encarada y alineada con su VCSEL 15 relacionado, por lo que la unidad de gestión del controlador 11 y pueden enviar datos a la unidad gestora del almacén a través del VCSELS 15 y la unidad de gestión del dispositivo de almacenamiento recibe dichos datos a través de la matriz CMOS receptora 17. La vista del módulo almacén 14 representa el módulo almacén 14 con una rotación ortogonal en relación la vista del módulo almacén 13 de manera que se muestran el segmento de almacenamiento 16 basado en la tecnología CMOS y la matriz CMOS receptora 17.

Los emisores de datos del almacén y los receptores de datos del controlador no se muestran en la Fig. 1, ya que se ha de entender que los principios conceptuales de la transmisión óptica de datos de la unidad gestora del controlador 11 con la unidad gestora del almacén, a través del VCSELS 15 y la matriz CMOS receptora 17, también se pueden aplicar a la emisión de datos desde el la unidad gestora del almacén 11. Sin embargo, decir que la emisión de datos desde las unidades de gestión del almacén a las unidades de gestión del controlador 11 pueden ser como alternativa transmisiones eléctricas convencionales en lugar de una comunicación óptica.

La Fig. 2 es un diagrama de bloques de un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención, dicho dispositivo de memoria incluye un módulo almacén 13 y un módulo controlador 10. El módulo almacén 13 comprende varios segmentos de almacenamiento 16 (basados en tecnología CMOS), un receptor de datos del dispositivo de almacenamiento 17 (una matriz CMOS receptora como se describió anteriormente) relacionada con cada segmento de almacenamiento 16, un emisor de datos del dispositivo de almacenamiento 22 (un VCSEL o un emisor eléctrico) relacionado con cada segmento de almacenamiento 16 y una unidad de gestión del dispositivo de almacenamiento 25 relacionada con cada segmento de almacenamiento 16 para la gestión del segmento de almacenamiento 16, el receptor de datos del dispositivo de almacenamiento asociado 17 y el emisor de datos del dispositivo de almacenamiento asociado 22.

El módulo controlador 10 consta de un receptor de datos del controlador 21 (una matriz CMOS receptora como se ha descrito anteriormente o un receptor eléctrico) relacionado con cada emisor de datos del dispositivo de almacenamiento 22, el emisor de datos del controlador 15 (un VCSEL) relacionado con cada receptor de datos del dispositivo de almacenamiento 17 y una unidad de gestión del controlador 11 relacionada con los emisores de datos del controlador 21 y los emisores de datos del controlador 15 para la gestión emisores de datos del controlador 21 y los emisores de datos del controlador 15.

Cada par de emisor de datos del controlador 15 y de su receptor de datos del dispositivo de almacenamiento 17 asociado constituyen un canal de comunicación 23 desde la unidad de gestión del controlador 11 hacia la unidad de gestión del dispositivo de almacenamiento 25 asociado a dicho receptor de datos del dispositivo de almacenamiento 17, y cada par de emisor de datos del dispositivo de almacenamiento 22 y de su receptor de datos del controlador 21 asociado constituyen un canal de comunicación desde el la unidad gestora del almacén 25 asociada a dicho emisor de datos del dispositivo de almacenamiento 22 hacia la unidad de gestión del controlador 11.

La Fig. 3 es una representación esquemática de un píxel CMOS con salida binaria sin realimentación y sin señal de reset de acuerdo con una realización de la memoria del dispositivo de la invención. En comparación con un píxel con realimentación, el píxel CMOS sin realimentación propuesto permite aumentar la velocidad de funcionamiento y la señal de salida 306 para estar de acuerdo con la señal de entrada 300. El circuito simplemente amplifica la señal de entrada 300 (desde el fotodiodo), de modo que la salida 306 está saturada y sólo produce valores digitales.

El puerto de entrada 300 permite recibir un voltaje de entrada del fotodiodo que determina el nivel de operación del píxel, dicha tensión de entrada está adaptada al inversor CMOS que está compuesto por los transistores 302 y 310.

ES 2 370 222 A1

Los transistores 303 y 309 permiten reducir la ganancia de tensión y, por tanto, aumentar el rango de entrada. Por último, el par de transistores 304 y 308 y el par de transistores 305 y 307 constituyen dos amplificadores adicionales que permiten obtener una salida digital 306 de muy alta calidad y velocidad.

5 La Fig. 4 es una representación esquemática de la estructura de una trama para la implementación de tramas de control, tramas de escritura y tramas de lectura, según una realización del método de la invención, dicha trama comprende cuatro secuencias diferentes de bits. La SOF (inicio de trama) 400 consta de tres bits 403-404-405 que contiene la secuencia 1-0-1, la CNTR (Control) 401 consta de tres bits 406-407-408 para indicar la función de la trama, los datos 402 constan de 11 bits 409-410-411-412-413-414-415-416-417-418-419 que contienen datos de
 10 acuerdo con la CNTR 401 y la PC (control de paridad) 420 que es sólo un bit que permite verificar si se ha producido algún error durante la transmisión de datos entre un emisor (emisor de datos del dispositivo de almacenamiento o el emisor de datos del controlador) y su receptor correspondiente (receptor de datos del dispositivo de almacenamiento o el receptor de datos del controlador).

15 La Tabla 1 muestra las funciones asociadas a cada valor posible de CNTR 401, dichos valores se escriben en notación del lenguaje de hardware Verilog, en el que "3'hX" significa que "X" se representa en codificación hexadecimal en 3 bits.

TABLA 1

20

CNTR	Función	Nombre de la trama
3'h0	Escritura de un byte en la dirección ADDR. DATA={ADDR}	TCE
3'h1	Lectura de un byte en la dirección ADDR: DATA={ADDR}	TCL
3'h2	Escritura en modo ráfaga. Indica la dirección base (ADDR). DATA={ADDR}	TCER
3'h3	Escritura. Indica el byte (BYTE) a escribir. DATA={3'h0,BYTE}	TE
3'h4	Reenvío del byte a reescribir. DATA={3'h0,BYTE}	TEREP
3'h5	Lectura en modo ráfaga. Indica la dirección base (BYTE). DATA={3'h0,BYTE}	TCLR
3'h6	Byte (BYTE) leído de la memoria: DATA = {3'b0, BYTE}	TLD
3'h7	Trama de configuración.	TC

60

En lo que respecta a la estructura de configuración (TC), de acuerdo a la Fig. 4, los bits de 419, 418, 417 de la trama indican el número de bytes que se envían en operación de escritura ráfaga, decir que el número de bytes es el resultado del cálculo de 2^{EXP} , en el que EXP es el valor de dichos bits <419, 418, 417>. Por ejemplo, si <419, 418, 417> contiene <0, 0, 0> (0 en decimal), se envía un ($= 2^0$) byte, o si <419, 418, 417> contiene <0, 1, 0> (2 en decimal), se envían cuatro ($= 2^2$) bytes, o si <419, 418, 417> contiene <1, 1, 1> (7 en decimal), se envían 128 ($= 2^7$)

65

ES 2 370 222 A1

bytes, etc. Además, los bits de 416, 415 indican el máximo número de veces que se vuelve a enviar una trama en el caso de que la trama respuesta relacionada contenga un error.

La Fig. 5 es una representación esquemática de la estructura de una trama ACK para la implementación de tramas de control respuesta, de tramas de escritura respuesta y tramas de lectura respuesta, según una realización del método de la invención, dicha trama está compuesta de tres secuencias diferentes de bits. La trama de inicio ("Start of Frame", SOF) 500 consta de tres bits que contiene la secuencia 502-503-504 "1-0-1", la ACK (respuesta) 501 consta de dos bits 505-506 para indicar si el resultado es positivo (valor "1-0") o negativo (valor "0-1") y la PC (control de paridad) 507 es sólo un bit que permite verificar si se ha producido algún error durante la transmisión de datos entre un emisor (el emisor de datos del dispositivo de almacenamiento o el emisor de datos del controlador) y su correspondiente receptor (el receptor de datos del dispositivo de almacenamiento o el receptor de datos del controlador).

La Fig. 6 es una representación esquemática de los métodos de escritura simple y ráfaga en un determinado segmento de almacenamiento de un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención, dichos métodos de acuerdo con una realización del método de la invención.

La escritura simple 600 comprende básicamente:

emitir por parte de la unidad de gestión del controlador 602 una trama TCE 604 para indicar a la unidad de gestión del dispositivo de almacenamiento que se escribirá en una posición del segmento de almacenamiento asociado, la trama TCE 604 también contiene la dirección de dicha posición;

enviar por parte de la unidad de gestión del dispositivo de almacenamiento 603 una trama ACK 605 que indica si el resultado de la recepción de la trama TCE 604 por parte de la unidad de gestión del dispositivo de almacenamiento 603 es positivo (sin errores) o negativo (con errores);

en el caso que la trama ACK 605 sea positiva:

enviar por parte de la unidad de gestión del controlador 602 una trama TE 606 que comprende los datos que se escriben en el segmento de almacenamiento de acuerdo a la trama TCE 604;

enviar por parte de la unidad de gestión del dispositivo de almacenamiento 603 una trama ACK 607 que indica si el resultado de la recepción de la trama TE 606 por parte de la unidad de gestión del dispositivo de almacenamiento 603 es positivo (sin errores) o negativo (con errores).

Cualquier trama ACK 605-607 puede indicar que se ha producido algún error, en cuyo caso la trama ACK 605-607 es negativa. En caso de que dicho error esté relacionado con la trama TCE 604, la unidad de gestión del controlador 602 puede repetir el envío de dicha trama TCE 604 hasta que se alcanza un número máximo de repeticiones. En caso de que el error esté relacionado con la trama TE 606, la unidad de gestión del controlador 602 repite el envío de una trama TEREP relacionada con la trama TCE 604 hasta que se alcanza un número máximo de repeticiones, dicha trama TEREP representa reescribir datos en la última posición indicada del segmento de almacenamiento.

También es posible que la unidad de gestión del controlador 602 no reciba la trama ACK 605 relacionada con la trama TCE 604 dentro de un intervalo de tiempo predeterminado, en cuyo caso la unidad de gestión del controlador 602 puede abortar la operación de escritura o puede repetir el envío de dicha trama TCE 604 hasta que se alcanza un número máximo de repeticiones. En el caso de que la unidad de gestión del controlador 602 no reciba la trama ACK 607 dentro de un intervalo de tiempo predeterminado, la unidad de gestión del controlador 602 puede abortar la operación de escritura o puede repetir el envío de una trama TEREP relacionada con la trama TE 607 hasta que se alcanza un número máximo de repeticiones.

La escritura ráfaga 601 comprende básicamente:

enviar por parte de la unidad de gestión del controlador 608 una trama TCER 610 para indicar a la unidad de gestión del dispositivo de almacenamiento que se realizará una escritura ráfaga en el segmento de almacenamiento asociado, la trama TCER 610 también comprende la dirección de la posición inicial a escribir;

enviar por parte de la unidad de gestión del dispositivo de almacenamiento 609 una trama ACK 611 que indica si el resultado de la recepción de la trama TCER 610 por parte de la unidad de gestión del dispositivo de almacenamiento 609 es positivo (sin errores) o negativo (con errores);

en el caso que la trama ACK 611 sea positiva:

enviar por parte de la unidad de gestión del controlador 608 una primera trama TE 612 que comprende los datos a escribir en el segmento de almacenamiento de acuerdo a la trama TCER 610;

enviar por parte de la unidad de gestión del dispositivo de almacenamiento 609 una trama ACK 613 que indica si el resultado de la recepción de la trama TE 612 por parte de la unidad de gestión del dispositivo de almacenamiento 609 es positivo (sin errores) o negativo (con errores);

ES 2 370 222 A1

en el caso de que la trama ACK 613 sea positiva:

enviar por parte de la unidad de gestión del controlador 608 una segunda trama TE 614 que comprende los datos a escribir en el segmento de almacenamiento de acuerdo a la trama TCER 610;

enviar por parte de la unidad de gestión del dispositivo de almacenamiento 609 una trama ACK 615 que indica si el resultado de la recepción de la trama TE 614 por parte de la unidad de gestión del dispositivo de almacenamiento 609 es positivo (sin errores) o negativo (con errores);

y así sucesivamente ... hasta que cada uno de los bytes a escribir de acuerdo con la trama TCER 610 han sido procesados.

Cualquier trama ACK puede indicar que se ha producido algún error (trama ACK no recibida o en una trama ACK recibida, pero que comprende algún error), en cuyo caso para el método de escritura ráfaga se procede de la misma manera que en el caso de la escritura simple (repetición del envío de tramas TCE o tramas TEREPE o cancelación de la operación de escritura ráfaga).

La Fig. 7 es una representación esquemática de los métodos de lectura simple y de lectura ráfaga de un segmento de almacenamiento específico de un dispositivo de memoria según una realización de la memoria del dispositivo de la invención, dichos métodos según una realización del método de la invención.

La lectura simple 700 comprende básicamente:

enviar por parte de la unidad de gestión del controlador 702 una trama TCL 704 para indicar a la unidad de gestión del dispositivo de almacenamiento que una posición del segmento de almacenamiento asociado tiene que ser leído, la trama TCL 704 también comprende la dirección de dicha posición;

enviar por parte de la unidad de gestión del dispositivo de almacenamiento 703 una trama TLD 705 que comprende el byte que se ha leído del segmento de almacenamiento.

En el caso de que la unidad de gestión del controlador 702 no reciba la trama TLD 705 dentro de un intervalo de tiempo predeterminado de espera o que la unidad de gestión del controlador 702 reciba la trama 705 TLD, pero que incluya algún error, la unidad de gestión del controlador 702 puede repetir el envío de la trama TCL 704 hasta que se alcance un número máximo de repeticiones o puede cancelar la operación lectura simple.

La lectura ráfaga 701 comprende básicamente:

enviar por parte de la unidad de gestión del controlador 706 de una trama TCLR 708 para indicar que a la unidad de gestión del dispositivo de almacenamiento 707 que se tiene que llevar a cabo una lectura ráfaga en el segmento de almacenamiento asociado, la trama TCLR 708 también comprende la dirección de la posición inicial que debe ser leída;

enviar por parte de la unidad de gestión del dispositivo de almacenamiento 707 una trama TLD 709 que comprende el primer byte que se ha leído del segmento de almacenamiento;

enviar por parte de la unidad de gestión del controlador 706 una trama ACK 710 que indica si el resultado de la recepción de la trama TLD 709 por parte de la unidad de gestión del controlador 706 es positivo (sin errores) o negativo (con errores);

en el caso de que la trama ACK 710 sea positiva:

enviar por parte de la unidad de gestión del dispositivo de almacenamiento 707 una trama TLD 711 que comprende el segundo byte que se ha leído desde el segmento de almacenamiento;

enviar por parte de la unidad de gestión del controlador 706 una trama ACK 712 que indica si el resultado de la recepción de la trama TLD 711 por parte de la unidad de gestión del controlador 706 es positivo (sin errores) o negativo (con errores);

en el caso que la trama TLD 709 sea positiva:

enviar por parte de la unidad de gestión del dispositivo de almacenamiento 707 una trama TLD 713 que comprende el tercer byte que se ha leído del segmento de almacenamiento;

y así sucesivamente ... hasta que cada uno de los bytes que se deben leer de acuerdo a la trama TCLR 708 hayan sido procesados.

ES 2 370 222 A1

En el caso que la unidad de gestión del controlador 706 no reciba una trama TLD 709 dentro de un intervalo de tiempo predeterminado de espera o que la unidad de gestión del controlador 706 reciba la trama TLD 709, pero que incluya algún error, la unidad de gestión del controlador 706 puede repetir el envío de la trama TCLR 708 hasta que se alcance un número máximo de repeticiones o puede cancelar la operación de lectura ráfaga.

En el caso que la unidad de gestión del controlador 706 no reciba una trama ACK esperada o la unidad de gestión del controlador 706 reciba la trama ACK esperada, pero que incluya algún error, la unidad de gestión del controlador 706 puede repetir el envío de las tramas TLD asociadas a dicho ACK hasta que se alcance un número máximo de repeticiones o puede cancelar la operación de lectura ráfaga.

La Fig. 8 es una representación esquemática de un modelo de segmentación de los segmentos de almacenamiento integrados en un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención, dicho modelo de segmentación comprende (como ejemplo) el almacenamiento de tres segmentos 800-801-802, el segmento de almacenamiento 800 que comprende varias posiciones 803-806-...-809, el segmento de almacenamiento 801 que comprende varias posiciones 804-807-...-810 y el segmento de almacenamiento 802 que comprende varias posiciones 805-808-...-811. Así, estos tres segmentos de almacenamiento constituyen toda la memoria de una manera que la primera posición de toda la memoria es la primera posición 803 del primer segmento de almacenamiento 800, la segunda posición de toda la memoria es la primera posición 804 del segundo segmento de almacenamiento 801, la tercera posición de toda la memoria es la primera posición 805 del tercer segmento de almacenamiento 802, la cuarta posición de toda la memoria es la segunda posición 806 del primer segmento de almacenamiento 800, y así sucesivamente... la última posición de la memoria es la última posición 811 del tercer segmento de almacenamiento 802.

Por ejemplo, con tal segmentación se puede escribir (o leer como la operación inversa) un bloque de cuatro bytes en serie, el primer byte se escribe en la primera posición 803 del primer segmento de almacenamiento 800, el segundo byte se escribe en la primera posición 804 del segundo segmento de almacenamiento 801, el tercer byte se escribe en la primera posición 805 del tercer segmento de almacenamiento 802 y el cuarto byte se escribe en la segunda posición 806 del primer segmento de almacenamiento 800. Por lo tanto, tres bytes del bloque de cuatro bytes en serie se puede escribir en paralelo porque se puede acceder simultáneamente a diferentes segmentos de almacenamiento debido a la segmentación del modelo que se muestra en la Fig. 8.

La Fig. 9 es un diagrama de flujo de un método para escribir datos en paralelo en un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención, dicho método está de acuerdo con una realización del método de la invención. El método de escritura de datos en paralelo comprende:

(900) iniciar ejecución;

(901) recibir por parte de la unidad de gestión del controlador datos acerca del acceso escritura;

(902) generar por parte de la unidad de gestión del controlador como mínimo una trama de control de los datos recibidos acerca del acceso escritura, representar por parte de cada trama de control el acceso escritura a un segmento de almacenamiento de la memoria del dispositivo;

para cada trama de control que representa el acceso escritura a un segmento de almacenamiento:

(903) emitir por parte de la unidad de gestión del controlador una trama de control a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

(904) recibir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con un segmento de almacenamiento una trama de control a través de su receptor de datos del dispositivo de almacenamiento asociado;

(905) emitir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento una trama de control respuesta relacionada con la trama de control a través de su emisor de datos del dispositivo de almacenamiento asociado;

(906) comprobar por parte de la unidad de gestión del controlador si la trama de control respuesta relacionada con la trama de control ha sido recibida en un determinado intervalo de tiempo de espera de la trama de control respuesta;

en caso de resultado negativo:

(907) verificar por parte de la unidad de gestión del controlador si se ha alcanzado un número predeterminado de verificaciones de recepción de las tramas de control respuesta dentro de un determinado intervalo de tiempo de espera de la trama de control respuesta;

en caso de resultado positivo:

(908) procesar por parte de la unidad de gestión del controlador un error crítico y finaliza la ejecución;

ES 2 370 222 A1

en caso de resultado negativo:

(909) transferir el control del método a (903) a la unidad de gestión del controlador que emite una trama de control a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

(910) recibir por parte de la unidad de gestión del controlador la trama de control respuesta relacionada con la trama de control a través del receptor de datos del controlador relacionado con el segmento de almacenamiento;

(911) verificar por parte de la unidad de gestión del controlador si la trama de control respuesta recibida comprende al menos un error acerca de la recepción de la trama control;

en caso de resultado negativo:

(928) transferir el control del método a (913) la unidad de gestión del controlador que genera como mínimo una trama de escritura relacionada con la trama de control a partir de los datos sobre el acceso escritura;

en caso de resultado positivo:

(912) verificar por parte de la unidad de gestión del controlador si se ha alcanzado un número predeterminado de tramas de control respuesta recibidas relacionadas con la trama de control que contienen como mínimo un error acerca de la recepción de la trama de control;

en caso de resultado positivo:

(908) procesar por parte de la unidad de gestión del controlador un error crítico y finalizar la ejecución;

en caso de resultado negativo:

(909) transferir el control del método a (903) a la unidad de gestión del controlador que emite una trama de control a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

(913) generar por parte de la unidad de gestión del controlador por lo menos una trama de escritura relacionada con la trama de control a partir de los datos sobre el acceso escritura;

(914) verificar por parte de la unidad de gestión del controlador si todas las tramas de escritura generadas relacionadas con la trama de control han sido procesadas;

en caso de resultado positivo:

(925) esperar por parte de la unidad de gestión del controlador que todas las tramas de escritura relacionadas con todas las tramas de control sean procesadas;

(926) finalizar ejecución;

en caso de resultado negativo (las tramas de escritura todavía no procesadas tienen que ser procesadas):

(915) emitir por parte de la unidad de gestión del controlador la trama de escritura a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

(916) recibir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento la trama de escritura a través del receptor de datos del dispositivo de almacenamiento asociado;

(917) escribir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento datos en el segmento de almacenamiento de acuerdo a la trama de escritura;

(918) emitir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento una trama de escritura relacionada con la trama de escritura a través de su emisor de datos del dispositivo de almacenamiento asociado;

(919) verificar la unidad de gestión del controlador si la trama de escritura respuesta relacionada con la trama de escritura ha sido recibida en un determinado intervalo de tiempo de espera de la trama de escritura respuesta;

ES 2 370 222 A1

en caso de resultado negativo:

- 5 (920) verificar por parte de la unidad de gestión del controlador si se ha alcanzado un número predeterminado de verificaciones de la recepción de tramas de escritura respuesta dentro de un determinado intervalo de tiempo de espera de tramas de escritura respuesta;

en caso de resultado positivo:

- 10 (908) procesar por parte de la unidad de gestión del controlador un error crítico y finalizar la ejecución;

en caso de resultado negativo:

- 15 (921) transferir el control del método a (915) la unidad de gestión del controlador que emite la trama de escritura a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

(922) recibir por parte de la unidad de gestión del controlador una trama de escritura respuesta a través del receptor de datos del controlador relacionado con el segmento de almacenamiento;

20 (923) verificar por parte de la unidad de gestión del controlador si la trama de escritura respuesta recibida contiene al menos un error acerca de la recepción de la trama de escritura;

en caso de resultado positivo:

- 25 (924) verificar por parte de la unidad de gestión del controlador si se ha alcanzado un número predeterminado de tramas de escritura respuesta recibidas relacionadas con la trama de escritura conteniendo como mínimo un error acerca de la recepción de la trama de escritura;

en caso de resultado positivo:

- 30 (908) procesar por parte de la unidad de gestión del controlador un error crítico y finalizar la ejecución;

en caso de resultado negativo:

- 35 (921) transferir el control del método a (915) la unidad de gestión del controlador que emite la trama de escritura a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

40 en caso de resultado negativo:

- 45 (927) transferir el control del método a (914) la unidad de gestión del controlador que verifica si todas las tramas de escritura generadas relacionadas con la trama de control han sido procesadas.

La Fig. 10 es un diagrama de flujo de un método para la lectura de datos en paralelo de un dispositivo de memoria de acuerdo con una realización de la memoria del dispositivo de la invención, dicho método está de acuerdo con una realización del método de la invención. El método de lectura de datos en paralelo comprende:

50 (100) iniciar ejecución;

(101) recibir por parte de la unidad de gestión del controlador datos sobre el acceso lectura;

55 (102) generar por parte de la unidad de gestión del controlador de al menos una trama de control a partir de los datos recibidos sobre el acceso lectura, representar por parte de cada trama de control el acceso lectura a un segmento de almacenamiento del dispositivo de memoria;

para cada trama de control que representa el acceso lectura a un segmento de almacenamiento:

60 (103) emitir por parte de la unidad de gestión del controlador una trama de control a través del emisor de datos del controlador en relación con el segmento de almacenamiento;

(104) recibir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento la trama de control a través de su receptor de datos del dispositivo de almacenamiento asociado;

65 (105) emitir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento una trama de control respuesta relacionada con la trama de control a través

ES 2 370 222 A1

de su emisor de datos del dispositivo de almacenamiento asociado, representar por parte de dicha trama de control respuesta relacionada con la trama de control la confirmación de la recepción de la trama de control;

- 5 (106) comprobar por parte de la unidad de gestión del controlador si la trama de control respuesta relacionada con la trama de control ha sido recibida en un determinado intervalo de tiempo de espera de la trama de control respuesta;

en caso de resultado negativo:

- 10 (107) verificar por parte de la unidad de gestión del controlador si se ha alcanzado un número predeterminado de verificaciones de recepción de las tramas de control respuesta dentro de un determinado intervalo de tiempo de espera de la trama de control respuesta;

en caso de resultado positivo:

- 15 (108) procesar por parte de la unidad de gestión del controlador un error crítico y finalizar ejecución;

en caso de resultado negativo:

- 20 (109) transferir el control del método a (103) a la unidad de gestión del controlador que emite una trama de control a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

- 25 (110) recibir por parte de la unidad de gestión del controlador la trama de control respuesta relacionada con la trama de control a través del receptor de datos del controlador relacionado con el segmento de almacenamiento;

- 30 (111) verificar por parte de la unidad de gestión del controlador si la trama de control respuesta recibida comprende al menos un error acerca de la recepción de la trama de control;

en caso de resultado negativo:

- 35 (127) transferir el control del método a (113) la unidad de gestión del dispositivo de almacenamiento que verifica si todos los datos leídos desde el segmento de almacenamiento indicado en la trama de control han sido procesados;

en caso de resultado positivo:

- 40 (112) verificar por parte de la unidad de gestión del controlador si se ha alcanzado un número predeterminado de recepciones de tramas de control respuesta relacionadas con la trama de control conteniendo al menos un error acerca de la recepción de la trama de control;

en caso de resultado positivo:

- 45 (108) procesar por parte de la unidad de gestión del controlador un error crítico y finalizar ejecución;

en caso de resultado negativo:

- 50 (109) transferir el control del método a (103) a la unidad de gestión del controlador que emite una trama de control a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

- 55 (113) verificar por parte de la unidad de gestión del controlador si todos los datos leídos desde el segmento de almacenamiento indicado en la trama de control han sido procesados;

en caso de resultado positivo:

- 60 (125) esperar por parte de la unidad de gestión del controlador que todos los datos leídos desde el segmento de almacenamiento indicado en la trama de control sean procesados;

- (126) terminar ejecución;

en caso de resultado negativo:

- 65 (114) leer por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento datos del segmento de almacenamiento de acuerdo con la lectura de datos indicada en la trama de control;

ES 2 370 222 A1

(115) generar por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento una trama de lectura relacionada con la lectura de datos indicada en la trama de control;

5 (116) emitir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento la trama de la lectura generada a través del emisor de datos del dispositivo de almacenamiento relacionado con el segmento de almacenamiento;

10 (117) recibir por parte de la unidad de gestión del controlador la trama de lectura a través del receptor de datos del controlador relacionado con el segmento de almacenamiento;

(118) emitir por parte de la unidad de gestión del controlador una trama de lectura respuesta relacionada con la trama de lectura a través del emisor de datos del controlador relacionado con el segmento de almacenamiento.

15 (119) verificar por parte de la unidad de gestión del dispositivo de almacenamiento si la trama de lectura respuesta relacionada con la trama de lectura ha sido recibida en un determinado intervalo de tiempo de espera de trama de lectura respuesta;

20 en caso de resultado negativo:

(120) verificar por parte de la unidad de gestión del dispositivo de almacenamiento si se ha alcanzado un número predeterminado de verificaciones de recepción de tramas de lectura respuesta dentro de un determinado intervalo de tiempo de espera de trama de lectura respuesta;

25 en caso de resultado positivo:

(108) procesar por parte de la unidad de gestión del controlador un error crítico y finalizar ejecución;

30 en caso de resultado negativo:

(121) transferir el control del método a (116) la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento que emite la trama de lectura generada a través del emisor de datos del dispositivo de almacenamiento relacionado con el segmento de almacenamiento;

35 (122) recibir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento la trama de lectura respuesta a través del receptor de datos del dispositivo de almacenamiento relacionado con el segmento de almacenamiento;

40 (123) verificar por parte de la unidad de gestión del dispositivo de almacenamiento si la trama de lectura respuesta comprende al menos un error acerca de la recepción de la trama de lectura;

45 en caso de resultado negativo:

(127) transferir el control del método a (113) la unidad de gestión del dispositivo de almacenamiento que verifica si todas las lecturas de datos del segmento de almacenamiento indicado en la trama de control han sido procesados;

50 en caso de resultado positivo:

(124) verificar por parte de la unidad de gestión del dispositivo de almacenamiento si se ha alcanzado un número predeterminado de recepciones de tramas de lectura respuesta relacionadas con la trama de lectura conteniendo al menos un error de la recepción de la trama de lectura;

55 en caso de resultado positivo:

(108) procesar por parte de la unidad de gestión del controlador un error crítico y finalizar ejecución;

60 en caso de resultado negativo:

(121) transferir el control del método a (116) la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento que emite la trama de lectura generada a través del emisor de datos del dispositivo de almacenamiento relacionado con el segmento de almacenamiento.

65

ES 2 370 222 A1

5 A pesar de que esta invención ha sido descrita en el contexto de ciertas realizaciones preferidas y ejemplos, los expertos en la materia entenderán que la presente invención se extiende más allá de las realizaciones específicamente reveladas a otras realizaciones alternativas y/o usos de la invención y las modificaciones evidentes y equivalentes de la misma. Así, se pretende que el alcance de la presente invención descrita en este documento no debe estar limitada por la divulgación de realizaciones particulares descritas anteriormente, pero sólo deben determinarse por una lectura razonable de las reivindicaciones que siguen.

10 Además, si bien las realizaciones de la invención descrita con referencia a los dibujos comprenden aparatos informáticos y procesos realizados en aparatos informáticos, la invención también se extiende a los programas de ordenador, en particular programas informáticos en un soporte, adaptados para poner en práctica la invención. El programa puede ser en forma de código fuente, código objeto, un código fuente intermedio y un código objeto en forma compilada parcialmente, o en cualquier otra forma adecuada para su uso en la aplicación de los procesos de acuerdo con la invención. El soporte puede ser cualquier entidad o dispositivo capaz de llevar el programa.

15 Por ejemplo, el soporte puede comprender un medio de almacenamiento, tal como una ROM, por ejemplo un CD ROM o una memoria semiconductor ROM, o un medio de registro magnético, por ejemplo, un disquete o disco duro. Además, el soporte podrá ser un soporte transmisible como una señal eléctrica u óptica, que puede ser transmitida a través de cable eléctrico u óptico o por radio u otros medios.

20 Cuando el programa se plasma en una señal que puede ser transmitida directamente por un cable o cualquier otro dispositivo o medio, el soporte podrá ser constituido por cable o cualquier otro dispositivo o medio.

25 Alternativamente, el soporte podrá ser un circuito integrado en el que se incluye el programa, estando el circuito integrado adaptado para llevar a cabo, o para su utilización en el desempeño de los procesos pertinentes.

30

35

40

45

50

55

60

65

REIVINDICACIONES

1. Dispositivo de memoria de acceso de datos en paralelo, que comprende: un módulo almacén (13) que comprende:
- 5 una variedad de segmentos de almacenamiento (16) basados en tecnología de semiconductores;
- un receptor de datos del dispositivo de almacenamiento (17) relacionado con cada segmento de almacenamiento (16);
- 10 un emisor de datos del dispositivo de almacenamiento (22) relacionado con cada segmento de almacenamiento (16);
- una unidad de gestión del dispositivo de almacenamiento (25) relacionada con el segmento de almacenamiento (16) para la gestión del segmento de almacenamiento (16), el receptor de datos del almacén asociado (17) y el correspondiente emisor de datos del dispositivo de almacenamiento (22);
- 15 un módulo de control (10) que comprende:
- un receptor de datos del controlador (21) relacionado con cada uno de los emisores de datos del almacén;
- 20 un emisor de datos del controlador (15) relacionado con cada receptor de datos del almacén;
- una unidad de gestión del controlador (11) relacionado con los receptores de datos del controlador (21) y los emisores de datos del controlador (15) para la gestión de los receptores de datos del controlador (21) y los emisores de datos del controlador (15).
- 25
2. Dispositivo de memoria según la reivindicación 1, donde la tecnología de semiconductores es semiconductor complementario de metal-óxido (CMOS).
- 30
3. Dispositivo de memoria según cualquiera de las reivindicaciones 1 ó 2, donde cada emisor de datos del controlador (15) es un emisor óptico y cada receptor de datos del dispositivo de almacenamiento (17) es un receptor óptico.
- 35
4. Dispositivo de memoria según cualquiera de las reivindicaciones 1 a 3, donde cada receptor de datos del controlador (21) es un receptor óptico y cada emisor de datos del dispositivo de almacenamiento (22) es un emisor óptico.
- 40
5. Dispositivo de memoria según cualquiera de las reivindicaciones 1 a 3, donde cada receptor de datos del controlador (21) es un receptor eléctrico y cada emisor de datos del dispositivo de almacenamiento (22) es un emisor eléctrico.
- 45
6. Dispositivo de memoria según cualquiera de las reivindicaciones 3 a 5, donde cada receptor óptico es una matriz que comprende al menos un receptor óptico.
7. Dispositivo de memoria según la reivindicación 6, donde por lo menos una unidad receptora óptica se compone de cuatro unidades de recepción ópticas.
- 50
8. Dispositivo de memoria según cualquiera de las reivindicaciones 6 ó 7, donde cada unidad recepción óptica es píxel con salida binaria semiconductor complementario de metal-óxido, estando dicho píxel CMOS integrado con su segmento de almacenamiento asociado basado en tecnología CMOS.
- 55
9. Dispositivo de memoria según la reivindicación 8, en el que cada píxel CMOS con salida binaria es un píxel CMOS con salida binaria sin realimentación y sin señal de reset.
10. Dispositivo de memoria según cualquiera de las reivindicaciones 8 o 9, donde cada píxel CMOS con salida binaria es un fotodiodo de avalancha.
- 60
11. Dispositivo de memoria según cualquiera de las reivindicaciones 3 a 10, en el cual cada emisor óptico es un emisor láser de superficie de cavidad vertical (VCSEL).
12. Dispositivo de memoria según las reivindicaciones 3 a 11, que además comprende un dieléctrico para enfocar la luz entre cada emisor óptico y su receptor óptico asociado.
- 65
13. Dispositivo de memoria según la reivindicación 12, donde el dieléctrico para enfocar la luz es el aire.

ES 2 370 222 A1

14. Dispositivo de memoria según cualquiera de las reivindicaciones 3 a 11, que comprende además una microlente para enfocar la luz dispuesta entre cada emisor óptico y su receptor óptico asociado.

5 15. Dispositivo de memoria según cualquiera de las reivindicaciones 3 a 11, que comprende además un trozo de fibra óptica para enfocar la luz dispuesta entre cada emisor óptico y su receptor óptico asociado.

16. Método para el acceso en paralelo a los datos en un dispositivo de memoria según cualquiera de las reivindicaciones 1 a 15, el método comprende:

- 10 recibir datos por parte de la unidad de gestión del controlador (901,101) datos sobre el acceso;
- generar por parte de la unidad de gestión del controlador (902; 102) al menos una trama de control de los datos recibidos sobre el acceso,
- 15 representar por parte de cada trama de control el acceso a un segmento de almacenamiento de la memoria del dispositivo;
- para cada trama de control que representa el acceso a un segmento de almacenamiento:
- 20 emitir por parte de la unidad de gestión del controlador (903, 103) la trama de control a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;
- recibir por parte de la unidad de gestión del dispositivo de almacenamiento relacionado con el segmento de almacenamiento (904, 104) la trama de control a través de su receptor de datos asociado;
- 25 acceder por parte de la unidad de gestión del dispositivo de almacenamiento relacionado con el segmento de almacenamiento (905-928; 105-127) al segmento de almacenamiento según la trama de control.

30 17. Método según la reivindicación 16, que comprende además:

emitir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento (905, 105) una trama de control respuesta relacionada con la trama de control a través de su emisor de datos asociado.

35

18. Método según la reivindicación 14, que comprende además:

- 40 recibir por parte de la unidad de gestión del controlador (910, 110) la trama de control respuesta relacionada con la trama de control a través del receptor de datos del controlador relacionado con el segmento de almacenamiento;
- verificar por parte de la unidad de gestión del controlador (911, 111) si la trama de control respuesta recibida comprende al menos un error acerca de la recepción de la trama de control;
- 45 en caso de resultado positivo:
- transferir (909; 109) el control del método a la unidad de gestión del controlador que emite (903, 103) la trama de control a través del emisor de datos del controlador relacionado con el almacenamiento del segmento.
- 50

19. Método según cualquiera de las reivindicaciones 16 a 18, donde acceso es acceso escritura y acceso al segmento de almacenamiento es escribir datos en el segmento de almacenamiento;

55

el método comprende además:

para cada trama de control que representa acceso escritura a un segmento de almacenamiento:

- 60 generar por parte de la unidad de gestión del controlador (913) por lo menos una trama de escritura relacionada con la trama de control a partir de los datos sobre el acceso por escrito;

para cada trama de escritura generada:

- 65 emitir por parte de la unidad de gestión del controlador (915) la trama de escritura generada a través del emisor de datos del controlador relacionado con el segmento de almacenamiento;

ES 2 370 222 A1

y en donde la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento que escribe datos en el segmento de almacenamiento según la trama de control comprende:

para cada trama de lectura relacionada con la trama de control:

5 recibir por parte de la unidad de gestión del dispositivo de almacenamiento relacionado con el segmento de almacenamiento (916) la trama de lectura a través de su receptor de datos del dispositivo de almacenamiento asociado;

10 escribir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento (917) datos en el segmento de almacenamiento de acuerdo a la trama de escritura.

20. Método según la reivindicación 19, que comprende además:

15 emitir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento (918) una trama de lectura respuesta relacionada con la trama de escritura a través de su emisor de datos del dispositivo de almacenamiento asociado.

21. Método según la reivindicación 20, que comprende además:

20 recibir por parte de la unidad de gestión del controlador (922) la trama de escritura respuesta a través del receptor de datos del controlador relacionado con el segmento de almacenamiento;

25 verificar por parte la unidad de gestión del controlador (923) si la trama de escritura respuesta recibida contiene al menos un error acerca de la recepción de la de la trama de escritura;

en caso de resultado positivo:

30 transferir (921) el control del método la unidad de gestión del controlador que emite (915) la trama de escritura a través del emisor de datos del controlador relacionado con el segmento de almacenamiento.

22. Método según la reivindicación 16, donde el acceso es acceso lectura y acceder al segmento de almacenamiento es leer datos del segmento de almacenamiento;

y en donde la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento que lee datos del segmento de almacenamiento según la trama de control comprende:

para cada lectura de datos de un segmento de almacenamiento representada en la trama de control:

45 leer por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento (114) datos del segmento de almacenamiento según la lectura de los datos representada en la trama de control;

generar por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento (115) una trama de lectura relacionada con la lectura de los datos representados en la trama de control;

50 emitir por parte la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento (116) la trama de lectura a través del emisor de datos del dispositivo de almacenamiento relacionado con el segmento de almacenamiento.

23. Método según la reivindicación 22, que comprende además: recibir por parte de la unidad de gestión del controlador (117) la trama de lectura a través del receptor de datos del controlador relación con el segmento de almacenamiento;

60 emitir por parte de la unidad de gestión del controlador (118) una trama de lectura respuesta relacionada con la trama de lectura a través del emisor de datos del controlador relacionado con el segmento de almacenamiento.

24. Método según la reivindicación 23, que comprende además: recibir por parte de la unidad de gestión del dispositivo de almacenamiento relacionada con el segmento de almacenamiento (122) la trama de lectura respuesta a través del receptor de datos del dispositivo de almacenamiento relacionado con el segmento de almacenamiento;

ES 2 370 222 A1

verificar por parte de la unidad de gestión del dispositivo de almacenamiento (123) si la trama de lectura respuesta comprende al menos un error acerca de la recepción de la trama de lectura;

en caso de resultado positivo:

5

transferir (121) el control del método a la unidad de gestión del dispositivo de almacenamiento relacionado con el segmento de almacenamiento que emite (116) la trama de lectura respuesta a través del emisor de datos del segmento del almacén relacionado con el segmento de almacenamiento.

10

25. Programa de ordenador que comprende instrucciones de programa para hacer que un ordenador lleve a cabo un método de acceso paralelo a los datos en un dispositivo de memoria según cualquiera de las reivindicaciones 1 a 15, el método según cualquiera de las reivindicaciones 16 a 24.

15

26. Programa de ordenador según la reivindicación 25, dentro de un medio de almacenamiento.

27. Programa de ordenador según la reivindicación 25, soportados en una señal portadora.

20

25

30

35

40

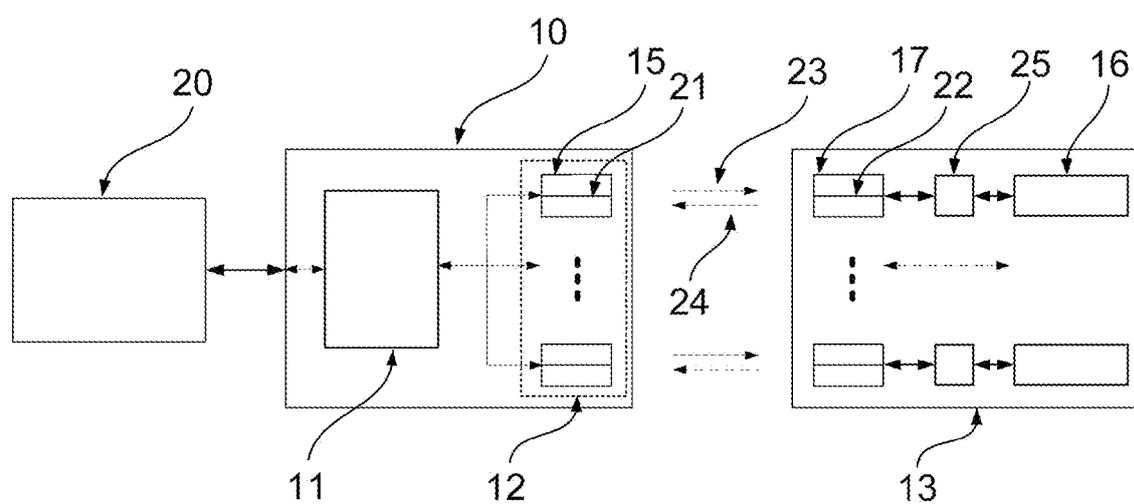
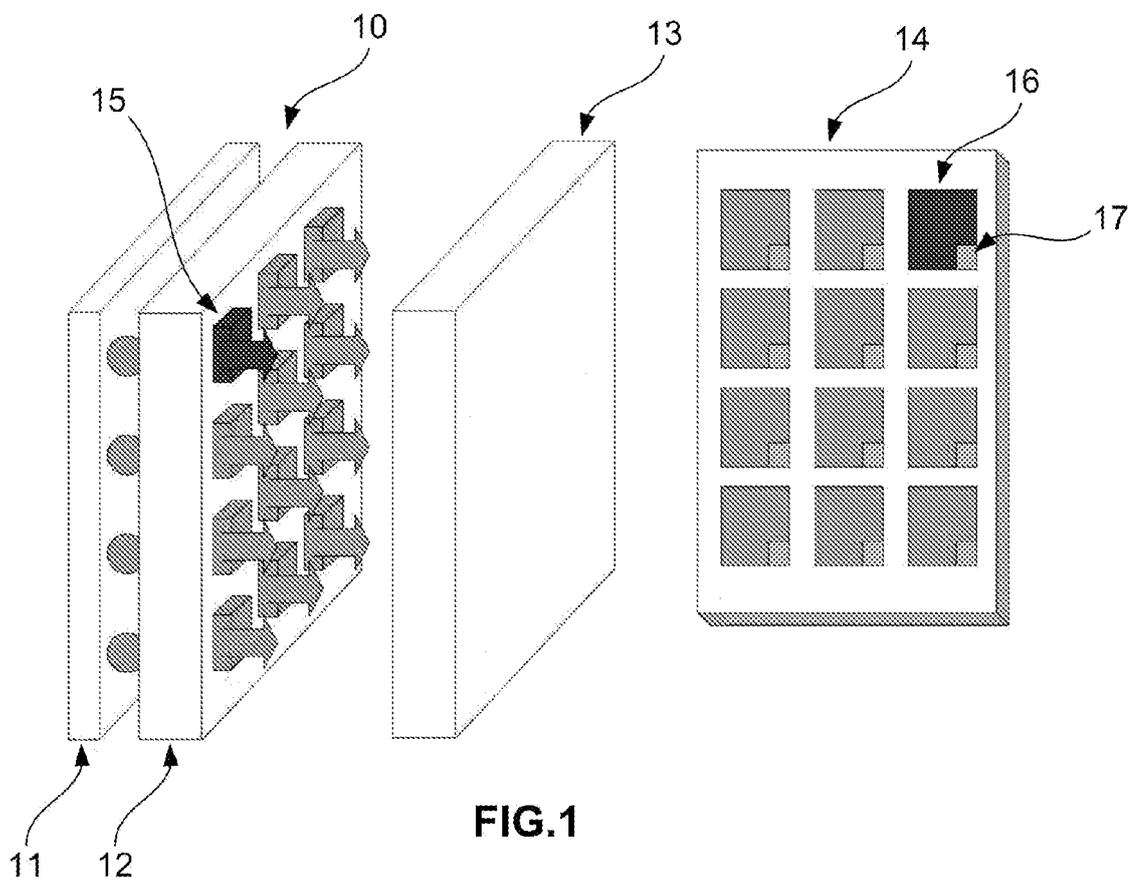
45

50

55

60

65



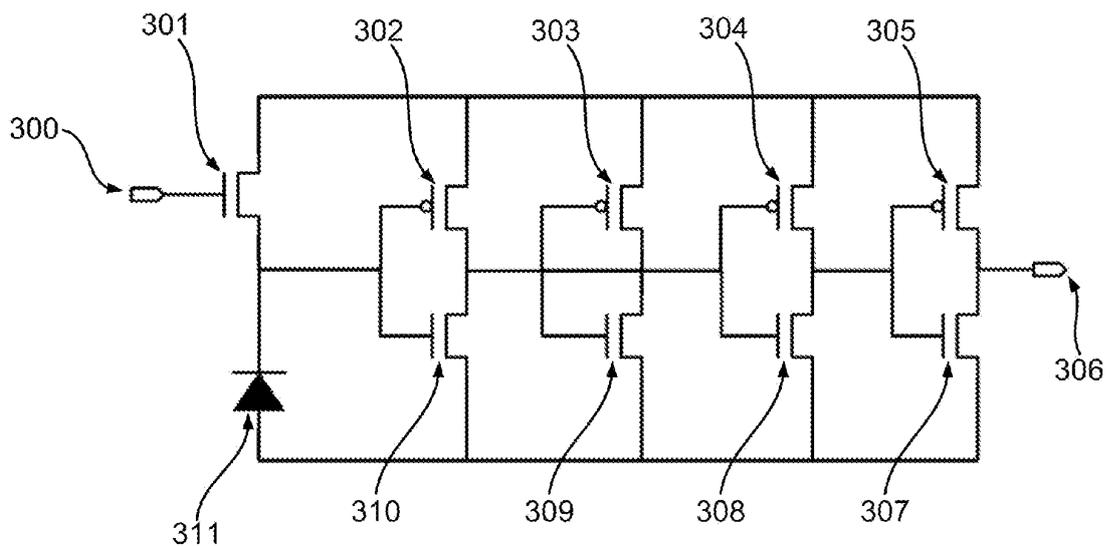


FIG.3

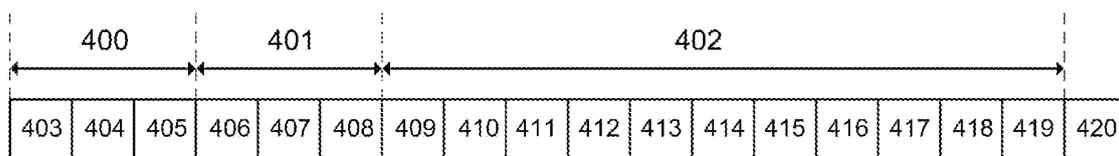


FIG.4

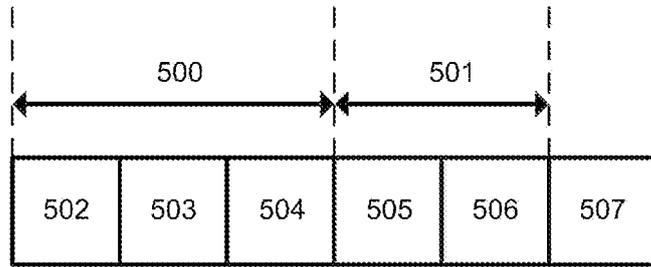


FIG.5

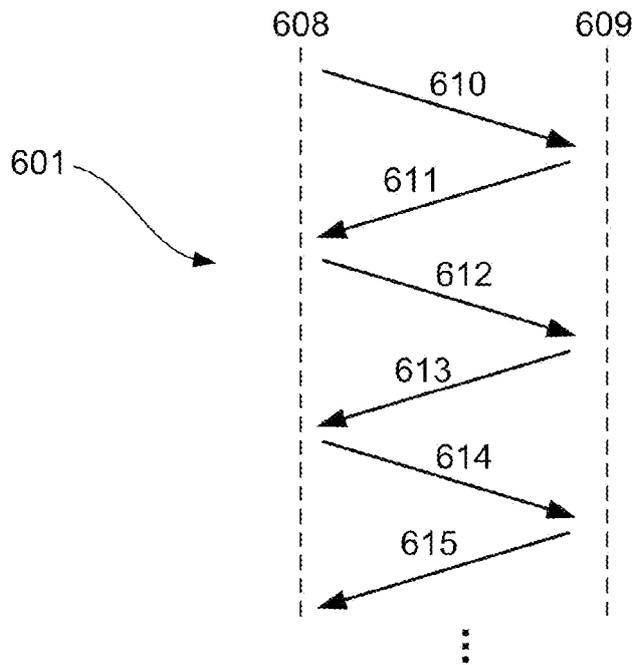
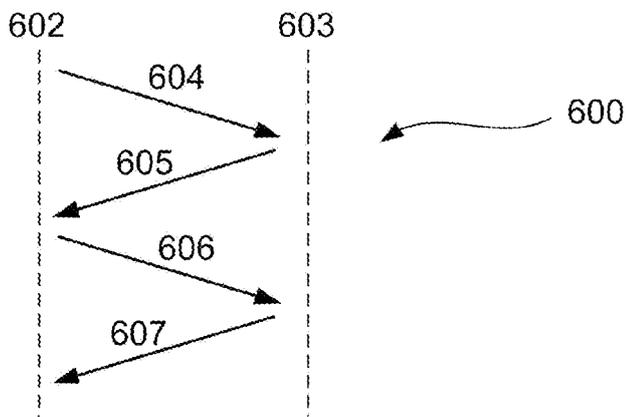


FIG.6

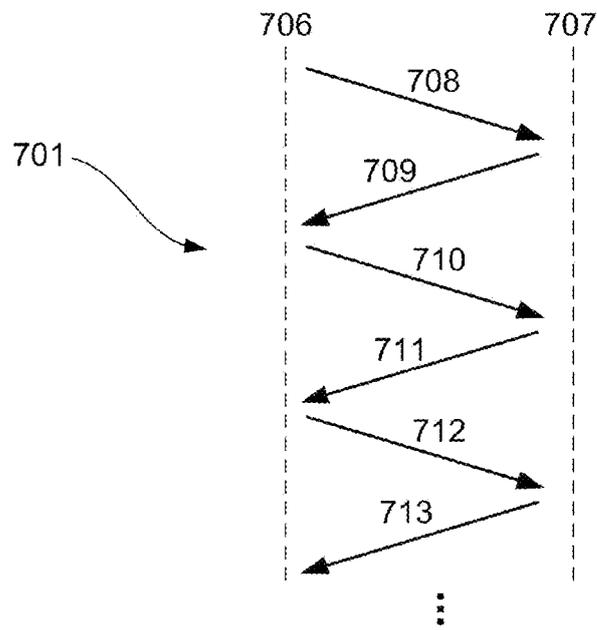
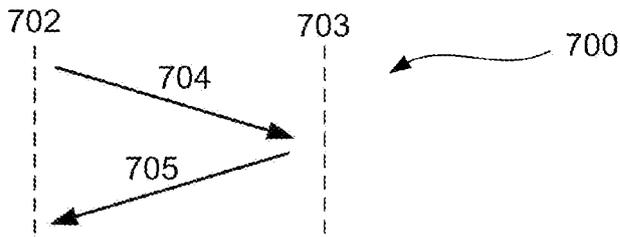


FIG.7

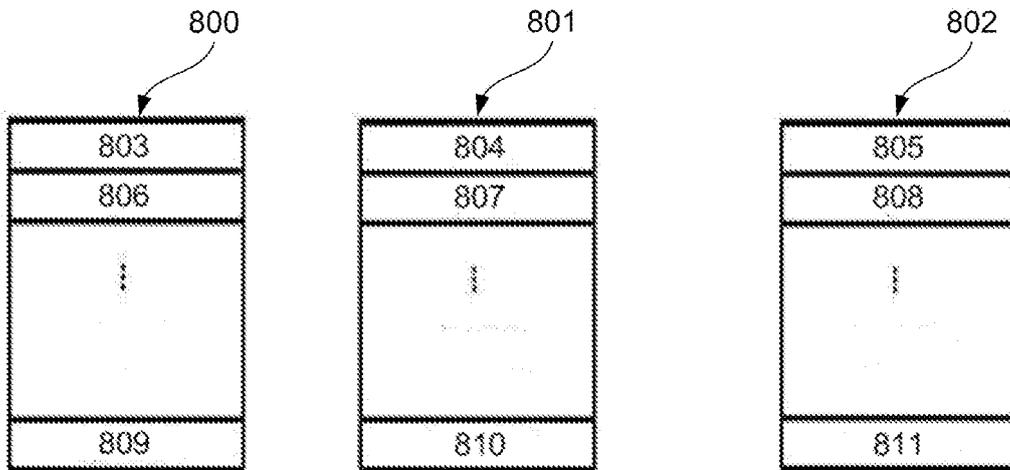
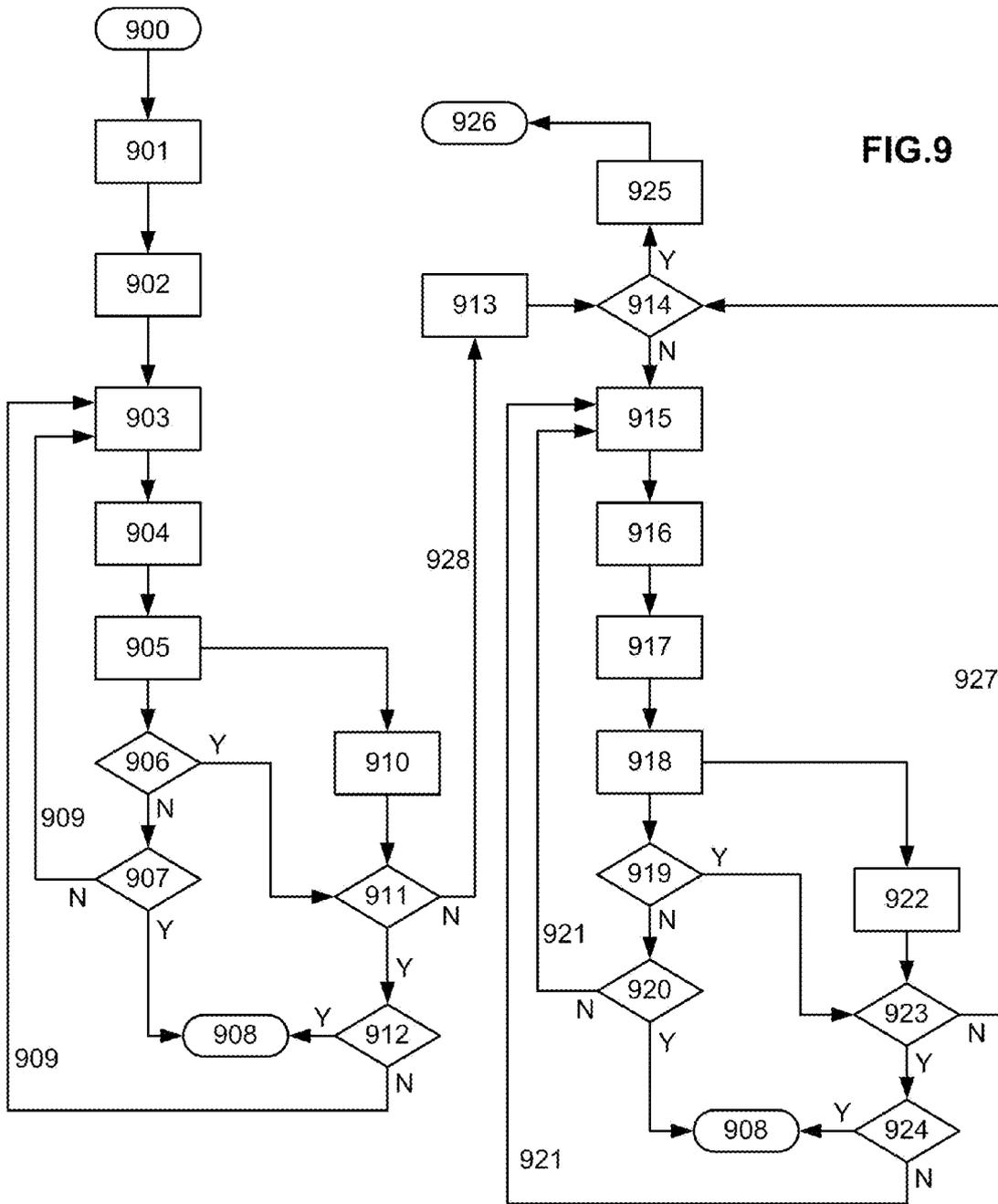
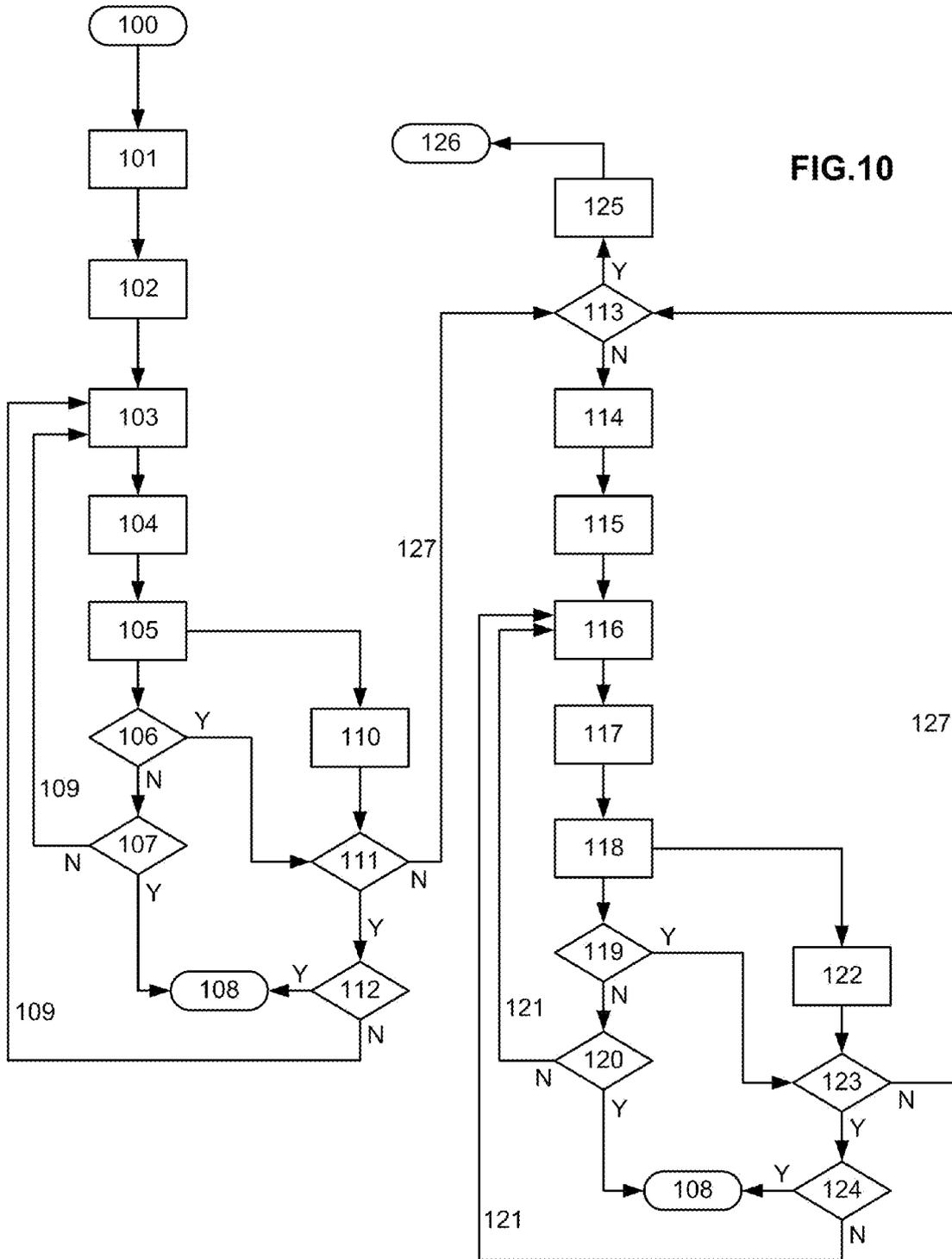


FIG.8







OFICINA ESPAÑOLA
DE PATENTES Y MARCAS

ESPAÑA

②① N.º solicitud: 201030757

②② Fecha de presentación de la solicitud: 20.05.2010

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤① Int. Cl.: **G11C7/10** (2006.01)
G11C13/04 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
A	EP 0627116 A1 (TOTH PETER) 07.12.1994, página 2, línea 24 – página 7, línea 18; página 11, línea 22 – página 12, línea 19; página 17, línea 12 – página 18, línea 10; figuras 1,4.	1-27
A	WO 9704448 A1 (OPTICOM AS et al.) 06.02.1997, página 4, línea 19 – página 7, línea 28; figuras 1,2.	1-27
A	WO 9701171 A1 (OPTICOM AS et al.) 09.01.1997, resumen.	1-27

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe
20.09.2011

Examinador
B. Pérez García

Página
1/4

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G11C, G11B, G06F.

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI, INSPEC

Fecha de Realización de la Opinión Escrita: 20.09.2011

Declaración

Novedad (Art. 6.1 LP 11/1986)	Reivindicaciones 1-27	SI
	Reivindicaciones	NO
Actividad inventiva (Art. 8.1 LP11/1986)	Reivindicaciones 1-27	SI
	Reivindicaciones	NO

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

Base de la Opinión.-

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

1. Documentos considerados.-

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	EP 0627116 A1 (TOTH PETER)	07.12.1994
D02	WO 9704448 A1 (OPTICOM AS et al.)	06.02.1997
D03	WO 9701171 A1 (OPTICOM AS et al.)	09.01.1997

2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración

A continuación se comentan en detalle los documentos encontrados en el estado de la técnica, los cuales no afectan a la novedad y /o actividad inventiva de la invención objeto de la solicitud.

D01 describe una memoria óptica que permite la lectura y escritura en paralelo de varias células de memoria. Dicha memoria óptica comprende una pluralidad de memorias yuxtapuestas (11), cada una de las cuales comprende un módulo de almacenamiento (23) para la recepción de un respectivo haz de luz (3). La memoria comprende medios de control eléctrico (27 + 40-51) para lograr un desplazamiento constante e igual de grande del punto de incidencia de cada haz de luz de las células de memoria en el punto de la memoria correspondiente.

La diferencia con la solicitud es que en D01 no se indica la existencia de un módulo de control que contenga un receptor y emisor de datos para cada receptor/emisor del módulo de almacenamiento. Se trata de una arquitectura de memoria diferente a la divulgada en la solicitud y que por tanto, no afecta a la actividad inventiva de ésta (Art. 8 LEP).

El documento D02 detalla un método para la escritura y lectura en paralelo de una memoria óptica, que comprende una o varias microlentes y una serie de elementos direccionables colocados en una matriz. Las lentes están asociadas a una posición definida (x, y) e inequívoca y al incidir la luz sobre ellas, se produce la activación física de uno de estos elementos direccionables que a su vez influye en una o más áreas localizadas de la capa de datos; es decir, la lectura o escritura se realiza según la relación que exista entre la localización geométrica del elemento en la matriz y la posición del área localizada en la capa de datos de la memoria.

Por su parte, D03 describe un dispositivo de almacenamiento de datos óptico con un área de almacenamiento formada por un material base transparente y estructuras activas ópticamente. Dichas estructuras pueden enfocar un haz de luz incidente en el área de almacenamiento a uno o más puntos de dicho área y/o redirigir el haz de luz de esa zona al exterior. Durante la lectura/escritura (R/W) de datos, los elementos ópticos se emplean para enfocar la señal de R/W y así generar los datos a escribir, o leer los datos almacenados. Explotando las propiedades de difracción de los elementos ópticos, es posible realizar la lectura/escritura de datos en paralelo, según los ángulos de incidencia y la longitud de onda del láser.

Todos estos documentos reflejan el estado de la técnica actual, aunque ninguno de ellos afecta a la novedad ni a la actividad inventiva de la solicitud. En ninguno de estos documentos se ha encontrado la arquitectura de la memoria de la solicitud, ya que no se detalla la existencia de un módulo controlador con un emisor y un receptor de datos del controlador, tal que puedan crear un canal de comunicación propio con los correspondientes receptor y emisor (respectivamente) del módulo de almacenamiento.

Por otro lado y respecto a la reivindicación 16 relativa al método, se detalla un modelo de comunicación entre dos elementos (unidad controladora y unidad de almacenamiento) con señal ACK para confirmar la recepción correcta de la trama. Este es un procedimiento habitual en cualquier sistema de comunicación, pero no se han encontrado anterioridades significativas aplicadas a este tipo de memoria de acceso paralelo, por tanto, también se considera que dicha reivindicación tiene novedad y actividad inventiva.

En resumen, la solicitud presentada cumple los requisitos de novedad y actividad inventiva, según los Arts. 6 y 8 de la Ley Española de Patentes.