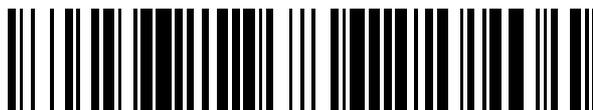


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 370 665**

51 Int. Cl.:
H01L 29/861 (2006.01)
H01L 29/06 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **07820844 .4**
96 Fecha de presentación: **02.10.2007**
97 Número de publicación de la solicitud: **2070125**
97 Fecha de publicación de la solicitud: **10.04.2008**

54 Título: **DISPOSITIVO SEMICONDUCTOR DE POTENCIA.**

30 Prioridad:
05.10.2006 EP 06405423

45 Fecha de publicación de la mención BOPI:
21.12.2011

45 Fecha de la publicación del folleto de la patente:
21.12.2011

73 Titular/es:
**ABB TECHNOLOGY AG
AFFOLTERNSTRASSE 44
8050 ZÜRICH, CH**

72 Inventor/es:
KOPTA, Arnost

74 Agente: **Ungría López, Javier**

ES 2 370 665 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo semiconductor de potencia

5 **Campo técnico**

La invención se refiere al campo de la electrónica de potencia y más particularmente a un dispositivo semiconductor de potencia de acuerdo con el preámbulo de la reivindicación independiente.

10 **Técnica Anterior**

Un diodo de potencia vertical típicamente comprende una capa base con bajo dopaje tipo n-, una capa de cátodo con alto dopaje tipo n+ sobre una cara de la capa base y una capa de ánodo con alto dopaje tipo p+ sobre la otra cara de la capa base. Las capas de ánodo y cátodo están típicamente formadas por implantación y una difusión posterior de dopantes en el interior de un sustrato con dopaje de tipo n- (oblea). Sobre sus superficies exteriores la capa de cátodo y la capa de ánodo están cubiertas con capas de metal para contactar eléctricamente con el diodo. La difusión del cátodo y la metalización normalmente se extienden al borde físico del dispositivo. La difusión del ánodo, por otra parte, tiene que terminarse a cierta distancia desde el borde para poder soportar un campo eléctrico cuando se polariza de modo inverso. Normalmente, esto se hace limitando la capa de ánodo con dopaje p+ en la parte central del diodo y rodeándolo por una terminación de unión de limitación de campo. La metalización del ánodo por lo tanto tiene aproximadamente el mismo tamaño que la propia capa de ánodo con dopaje p+. El área entre la capa de ánodo con dopaje p+ y la capa de cátodo con dopaje n+ normalmente se define como el área activa del diodo.

25 Una aplicación típica para tal diodo de potencia es como un diodo supresor en un circuito inversor IGBT. En tal aplicación, la parte crítica de la operación del diodo aparece cuando el diodo se conmuta a no conducción desde el estado de conducción al estado de bloqueo de no conducción cuando el IGBT se conmuta a conducción.

30 Cuando el diodo está polarizado en modo directo, el ánodo inyectará huecos y el cátodo inyectará electrones en la capa base n-. En este modo, se constituirá un plasma de electrones-huecos y se almacenará en la capa base n- durante la fase del estado de conducción. Debido al hecho de que la capa de ánodo con dopaje p+ es menor en la dirección lateral que la capa de cátodo con dopaje n+, también se almacenará, por lo tanto, un plasma significativo de electrones-huecos en la capa n- por debajo del área del ánodo de terminación de la unión. Cuando el IGBT se conmuta a conducción, la corriente del diodo comenzará a disminuir con un cambio de corriente di_F/dt determinado por la velocidad de conmutación del IGBT. Debido a las portadoras almacenadas en la capa base n-, la unión pn, sin embargo, no es capaz de soportar un voltaje inverso inmediatamente. Eventualmente, la corriente del diodo, por lo tanto llegará a cero y continuará aumentando a valores negativos. En esta etapa, los huecos almacenados comenzarán a fluir de vuelta al ánodo y los electrones almacenados al interior de los contactos del cátodo. Después de algún tiempo, la unión pn estará libre de portadores almacenados y se comenzará a formar un campo eléctrico, que soporta un voltaje inverso aún en aumento a medida que se barre adicionalmente el plasma de electrones-huecos almacenados. Los huecos almacenados en el área de la capa base n- por debajo de la terminación de la unión fluirán principalmente dentro del borde de la capa de ánodo p+. Debido a la curvatura del perfil de difusión, el campo eléctrico evidentemente será más alto en este punto que en la parte central del ánodo donde prevalecen las condiciones 1 D, es decir el campo eléctrico en la parte central no tienen componentes en la dirección lateral. Especialmente durante el rápido proceso de conmutación a no conducción que comprende cambios elevados de corriente di_F/dt , la densidad de corriente de huecos puede ser muy alta y por lo tanto actuar como una carga espacial positiva adicional. Esta carga adicional aumentará adicionalmente la intensidad del campo eléctrico en el borde del ánodo. Si el campo eléctrico excede la intensidad crítica, se establecerá una generación de avalancha (efecto de avalancha dinámica), y dará como resultado un aumento adicional de la densidad de corriente. La combinación de la alta densidad de corriente y el campo eléctrico elevado conducirán a una alta disipación de potencia en esta región. Esto puede conducir a una aceleración térmica local y el posterior fallo del diodo. En el caso de una velocidad de conmutación de IGBT elevada, es decir un cambio de corriente di_F/dt elevado, alto voltaje del enlace DC, una inductancia parásita del circuito elevada, una corriente directa inicial del diodo elevada y una temperatura del diodo elevada, la situación se volverá más crítica, y por lo tanto, la probabilidad de fallo del diodo aumentará.

55 El documento DE 198 04 580 muestra diferentes realizaciones de un diodo semiconductor de potencia por las cuales puede evitarse el efecto de fallo de borde mencionado anteriormente. Los métodos propuestos pueden dividirse fundamentalmente en dos categorías diferentes: el borde de la capa del ánodo puede hacerse menos sensible a la corriente de huecos usando diferentes métodos de terminación o como alternativa, puede eliminarse la corriente de huecos. En una realización la capa de ánodo comprende una región central p+ altamente dopada, que está rodeada por una región exterior del diodo con una concentración menor de dopantes (dopado p-). En este caso, la eficacia del emisor de la región de borde del ánodo será menor y por lo tanto se almacenará un menor plasma de electrones-huecos por debajo del área de la terminación de la unión, reduciendo de este modo el efecto de avalancha dinámica durante el paso a no conducción del diodo. Como alternativa, puede usarse una técnica de terminación de la unión no plana, donde la capa del ánodo se somete a un proceso de grabado, dejando una región central de dopaje p+ tipo meseta con el metal de contacto situado en la parte superior de la meseta. Adicionalmente, en otra realización la

capa de cátodo con dopaje n+ se extiende sólo en una parte central del diodo y está rodeada por una capa con dopaje n. Como alternativa, también es posible restringir la capa de metal del cátodo a la parte central del diodo. En ambos casos, el área de emisión de electrones sobre la cara del cátodo se va a reducir lateralmente. El flujo de corriente en las regiones exteriores del diodo se reducirá y se almacenará una menor carga, reduciendo de nuevo el flujo de huecos dentro del borde de la unión del ánodo durante la recuperación inversa.

En el documento DE 10330 571 se muestra un diodo vertical. El diodo tiene una capa de cátodo, que está rodeada por un área de contacto de bajo dopaje de tipo n- en el borde. Por tal cátodo la inyección de electrones se reducirá extremadamente, pero no puede eliminarse completamente.

El documento EP 0 485 059 muestra un diodo de potencia con una capa n++ altamente dopada sobre la cara del cátodo. Fuera del área activa, se incorporan zonas p++ altamente dopadas en la capa n++ de modo que se alternan las zonas n++ y p++, siendo iguales entre sí los anchos de estas zonas. Una capa de la oblea con dopaje n+ cubre las zonas p++ así como la capa n++. Las zonas p++ y las zonas n++ están en contacto con el electrodo del cátodo, que cubre toda la superficie del diodo sobre la cara del cátodo. Como en este dispositivo las zonas p++ se alternan con las zonas n++ del lado del cátodo, se reduce la inyección de portadores desde la región exterior del área activa, pero aún hay portadores que pueden inyectarse desde esta región.

El documento US 4377816 se refiere a un diodo de avalancha con zonas p+ rodeando una capa n+. Las zonas p+ están dispuestas a distancia de la capa n+ y las zonas p+ están dispuestas directamente adyacentes a la capa base con dopaje n-. La metalización de la cara del cátodo cubre sólo la parte central del dispositivo por debajo de la capa n+, porque de otro modo las portadoras fluirían sobre la capa base con dopaje n- directamente al electrodo del cátodo, de este modo el efecto de la capa con dopaje n+ se perdería y se reduciría la intensidad máxima de campo. Además, para la fabricación de la metalización del cátodo es necesaria una etapa de enmascaramiento adicional.

Los documentos FR 1 490 051 y EP 0 794 578 muestran un diodo con islas p+ que están dispuestas sobre la cara del cátodo dentro de la capa n+ en la región activa para inyectar huecos durante la recuperación, mejorando de este modo la suavidad en la recuperación del diodo.

Descripción de la invención

Es un objeto de la invención proporcionar un diodo semiconductor de potencia con una robustez mejorada durante el paso a no conducción (recuperación inversa) para evitar o al menos reducir un efecto de avalancha dinámica y un posterior calentamiento local del borde de la difusión del ánodo.

Este objeto se consigue por el dispositivo semiconductor de potencia de acuerdo con la reivindicación 1.

Tal diodo semiconductor de potencia inventivo es robusto durante el paso a no conducción porque el efecto de avalancha dinámica y el calentamiento local excesivo en el borde de la unión pn del área activa causado por los huecos almacenados que fluyen de vuelta al interior de la segunda capa puede evitarse. Esto se consigue limitando el área de emisión de la primera zona del primer tipo de conductividad a aproximadamente el mismo tamaño que la segunda capa introduciendo una segunda zona del segundo tipo de conductividad sobre el borde de la primera zona. En la segunda zona, no se emitirán portadores durante el estado de conducción y de este modo no se almacenará una carga adicional en la primera capa por debajo de la terminación de la unión de la segunda capa. Por lo tanto no se inyectan portadores desde todo el área que rodea al área activa, es decir, desde el área que rodea a la primera zona. La segunda zona está dispuesta como una capa continua, que rodea a la primera zona y cubre todo el borde del dispositivo entre el área activa y el borde. Debido a la introducción de la segunda zona, la inyección de portadores (electrones) durante el estado de conducción puede pararse completamente. Durante la recuperación inversa, toda la corriente a través del área de alto campo eléctrico alrededor del borde de la segunda capa se eliminará o al menos se reducirá enormemente. De este modo, puede conseguirse un área segura de operación de más alta recuperación inversa y el dispositivo puede actuarse con corrientes directas más altas, voltajes inversos más altos, temperatura de la unión más alta y cambios en el tiempo de la corriente de conmutación (di/dt) más altos en comparación con un dispositivo convencional. La caída de voltaje del estado de conducción no afectará apreciablemente a la introducción de al menos una segunda zona, porque el área por debajo de la terminación de la unión no transporta mucha corriente.

De acuerdo con la invención, la quinta capa conductiva eléctricamente cubre completamente la cara de la tercera capa, que está dispuesta enfrente de la primera capa. La fabricación de tal metalización es fácil, porque no se necesita ninguna máscara para conseguir la capa, reduciendo de este modo los costes y evitando las delicadas etapas de enmascaramiento. La ventaja de que no se inyecten portadores desde fuera del área activa, es decir, desde el área que rodea a la primera zona puede mantenerse incluso con tal metalización sobre toda la cara, porque debido a la segunda zona, que rodea completamente a la primera zona, aún no pueden inyectarse portadores.

La estructura de la segunda cara principal tiene que alinearse en relación con la segunda capa sobre la primera capa principal. Debido a que la estructura sobre la segunda cara principal es relativamente gruesa, este alineamiento puede conseguirse fácilmente y el dispositivo semiconductor inventivo puede producirse fácilmente y

sin etapas de fabricación delicadas.

Breve descripción de los dibujos

- 5 El tema objeto de la invención se explicará con más detalle en el texto siguiente con referencia a los dibujos adjuntos, en los que:
- la FIG. 1 muestra una vista de la sección transversal sobre un dispositivo semiconductor de potencia de acuerdo con la técnica anterior;
- 10 la FIG. 2 muestra una vista de la sección transversal sobre una primera realización de un dispositivo semiconductor de potencia de acuerdo con la invención;
- la FIG. 3 muestra una vista de la sección transversal sobre una realización adicional de un dispositivo semiconductor de potencia de acuerdo con la invención.
- 15 la FIG. 4 muestra una vista de la sección transversal sobre una realización adicional de un dispositivo semiconductor de potencia de acuerdo con la invención.
- 20 la FIG. 5 muestra una vista de la sección transversal sobre una realización adicional de un dispositivo semiconductor de potencia de acuerdo con la invención.

Los símbolos de referencia usados en las figuras y sus significados se resumen en la lista de símbolos de referencia. Generalmente, se dan los mismos símbolos de referencia a las partes iguales o que funcionan igual. Las realizaciones descritas se supone que son ejemplos y no limitan la invención.

Modos para la realización de la invención

En la FIG. 1 se muestra un dispositivo semiconductor de potencia de acuerdo con la técnica anterior. El dispositivo semiconductor 1 comprende una primera capa con dopaje n-, que forma la capa base. La primera capa tiene una primera cara principal 21, que es el cara del ánodo, y una segunda cara principal 22 que es la cara del cátodo y que se encuentra en oposición de la primera cara principal 21. Sobre la primera cara principal 21 está dispuesta una segunda capa 3 con dopaje p+, que forma una capa del ánodo en una región central de la primera cara principal 21. Sobre la segunda capa 3 está dispuesta una cuarta capa conductora eléctricamente 4 del lado opuesto a la primera capa 2. La cuarta capa 4 forma el contacto eléctrico del ánodo y es típicamente una metalización, que cubre completamente la segunda capa 3. Está rodeada por una capa de aislamiento 7. Sobre la primera cara principal 21, en una región de terminación, que se encuentra debajo de la capa de aislamiento 7, a menudo se disponen regiones de protección con dopaje p 8 (terminación de la unión). Estas regiones de protección 8 rodean la segunda capa 3. La región de protección puede fabricarse usando por ejemplo anillos de guarda flotantes.

Sobre la segunda cara principal 22, se dispone una tercera capa 5 (área rodeada por una línea gruesa de puntos en la FIG. 1), que comprende una primera zona 51 con dopaje n+. La concentración de dopaje de la primera zona 51 es más alta que la de la primera capa base 2. Lateralmente la tercera capa 5 puede extenderse hasta el borde del dispositivo semiconductor 1 o puede estar dispuesta sólo en una región central sobre la segunda cara principal 22. Una quinta capa conductiva eléctricamente 6 está dispuesta sobre la tercera capa 5 sobre la cara opuesta de la primera capa 2. La quinta capa 6 forma el contacto eléctrico del cátodo y es típicamente una metalización. El área entre la segunda capa 3 y la primera zona 51 define el área activa 9 del diodo (área rodeada por una fina línea de puntos en la FIG. 1). Una sexta capa 10 con dopaje n, que forma una capa de la oblea, puede estar dispuesta entre la primera zona 51 con dopaje n+ y la primera capa base 2. El dopaje de la sexta capa 10 es menor que el dopaje de la primera zona n+ 51, pero más alta que el dopaje de la primera capa 2.

La FIG. 2 muestra una vista de la sección transversal sobre una primera realización de un dispositivo semiconductor de potencia inventivo 1, en particular un diodo de potencia. La construcción del dispositivo semiconductor es la misma que para el dispositivo semiconductor como se muestra en la FIG. 1, además de que la tercera capa 5 comprende una primera zona 51 con dopaje n+ y una segunda zona 52 con dopaje p+, que está dispuesta en el mismo plano que la primera zona 51 y en el borde del dispositivo. La segunda zona 52 rodea completamente a la primera zona 51. La primera capa base 2 no está en contacto directo con la quinta capa del cátodo conductivo eléctricamente 6. Al menos parte de la primera zona 51 está dispuesta dentro de una región opuesta directamente a la segunda capa 3. Una sexta capa 10, que forma una capa de la oblea, está dispuesta entre la segunda zona con dopaje p+ 52 y la primera capa base 2. En esta realización, la zona 52 está dispuesta directamente adyacente a la primera zona 51, de modo que las zonas 51, 52 están en contacto entre sí y forman una capa continua, que cubre completamente la primera capa 2 y la sexta capa 10 sobre la segunda cara principal 22. La segunda zona 52 cubre completamente la quinta capa conductiva eléctricamente 6 sobre su cara hacia la primera capa 2 alrededor del área activa 9, 9', 9'', 9''' y la capa sexta 10. La sexta capa de la oblea 10 está difundida con mayor profundidad dentro de la primera capa que la segunda zona con dopaje p+ 52, típicamente tiene una concentración de superficie de menos de 10^{16} cm^{-3} , y está dispuesta típicamente a una profundidad (medida desde la cara de la tercera capa 5 opuesta a

la primera capa 2) de 10 μm hasta 50 μm . Esta sexta capa de la oblea 10 para el campo eléctrico de alcanzar la segunda zona 52 con dopaje p+ durante el bloqueo. La sexta capa de la oblea 10 puede extenderse también a la región entre la primera zona 51 con dopaje n+ y la primera capa 2 o incluso ser una capa continua que cubre completamente la primera zona 51 con dopaje n+ y la segunda zona 52 con dopaje p+, por ejemplo en forma de una estructura de anillo rodeando el área activa 9, 9', 9'', 9'''. En ese caso, la segunda zona 52 cubre completamente la quinta capa conductiva eléctricamente 6 sobre su cara hacia la primera capa 2, alrededor del área activa 9, 9', 9'', 9''' y la capa sexta 10.

Como alternativa a lo que se ha descrito anteriormente, puede haber una distancia lateral entre la primera zona 51 con dopaje n+ y la segunda zona 52 con dopaje p+, es decir la primera zona 51 con dopaje n+ no toca sobre la segunda zona con dopaje p+ 52, y la segunda zona 52 rodea completamente la primera zona 51. En este caso, la sexta capa de la oblea 10 tiene que estar dispuesta entre la segunda zona 52 con dopaje p+ y la primera capa 2 así como en la región entre la primera zona 51 con dopaje n+ y la segunda zona 52 con dopaje p+ de modo que la primera capa base 2 no está en contacto directo con la quinta capa de cátodo conductiva eléctricamente 6. En este caso, la sexta capa de la oblea 10 impide que el campo eléctrico alcance la segunda zona 52 con dopaje p+ y la quinta capa de cátodo conductivo eléctricamente 6 en las partes que ni están cubiertas por la primera zona ni por la segunda zona 51, 52 durante el bloqueo. También en este caso, no pueden inyectarse portadores desde la segunda zona 52.

En la FIG. 2 la primera zona 51 está dispuesta de forma simétrica con la posición de la segunda capa de ánodo 3. El ancho 31 de la segunda capa de ánodo 3 a la que corresponde, es por ejemplo el mismo que el ancho 53 de la primera zona 51. El área activa 9' está limitada al campo entre la segunda capa de ánodo 3 y la primera zona 51 con dopaje n+. Durante el estado de conducción la zona p+ 52 no emitirá ningunos portadores dentro de la primera capa base 2. Por lo tanto, no existirá ninguna carga almacenada en la primera capa base 2 con dopaje n- por debajo de la segunda zona 52 con dopaje p+ en el borde del dispositivo. Cuando el diodo se conmuta a no conducción, el flujo de retroceso de los huecos en el borde de la segunda capa base 3 se eliminará, y de este modo se eliminará el efecto de la avalancha dinámica y la densidad de potencia disipada será más baja.

En la FIG. 3 se muestra otra realización de un dispositivo inventivo semiconductor de potencia 1. El ancho 53' de la primera zona 51 es más pequeño que el ancho 31 de la segunda capa de ánodo 3. En la FIG. 3 la primera zona 51 se encuentra de forma simétrica a la segunda capa de ánodo 3, es decir la primera zona 51 es más pequeña que la segunda capa de ánodo 3 y los bordes de la primera zona 51 están desplazados en relación con los bordes de la segunda capa de ánodo 3 en ambos lados por la misma distancia 54. El área activa 9'' es más pequeña que en la realización del dispositivo inventivo semiconductor 1 mostrado en la FIG. 2.

En la FIG. 5 se muestra otra realización del dispositivo inventivo semiconductor de potencia 1. Dentro de al menos una primera zona 51 se dispone al menos una tercera zona p+ altamente dopada 55. La, al menos una primera zona 51 y la, al menos una tercera zona 55 no se tocan entre sí. Con este dispositivo semiconductor 1 la suavidad de recuperación durante el paso a no conducción del dispositivo semiconductor 1 se mejora, es decir, se impide una brusca eliminación de la corriente de recuperación inversa con su voltaje de exceso asociado y las posteriores oscilaciones. Además, el área de funcionamiento seguro se mejora debido al hecho de que tal dispositivo auto-limitará el voltaje de exceso durante el paso a no conducción. Para la fabricación de tal dispositivo semiconductor 1 en al menos una tercera zona p+ altamente dopada 55 puede fabricarse en la misma etapa que la segunda zona 52 con dopaje p+ con la misma máscara y el mismo implante.

En la FIG. 4 se muestra otra realización del dispositivo inventivo semiconductor de potencia 1. El ancho 53'' de la primera zona 51 es mayor que el ancho 31 de la segunda capa de ánodo 3. En la FIG. 4 la primera zona 51 está dispuesta de forma simétrica a la segunda capa de ánodo 3, es decir, la primera zona 51 es mayor que la segunda capa de ánodo 3 y los bordes de la primera zona 51 están desplazados en relación con el borde de la segunda capa de ánodo 3 por ambos lados, en la misma distancia 54'. La distancia 54' no debería ser mayor que el grosor de la primera capa base 2 más 500 μm , preferiblemente no más que el grosor de la primera capa base 2. En este caso, el área activa 9'' es mayor que en la realización del dispositivo inventivo semiconductor 1 como se muestra en la FIG. 2.

El plasma se difundirá desde la cuarta capa conductiva eléctricamente 4 con un ángulo que varía menos de 45° desde la dirección perpendicular. Por lo tanto la mayor distancia posible 54'', debería corresponder al grosor de la primera capa base 2 más 500 μm , preferiblemente no más que el grosor de la primera capa base 2. La ventaja de tal diseño es que la suavidad de recuperación inversa mejorará debido a un pequeño efecto de transistor bipolar.

Por supuesto también es posible en el caso de que la primera zona 51, tenga un ancho diferente que la segunda capa 3 (mayor o menor) que la primera zona 51 esté desplazada en relación con el borde de la segunda capa 3 de forma asimétrica, de modo que la distancia 54, 54' sobre una cara de la primera zona 51 difiere del ancho 54, 54' sobre la otra cara de la primera zona 51 (no mostrado en una figura).

Como se muestra en las FIG. 2 a 5, el dispositivo semiconductor inventivo comprende en una realización preferida, regiones de protección con dopaje p 8, que rodean a la segunda capa de ánodo 3 y que forman anillos de guarda.

Como alternativa para los anillos de guarda, son posibles otros diseños para las regiones de protección 8. Estas regiones de protección 8 son ventajosas para que el diodo pueda bloquearse.

Lista de referencias

5	1	dispositivo semiconductor
	2	primera capa
	21	primera cara principal
	22	segunda cara secundaria
10	3	segunda capa
	31	ancho de la segunda capa
	4	cuarta capa
	5	tercera capa
	51	primera zona
15	52	segunda zona
	53	ancho de la primera zona
	54, 54'	diferencia de ancho
	55	tercera zona
	6	quinta capa
20	7	capa de aislamiento
	8	región de protección
	9, 9', 9", 9'''	área activa
	10	capa sexta
25		

REIVINDICACIONES

1. Dispositivo semiconductor de potencia (1) con una primera capa (2) de un primer tipo de conductividad, que tiene una primera cara principal (21) y una segunda cara principal (22) opuesta a la primera cara principal (21), una segunda capa (3) de un segundo tipo de conductividad, que está dispuesta en una región central de la primera cara principal (21), una cuarta capa conductora eléctricamente (4), que está dispuesta sobre la segunda capa (3) sobre la cara opuesta a la primera capa (2), una tercera capa (5), que está dispuesta sobre la segunda cara principal (22) y que comprende una primera zona (51) del primer tipo de conductividad con un dopaje más alto que la primera capa (2), y una quinta capa conductiva eléctricamente (6), que está dispuesta sobre la tercera capa (5) sobre la cara opuesta de la primera capa (2), definiendo el área entre la segunda capa (3) y la primera zona (51) un área activa (9, 9', 9'', 9'''), en el que la tercera capa (5) comprende una segunda zona (52) del segundo tipo de conductividad, que está dispuesta en el mismo plano que la primera zona (51), una sexta capa (10) del primer tipo de conductividad con un dopaje, que es más bajo que el de la primera zona (51) y más alto que el de la primera capa (2), está dispuesto entre la, al menos una, segunda zona (52) y la primera capa (2) la quinta capa conductiva eléctricamente (6) cubre completamente el lado de la tercera capa (5), que está dispuesta en oposición a la primera capa (2), **caracterizada porque** la segunda zona (52) rodea completamente a la primera zona (51), y **porque** la segunda zona (52) está dispuesta directamente adyacente a la primera zona (51) y cubre completamente la quinta capa conductiva eléctricamente (6) sobre su cara hacia la primera capa (2) alrededor del área activa (9, 9', 9'', 9''')
- o la segunda zona (52) está dispuesta a una distancia lateral desde la primera zona (51), en donde la sexta capa (10) está dispuesta en la región entre la primera zona (51) y la segunda zona (52) y en el que la segunda zona (52) cubre completamente la quinta capa conductiva eléctricamente (6) sobre su cara hacia la primera capa (2) alrededor del área activa (9, 9', 9'', 9''') y dicha región.
2. Dispositivo semiconductor (1) de acuerdo con la reivindicación 1 **caracterizado porque** la primera zona (51) está dispuesta de forma simétrica a la segunda capa (3) y/o a la cuarta capa conductiva eléctricamente (4).
3. Dispositivo semiconductor (1) de acuerdo con cualquiera de las reivindicaciones 1 a 2, **caracterizado porque** el ancho (53'') de la primera zona (51) es mayor que el ancho (31) de la segunda capa (3) sobre al menos una cara por una diferencia de ancho (54').
4. Dispositivo semiconductor (1) de acuerdo con la reivindicación 2 **caracterizado porque** la diferencia de ancho (54, 54') corresponde al máximo para el grosor de la primera capa (2) más 500 µm, en particular para el grosor de la primera capa (2).
5. Dispositivo semiconductor (1) de acuerdo con cualquiera de las reivindicaciones de 1 a 4, **caracterizado porque** la primera zona (51) comprende las tercera zonas (55) del segundo tipo de conductividad.
6. Dispositivo semiconductor (1) de acuerdo con cualquiera de las reivindicaciones de 1 a 5, **caracterizado porque** las regiones de protección (8) del segundo tipo de conductividad están dispuestas sobre la primera cara principal (21) en una región alrededor de la segunda capa (3).

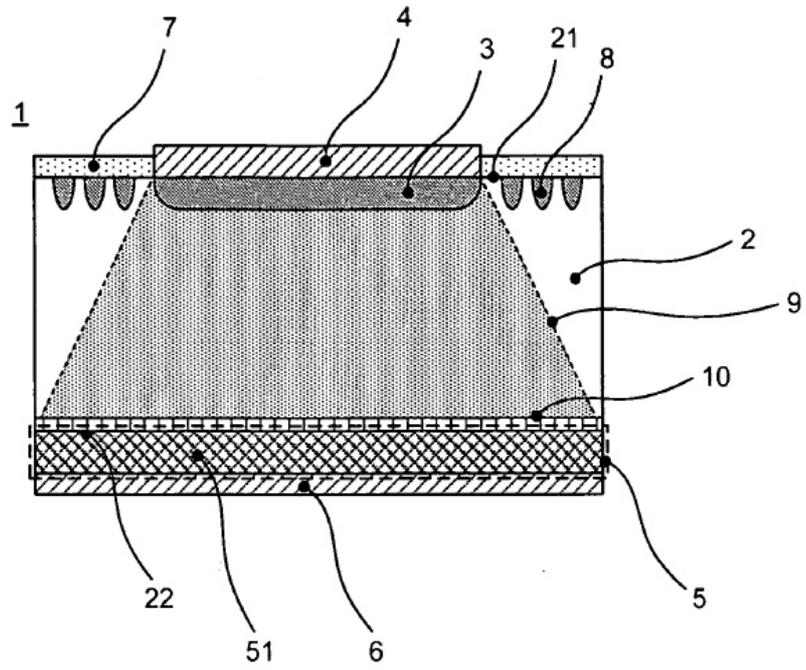


FIG. 1 Técnica anterior

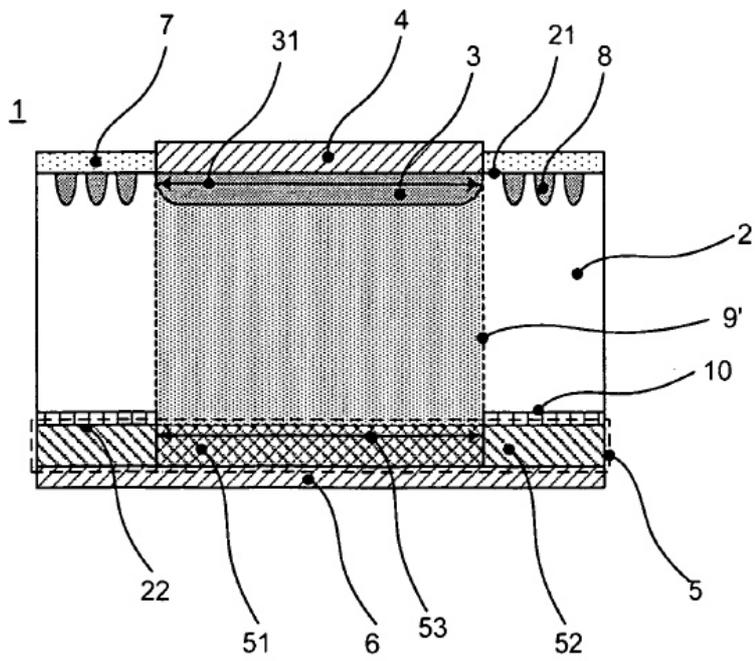


FIG. 2

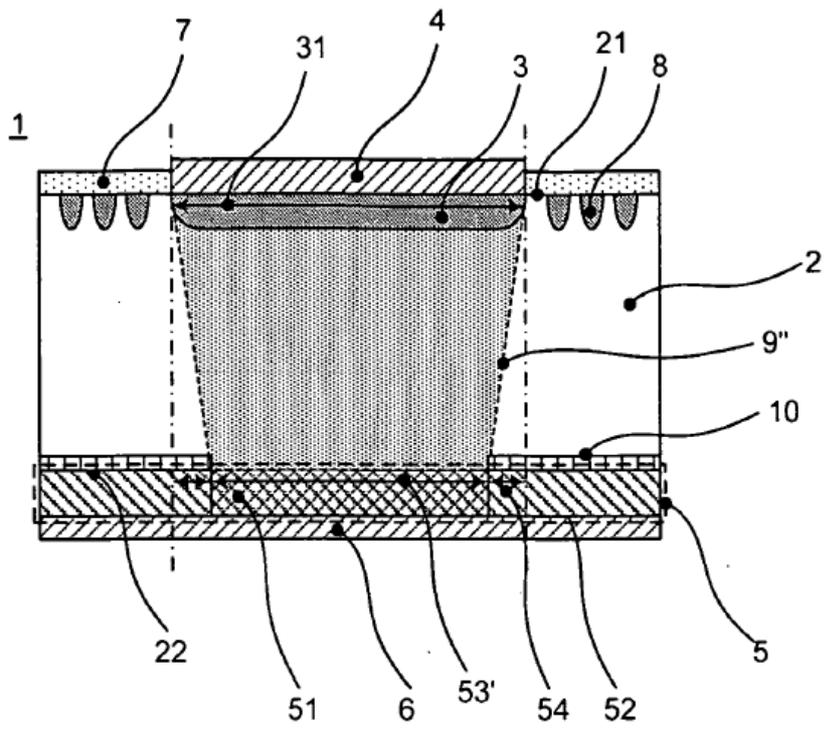


FIG. 3

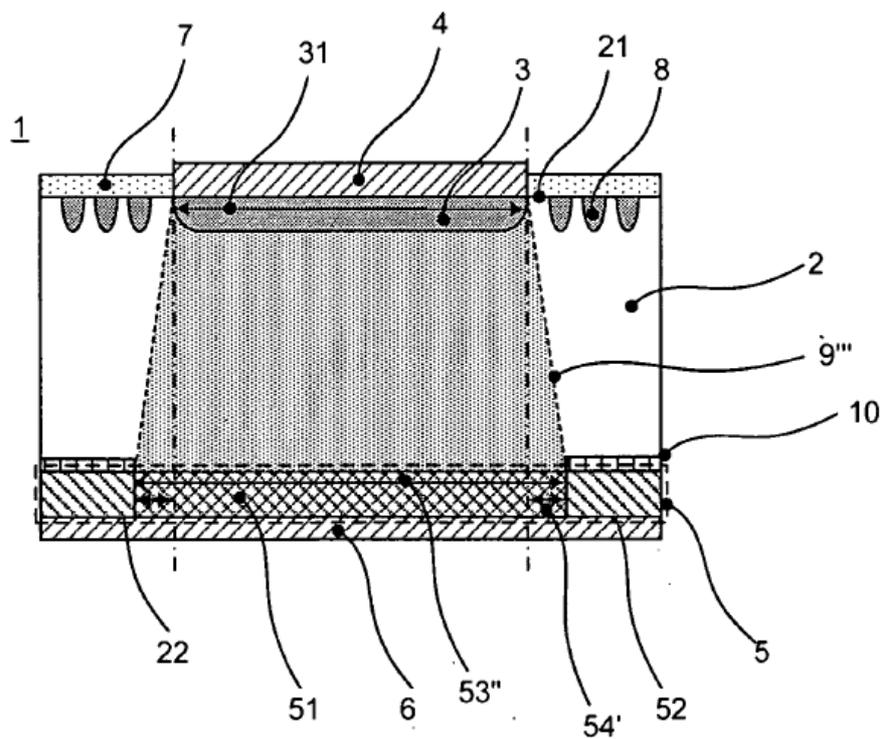


FIG. 4

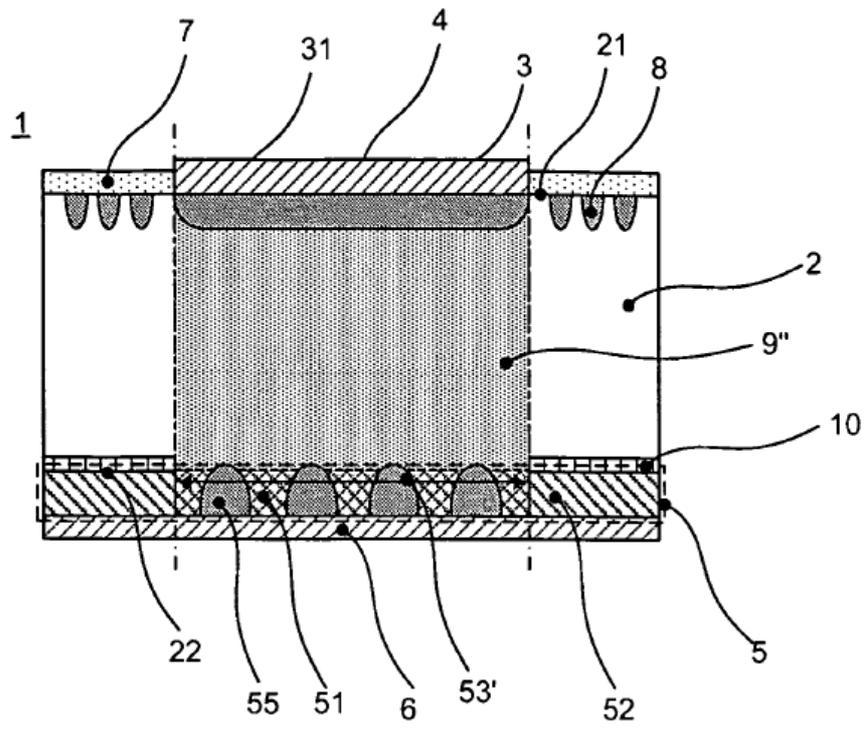


FIG. 5