

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 371 064**

51 Int. Cl.:
G06F 9/46

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **03291397 .2**

96 Fecha de presentación: **12.06.2003**

97 Número de publicación de la solicitud: **1372074**

97 Fecha de publicación de la solicitud: **17.12.2003**

54 Título: **MÉTODO Y SISTEMA DE GESTIÓN DE EVENTOS.**

30 Prioridad:
12.06.2002 FR 0207188

45 Fecha de publicación de la mención BOPI:
27.12.2011

45 Fecha de la publicación del folleto de la patente:
27.12.2011

73 Titular/es:
**MBDA FRANCE
37, BOULEVARD DE MONTMORENCY
75016 PARIS, FR**

72 Inventor/es:
**Vazeille, Philippe y
Bourgoin, Jean-Pierre**

74 Agente: **de Elzaburu Márquez, Alberto**

ES 2 371 064 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método y sistema de gestión de eventos.

Antecedentes de la invención

5 La presente invención concierne a la gestión de los eventos en un sistema informático estándar que incluye una unidad central de proceso conectada a unas unidades de memoria y unos periféricos mediante un bus de información que permite un montaje multimaestro.

10 La gestión de determinados procesos precisa tomar en cuenta la detección de parámetros y el envío de las apropiadas instrucciones de mando en tiempo real o en un tiempo extremadamente corto del orden del microsegundo (μ s). Se da con este tipo de aplicación en el ámbito aeronáutico o espacial o en la gestión de determinados procesos industriales.

Existen sistemas de gestión en tiempo real basados en controladores lógicos programables. El inconveniente de estos controladores lógicos es sus escasas potencias de procesamiento y, sobre todo, sus incompatibilidades con las redes informáticas convencionales. En efecto, la condición específica de los sistemas basados en los controladores lógicos no permite conectar estos sistemas a una red informática de arquitectura estándar.

15 Por otro lado, en un sistema informático estándar, por ejemplo basado en un microordenador, equipado con canales de comunicación o buses rápidos de información (por ejemplo, el bus PCI) y pilotado por un sistema operativo multitarea (por ejemplo Windows NT), no es posible la gestión en tiempo real entre diferentes unidades del sistema informático.

20 La figura 13 muestra de una forma muy esquemática un sistema informático estándar que incluye una unidad central de proceso 10 pilotada mediante un reloj, por ejemplo a 10 MHz (no representado), una unidad de memoria 20 y unos periféricos 30, 40, a los que se añade un entorno de soporte lógico o sistema operativo necesario para el procesamiento de la información. La unidad central de proceso 10 es la encargada del gobierno y las operaciones aritméticas y lógicas. La unidad de memoria 20 comprende tanto memoria RAM 21 como memoria ROM 23, en tanto que los periféricos comprenden interfaces de entrada y de salida. Los intercambios de datos, de direcciones, de señales de control y de sincronización entre las diferentes unidades del sistema informático se operan en virtud de un bus de información 50.

25 En un sistema informático estándar de este tipo, equipado con un sistema operativo llamado «de tiempo real», no se ha previsto nada para procesar de forma precisa y rápida la llegada de señales discretas o de datos por el bus de información 50. Esta clase de sistema operativo tan sólo permite un diálogo entre la unidad central de proceso y otra unidad y con tiempos de respuesta del orden del milisegundo (ms), que son inadaptados para procesos que incluyen parámetros importantes y muy sensibles como en el ámbito aeronáutico y espacial.

30 Se conocen otros ejemplos referentes a la gestión de los eventos en un sistema informático por el documento de Halang y col., titulado «High accuracy concurrent event processing in hard real-time systems», Real Time Systems, vol. 12, nº. 1, páginas 77-94 (1197), así como por el documento US5010482.

35 Objeto y resumen de la invención

La invención tiene por finalidad subsanar estos inconvenientes y a tal efecto propone un procedimiento de gestión de los eventos, en un sistema informático estándar que incluye una unidad central de proceso conectada a unidades de memoria y periféricos mediante un bus de información que permite un montaje multimaestro.

El procedimiento comprende las siguientes etapas:

- 40
- recibir los eventos,
 - fechar y almacenar esos eventos,
 - asignar a cada evento recibido al menos una acción apropiada,
 - ejecutar esa acción como respuesta al evento recibido,

45 de modo que las antedichas etapas de gestión se realizan en tiempo real sin acceder a la unidad central de proceso, mediante una unidad de gestión comprendida en un módulo de gestión independiente enlazado con el bus de información e implantado en el sistema informático estándar, fechándose cada evento recibido por medio de un reloj de fechado comprendido en la unidad de gestión y almacenándose éste, por una parte, en una primera memoria asociada a la unidad de gestión y, por otra parte, en una segunda memoria asociada a la unidad de gestión con su fecha de llegada, siendo procesados los eventos almacenados en dicha primera memoria de una manera síncrona y siendo leída dicha acción asignada al evento recibido de una tabla de las acciones en una memoria RAM asociada a la unidad de gestión y preprogramada a través del bus de información.

Así, un sistema informático estándar se transforma en un sistema de tiempo real mediante la implantación de un único módulo de gestión adicional.

5 La llegada de un evento, su fechado y su memorización son del orden de dos ciclos de reloj de fechado a 10 MHz, la búsqueda de la acción en la memoria RAM es del orden de diez ciclos de reloj de sincronización a 33 MHz, la preparación del procesamiento es del orden de dos ciclos de reloj de sincronización a 33 MHz y la ejecución de la acción es del orden de 5 ciclos de reloj de sincronización a 33 MHz, de modo que la gestión en tiempo real es del orden de un microsegundo.

Preferentemente, el módulo de gestión independiente está aislado de la unidad central de proceso mediante un puente.

10 La acción que ha de ejecutarse se lee de una tabla de las acciones asociada a la unidad de gestión y es preprogramada a través del bus de información.

Los eventos recibidos por la unidad de gestión pueden ser generados por un registro de reloj interno al módulo de gestión, por una unidad adyacente al módulo de gestión o por un equipo exterior al sistema informático.

15 Los eventos recibidos por la unidad de gestión son sincronizados a una frecuencia correspondiente a la de un reloj interno al sistema informático.

Según un modo particular de la invención, los eventos recibidos del equipo exterior se filtran con el fin de eliminar ocasionales parásitos.

Ventajosamente, se genera una interrupción mediante la unidad de gestión cuando no se puede asociar un evento a una acción.

20 La invención tiene también por finalidad proveer un módulo de gestión de los eventos implantado en un sistema informático estándar que incluye una unidad central de proceso conectada a unidades de memoria y periféricos mediante un bus de información que permite un montaje multimaestro, dicho módulo comprende:

25 - una unidad de gestión independiente, enlazada a través de una interfaz con la unidad central de proceso por intermedio del bus de información, estando destinada dicha unidad de gestión a recibir y a procesar esos eventos en tiempo real sin la mediación de la unidad central de proceso,

- un reloj de fechado destinado a fechar esos eventos antes de almacenarlos, por una parte, en una primera memoria interna a la unidad de gestión y, por otra parte, en una segunda memoria (74) interna a la unidad de gestión (70) con su fecha de llegada, siendo procesados por la unidad de gestión (70) de una manera síncrona los eventos almacenados en dicha primera memoria (73), y

30 - una memoria RAM que comprende una tabla de las acciones preprogramada, asociada a la unidad de gestión, destinada a asignar acciones apropiadas a los eventos recibidos por esta última.

El bus de información es un bus estandarizado del tipo elegido de entre un bus PCI, un bus VME, un bus compacto PCI, un bus USB.

35 Ventajosamente, las memorias primera y segunda son del tipo FIFO y la memoria RAM que comprende la tabla de las acciones es una memoria RAM de doble puerto.

Breve descripción de los dibujos

Otras particularidades y ventajas del procedimiento y del sistema según la invención se desprenderán de la lectura de la descripción que a continuación se hace, a título indicativo pero no limitativo, haciendo referencia a los dibujos que se acompañan, en los que:

40 La figura 1 es una vista muy esquemática de un módulo de gestión de los eventos, según la invención, implantado en un sistema informático estándar;

la figura 2 es una vista muy esquemática de un módulo de gestión de los eventos, según la invención, implantado en un sistema informático estándar de una arquitectura basada en un bus de información de tipo PCI;

la figura 3 es un esquema detallado de un módulo de gestión de los eventos de las figuras 1 y 2;

45 la figura 4 muestra las diferentes zonas de una palabra almacenada en una tabla de las acciones según la invención;

la figura 5 es un organigrama que muestra el desarrollo general de un proceso de gestión de los eventos según la invención;

la figura 6 es un organigrama que muestra un proceso de detección de los eventos según la figura 5;

la figura 7 es una variante de la figura 6;

la figura 8 es un organigrama que muestra un proceso de procesamiento de los eventos según la figura 5;

la figura 9 ilustra un ejemplo de gestión de un evento procedente de un registro de reloj interno según la invención;

la figura 10 muestra unas palabras almacenadas en una tabla de las acciones según el ejemplo de la figura 9;

5 la figura 11 ilustra un ejemplo de gestión de un evento externo según la invención;

la figura 12 muestra unas palabras almacenadas en una tabla de las acciones según el ejemplo de la figura 11; y

la figura 13 es una vista muy esquemática de un sistema informático estándar según la técnica anterior.

Descripción detallada de las formas de realización

10 La figura 1 muestra de forma muy esquemática la implantación de un módulo de gestión 60 de los eventos, según la invención, en un sistema informático estándar. El módulo de gestión 60 está enlazado con la unidad central de proceso 10 a través de un bus de información 50 que admite un montaje multimaestro o multiprocesador que permite así, al módulo de gestión 60, operar por separado y de una manera independiente de la unidad central de proceso 10. En esta ocasión, el bus de información 50 es un bus estandarizado del tipo PCI, VME, compacto PCI o USB. Así, la implantación del módulo de gestión 60 transforma el sistema informático estándar en un sistema informático de tiempo real.

15 La figura 2 es, en efecto, un ejemplo de un módulo de gestión 60 de los eventos, implantado en un sistema informático estándar de una arquitectura basada en un bus de información 50 de tipo PCI. El bus PCI es un bus síncrono que soporta una multiplexación de datos, de direcciones y de señales y que permite un montaje multimaestro. Además, las especificaciones del bus PCI capacitan la interconexión y el empleo de pasarelas o puentes. Esta figura muestra que las unidades de memoria 20, periféricos 30, 40 así como el módulo de gestión 60 están instalados en cascada, respectivamente a través de los puentes 55, 56, 57. Los puentes desempeñan la función de filtros para las unidades a las que no concierne el diálogo de la unidad central de proceso. Así, el puente 57 permite aislar mejor el módulo de gestión 60 de la unidad central de proceso 10 cuando el primero está en diálogo con otras unidades electrónicas.

20 La figura 3 muestra de manera más detallada el módulo de gestión 60 de los eventos de las figuras 1 y 2. Este módulo comprende una unidad de gestión 70, pilotada por un reloj de sincronización, por ejemplo a una frecuencia de 33 MHz. Esta unidad de gestión 70 está destinada a recibir eventos 80 y a ejecutar correspondientes acciones 90 en tiempo real y sin la mediación de la unidad central de proceso. A cada evento recibido se le asigna al menos una acción apropiada. Para ello, la unidad de gestión 70 está en enlace con una memoria RAM 61, por ejemplo de tipo RAM doble puerto, accesible en lectura y en escritura. Por supuesto, la unidad de gestión 70 se halla conectada al bus de información 50 a través de una interfaz estándar 63 que facilita el intercambio de datos con este bus de información 50. Por otro lado, el módulo de gestión 60 incluye una pluralidad de registros de reloj o contadores internos, no representados en la figura y que pueden encontrarse en la unidad de gestión 70 o en la interfaz 63. A título de ejemplo, el módulo de gestión 60 incluye dieciséis registros de reloj de 20 bits temporizados al milisegundo.

25 Con carácter general, un evento 80 está definido por una señal de disparo que identifica el evento y eventualmente por un vector o puntero que indica a la unidad de gestión 70 la dirección de la acción o de las acciones correspondientes que han de ejecutarse.

Por otro lado, la unidad de gestión 70 incluye un reloj de fechado 71, por ejemplo de una frecuencia de 10 MHz que permite así fechar un evento 80 con una precisión de la centena de nanosegundo.

30 Este reloj de fechado 71 puede estar constituido a partir de un primer registro de 16 bits y de un segundo registro de 32 bits. El primer registro realiza una base de tiempos intermedia a 1 milisegundo y a continuación pilota el segundo registro con esta base de tiempos, de modo que un evento 80 puede ser fechado durante $2^{32} \cdot 10^{-3} = 4,3 \cdot 10^6$ segundos.

35 Además, la unidad de gestión 70 está asociada a una primera memoria 73 y a una segunda memoria 74 destinadas a almacenar los eventos 80 recibidos. Preferentemente, las memorias primera 73 y segunda 74 son internas a la unidad de gestión 70.

A título de ejemplo, la primera memoria 73 es del tipo «primero en entrar, primero en salir o FIFO» de 256 palabras de 16 bits que guarda los eventos que quedan por procesar por orden cronológico.

40 La segunda memoria 74 puede estar constituida a partir de dos zonas de memoria de tipo FIFO accesibles independientemente. Una primera zona de memoria está destinada a almacenar fechas en milisegundos y una segunda zona de memoria está destinada a almacenar los eventos.

- 5 La primera zona de memoria de los milisegundos se compone, por ejemplo, de 256 palabras de 32 bits que representan la fecha, en milisegundos, de la llegada del evento. La segunda zona de memoria de los eventos se compone, por ejemplo, de 256 palabras de 32 bits, de modo que los ocho bits más significativos permiten conocer el origen del evento, representando los siguientes ocho bits el número del vector que ha producido el evento y representando los dieciséis bits menos significativos el tiempo en centenas de nanosegundo.
- 10 De conformidad con la invención, la memoria RAM 61 comprende una tabla de las acciones que memoriza palabras que definen la acción en función del evento. La figura 4 es un ejemplo que muestra las diferentes zonas de una palabra 610 de 32 bits de la tabla de acción. Los ocho bits más significativos corresponden a un vector de entrada 611 asociado al evento, los siguientes tres bits representan la acción 612 correspondiente, los siguientes ocho bits representan un vector de salida 613 asociado a la acción seguida de un complemento 614 de cinco bits, los siguientes cuatro bits representan una señal de salida 615 y, por último, los cuatro bits menos significativos representan el número 616 de un registro de reloj.
- 15 Se hace notar que la tabla de las acciones se inicializa o escribe antes de la puesta en marcha del procesamiento de los eventos, a través del bus de información 50, y puede ser leída en todo momento a través del mismo bus.
- 20 Se describirá a continuación un procedimiento de gestión de los eventos, según la invención, haciendo referencia a las figuras 5 a 8 además de a la figura 3.
- La figura 5 es un organigrama que muestra el desarrollo general del proceso de gestión de los eventos que comprende fases de detección, de procesamiento y de observación de esos eventos.
- 25 En la etapa 100, se señala un evento 80 mediante una señal de disparo que puede provenir ya sea del exterior del sistema informático, ya sea a través del bus de información 50 mediante la escritura de un dato procedente de una unidad adyacente a la unidad de gestión 70, o bien de un registro de reloj interno al módulo de gestión 60.
- En la etapa 200, el evento es detectado por la unidad de gestión 70 y es fechado con una precisión del orden de 100 nanosegundos, en virtud del reloj de fechado 71. El evento recibido se almacena, por una parte, en la primera memoria 73 (etapa 260) y, por otra parte, en la segunda memoria 74 con su fecha de llegada (etapa 270).
- 30 En la etapa 300, se procesan de una manera síncrona los eventos almacenados en la primera memoria interna 73. A continuación, en la etapa 340, se ejecuta la acción después de una lectura de la tabla de las acciones de la memoria RAM 61. La acción puede estar destinada a un registro de reloj, al bus de información, a un generador de señales o a una interfaz de entrada-salida.
- 35 En general, la gestión en tiempo real del evento es menor o igual que aproximadamente un microsegundo. A título de ejemplo, la llegada de un evento, su fechado y su memorización corresponden a 2 ciclos de reloj de fechado a 10 MHz, es decir, a 200 nanosegundos. La búsqueda de la acción en la memoria RAM 61 de doble puerto corresponde a 10 ciclos de reloj de sincronización a 33 MHz, es decir, a 303 nanosegundos. La preparación del procesamiento corresponde a 2 ciclos de reloj de sincronización a 33 MHz, es decir, a 60,6 nanosegundos. Y la ejecución de la acción, en el caso de una arquitectura de bus PCI en modo maestro, corresponde a 5 ciclos de reloj de sincronización a 33 MHz, es decir, a 151,5 nanosegundos. Así, en este ejemplo, el tiempo global de respuesta es de 715,1 nanosegundos y, por tanto, inferior a 1 microsegundo.
- En la etapa 400, los eventos almacenados en la segunda memoria interna 74 pueden ser observados a través del bus de información 50 (etapa 450) de una manera en sí conocida, por mediación del entorno de soporte lógico del sistema informático estándar. Así, es posible controlar y remontarse en el historial de esos eventos.
- 40 La figura 6 muestra de forma más detallada el proceso de detección de los eventos. De manera independiente, la naturaleza del evento recibido puede estar constituida a partir de una señal de disparo interna (etapa 110), de una señal de disparo externa (etapa 120), de una señal de disparo con un vector asociado procedente del bus de información (etapa 130) o de una señal de disparo externa con un vector asociado (etapa 140). Se hace notar que se eliminan, por ejemplo de forma aleatoria, ocasionales conflictos entre diferentes eventos simultáneos.
- 45 La señal de disparo interna (etapa 110) puede resultar de un registro de reloj interno al módulo de gestión 60 y que desencadena señales a intervalos de tiempo preprogramados. Estos intervalos de tiempo pueden ser regulares, con el fin de permitir que la unidad de gestión 70 emita una orden de emisión de datos de forma cíclica y determinista. La unidad de gestión puede decidir la puesta en marcha o la parada de estos registros. Por otro lado, los registros de reloj pueden tener un funcionamiento automático.
- 50 Se hace notar que, al estar ya sincronizada la señal procedente de un registro de reloj interno, entonces se pasa directamente una etapa 250 después de la recepción de esta señal.
- Además, los eventos recibidos en las etapas 120, 130 y 140 se sincronizan nuevamente a la frecuencia del reloj interno del sistema informático, respectivamente en las etapas 221, 231 y 241 antes de ir a la etapa 250. Esta frecuencia de nueva sincronización es, por ejemplo, del orden de 10 MHz.

En la siguiente etapa 250, a cada evento recibido por el reloj de fechado 71 se le asigna una fecha de llegada, con la precisión de la centena de nanosegundo.

5 En la etapa 255, los eventos son identificados por la unidad de gestión 70 y, en su caso, autovectorizados, es decir, se reservan vectores para ser asociados, por una parte, a las señales externas que no incluyen vectores y, por otra parte, a las señales procedentes de los registros de reloj interno. A continuación, en las etapas 260 y 270, se almacenan los registros.

En la etapa 260, el evento que incluye un dato correspondiente a la señal de disparo o de identificación 261 así como un dato correspondiente al vector asociado 262 se almacena en la primera memoria interna 73.

10 En la etapa 270, el evento que incluye un dato correspondiente a la señal de disparo o de identificación 271, un dato correspondiente al vector asociado 272 así como un dato correspondiente a la fecha de llegada 273 se almacena en la segunda memoria interna 74.

15 Se hace notar que, cuando la primera memoria 73 y/o la segunda memoria 74 están llenas, se genera una interrupción por parte de la unidad de gestión 70 hacia la unidad central de proceso 10, a través del bus de información 50, con el fin de señalar una ocasional pérdida de uno o varios eventos detectados. Es de destacar que esta interrupción es el único enlace, en tiempo real, con la unidad central de proceso.

20 Como variante, mediante la figura 7 se ilustra otro proceso de detección. Se distingue éste de aquél de la figura 6 en que, después de las nuevas sincronizaciones de las etapas 221 y 241, los eventos externos son filtrados respectivamente en las etapas 222 y 242 antes de ir a la etapa 250. Así, para una mejor seguridad, los eventos externos son filtrados, mediante filtros en sí conocidos, con el fin de eliminar los ocasionales parásitos procedentes de los periféricos vecinos. En cambio, el filtrado conlleva una pérdida de algunos microsegundos y, consecuentemente, un aumento del tiempo de respuesta.

La figura 8 muestra de forma más detallada el proceso de procesamiento de los eventos.

En caso de estar presentes uno o varios eventos en la primera memoria interna 73, el proceso de procesamiento se desencadena en la etapa 310.

25 En la etapa 320, los vectores o los autovectores asociados a los eventos que están almacenados en la primera memoria interna 73 se leen de manera secuencial.

30 A continuación, en la etapa 330, se busca en la tabla de las acciones el vector asociado al evento recibido en primer lugar. Si el vector indica que ya no quedan más acciones por ejecutar, entonces se regresa a la etapa 310 de inicio. Por otro lado, si no se encuentra el vector en la tabla de las acciones, una interrupción es generada y también se regresa a la etapa 310 de inicio. En cambio, si se encuentra el vector, la acción o las acciones asociadas se ejecutan en la etapa 340.

Así, en funcionamiento normal, es decir, a excepción de en una eventual interrupción, la unidad central de proceso no interviene en el proceso de detección y de procesamiento del evento. Por consecuencia, una acción se ejecuta como respuesta a un evento en un tiempo de respuesta muy rápido del orden de un microsegundo.

35 Por otro lado, la unidad central de proceso sirve por ejemplo para inicializar los registros de reloj o para iniciar la unidad de gestión. Una vez que se terminan las inicializaciones, la unidad central de proceso deja de intervenir en el proceso de gestión de los eventos y, así, puede ser empleada en cualesquiera otras tareas.

Las figuras 9 y 10 ilustran un ejemplo de gestión de un evento procedente de un registro de reloj interno.

40 En efecto, la figura 9 ilustra de forma muy esquemática un sistema informático según la invención, que incluye una unidad central de proceso 10 enlazada a través de un bus de información 50 con un módulo de gestión 60 y con una unidad de interfaz digital 85, por ejemplo una tarjeta de tipo 1553, relacionada digitalmente con un equipo externo 87. Por otro lado, dos registros de reloj 64 y 65 numerados «0» y «1» forman parte del módulo de gestión 60. Por supuesto, el número de registros de reloj no se limita a dos.

45 Al principio, la unidad central de proceso 10 inicializa los registros de reloj 64 y 65 («0» y «1») a 100 milisegundos, inicia la unidad de gestión 70 del módulo de gestión 60 e inicializa la unidad de interfaz digital 85, a través del bus de información 50.

50 Cuando el registro de reloj 64 número «0» llega al término de su conteo, genera un evento «E0» que primero pone en parada el registro «0» y que a continuación arranca un segundo registro de reloj 65 número «1». A continuación, la unidad de gestión 70 escribe por ejemplo el dato «55», a través del bus de información 50, en la unidad de interfaz digital 85, que provoca la emisión de datos hacia el equipo externo 87.

El procedimiento antes descrito puede estar codificado de la forma ilustrada mediante la tabla de las acciones representada en la figura 10.

La primera línea indica que, a la recepción del vector de entrada 611 «E0 = 11100000», la acción 612 «010» detiene el registro de reloj 64 número «0».

La segunda línea indica que la acción 612 «011» arranca el registro de reloj 65 número «1».

5 En la tercera línea, la acción 612 «000», indicativa de una escritura a través del bus de información 50, se ejecuta escribiendo el vector de salida 613 «55» con un complemento 614 «00000», en la dirección contenida en un registro «dirección 1», de la unidad de interfaz digital 85, indicado por la señal de salida 615 «0000».

La siguiente línea que contiene el vector de entrada 611 «FF = 11111111» indica a la unidad de gestión 70 que ya no quedan más acciones por ejecutar para el vector de entrada 611 «E0 ».

10 Las figuras 11 y 12 ilustran un ejemplo de gestión de un evento externo. Este ejemplo concierne a una supervisión de un determinado umbral de tensión predeterminado de un equipo externo.

15 En efecto, la figura 11 ilustra de forma muy esquemática un módulo informático según la invención, que incluye una unidad central de proceso 10, un sistema de gestión 60, una unidad de adquisición analógica 89 y una unidad de interfaz digital 85, por ejemplo una tarjeta del tipo 1553. Estas distintas unidades se hallan enlazadas entre sí a través del bus de información 50. Las unidades de adquisición analógica 89 y de interfaz digital 85 están relacionadas con un equipo externo 87. La unidad de adquisición analógica 89 supervisa el nivel de tensión del equipo externo 87, cuyo único enlace con el módulo de gestión 60 es un enlace digital a través de la unidad de interfaz digital 85.

20 La unidad central de proceso 10 inicia la unidad de gestión 70 del módulo de gestión 60, solicita a la unidad de interfaz digital 85 que envíe al equipo 87 un mensaje de inicio de generación y, por último, solicita a la unidad de adquisición analógica 89 que empiece una supervisión (flecha 88) de la tensión del equipo externo 87. A partir de ese momento, la unidad central de proceso 10 deja de intervenir en la gestión de los eventos.

25 Cuando la tensión del equipo 87 sobrepasa el umbral fijado, la unidad de adquisición analógica 89 genera (flecha 82) una señal de disparo y un vector asociado, por ejemplo el vector «11», a la unidad de gestión 70. A su vez, la unidad de gestión 70 va a sondear la tabla de las acciones y a escribir un dato, por ejemplo «22», en la unidad de interfaz digital 85. Como consecuencia de la recepción del vector «22», la unidad de interfaz digital 85 va a emitir (flecha 92) una orden al equipo externo 87 para estabilizar la tensión.

El procedimiento antes descrito puede estar codificado de la forma ilustrada mediante la tabla de las acciones representada en la figura 12.

30 A la recepción del evento en el vector de entrada 611 «11», la acción 612 «000», indicativa de una escritura a través del bus de información 50, se ejecuta escribiendo el vector de salida 613 «22» con un complemento 614 «00000», en la dirección contenida en el registro «dirección 1», de la unidad de interfaz digital 85, indicado por la señal de salida 615 «0000».

La siguiente línea que contiene el vector de entrada 611 «FF» indica a la unidad de gestión 70 que ya no quedan más acciones por ejecutar para el vector de entrada «E0».

35

REIVINDICACIONES

1. Procedimiento de gestión de los eventos, en un sistema informático estándar que incluye una unidad central de proceso (10) conectada a unas unidades de memoria (20) y unos periféricos (30, 40) mediante un bus de información (50) que permite un montaje multimaestro, que comprende las siguientes etapas:
 - 5 - recibir los eventos,
 - fechar y almacenar esos eventos,
 - asignar a cada evento recibido al menos una acción apropiada,
 - ejecutar esa acción como respuesta al evento recibido,
- 10 caracterizado porque las antedichas etapas de gestión se realizan en tiempo real sin acceder a la unidad central de proceso (10), mediante una unidad de gestión (70) comprendida en un módulo de gestión (60) independiente enlazado con el bus de información (50) e implantado en el sistema informático estándar, fechándose cada evento recibido por medio de un reloj de fechado (71) comprendido en la unidad de gestión (70) y almacenándose éste, por una parte, en una primera memoria (73) asociada a la unidad de gestión (70) y, por otra parte, en una segunda memoria (74) asociada a la unidad de gestión (70) con su fecha de llegada, siendo procesados los eventos almacenados en dicha primera memoria (73) de una manera síncrona y siendo leída dicha acción asignada al evento recibido de una tabla de las acciones en una memoria RAM (61) asociada a la unidad de gestión (70) y preprogramada a través del bus de información (50).
- 15
2. Procedimiento de gestión según la reivindicación 1, caracterizado porque la llegada de un evento, su fechado y su memorización son del orden de dos ciclos de reloj de fechado a 10 MHz, la búsqueda de la acción en la memoria RAM (61) es del orden de diez ciclos de reloj de sincronización a 33 MHz, la preparación del procesamiento es del orden de dos ciclos de reloj de sincronización a 33 MHz y la ejecución de la acción es del orden de 5 ciclos de reloj de sincronización a 33 MHz, de modo que la gestión en tiempo real es del orden de un microsegundo.
- 20
3. Procedimiento de gestión según una cualquiera de las reivindicaciones 1 y 2, caracterizado porque el módulo de gestión (60) independiente está aislado de la unidad central de proceso (10) mediante un puente (57).
- 25
4. Procedimiento de gestión según una cualquiera de las reivindicaciones 1 a 3, caracterizado porque los eventos recibidos por la unidad de gestión (70) son generados por un registro de reloj (64, 65) interno al módulo de gestión (60).
- 30
5. Procedimiento de gestión según una cualquiera de las reivindicaciones 1 a 3, caracterizado porque los eventos recibidos por la unidad de gestión (70) provienen de una unidad adyacente (89) al módulo de gestión (60).
6. Procedimiento de gestión según una cualquiera de las reivindicaciones 1 a 3, caracterizado porque los eventos recibidos por la unidad de gestión (70) provienen de un equipo (87) exterior al sistema informático.
- 35
7. Procedimiento de gestión según una cualquiera de las reivindicaciones 5 y 6, caracterizado porque los eventos recibidos por la unidad de gestión (70) son sincronizados a una frecuencia correspondiente a la de un reloj interno al sistema informático.
8. Procedimiento de gestión según una cualquiera de las reivindicaciones 6 y 7, caracterizado porque los eventos recibidos del equipo exterior (87) se filtran con el fin de eliminar ocasionales parásitos.
9. Procedimiento de gestión según una cualquiera de las reivindicaciones 1 a 8, caracterizado porque se genera una interrupción mediante la unidad de gestión (70) cuando no se puede asociar un evento a una acción.
- 40
10. Módulo de gestión de los eventos, implantado en un sistema informático estándar que incluye una unidad central de proceso (10) conectada a unas unidades de memoria (20) y unos periféricos (30, 40) mediante un bus de información (50) que permite un montaje multimaestro, caracterizado porque comprende:
 - 45 - una unidad de gestión (70) independiente, enlazada a través de una interfaz (63) con la unidad central de proceso (10) por intermedio del bus de información (50), estando destinada dicha unidad de gestión (70) a recibir y a procesar esos eventos en tiempo real sin la mediación de la unidad central de proceso (10),
 - un reloj de fechado (71) destinado a fechar esos eventos antes de almacenarlos, por una parte, en una primera memoria (73) interna a la unidad de gestión y, por otra parte, en una segunda memoria (74) interna a la unidad de gestión (70) con su fecha de llegada, siendo procesados por la unidad de gestión (70) de una manera síncrona los eventos almacenados en dicha primera memoria (73), y
 - 50 - una memoria RAM (61) que comprende una tabla de las acciones preprogramada a través del bus de información (50), asociada a la unidad de gestión (70), destinada a asignar acciones apropiadas a los eventos

recibidos por esta última.

11. Módulo de gestión según la reivindicación 11, caracterizado porque el bus de información (50) es un bus estandarizado del tipo elegido de entre un bus PCI, un bus VME, un bus compacto PCI, un bus USB.

5 12. Módulo de gestión según una cualquiera de las reivindicaciones 10 y 11, caracterizado porque las memorias primera (73) y segunda (74) son del tipo FIFO.

13. Módulo de gestión según la reivindicación 10, caracterizado porque la memoria RAM (61) que comprende la tabla de las acciones es una memoria RAM de doble puerto.

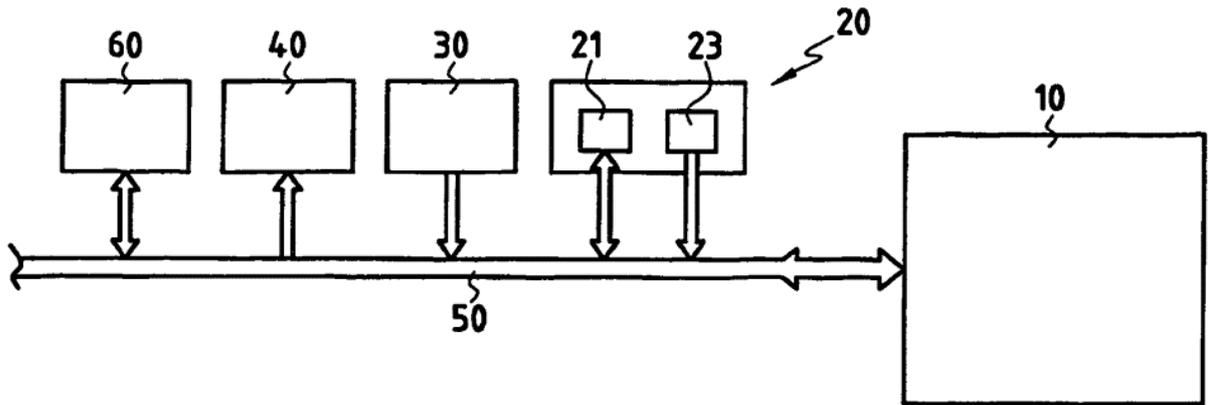


FIG. 1

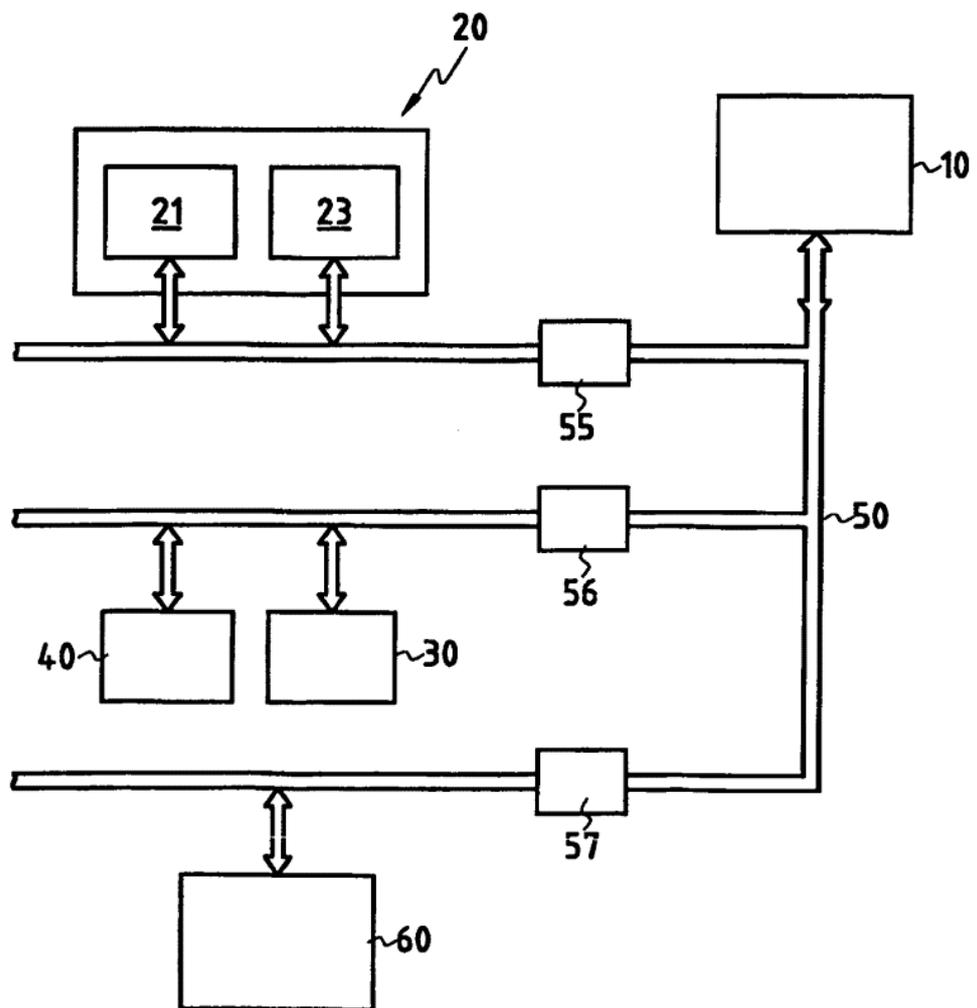
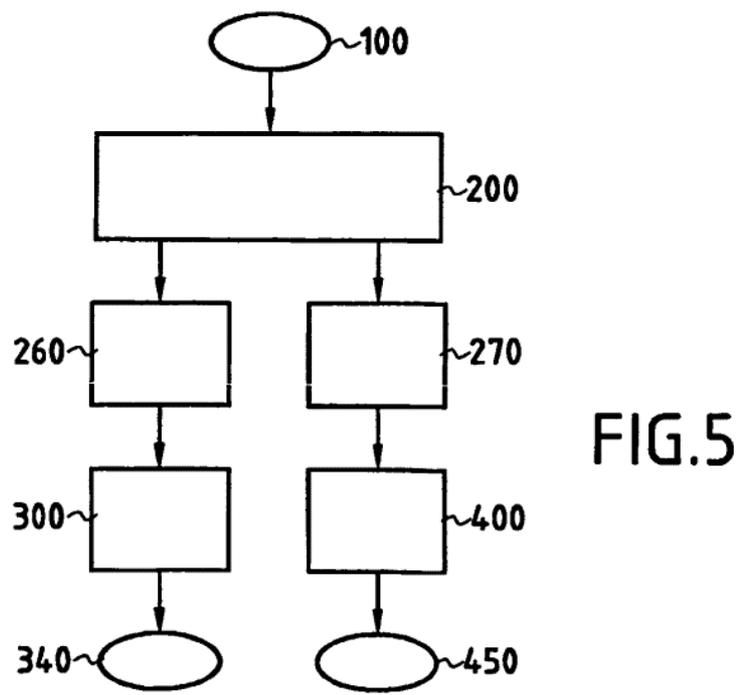
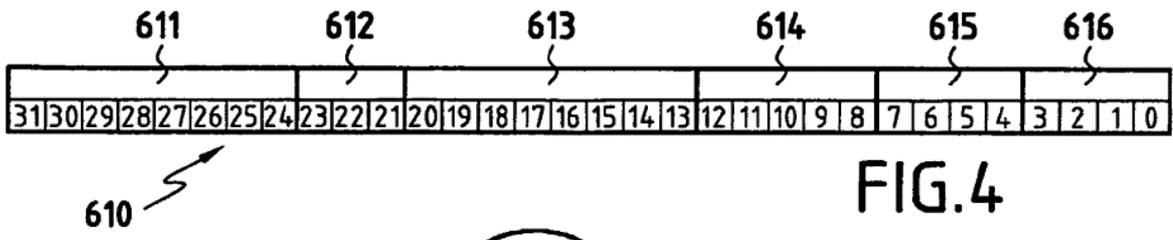
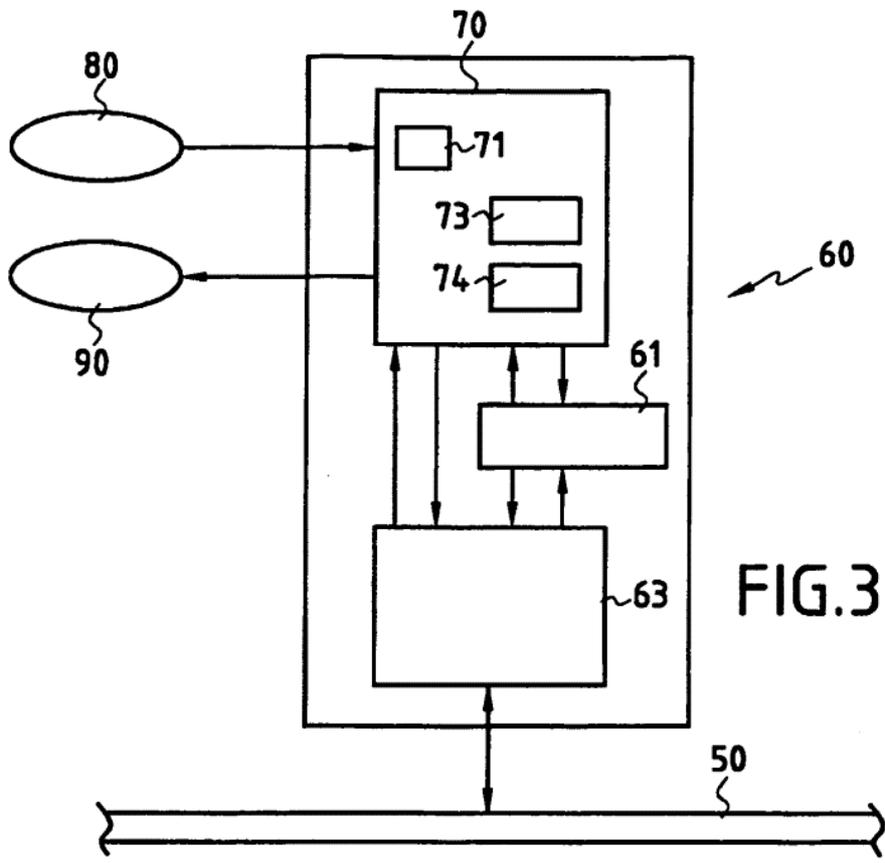
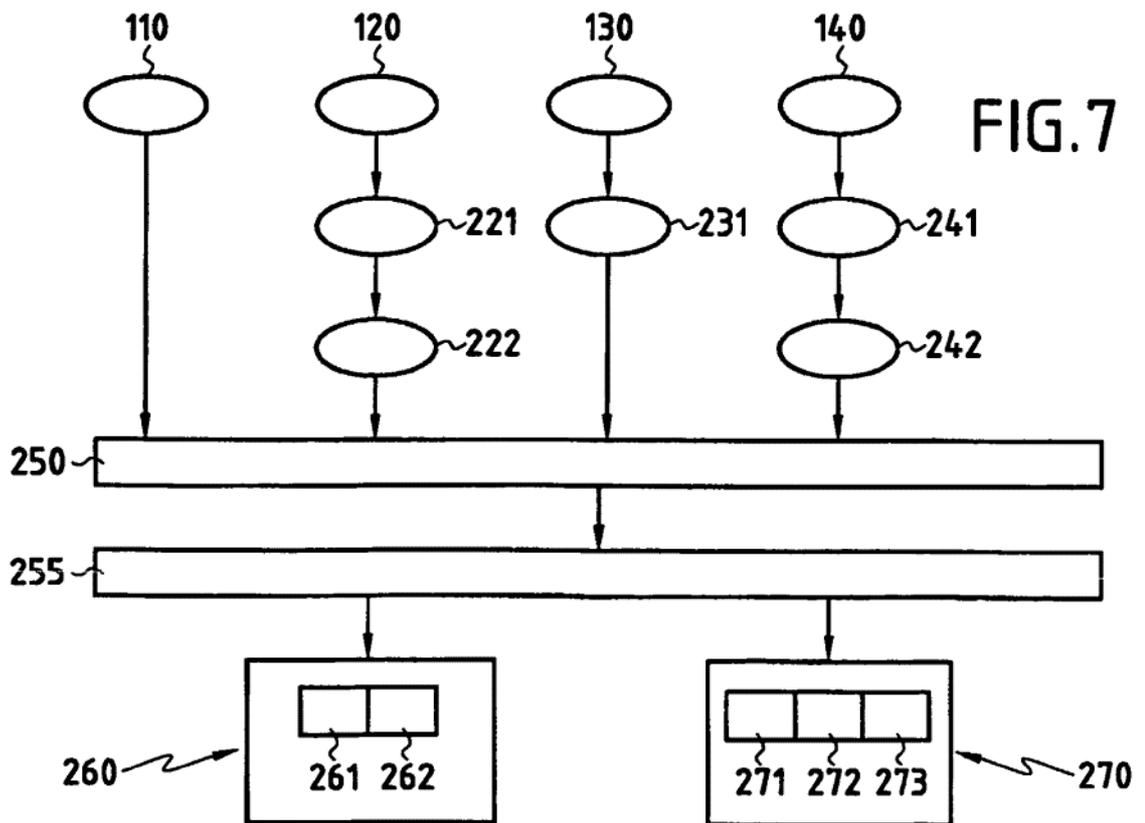
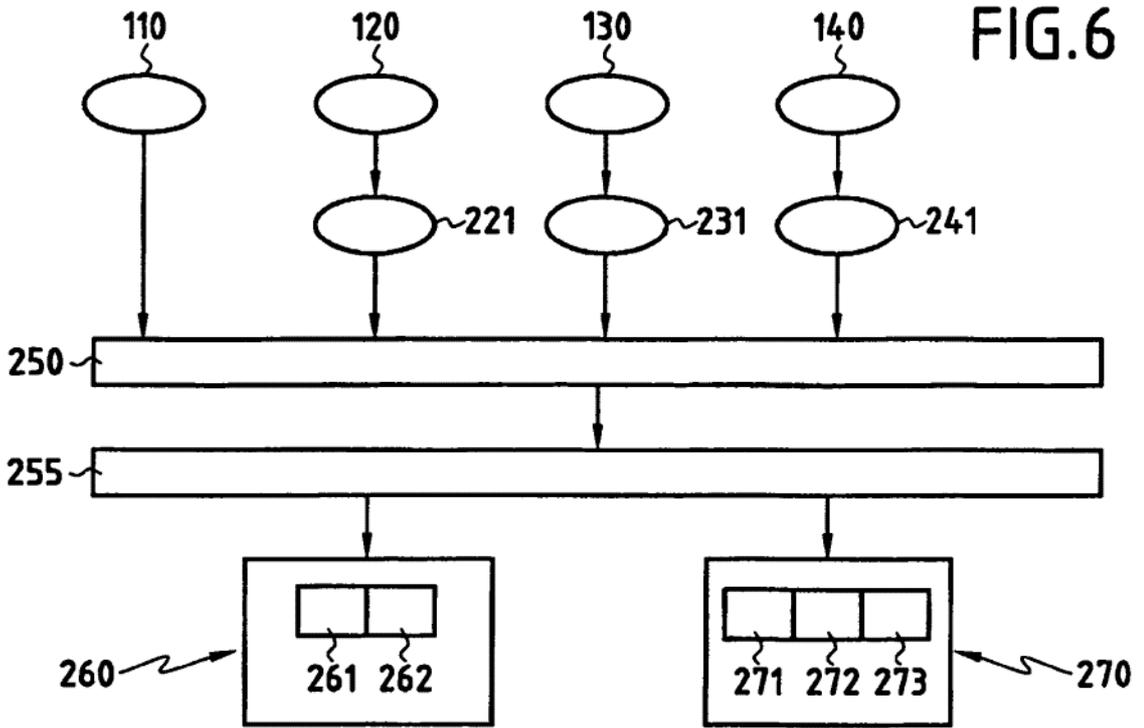


FIG. 2





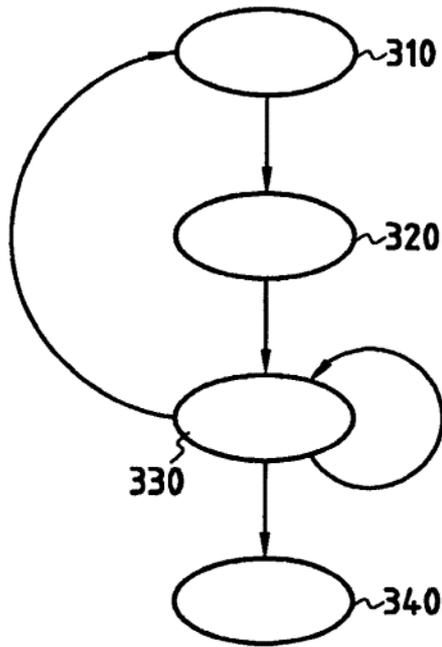


FIG.8

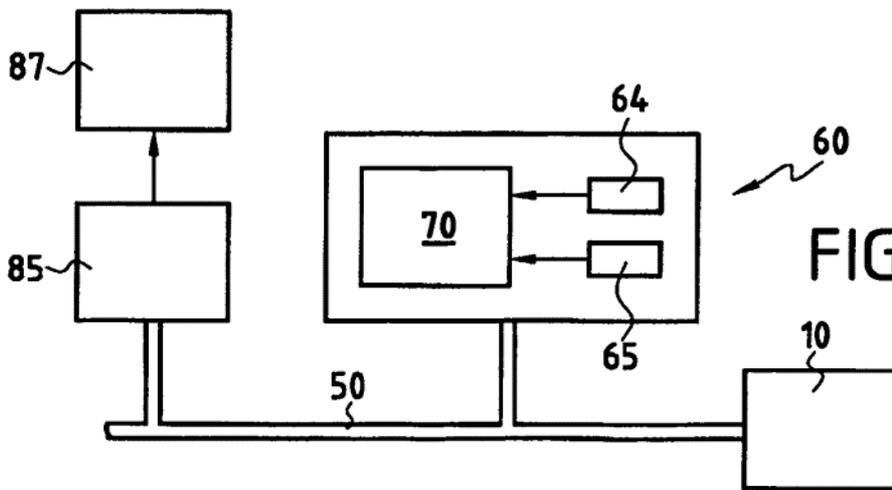


FIG.9

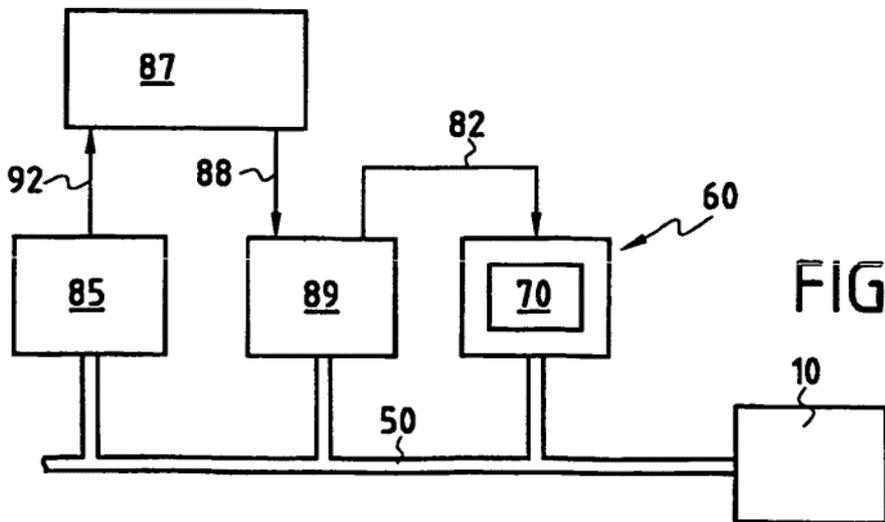


FIG.11

611								612			613						614				615				616						
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	1	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

610 ↗

FIG.10

611								612			613						614				615				616						
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

610 ↗

FIG.12

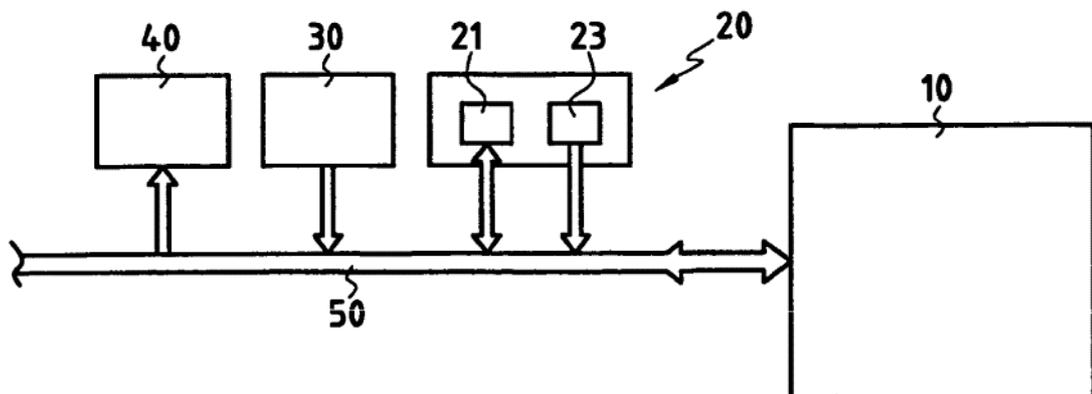


FIG.13
TÉCNICA ANTERIOR