

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 371 092**

51 Int. Cl.:
H03M 13/11 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **07011789 .0**
- 96 Fecha de presentación: **15.06.2007**
- 97 Número de publicación de la solicitud: **1868294**
- 97 Fecha de publicación de la solicitud: **19.12.2007**

54 Título: **APARATO Y MÉTODO DE CODIFICACIÓN/DESCODIFICACIÓN DE CÓDIGOS DE BLOQUE DE COMPROBACIÓN DE PARIDAD DE BAJA DENSIDAD EN UN SISTEMA DE COMUNICACIÓN.**

30 Prioridad:
15.06.2006 KR 20060054105
04.12.2006 KR 20060121824

45 Fecha de publicación de la mención BOPI:
27.12.2011

45 Fecha de la publicación del folleto de la patente:
27.12.2011

73 Titular/es:
SAMSUNG ELECTRONICS CO., LTD.
416 MAETAN-DONG, YEONGTONG-GU
SUWON-SI, GYEONGGI-DO 442-743, KR y
POSTECH FOUNDATION

72 Inventor/es:
Jeong, Hong-sil;
Kim, Jae-Yoel;
Park, Sung-Eun;
Choi, Seung-Hoon;
Park, Dong-Seek;
Kim, Young-Ho;
Yang, Kyeong-Cheol;
Yang, Hyeon-Gu;
Kyung, Gyu-Bum y
Myung, Se-Ho

74 Agente: **Carvajal y Urquijo, Isabel**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

ES 2 371 092 T3

DESCRIPCIÓN

Aparato y método de codificación/descodificación de códigos de bloque de comprobación de paridad de baja densidad en un sistema de comunicación

ANTECEDENTES DE LA INVENCIÓN

5 1. Campo de la Invención

La presente invención se refiere, en general, a un sistema de comunicación y, en particular, a un aparato y un método de codificación/descodificación de códigos de bloque de comprobación de paridad de baja densidad (LDPC, Low Density Parity Check).

2. Descripción de la Técnica Relacionada

10 El sistema de comunicación de la siguiente generación ha evolucionado a un sistema de comunicación de servicio por paquetes, que es un sistema para transmitir datos de paquetes en ráfagas a una serie de estaciones móviles, y es adecuado para una transmisión de datos de gran capacidad. Para incrementar el caudal de datos, se ha propuesto un esquema de petición de retransmisión automática híbrida (HARQ, Hybrid Automatic Retransmission reQuest) y un esquema de modulación y codificación adaptativa (AMC, Adaptive Modulation and Coding). Para
15 utilizar el esquema HARQ y el esquema AMC, el sistema de comunicación de la siguiente generación tiene que soportar una tasa de codificación variable.

En general, los códigos de bloque LDPC, junto con los turbo códigos, tienen una gran ganancia de rendimiento durante la transmisión de datos a alta velocidad y corrigen eficazmente los errores provocados por el ruido generado en un canal de transmisión, contribuyendo a un incremento en la fiabilidad de la transmisión de datos.

20 Sin embargo, los códigos de bloque LDPC son desfavorables debido a que tienen una tasa de codificación relativamente elevada, y están limitados en términos de la tasa de codificación. Entre los códigos de bloque LDPC disponibles actualmente, los códigos de bloque LDPC principales tienen una tasa de codificación de 1/2, y solamente los códigos de bloque LDPC secundarios tienen una tasa de codificación de 1/3. La limitación en la tasa de codificación ejerce una influencia fatal sobre la transmisión de datos de gran capacidad a alta velocidad. Aunque
25 puede calcularse un grado de distribución que represente el rendimiento óptimo utilizando un esquema de evolución de la densidad, con objeto de implementar una tasa de codificación relativamente baja para códigos de bloque LDPC, es difícil implementar un código de bloque LDPC con un grado de distribución que represente el rendimiento óptimo, debido a varias limitaciones, tales como la estructura cíclica en un grafo de factorización y la implementación de equipamiento físico. En vista de las limitaciones de la tasa de codificación para códigos de bloque LDPC, es
30 necesario soportar una tasa de codificación variable, desde una tasa de codificación baja hasta una tasa de codificación elevada, para transmitir/recibir señales.

A partir del documento US 2005/283709, se conoce un aparato y un método para codificar un código de bloque de comprobación de paridad de baja densidad (LDPC) semi-sistemático, en el que una palabra de información es recibida y codificada en una palabra de código que incluye la palabra de información, una primera paridad, una
35 segunda paridad y una tercera paridad, en base a una entre una entre una primera matriz de comprobación de paridad y una segunda matriz de comprobación de paridad, en función del tamaño a aplicar cuando se genera la palabra de información en el código de bloque LDPC semi-sistemático. Una parte con un grado, por lo menos, igual a un grado predeterminado, es perforada a partir de la palabra de información, generando el código de bloque LDPC semi-sistemático. El código de bloque LDPC semi-sistemático incluye la palabra de información, la parte de ésta que
40 fue perforada, la primera paridad, la segunda paridad y la tercera paridad.

RESUMEN DE LA INVENCIÓN

Un aspecto de la presente invención consiste en resolver sustancialmente, por lo menos, los problemas y/o las desventajas anteriores y proporcionar, por lo menos, las ventajas siguientes. Por consiguiente, un aspecto de la presente invención es dar a conocer un aparato y un método de codificación/descodificación de códigos de bloque
45 de comprobación de paridad de baja densidad (LDPC), en un sistema de comunicación.

De acuerdo con otro aspecto de la presente invención, se da a conocer un aparato y un método de transmisión/recepción de señal, de generación de una matriz de comprobación de paridad de un código de bloque LDPC en un sistema de comunicación.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

Las anteriores y otros objetivos, características y ventajas de la presente invención resultarán más evidentes a partir de la siguiente descripción detallada, tomada junto con los dibujos anexos, en los cuales:

- 5 la figura 1 es un diagrama que ilustra una matriz de comprobación de paridad de un código de bloque LDPC, de acuerdo con la presente invención;
- la figura 2 es un diagrama que ilustra una matriz sucesora de comprobación de paridad acorde con la presente invención, cuando una tasa de codificación de un vector de palabra de código raíz es $2/3$, y una tasa de codificación de un vector de palabra de código sucesor es $1/3$;
- 10 las figuras 3A-3L son diagramas que ilustran matrices correspondientes a bloques parciales de una matriz sucesora de comprobación de paridad ilustrada en la figura 2;
- la figura 4 es un diagrama que ilustra una matriz sucesora de comprobación de paridad acorde con la presente invención, cuando una tasa de codificación de un vector de palabra de código raíz es $1/2$, y una tasa de codificación de un vector de palabra de código sucesor es $1/4$;
- 15 las figuras 5A-5L son diagramas que ilustran matrices correspondientes a bloques parciales de una matriz sucesora de comprobación de paridad ilustrada en la figura 4;
- la figura 6 es un diagrama que ilustra la estructura de un aparato de transmisión de señal acorde con la presente invención;
- la figura 7 es un diagrama que ilustra la estructura de un aparato de recepción de señal acorde con la presente invención;
- 20 la figura 8 es un diagrama que ilustra una estructura interna de un codificador, tal como el ilustrado en la figura 6;
- la figura 9 es un diagrama que ilustra una estructura interna del codificador, tal como el ilustrado en la figura 7;
- 25 la figura 10 es un diagrama de flujo que ilustra un método de funcionamiento de un codificador, tal como el ilustrado en la figura 6;
- la figura 11 es un diagrama de una matriz traspuesta de la matriz parcial B ilustrada en la figura 1, la matriz parcial E ilustrada en la figura 1, la matriz parcial T ilustrada en la figura 1 y una matriz inversa de la matriz parcial T ilustrada en la figura 1;
- 30 la figura 12 es un diagrama que ilustra una matriz de comprobación de paridad con una forma similar a la forma de la matriz triangular inferior; y
- la figura 13 es un diagrama que ilustra otra estructura interna de un codificador tal como el ilustrado en la figura 6.

DESCRIPCIÓN DETALLADA DE LAS REALIZACIONES PREFERIDAS

35 A continuación se describirán en detalle realizaciones preferidas de la presente invención, haciendo referencia a los dibujos anexos. En la siguiente descripción, por claridad y concisión ha sido omitida una descripción detallada de funciones y configuraciones conocidas incorporadas al presente documento.

40 La presente invención da a conocer un aparato y un método de transmisión/recepción de señales que soportan una tasa de codificación variable en un sistema de comunicación que utiliza un código de bloque de comprobación de paridad de baja densidad (LDPC). Es decir, la presente invención da a conocer un aparato y un método de transmisión/recepción de señales utilizando una matriz raíz de comprobación de paridad que soporta diversas tasas de codificación en un sistema de comunicación que utiliza un código LDPC, con complejidad de codificación minimizada.

45 En el sistema de comunicación de la siguiente generación, para incrementar el caudal de datos, ha sido propuesto un esquema HARQ y un esquema de codificación y modulación adaptativas (AMC, Adaptive Modulation and Coding).

Para utilizar el esquema HARQ y el esquema AMC, el sistema de comunicación de la siguiente generación tiene que soportar una tasa de codificación variable.

Además, los sistemas de comunicación de la siguiente generación están considerando un código de bloque de comprobación de paridad de baja densidad (LDPC). En general, existe una limitación en la tasa de codificación de un código de bloque LDPC. Por lo tanto, la presente invención da a conocer un aparato y un método de transmisión/recepción de una señal que soporta una serie de tasas de codificación en un sistema de comunicación que utiliza un código de bloque LDPC.

La figura 1 es un diagrama que ilustra una matriz de comprobación de paridad de un código de bloque LDPC, de acuerdo con la presente invención.

En la figura 1, la matriz de comprobación de paridad incluye una matriz raíz de comprobación de paridad y una matriz sucesora de comprobación de paridad. La matriz raíz de comprobación de paridad se utiliza para generar un vector de palabra de código raíz, y la matriz sucesora de comprobación de paridad se utiliza para generar un vector de palabra de código sucesor. En el presente documento, la tasa de codificación de la matriz raíz de comprobación de paridad es mayor que la tasa de codificación de la matriz sucesora de comprobación de paridad. La matriz raíz de comprobación de paridad incluye una parte de información 's', una primera parte de paridad 'p₁', y una segunda parte de paridad 'P₂'. La matriz sucesora de comprobación de paridad incluye la parte de información s, la primera parte de paridad p₁, la segunda parte de paridad 'p₂' y una tercera parte de paridad 'p₃'.

La parte de información s representa una parte de la matriz de comprobación de paridad, mapeada a un vector de información cuando se genera un vector de palabra de código codificando el vector de información. La primera parte de paridad p₁ representa una parte de la matriz de comprobación de paridad, mapeada a un primer vector de paridad, la segunda parte de paridad p₂ representa una parte de la matriz de comprobación de paridad, mapeada a un segundo vector de paridad, y la tercera parte de paridad p₃ representa una parte de la matriz de comprobación de paridad, mapeada a un tercer vector de paridad. El vector de información incluye, por lo menos, un bit de información, y cada uno entre el primer vector de paridad, el segundo vector de paridad y el tercer vector de paridad incluye, por lo menos, un bit de paridad.

Una matriz de comprobación de paridad para el código de bloque LDPC incluye una serie de bloques, y una matriz de permutación o una matriz cero es mapeada a cada uno de los bloques. La matriz de permutación y la matriz cero tienen un tamaño de N_s x N_s. Cada una de las N_s columnas que constituyen la matriz de permutación tienen un peso de 1 y cada una de las N_s filas que constituyen la matriz de permutación tienen un peso de 1. En el presente documento, se asume que la matriz de comprobación de paridad incluye una serie de bloques parciales, para facilitar un método de designación de una matriz de comprobación de paridad del código de bloque LDPC y un método de codificación del código de bloque LDPC. El bloque parcial incluye, por lo menos, un bloque.

En primer lugar, se describirá a continuación la matriz raíz de comprobación de paridad.

La matriz raíz de comprobación de paridad incluye 6 bloques parciales A 111, C 113, B 121, D 123, T 131 y E 133. El bloque parcial A 111 y el bloque parcial C 113 corresponden a la parte de información s. Una matriz mapeada al bloque parcial A 111 es una matriz parcial A, y una matriz mapeada al bloque parcial C 113 es una matriz parcial C. Los bloques parciales B 121 y D 123 corresponden a la primera parte de paridad p₁. Una matriz mapeada al bloque parcial B 121 es una matriz parcial B, y una matriz mapeada al bloque parcial D 123 es una matriz parcial D. El bloque parcial T 131 y el bloque parcial E 133 corresponden a la segunda parte de paridad p₂. Una matriz mapeada al bloque parcial T 131 es una matriz parcial T, y una matriz mapeada al bloque parcial E 133 es una matriz parcial E.

En segundo lugar, se describirá a continuación la matriz sucesora de comprobación de paridad.

La matriz sucesora de comprobación de paridad incluye doce bloques parciales A 111, C 113, B 121, D 123, T 131, E 133, F 115, O 125, O 135, O 141, O 143, I 145. El bloque parcial A 111, el bloque parcial C 113 y el bloque parcial F 115 corresponden a la parte de información s. Una matriz mapeada al bloque parcial F 115 es una matriz parcial F. Los bloques parciales B 121, D 123 y O 125 corresponden a la primera parte de paridad p₁. Una matriz mapeada al bloque O 125 es una matriz parcial O. En el presente documento, todos los elementos de la matriz parcial O son 0. El bloque parcial T 131, el bloque parcial E 133 y el bloque parcial O 135 corresponden a la segunda parte de paridad p₂. Una matriz mapeada al bloque O 135 es una matriz parcial O. El bloque parcial O 141, el bloque parcial O 143 y el bloque parcial I 145 corresponden a la tercera parte de paridad p₃. Una matriz mapeada al bloque parcial O 141 es una matriz O, una matriz mapeada al bloque O 143 es una matriz O y una matriz mapeada al bloque parcial I 145 es una matriz parcial I. En el presente documento, la matriz parcial I es una matriz identidad.

En la figura 1, una matriz O parcial está dispuesta en cada uno de los bloques parciales 0 125, 0 135, 0 141, 0 143 por conveniencia de la explicación. Los bloques parciales 0 125, 0 135, 0 141, 0 143 ilustrados en la figura 1 pueden corresponder asimismo a otro tipo de matriz, es decir, una matriz O no parcial.

5 Tal como se ha descrito anteriormente, una palabra de código de bloque LDPC sucesora incluye la palabra de código de bloque LDPC raíz y un código único de comprobación de paridad cuando se genera una matriz sucesora de comprobación de paridad con una tasa de codificación menor que una tasa de codificación de una matriz raíz de comprobación de paridad.

10 Por consiguiente, se determina el tamaño de una matriz de comprobación de palabra de código de bloque LDPC de paridad sucesora, a saber el tamaño de una matriz sucesora de comprobación de paridad, en correspondencia a su tasa de codificación; un bloque parcial I 145 es sumado siendo diagonal a un bloque parcial E 133 de una matriz raíz de comprobación de paridad, en una unidad de bloque correspondiente al tamaño determinado; y se suman las otras partes, a saber el bloque parcial F 115, un bloque parcial O 125, un bloque parcial O 135, un bloque parcial O 141 y un bloque parcial O 143.

15 La operación de generación de la matriz de comprobación de paridad utilizando la matriz raíz de comprobación de paridad y la matriz sucesora de comprobación de paridad ha sido descrita a modo de ejemplo. Sin embargo, la matriz de comprobación de paridad puede generarse utilizando una primera matriz de comprobación de paridad con una primera tasa de codificación y una segunda matriz de comprobación de paridad con una segunda tasa de codificación, de la manera descrita anteriormente.

20 Tal como se ha descrito anteriormente, la matriz sucesora de comprobación de paridad incluye todos los bloques incluidos en la matriz raíz de comprobación de paridad, y bloques adicionales. La estructura de la matriz sucesora de comprobación de paridad es una estructura extendida de la matriz raíz de comprobación de paridad. Por lo tanto, puede generarse un vector de palabra de código raíz utilizando la matriz raíz de comprobación de paridad, y puede generarse un vector de palabra de código sucesor utilizando la matriz sucesora de comprobación de paridad. En el presente documento, la tasa de codificación del vector de palabra de código sucesor es menor que la tasa de codificación del vector de palabra de código raíz.

25 A la inversa, puede ocurrir que pueda generarse un vector de palabra de código sucesor con una tasa de codificación mayor que la tasa de codificación del vector de palabra de código raíz. En este caso, el vector de palabra de código sucesor que tiene la tasa de codificación mayor que la tasa de codificación del vector de palabra de código raíz es generado perforando, por lo menos, un bit de paridad entre un vector de paridad incluido en el vector de palabra de código raíz. Es decir, se utiliza un esquema de perforación para utilizar un código con una tasa de codificación R2 utilizando un código con una tasa de codificación R1. En la presente invención, puede generarse una palabra de código con una tasa de codificación mayor que la tasa de codificación del vector de palabra de código sucesor, perforando un tercer vector de paridad generado utilizando una matriz sucesora de comprobación de paridad.

35 Por lo demás, en el proceso de descodificación de una palabra de código de un código de bloque LDPC generado utilizando el esquema de perforación, se utiliza la matriz de comprobación de paridad original considerando los bits de paridad perforados como bits borrados. Es decir, si se considera siempre como '0' un valor de la relación logarítmica de probabilidades (LLR, Log-Likelihood Ratio) introducido desde un canal sobre el cual son transmitidos los bits de paridad perforados, la matriz de comprobación de paridad original puede utilizarse tal cual, durante la descodificación. Por lo tanto, un nodo de palabra de código perforada transmite solamente '0' en un proceso de descodificación cuando los bits de la palabra de código corresponden a la columna con grado 1, de una matriz de comprobación de paridad. Por lo tanto, si la señal de salida desde un nodo de comprobación conectado a una palabra de código perforada es siempre '0', es siempre posible borrar filas conectadas a la palabra de código perforada.

45 Cuando se perfora los bits de palabra de código recién añadidos, con objeto de generar un vector de palabra de código con una tasa de codificación menor, se obtiene un efecto idéntico a cuando se lleva a cabo codificación/descodificación utilizando una matriz raíz de comprobación de paridad. Es decir, cuando se genera un código LDPC con una tasa de codificación elevada utilizando la matriz sucesora de comprobación de paridad, puede llevarse a cabo la codificación/descodificación utilizando una matriz raíz de comprobación de paridad excepto la parte generada adicionalmente desde una matriz sucesora de comprobación de paridad, y cuando se genera un código LDPC con una tasa de codificación baja, puede utilizarse la matriz sucesora de comprobación de paridad completa. Aunque, a modo de ejemplo, se describe un caso de incremento de la tasa de codificación perforando bits de paridad, es posible asimismo incrementar la tasa de codificación perforando bits de información.

55 Como conclusión, puede generarse un vector de palabra de código raíz, un vector de palabra de código sucesor con una tasa de codificación menor que la tasa de codificación del vector de palabra de código raíz, y un vector de palabra de código sucesor con una tasa de codificación mayor que la tasa de codificación del vector de palabra de código raíz, utilizando solamente la matriz sucesora de comprobación de paridad.

Tal como se ha descrito anteriormente, puesto que cada uno de los bloques parciales incluye, por lo menos, un bloque, la matriz sucesora de comprobación de paridad incluye una serie de bloques.

5 A continuación se describirá, haciendo referencia a la figura 2 y a las figuras 3A-3L, una matriz sucesora de comprobación de paridad acorde con la presente invención, cuando una tasa de codificación de un vector de palabra de código raíz es 2/3, y una tasa de codificación de un vector de palabra de código sucesor es 1/3.

La figura 2 es un diagrama que ilustra una matriz sucesora de comprobación de paridad acorde con la presente invención, cuando una tasa de codificación de un vector de palabra de código raíz es 2/3, y una tasa de codificación de un vector de palabra de código sucesor es 1/3.

10 En la figura 2, puesto que la tasa de codificación del vector de palabra de código raíz es 2/3, la matriz raíz de comprobación de paridad de la tasa de codificación 2/3 incluye una parte s de información que incluye 32 columnas de bloques y 16 filas de bloques, una primera parte de paridad p_1 incluye 1 columna de bloques y 16 filas de bloques, y una segunda parte de paridad p_2 incluye 15 columnas de bloques y 16 filas de bloques. Es decir, la parte s de información incluye una matriz parcial A 211 y una matriz parcial C 213, la primera parte de paridad p_1 incluye una matriz parcial B 221 y una matriz parcial D 233, y la segunda parte de paridad P_2 incluye una matriz parcial T 231 y una matriz parcial E 233.

15 Puesto que la tasa de codificación del vector de palabra de código sucesor es 1/3, la matriz sucesora de comprobación de paridad de la tasa de codificación 1/3 incluye una parte de información s que comprende 32 columnas de bloques y 64 filas de bloques, una segunda parte de paridad p_2 que incluye 15 columnas de bloques y 64 filas de bloques, y una tercera parte de paridad p_3 que incluye 48 columnas de bloques y 64 filas de bloques. Es decir, la parte s de información incluye la matriz parcial A 211, la matriz parcial C 213 y una matriz parcial F 215, la primera parte de paridad p_1 incluye la matriz parcial B 221, la matriz parcial D 223 y una matriz parcial O 225, y la segunda parte de paridad p_2 incluye la matriz parcial T 231, la matriz parcial E 233 y una matriz parcial O 235, y la tercera parte de paridad p_3 incluye una matriz parcial O 241, una matriz parcial O 243 y una matriz parcial I 245.

20 Las fuerzas parciales A 211, C 213, F 215, B 221, D 223, O 225, T 231, E 233, O 235, O 241, O 243, I 245 se describirán a continuación haciendo referencia a las figuras 3A-3L.

Las figuras 3A-3L son diagramas que ilustran matrices correspondientes a bloques parciales de una matriz sucesora de comprobación de paridad ilustrada en la figura 2.

25 En las figuras 3A-3L, un número mostrado en cada uno de los bloques representa el exponente de cada una de las matrices de permutación dispuestas en cada uno de los bloques. En el presente documento, se asume que la matriz de permutación se expresa como P^a . Si $a = 0$, P^0 es la matriz identidad. Cuando se incrementa el valor de a, la matriz de permutaciones se genera desplazando cíclicamente una posición de un valor de 1 de cada fila de la matriz identidad, en sentido hacia la derecha. Si no se muestra ningún número en cada uno de los bloques, se dispone una matriz 0 en cada uno de los bloques.

30 En la figura 3A, la matriz parcial A 211 incluye 32 columnas de bloques y 15 filas de bloques. Tal como se ilustra en la figura 3A, en cada uno de los bloques de la matriz parcial A 211 se dispone una entre una matriz de permutación y una matriz 0.

En la figura 3B, la matriz parcial C 213 incluye 32 columnas de bloques y 1 fila de bloques. Tal como se ilustra en la figura 3B, en cada uno de los bloques de la matriz parcial C 213 se dispone una entre una matriz de permutación y una matriz 0.

35 En la figura 3C, la matriz parcial F 215 incluye 32 columnas de bloques y 48 filas de bloques. Tal como se ilustra en la figura 3C, en cada uno de los bloques de la matriz parcial F 215 se dispone una entre una matriz de permutación y una matriz 0.

40 En la figura 3D, la matriz parcial B 221 incluye 1 columna de bloques y 16 filas de bloques. Tal como se ilustra en la figura 3D, en cada uno de los bloques de la matriz parcial B 221 se dispone una entre una matriz de permutación y una matriz 0.

45 En la figura 3E, la matriz parcial D 223 incluye 1 columna de bloques y 1 fila de bloques. Tal como se ilustra en la figura 3E, en la matriz parcial D 223 se dispone una matriz de permutación.

En la figura 3F, la matriz parcial O 221 incluye 1 columna de bloques y 48 filas de bloques. Tal como se ilustra en la figura 3F, en cada uno de los bloques de la matriz parcial O 225 se dispone una matriz 0.

En la figura 3G, la matriz parcial T 231 incluye 15 columnas de bloques y 15 filas de bloques. Tal como se ilustra en la figura 3G, en cada uno de los bloques de la matriz parcial T 231 se dispone una entre una matriz de permutación y una matriz 0.

5 En la figura 3H, la matriz parcial E 233 incluye 15 columnas de bloques y 1 fila de bloques. Tal como se ilustra en la figura 3H, en cada uno de los bloques de la matriz parcial E 233 se dispone una entre una matriz de permutación y una matriz 0.

En la figura 3I, la matriz parcial O 235 incluye 15 columnas de bloques y 48 filas de bloques. Tal como se ilustra en la figura 3I, en cada uno de los bloques de la matriz parcial O 235 se dispone una matriz 0.

10 En la figura 3J, la matriz parcial O 241 incluye 48 columnas de bloques y 15 filas de bloques. Tal como se ilustra en la figura 3J, en cada uno de los bloques de la matriz parcial O 241 se dispone una matriz 0.

En la figura 3K, la matriz parcial O 243 incluye 48 columnas de bloques y 1 fila de bloques. Tal como se ilustra en la figura 3K, en cada uno de los bloques de la matriz parcial O 243 se dispone una matriz 0.

15 En la figura 3L, la matriz parcial I 245 incluye 48 columnas de bloques y 48 filas de bloques. Tal como se ilustra en la figura 3L, en cada uno de los bloques de la matriz parcial I 245 se dispone una entre una matriz de permutación y una matriz 0.

A continuación se describirá, haciendo referencia a la figura 4 y a las figuras 5A-5L, una matriz sucesora de comprobación de paridad acorde con la presente invención, cuando una tasa de codificación de un vector de palabra de código raíz es $1/2$, y una tasa de codificación de un vector de palabra de código sucesor es $1/4$.

20 La figura 4 es un diagrama que ilustra una matriz sucesora de comprobación de paridad acorde con la presente invención, cuando una tasa de codificación de un vector de palabra de código raíz es $1/2$, y una tasa de codificación de un vector de palabra de código sucesor es $1/4$.

25 En la figura 4, puesto que la tasa de codificación del vector de palabra de código raíz es $1/2$, la matriz raíz de comprobación de paridad de la tasa de codificación $1/2$ incluye una parte de información s que comprende 24 columnas de bloques y 24 filas de bloques, una primera parte de paridad p_1 que comprende 1 columna de bloques y 24 filas de bloques, y una segunda parte de paridad p_2 que comprende 23 columnas de bloques y 24 filas de bloques. Es decir, la parte s de información incluye una matriz parcial A 411 y una matriz parcial C 413, la primera parte de paridad p_1 incluye una matriz parcial B 421 y una matriz parcial D 423, y la segunda parte de paridad p_2 incluye una matriz parcial T 431 y una matriz parcial E 433.

30 En este caso, puesto que la tasa de codificación del vector de palabra de código sucesor es $1/4$, la matriz sucesora de comprobación de paridad de la tasa de codificación $1/4$ incluye una parte de información s que comprende 24 columnas de bloques y 72 filas de bloques, una primera parte de paridad p_1 que comprende 1 columna de bloques y 72 filas de bloques, una segunda parte de paridad p_2 que comprende 23 columnas de bloques y 72 filas de bloques, y una tercera parte de paridad p_3 que comprende 48 columnas de bloques y 72 filas de bloques. Es decir, la parte s de información incluye la matriz parcial A 411, la matriz parcial C 413 y una matriz parcial F 415, la primera parte de paridad p_1 incluye la matriz parcial B 421, la matriz parcial D 423 y una matriz parcial O 425, y la segunda parte de paridad p_2 incluye la matriz parcial T 431, la matriz parcial E 433 y una matriz parcial O 435, y la tercera parte de paridad p_3 incluye una matriz parcial O 441, una matriz parcial O 443 y una matriz parcial I 445.

Las matrices parciales A 411, C 413, F 415, B 421, D 423, O 425, T 431, E 433, O 435, O 441, O 443, I 445 se describirán a continuación haciendo referencia a las figuras 5A-5L.

40 Las figuras 5A-5L son diagramas que ilustran matrices correspondientes a bloques parciales de una matriz sucesora de comprobación de paridad ilustrada en la figura 4.

En las figuras 5A-5L, el número mostrado en cada uno de los bloques representa el exponente de cada una de las matrices de permutación dispuestas en cada uno de los bloques. En cada uno de los bloques, si no se muestra ningún número se dispone una matriz 0.

45 En la figura 5A, la matriz parcial A 411 incluye 24 columnas de bloques y 23 filas de bloques. Tal como se ilustra en la figura 5A, en cada uno de los bloques de la matriz parcial A 411 se dispone una entre una matriz de permutación y una matriz 0.

50 En la figura 5B, la matriz parcial C 413 incluye 24 columnas de bloques y 1 fila de bloques. Tal como se ilustra en la figura 5B, en cada uno de los bloques de la matriz parcial C 413 se dispone una entre una matriz de permutación y una matriz 0.

En la figura 5C, la matriz parcial F 415 incluye 24 columnas de bloques y 48 filas de bloques. Tal como se ilustra en la figura 5C, en cada uno de los bloques de la matriz parcial F 415 se dispone una entre una matriz de permutación y una matriz 0.

5 En la figura 5D, la matriz parcial B 421 incluye 1 columna de bloques y 23 filas de bloques. Tal como se ilustra en la figura 5D, en cada uno de los bloques de la matriz parcial B 421 se dispone una entre una matriz de permutación y una matriz 0.

En la figura 5E, la matriz parcial D 423 incluye 1 columna de bloques y 1 fila de bloques. Tal como se ilustra en la figura 5E, en la matriz parcial D 423 se dispone una matriz de permutación.

10 En la figura 5F, la matriz parcial O 425 incluye 1 columna de bloques y 48 filas de bloques. Tal como se ilustra en la figura 5F, en cada uno de los bloques de la matriz parcial O 425 se dispone una matriz 0.

En la figura 5G, la matriz parcial T 431 incluye 23 columnas de bloques y 23 filas de bloques. Tal como se ilustra en la figura 5G, en cada uno de los bloques de la matriz parcial T 431 se dispone una entre una matriz de permutación y una matriz 0.

15 En la figura 5H, la matriz parcial E 433 incluye 23 columnas de bloques y 1 fila de bloques. Tal como se ilustra en la figura 5H, en cada uno de los bloques de la matriz parcial E 433 se dispone una entre una matriz de permutación y una matriz 0.

En la figura 5I, la matriz parcial O 435 incluye 23 columnas de bloques y 48 filas de bloques. Tal como se ilustra en la figura 5I, en cada uno de los bloques de la matriz parcial O 435 se dispone una matriz 0.

20 En la figura 5J, la matriz parcial O 441 incluye 48 columnas de bloques y 23 filas de bloques. Tal como se ilustra en la figura 5J, en cada uno de los bloques de la matriz parcial O 441 se dispone una matriz 0.

En la figura 5K, la matriz parcial O 443 incluye 48 columnas de bloques y 1 fila de bloques. Tal como se ilustra en la figura 5K, en cada uno de los bloques de la matriz parcial O 443 se dispone una matriz 0.

25 En la figura 5L, la matriz parcial I 445 incluye 48 columnas de bloques y 48 filas de bloques. Tal como se ilustra en la figura 5L, en cada uno de los bloques de la matriz parcial I 445 se dispone una entre una matriz de permutación y una matriz 0.

A continuación se describirá un aparato de transmisión de señal acorde con la presente invención, haciendo referencia a la figura 6.

La figura 6 es un diagrama de bloques que ilustra la estructura de un aparato de transmisión de señal acorde con la presente invención.

30 En la figura 6, el aparato de transmisión de señal acorde con la presente invención incluye un codificador 611, un modulador 613 y un transmisor 615. Si se produce un vector de información a transmitir en el aparato de transmisión de señal, el vector de información es transmitido al codificador 611. El codificador 611 genera un vector de palabra de código, es decir, una palabra de código de bloque LDPC, codificando el vector de información en un esquema de codificación, y a continuación entrega al modulador 613 el vector de palabra de código generado. El sistema de
35 codificación corresponde al esquema de codificación LDPC, de acuerdo con la presente invención, que soporta una serie de tasas de codificación. A continuación se describe la estructura interna del codificador 611, haciendo referencia a la figura 8 y a la figura 13.

40 El modulador 613 genera un vector de modulación, modulando el vector de palabra de código en un esquema de modulación, y a continuación entrega al transmisor 615 el vector de modulación generado. El transmisor 615 introduce el vector de modulación entregado desde el modulador 613, ejecuta el procesamiento de la señal de transmisión para el vector de modulación introducido, y transmite a continuación a través de una antena el vector de modulación procesado a un aparato de recepción de señal.

A continuación se describirá en detalle un aparato de recepción de señal acorde con la presente invención, haciendo referencia a la figura 7.

45 La figura 7 es un diagrama de bloques que ilustra la estructura de un aparato de recepción de señal acorde con la presente invención.

En la figura 7, el aparato de recepción de señal acorde con la presente invención incluye un receptor 711, un desmodulador 713 y un descodificador 715. A través de una antena del aparato de recepción de señal, se recibe una señal transmitida por el aparato de transmisión de señal, y la señal recibida es distribuida al receptor 711. El receptor 711 ejecuta el procesamiento de la señal de recepción para la señal recibida, con objeto de generar de ese modo un vector de recepción, y a continuación entrega al desmodulador 713 el vector de recepción procesado y generado. El desmodulador 713 introduce el vector de recepción entregado desde el receptor 711, genera un vector de desmodulación desmodulando el vector de recepción introducido, en un esquema de desmodulación correspondiente a un esquema de modulación aplicado a un modulador del aparato de transmisión de señal, es decir, el modulador 613, y entrega a continuación al descodificador 715 el vector de desmodulación generado. El descodificador 715 introduce el vector de desmodulación entregado desde el desmodulador 713, descodifica el vector de desmodulación introducido, en un esquema de descodificación correspondiente a un esquema de codificación aplicado a un codificador del aparato de transmisión de señal, es decir, al codificador 611, y entrega a continuación el vector de desmodulación descodificado, en un vector de información recuperado finalmente. A continuación se describe la estructura interna del descodificador 715, haciendo referencia a la figura 9.

La figura 8 es un diagrama que ilustra una estructura interna de un codificador 611, tal como el ilustrado en la figura 6.

En la figura 8, el codificador 611 incluye un perforador 811, un multiplicador 813 de la matriz parcial A, un multiplicador 815 de la matriz parcial C, un conmutador 817, un multiplicador 819 de la matriz parcial ET^{-1} , un operador XOR 821, un multiplicador 823 de la matriz parcial B, un operador XOR 825, un multiplicador 827 de la matriz parcial T^{-1} , un multiplicador 829 de la matriz parcial F, un ensamblador 831 y un controlador (no mostrado).

En este caso, el controlador almacena una matriz sucesora de comprobación de paridad en una memoria interna incluida en el controlador a modo de ejemplo. El controlador genera un vector final de palabra de código utilizando una matriz raíz de comprobación de paridad, correspondiente a una tasa de codificación a utilizar en un aparato de transmisión de señal. El controlador genera asimismo un vector final de palabra de código utilizando una matriz sucesora de comprobación de paridad, correspondiente a una tasa de codificación a utilizar en el aparato de transmisión de señal. Análogamente, el controlador genera un vector final de palabra de código perforando un vector de palabra de código generado utilizando la matriz raíz de comprobación de paridad, correspondiente a una tasa de codificación a utilizar en el aparato de transmisión de señal. Es decir, el controlador controla toda la operación del codificador 611, correspondiente a una tasa de codificación a utilizar en el aparato de transmisión de señal.

Asimismo, el controlador determina una tasa de codificación a utilizar en el aparato de transmisión de señal cuando es introducido un vector de información, y controla el funcionamiento del codificador 611 correspondiente a la tasa de codificación determinada.

En primer lugar, el funcionamiento del codificador 611 descrito más adelante se refiere a cuando la tasa de codificación determinada es una tasa de codificación de la matriz raíz de comprobación de paridad ("una tasa de codificación raíz"). En el presente documento, que la tasa de codificación determinada sea la tasa de codificación raíz representa que se genera un vector final de palabra de código utilizando la matriz raíz de comprobación de paridad.

Si se recibe un vector de información a cifrar, el vector de información es distribuido al perforador 811, al multiplicador 813 de la matriz parcial A, al multiplicador 815 de la matriz parcial C y al conmutador 817. El multiplicador 813 de la matriz parcial A multiplica el vector de información por la matriz parcial A, y entrega el resultado al multiplicador 819 de la matriz parcial ET^{-1} y al operador XOR 825. El multiplicador 819 de la matriz parcial ET^{-1} multiplica la señal entregada desde el multiplicador 813 de la matriz parcial A por la matriz parcial ET^{-1} , y entrega el resultado al operador XOR 821. El multiplicador 815 de la matriz parcial C multiplica el vector de información por la matriz parcial C, y entrega el resultado al operador XOR 821. El operador XOR 821 lleva a cabo una operación XOR sobre la señal entregada desde el multiplicador 819 de la matriz parcial ET^{-1} y la señal entregada desde el multiplicador 815 de la matriz parcial C, y entrega el resultado al multiplicador 823 de la matriz parcial B y al perforador 811. La señal entregada desde el operador XOR 821 es un primer vector de paridad.

El multiplicador 823 de la matriz parcial B multiplica la señal entregada desde el operador XOR 821 por la matriz parcial B, y entrega el resultado al operador XOR 825. El operador XOR 825 realiza una operación XOR sobre la señal entregada desde el multiplicador 813 de la matriz parcial A y la señal entregada desde el multiplicador 823 de la matriz parcial B, y entrega el resultado al multiplicador 827 de la matriz parcial T^{-1} . El multiplicador 827 de la matriz T^{-1} multiplica la señal entregada desde el operador XOR 825 por la matriz parcial T^{-1} , y entrega el resultado al perforador 811. La señal entregada desde el multiplicador 827 de la matriz parcial T^{-1} es un segundo vector de paridad.

El conmutador 817 lleva a cabo una operación de conmutación bajo el control del controlador, y el controlador conecta el conmutador 817 para entregar el vector de información al multiplicador 829 de la matriz parcial F, solamente cuando el vector de información necesita generar un tercer vector de paridad. Es decir, el controlador

conecta el conmutador 817 para introducir el vector de información al multiplicador 829 de la matriz parcial F, solamente cuando el vector de información necesita generar un vector final de palabra de código utilizando una matriz sucesora de comprobación de paridad. Pero si la tasa de codificación a utilizar en el aparato de transmisión de señal es una tasa de codificación raíz, el controlador desconecta el conmutador 817.

- 5 El perforador 811, bajo el control del controlador, lleva a cabo una operación de perforación. Pero, si la tasa de codificación a utilizar en el aparato de transmisión de señal es una tasa de codificación raíz, el controlador controla el perforador 811 para que no realice una operación de perforación, y derive el primer vector de paridad y el segundo vector de paridad al ensamblador 831. El ensamblador 831, bajo el control del controlador, entrega un vector final de palabra de código ensamblando el vector de información, el primer vector de paridad y el segundo vector de paridad.
- 10 En segundo lugar, el funcionamiento del codificador 611 descrito más adelante se refiere a cuando la tasa de codificación determinada es una tasa de codificación de la matriz sucesora de comprobación de paridad ("una tasa de codificación sucesora"). En el presente documento, que la tasa de codificación determinada sea la tasa de codificación sucesora representa que se genera un vector final de palabra de código utilizando la matriz sucesora de comprobación de paridad.
- 15 La diferencia entre el funcionamiento del codificador 611 cuando el vector final de palabra de código se genera utilizando la matriz sucesora de comprobación de paridad, y el funcionamiento del codificador 611 cuando el vector final de palabra de código se genera utilizando la matriz raíz de comprobación de paridad, es que un vector final de palabra de código incluye un tercer vector de paridad. Es decir, el controlador conecta el conmutador 817 para introducir el vector de información al multiplicador 829 de la matriz parcial F, puesto que la tasa de codificación determinada es la tasa de codificación sucesora.
- 20

El multiplicador 829 de la matriz parcial F genera un tercer vector de paridad, multiplicando el vector de información entregado desde el conmutador 817 por la matriz parcial F, y entrega el resultado al ensamblador 831. El ensamblador 831, bajo el control del controlador, genera un vector final de palabra de código ensamblando el vector de información, el primer vector de paridad, el segundo vector de paridad y el tercer vector de paridad.

- 25 En tercer lugar, el funcionamiento del codificador 611 descrito más adelante se refiere a cuando la tasa de codificación determinada es mayor que la tasa de codificación raíz. En el presente documento, la tasa de codificación mayor que la tasa de codificación raíz será denominada "tasa de codificación en exceso". Es decir, el vector final de palabra de código se genera perforando un vector de palabra de código generado utilizando la matriz raíz de comprobación de paridad cuando la tasa de codificación determinada es la tasa de codificación en exceso.
- 30 La diferencia entre el funcionamiento del codificador 611 cuando el vector final de palabra de código es generado utilizando la matriz raíz de comprobación de paridad, y el funcionamiento del codificador 611 cuando el vector final de palabra de código es generado perforando un vector de palabra de código generado utilizando la matriz raíz de comprobación de paridad, es que el vector final de palabra de código es generado perforando, por lo menos, uno entre el primer vector de paridad y el segundo vector de paridad correspondiente a la tasa de codificación en exceso.
- 35 Es decir, el perforador 811, bajo el control del controlador, perfora, por lo menos, uno entre el primer vector de paridad y el segundo vector de paridad correspondiente a la tasa de codificación en exceso, puesto que la tasa de codificación determinada es la tasa de codificación en exceso. A continuación, el perforador 811 entrega el resultado al ensamblador. A su vez, el ensamblador 831 genera un vector final de palabra de código ensamblando el vector de información y una señal entregada desde el perforador 811.
- 40 En la figura 8, aunque el controlador genera en paralelo el vector de información, el primer vector de paridad, el segundo vector de paridad, y el tercer vector de paridad de acuerdo con la tasa de codificación, y a continuación ensambla un vector final de palabra de código utilizando los vectores generados a modo de ejemplo, el controlador puede generar secuencialmente solamente los vectores correspondientes entre el vector de información, el primer vector de paridad, el segundo vector de paridad y el tercer vector de paridad de acuerdo con la tasa de codificación, y ensamblar a continuación un vector final de palabra de código utilizando los vectores generados.
- 45

En la figura 8, el controlador determina además una tasa de codificación a utilizar en el aparato de transmisión de señal cuando el vector de información es introducido a modo de ejemplo, y el controlador puede controlar el funcionamiento del codificador 611 correspondiente a una tasa de codificación predeterminada. El codificador 611 incluye el perforador 811 a modo de ejemplo. Sin embargo, el perforador 811 no lleva a cabo una operación de perforación cuando una tasa de codificación a utilizar en el aparato de transmisión de señal, es una entre la tasa de codificación raíz y la tasa de codificación sucesora. Por lo tanto, si el aparato de transmisión de señal utiliza una entre la tasa de codificación raíz y la tasa de codificación sucesora, el codificador 611 no incluye el perforador 811.

50

Todos los códigos de la familia LDPC pueden ser decodificados mediante un algoritmo suma-producto en un grafo bipartito. Un esquema de codificación para los códigos LDPC puede clasificarse de manera aproximada en un esquema

de distribución bidireccional y un esquema de distribución de flujo. En el sistema de distribución bidireccional utilizado para una operación de descodificación, debido a que cada nodo de comprobación tiene un procesador del nodo, la complejidad del descodificador se incrementa con el número de nodos de comprobación, pero todos los nodos son actualizados simultáneamente, contribuyendo a un incremento destacable en la velocidad de descodificación.

5

En comparación con el esquema de distribución bidireccional, en el esquema de distribución de flujo con un solo procesador de nodos, el procesador de nodos actualiza la información de todos los nodos en el grafo bipartito, contribuyendo a una disminución en la complejidad del descodificador. Cuando se incrementa el tamaño de la matriz de comprobación de paridad, es decir se incrementa el número de nodos, disminuye la velocidad de descodificación. Si se generan las matrices de comprobación de paridad en unidades de bloques tales como el código de bloque LDPC soportando una tasa de codificación variable dada a conocer en la presente invención, para la descodificación se utilizan tantos procesadores de nodo como el número de bloques que constituyen la matriz de comprobación de paridad, disminuyendo la complejidad del descodificador e incrementando la velocidad de descodificación en comparación con el esquema de distribución bidireccional.

10

La figura 9 es un diagrama de bloques que ilustra una estructura interna del descodificador 715 ilustrado en la figura 7.

15

En la figura 9, el descodificador 715 incluye un selector 911 de palabras de código, un descodificador 913 de nodos variables, un conmutador 915, un operador XOR 917, un desentrelazador 919, un entrelazador 921, un controlador 923, una memoria 925, un operador XOR 927, un descodificador 929 de nodo de comprobación, y un dispositivo 931 de decisión firme.

20

La señal entregada desde el desmodulador 713 de la figura 7 es distribuida al selector 911 de palabras de código, que selecciona una palabra de código de acuerdo con una tasa de codificación utilizada en el aparato de transmisión de señal, usando la señal entregada desde el desmodulador 713. En el presente documento, cuando el aparato de transmisión de señal utiliza una tasa de codificación en exceso, el selector 911 de palabras de código inserta '0' en los bits correspondientes a los bits de paridad perforados, y entrega el resultado al descodificador 913 de nodos variables. Además, el selector 911 de palabras de código almacena previamente la matriz sucesora de comprobación de paridad predefinida entre el aparato de transmisión de señal y el aparato de recepción de señal, y asimismo almacena previamente información de perforación de los bits de paridad correspondientes a la tasa de codificación en exceso utilizada en el aparato de transmisión de señal. En el presente documento, el selector 911 de palabras de código almacena previamente no sólo del número de bits de paridad perforados de acuerdo con la tasa de codificación, sino asimismo información de la posición de los mismos.

25

30

El descodificador 913 de nodos variables calcula valores probables de la señal entregada desde el selector 911 de palabras de código, actualiza los valores probables calculados y entrega el resultado al conmutador 915 y al operador XOR 917. En el presente documento, el descodificador 913 de nodos variables conecta nodos variables de acuerdo con la matriz de comprobación de paridad determinada previamente en el descodificador 715, y se realiza una operación de actualización con tantos valores de entrada y valores de salida como el número de '1's conectados a los nodos variables. En el presente documento, el descodificador 715 utiliza uno entre la matriz raíz de comprobación de paridad y la matriz sucesora de comprobación de paridad, y el descodificador 913 de nodos variables conecta nodos variables de acuerdo con una entre la matriz raíz de comprobación de paridad y la matriz sucesora de comprobación de paridad. El número de '1's conectados a los nodos variables es igual a un peso para cada una de las columnas que constituyen la matriz de comprobación de paridad. Por lo tanto, el funcionamiento interno del descodificador 913 de nodos variables difiere según el peso para cada una de las columnas que constituyen la matriz de comprobación de paridad.

35

40

El operador XOR 917 sustrae la señal de salida del entrelazador 921 en el proceso iterativo de descodificación anterior, respecto de la señal de salida del descodificador 913 de nodos variables, y entrega el resultado al desentrelazador 919. Si el proceso de descodificación actual es un proceso de descodificación inicial, la señal de salida del entrelazador 921 deberá considerarse '0'.

45

El desentrelazador 919 desentrelaza la señal entregada desde el operador XOR 917 de acuerdo con un esquema de desentrelazado predeterminado, y entrega el resultado al operador XOR 927 y al descodificador 929 del nodo de comprobación. En el presente documento, el desentrelazador 919 tiene una estructura interna correspondiente a la matriz de comprobación de paridad, debido a que un valor de salida para el valor de entrada del entrelazador 921 correspondiente al desentrelazador 919, difiere según las posiciones de los elementos con un valor de '1' en la matriz de comprobación de paridad.

50

El operador XOR 927 resta la señal de salida del desentrelazador 919 respecto de la señal de salida del descodificador 929 del nodo de comprobación en el proceso de descodificación iterativo anterior, y entrega el resultado al entrelazador 921. El descodificador 929 del nodo de comprobación conecta nodos de comprobación de acuerdo con la matriz de comprobación de paridad establecida previamente en el descodificador 715, y se lleva a

55

5 cabo una operación de actualización con tantos valores de entrada y valores de salida como el número de '1's conectados a los nodos de comprobación. En el presente documento, el descodificador 715 utiliza uno entre la matriz raíz de comprobación de paridad y la matriz sucesora de comprobación de paridad, y el descodificador 929 de nodos de comprobación conecta nodos de comprobación de acuerdo con una entre la matriz raíz de comprobación de paridad y la matriz sucesora de comprobación de paridad. El número de '1's conectados a los nodos de comprobación es igual al peso para cada una de las filas que constituyen la matriz de comprobación de paridad. Por lo tanto, el funcionamiento interno del descodificador 929 de nodos de comprobación difiere según el peso para cada una de las filas que constituyen la matriz de comprobación de paridad.

10 El entrelazador 921, bajo el control del controlador 923, entrelaza la señal entregada desde el operador XOR 927 utilizando un esquema de entrelazado predeterminado, y entrega el resultado al operador XOR 917 y al descodificador 913 de nodos variables. El controlador 923 lee información del esquema de entrelazado almacenada en la memoria 925, y controla el esquema de entrelazado del entrelazador 921. Si el proceso de descodificación actual es un proceso de descodificación inicial, la señal de salida del desentrelazador 919 deberá considerarse '0'.

15 Realizando iterativamente los procesos anteriores, se realiza una descodificación altamente fiable sin error, y después de que se ha llevado a cabo un proceso de descodificación iterativa correspondiente a una iteración predeterminada, se desconecta el conmutador 915 entre el descodificador 913 de nodos variables y el operador XOR 917, y se conecta entre el descodificador 913 de nodos variables y el dispositivo 931 de decisión firme, de manera que la señal entregada desde el descodificador 913 de nodos variables es distribuida al dispositivo 931 de decisión firme. El dispositivo 931 de decisión firme lleva a cabo una decisión firme sobre la señal entregada desde el descodificador 913 de nodos variables, y entrega el valor de la decisión firme. El valor de salida del dispositivo 931 de decisión firme es el valor descodificado final.

20 En la figura 9, el selector 911 de palabras de código determina una tasa de codificación utilizada en el aparato de transmisión de señal, cuando la señal entregada desde el desmodulador 713 es introducida a modo de ejemplo, y el selector 911 de palabras de código puede llevar a cabo una operación de descodificación correspondiente a una tasa de codificación predeterminada.

25 La figura 10 es un diagrama de flujo que ilustra un método de funcionamiento de un codificador 611 tal como el ilustrado en la figura 6.

30 En la figura 10, en la etapa 1011, el codificador 611 recibe un vector de información. En la etapa 1013, el codificador 611 determina una tasa de codificación a utilizar en el aparato de transmisión de señal. En la etapa 1015, el codificador 611 determina si la tasa de codificación determinada es igual a una tasa de codificación raíz. Si se determina que la tasa de codificación determinada es igual a la tasa de codificación raíz, el codificador 611 pasa a la etapa 1017, en donde genera un primer vector de paridad y un segundo vector de paridad correspondientes a una matriz raíz de comprobación de paridad. En la etapa 1019, el codificador 611 genera un vector final de palabra de código ensamblando el vector de información, el primer vector de paridad y el segundo vector de paridad.

35 Sin embargo, si en la etapa 1015 se determina que la tasa de codificación determinada no es igual a la tasa de codificación raíz, el codificador 611 pasa a la etapa 1021 en donde determina si la tasa de codificación determinada es igual a una tasa de codificación sucesora. Si se determina que la tasa de codificación determinada es igual a la tasa de codificación sucesora, el codificador 611 pasa a la etapa 1023, en donde genera un primer vector de paridad, un segundo vector de paridad y un tercer vector de paridad correspondientes a una matriz sucesora de comprobación de paridad. En la etapa 1025, el codificador 611 genera un vector final de palabra de código ensamblando el vector de información, el primer vector de paridad, el segundo vector de paridad y el tercer vector de paridad.

40 Sin embargo, si en la etapa 1021 se determina que la tasa de codificación determinada no es igual a la tasa de codificación sucesora, el codificador 611 pasa a la etapa 1027, en donde genera un primer vector de paridad y un segundo vector de paridad correspondientes a la matriz raíz de comprobación de paridad. En la etapa 1029, el codificador 611 perfora los bits correspondientes entre el primer vector de paridad y el segundo vector de paridad. En la etapa 1031, el codificador 611 genera un vector final de palabra de código ensamblando el vector de información y la señal generada en la etapa 1029.

45 Por lo demás, en la matriz de comprobación de paridad acorde con la presente invención, ilustrada en la figura 1, cada una entre la matriz parcial B 121, la matriz parcial E 133 y la matriz parcial T 131 son generadas según la misma estructura ilustrada en la figura 11 para minimizar la complejidad de codificación de un código de bloque LDPC.

50 A continuación se describe, haciendo referencia a la figura 10, una matriz traspuesta de la matriz parcial B ilustrada en la figura 1, la matriz parcial E ilustrada en la figura 1, la matriz parcial T ilustrada en la figura 1 y una matriz inversa de la matriz parcial T ilustrada en la figura 1.

La figura 11 es un diagrama que ilustra una matriz traspuesta de la matriz parcial B ilustrada en la figura 1, la matriz parcial E ilustrada en la figura 1, la matriz parcial T ilustrada en la figura 1 y una matriz inversa de la matriz parcial T ilustrada en la figura 1.

5 En la figura 11, una matriz B^T representa una matriz traspuesta de la matriz parcial B 121, y una matriz T^{-1} representa una matriz inversa de la matriz parcial T 131. La matriz parcial T 131 tiene una forma similar a la forma de la matriz triangular inferior. Es decir, se dispone una matriz identidad en bloques situados en la diagonal de la matriz parcial T 131, y se dispone una matriz de permutación en bloques situados en la diagonal doble respecto de la diagonal de la matriz parcial T 131. En este caso, una matriz dispuesta en un bloque se denomina una 'matriz de bloque'.

10 Por lo demás, el proceso de generación de la matriz B^T , la matriz parcial E, la matriz parcial T y la matriz T^{-1} se describe a continuación.

Además, se asume que la estructura de la matriz raíz de comprobación de paridad es la estructura ilustrada en la figura 12.

15 La figura 12 es un diagrama que ilustra una matriz de comprobación de paridad con una forma similar a la forma de la matriz triangular inferior completa.

La matriz de comprobación de paridad ilustrada en la figura 12 es diferente a la matriz de comprobación de paridad que tiene forma de matriz triangular inferior en la forma de la parte de paridad. En la figura 12, el superíndice (o exponente) a_{ij} de la matriz de permutación P de una parte de información es $0 \leq a_{ij} \leq N_s - 1$ ó $a_{ij} = \infty$, tal como se ha descrito anteriormente. Una matriz de permutación P con un superíndice $a_{ij} = 0$, es decir una matriz de permutación P^0 , de la parte de información, representa una matriz identidad $IN_s \times N_x$, y una matriz de permutación P con un superíndice $a_{ij} = \infty$, es decir una matriz de permutación P^∞ , representa una matriz cero. En la figura 7, 'p' representa el número de filas de bloques mapeadas a la parte de información, y 'q' representa el número de columnas de bloques mapeadas a la parte de paridad. Asimismo, los superíndices a_i , x e y de las matrices de permutación P mapeadas a la parte de paridad representan exponentes de la matriz de permutación P. Sin embargo, por conveniencia de la explicación, se utilizan los superíndices diferentes a_i , x e y para diferenciar la parte de paridad respecto de la parte de información. Es decir, en la figura 12, P^{al} y P^{am} son asimismo matrices de permutación, y los superíndices a_i a a_m están indexados secuencialmente a matrices situadas en la parte diagonal de la parte de paridad. Además, P^x y P^y son asimismo matrices de permutación, y por conveniencia de la explicación, están indexadas de manera diferente para diferenciar la parte de paridad respecto de la parte de información.

30 Cuando la matriz raíz de comprobación de paridad incluye una parte de información s, una primera parte de paridad p_1 y una segunda parte de paridad p_2 , un vector \underline{c} de palabra de código puede dividirse en un vector \underline{s} de palabra de información, un primer vector de paridad \underline{p}_1 y un segundo vector de paridad \underline{p}_2 . En este caso, un producto de la matriz raíz de comprobación de paridad y del vector \underline{c} de palabra de código, puede expresarse a continuación como ecuación (1) y ecuación (2):

35
$$A_s^T + B p_1^T + T p_2^T = 0 \quad \dots \dots (1)$$

$$(ET^{-1}A + C)_s^T + (ET^{-1}B + D) p_1^T = 0 \quad \dots \dots (2)$$

En la ecuación (1), T denota una operación de trasponer, y en la ecuación (2), una parte de \underline{p}_1^T relacionada con un primer vector de paridad \underline{p}_1 puede calcularse mediante

$$p_1^T = \Phi^{-1} (ET^{-1}A + C)_s^T \quad (\Phi \triangleq ET^{-1}B + D) \quad \dots \dots (3)$$

40 En la ecuación (3), debido a que la complejidad de codificación del código LDPC no ordinario es proporcional al cuadrado del tamaño de la matriz Φ , la presente invención establece la matriz Φ utilizada para calcular el primer vector de paridad \underline{p}_1 como una matriz identidad I. Fijando la matriz Φ como una matriz identidad I de este modo, se

minimiza la complejidad de codificación del código LDPC no binario. Haciendo referencia a la figura 11, a continuación se realizará una descripción de un proceso de configuración de la matriz Φ como una matriz identidad I. Una matriz permutación P^{al} se fijará como una matriz identidad I. En un bloque parcial de la matriz parcial T^{-1}

5 ilustrada en relación con la figura 11, una parte P^{k1-k2} representa un producto $\prod_{i=k_1}^{k_2} P^{a_i} = P^{\sum_{i=k_1}^{k_2} a_i}$ de una matriz P^{k1} por una matriz P^{k2} .

Debido a que una matriz parcial E incluye todo matrices cero excepto una matriz, el producto de la matriz parcial E por una matriz inversa T^{-1} de la matriz parcial T puede expresarse como el producto de la última fila de la matriz inversa T^{-1} de la matriz parcial T por la última matriz de la matriz parcial E, tal como se muestra en la ecuación (4):

$$ET^{-1} = P^{a_n} [P^{2-m} : P^{3-m} : \dots P^{a_n} : I] \dots (4)$$

10 Si el producto de la matriz parcial E y la matriz inversa T^{-1} de la matriz parcial T se multiplica por la matriz parcial B, el resultado puede expresarse tal como se muestra a continuación en la ecuación (5):

$$ET^{-1}B = P^{a_n} P^{2-m} + P^{a_n} P^{k-m} P^y \dots (5)$$

donde k es un número natural concreto determinado de acuerdo con una posición de P^y .

15 Cuando el producto de la matriz parcial E por una matriz inversa T^{-1} de la matriz parcial T se multiplica por la matriz parcial B, tal como se ilustra en la ecuación (5), puesto que la matriz parcial B incluye todo matrices cero excepto dos bloques, la multiplicación se realizará solamente sobre los dos bloques de la matriz parcial B, simplificando por lo tanto el cálculo.

20 Si $D = P^x = P^{a_n} P^{2-m} P^{a_n} P^{k-m} P^y = I$, entonces $\Phi = ET^{-1}B + D = I$. Por lo tanto, la matriz Φ se convierte en la matriz identidad I. La siguiente ecuación (6) expresa brevemente las condiciones en que la matriz Φ se convierte en la matriz identidad I.

$$x \equiv a_m + \left(\sum_{i=2}^m a_i \right) \pmod{N_s}, \quad a_m + \left(\sum_{i=k}^m a_i \right) + y \equiv 0 \pmod{N_s} \dots (6)$$

Tal como se ha descrito haciendo referencia a las ecuaciones (4) a (6), si la matriz Φ se fija como una matriz identidad I, puede simplificarse la complejidad del proceso de codificación para el código de bloque LDPC.

25 La figura 13 es un diagrama que ilustra otra estructura interna de un codificador 611, tal como el ilustrado en la figura 6.

30 En la figura 13, el codificador 1311 incluye un perforador 1311, un multiplicador 1313 de la matriz parcial A, un multiplicador 1315 de la matriz parcial C, un conmutador 1317, un multiplicador 1319 de la matriz parcial ET^{-1} , un operador XOR 1321, un multiplicador 1323 de la matriz parcial B, un operador XOR 1325, un multiplicador 827 de la matriz parcial T^{-1} , un codificador 1329 del código único de comprobación de paridad, un ensamblador 1331 y un controlador (no mostrado).

35 El controlador almacena una matriz sucesora de comprobación de paridad en una memoria interna incluida en el controlador, a modo de ejemplo. El controlador genera un vector final de palabra de código utilizando una matriz raíz de comprobación de paridad, correspondiente a una tasa de codificación a utilizar en un aparato de transmisión de señal. El controlador genera asimismo un vector final de palabra de código utilizando una matriz sucesora de comprobación de paridad, correspondiente a una tasa de codificación a utilizar en el aparato de transmisión de señal. El controlador genera asimismo un vector final de palabra de código perforando un vector de palabra de código generado utilizando la matriz raíz de comprobación de paridad, correspondiente a una tasa de codificación a utilizar en el aparato de transmisión de señal. Es decir, el controlador controla una operación completa del codificador 611, correspondiente a una tasa de codificación a utilizar en el aparato de transmisión de señal.

El controlador determina una tasa de codificación a utilizar en el aparato de transmisión de señal cuando se introduce un vector de información, y controla un funcionamiento del codificador 611 correspondiente a la tasa de codificación determinada.

5 En primer lugar, el funcionamiento del codificador 611 descrito a continuación se refiere a cuando la tasa de codificación determinada es la tasa de codificación raíz. En el presente documento, que la tasa de codificación determinada sea la tasa de codificación raíz representa que se genera un vector de palabra de código utilizando la matriz raíz de comprobación de paridad.

10 Si se recibe un vector de información a cifrar, el vector de información es distribuido al ensamblador 1331, al multiplicador 1313 de la matriz parcial A, al multiplicador 1315 de la matriz parcial C y al conmutador 1317. El multiplicador 1313 de la matriz parcial A multiplica el vector de información por la matriz parcial A, y entrega el resultado al multiplicador 1319 de la matriz parcial ET^{-1} y al operador XOR 1325. El multiplicador 1319 de la matriz parcial ET^{-1} multiplica la señal entregada desde el multiplicador 1313 de la matriz parcial A por la matriz parcial ET^{-1} , y entrega el resultado al operador XOR 1321. El multiplicador 1315 de la matriz parcial C multiplica el vector de información por la matriz parcial C, y entrega el resultado al operador XOR 1321. El operador XOR 1321 lleva a cabo una operación XOR sobre la señal entregada desde el multiplicador 1319 de la matriz parcial ET^{-1} y la señal entregada desde el multiplicador 1315 de la matriz parcial C, y entrega el resultado al multiplicador 1323 de la matriz parcial B y al perforador 1311. La señal entregada desde el operador XOR 1321 es un primer vector de paridad.

20 El multiplicador 1323 de la matriz parcial B multiplica la señal entregada desde el operador XOR 1321 por la matriz parcial B, y entrega el resultado al operador XOR 1325. El operador XOR 1325 realiza una operación XOR sobre la señal entregada desde el multiplicador 1313 de la matriz parcial A y la señal entregada desde el multiplicador 1323 de la matriz parcial B, y entrega el resultado al multiplicador 1327 de la matriz parcial T^{-1} . El multiplicador 1327 de la matriz T^{-1} multiplica la señal entregada desde el operador XOR 1325 por la matriz parcial T^{-1} , y entrega el resultado al perforador 1311. La señal entregada desde el multiplicador 1327 de la matriz parcial T^{-1} es un segundo vector de paridad.

25 El conmutador 1317 lleva a cabo una operación de conmutación bajo el control del controlador, y el controlador conecta el conmutador 1317 para introducir el vector de información al codificador 1329 del código único de comprobación de paridad, solamente cuando el vector de información necesita generar un tercer vector de paridad. Es decir, el controlador conecta el conmutador 1317 para introducir el vector de información al codificador 1329 del código único de comprobación de paridad, solamente cuando el vector de información necesita generar un vector final de palabra de código utilizando una matriz sucesora de comprobación de paridad. Pero si la tasa de codificación a utilizar en el aparato de transmisión de señal es una tasa de codificación raíz, el controlador desconecta el conmutador 1317.

35 El perforador 1311, bajo el control del controlador, lleva a cabo una operación de perforación. Pero, si la tasa de codificación a utilizar en el aparato de transmisión de señal es una tasa de codificación raíz, el controlador controla el perforador 1311 para que no realice una operación de perforación, y derive el primer vector de paridad y el segundo vector de paridad al ensamblador 1331. El ensamblador 1331, bajo el control del controlador, entrega un vector final de palabra de código ensamblando el vector de información, el primer vector de paridad y el segundo vector de paridad.

40 En segundo lugar, el funcionamiento del codificador 611 descrito más adelante se refiere a cuando la tasa de codificación determinada es una tasa de codificación de la matriz sucesora de comprobación de paridad ("una tasa de codificación sucesora"). En el presente documento, que la tasa de codificación determinada sea la tasa de codificación sucesora representa que se genera un vector final de palabra de código utilizando la matriz sucesora de comprobación de paridad.

45 En este caso, la diferencia entre el funcionamiento del codificador 611 cuando el vector final de palabra de código se genera utilizando la matriz sucesora de comprobación de paridad, y el funcionamiento del codificador 611 cuando el vector final de palabra de código se genera utilizando la matriz raíz de comprobación de paridad, es que un vector final de palabra de código incluye un tercer vector de paridad. Es decir, el controlador conecta el conmutador 1317 para introducir el vector de información al codificador 1329 de código único de comprobación de paridad, puesto que la tasa de codificación determinada es la tasa de codificación sucesora.

50 El codificador 1329 de código único de comprobación de paridad genera un código único de comprobación de paridad como un tercer vector de paridad, codificando el vector de información entregado desde el conmutador 1317, el primer vector de paridad y el segundo vector de paridad, y entrega el resultado al ensamblador 1331. El ensamblador 1331, bajo el control del controlador, genera un vector final de palabra de código ensamblando el vector de información, el primer vector de paridad, el segundo vector de paridad y el tercer vector de paridad.

5 En tercer lugar, el funcionamiento del codificador 611 descrito más adelante se refiere a cuando la tasa de codificación determinada es mayor que la tasa de codificación raíz. En el presente documento, una tasa de codificación mayor que la tasa de codificación raíz se denominará "tasa de codificación en exceso". Es decir, el vector final de palabra de código se genera perforando un vector de palabra de código generado utilizando la matriz raíz de comprobación de paridad, cuando la tasa de codificación determinada es la tasa de codificación en exceso.

10 En este caso, la diferencia entre el funcionamiento del codificador 611 cuando el vector final de palabra de código es generado utilizando la matriz raíz de comprobación de paridad, y el funcionamiento del codificador 611 cuando el vector final de palabra de código es generado perforando un vector de palabra de código generado utilizando la matriz raíz de comprobación de paridad, es que el vector final de palabra de código es generado perforando, por lo menos, uno entre el primer vector de paridad y el segundo vector de paridad correspondiente a la tasa de codificación en exceso.

15 Es decir, el perforador 1311, bajo el control del controlador, perfora, por lo menos, uno entre el primer vector de paridad y el segundo vector de paridad correspondiente a la tasa de codificación en exceso, puesto que la tasa de codificación determinada es la tasa de codificación en exceso. A continuación, el perforador 1311 entrega el resultado al ensamblador. El ensamblador 1331 genera un vector final de palabra de código ensamblando el vector de información y una señal entregada desde el perforador 1311.

20 En la figura 13, aunque el controlador genera en paralelo el vector de información, el primer vector de paridad, el segundo vector de paridad, y el tercer vector de paridad de acuerdo con la tasa de codificación, y a continuación ensambla un vector final de palabra de código utilizando los vectores generados a modo de ejemplo, el controlador puede generar secuencialmente solamente los vectores correspondientes entre el vector de información, el primer vector de paridad, el segundo vector de paridad y el tercer vector de paridad de acuerdo con la tasa de codificación, y ensamblar a continuación un vector final de palabra de código utilizando los vectores generados.

25 Además, en la figura 13, el controlador determina una tasa de codificación a utilizar en el aparato de transmisión de señal cuando el vector de información es introducido a modo de ejemplo, y el controlador puede controlar el funcionamiento del codificador 611 correspondiente a una tasa de codificación predeterminada. En este caso, el codificador 611 incluye el perforador 1311 a modo de ejemplo. Sin embargo, el perforador 1311 no lleva a cabo una operación de perforación cuando una tasa de codificación a utilizar en el aparato de transmisión de señal, es una entre la tasa de codificación raíz y la tasa de codificación sucesora. Por lo tanto, si el aparato de transmisión de señal utiliza una entre la tasa de codificación raíz y la tasa de codificación sucesora, el codificador 611 no incluye el perforador 1311.

35 Tal como puede entenderse a partir de la descripción precedente, la presente invención permite la transmisión/recepción de señales en un sistema de comunicación que utiliza un código de bloque LDPC que soporta una tasa de codificación variable. Además, la presente invención genera una serie de matrices sucesoras de comprobación de paridad a partir de una matriz raíz de comprobación de paridad de acuerdo con una tasa de codificación, permitiendo de ese modo la transmisión/recepción de señal a una tasa de codificación variable con complejidad minimizada.

40 Si bien la invención ha sido mostrada y descrita haciendo referencia a cierta realización preferida de la misma, los expertos en la materia comprenderán que pueden realizarse en la misma diversos cambios en la forma y los detalles, sin apartarse del alcance de la invención tal como se define mediante las reivindicaciones anexas.

REIVINDICACIONES

1. Un método de codificación de un vector de información en un aparato de transmisión de señal, comprendiendo el método:

5 generar una palabra de código de bloque de comprobación de paridad de baja densidad LDPC, codificando un vector de información utilizando una segunda matriz de comprobación de paridad cuando una tasa de codificación de transmisión en el aparato de transmisión de señal es una segunda tasa de codificación, siendo la segunda tasa de codificación menor que una primera tasa de codificación de una primera matriz de comprobación de paridad, y

10 generar una palabra de código de bloque LDPC codificando el vector de información utilizando solamente la primera matriz de comprobación de paridad, cuando la tasa de codificación de transmisión es la primera tasa de codificación, y

15 generar un primer vector de paridad, un segundo vector de paridad y un tercer vector de paridad codificando el vector de información utilizando la segunda matriz de comprobación de paridad, cuando la tasa de codificación de transmisión es una tercera tasa de codificación, siendo la tercera tasa de codificación mayor que la primera tasa de codificación y generando una palabra de código de bloque LDPC perforando, por lo menos, uno entre el vector de información, el primer vector de paridad, el segundo vector de paridad y el tercer vector de paridad correspondiente a la tercera tasa de codificación,

20 en el que la segunda matriz de comprobación de paridad es generada utilizando la primera matriz de comprobación de paridad, la primera matriz de comprobación de paridad incluye una serie de bloques, los bloques de la serie de bloques son clasificados en bloques (111, 113) correspondientes a una primera parte de información correspondiente al vector de información, bloques (121, 123) correspondientes a una primera parte de paridad correspondiente al primer vector de paridad, y bloques (131, 133) correspondientes a una segunda parte de paridad correspondiente al segundo vector de paridad,

25 en el que los bloques clasificados como la primera parte de información son clasificados en bloques correspondientes a un primer bloque parcial (111) y bloques correspondientes a un segundo bloque parcial (113), los bloques clasificados como la primera parte de paridad son clasificados en bloques correspondientes a un tercer bloque parcial (121) y bloques correspondientes a un cuarto bloque parcial (123), y los bloques clasificados como la segunda parte de paridad son clasificados en bloques correspondientes a un quinto bloque parcial (131) y bloques correspondientes a un sexto bloque parcial (133).

30 en el que la segunda matriz de comprobación de paridad incluye la primera matriz de comprobación de paridad y bloques correspondientes a una segunda parte de información (115) correspondiente al vector de información, una tercera parte de paridad (125) correspondiente al primer vector de paridad, una cuarta parte de paridad (135) correspondiente al segundo vector de paridad y una quinta parte de paridad (141, 143, 145) correspondiente al tercer vector de paridad, los bloques clasificados como la segunda parte de información son clasificados en bloques correspondientes a un séptimo bloque parcial (115), los bloques clasificados como la tercera de paridad parte son clasificados en bloques correspondientes a un octavo bloque parcial (125), los bloques clasificados como la cuarta parte de paridad son clasificados en bloques correspondientes a un noveno bloque parcial (135), los bloques clasificados como la quinta parte de paridad son clasificados en bloques correspondientes a un décimo bloque parcial (141), bloques correspondientes a un undécimo bloque parcial (143) y bloques correspondientes a un duodécimo bloque parcial (145),

35 en el que el duodécimo bloque parcial (145) es diagonal con el sexto bloque parcial (133) bloque a bloque, se disponen matrices de identidad en bloques correspondientes al duodécimo bloque parcial.

40 2. El método de la reivindicación 1, en el que generar la palabra de código de bloque LDPC, codificando el vector de información utilizando la segunda matriz de comprobación de paridad, comprende:

45 generar una primera señal multiplicando el vector de información por una primera matriz parcial correspondiente al primer bloque parcial;

generar una segunda señal multiplicando el vector de información por una segunda matriz parcial correspondiente al segundo bloque parcial;

50 generar una tercera señal multiplicando la primera señal por un producto matricial de una sexta matriz parcial correspondiente al sexto bloque parcial y una matriz inversa de una quinta matriz parcial correspondiente al quinto bloque parcial;

generar una cuarta señal sumando la segunda señal y la tercera señal;

generar una quinta señal multiplicando la cuarta señal por una tercera matriz parcial correspondiente al tercer bloque parcial;

generar una sexta señal sumando la primera señal y la quinta señal;

5 generar una séptima señal multiplicando la sexta señal por la matriz inversa de la quinta matriz parcial;

generar una octava señal multiplicando una séptima matriz parcial correspondiente al séptimo bloque parcial, por el vector de formación; y

10 ensamblar el vector de información, la cuarta señal como primer vector de paridad, la séptima señal como segundo vector de paridad, y la octava señal como tercer vector de paridad, de acuerdo con un formato del código de bloque LDPC.

3. El método de la reivindicación 1, en el que generar el primer vector de paridad, el segundo vector de paridad, y el tercer vector de paridad codificando el vector de información utilizando la segunda matriz de comprobación de paridad, comprende:

15 generar una primera señal multiplicando el vector de información por una primera matriz parcial correspondiente al primer bloque parcial;

generar una segunda señal multiplicando el vector de información por una segunda matriz parcial correspondiente al segundo bloque parcial;

20 generar una tercera señal multiplicando la primera señal por un producto matricial de una sexta matriz parcial correspondiente al sexto bloque parcial y una matriz inversa de una quinta matriz parcial correspondiente al quinto bloque parcial;

generar una cuarta señal sumando la segunda señal y la tercera señal;

generar una quinta señal multiplicando la cuarta señal por una tercera matriz parcial correspondiente al tercer bloque parcial;

generar una sexta señal sumando la primera señal y la quinta señal;

25 generar una séptima señal multiplicando la sexta señal por la matriz inversa de la quinta matriz parcial; y

generar un vector de paridad único utilizando el vector de información, la cuarta señal y la séptima señal.

4. Un aparato para codificar un vector de información para un aparato de transmisión de señal, comprendiendo el aparato:

30 un codificador para generar una palabra de código de bloque de comprobación de paridad de baja densidad LDPC, codificando un vector de información utilizando una segunda matriz de comprobación de paridad cuando una tasa de codificación de transmisión en el aparato de transmisión de señal es una segunda tasa de codificación, siendo la segunda tasa de codificación menor que una primera tasa de codificación de la primera matriz de comprobación de paridad, y

35 para generar una palabra de código de bloque LDPC codificando el vector de información utilizando solamente la primera matriz de comprobación de paridad, cuando la tasa de codificación de transmisión es la primera tasa de codificación, y

40 para generar un primer vector de paridad, un segundo vector de paridad y un tercer vector de paridad codificando el vector de información utilizando la segunda matriz de comprobación de paridad cuando la tasa de codificación de transmisión es una tercera tasa de codificación, siendo la tercera tasa de codificación mayor que la primera tasa de codificación y generando una palabra de código de bloque LDPC perforando, por lo menos, uno entre el vector de información, el primer vector de paridad, el segundo vector de paridad y el tercer vector de paridad correspondiente a la tercera tasa de codificación,

en el que la segunda matriz de comprobación de paridad es generada utilizando la primera matriz de comprobación de paridad, la primera matriz de comprobación de paridad incluye una serie de bloques, los

bloques de la serie de bloques son clasificados en bloques correspondientes a una primera parte de información correspondiente al vector de información, bloques correspondientes a una primera parte de paridad correspondiente al primer vector de paridad, y bloques correspondientes a una segunda parte de paridad correspondiente al segundo vector de paridad,

5 en el que los bloques clasificados como la primera parte de información son clasificados en bloques correspondientes a un primer bloque parcial (111) y bloques correspondientes a un segundo bloque parcial (113), los bloques clasificados como la primera parte de paridad son clasificados en bloques correspondientes a un tercer bloque parcial (121) y bloques correspondientes a un cuarto bloque parcial (123), y los bloques clasificados como la segunda parte de paridad son clasificados en bloques correspondientes a un quinto bloque parcial (131) y bloques correspondientes a un sexto bloque parcial (133),

15 en el que la segunda matriz de comprobación de paridad incluye la primera matriz de comprobación de paridad y bloques correspondientes a una segunda parte de información correspondiente al vector de información, una tercera parte de paridad correspondiente al primer vector de paridad, una cuarta parte de paridad correspondiente al segundo vector de paridad y una quinta parte de paridad correspondiente al tercer vector de paridad, los bloques clasificados como la segunda parte de información son clasificados en bloques correspondientes a un séptimo bloque parcial (115), los bloques clasificados como la tercera parte de paridad son clasificados en bloques correspondientes a un octavo bloque parcial (125), los bloques clasificados como la cuarta parte de paridad son clasificados en bloques correspondientes a un noveno bloque parcial (135), los bloques clasificados como la quinta parte de paridad son clasificados en bloques correspondientes a un décimo bloque parcial (141), bloques correspondientes a un undécimo bloque parcial (143) y bloques correspondientes a un duodécimo bloque parcial (145),

20 en el que el duodécimo bloque parcial (145) es diagonal con el sexto bloque parcial (133) bloque a bloque, se disponen matrices de identidad en bloques correspondientes al duodécimo bloque parcial.

25 5. El aparato de la reivindicación 4, en el que el codificador comprende:

un primer multiplicador para generar una primera señal multiplicando el vector de información por una primera matriz parcial correspondiente al primer bloque parcial;

un segundo multiplicador para generar una segunda señal multiplicando el vector de información por una segunda matriz parcial correspondiente al segundo bloque parcial;

30 un tercer multiplicador para generar una tercera señal multiplicando la primera señal por un producto matricial de una sexta matriz parcial correspondiente al sexto bloque parcial y una matriz inversa de una quinta matriz parcial correspondiente al quinto bloque parcial;

un primer sumador para generar una cuarta señal sumando la segunda señal y la tercera señal;

35 un cuarto multiplicador para generar una quinta señal multiplicando la cuarta señal por una tercera matriz parcial correspondiente al tercer bloque parcial;

un segundo sumador para generar una sexta señal sumando la primera señal y la quinta señal;

un quinto multiplicador para generar una séptima señal multiplicando la sexta señal por la matriz inversa de la quinta matriz parcial;

40 un sexto multiplicador para generar una octava señal multiplicando una séptima matriz parcial correspondiente al séptimo bloque parcial por el vector de información; y

un ensamblador para ensamblar el vector de información, la cuarta señal como primer vector de paridad, la séptima señal como segundo vector de paridad, y la octava señal como tercer vector de paridad, de acuerdo con un formato del código de bloque LDPC.

6. El aparato de la reivindicación 5, en el que el codificador comprende:

45 un primer multiplicador para generar una primera señal multiplicando el vector de información por una primera matriz parcial correspondiente al primer bloque parcial;

un segundo multiplicador para generar una segunda señal multiplicando el vector de información por una segunda matriz parcial correspondiente al segundo bloque parcial;

5 un tercer multiplicador para generar una tercera señal multiplicando la primera señal por un producto matricial de una sexta matriz parcial correspondiente al sexto bloque parcial y una matriz inversa de una quinta matriz parcial correspondiente al quinto bloque parcial;

un primer sumador para generar una cuarta señal sumando la segunda señal y la tercera señal;

un cuarto multiplicador para generar una quinta señal multiplicando la cuarta señal por una tercera matriz parcial correspondiente al tercer bloque parcial;

un segundo sumador para generar una sexta señal sumando la primera señal y la quinta señal;

10 un quinto multiplicador para generar una séptima señal multiplicando la sexta señal por la matriz inversa de la quinta matriz parcial;

un codificador de paridad único para generar un vector de paridad único utilizando el vector de información, la cuarta señal y la séptima señal.

15 7. Un método de decodificación de una señal de recepción en un aparato de recepción de señal, comprendiendo el método:

detectar un vector de información descodificando una señal de recepción utilizando una segunda matriz de comprobación de paridad cuando una tasa de codificación de transmisión en el aparato de transmisión de señal es una segunda tasa de codificación, siendo la segunda tasa de codificación menor que una primera tasa de codificación de una primera matriz de comprobación de paridad, y

20 detectar el vector de información descodificando una señal de recepción utilizando solamente la primera matriz de comprobación de paridad cuando la tasa de codificación de transmisión es la primera tasa de codificación, y

25 generar una señal codificada insertando cero en una posición predeterminada de una señal de recepción cuando la tasa de codificación de transmisión es una tercera tasa de codificación, siendo la tercera tasa de codificación mayor que la primera tasa de codificación, y detectar el vector de información descodificando la señal descodificada utilizando una segunda matriz de comprobación de paridad,

30 en el que la segunda matriz de comprobación de paridad es generada utilizando la primera matriz de comprobación de paridad, la primera matriz de comprobación de paridad incluye una serie de bloques, los bloques de la serie de bloques son clasificados en bloques correspondientes a una primera parte de información correspondiente al vector de información, bloques correspondientes a una primera parte de paridad correspondiente al primer vector de paridad, y bloques correspondientes a una segunda parte de paridad correspondiente al segundo vector de paridad,

35 en el que los bloques clasificados como la primera parte de información son clasificados en bloques correspondientes a un primer bloque parcial (111) y bloques correspondientes a un segundo bloque parcial (113), los bloques clasificados como la primera parte de paridad son clasificados en bloques correspondientes a un tercer bloque parcial (121) y bloques correspondientes a un cuarto bloque parcial (123), y los bloques clasificados como la segunda parte de paridad son clasificados en bloques correspondientes a un quinto bloque parcial (131) y bloques correspondientes a un sexto bloque parcial (133),

40 en el que la segunda matriz de comprobación de paridad incluye la primera matriz de comprobación de paridad y bloques correspondientes a una segunda parte de información correspondiente al vector de información, una tercera parte de paridad correspondiente al primer vector de paridad, una cuarta parte de paridad correspondiente al segundo vector de paridad y una quinta parte de paridad correspondiente al tercer vector de paridad, los bloques clasificados como la segunda parte de información son clasificados en bloques correspondientes a un séptimo bloque parcial (115), los bloques clasificados como la tercera parte de paridad son clasificados en bloques correspondientes a un octavo bloque parcial (125), los bloques clasificados como la cuarta parte de paridad son clasificados en bloques correspondientes a un noveno bloque parcial (135), los bloques clasificados como la quinta parte de paridad son clasificados en bloques correspondientes a un décimo bloque parcial (141), bloques correspondientes a un undécimo bloque parcial (143) y bloques correspondientes a un duodécimo bloque parcial (145), y

45

50

en el que el duodécimo bloque parcial (145) es diagonal con el sexto bloque parcial (133) bloque a bloque, y las matrices de identidad se disponen en bloques correspondientes al duodécimo bloque parcial.

8. El método de la reivindicación 7, en el que detectar el vector de información descodificando la señal de recepción utilizando la segunda matriz de comprobación de paridad, comprende:

- 5 determinar un esquema de desentrelazado y un esquema de entrelazado de acuerdo con la segunda matriz de comprobación de paridad;
- detectar valores de probabilidad de la señal de recepción;
- generar una primera señal restando una señal generada en un proceso de descodificación previo, respecto de los valores de probabilidad de la señal de recepción;
- 10 desentrelazar la primera señal utilizando el esquema de desentrelazado;
- detectar valores de probabilidad a partir de la señal desentrelazada;
- generar una segunda señal restando la señal desentrelazada respecto de los valores de probabilidad de la señal desentrelazada; y
- 15 entrelazar la segunda señal utilizando el esquema de entrelazado y descodificar de manera iterativa la señal entrelazada.

9. Un aparato para descodificar una señal de recepción para un aparato de recepción de señal, comprendiendo el aparato:

- 20 un descodificador para detectar un vector de información descodificando una señal de recepción utilizando una segunda matriz de comprobación de paridad cuando una tasa de codificación de transmisión en el aparato de transmisión de señal es una segunda tasa de codificación, siendo la segunda tasa de codificación menor que una primera tasa de codificación de una primera matriz de comprobación de paridad, y
- 25 para detectar el vector de información descodificando una señal de recepción utilizando solamente la primera matriz de comprobación de paridad cuando la tasa de codificación de transmisión es la primera tasa de codificación, y
- 30 para generar una señal codificada insertando cero en una posición predeterminada de una señal de recepción cuando la tasa de codificación de transmisión es una tercera tasa de codificación, siendo la tercera tasa de codificación mayor que la primera tasa de codificación, y detectar el vector de información descodificando la señal descodificada utilizando una segunda matriz de comprobación de paridad,
- 35 en el que la segunda matriz de comprobación de paridad es generada utilizando la primera matriz de comprobación de paridad, la primera matriz de comprobación de paridad incluye una serie de bloques, los bloques de la serie de bloques son clasificados en bloques correspondientes a una primera parte de información correspondiente al vector de información, bloques correspondientes a una primera parte de paridad correspondiente al primer vector de paridad, y bloques correspondientes a una segunda parte de paridad correspondiente al segundo vector de paridad,
- 40 en el que los bloques clasificados como la primera parte de información son clasificados en bloques correspondientes a un primer bloque parcial (111) y bloques correspondientes a un segundo bloque parcial (113), los bloques clasificados como la primera parte de paridad son clasificados en bloques correspondientes a un tercer bloque parcial (121) y bloques correspondientes a un cuarto bloque parcial (123), y los bloques clasificados como la segunda parte de paridad son clasificados en bloques correspondientes a un quinto bloque parcial (131) y bloques correspondientes a un sexto bloque parcial (133),
- 45 en el que la segunda matriz de comprobación de paridad incluye la primera matriz de comprobación de paridad y bloques correspondientes a una segunda parte de información correspondiente al vector de información, una tercera parte de paridad correspondiente al primer vector de paridad, una cuarta parte de paridad correspondiente al segundo vector de paridad y una quinta parte de paridad correspondiente al tercer vector de paridad, los bloques clasificados como la parte de información son clasificados en bloques correspondientes a un séptimo bloque parcial (115), los bloques clasificados como la tercera parte de

5 paridad son clasificados en bloques correspondientes a un octavo bloque parcial (125), los bloques clasificados como la cuarta parte de paridad son clasificados en bloques correspondientes a un noveno bloque parcial (135), los bloques clasificados como la quinta parte de paridad son clasificados en bloques correspondientes a un décimo bloque parcial (141), bloques correspondientes a un undécimo bloque parcial (143) y bloques correspondientes a un duodécimo bloque parcial (145), y

en el que el duodécimo bloque parcial (145) es diagonal con el sexto bloque parcial (133) bloque a bloque, y las matrices de identidad se disponen en bloques correspondientes al duodécimo bloque parcial.

10. El aparato de la reivindicación 9, en el que el descodificador comprende:

10 un descodificador de nodos variables para conectar nodos variables de acuerdo con un peso de cada columna de la segunda matriz de comprobación de paridad, de acuerdo con una señal de control predeterminada, y detectar valores de probabilidad de una señal de recepción;

un primer sumador para restar una señal generada en un proceso de descodificación previo, respecto de una señal entregada desde el descodificador de nodos variables en un proceso de descodificación actual;

15 un desentrelazador para desentrelazar una señal entregada desde el primer sumador, utilizando un esquema de desentrelazado establecido de acuerdo con la segunda matriz comprobación de paridad;

un descodificador de nodos de comprobación para conectar nodos de comprobación de acuerdo con un peso de cada fila de la segunda matriz de comprobación de paridad, y detectar valores de probabilidad de una señal entregada desde el desentrelazador de acuerdo con una señal de control predeterminada;

20 un segundo sumador para restar una señal entregada desde el desentrelazador, respecto de una señal entregada desde el descodificador de nodos de comprobación;

un entrelazador para entrelazar una señal entregada desde el segundo sumador utilizando un esquema de entrelazado establecido de acuerdo con la segunda matriz de comprobación de paridad, y entregar la señal entrelazada al descodificador de nodos variables y al primer sumador; y

25 un controlador para determinar el esquema de desentrelazado y el esquema de entrelazado, de acuerdo con la segunda matriz de comprobación de paridad.

s	p ₁	p ₂	p ₃
A (111)	B (121)	T (131)	O (141)
C (113)	D (123)	E (133)	O (143)
F (115)	O (125)	O (135)	I (145)

FIG.1

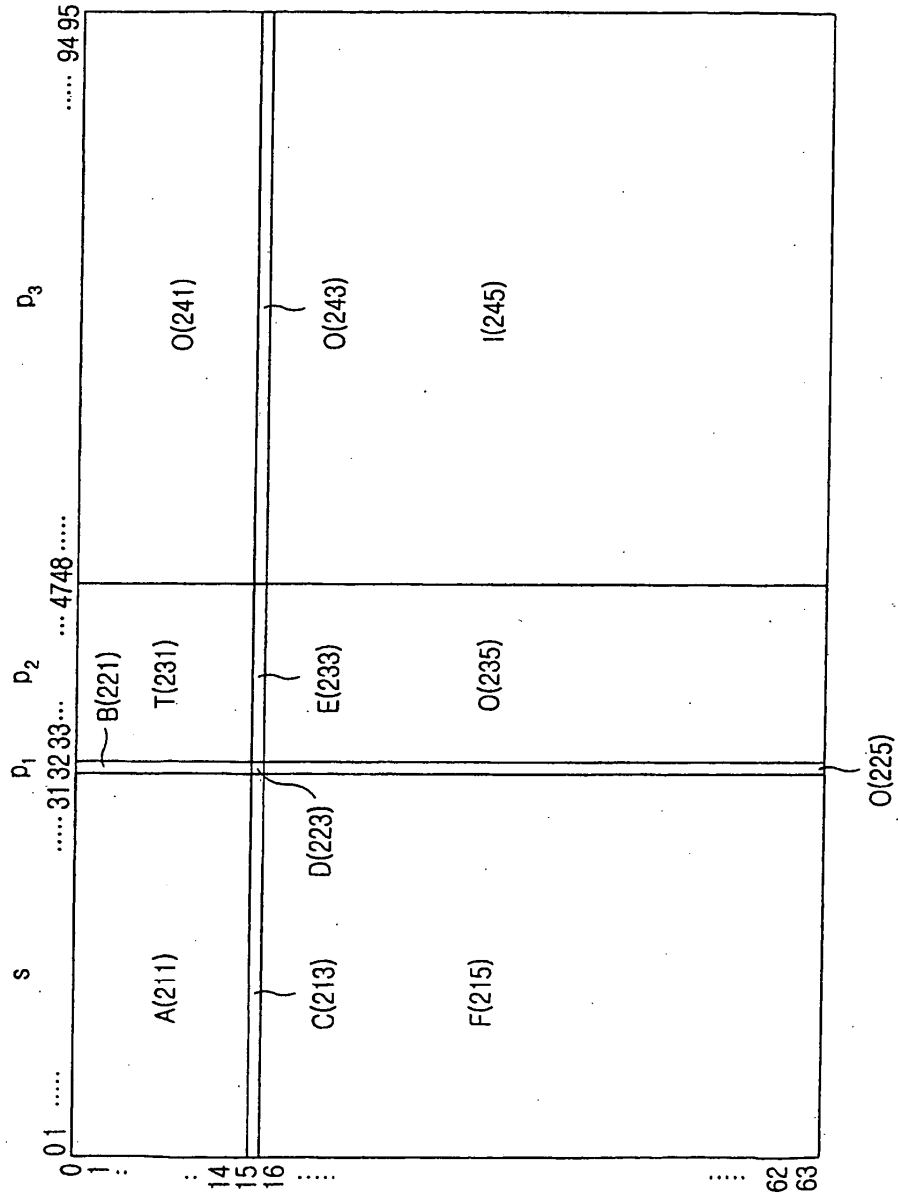


FIG.2

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0			0	0	0					0							0	0	0		0									
1	40		0	0	24		3	0	0					0									0					0				
2	29	16	3	8	47	9				0		34												0						0		
3		26	43	45		7	18				0						0					5		14							0	
4	48		40	37	0	22							0	0	41										4	0						
5	13	21	32	16		16	49					17									0							0		0		
6		18		27	44	7	41					21		0								43		3				48				
7	22	33	24		3	23			4						0								0					29			26	
8	41	22	5		13		1	26				38				47														39		
9		36	16	1		8	45						41	34						23		41									35	
10	2	40		36	35	19			24	42	13		40																	43		
11		37	11	10	47	44	8	15											48			47			30							
12	2		14		32	0	9						45							25	25			38						39		
13	14	12	41	19			7			5						26	31							20				18				
14	1		9	26	16	22	28				1				46			29									0					

FIG.3A

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
15	9	34		20	18		35									45				48			4		26							2

FIG.3B

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31					
16	7	23								6					3																						
17		35												41									46				39										
18	13		0																												41	45					
19				14								17									2							30									
20		3		28				6					47																								
21		19					1								32																	13					
22			17		10											19						17															
23			32							48	27	21																									
24	40				2					41																						42					
25	2															22	6									48											
26					22	20																		19							27						
27			32																										13	38	35						
28	44			29																2	37																
29	31							7													16													14			
30				21	8									43		38																					
31			34																	11										10	45						
32		30	23																		35				10												
33			32							20												19				30											
34				10	20																	30															
35		21	30																		32			37													
36						48				5	16	1																									
37			39		10	27																8															
38	29											46								24				46													
39				28	26																		32	16													
40					22									33	48	24																					
41	44					14								2																				30			
42			10													0								41							21						
43		26		40																		42			23												
44						46	0				5										0																
45				47	4						3						41																				
46		49				5																															
47						24				22														22				12	36								
48	18	24														6																					
49						16	7																		5		9										
50		38			26									37																					30		
51						15	27	40																													
52				28	22			1		5																											
53	28															48							19	6													
54	30				14			27														24															
55				42													24	15											47								
56			31			4						24			11																						
57			34	41				1																													
58						25																						9									
59			10	23				42																			37	27							44		
60		5									11			49																							
61					32	10					40				24																						
62				43																			22				40			24							
63				25	19			47																												0	

FIG.3C

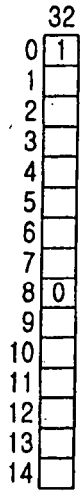


FIG.3D



FIG.3E

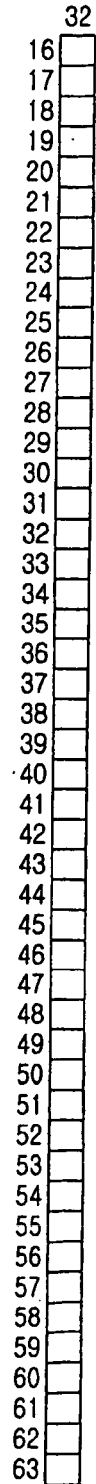


FIG.3F

	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
0	0														
1	0	0													
2		0	0												
3			0	0											
4				0	0										
5					0	0									
6						0	0								
7							0	0							
8								0	0						
9									0	0					
10										0	0				
11											0	0			
12												0	0		
13													0	0	
14														0	0

FIG.3G

	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
15															0

FIG.3H

	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
16															
17															
18															
19															
20															
21															
22															
23															
24															
25															
26															
27															
28															
29															
30															
31															
32															
33															
34															
35															
36															
37															
38															
39															
40															
41															
42															
43															
44															
45															
46															
47															
48															
49															
50															
51															
52															
53															
54															
55															
56															
57															
58															
59															
60															
61															
62															
63															

FIG.3I

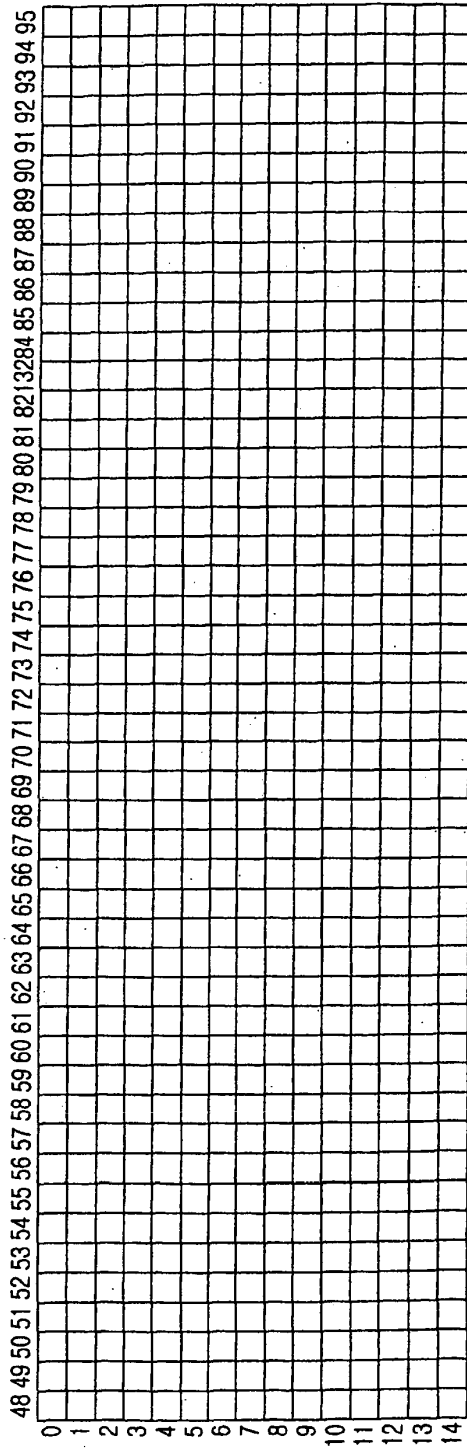


FIG.3J

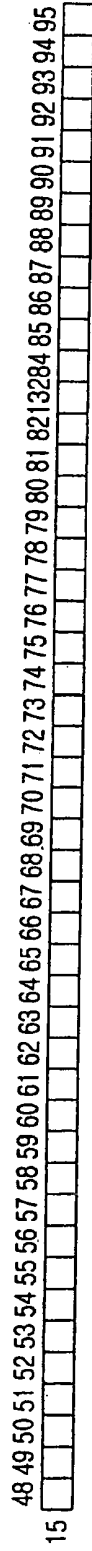


FIG.3K

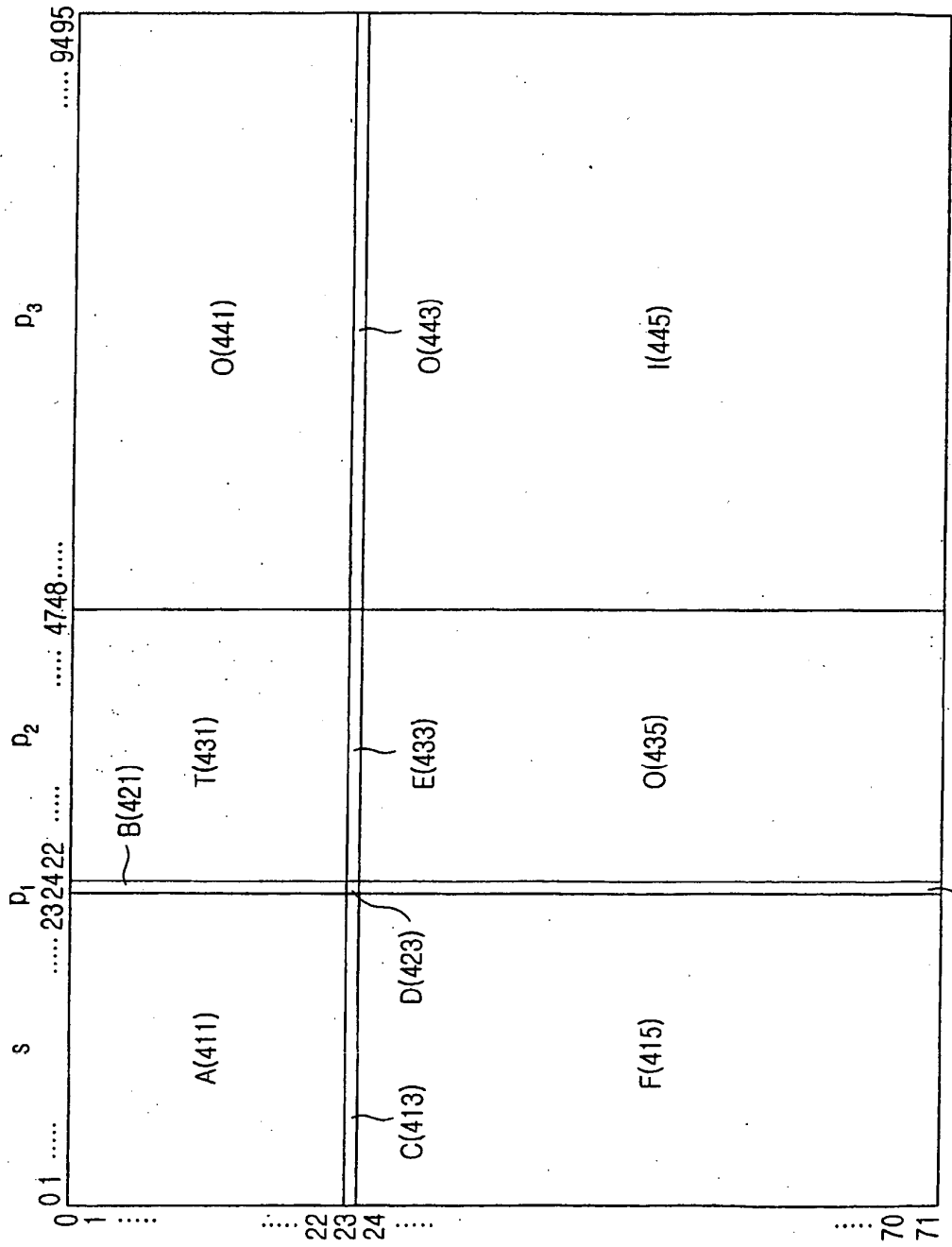


FIG.4

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
0	0	0	0					0	0	0														
1				0	0	0	0				0	0												
2	40	11					34						0	0										
3			18	37	13	8									0	0								
4	35			28		18										0	0							
5		40	41			16													0	0				
6	39			0	5																0	0		
7			37		20	19																	0	0
8		7	34				3			11		21				34								
9	36			0	48	34			23			48												
10	33		47	21	33						13								27					
11	43	24		16			34							11							1			
12			37			49	19											32		17				
13		29	23		21	16							30										22	
14		23		26	42	4		11									20							
15	0			7		36	22												14					40
16		34			39	33			19							12						35		
17	20	2				37				13														12
18			39		28	45					17										22			
19		4	49			12	8	6										48						
20	13	46		31		18								0										38
21	4	21			42		1	39							45									
22	48		37	23								40										26		

FIG.5A

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
23			28	46	7		27									8								18

FIG.5B

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
24	42	8						17																
25			27	32					9															
26					41	23				14														
27	9							24			38													
28		42	4								25													
29				2	49							19												
30						39	19						2											
31	12		9												26									
32		14			8											49								
33				37		39										15								
34	11				45											36								
35		28																13	45					
36			41																	47	16			
37				44																		30	37	
38					1			21	45															
39						14				26	25													
40							45				4	26												
41	34													24	36									
42		2														1	5							
43			40															19	10					
44				38																48	27			
45					28																	46	47	
46						31	37																	21
47							46	22	3															
48	17									18	6													
49		28										35	9											
50			1											12	15									
51				41												31	20							
52					21													21		28				
53						35													20		5			
54							15	27															24	
55	16								9															21
56		18								38	4													
57			47								28	7												
58				46									32	33										
59					25									44	29									
60						9										28	11							
61							38										7						3	
62	45																				26			21
63		18						23														42		
64			30						43							1								
65				47						21							36							
66					49						12								23					
67						37						22								23				
68							24						30								34			
69	6													41								4		
70		18													21								5	
71			43													38								10

FIG.5C

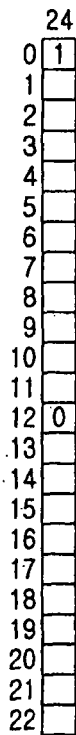


FIG.5D



FIG.5E

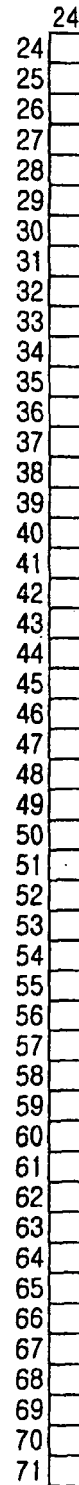


FIG.5F

	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
0	0																						
1	0	0																					
2		0	0																				
3			0	0																			
4				0	0																		
5					0	0																	
6						0	0																
7							0	0															
8								0	0														
9									0	0													
10										0	0												
11											0	0											
12												0	0										
13													0	0									
14														0	0								
15															0	0							
16																0	0						
17																	0	0					
18																		0	0				
19																			0	0			
20																				0	0		
21																					0	0	
22																						0	0

FIG.5G

	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	
23																								0

FIG.5H

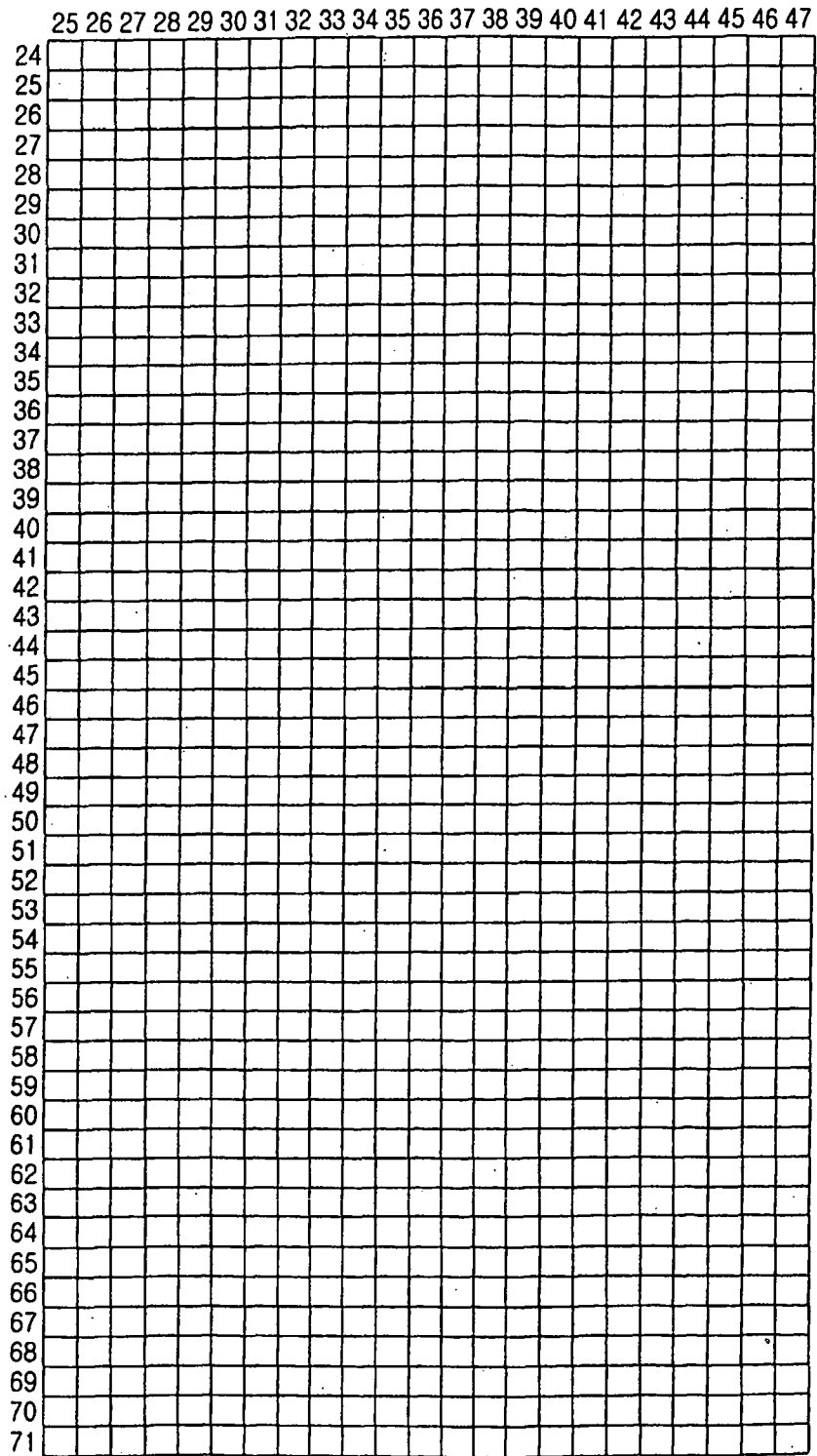


FIG.5I

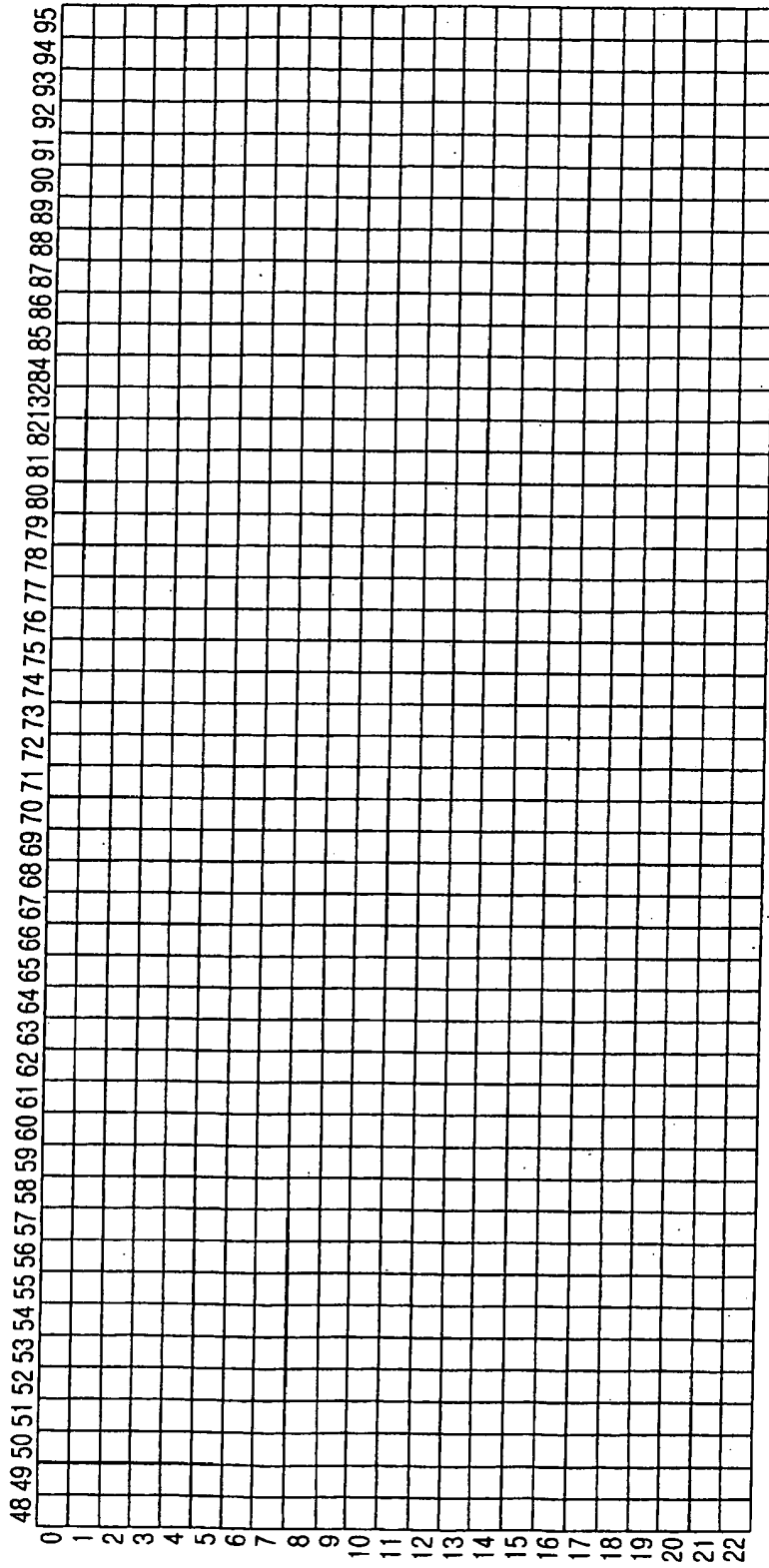


FIG.5J

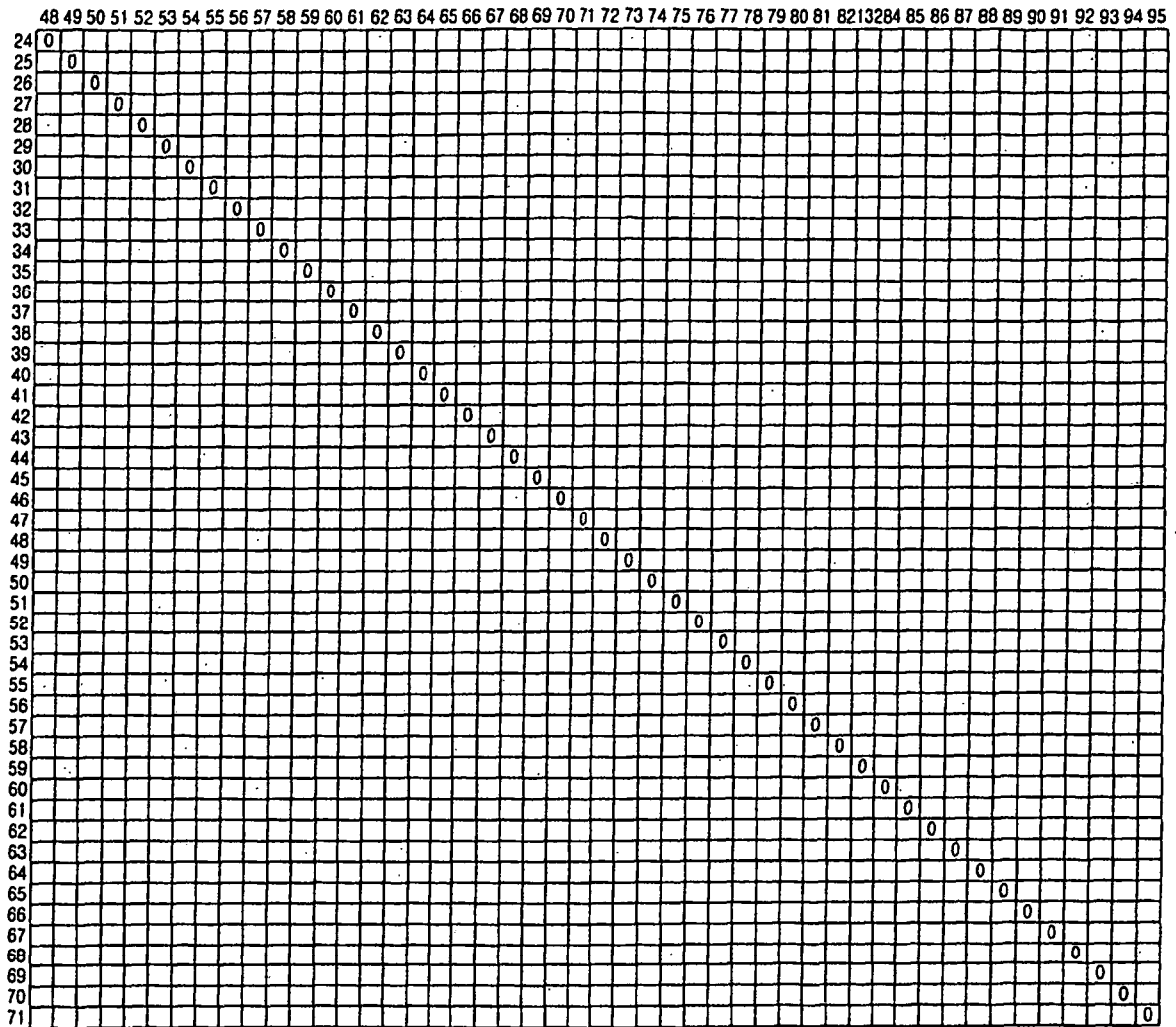


FIG.5L

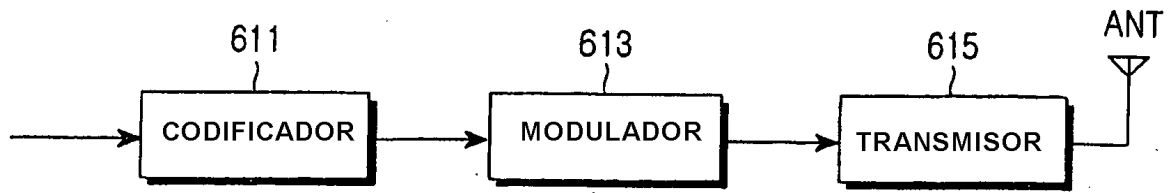


FIG.6

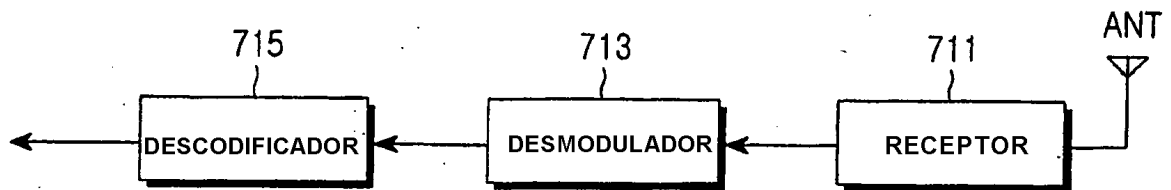


FIG.7

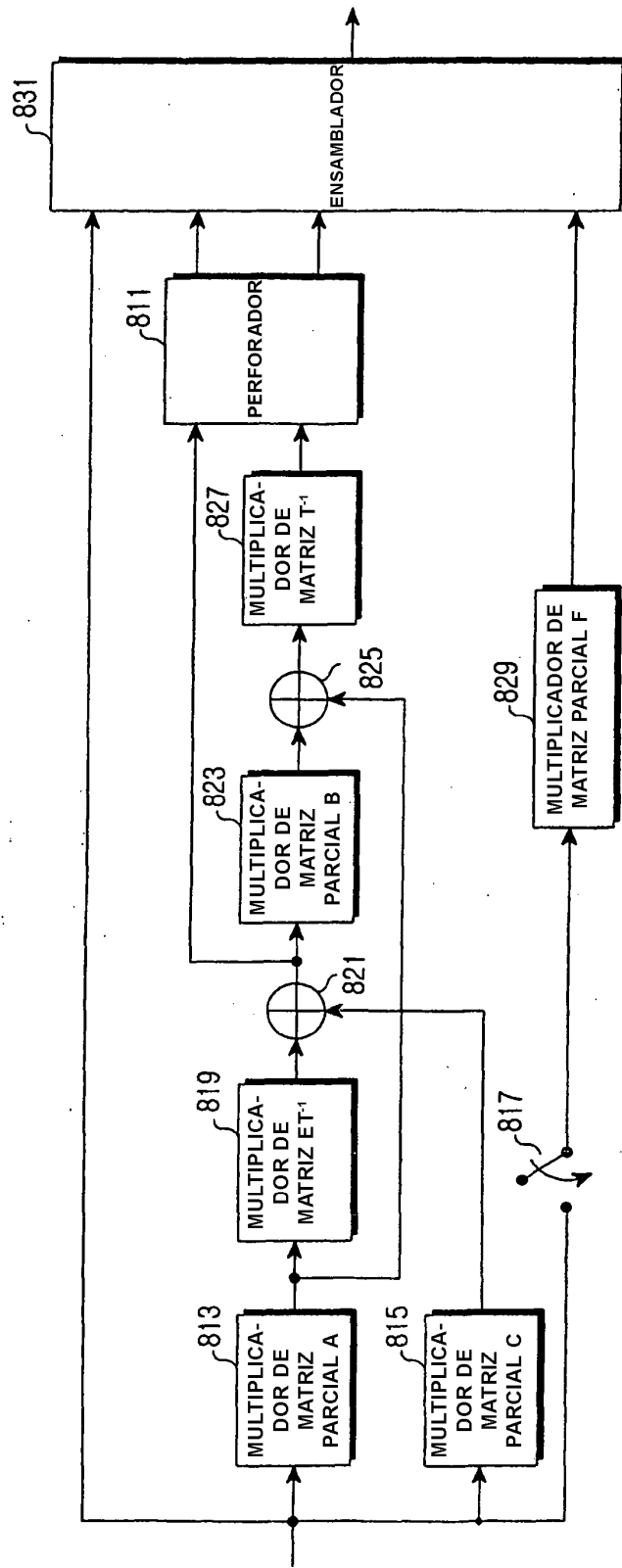


FIG.8

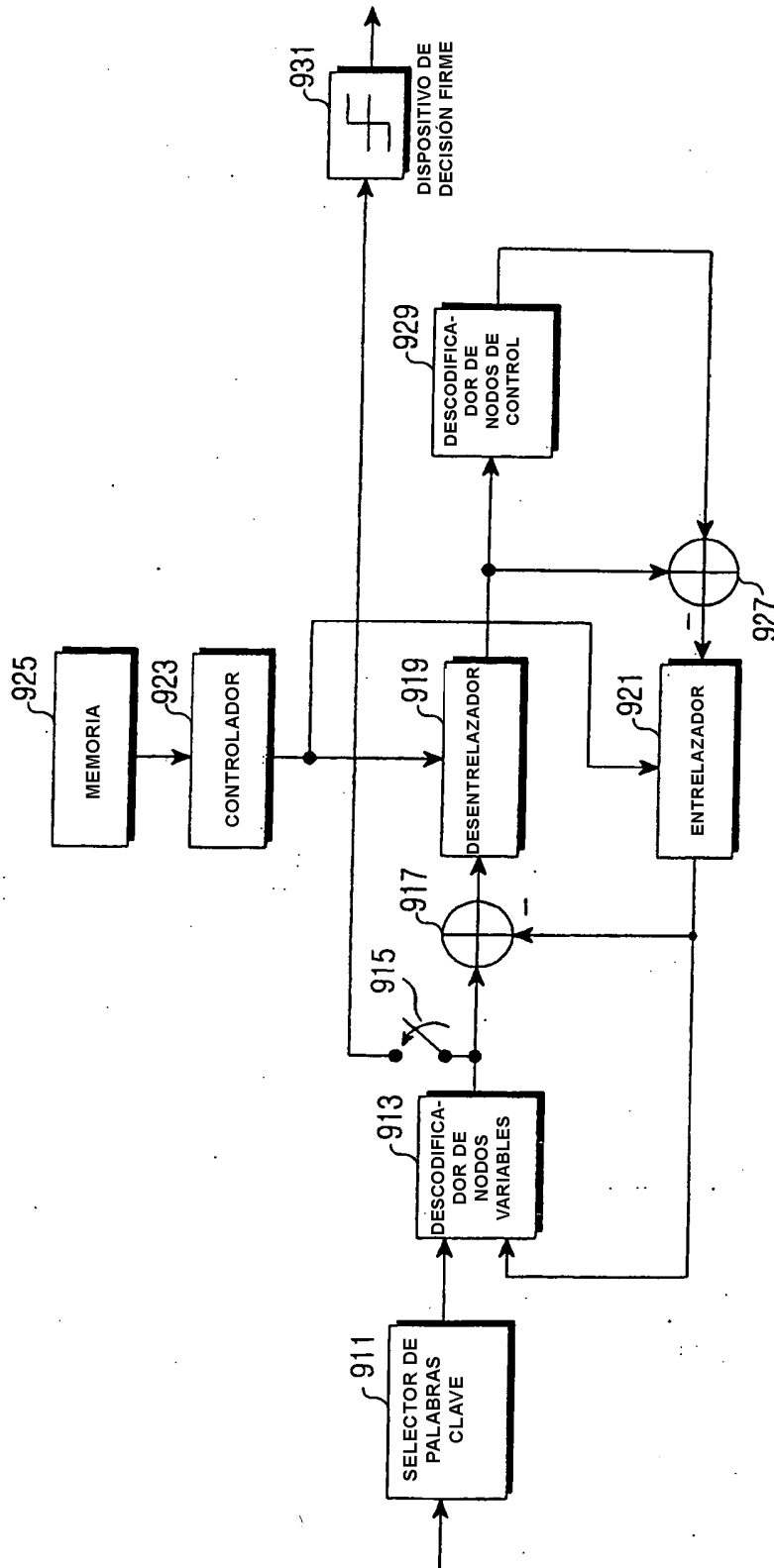


FIG.9

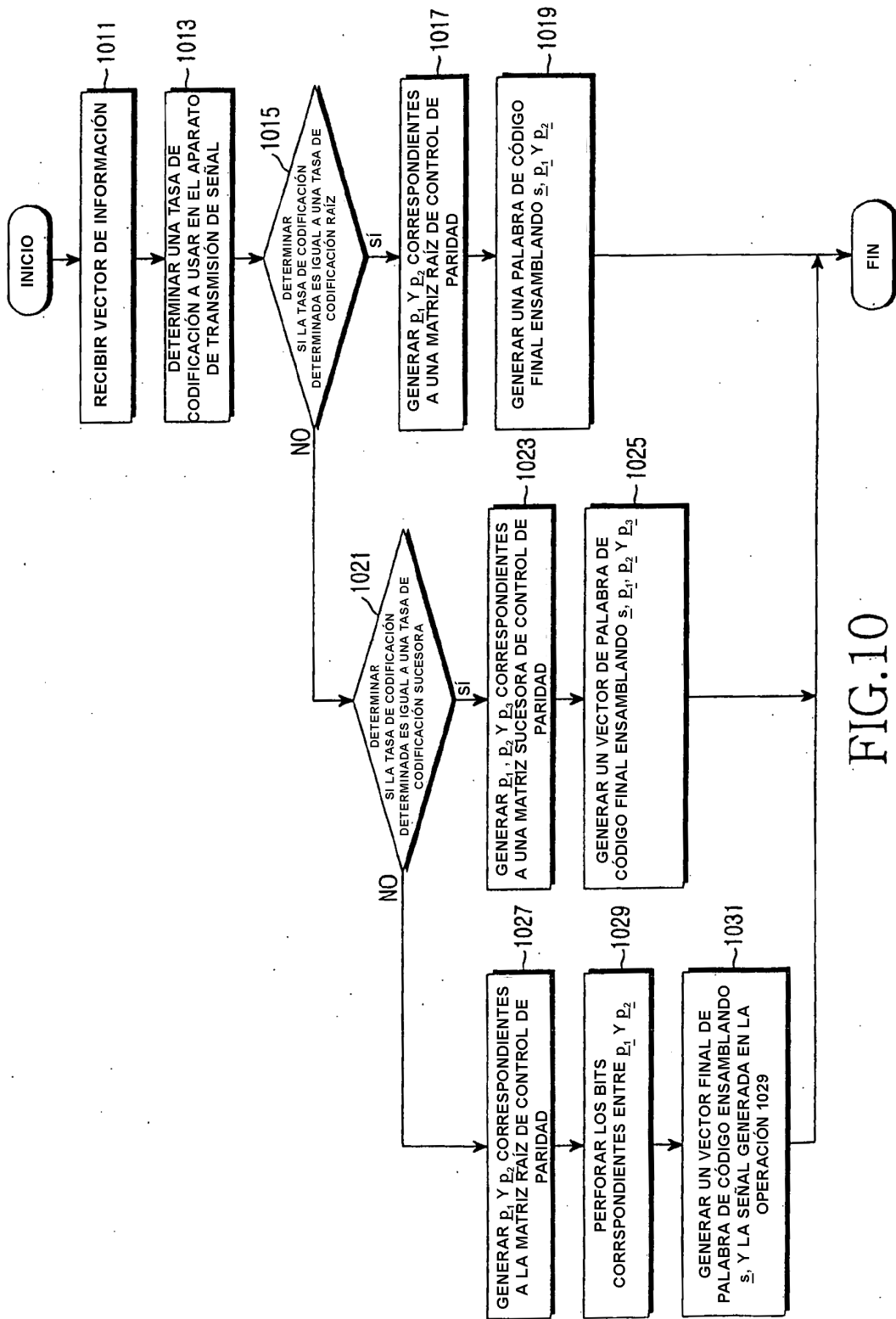


FIG.10

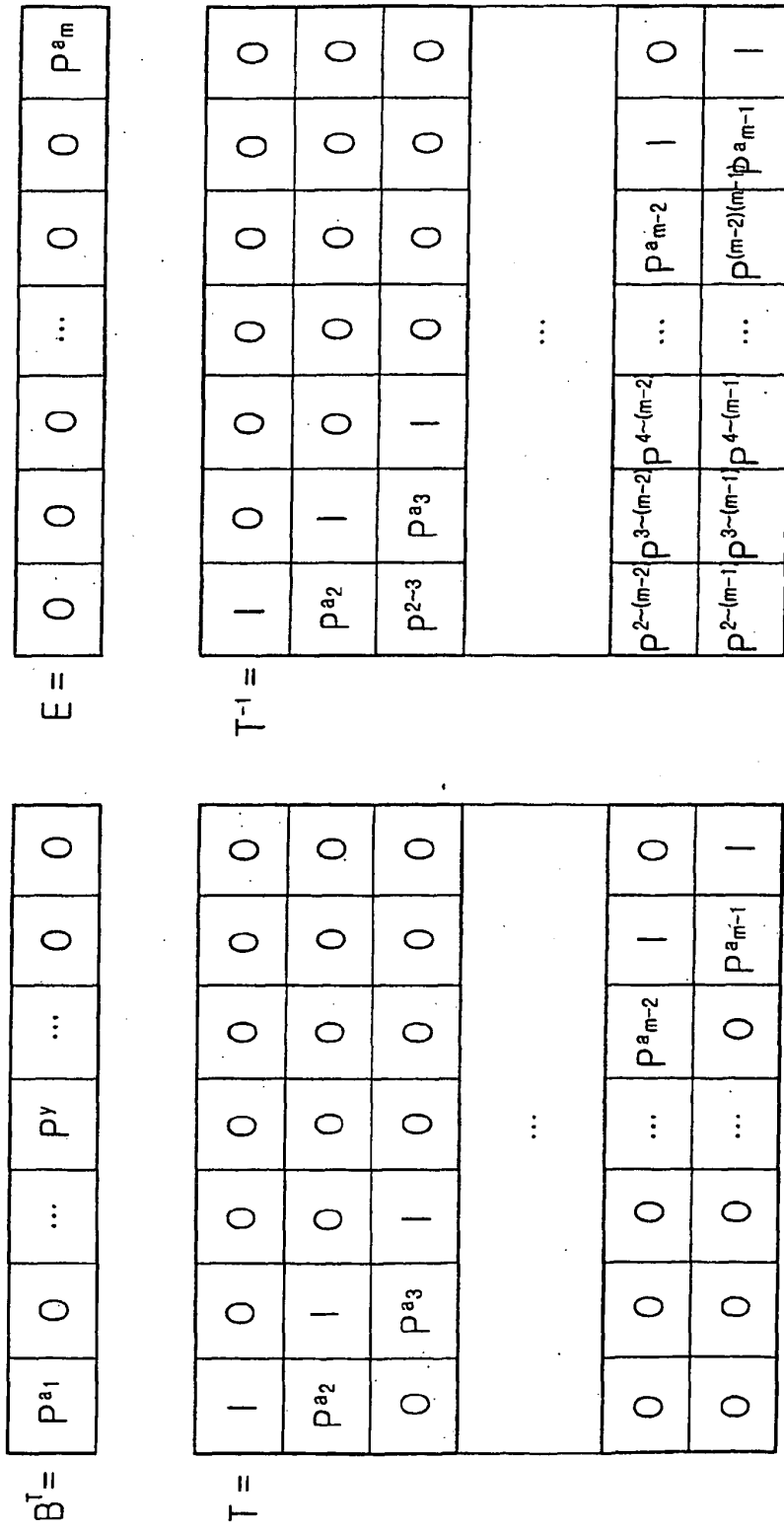


FIG.11

PARTE DE INFORMACION						PARTE DE PARIDAD					
$P^{a_{11}}$	$P^{a_{12}}$	$P^{a_{13}}$	$P^{a_{14}}$	\dots	$P^{a_{1(n-1)}}$	$P^{a_{1n}}$	P^{a_1}	1	0	0	0
$P^{a_{21}}$	$P^{a_{22}}$	$P^{a_{23}}$	$P^{a_{24}}$	\dots	$P^{a_{2(n-1)}}$	$P^{a_{2n}}$:	P^{a_2}	1	0	0
$P^{a_{31}}$	$P^{a_{32}}$	$P^{a_{33}}$	$P^{a_{34}}$	\dots	$P^{a_{3(n-1)}}$	$P^{a_{3n}}$	P^y	0	P^{a_3}	1	0
\vdots	\vdots	\vdots	\vdots	\dots	\vdots	\vdots	\dots	\dots	\dots	\dots	1
$P^{a_{m1}}$	$P^{a_{m2}}$	$P^{a_{m3}}$	$P^{a_{m4}}$	\dots	$P^{a_{m(n-1)}}$	$P^{a_{mn}}$	P^x	0	0	0	P^{a_m}

FIG.12

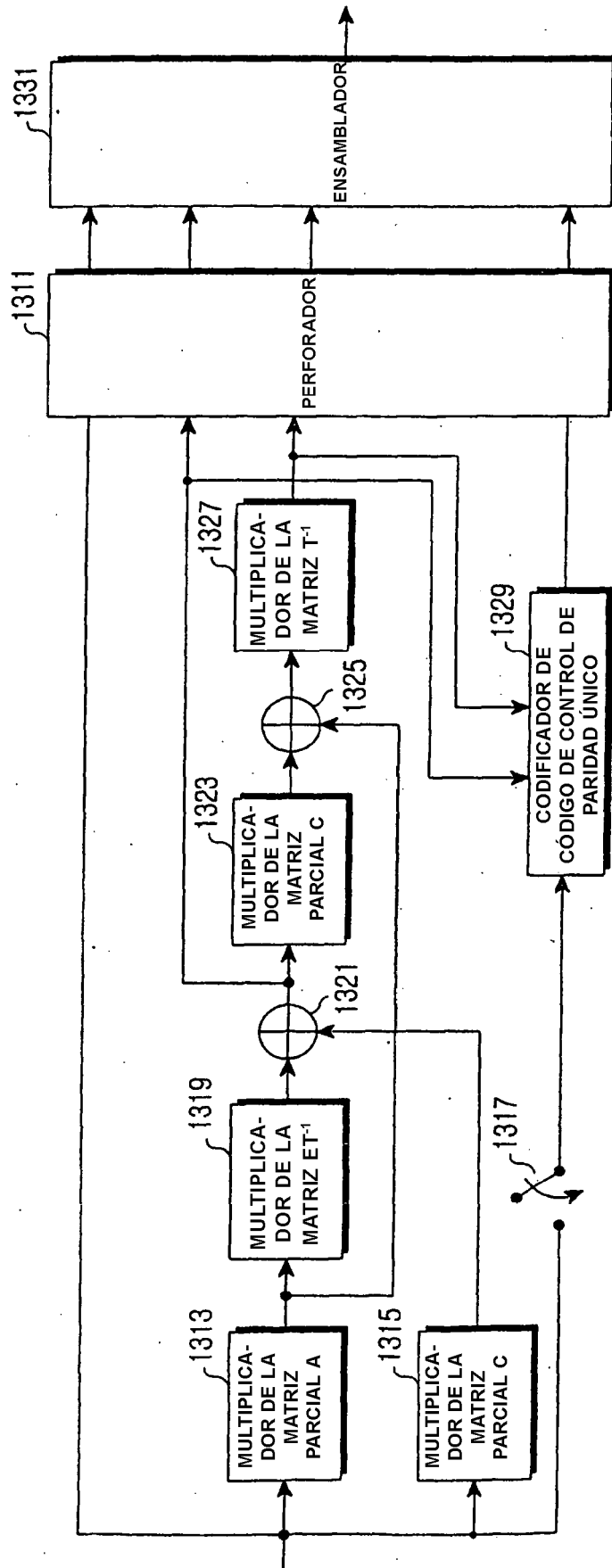


FIG.13