

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 371 711**

51 Int. Cl.:  
**G06F 13/40** (2006.01)  
**G06F 13/42** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **09177248 .3**  
96 Fecha de presentación: **03.02.2005**  
97 Número de publicación de la solicitud: **2163993**  
97 Fecha de publicación de la solicitud: **17.03.2010**

54 Título: **ESTRUCTURA DE BUS ESCALABLE.**

30 Prioridad:  
**04.02.2004 US 542114 P**  
**17.08.2004 US 921053**

45 Fecha de publicación de la mención BOPI:  
**09.01.2012**

45 Fecha de la publicación del folleto de la patente:  
**09.01.2012**

73 Titular/es:  
**QUALCOMM INCORPORATED**  
**5775 MOREHOUSE DRIVE**  
**SAN DIEGO, CA 92121-1714, US**

72 Inventor/es:  
**Hofmann, Richard Gerard y**  
**Schaffer, Mark Michael**

74 Agente: **Carpintero López, Mario**

**ES 2 371 711 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Estructura de bus escalable

**Campo**

5 La presente revelación versa, en general, acerca de sistemas digitales y, más específicamente, acerca de una estructura de bus escalable.

**Antecedentes**

10 Los ordenadores han revolucionado la industria de la electrónica al permitir que se lleven a cabo con rapidez sofisticadas tareas de procesamiento. Estas sofisticadas tareas pueden llevarse a cabo con sistemas que contienen un elevado número de componentes complejos que se comunican entre sí de manera rápida y eficiente usando un bus. Un bus es un canal o una vía entre componentes en un ordenador, un subsistema informático, un sistema informático u otro sistema electrónico.

15 Muchos buses residentes en un ordenador se han implementado tradicionalmente como buses compartidos. Un bus compartido proporciona un medio para que cualquier número de componentes se comuniquen por una vía o canal común. En años recientes, la tecnología del bus compartido se ha visto complementada con las conexiones de conmutación punto a punto. Las conexiones de conmutación punto a punto proporcionan una conexión directa entre dos componentes del bus mientras se comunican entre sí. Pueden usarse múltiples enlaces directos para permitir que varios componentes se comuniquen a la vez.

20 Una configuración común para un ordenador incluye un microprocesador con memoria del sistema. Puede usarse un bus de sistema con un ancho de banda elevado para dar soporte a comunicaciones entre ambos. Además, también puede haber un bus para periféricos que se usa para transferir datos a los periféricos. En algunos casos, también puede haber un bus de configuración, que se usa con el fin de programar recursos diversos. Pueden usarse puentes para transferir datos de manera eficiente entre los buses con ancho de banda mayor y menor, así como para proporcionar la necesaria traducción de protocolos. Cada uno de estos buses ha sido implementado con protocolos diferentes y pueden tener una amplia variación en los requisitos de prestaciones entre ellos.

25 El uso de estructuras de buses múltiples en un ordenador ha proporcionado durante muchos años una solución viable. Sin embargo, a medida que la superficie y la potencia se presentan como las consideraciones fundamentales del diseño para los circuitos integrados, se está haciendo cada vez más deseable reducir la complejidad de la estructura del bus.

30 El documento US 5944805 revela la transferencia de datos por un canal de direcciones. El documento GB 2362735 revela la provisión de una pluralidad de canales, siendo cada uno objeto de operación por separado.

**Resumen**

Según la invención, se proporciona un procedimiento de comunicación entre un componente emisor y un componente receptor por un bus, según la reivindicación 1; y se proporciona un sistema de procesamiento según la reivindicación 11.

35 El procedimiento puede incluir, además, almacenar los datos de escritura emitidos por el primer canal en el componente receptor en base a la información de la dirección de escritura y de las señales de control de la escritura, recuperar los datos de lectura del componente receptor en base a la información de la dirección de lectura y de las señales de control de la lectura, y emitir desde el componente receptor los datos de lectura recuperados por el segundo canal.

40 Los medios de emisión pueden ser adicionalmente configurados para transmitir una señal al componente receptor, de modo tal que el componente receptor pueda distinguir entre la información de la dirección de lectura y de escritura, las señales de control de lectura y de escritura, y la emisión de los datos de escritura por el primer canal.

45 El sistema de procesamiento puede incluir un bus que tiene canales primero y segundo. El sistema de procesamiento puede incluir medios emisores para emitir por el primer canal información de la dirección de lectura y escritura, señales de control de lectura y escritura y datos de escritura. El sistema de procesamiento puede incluir, además, medios receptores para almacenar los datos de escritura emitidos por el primer canal en base a la información de la dirección de escritura y de las señales de control de escritura, recuperar datos de lectura en base a la información de la dirección de lectura y a las señales de control de lectura, y emitir los datos de lectura recuperados por el segundo canal al componente emisor. Los medios emisores pueden incluir, además, medios para transmitir una señal a los medios receptores, de manera que los medios receptores puedan distinguir entre la información de dirección de lectura y escritura, las señales de control de lectura y escritura y los datos de escritura emitidos por el primer canal.

50 Se entiende que otras realizaciones de la presente invención se harán inmediatamente evidentes a los expertos en la técnica a partir de la siguiente descripción detallada, en la que se muestran y se describen diversas realizaciones

de la invención a título de ilustración. Como se apreciará, la invención es susceptible de otras realizaciones diferentes, y sus varios detalles son susceptibles de modificación en otros diversos aspectos, todos sin apartarse del ámbito de la presente invención. En consecuencia, debe considerarse que los dibujos y la descripción detallada tienen naturaleza ilustrativa y no restrictiva.

5 **Breve descripción de los dibujos**

Los aspectos de la presente invención se ilustran a título de ejemplo y no a título de limitación en los dibujos adjuntos, en los que:

la FIG. 1 es un diagrama conceptual en bloques que ilustra un ejemplo de una conexión punto a punto por un bus de dos canales entre dos componentes en un sistema de procesamiento;

10 la FIG. 2 es un cronograma que muestra una operación de lectura y escritura entre dos componentes en un sistema de procesamiento que tiene una conexión punto a punto por un bus de dos canales;

la FIG. 3 es un diagrama conceptual de bloques que ilustra un ejemplo de una conexión punto a punto por un bus de dos canales de altas prestaciones entre dos componentes en un sistema de procesamiento;

15 la FIG. 4 es un diagrama conceptual en bloques que ilustra la naturaleza multiplexada por división de tiempo del bus de altas prestaciones de la FIG. 3;

la FIG. 5 es un diagrama conceptual en bloques que ilustra un ejemplo de una conexión punto a punto por un bus de dos canales de bajo ancho de banda entre dos componentes en un sistema de procesamiento;

la FIG. 6 es un diagrama conceptual en bloques que ilustra la naturaleza multiplexada por división de tiempo del bus de bajo ancho de banda de la FIG. 5; y

20 la FIG. 7 es un diagrama conceptual en bloques que ilustra un ejemplo de una conexión punto a punto entre un componente de altas prestaciones y un componente de bajo ancho de banda por medio de un puente.

**Descripción detallada**

La descripción detallada expuesta en lo que sigue en relación con los dibujos adjuntos se concibe como una descripción de diversas realizaciones de la presente invención, y no se contempla que represente las únicas realizaciones en las que puede ponerse en práctica la presente invención. La descripción detallada incluye detalles específicos con el fin de proporcionar una comprensión minuciosa de la presente invención. Sin embargo, resultará evidente para las personas expertas en la técnica que la presente invención puede ponerse en práctica sin estos detalles específicos. En algunos casos, se muestran en forma de diagrama en bloques estructuras y componentes bien conocidos para evitar oscurecer los conceptos de la presente invención. Los acrónimos y otra terminología descriptiva pueden usarse simplemente por comodidad y claridad, y no se contempla que limiten el ámbito de la invención.

Diversos componentes en un sistema de procesamiento pueden comunicarse por un bus. El bus puede ser escalable, en términos del ancho y de la frecuencia del reloj para dar soporte a los requisitos de ancho de banda de los diversos componentes. El bus también puede usar una arquitectura y un protocolo de señalización comunes para todas las configuraciones escalables. Esto puede lograrse reduciendo el protocolo de señalización del bus únicamente a aquellas señales necesarias ya sea para transmitir o para recibir información.

El bus puede estar configurado con un "canal de transmisión" que proporciona un medio genérico para emitir información desde un componente emisor a un componente receptor usando el mismo protocolo de señalización de manera multiplexada por división de tiempo. Un "canal de recepción" también puede usar el mismo protocolo de señalización para emitir información desde el componente receptor al componente emisor.

La FIG. 1 es un diagrama conceptual en bloques que ilustra este concepto fundamental. Se muestra una conexión punto a punto por un bus entre dos componentes en un sistema de procesamiento. El sistema 100 de procesamiento puede ser una colección de componentes que cooperan para llevar a cabo una o más funciones de procesamiento. Típicamente, el sistema de procesamiento será un ordenador, o estará residente en un ordenador, y será capaz de procesar, recuperar y almacenar información. El sistema de procesamiento puede ser un sistema autónomo. De manera alternativa, el sistema de procesamiento puede estar incorporado en cualquier dispositivo, incluyendo, a título de ejemplo, un teléfono celular.

En una realización del sistema 100 de procesamiento, el bus 106 es un bus dedicado entre el componente emisor 102 y el componente receptor. En otra realización del sistema 100 de procesamiento, el componente emisor 102 se comunica con el componente receptor 104 con una conexión punto a punto por el bus 106 por medio de una interconexión de bus (no mostrada). Además, como captarán inmediatamente las personas expertas en la técnica, los aspectos inventivos descritos en esta revelación no están limitados a un bus dedicado ni a una conexión de conmutación punto a punto, sino que pueden aplicarse a cualquier tipo de tecnología de buses, incluyendo, a título de ejemplo, un bus compartido.

## ES 2 371 711 T3

El componente emisor 102 puede ser cualquier tipo de componente de control de bus, incluyendo, a título de ejemplo, un microprocesador, un procesador de señales digitales (DSP), un controlador de acceso directo a la memoria, un puente, un componente de lógica programable, una puerta discreta o una lógica de transistor, o cualquier otro componente de procesamiento de la información.

- 5 El componente receptor 104 puede ser cualquier componente de almacenaje, incluyendo, a título de ejemplo, registros, memoria, un puente o cualquier otro componente capaz de recuperar y almacenar información. La capacidad de almacenaje en cada ubicación de dirección del componente receptor puede variar según la aplicación particular y las limitaciones del diseño global. Para los fines de la explicación, se describirá el componente receptor con una capacidad de almacenaje de 1 octeto por ubicación de dirección.
- 10 El componente emisor 102 puede leer del componente receptor 104 o escribir en el mismo. En el caso en que el componente emisor 102 escribe en el componente receptor 104, el componente emisor puede emitir una ubicación de dirección, las señales de control apropiadas y la carga útil al componente receptor 104 por el canal 108 de transmisión. La "carga útil" se refiere a los datos asociados a una operación particular de lectura o escritura y, en este caso, a una operación de escritura.
- 15 Las señales de control pueden incluir calificadores de transferencia. La expresión "calificador de transferencia" se refiere a un parámetro que describe un atributo de una operación de lectura, de una operación de escritura o de otra operación relacionada con el bus. En este caso, los calificadores de transferencia pueden incluir una "señal del tamaño de la carga útil" para indicar el número de octetos de datos contenidos en la carga útil. Si la carga útil es de múltiples octetos, entonces el componente receptor 104 puede almacenar la carga útil en un bloque de ubicaciones de dirección secuenciales, a partir de la ubicación de la dirección emitida por el canal 108 de transmisión. A título de ejemplo, si el dispositivo emisor 102 emite una ubicación 100<sub>HEX</sub> de dirección, seguida por una carga útil de 4 octetos, el componente receptor 104 puede escribir la carga útil en un bloque de ubicaciones de dirección secuenciales que comience en 100<sub>HEX</sub> y que acabe en 103<sub>HEX</sub>.
- 20
- 25 Las señales de control pueden incluir también habilitadores del octeto de escritura. Los "habilitadores del octeto de escritura" pueden usarse para indicar qué carriles de octetos se usarán por el canal 108 de transmisión para emitir la carga útil para una operación de escritura. A título de ejemplo, una emisión de una carga útil de 2 octetos por un canal 108 de transmisión de 32 bits puede usar 2 de los 4 carriles de octetos. Los habilitadores del octeto de escritura pueden usarse para indicar al componente receptor 104 cuál de los dos carriles de octetos del canal 108 de transmisión se usará para emitir la carga útil.
- 30 En el caso en el que el componente emisor 102 lea del componente receptor 104, la ubicación de la dirección y los calificadores de transferencia apropiados pueden ser la única información que precise ser emitida por el canal 108 de transmisión. Los calificadores de transferencia pueden incluir una señal del tamaño de la carga útil para indicar el número de octetos de datos contenidos en la carga útil. El componente receptor 104 puede dar acuse de recibo de la emisión y enviar la carga útil por el canal receptor 110. Si la carga útil son múltiples octetos, entonces el componente receptor 104 puede leer la carga útil de un bloque de ubicaciones de dirección secuenciales que comience con la ubicación de la dirección emitida por el canal 108 de transmisión. A título de ejemplo, si el dispositivo emisor 102 emite una ubicación 200<sub>HEX</sub> de dirección y solicita una carga útil de 4 octetos, el componente receptor 104 puede recuperar la carga útil de un bloque de ubicaciones de dirección secuenciales que empiece en 200<sub>HEX</sub> y que acabe en 203<sub>HEX</sub>.
- 35
- 40 En la realización del sistema de procesamiento descrito hasta este momento, el componente emisor 102 tiene control total del canal 108 de transmisión y puede emitir una o más ubicaciones de dirección con sus señales de control asociadas antes de una operación activa de escritura, durante la misma o con posterioridad a la misma. Además, los canales 108 y 110 de transmisión y de recepción son totalmente independientes y, por ello, la emisión de ubicaciones de dirección, de señales de control y de datos de escritura por parte del componente emisor puede coincidir con la emisión de datos de lectura por parte del componente receptor 104. "Datos de escritura" se refiere a datos emitidos por el componente emisor 102, y "datos de lectura" se refiere a datos leídos desde el componente receptor 104 y emitidos por el canal receptor 110.
- 45
- Puede usarse un plan de direccionamiento implícito para controlar la secuencia de operaciones de datos de lectura y escritura por los canales 108 y 110 de transmisión y de recepción. A título de ejemplo, si el componente emisor 102 inicia múltiples operaciones de escritura emitiendo una serie de ubicaciones de dirección con las señales de control apropiadas por el canal 108 de transmisión, el componente emisor 102 emitirá la carga útil para cada operación de escritura en la misma secuencia en la que se emiten las ubicaciones de dirección. De manera similar, si el componente emisor 102 inicia múltiples operaciones de lectura emitiendo una serie de ubicaciones de dirección con las señales de control apropiadas, el componente receptor 104 recuperará la carga útil para cada operación de lectura en la misma secuencia en la que recibe las ubicaciones de dirección.
- 50
- 55

Pueden usarse "etiquetas de transferencia" como alternativa de este plan de direccionamiento implícito. El componente emisor 102 puede asignar una etiqueta de transferencia a cada operación de lectura y escritura. La etiqueta de transferencia puede estar incluida en los calificadores de transferencia emitidos por el canal 108 de transmisión. En el caso de una operación de escritura, el componente emisor 102 puede enviar la etiqueta de

transferencia con la carga útil, y el componente receptor 104 puede usar la etiqueta de transferencia recuperada de los calificadores de transferencia para identificar la carga útil. En el caso de una operación de lectura, el componente receptor 104 puede enviar la etiqueta recuperada de transferencia con la carga útil, y el componente emisor puede usar la etiqueta de transferencia para identificar la carga útil.

- 5 Los diversos conceptos descritos hasta ahora pueden ser implementados usando cualquier número de protocolos. En la descripción detallada que sigue, se presentará un ejemplo de un protocolo de bus. Este protocolo de bus se presenta para ilustrar los aspectos inventivos de un sistema de procesamiento, con el entendimiento de que tales aspectos inventivos pueden usarse con cualquier protocolo adecuado. La Tabla 1 muestra a continuación el protocolo básico de señalización para el canal de transmisión. Las personas expertas en la técnica serán capaces de variar y/o añadir inmediatamente señales a este protocolo en la implementación real de la estructura de bus descrita en el presente documento.
- 10

**TABLA 1**

Señal	Definición	Controlada por
Reloj	la señal horaria de referencia	el sistema
Válida	se está emitiendo información válida por el canal de transmisión	componente emisor
Tipo (2:0)	indica el tipo de información que se está emitiendo	componente emisor
Solicitud de transferencia	indica que el componente receptor está listo para recibir datos de escritura	componente receptor
Canal de transmisión	canal controlado por el componente emisor para emitir información	componente emisor

- 15 Según se muestra a continuación en la Tabla 2, puede usarse el mismo protocolo de señalización para el canal de recepción.

**TABLA 2**

Señal	Definición	Controlada por
Reloj	la señal horaria de referencia	el sistema
Válida	se está emitiendo información válida por el canal de recepción	componente receptor
Tipo (2:0)	indica el tipo de información que se está emitiendo	componente receptor
Solicitud de transferencia	indica que el componente emisor está listo para recibir datos de lectura	componente emisor
Canal de recepción	canal controlado por el componente receptor para emitir información	componente receptor

La Tabla 3 muestra la definición del campo Tipo, usado en este protocolo de señalización.

20

**TABLA 3**

Valor de tipo	Definición
000	Reservado
001	Localización válida de la dirección de escritura
010	Señales válidas de control de escritura
011	Datos válidos de escritura

## ES 2 371 711 T3

(cont.)	
100	Reservado
101	Localización válida de la dirección de lectura
110	Señales válidas de control de escritura
111	Datos válidos de lectura

La Tabla 4 muestra la definición de las señales Válido y Solicitud de Transferencia en este protocolo de señalización.

**TABLA 4**

Válido; transferencia	Solicitud de	Definición
0 ; 0		No se está emitiendo información válida, y el componente en el otro extremo no está listo para recibir una emisión
0 ; 1		No se está emitiendo información válida, pero el componente en el otro extremo está listo para recibir una emisión
1 ; 0		Se está emitiendo información válida, pero el componente en el otro extremo no está listo para recibir una emisión
1 ; 1		Se está emitiendo información válida, y el componente en el otro extremo está listo para recibir una emisión

5 La FIG. 2 es un cronograma que ilustra una operación de lectura y escritura por un canal de transmisión de 32 bits y por un canal de recepción de 32 bits. Puede usarse un reloj 202 del sistema para sincronizar las comunicaciones entre el componente emisor y el componente receptor. El reloj 202 del sistema se muestra con once ciclos de reloj, estando numerado secuencialmente cada ciclo en aras de la sencillez de la explicación.

10 Una operación de escritura puede ser iniciada por el componente emisor durante el segundo ciclo 203 de reloj. Esto puede lograrse dando valor positivo a la señal Válido 204 y poniendo el campo Tipo 206 para que señale una emisión de una ubicación de dirección para una operación de escritura. La ubicación de la dirección también puede ser emitida por el canal 208 de transmisión al componente receptor. En respuesta a esta emisión, el componente receptor almacena la ubicación de la dirección en su cola de direcciones.

15 La emisión de la ubicación de la dirección puede ser seguida por una señal de control emitida para la operación de escritura en el tercer ciclo 205 de reloj. El componente emisor puede alertar al componente receptor sobre la emisión de la señal de control manteniendo el valor positivo de la señal Válido 204 y cambiando de forma apropiada el campo Tipo 206. La emisión de la señal de control puede incluir los calificadores de transferencia y los habilitadores del octeto de escritura para la operación de escritura. En este caso, los calificadores de transferencia pueden incluir una señal con el tamaño de la carga útil que indique una carga útil de 8 octetos. Los habilitadores del octeto de escritura pueden indicar que la carga útil de 8 octetos será transmitida por todos los carriles de octetos del Canal 208 de Transmisión. El componente receptor puede determinar a partir de esta información que la emisión de la carga útil será emitida en dos ciclos de reloj.

25 Los primeros 4 octetos de la carga útil para la operación de escritura pueden ser emitidos por el Canal 208 de Transmisión durante el cuarto ciclo 207 de reloj. El componente emisor puede alertar al componente receptor sobre la carga útil emitida manteniendo el valor positivo de la señal Válido 204 y cambiando el campo Tipo 206 para señalar una emisión de carga útil. En ausencia de etiquetas de transferencia, el componente receptor reconoce los datos de escritura como los primeros 4 octetos de la carga útil en base al plan de direccionamiento implícito presentado anteriormente. En respuesta a esta emisión, los primeros 4 octetos de la carga útil pueden escribirse en el componente receptor.

30 En el siguiente ciclo 209 de reloj, la señal Válido 204 y el campo Tipo 206 quedan inalterados mientras los siguientes 4 octetos de la carga útil se emiten por el Canal 208 de Transmisión. Sin embargo, el componente receptor ha cambiado a negativo el valor de la señal 210 de Solicitud de Transferencia, indicando que no puede aceptar la emisión. El componente emisor puede detectar que la señal 210 de Solicitud de Transferencia no tiene valor positivo al final de este quinto ciclo 209 de reloj, y repetir la emisión de los segundos 4 octetos de la carga útil en el siguiente ciclo 211 de reloj. El componente emisor puede seguir emitiendo los segundos 4 octetos de la carga útil en cada ciclo de reloj hasta que el componente emisor detecte el valor positivo de la señal 210 de Solicitud de Transferencia  
35 procedente del componente receptor. En este caso, únicamente se requiere una emisión repetida. Los segundos 4

octetos de la carga útil pueden escribirse en el componente receptor en el sexto ciclo de reloj. Al final del sexto ciclo 211 de reloj, el componente emisor detecta el valor positivo de la señal 210 de Solicitud de Transferencia y determina que la emisión ha sido recibida.

5 Una operación de lectura puede ser iniciada por el componente emisor durante el séptimo ciclo 213 de reloj. Esto puede lograrse dando valor positivo a la señal Válido 204 y fijando el campo Tipo 206 para que señale la emisión de una ubicación de dirección para una operación de lectura. La ubicación de dirección puede ser emitida entonces por el Canal 208 de Transmisión al componente receptor. En respuesta a esta emisión, el componente receptor almacena la ubicación de la dirección en su cola de direcciones.

10 La emisión de la ubicación de la dirección puede ser seguida por una emisión de una señal de control para la operación de lectura en el octavo ciclo 215 de reloj. El componente emisor puede alertar al componente receptor sobre la emisión de la señal de control manteniendo un valor positivo de la señal Válido 204 y cambiando el campo Tipo 206 de forma apropiada. La emisión de la señal de control puede incluir los calificadores de transferencia para la operación de lectura. En este caso, los calificadores de transferencia pueden incluir una señal del tamaño de la carga útil que indica una carga útil de 4 octetos. El componente receptor puede determinar a partir de esta información que la emisión de la carga útil puede ser emitida en un ciclo de reloj.

15 Debido a la latencia de la lectura del componente receptor, puede experimentarse un retardo de varios ciclos de reloj antes de que estén disponibles los datos de lectura. Una vez que está disponible la carga útil de 4 octetos, el componente receptor puede dar valor positivo a la señal Válido 212 y dar valor positivo al campo Tipo 214 para que señale una emisión de carga útil por el Canal 216 de Recepción. Dado que el componente emisor da un valor positivo a la señal 218 de Solicitud de Transferencia, la emisión de la carga útil puede completarse en un ciclo de reloj. El componente receptor detecta el valor positivo de la señal 218 de Solicitud de Transferencia al final del décimo ciclo 219 de reloj y, con ello, determina que la emisión de la carga útil tuvo éxito.

20 La FIG. 3 es un diagrama conceptual en bloques que ilustra una conexión punto a punto entre dos componentes por un bus de altas prestaciones. Los canales 108 y 110 de transmisión y recepción del bus de altas prestaciones pueden implementarse como múltiples subcanales, teniendo cada subcanal un ancho de 32 bits. En las implementaciones reales, el número de subcanales y el ancho de cada subcanal pueden variar según los requisitos de prestaciones de la aplicación específica. En este ejemplo, el canal de transmisión incluye 4 subcanales 108a a 108d de 32 bits, y el canal de recepción incluye 2 subcanales 110a a 110b de 32 bits. Esta implementación puede ser adecuada, a título de ejemplo, para un bus de sistema en un ordenador, o cualquier otro bus de altas prestaciones. El término "subcanal" se refiere a un grupo de cables o de conductores que pueden ser controlados de forma independiente de los otros cables o conductores en el canal. Esto significa que cada subcanal puede estar dotado de una capacidad de señalización independiente.

25 Este bus de altas prestaciones puede ser usado por el componente emisor 102 para emitir simultáneamente varias combinaciones de información. A título de ejemplo, el componente emisor puede emitir una ubicación de dirección de 32 bits, señales de control de 32 bits que incluyan calificadores de transferencia y habilitadores del octeto de escritura, y 8 octetos de datos de escritura dentro de un solo ciclo de reloj. En el caso del canal receptor 110, pueden emitirse 8 octetos de datos de lectura desde el componente receptor 104 al componente emisor 102 dentro de un solo ciclo de reloj.

30 Dado que las diversas realizaciones del sistema de procesamiento descritas en lo que antecede no incluyen ningún otro tipo de emisión de información por el canal 110 de recepción que no sean datos de lectura, no hay ninguna necesidad de subcanales. Puede implementarse un único canal de recepción de 64 bits para reducir los requisitos de señalización (es decir, sin subcanales). Sin embargo, en algunas realizaciones del sistema de procesamiento, el campo Tipo en el protocolo de señalización puede extenderse para dar lugar a la emisión de información diversa. A título de ejemplo, puede emitirse una "respuesta de escritura" por el canal 110 de recepción para señalar al componente emisor que se han escrito los datos en el componente receptor 104. La respuesta de escritura podría emitirse por el canal 110 de recepción usando uno de los campos Tipo reservados. En ese caso, puede resultar útil contar con dos subcanales de 32 bits controlados de forma independiente para que los datos de lectura y una respuesta de escritura puedan emitirse simultáneamente por el canal 110 de recepción. Con 2 subcanales de 32 bits, resulta entonces posible emitir simultáneamente 4 octetos de datos de lectura, 2 octetos de datos de lectura y una respuesta de escritura de 32 bits, o 2 respuestas de escritura de 32 bits. Por otro lado, un único canal 110 de recepción de 64 bits puede ser capaz únicamente de dar soporte a datos de lectura o respuestas de escritura en cualquier ciclo dado de reloj.

35 De manera similar, el canal de transmisión puede extenderse también para que incluya la emisión de otros tipos de información que son comunes en muchos protocolos de bus, tales como los comandos estándar. A título de ejemplo, es posible que un microprocesador adosado a un bus precise emitir información a otros componentes en el sistema, tal como un comando TAB Sync o un comando de invalidación de TAB. Estas instrucciones pueden clasificarse en el campo Tipo sin necesidad de señalización adicional.

40 La FIG. 4 es un diagrama en bloques que ilustra la naturaleza multiplexada por división de tiempo de un canal 108 de transmisión con 4 subcanales 108a a 108d. En este ejemplo, puede ultimarse la emisión de una carga útil

completa de 8 octetos por los 4 subcanales dentro de un solo ciclo de reloj. Más específicamente, durante el primer ciclo 401 de reloj, el componente emisor puede emitir una ubicación de dirección de 32 bits por el primer subcanal 108a y 32 bits de señales de control por el segundo subcanal 108b para la primera operación de escritura. El componente emisor también puede emitir, durante el mismo ciclo de reloj, los 4 octetos de orden superior de la carga útil por el tercer subcanal 108c y los 4 octetos de orden inferior de la carga útil por el cuarto subcanal 108d. Cada subcanal 108a a 108d puede estar dotado con capacidad de señalización independiente y, en el caso descrito en lo que antecede, puede dar valor positivo a la señal Válido con el campo Tipo apropiado para cada subcanal.

Teniendo un valor positivo la Solicitud de Transferencia para cada subcanal 108a a 108d al final del primer ciclo 401 de reloj, pueden iniciarse dos operaciones de lectura por parte del componente emisor durante el segundo ciclo 403 de reloj. Esto puede lograrse emitiendo una ubicación de dirección de 32 bits por el primer subcanal 108a y 32 bits de señales de control por el segundo subcanal 108b para la primera operación de lectura, con la señalización apropiada por cada subcanal 108a a 108b. El componente emisor puede también emitir una ubicación de dirección de 32 bits por el tercer subcanal 108c y 32 bits de señales de control por el cuarto subcanal 108d para la segunda operación de lectura, de nuevo con la señalización apropiada por cada subcanal 108c a 108d.

Teniendo un valor positivo la Solicitud de Transferencia para cada subcanal 108a a 108d al final del segundo ciclo de reloj, pueden iniciarse una segunda operación de escritura y una tercera operación de lectura por parte del componente emisor durante el tercer ciclo 405 de reloj. Esto puede lograrse emitiendo una ubicación de dirección de 32 bits por el primer subcanal 108a y 32 bits de señales de control por el segundo subcanal 108b para la segunda operación de escritura, con la señalización apropiada por cada subcanal 108a a 108b. El componente emisor puede también emitir una ubicación de dirección de 32 bits por el tercer subcanal 108c y 32 bits de señales de control por el cuarto subcanal 108d para la tercera operación de lectura, de nuevo con la señalización apropiada por cada subcanal 108c a 108d.

En este ejemplo, al final del tercer ciclo 405 de reloj, la señal Solicitud de Transferencia tiene valor positivo en los subcanales primero y segundo 108a y 108b, pero no en los subcanales tercero y cuarto 108c y 108d. El componente emisor puede detectar que la Solicitud de Transferencia de los subcanales tercero y cuarto 108c y 108d no tiene valor positivo y, por ello, determinar que la ubicación de la dirección y las señales de control para la tercera operación de lectura deberían volver a emitirse. Se muestra que la ubicación de la dirección y las señales de control para la tercera operación de lectura se emiten durante el cuarto ciclo 407 de reloj por los subcanales tercero y cuarto 108c y 108d, respectivamente, pero pueden ser emitidas nuevamente por cualquier subcanal durante cualquier ciclo subsiguiente de reloj.

En el ejemplo anterior, el componente receptor está configurado o bien para aceptar o bien para rechazar tanto la ubicación de la dirección como las señales de control para la tercera operación de lectura. Sin embargo, en algunas realizaciones del sistema de procesamiento, el componente receptor puede estar configurado para que acepte la ubicación de la dirección y rechace las señales de control, o viceversa, para la misma operación de lectura o escritura. De forma similar, el componente receptor puede estar configurado para que acepte o rechace individualmente los octetos de orden superior o inferior de la carga útil. En este caso, es preciso que haya una manera de ligar una nueva emisión, digamos, de las señales de control para la tercera operación de lectura con la ubicación de la dirección para la misma operación emitida previamente. Esto puede lograrse de varias maneras. A título de ejemplo, una vez que se envía una ubicación de dirección para una operación de lectura o escritura y que el componente receptor da acuse de recibo, no se emite la dirección de la siguiente operación de lectura o escritura hasta que las señales de control asociadas a la actual solicitud de operación de lectura o escritura sean recibidas y sean objeto de acuse de recibo por parte del componente receptor.

Durante el cuarto ciclo 407 de reloj, el componente emisor puede emitir la carga útil para la segunda operación de escritura e intentar iniciar por segunda vez una tercera operación de lectura. Esto puede lograrse emitiendo los 4 octetos de orden superior de la carga útil por el primer subcanal 108a y los 4 octetos de orden inferior de la carga útil por el segundo subcanal 108b para la segunda operación de escritura, con la señalización apropiada por cada subcanal 108a a 108b. El componente emisor también puede volver a emitir la ubicación de la dirección de 32 bits por el tercer subcanal 108c y 32 bits de señales de control por el cuarto subcanal 108d para la tercera operación de lectura.

En esta realización de un bus de altas prestaciones, la ordenación de las solicitudes de lectura/escritura puede ser implícita por la posición. El componente emisor puede emitir la primera solicitud de lectura/escritura por el primer subcanal 108a, la segunda solicitud de lectura/escritura por el segundo subcanal 108b, la tercera solicitud de lectura/escritura por el tercer subcanal 108c y la cuarta solicitud de lectura/escritura por el cuarto subcanal 108d. El componente receptor puede procesar las solicitudes en base a este posicionamiento implícito a fin de mantener la coherencia secuencial. A título de ejemplo, si las ubicaciones de dirección para las operaciones de lectura y escritura iniciadas durante el tercer ciclo 405 de reloj son la misma, el componente receptor puede esperar hasta que se escriban los datos emitidos por los subcanales 108a y 108b primero y segundo durante el cuarto ciclo 407 de reloj en la ubicación de la dirección antes de proporcionar los datos recién escritos en esta ubicación de dirección al canal de recepción para su transmisión al componente emisor.



En la realización del bus de altas prestaciones descrito en lo que antecede, no es preciso que los datos de escritura se emitan inmediatamente después de la emisión de la solicitud de la operación de escritura (es decir, de la ubicación de la dirección y de las señales de control). Pueden intercalarse otras solicitudes de una operación de lectura y/o comandos de mayor prioridad con la emisión de datos de escritura por el canal 108 de transmisión. Sin embargo, si el componente emisor intercala las solicitudes de una operación de lectura y/o comandos con los datos de escritura, entonces el componente emisor debería ser configurado con un mecanismo de retroceso de dirección.

Tal como se describió anteriormente en relación con la FIG. 2, el componente emisor muestrea la señal 210 de Solicitud de Transferencia a continuación de una emisión por el Canal 208 de Transmisión. Si el componente emisor no logra detectar un valor positivo de la señal 210 de Solicitud de Transferencia, puede repetir entonces la emisión durante el siguiente ciclo de reloj. La emisión puede repetirse en cada ciclo de reloj hasta que el componente emisor detecte un valor positivo de la señal 210 de Solicitud de Transferencia. Puede surgir un problema cuando se llena la cola de direcciones durante una solicitud de una operación de lectura y, por lo tanto, no puede aceptar más ubicaciones de dirección. A la vez, el componente receptor precisa completar la operación pendiente de escritura para liberar espacio en la cola de direcciones. En este caso, se dice que el componente receptor está interbloqueado.

El mecanismo de retroceso de dirección está diseñado para permitir que la operación de escritura se complete cuando el componente receptor está interbloqueado. Esto puede lograrse limitando el número de emisiones repetidas por el componente emisor en relación con una solicitud de una operación de lectura. Si el componente receptor no da acuse de recibo de una solicitud de una operación de lectura con una señal de Solicitud de Transferencia dentro de un cierto número de ciclos de reloj, entonces el componente emisor puede abortar la solicitud enviando los restantes datos de escritura en vez de la ubicación de la dirección para la actual solicitud de una operación de lectura. Si no hay una operación pendiente de escritura que precise completarse, entonces no es preciso que se aborte la emisión de la solicitud de una operación de lectura. La emisión puede proseguir hasta que el componente receptor dé acuse de recibo de la solicitud.

El mecanismo de retroceso de dirección puede no ser necesario si el componente emisor no intercala solicitudes de una operación de lectura con datos de escritura. Es decir, si la ubicación de la dirección de una operación de escritura va seguida inmediatamente por las señales de control, y después es seguida inmediatamente por los datos de escritura, entonces el componente receptor nunca se encontrará interbloqueado. Sin embargo, esto puede degradar las prestaciones del canal de recepción, porque el componente emisor puede no ser capaz de mantener la suficiencia del conducto de operaciones de lectura para utilizar plenamente el ancho de banda del canal de recepción.

La FIG. 5 es un diagrama conceptual en bloques que ilustra una conexión punto a punto entre dos componentes por un bus de bajo ancho de banda. El bus de bajo ancho de banda puede implementarse con un único canal 108 de transmisión y un único canal 110 de recepción que requieran menos señales y que den como resultado una menor disipación de la energía. En el ejemplo mostrado en la FIG. 5, el componente emisor 102 puede emitir información al componente receptor 104 por un canal 108 de transmisión de 32 bits, y el componente receptor 104 puede emitir información de retorno al componente emisor 102 por un canal 110 de recepción de 32 bits. De manera alternativa, puede implementarse esta misma arquitectura de bus con anchos de bus más estrechos.

Aunque esta configuración sigue permitiendo que los canales 108 y 110 de transmisión y recepción emitan información simultáneamente, cada operación de lectura y escritura puede ahora requerir múltiples ciclos de reloj, tal como se muestra en el diagrama en bloques de la FIG. 6. En este ejemplo, se usan dos ciclos de reloj para iniciar una operación de lectura. Más específicamente, puede emitirse una ubicación de dirección de 32 bits por el canal 108 de transmisión en el primer ciclo 601 de reloj, seguido por 32 bits de señales de control en el siguiente ciclo 603 de reloj. Puede leerse una carga útil de 4 octetos del componente receptor en respuesta a esta solicitud y emitir por el canal 110 de recepción en el tercer ciclo 605 de reloj.

De forma concurrente con la emisión de la carga útil por el canal de recepción, el componente emisor puede iniciar una operación de escritura. En este caso, la operación de escritura usa tres ciclos de reloj. En el tercer ciclo 605 de reloj, el componente emisor emite una ubicación de dirección de 32 bits por el canal 108 de transmisión, seguida por 32 bits de señales de control en el cuarto ciclo 607 de reloj, seguidos por una carga útil de 4 octetos en el quinto ciclo 609 de reloj.

En muchos sistemas de procesamiento, algunos dispositivos pueden requerir una interconexión de gran ancho de banda, mientras que otros pueden funcionar de manera suficiente con una interconexión de un ancho de banda mucho menor. Usando una arquitectura de bus escalable, la implementación de puentes puede implementarse con un protocolo de señalización común. La FIG. 7 es un diagrama conceptual en bloques que ilustra una conexión punto a punto entre dos componentes por medio de un puente. El puente 702 puede usarse para interconectar un componente emisor 102 adosado a un bus de altas prestaciones con un componente receptor 104 adosado a un bus de ancho de banda inferior. El bus de altas prestaciones puede estar implementado con un canal 108 de transmisión que tiene 4 subcanales 108a a 108d de 32 bits y un canal 110 de recepción que tiene 2 canales 110a y 110b de recepción de 32 bits. El bus con ancho de banda inferior puede estar implementado con un único canal 108' de transmisión de 32 bits y un único canal 110' de recepción de 32 bits.

En este ejemplo, puede completarse una operación de escritura entre el dispositivo emisor 102 y el puente 702 dentro de un solo ciclo de reloj usando los 4 subcanales 108a a 108d de transmisión del bus de altas prestaciones para emitir la ubicación de la dirección, las señales de control y una carga útil de 8 octetos, tal como se ha descrito anteriormente en relación con las FIGS. 3 y 4. El puente 702 puede almacenar temporalmente la información y emitirla al componente receptor 104 por el canal 108' de transmisión de 32 bits del bus de ancho de banda inferior en 4 ciclos de reloj, tal como se ha descrito anteriormente en relación con las FIGS. 5 y 6.

En el caso de una operación de lectura, el componente emisor 102 puede emitir una ubicación de dirección y las señales de control al puente 702 por 2 subcanales de transmisión del bus de altas prestaciones dentro de un solo ciclo de reloj. El puente 702 puede almacenar temporalmente esta información y emitirla al componente receptor 104 por el canal 108' de transmisión de 32 bits en dos ciclos de reloj. A continuación, puede emitirse una carga útil de 8 octetos desde el componente receptor 104 hasta el puente 702 por el canal 110' de recepción de 32 bits, almacenarse temporalmente en el puente 702 y luego emitirse por el puente 702 al componente emisor 102 por los dos subcanales 110a y 110b de recepción en un solo ciclo de reloj.

Los diversos bloques lógicos ilustrativos, módulos y circuitos descritos en relación con las realizaciones dadas a conocer en el presente documento pueden implementarse o realizarse con un procesador de uso general, un procesador de señales digitales (DSP), un circuito integrado para aplicaciones específicas (ASIC), una formación de compuertas programables en el terreno (FPGA) u otro componente de lógica programable, una compuerta discreta o una lógica de transistor, componentes discretos de hardware o cualquier combinación de los mismos diseñada para llevar a cabo las funciones descritas en el presente documento. Un procesador de uso general puede ser un microprocesador pero, de forma alternativa, el procesador puede ser cualquier procesador convencional, controlador, microcontrolador o máquina de estados. También puede implementarse un procesador como una combinación de componentes informáticos, por ejemplo una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores conjuntamente con un núcleo de DSP o cualquier otra configuración de ese tipo.

Los procedimientos o los algoritmos descritos en conexión con las realizaciones dadas a conocer en el presente documento pueden realizarse directamente en *hardware*, en un módulo de *software* ejecutado por un procesador o en una combinación de ambos. Un módulo de *software* puede residir en memoria RAM, en memoria *flash*, en memoria ROM, en memoria EPROM, en memoria EEPROM, en registros, en un disco duro, en un disco extraíble, en un CD-ROM, o en cualquier otra forma de medio de almacenamiento conocida en la técnica. Un medio de almacenamiento puede estar acoplado con el procesador, de tal forma que el procesador pueda leer información del medio de almacenamiento y escribir información en el mismo. De manera alternativa, el medio de almacenamiento puede formar parte integral del procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en el componente emisor y/o en el receptor, o en otro lugar. De forma alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en el componente emisor y/o el receptor, o en otro lugar.

La anterior descripción de las realizaciones reveladas se proporciona para permitir a cualquier persona experta en la técnica hacer o usar la presente invención. Diversas modificaciones a estas realizaciones serán inmediatamente evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otras realizaciones sin apartarse del alcance de la invención. Así, la presente invención no está concebida para limitarse a las realizaciones mostradas en el presente documento, sino que ha de concedérsele el más amplio alcance coherente con los principios y características novedosas reveladas en el presente documento.

### **Realizaciones específicas**

1. Un procedimiento de comunicación entre un componente emisor y un componente receptor por un bus, comprendiendo el bus canales primero y segundo, y comprendiendo el procedimiento: emitir desde el componente emisor por el primer canal información de dirección de lectura y de escritura, señales de control de lectura y escritura, y datos de escritura; emitir señales desde el componente emisor al componente receptor, de modo tal que el componente receptor pueda distinguir entre la información de dirección de lectura y de escritura, las señales de control de lectura y escritura, y los datos de escritura emitidos por el primer canal; almacenar los datos de escritura emitidos por el primer canal en el componente receptor, en base a la información de dirección de escritura y a las señales de control de escritura; recuperar datos de lectura desde el componente receptor, en base a la información de dirección de lectura y a las señales de control de lectura; y emitir desde el componente receptor los datos de lectura recuperados por el segundo canal.

2. El procedimiento de la realización 1, en el cual el primer canal comprende una pluralidad de subcanales, emitiendo un primer subcanal de dichos subcanales una parte de la información de dirección durante un periodo temporal, de forma concurrente con la emisión de una parte de las señales de control por un segundo subcanal de dichos subcanales durante el mismo periodo temporal.

3. El procedimiento de la realización 2, en el cual un tercer subcanal de dichos subcanales emite una parte de los datos de escritura durante el mismo periodo temporal.

4. El procedimiento de la realización 1, en el cual las señales de lectura y escritura comprenden una pluralidad de calificadores de transferencia y habilitadores de octeto de escritura.
5. El procedimiento de la realización 1, en el cual al menos una parte de la información de dirección de lectura o escritura, de las señales de control de lectura o escritura, o de los datos de escritura, se emite por el primer canal de forma concurrente con la emisión de al menos una parte de los datos leídos recuperados por el segundo canal.
6. El procedimiento de la realización 1, en el cual los datos de escritura comprenden una pluralidad de cargas útiles, y en el cual el componente emisor emite una parte de la información de dirección de lectura o escritura entre una parte primera y segunda de una de las cargas útiles.
7. El procedimiento de la realización 1, que comprende adicionalmente emitir señales desde el componente receptor al componente emisor para acusar recibo de las emisiones por el primer canal.
8. El procedimiento de la realización 7, que comprende adicionalmente repetir una emisión de la misma parte de la información de dirección de lectura o escritura, las señales de control de lectura o escritura, o los datos de escritura, en respuesta a la emisión de señales desde el componente receptor al componente emisor.
9. El procedimiento de la realización 8, en el cual los datos de escritura comprenden una pluralidad de cargas útiles, y en el cual la misma parte de la información de dirección de lectura, o de las señales de control de lectura, se emite repetidamente durante un periodo temporal a continuación de la emisión de una parte de la información de dirección de escritura asociada a una de las cargas útiles, pero antes de que dicha carga útil se emita por completo al componente receptor, comprendiendo además el procedimiento suspender la emisión repetida al final del periodo temporal, completar la emisión de dicha carga útil, y repetir la emisión de la misma parte de la información de dirección de lectura o de las señales de control de lectura después de completarse la emisión de dicha carga útil.
10. El procedimiento de la realización 1, que comprende adicionalmente emitir señales desde el componente receptor al componente emisor, para indicar cuándo los componentes receptores están emitiendo los datos de lectura.
11. El procedimiento de la realización 10, que comprende adicionalmente emitir comandos por el segundo canal, desde el componente receptor, y emitir señales desde el componente receptor al componente emisor, de modo tal que el componente emisor pueda distinguir entre los datos de lectura y los comandos.
12. El procedimiento de la realización 11, en el cual el segundo canal comprende una pluralidad de subcanales, emitiendo un primer subcanal de dichos subcanales una parte de los datos de lectura durante un periodo temporal de forma concurrente con la emisión de una parte de los comandos por un segundo subcanal de dichos subcanales, durante el mismo periodo temporal.
13. Un sistema de procesamiento que comprende: un bus con canales primero y segundo; un componente emisor configurado para emitir por el primer canal información de dirección de lectura y escritura, señales de control de lectura y escritura, y datos de escritura; y un componente receptor configurado para almacenar los datos de escritura emitidos por el primer canal, en base a la información de dirección de escritura y a las señales de control de escritura, recuperar datos de lectura en base a la información de dirección de lectura y a las señales de control de lectura, y emitir los datos de lectura recuperados por el segundo canal al componente emisor; en donde el componente emisor está adicionalmente configurado para emitir señales al componente receptor de modo tal que el componente receptor pueda distinguir entre la información de dirección de lectura y escritura, las señales de control de lectura y escritura, y los datos de escritura emitidos por el primer canal.
14. El sistema de procesamiento de la realización 13, en el cual el primer canal comprende una pluralidad de subcanales, y en donde el componente emisor está adicionalmente configurado para emitir una parte de la información de dirección por un primer subcanal de dichos subcanales, durante un periodo temporal de forma concurrente con la emisión de una parte de las señales de control por un segundo subcanal de dichos subcanales durante el mismo periodo temporal.
15. El sistema de procesamiento de la realización 14, en el cual el componente emisor está adicionalmente configurado para emitir una parte de los datos de escritura por un tercer subcanal de dichos subcanales durante el mismo periodo temporal.
16. El sistema de procesamiento de la realización 13, en el cual las señales de lectura y escritura comprenden una pluralidad de calificadores de transferencia y habilitadores de octeto de escritura.
17. El sistema de procesamiento de la realización 13, en el cual el componente emisor está adicionalmente configurado para emitir al menos una parte de la información de dirección de lectura o escritura, las señales de control de lectura o escritura, o los datos de escritura, por el primer canal, de forma concurrente con la emisión de al menos una parte de los datos de lectura recuperados por el segundo canal por parte del componente receptor.

18. El sistema de procesamiento de la realización 13, en el cual los datos de escritura comprenden una pluralidad de cargas útiles, y en el cual el componente emisor está adicionalmente configurado para emitir una parte de la información de dirección de lectura o escritura entre una parte primera y segunda de una de las cargas útiles.
- 5 19. El sistema de procesamiento de la realización 13, en el cual el componente receptor está adicionalmente configurado para emitir señales al componente emisor para acusar recibo de las emisiones por el primer canal.
20. El sistema de procesamiento de la realización 19, en el cual el componente emisor está adicionalmente configurado para repetir una emisión de la misma parte de la información de dirección de lectura o escritura, de las señales de control de lectura o escritura, o de los datos de escritura, si no se recibe un acuse de recibo desde el componente receptor para tal emisión.
- 10 21. El sistema de procesamiento de la realización 19, en el cual el componente emisor comprende adicionalmente un mecanismo de retroceso de dirección.
22. El sistema de procesamiento de la realización 13, en el cual el componente receptor está adicionalmente configurado para emitir señales al componente emisor a fin de indicar cuándo el componente receptor está emitiendo los datos de lectura.
- 15 23. El sistema de procesamiento de la realización 22, en el cual el componente receptor está adicionalmente configurado para emitir comandos por el segundo canal, y emitir señales al componente emisor, de modo tal que el componente emisor pueda distinguir entre los datos de lectura y los comandos.
- 20 24. El sistema de procesamiento de la realización 23, en el cual el segundo canal comprende una pluralidad de subcanales, estando el componente receptor adicionalmente configurado para emitir una parte de los datos de lectura por un primer subcanal de dichos subcanales durante un periodo temporal de forma concurrente con la emisión de una parte de los comandos por un segundo subcanal de dichos subcanales durante el mismo periodo temporal.
- 25 25. Un sistema de procesamiento que comprende: un bus con canales primero y segundo; un medio emisor para emitir por el primer canal información de dirección de lectura y escritura, señales de control de lectura y escritura, y datos de escritura; y un medio receptor para almacenar los datos de escritura emitidos por el primer canal, en base a la información de dirección de escritura y a las señales de control de escritura, recuperar datos de lectura en base a la información de dirección de lectura y a las señales de control de lectura, y emitir los datos de lectura recuperados por el segundo canal al componente emisor; en donde el medio emisor comprende adicionalmente un medio para emitir señales al medio receptor de modo tal que el medio receptor pueda distinguir entre la información de dirección de lectura y escritura, las señales de control de lectura y escritura, y los datos de lectura emitidos por el primer canal.
- 30

**REIVINDICACIONES**

- 5 1. Un procedimiento de comunicación entre un componente emisor (102) y un componente receptor (104) por medio de un bus (106), comprendiendo el bus canales primero (108, 108 a-d) y segundo (110, 110a-b), en el que cada uno de los canales primero y segundo comprende una pluralidad de subcanales (108a d), comprendiendo el procedimiento:
- emitir desde el componente emisor por el primer canal información de dirección de primera lectura y escritura, señales de control de primera lectura y escritura, y datos de primera operación de escritura,
- 10 en el que el componente emisor emite una porción de la información de dirección de la primera operación de escritura por un primer subcanal de los subcanales (108a) durante un primer periodo temporal (401) de manera concurrente con una porción de las señales de control de escritura de la primera operación por un segundo subcanal de los subcanales (108b) y una porción de los datos de escritura de la primera operación por un tercer subcanal de los subcanales (108c) durante el mismo primer periodo temporal;
- emitir, a continuación, desde el componente emisor, por el primer canal, información de dirección de la operación primera y segunda y señales de control de lectura de la primera operación;
- 15 en el que el componente emisor emite una porción de la información de la dirección de lectura de la primera operación por el primero de los subcanales (108a) durante un segundo periodo temporal (403) de manera concurrente con una porción de las señales de control de lectura de la primera operación por el segundo (108b) de los subcanales, y una porción de la información de dirección de lectura de la segunda operación por el tercero de los subcanales (108c) durante el mismo segundo periodo temporal;
- 20 transmitir una señal desde el componente emisor al componente receptor de tal modo que el componente receptor pueda distinguir entre la información de dirección de lectura y de escritura, las señales de control de lectura y escritura y los datos de escritura emitidos por el primer canal;
- almacenar la emisión de datos de escritura primera por el primer canal en el componente receptor en base a la información de dirección de la primera escritura y a las señales de control de la primera escritura;
- 25 recuperar datos de lectura del componente receptor en base a la información de dirección de lectura y a las señales de control de lectura; y
- emitir desde el componente receptor los datos recuperados de lectura por el segundo canal.
2. El procedimiento de la reivindicación 1, en el que el primer periodo temporal es un ciclo de reloj, y el segundo periodo temporal es un ciclo de reloj que sigue inmediatamente al primer periodo temporal.
- 30 3. El procedimiento de la reivindicación 1, que comprende adicionalmente que el componente emisor emite una parte de la señal de control de lectura de la segunda operación por un cuarto de los subcanales durante el segundo periodo temporal (403).
4. El procedimiento de la reivindicación 1, que comprende adicionalmente que el componente emisor emite una segunda parte de los datos de escritura de la primera operación por el cuarto de los subcanales (108d) durante el primer periodo temporal (401).
- 35 5. El procedimiento de la reivindicación 1, en el que los datos de escritura comprenden una pluralidad de cargas útiles y en el que el componente emisor (102) emite una porción de la información de dirección de lectura o escritura entre una porción primera y una segunda de una de las cargas útiles.
6. El procedimiento de la reivindicación 1 que comprende, además, la repetición de una emisión de la misma porción de la información de la dirección de lectura o escritura, de las señales de control de lectura o escritura, o de los datos de escritura en respuesta a la transmisión de señales desde el componente receptor (104) hasta el componente emisor (102).
- 40 7. El procedimiento de la reivindicación 6 en el que los datos de escritura comprenden una pluralidad de cargas útiles, y en el que se emite reiteradamente la misma porción de la información de la dirección de lectura, o de las señales de control de lectura, durante un periodo temporal que sigue a la emisión de una porción de la información de la dirección de escritura asociada a una de las cargas útiles, pero antes de que dicha carga útil sea emitida por completo al componente receptor (104), comprendiendo el procedimiento, además, suspender la emisión reiterada al final del periodo temporal, completar la emisión de dicha carga útil, y repetir la emisión de la misma porción de la información de la dirección de lectura, o de las señales de control de lectura, a continuación de la terminación de la
- 50 emisión de dicha carga útil.
8. El procedimiento de la reivindicación 1 que comprende, además, la transmisión de señales desde el componente receptor (104) hasta el componente emisor (102) para indicar cuándo el componente receptor está emitiendo los datos de lectura.

9. El procedimiento de la reivindicación 8 que comprende, además, la emisión por el segundo canal (110, 110a-b) de comandos desde el componente receptor (104), y la transmisión de señales desde el componente receptor hasta el componente emisor (102), de tal manera que el componente emisor pueda distinguir entre los datos de lectura y los comandos.
- 5 10. El procedimiento de la reivindicación 9 en el que el segundo canal comprende una pluralidad de subcanales (110a-b), emitiendo un primero (110a) de los subcanales una porción de los datos de lectura durante un periodo temporal de forma concurrente con la emisión de una porción de los comandos por un segundo (110b) de los subcanales durante el mismo periodo temporal.
11. Un sistema (100) de procesamiento que comprende:
- 10 un bus (106) que tiene canales primero (108, 108 a-d) y segundo (110, 110a-b), en el que cada uno de los canales primero y segundo comprende una pluralidad de subcanales (108a-d);
- medios de emisión para emitir por el primer canal información de dirección de escritura de primera operación, señales de control de escritura de primera operación, y datos de escritura de primera operación,
- 15 en el que los medios de emisión están configurados para emitir una porción de la información de dirección de escritura de primera operación por un primero (108a) de los subcanales durante un primer periodo temporal (401) de manera concurrente con una porción de las señales de control de escritura de primera operación por un segundo (108b) de los subcanales y una porción de los datos de escritura de primera operación por un tercero de los subcanales (108c) durante el mismo primer periodo temporal;
- 20 emitir a continuación por el primer canal información de dirección de lectura de la operación primera y segunda, y señales de control de lectura de la primera operación; y
- en el cual los medios emisores están adicionalmente configurador para emitir una porción de la información de dirección de lectura de la primera operación por el primero de los subcanales (108a) durante un segundo periodo temporal (403) de manera concurrente con una porción de las señales de control de lectura de la primera operación por el segundo (108b) de los subcanales; y una porción de la información de dirección de lectura de la segunda operación por el tercero de los subcanales (108c) durante el mismo periodo temporal; y
- 25 medios de recepción para almacenar la emisión de datos de escritura por el primer canal en base a la información de dirección de escritura y a las señales de control de escritura, para recuperar datos de lectura en base a la información de dirección de lectura y a las señales de control de lectura, y para emitir los datos recuperados de lectura por el segundo canal;
- 30 en el que los medios emisores comprenden, además, medios para transmitir señales a los medios receptores, de tal manera que los medios receptores puedan distinguir entre la información de dirección de lectura y escritura, las señales de control de lectura y escritura y los datos de escritura emitidos por el primer canal.
12. El sistema (100) de procesamiento de la reivindicación 11 en el que los medios emisores (104) están adicionalmente configurados para emitir una segunda parte de la señal de control de lectura de la segunda operación por un cuarto de los subcanales (108d) durante el segundo periodo temporal (403).
- 35 13. El sistema (100) de procesamiento de la reivindicación 11 en el que los medios (104) de emisión están configurados, además, para emitir una segunda porción de los datos de escritura de la primera operación por el cuarto de los subcanales (108d) durante el primer periodo temporal (401).
- 40 14. El sistema (100) de procesamiento de la reivindicación 11 en el que las señales de lectura y escritura comprenden una pluralidad de calificadores de transferencia y de habilitadores del octeto de escritura.
15. El sistema (100) de procesamiento de la reivindicación 11 en el que los datos de escritura comprenden una pluralidad de cargas útiles y en el que los medios emisores (102) están configurados, además, para emitir una porción de la información de dirección de lectura o escritura entre una porción primera y una segunda de una de las cargas útiles.

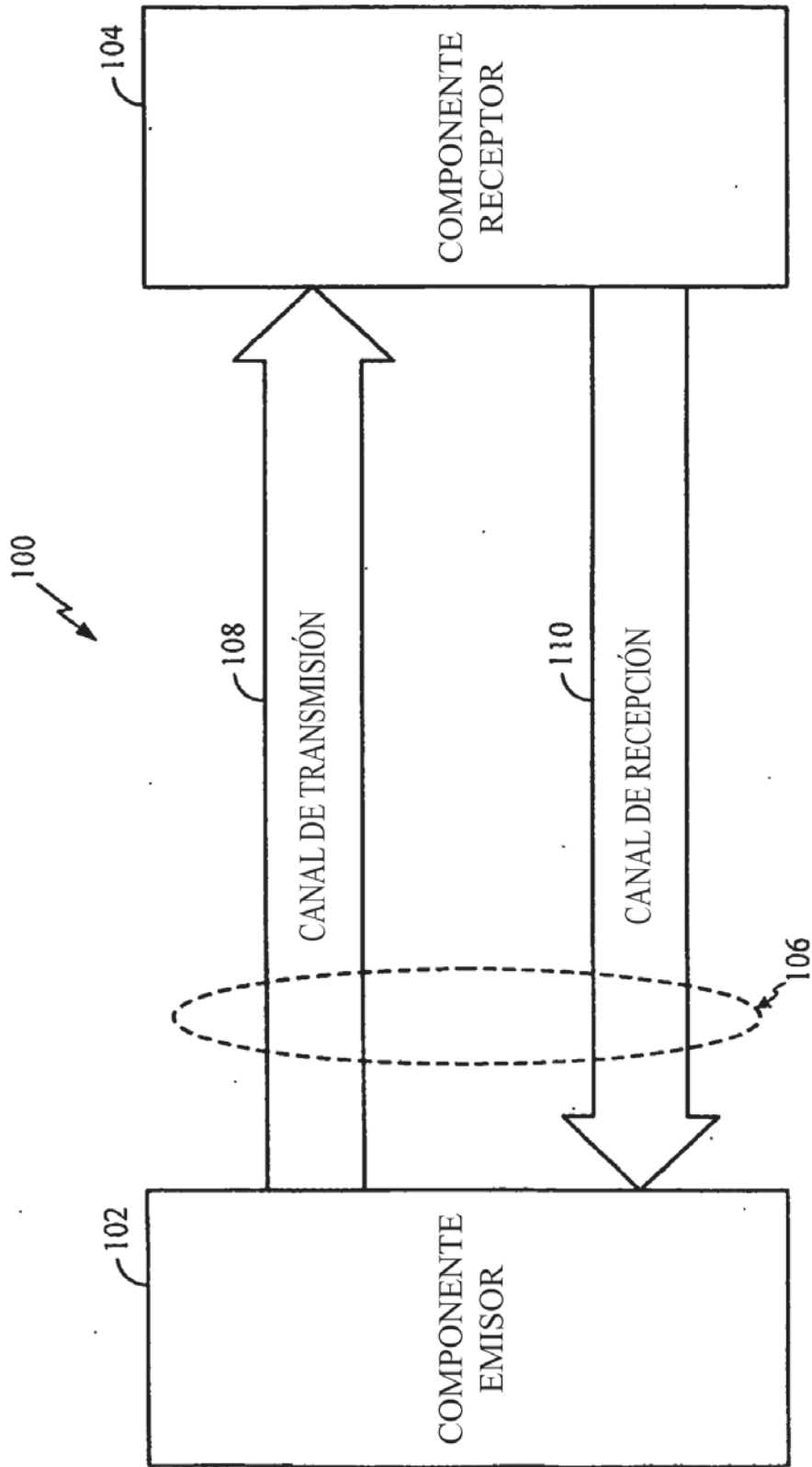


FIG. 1

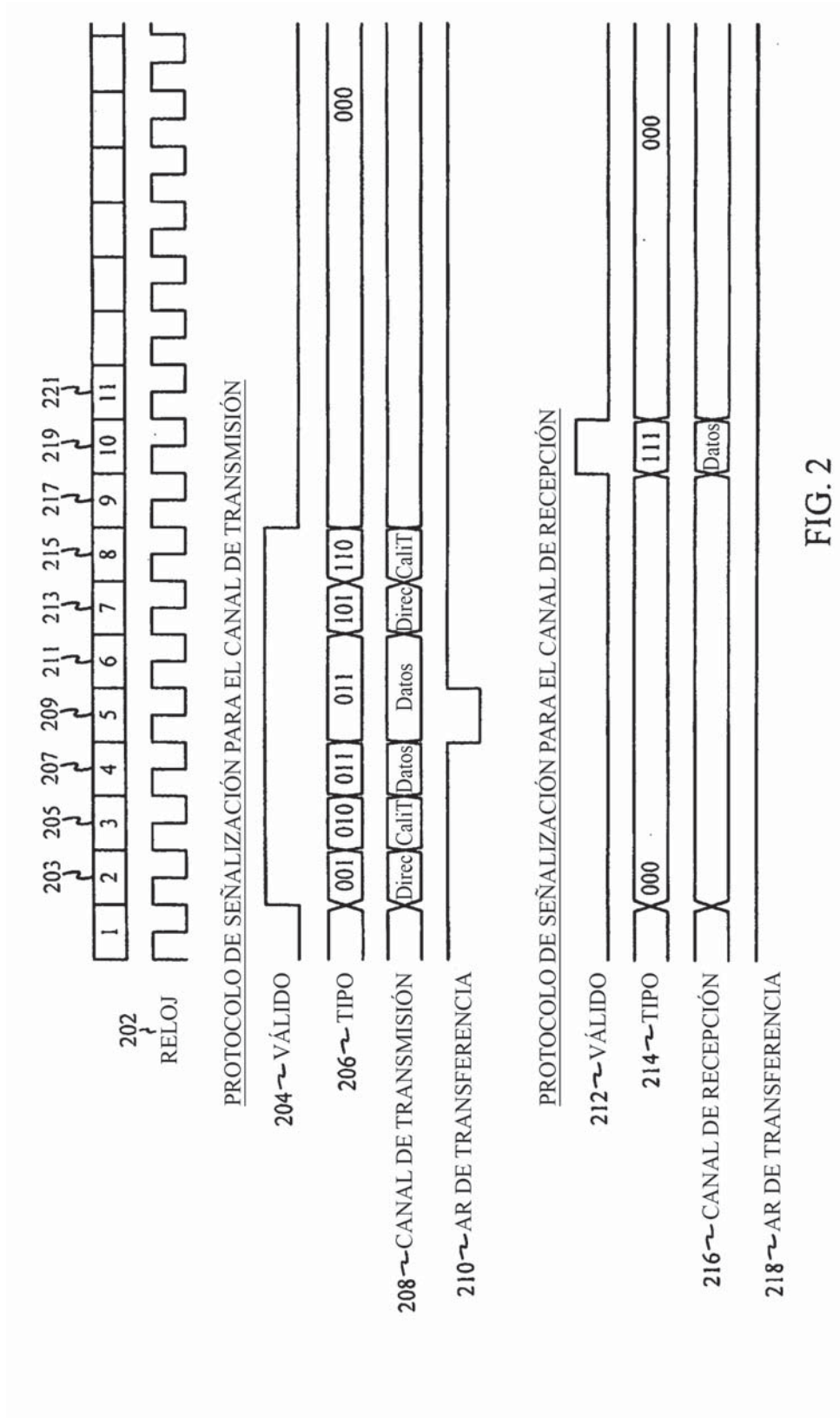


FIG. 2



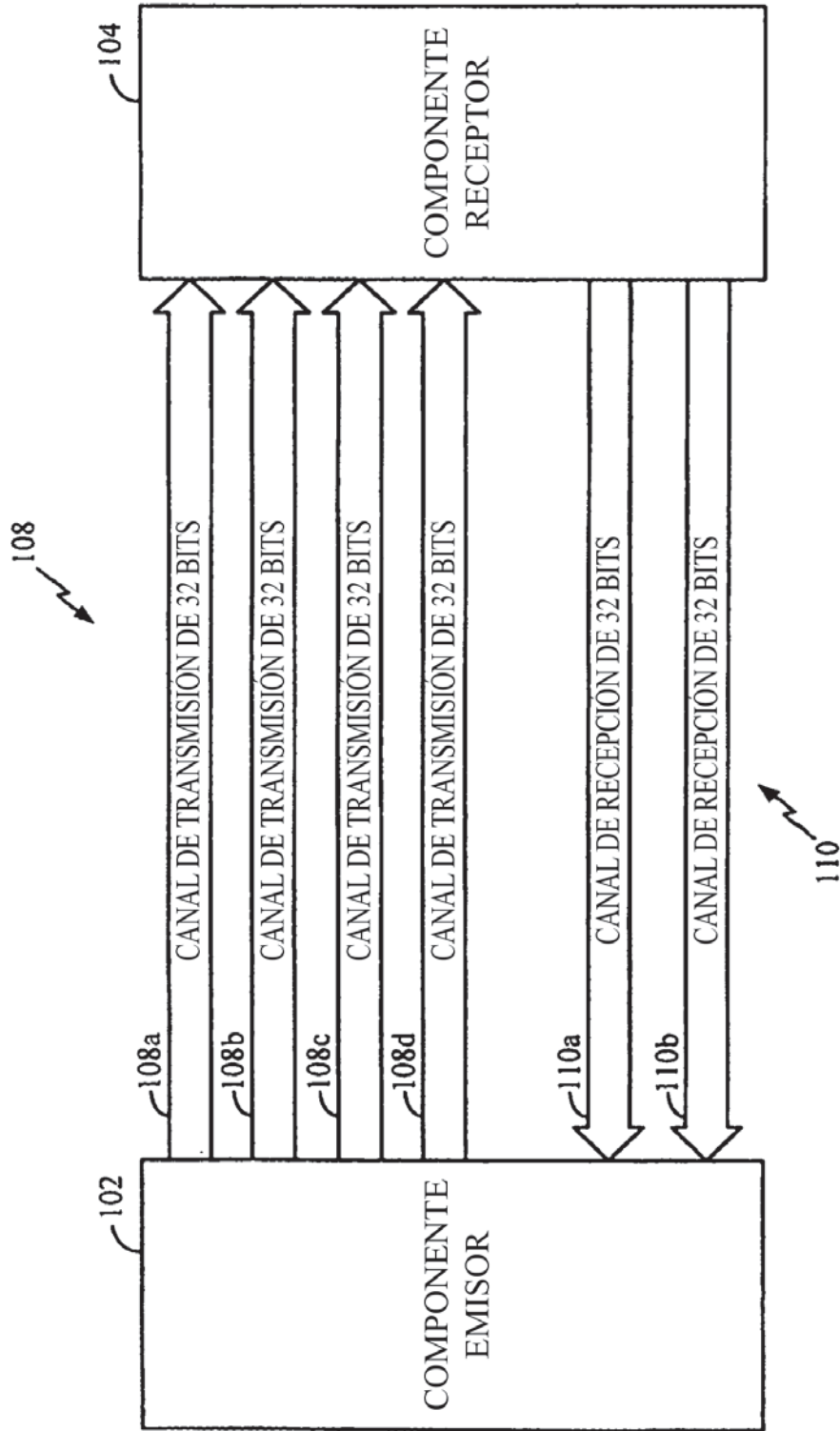


FIG. 3

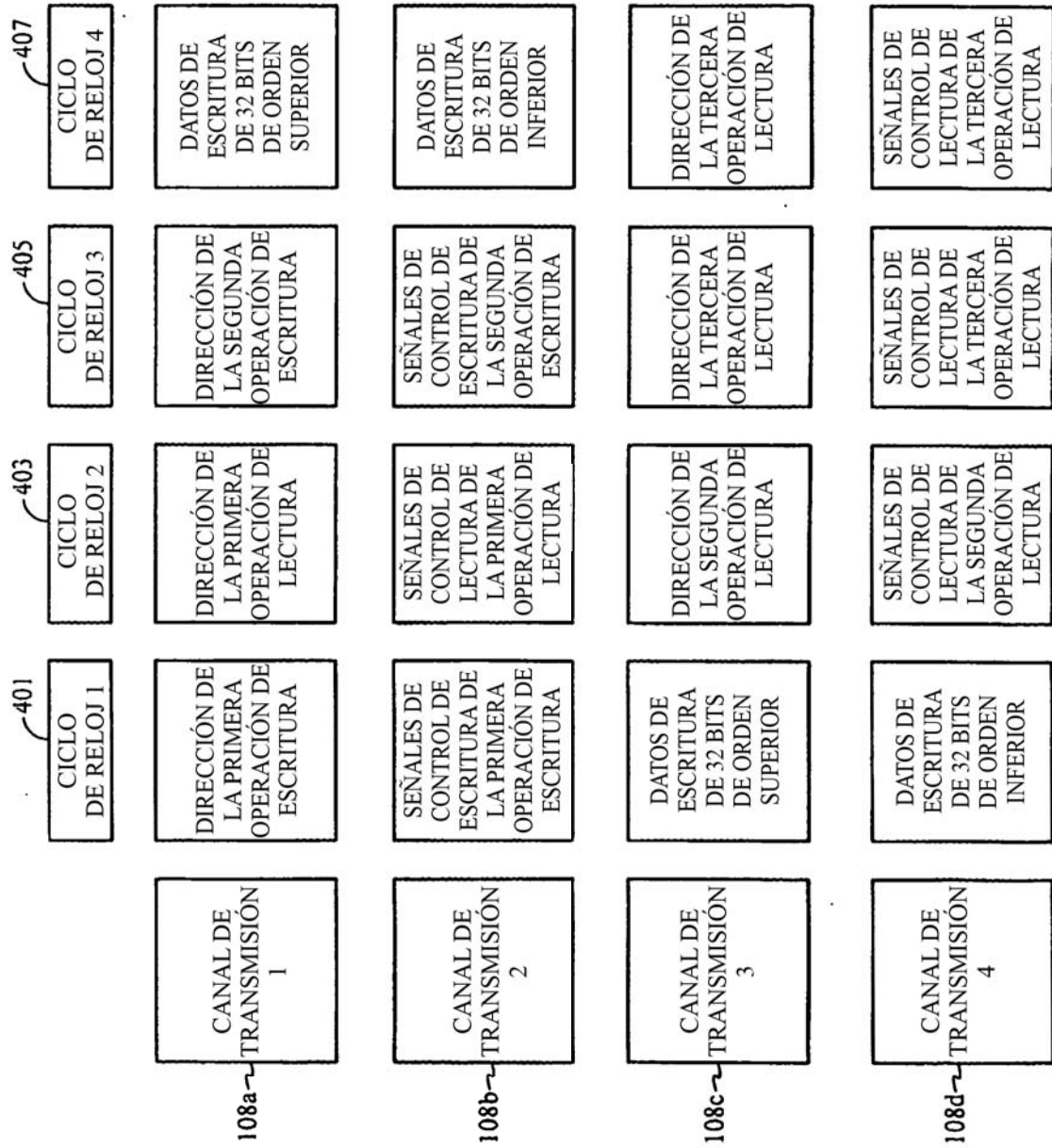


FIG. 4

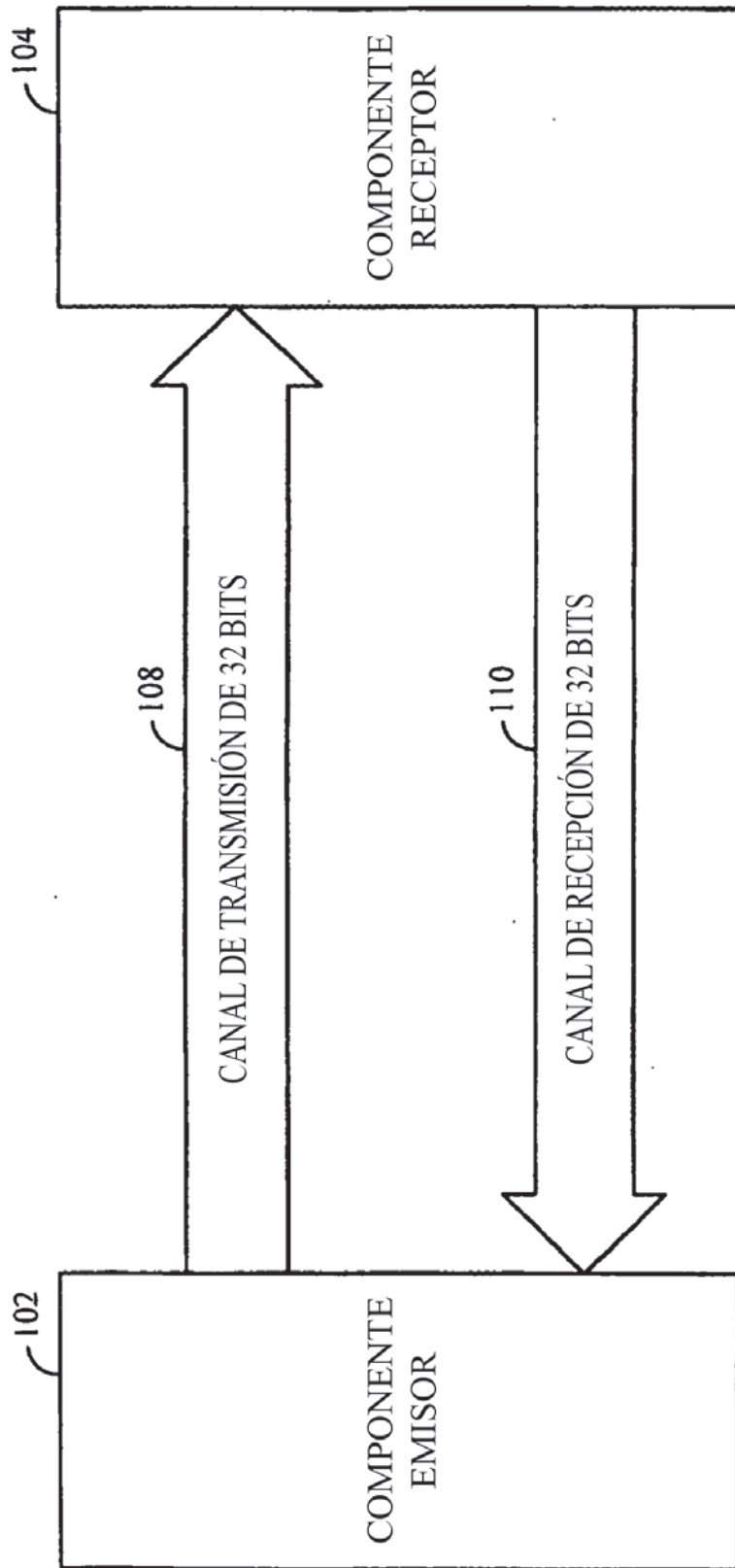


FIG. 5

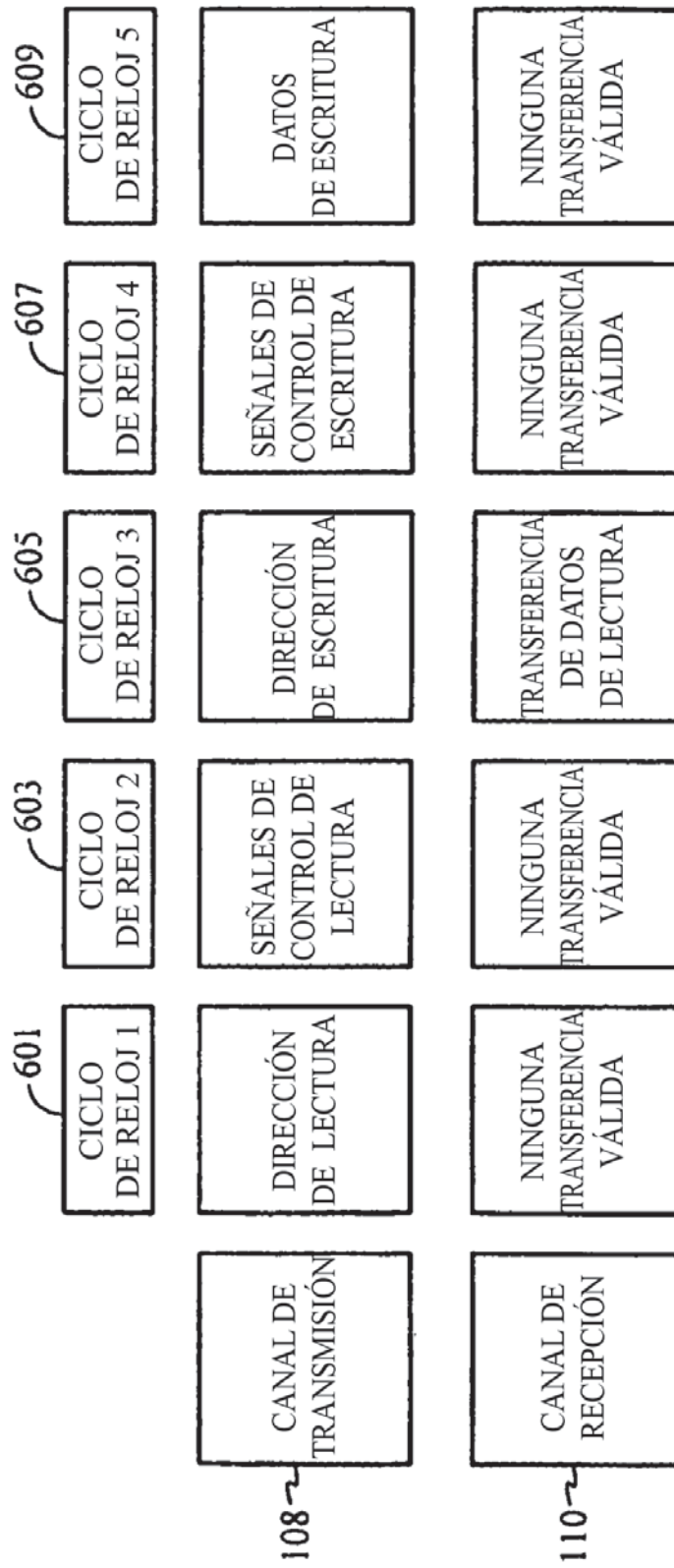


FIG. 6

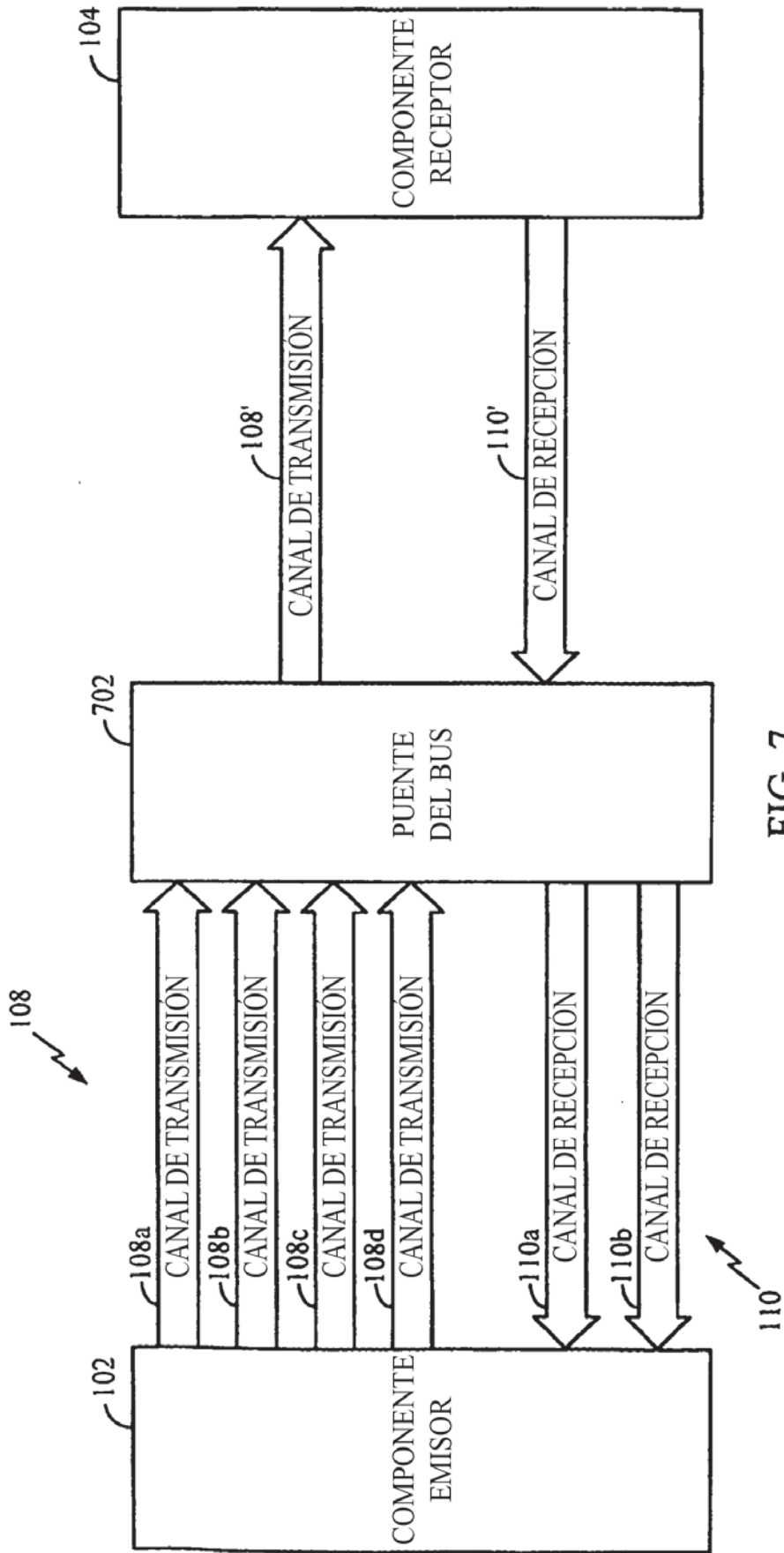


FIG. 7