

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 372 750**

51 Int. Cl.:
G01R 31/30 (2006.01)
H03K 5/13 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **02756865 .8**
96 Fecha de presentación: **31.07.2002**
97 Número de publicación de la solicitud: **1412768**
97 Fecha de publicación de la solicitud: **28.04.2004**

54 Título: **SISTEMA Y PROCEDIMIENTO DE PRUEBA DE LÍNEA DE RETARDO.**

30 Prioridad:
02.08.2001 US 921396

45 Fecha de publicación de la mención BOPI:
26.01.2012

45 Fecha de la publicación del folleto de la patente:
26.01.2012

73 Titular/es:
Omron Scientific Technologies, Inc.
6550 Dumbarton Circle
Fremont, CA 94555-3611, US

72 Inventor/es:
SCHLEIFER, Fred;
DRINKARD, John y
DUMS, Christopher

74 Agente: **Arias Sanz, Juan**

ES 2 372 750 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y procedimiento de prueba de línea de retardo

Descripción

5 La presente invención es una continuación, en parte, de la solicitud estadounidense con N° de Serie 09 / 728.567, registrada el 28 de noviembre de 2000, y titulada "TAPPED DELAY HIGH-SPEED REGISTER" ["REGISTRO DE RETARDO DE ALTA VELOCIDAD CON TOMAS"], editado como Patente Estadounidense N° 6.493.653, en la cual pueden hallarse detalles adicionales.

Antecedentes de la invención

10 Los circuitos de temporización adoptan una amplia gama de formas e implementaciones, emanando su variedad de la mera gama de aplicaciones en las cuales se requieren funciones de temporización. La temporización de alta resolución, o las aplicaciones de control preciso de frecuencia, en particular, imponen retos especiales de diseño, y pueden gravar las tecnologías disponibles de circuitos cuando se fuerzan más allá de un nivel dado de precisión de temporización.

15 A menudo, el reto del diseño se extiende más allá de construir un circuito de temporización capaz de una temporización de alta resolución en el diseño de circuitos de prueba capaces de caracterizar y verificar las prestaciones y la precisión del circuito de temporización a mano. Si el circuito de temporización de interés está concebido para medir pequeños incrementos del tiempo, digamos, por ejemplo, billonésimos o incluso trillonésimos de segundo, la verificación de su funcionamiento presenta retos decididamente no triviales. Introducir las restricciones económicas localizadas en todos los productos, menos los más esotéricos, sólo exacerba el problema de diseño.

20 Un tipo específico de circuito de temporización se basa en una línea de retardo digital. Una línea de retardo comprende generalmente un dispositivo de circuitos que imparte un retardo fijo, o variable a veces, a una onda de entrada. Así, una transición de señal en una onda de entrada se manifiesta en la salida de la línea de retardo, algún intervalo deseado de retardo más adelante en el tiempo.

25 Las aplicaciones de temporización basadas en línea de retardo explotan una implementación específica de la línea de retardo, en la cual la función de retardo entre la entrada y la salida se realiza conectando sucesivamente una cadena de compuertas digitales, teniendo cada una un intervalo característico de retardo, que puede ser el retardo intrínseco de propagación de la misma compuerta. Así, una transición de señal ingresada a la línea de retardo desplaza secuencialmente, o se propaga a través de, la serie de compuertas interconectadas. Cada compuerta o etapa de retardo está desplazada en el tiempo a partir del comienzo de la línea de retardo en base al retardo acumulado entre ella y la primera etapa de retardo en la cadena.

30 Cada etapa de retardo admite tomas, es decir, la señal de salida de la etapa puede ser extraída. Una transición de señal propagada aparece secuencialmente en estas tomas a intervalos temporales determinados por el intervalo de retardo de las correspondientes etapas de retardo. Así, las señales de toma corresponden a desplazamientos temporales secuenciales relativos al comienzo de la línea de retardo, y pueden usarse para sincronizar ciertos sucesos con una precisión de temporización que está fundamentalmente limitada sólo por los límites inferiores del retardo de propagación de la etapa de retardo.

35 En un ejemplo de una línea de retardo, la Patente Estadounidense N° 6.215.345 B1, se revela el uso de una línea de retardo para ajustar la temporización de señales de salida en dispositivos semiconductores, tales como para la interconexión periférica, donde tales señales deben caer dentro de retardos máximos y mínimos definidos. Esta revelación, en particular, se centra en la minimización de las conexiones necesarias entre un equipo de pruebas y un dispositivo semiconductor, para permitir que la prueba programe qué toma del retardo se usa para emitir una señal debidamente retardada. La Patente Estadounidense N° 6.233.528 también revela un enfoque de las pruebas de precisión que reduce la complejidad de interfaces del equipo de pruebas, permitiendo a la vez una medición relativamente fina de la fase y la arritmia de la señal. Esta revelación se refiere principalmente a la prueba y caracterización del Bucle Bloqueado en Fase (PLL), pero destaca algunos de los retos en las pruebas de señales y circuitos de alta velocidad.

40 Debido a que la precisión de medición temporal de una línea de retardo, en particular, puede aproximarse al retardo de propagación intrínseco de una única compuerta electrónica o elemento lógico similar, la verificación de que una o más de las etapas de retardo satisfacen los requisitos deseados de intervalos temporales presenta retos significativos. Sin embargo, en muchas aplicaciones donde se requiere, o es deseable, la confirmación de la precisión de temporización, tal como en aplicaciones críticas para la seguridad, es necesario, no obstante, diseñar un sistema de medición y verificación capaz de probar la temporización de etapas de retardo dentro de una línea de retardo.

45 Preferiblemente, un tal sistema de pruebas es lo bastante flexible como para asimilar las pruebas sobre una gama de resoluciones temporales requeridas. Además, el sistema de prueba debería ser fiable, preciso y lo bastante barato como

para incluirlo como parte del dispositivo de temporización que incorpora el circuito de temporización de la línea de retardo. De esta manera, el circuito de pruebas puede incluirse dentro del dispositivo, permitiendo por ello que el sistema global calibre y pruebe por sí mismo su(s) circuito(s) de línea de retardo.

Breve sumario de la invención

5 Según un aspecto de la presente invención, se proporciona un procedimiento para caracterizar una línea de retardo digital que comprende etapas sucesivas de retardo, que representan colectivamente una ventana temporal, y en el cual las sucesivas etapas de retardo dividen la ventana temporal en correspondientes contenedores temporales, según la reivindicación 1.

10 Según otro aspecto de la presente invención, se proporciona un circuito para caracterizar una línea de retardo digital que comprende sucesivas etapas de retardo, que representan colectivamente una ventana temporal, y en el cual las sucesivas etapas de retardo dividen la ventana temporal en correspondientes contenedores temporales, según la reivindicación 19.

15 La presente invención es un aparato y procedimiento para calibrar y probar una línea de retardo digital formada como una secuencia de etapas de retardo. Un circuito de temporización genera una señal de prueba que se desplaza en el tiempo con una relación precisa y estable con una señal de referencia. El muestreo de la señal de prueba a intervalos temporales, en base a las sucesivas etapas de retardo que comprenden la línea de retardo en sincronización con la señal de referencia, revela si las etapas individuales de retardo en la línea de retardo imparten o no los intervalos de retardo esperados o requeridos. Así, el circuito de temporización puede usarse para caracterizar la línea de retardo efectiva, con la información de caracterización usada, por ejemplo, como datos de calibración de la línea de retardo.

20 Preferiblemente, las señales de prueba y referencia se generan en base al control de un desplazamiento de frecuencia entre dos generadores de frecuencia, que pueden implementarse como osciladores de precisión. Un bucle de bloqueo en fase (PLL), u otro circuito de control, mantiene una diferencia constante de frecuencia entre los dos osciladores. Uno de los dos osciladores está fijado en una frecuencia deseada, y el circuito de control desplaza la frecuencia del segundo oscilador en la diferencia de frecuencia deseada.

25 Como la fase es la integral de la frecuencia, el mantenimiento de los dos osciladores en una diferencia constante de frecuencia fuerza que las dos señales de salida del oscilador tengan un desplazamiento de fase linealmente cambiante, que cicla repetidamente por los 360 grados de desplazamiento de fase a una velocidad determinada por la frecuencia de la diferencia. Debido a que el desplazamiento de fase en el dominio de frecuencia se traduce en un desplazamiento temporal en el dominio temporal, la relación de fase linealmente cambiante causa que una de las señales de oscilador se desplace en el tiempo con respecto a la otra señal. La magnitud de la diferencia de frecuencia entre los dos osciladores determina el desplazamiento temporal relativo entre las señales de referencia y de prueba por cada ciclo.

30 Así, fijando adecuadamente la diferencia de frecuencia, puede hacerse que la segunda señal de oscilador se desplace en una magnitud muy leve y precisamente controlada con cada ciclo de la primera señal de oscilador. Este desplazamiento temporal, dentro de los límites de control de los osciladores y el circuito de control, puede hacerse arbitrariamente pequeño. Más específicamente, la resolución del desplazamiento temporal depende de la capacidad de mantener una leve diferencia de frecuencia entre dos osciladores, en lugar de depender de circuitos lógicos funcionando a velocidades lo bastante altas como para generar incrementos temporales lo bastante pequeños como para verificar la temporización, ya estrecha, de la línea de retardo.

35 La división de la frecuencia de la primera señal de oscilador para crear la señal de referencia proporciona una señal más lenta que puede usarse para sincronizar el inicio de la línea de retardo a la señal de prueba. Debido a que la señal de referencia se obtiene del primer oscilador, la fase relativa de la señal de prueba cambia con cada ciclo de la señal de referencia. De esta manera, la señal de prueba se desplaza a través de una pluralidad de desplazamientos temporales con respecto al tiempo de comienzo de la línea de retardo sobre ciclos repetidos de la señal de referencia.

40 Cada etapa de retardo de la línea de retardo representa un intervalo de retardo o contenedor temporal, representando la línea global de retardo una ventana temporal. Rastreando el desplazamiento de fase entre las señales de oscilador, puede diseñarse un protocolo de pruebas que se ejecuta durante un número determinado de ciclos de la señal de referencia, de modo tal que se distribuye un borde de señal de prueba a intervalos temporales conocidos a través de la ventana temporal representada por la línea de retardo. La señal de prueba se registra o se muestrea en puntos de muestreo discretos en momentos de muestreo determinados por las etapas de retardo en la línea de retardo para cada ciclo de la señal de referencia.

45 Debido a que se conoce el intervalo de distribución de los bordes de la señal de prueba a través de la ventana temporal, el sistema de control puede determinar el ancho aproximado de los contenedores temporales representados por las etapas de retardo, contando el número de bordes de señales de prueba que caen dentro de cada contenedor. Si el intervalo temporal entre los bordes acumulados de señales de prueba es pequeño en comparación con el ancho nominal o esperado de los contenedores temporales de la etapa de retardo, puede estimarse el ancho de los contenedores con

buena precisión. El intervalo temporal entre los bordes acumulados de señales de prueba es una función de la frecuencia señal con respecto a la frecuencia de diferencia entre los osciladores primero y segundo, y la resolución con la cual se rastrea el desplazamiento de fase entre las dos señales de oscilador.

5 El rastreo de fase puede usar un reloj de fase, que puede ser un contador digital con una resolución de contador escogida como para proporcionar el intervalo deseado de borde de señal de prueba. El reloj contador de fase se obtiene preferiblemente de la misma señal de oscilador usada para obtener la señal de referencia. Si el contador de fase está configurado con el módulo de contador, o valor de reinicio circular, adecuado con respecto a la señal de referencia, puede incrementarse en un número fijo de unidades de cuenta por señal de referencia, acertando aún a la vez cada posible valor del contador sobre un cierto número de ciclos de reinicio circular. Esto permite que la señal de referencia, que gobierna el muestreo de señales de prueba, cicle a una velocidad menor que la velocidad de sincronización de fase, lo que puede ser ventajoso en términos de disminución del sobregasto de procesamiento del sistema.

Breve descripción de los dibujos

La Fig. 1A es un diagrama de una línea de retardo digital.

La Fig. 1B es un gráfico de la función de retardo temporal impartida por la línea de retardo de la Fig. 1A.

15 La Fig. 2A es un gráfico de una función ideal de transferencia temporal de la línea de retardo de la Fig. 1A, suponiendo intervalos de toma uniformes.

La Fig. 2B es un gráfico de la ventana temporal representada por la línea de retardo de la Fig. 1A e ilustra la subdivisión de esta ventana temporal en contenedores temporales.

20 La Fig. 3 es un diagrama que ilustra cómo puede usarse una línea de retardo implementada según la Fig. 1A para temporizar desplazamientos de señal.

La Fig. 4A es un gráfico que ilustra un enfoque ejemplar a las pruebas de línea de retardo.

La Fig. 4B es un gráfico que ilustra un enfoque ejemplar alternativo a las pruebas de línea de retardo.

La Fig. 5 es un diagrama de un circuito de pruebas ejemplar para probar líneas de retardo.

25 La Fig. 6 es un diagrama del circuito de prueba de línea de retardo de la Fig. 5 en un sistema ejemplar de medición de distancia.

La Fig. 7 es un diagrama simplificado de un registro de línea de retardo con tomas, usado en el sistema de medición de distancia de la Fig. 6, que puede probarse según la presente invención.

Descripción detallada de la invención

30 La Fig. 1 es un diagrama de una línea ejemplar de retardo digital, indicada generalmente por el número 10. La línea 10 de retardo comprende una entrada 12 y una salida 14, con una o más etapas 16 de retardo conectadas en serie, dispuestas entre la entrada y la salida. Los nodos intermedios entre las etapas 16 de retardo interconectadas se denominan tomas 18. Cada etapa 16 de retardo imparte un retardo temporal incremental a una señal de entrada que se propaga a través de la línea 10 de retardo. De esta manera, una transición de señal en la entrada 12 se manifiesta sucesivamente en cada toma 18 de manera gradual, según se propaga la transición a través de la línea 10 de retardo hacia la salida 14.

35 La Fig. 1B ilustra el comportamiento de propagación descrito anteriormente. La señal A, aplicada a la entrada 12, se somete a una transición en el momento T_0 . En la ilustración, esta transición es un borde de señal en alza. La primera etapa 16 de retardo imparte un retardo temporal a esta transición, manifestándose el borde de la señal como la señal B en la primera toma 18 de retardo después de un intervalo de Δt_1 . La propagación sucesiva del borde de la señal continúa por sucesivas tomas 18 de retardo, como se ilustra con la aparición de bordes C y D de señal en las tomas 18 sucesivas, separadas por intervalos Δt_2 y Δt_3 , respectivamente. El retardo temporal total impartido por la línea 10 de retardo desde su entrada 12 hasta su salida 14 puede representarse como Δt_{TOTAL} . El intervalo Δt_{TOTAL} representa una ventana en el tiempo.

40 La Fig. 2A es un gráfico que ilustra una función lineal de transferencia temporal, que se espera que exhiba la línea 10 de retardo de la Fig. 1A, suponiendo un intervalo de retardo nominal y uniforme para cada etapa 16 de retardo. El momento T_0 corresponde a la entrada 12 de la línea 10 de retardo, mientras que los momentos T_1 , T_2 y T_3 corresponden a las sucesivas tomas 18 de retardo que están numeradas como Toma 1, Toma 2 y Toma 3, respectivamente.

45 La Fig. 2B ilustra cómo los intervalos temporales entre las tomas 18 de retardo corresponden a contenedores temporales que subdividen la ventana temporal de ancho Δt_{TOTAL} , representada por la línea 10 de retardo. Nuevamente, suponiendo que la línea 10 de retardo exhibe intervalos de retardo uniformes a lo largo de las etapas 16 de retardo, los contenedores

temporales serán de ancho uniforme. Por supuesto, las etapas 16 de retardo pueden configurarse para tener intervalos de retardo variables, o bien las tolerancias de fabricación y los cambios en los parámetros operativos pueden causar variaciones en los intervalos de retardo individuales. En cualquiera de estos casos, los contenedores temporales ilustrados en la Fig. 2B adoptarían anchos variables, según los intervalos de retardo no uniformes de las correspondientes etapas 16 de retardo.

Si bien las líneas digitales de retardo tienen muchos usos sobre una amplia gama de aplicaciones, se ilustra un uso novedoso en la solicitud '567 anterior incorporada, que se titula "TAPPED DELAY LINE HIGH-SPEED REGISTER" ["REGISTRO DE ALTA VELOCIDAD DE LÍNEA DE RETARDO CON TOMAS"]. Como se expondrá en más detalle más adelante, esta solicitud pendiente con la presente ilustra el uso de una línea digital de retardo de alta velocidad en sistemas de medición de distancia basados en láser. En tales aplicaciones, una línea digital de retardo mide intervalos temporales entre pulsos de láser emitidos y reflejos de pulsos de retorno. El intervalo temporal entre estos sucesos corresponde a la distancia de un objeto reflejado.

La medición de intervalos temporales se ilustra en la Fig. 3, donde la señal 1 sirve como la entrada a la línea digital 10 de retardo, cuya temporización se usa para determinar el desplazamiento relativo Δt entre el borde en alza de la señal 1 y un borde en alza de la señal 2. Por supuesto, la línea 10 de retardo también puede usarse para determinar otros parámetros de desplazamiento temporal, tal como el ancho de pulso de la señal 2 o el desplazamiento relativo de su borde en declive.

En términos generales, la determinación deseada del desplazamiento temporal se toma muestreando la señal 2 a intervalos temporales discretos, determinados por los intervalos de retardo de sucesivas etapas 16 de retardo en la línea 10 de retardo. Esto puede lograrse, por ejemplo, usando las señales de salida de las tomas 18 de retardo en la línea 10 de retardo, para controlar el muestreo discreto de la señal 2. La Fig. 3 ilustra esto mostrando puntos de muestreo discretos marcados con "X" en el eje de la señal 2.

Según se muestra, la señal 2 permanece baja para las muestras T_1 a T_4 . Las muestras T_5 y T_6 capturan valores altos de la señal 2, mientras que las dos muestras finales en T_7 y T_8 registran valores bajos para la señal 2. Debido a que se conoce el intervalo de retardo nominal de cada etapa 16 de retardo, la determinación del desplazamiento temporal relativo de cualquier toma 18 dentro de la línea 10 de retardo con respecto al comienzo de la línea 10 de retardo es una simple cuestión de acumular los intervalos de retardo intervinientes. Así, el desplazamiento del punto T_5 es la suma de los intervalos de retardo nominal desde el punto T_0 de muestra hasta el punto T_5 de muestra.

Con referencia nuevamente al concepto de contenedor temporal introducido en la Fig. 2B, el borde en alza de la señal 2 cae dentro del contenedor temporal 5. Debido a que sólo se conoce que la localización relativa del borde de la señal dentro del contenedor temporal 5 está entre el punto T_4 de muestra y el punto T_5 de muestra, puede ser ventajoso asumir sencillamente como una cuestión de cálculo que la transición del borde de la señal ocurrió en el punto medio del contenedor temporal 5.

Por supuesto, estos cálculos se basan en los intervalos de retardo nominal de las sucesivas etapas 16 de retardo. Si los intervalos de retardo efectivo de las etapas 16 de retardo se desvían de los valores de retardo nominales o esperados, entonces el desplazamiento del retardo aparente del borde de la señal diferirá del desplazamiento efectivo o verdadero. Es decir, si los intervalos de retardo efectivo de la línea 10 de retardo no son como se espera, entonces la posición de desplazamiento aparente del borde en alza de la señal 2, con respecto a la de la señal 1, diferirá de su relación de desplazamiento efectivo, causando un error de medición.

La verificación de la temporización de la línea 10 de retardo requiere la verificación de los anchos de contenedores temporales correspondientes a las sucesivas etapas 16 de retardo. La caracterización de los anchos de contenedores temporales correspondientes a las sucesivas etapas 16 de retardo permite a un sistema de control compensar las mediciones de intervalos temporales hechas usando la temporización nominal de línea de retardo. En lugar de basar los cálculos tales como el desplazamiento acumulado de retardo sobre los anchos de contenedor, nominales o teóricos, pueden hacerse cálculos compensados usando anchos de contenedor caracterizados o medidos.

La Fig. 4A muestra un enfoque ejemplar según la presente invención, para probar o caracterizar una línea de retardo. Se genera una señal de prueba de modo tal que una o más transiciones de señal pueden localizarse precisamente a desplazamientos deseados ($T_{\text{DESPLAZAMIENTO}}$) con respecto al comienzo de la línea 10 de retardo. Así, un sistema de control podría usar la línea 10 de retardo para determinar el desplazamiento aparente de la señal de prueba y luego comparar esto con el desplazamiento conocido. Moviendo la transición de la señal de prueba por los contenedores de retardo, el sistema de control podría identificar cualquier variación en la temporización de la línea de retardo sobre las sucesivas etapas 16 de retardo.

La Fig. 4B ilustra un enfoque alternativo que se apoya sobre el concepto anterior y proporciona pruebas exhaustivas de la línea de retardo según la presente invención. En este enfoque, se distribuye una pluralidad de transiciones de señales de prueba por la ventana temporal representada por la línea 10 de retardo. Si las transiciones de señal están uniformemente distribuidas por la ventana temporal, entonces cada contenedor temporal de la línea 10 de retardo debería acumular el

mismo, o sustancialmente el mismo, número de transiciones de señal. Si un contenedor temporal dado es más ancho o más estrecho que el ancho nominal de contenedor, entonces ese contenedor recogerá más o menos transiciones de señal de lo que se esperaría en otro caso.

5 Si las transiciones de señales de prueba están distribuidas con intervalos temporales adecuadamente pequeños, el ancho de los contenedores temporales puede determinarse con una resolución relativamente buena. En efecto, si el intervalo de paso de las transiciones de señales de prueba se hace lo bastante pequeño, los anchos de los contenedores temporales individuales pueden resolverse dentro de una fracción sustancialmente arbitraria de los anchos nominales de contenedor.

10 La Fig. 5 es un diagrama de un circuito 20 ejemplar de prueba que puede usarse para caracterizar y probar una línea de retardo. El circuito 20 de prueba comprende los generadores 22 y 24 de frecuencia primero y segundo, un circuito 26 de control, un contador 28 de fase, un primer divisor 30, un segundo divisor 32 y un pestillo 34 contador de fase.

15 Los generadores 22 y 24 de frecuencia pueden implementarse como osciladores 22 y 24 primero y segundo. El oscilador 22, denominado un "oscilador de base temporal", sirve como un generador de frecuencia de referencia y está configurado para generar una señal de salida en una frecuencia deseada. La frecuencia de la señal de salida desde el oscilador 22 se escoge en base a un cierto número de consideraciones, que incluyen el número de ciclos de la señal de prueba que se desean para la ventana temporal representada por la línea 10 de retardo. El circuito 26 de control bloquea el oscilador 24, denominado un oscilador de "onda de calibración", a una distancia de un desplazamiento deseado de frecuencia con respecto a la frecuencia de salida del oscilador 22. Bloqueando la frecuencia del oscilador 24 a una distancia de un desplazamiento fijo desde la frecuencia del oscilador 22, la salida de la señal de prueba del oscilador 24 tiene una relación de fase lineal conocida con la señal de salida del oscilador 22.

20 En una implementación ejemplar expuesta en más detalle más adelante en el presente documento, la frecuencia del oscilador 22 puede fijarse en 24,9985 MHz, y la frecuencia de salida del oscilador 24 puede fijarse 1,5 KHz por encima de esta frecuencia básica, para producir una frecuencia de señal de prueba de 25,0000 MHz. Debería entenderse que el oscilador 22 puede fijarse en una gama de otros valores, con el oscilador 24 desplazado en valor, con respecto al del oscilador 22, en la diferencia de frecuencia deseada.

25 El contador 28 de fase se usa para rastrear el desplazamiento de fase de la señal de salida desde el oscilador 22 y la señal de prueba emitida por el oscilador 24. La salida del oscilador 22 es dividida por un denominador "r" en el divisor 30 para generar una señal de reloj de fase. La señal de reloj de fase controla la entrada del contador 28 de fase, que cuenta hasta su máximo valor de contador, se desborda y repite. El valor de desborde, o módulo del contador 28 de fase, se escoge para generar la frecuencia de diferencia deseada (p. ej., 1,5 KHz) entre el oscilador 22 y el oscilador 24.

30 Así, la señal de desborde del contador 28 de fase sirve como la señal de frecuencia de referencia para un detector 44 de fase dentro del circuito 26 de control. El detector 44 de fase recibe la frecuencia de diferencia medida entre el oscilador 22 y el oscilador 24 como su entrada de término de error. Esta señal de diferencia de frecuencia es generada por una compuerta XOR 40 o mezclador similar, tal como un mezclador de diodo, cuya señal de salida de frecuencia de latido atraviesa un filtro 42 de paso bajo antes de acoplarse con el detector 44 de fase. La salida del detector 44 de fase
35 atraviesa un filtro 46 de bucle para producir una señal de control adecuada para el oscilador 24, que puede implementarse como un oscilador de cristal controlado por voltaje (VCXO).

40 La señal del reloj de fase es adicionalmente dividida por el divisor 32, que tiene un denominador "s". La salida del divisor 32 se toma como la señal de referencia para la línea 10 de retardo. Es decir, la señal de referencia del divisor 32 sirve como la señal de comienzo o sincronización para medir la señal de prueba usando la temporización de la línea 10 de retardo. Con cada ciclo de la señal de referencia, la señal de prueba se desplaza en una magnitud conocida. Este desplazamiento entre las señales de referencia y de prueba surge del desplazamiento linealmente cambiante entre las señales de salida de los osciladores 22 y 24.

45 El contador 28 de fase puede usarse para rastrear este desplazamiento de fase. El contador de fase puede leerse directamente, o bien el valor del contador puede asegurarse en el pestillo 34 en base, por ejemplo, a la salida de la línea 10 de retardo. Si el contador 28 de fase se lee directamente, un sistema de control debería leerlo antes de que su contador cambie con respecto al ciclo de prueba de la señal actual de referencia. Puede ser más conveniente usar la señal de salida de la línea 10 de retardo para asegurar el valor del contador de fase en el pestillo 34, de modo tal que el sistema de control pueda volver en cualquier momento antes del próximo ciclo de prueba de la señal de referencia y leer el contador de fase.

50 Como se observó anteriormente, la medición de intervalos tiene muchas aplicaciones, incluyendo la medición de distancia basada en láser. La Fig. 6 es un diagrama simplificado de un sistema 100 de medición de distancia basado en láser, según la solicitud '567 previamente incorporada. El sistema 100 emite pulsos de láser a intervalos temporizados. Estos pulsos se distribuyen angularmente por un campo de visión deseado y los objetos dentro de ese campo de vista proporcionan reflejos de retorno que son detectados por el sistema 100. La determinación de la distancia a los objetos detectados requiere que el sistema 100 determine el tiempo de recorrido de los pulsos de láser individuales. Aquí, el
55

tiempo de recorrido se refiere al tiempo total de recorrido de un pulso de láser emitido e incluye los tiempos combinados de viaje de los pulsos emitidos y reflejados.

5 El sistema 100 comprende un sistema 200 de control y detección de láser, y un sistema 210 de medición de tiempo de recorrido. El sistema 200 comprende un subsistema 202 de escaneo y un dispositivo 120 emisor de láser, junto con un subsistema 204 de detección y un dispositivo 170 de detección de láser.

10 En funcionamiento, el sistema 200 proporciona un pulso de inicio al sistema 210 de medición tras el disparo del dispositivo 120 de láser. El sistema 200 proporciona a continuación un pulso de datos al sistema 210 de medición, en respuesta a la recepción de energía láser reflejada en el dispositivo 170 de detección. De forma simplista, el intervalo temporal entre los pulsos de inicio y de datos representa el tiempo de recorrido del pulso de láser emitido, aunque esta medición puede estar sometida a una o más técnicas de compensación que mejoran la precisión de la medición. Algunas de estas técnicas se expondrán más adelante en el presente documento.

15 El sistema 210 de medición comprende los conmutadores de señales o multiplexores 212 y 214, un bloque comparador 220 de entrada, un registro de alta velocidad de línea de retardo con tomas (TDLR) 230 que incluye una línea digital de retardo similar a la línea 10 de retardo expuesta anteriormente, un controlador lógico 240 que puede ser un microprocesador o similar, y tablas 250-1 y 250-2 de búsqueda que pueden ser dispositivos de memoria accesibles para el controlador 240, que contienen datos de compensación y caracterización usados por el controlador 240 para compensar las mediciones de distancias hechas por el sistema 210 de medición. Por ejemplo, la información de la tabla de búsqueda puede incluir la caracterización del retardo para el TDLR 230 desarrollado según la presente invención. Esta información de caracterización almacenada puede ser usada por el controlador 240 para compensar o corregir las mediciones en bruto del tiempo de recorrido hechas con el TDLR 230.

20 El sistema 210 de medición está configurado para medir el intervalo temporal entre los pulsos de inicio y de datos provenientes del sistema 200 durante las operaciones de medición de distancia, o para medir el intervalo entre las señales de referencia y de prueba durante las operaciones de prueba y calibración. Estas últimas señales son generadas internamente por el sistema 210 usando el circuito ejemplar 20 de prueba expuesto anteriormente, u otra implementación de circuitos de prueba con capacidades similares. Los multiplexores 212 y 214 de señales funcionan preferiblemente bajo control del controlador 240, que los conmuta entre las señales de mediciones efectivas de tiempo de recorrido (inicio y datos) y las señales de referencia y prueba emitidas por el circuito ejemplar 20 de prueba.

25 De esta manera, el TDLR 230 puede usarse para muestrear señales de datos que representan pulsos de láser reflejados después de que los pulsos de datos son acondicionados por el bloque comparador 220, o bien el TDLR 230 puede usarse para muestrear la señal de prueba generada por el circuito 20 de prueba. En el primer caso, el muestreo se sincroniza con la señal de inicio generada por el sistema 200, mientras que en el segundo caso el muestreo se sincroniza con la señal de referencia generada por el circuito 20 de prueba.

30 La Fig. 7 es un diagrama simplificado del TDLR 230 usado en el sistema 210 de medición de intervalos temporales. Comprende una compuerta 260 de entrada, al menos un registro o canal 270 de captura, una línea 290 de retardo con tomas, un circuito 315 de compensación grosera de la línea de retardo y un circuito 320 de interfaz de lectura.

35 En funcionamiento, un pulso de inicio desde el sistema 200, o un pulso de referencia desde el circuito 20 de prueba, inicia la línea 290 de retardo. El pestillo 300 de entrada sirve para proporcionar a la línea 290 de retardo un pulso limpio de entrada, e impide que suene el pulso de entrada desde múltiples transiciones de entrada propagadas a través de la línea 290 de retardo. La transición de entrada (borde) se propaga hacia debajo de la línea 290 de retardo mediante las etapas 16 de retardo sucesivamente interconectadas. Las líneas de salida de las tomas 18 en la línea 290 de retardo gobiernan los circuitos alternadores individuales u otros tipos de registros 272 de captura dentro del canal 270 de captura. Las entradas de datos de los circuitos alternadores 272 están conectadas en paralelo con la salida del invertidor 260, que proporciona la capacidad de gobierno requerida para distribuir la señal de entrada de interés, ya sea el pulso de datos desde el sistema 200 o bien la señal de prueba desde el circuito 20, al conjunto paralelo de registros 272 de captura.

40 La salida de la línea 290 de retardo se denomina la señal de "LISTO", y notifica al controlador 240 que se ha completado un ciclo de captura. Tras recibir tal notificación, el controlador 240 puede leer el contenido del canal 270 de captura (o canales 270) mediante la interfaz 320 de lectura. En algunas implementaciones, la interfaz de lectura incluye señales de almacenamiento temporal y de control lógico compatibles con los esquemas convencionales de control del bus de datos del microprocesador, por lo que el TDLR 230 puede ser objeto de acceso y de control como un dispositivo periférico asociado a la memoria.

45 Como se observará en el diagrama, la línea 290 de retardo comprende preferiblemente un número relativamente grande de etapas 16 de retardo. En implementaciones preferidas, la línea 290 de retardo tiene varios cientos de etapas. La ilustración describe 512 etapas. El tiempo de retardo breve de cada etapa 16 de retardo, combinado con el deseo de medir distancias razonables de objetos (es decir, valores razonablemente largos del tiempo de recorrido), dictan que se use un número manejable de etapas 16 de retardo.

Por ejemplo, el TDLR 230 puede implementarse con tiempos nominales de retardo de toma (intervalos de etapa de retardo) de 250 picosegundos (ps) para lograr una resolución deseada de la medición de distancias, con 512 etapas 16 sucesivas de retardo implementadas en la línea 290 de retardo, para lograr la capacidad máxima deseada de medición de distancias. A $3,0 \times 10^8$ m/s, la luz viaja aproximadamente 0,075 m por toma 18 de la línea de retardo para retardos de toma a toma de 250 ps. Con 512 etapas 16 de retardo, esto da una máxima capacidad de medición de distancias de objetos de aproximadamente 19,2 m. Por supuesto, los parámetros de la línea 290 de retardo pueden variar según las necesidades de una aplicación específica.

Si bien la línea 290 de retardo puede ser controlada o compensada para retener en general sus parámetros de temporización diseñados especialmente, tal como mediante un circuito oscilador 315 controlado por voltaje que regula el voltaje o el sesgo actual hacia las etapas 16 de retardo, aún habrá, probablemente, variaciones en los intervalos de retardo a lo largo de las etapas 16 de retardo. Esto significa que uno o más contenedores temporales, entre las tomas 18, exhibirán anchos no uniformes. El sistema 210 de medición puede usar el circuito 20 de prueba para caracterizar la no uniformidad de los contenedores temporales y compensar así cualquier medición de intervalo temporal hecha usando la línea 290 de retardo.

En tal prueba, el circuito 20 de prueba proporciona una señal de prueba que, durante un cierto número de ciclos de prueba, desplaza un borde de señal de prueba a través de una pluralidad de desplazamientos temporales uniformemente separados con respecto al comienzo de la línea 290 de retardo, de modo tal que las muestras capturadas de la señal de prueba en el canal 270 de captura puedan usarse para determinar los anchos efectivos de contenedores temporales de las etapas individuales 16 de retardo en la línea 290 de retardo. Es decir, al distribuir los bordes de señales de prueba uniformemente por la ventana temporal representada por la línea 290 de retardo usando una base temporal (es decir, el circuito de prueba) que es independiente de la temporización de la línea de retardo, se revelan las desviaciones en la temporización nominal o esperada de la línea de retardo. Las desviaciones, como se ha observado anteriormente, pueden registrarse, tal como en las tablas 250-1 y 250-2 de búsqueda, y usarse para compensar las mediciones efectivas de intervalos de tiempo de recorrido, hechas usando la línea 290 de retardo.

En una configuración ejemplar para probar la línea 290 de retardo, el oscilador 22 se fija en 24,9985 MHz, con el oscilador 24 fijado 1,5 KHz por encima de esa frecuencia de línea base. El contador 28 de fase está configurado para un contador de reinicio circular que produce la frecuencia deseada de diferencia de aproximadamente 1,5 KHz. Así, para un reloj de fase de 3,125 MHz (es decir, el "r" del divisor 30 es $25 / 3,125 = 8$), el contador de reinicio circular se fija en 2.027, produciendo una frecuencia de reinicio circular de 1,546 KHz. El circuito 26 de control bloquea así al oscilador 24 1,546 KHz por encima de la frecuencia de salida del oscilador 22.

El contador de fase cuenta el desplazamiento de fase a través de cada ciclo de fase de 360 grados entre la señal de prueba emitida desde el oscilador 24 y la señal de salida del oscilador 22. Así, la resolución del paso de fase (pasos de fase por ciclo) es la recíproca del valor del contador de reinicio circular que, en este ejemplo, está dado como $1 / 2.027$. Con la resolución del paso de fase, el desplazamiento temporal entre las dos señales de oscilador por paso de fase está dado como

$$\Delta t = \frac{1}{(25 \text{ MHz}) (2.027 \text{ pasos de fase / ciclo})} = 19,7336 \text{ ps / paso de fase.} \quad (\text{Ec. 1})$$

La expresión anterior establece la resolución básica del paso temporal de la señal de prueba suministrada a la línea 290 de retardo durante la prueba y la caracterización. Por supuesto, los valores efectivos seleccionados para las frecuencias de oscilador, los contadores de reinicio circular y los valores de divisor pueden ser ajustados según sea necesario para producir distintos parámetros de prueba, si se desea.

La señal de referencia se obtiene a partir de la señal de reloj de fase (es decir, se obtiene de la salida del divisor 30). Al obtener la señal de referencia del reloj de fase, la señal de referencia tiene una relación de fase conocida, linealmente cambiante, con la señal de prueba. La señal de referencia se genera dividiendo la señal de reloj de fase por un denominador "s" en el divisor 32. Así, la señal de referencia está en una frecuencia inferior a la del reloj de fase. Haciéndolo así, el contador 28 de fase pasa por "s" valores de contador por ciclo de señal de referencia. Esto proporciona un periodo razonable entre ciclos de señal de referencia (es decir, ciclos de prueba) para que el controlador 240 lea los datos de prueba del TDLR 230.

Aunque el contador 28 de fase avanza "s" valores de contador por ciclo de señal de referencia, el valor de reinicio circular del contador 28 de fase y el divisor "s" se escogen de modo tal que el contador 28 de fase recorra todos los posibles valores del contador de fase antes de que se repitan los valores individuales del contador. Para los valores ejemplares dados, esto implica escoger el contador de reinicio circular para que sea impar, y de modo tal que no sea un múltiplo de 61, porque 2 y 61 son factores primos del valor ejemplar de 122 para "s". Así, durante una prueba o caracterización completa de la línea 290 de retardo, el contador 28 de fase se reinicia circularmente de forma repetida, correspondiendo cada ciclo de reinicio circular a un conjunto de valores únicos del contador de fase. Estos conjuntos se acumulan hasta

que los conjuntos combinados de valores del contador cubran todos los posibles valores del contador y, por lo tanto, el desplazamiento de la señal de prueba adopte todas las posiciones de desplazamiento relativo correspondientes a los valores del contador.

5 Como ilustración, supongamos que en un ciclo dado de la señal de referencia, el contador 28 de fase cuenta 0, 122, 244,..., 1952, y luego en el próximo ciclo cuenta 47, 169,..., 1999, y así sucesivamente, comenzando cada ciclo con un número distinto entre 0 y 121 inclusive. Después de un número dado de ciclos de la señal de referencia, el pestillo 34 del contador de fase habrá asegurado todos los posibles valores del contador de fase, y el borde de la señal de prueba habrá adoptado la gama completa de desplazamientos temporales deseados con respecto al comienzo de la ventana temporal representada por la línea 290 de retardo, que está anclada a la señal de referencia. Así, el controlador 240 habrá
10 acumulado múltiples conjuntos de muestras de capturas de la señal de prueba mediante el TDLR 230, que pueden analizarse para determinar los anchos efectivos de contenedores temporales de las etapas individuales 16 de retardo en la línea 290 de retardo.

Es decir, con cada ciclo de la señal de referencia, los bordes en alza y en declive en la señal de prueba se desplazan en una magnitud conocida con respecto a la señal de referencia, debido al desplazamiento fijo de frecuencia entre los
15 osciladores 22 y 24. Bloqueando el muestreo del TDLR de la señal de prueba con respecto a la señal de referencia, estos bordes en alza y en declive de la señal de prueba se desplazan gradualmente a través de la ventana temporal representada por la línea 290 de retardo. Así, con cada captura sucesiva de la señal de prueba, estos bordes de la señal de prueba son capturados en registros distintos entre los registros 272 de captura. Una vez que se permite a los bordes de la señal de prueba desplazarse a través de todas las posiciones del contador de fase (p. ej., 2.027 desplazamientos
20 relativos en el ejemplo anterior), el controlador 240 puede determinar el intervalo efectivo aproximado de retardo de cada etapa 16 de retardo, determinando cuántos bordes de la señal de prueba fueron capturados en los contenedores temporales definidos por las tomas 18 de retardo.

Según lo anterior, un conjunto completo de datos de prueba se denomina un conjunto de calibración y comprende
25 múltiples ciclos de prueba de la señal de referencia, con un conjunto de datos de captura, o conjunto de muestra, de la señal de prueba, tomado para cada ciclo de prueba de referencia. Ejecutando el número adecuado de ciclos de prueba de la señal de referencia, se obtiene un conjunto de datos de captura de la señal de prueba para cada único contador de fase, lo que daría 2.027 conjuntos de datos de captura en el ejemplo anterior. Obsérvese que estos conjuntos de datos de captura representan conjuntos de datos intercalados, que representan los múltiples reinicios circulares del contador de fase. Así, mientras el valor de contador asegurado por el pestillo 34 del contador de fase avanza en "s" unidades del
30 contador de fase por ciclo de prueba de la señal de referencia, habrá avanzado a través de todos los valores únicos del contador de fase durante "M" ciclos de prueba de la señal de referencia. Esto produce pasos del borde de la señal de prueba con la resolución deseada, en este caso $1 / (25 \text{ MHz}) / 2.027$ unidades de contador, o sea 19,73 ps por contador de fase.

Con un ancho nominal de contenedor representado como el tiempo entre tomas sucesivas 18 de retardo, cada contenedor
35 temporal tiene un ancho nominal o esperado de 250 ps. Por supuesto, la línea 290 de retardo puede implementarse con intervalos de retardo más cortos o más largos, y con anchos de contenedor intencionalmente no uniformes en algunas aplicaciones. En cualquier caso, la distribución de los bordes de la señal de prueba en pasos temporales uniformes y conocidos asimila todas dichas variaciones y permite al controlador 240 caracterizar el comportamiento efectivo de temporización de la línea de retardo en base a cada etapa de retardo individual. Remítase a la Fig. 4B para una ilustración
40 de una distribución de bordes de la señal de prueba a lo largo de una ventana temporal dada de la línea de retardo.

En un enfoque ejemplar, el controlador 240 captura la señal de prueba, lo que se denomina capturar una onda de calibración, para cada contador único de fase, a fin de formar un conjunto de datos de calibración. Luego determina información de calibración para el TDLR 230 en base a este conjunto de datos de calibración. Por ejemplo, el controlador
45 240 puede construir un mapa de contenedores de retardo del canal 270 (o canales 270) del TDLR para bordes tanto en alza como en declive de la señal de prueba en las ondas de calibración. El mapa de contenedores de retardo es conceptual; de hecho, el controlador 240 puede procesar mucha de la información inmediatamente después de cada adquisición de señal de prueba, en lugar de guardarla con sus detalles completos.

ES 2 372 750 T3

El mapa para bordes en alza en un canal puede parecerse a lo siguiente. Un mapa similar existe para bordes en declive.

Tabla 1. Mapa de contenedores de retardo del conjunto de datos de calibración

Índice (n) de fase	Número de contenedor temporal del TDLR		
	1er borde	2º borde	3er borde
0	2	206	434
1	2	206	434
2	2	206	434
3	2	206	434
4	2	206	434
5	1	206	434
6	2	206	434
7	2	206	434
8	1	206	434
9	1	205	434
10	1	205	433
11	1	205	433
12	1	205	433
13	205	433	-
14	1	205	433
15	205	433	-
16	205	433	-
17	204	433	-
18	204	433	-
19	204	433	-
...
2012	4	207	435
2013	3	207	435
2014	3	207	435
2015	3	207	435
2016	3	207	435
2017	3	207	435
2018	3	207	435
2019	3	207	435
2020	3	206	435
2021	3	207	435
2022	3	206	435
2023	3	206	434
2024	2	207	434
2025	3	206	435
2026	2	206	434

- 5 Debido a que el oscilador 24 de ondas de calibración funciona más rápidamente que el oscilador 22 de base temporal, los índices mayores de fase corresponden a los bordes de calibración que aparecen antes (menores números de contenedor) en el registro 270 de captura del TDLR. Por esta razón, los números de contenedor en la tabla disminuyen en general con los índices crecientes de fase. Cuando el contador 34 de fase asegurada se reinicie circularmente desde 2026 a 0, no hay ninguna discontinuidad de fase: la onda de la señal de prueba sencillamente ha completado un desplazamiento entero de fase de 360 grados.
- 10 El ruido dentro del sistema 100 puede crear arritmia en los bordes de señales de prueba cerca de los límites de tomas. Si está presente, tal arritmia puede causar que el número de contenedor oscile cerca de los límites de tomas.

En algún punto, entre el índice 12 y 13 en la tabla ejemplar anterior, el primer borde desaparece más allá del comienzo del registro 270 de captura, y el segundo borde (toma 205) se convierte en el primer borde. En algunos casos, esta ruptura puede aparecer coincidentemente allí donde el índice de fase se reinicia circularmente entre el índice 2026 y el 0.

5 Una técnica para procesar el conjunto de datos de calibración implica sumar el número de veces que aparecen bordes en alza (o en declive) dentro de un contenedor temporal específico en el conjunto de calibración. Por ejemplo, en la tabla anterior, el contenedor 205 aparece 8 veces. Por lo tanto, para bordes en alza, el retardo temporal desde las etapas 16 de retardo con números de orden 204 y 205 corresponde al ancho del contenedor 205 de retardo, que tiene un ancho aproximado de

$$\Delta t_{205} = (19,7336 \text{ ps / índice}) (8 \text{ apariciones del índice}) = 157,9 \text{ ps (Ec. 2)}$$

10 Los anchos de contenedores de retardo de Δt existen para Δt_{511} , donde Δt_1 y Δt_{511} representan los sucesivos retardos temporales desde la primera a la última de las etapas 16 de retardo que comprenden la línea 290 de retardo.

Para obtener el retardo absoluto desde el comienzo de la línea 290 de retardo, los anchos individuales de contenedores de retardo requieren una etapa adicional de suma.

$$t_n = \begin{cases} 0 & \text{si } n = 0, \\ \sum_{k=1}^n \Delta t_k & \text{en caso contrario,} \end{cases} \quad (\text{Ec. 3})$$

15 donde t_n es el retardo absoluto de la n-ésima toma 18 en la línea 290 de retardo. La primera toma 18, toma (0), está arbitrariamente definida como la que tiene un retardo de cero. Este procedimiento de procesamiento es esencialmente un histograma integrado; sin embargo, se basa en que cada índice de fase se usa sólo una vez en el histograma. Si el procedimiento de procesamiento promedia conjuntos de mediciones múltiples, entonces cada índice de fase debería aparecer exactamente el mismo número de veces para un histograma válido.

20 El conjunto de t_n para los enteros $0 \leq n \leq 511$ forma una tabla de calibración. Debido a leves diferencias de temporización en los D circuitos alternativos que comprenden los registros 272 de captura y en los retardos de propagación, y en la distribución de las señales de tomas de retardo, el controlador 240 puede generar tablas de calibración distintas para bordes en alza y en declive, y para cada canal 270 del TDLR.

25 La exposición anterior esboza un procedimiento de generación de una tabla de toma-retardo (calibración) a partir del conjunto de datos de calibración. La primera entrada de retardo de la tabla de calibración es siempre cero, por lo que estos valores de retardo son realmente retardos con respecto al retardo toma(0), en lugar de representar un retardo absoluto. Este enfoque funciona bien allí donde se calculan valores de distancias con respecto a una medición de un objetivo de referencia (t_0), porque cualquier desplazamiento de temporización fijo entre la señal de inicio y el pulso de datos se elimina por cancelación. Por supuesto, el enfoque anterior puede modificarse, o cambiarse de otro modo, según se necesite o se desee.

30 Sin embargo, el anclaje de la tabla de calibración a un índice de fase específico y, por lo tanto, a una relación fija entre el inicio y los datos de canal capturados es útil para comprobar que el circuito 26 de control está manteniendo un bloqueo adecuado entre los osciladores 22 y 24. Si están debidamente bloqueados, el circuito 26 mantiene una relación de fase coherente entre las señales de referencia y de prueba para cada índice de fase. Por lo tanto, excluyendo las pequeñas derivas de temporización, el índice de fase al cual corresponde la toma(0) es sustancialmente coherente entre un conjunto de datos de calibración y otro. Un PLL indebidamente bloqueado puede producir tablas de calibración plausibles, pero que no mantendrán esta relación coherente de fase entre conjuntos de calibración.

35 La ecuación 3 anterior no necesariamente proporciona un tal anclaje. Para eso, es necesario un procesamiento adicional de los datos en la Tabla 1.

40 El examen de la gama de índices de fase en la Tabla 1 en los cuales aparece el contenedor 1 forma la base para la Tabla 2.

Tabla 2. Índices de fase del contenedor 1 de retardo

Índice de fase	Número de contenedor temporal
5	1
6	2
7	2
8	1
9	1
10	1
11	1
12	1
13	205
14	1

5 La arritmia dentro del TDLR 230 y el circuito 20 de prueba puede causar que los números de contenedor se alternen cerca de los límites de contenedores y, en consecuencia, puede ser no inmediatamente claro qué índice de fase corresponde al comienzo del contenedor 1. El “desplazamiento por burbujeo” de las apariciones del contenedor 2 hacia índices de fase inferiores y la aparición del contenedor 205 (el contenedor temporal de número de orden 205 en la línea 290 de retardo) hacia un índice de fase superior produce la siguiente tabla:

Tabla 3. Índices de fase del contenedor 1 “desplazados por burbujeo”

Índice de fase	Número de contenedor
7	1
8	1
9	1
10	1
11	1
12	1
13	1
14	205

10 Ahora el límite inicial del contenedor 1 o, equivalentemente, el instante del retardo 0 de toma, está claramente demarcado como el índice 13 de fase. Este anclaje de índice de fase para la tabla de calibración está etiquetado como n_{ANCLA} .

Las simulaciones de medidas de calibración basadas en esta técnica demuestran una reducción en la arritmia en las mediciones del límite del contenedor-1. Así, la técnica promedia efectivamente las pocas muestras cerca del límite del contenedor, lo que reduce la arritmia aparente del circuito 20 de prueba.

15 La dispersión de contenedores temporales también puede determinarse. Por ejemplo, el ancho aparente del contenedor 1 abarca siete (7) índices de fase (valores del contador 28 de fase), lo que es coherente con la interpretación del ancho de contenedor expresado en la Ecuación 1. En ausencia de toda arritmia de muestreo, el número de los índices de fase abarcados por el contenedor 1 también debería ser 7. Sin embargo, la gama abarcada, o la dispersión del contenedor 1 de retardo, según se muestra en la Tabla 2, es

20
$$N_{DISPERSIÓN} = n_{MÁXIMO} - n_{MÍNIMO} + 1. \tag{Ec. 4}$$

donde $n_{MÁXIMO}$ y $n_{MÍNIMO}$ son los índices máximo y mínimo de fase en los cuales aparece el contenedor 1. En este ejemplo específico, la dispersión es

$$N_{DISPERSIÓN} = 14 - 5 + 1 = 10 \tag{Ec. 5}$$

La dispersión de contenedores con respecto al ancho de contenedor da una indicación de la arritmia de muestreo y de la

5 integridad del bloqueo del circuito de control dentro del circuito 20 de prueba. En ausencia de cualquier ruido o arritmia de circuito, la dispersión del contenedor sería igual al ancho del contenedor. Las magnitudes normales de arritmia pueden producir una dispersión de unos pocos índices de fase más anchos que el ancho del contenedor. Las magnitudes excesivas de arritmia, o las muestras de calibración fuera de fase surgidas de un mal bloqueo de temporización en el circuito 20 de prueba crean potencialmente dispersiones de contenedores mucho mayores.

El procedimiento de hallar el anclaje del índice de fase descrito anteriormente implica que el procedimiento de calibración registra la columna del “primer borde” que aparece en la Tabla 1 que, en algunas implementaciones del sistema, puede presentar exigencias indeseables de memoria al controlador 240, o a sus circuitos de soporte (no mostrados).

10 Un enfoque alternativo crea una lista de índices de fase que aparecen en el contenedor 1. Por ejemplo, la Tabla 2 anterior se transformaría en la Tabla 4 a continuación. En la práctica, el controlador 240 puede necesitar ordenar las entradas debido a que las muestras de la señal de prueba en el conjunto de datos de calibración están intercaladas, al menos en la implementación descrita anteriormente.

Tabla 4. Lista de índices de fase del Contenedor 1

Etiqueta de elementos de lista	Índices de fase del Contenedor 1
a_0	5
a_1	8
a_2	9
a_3	10
a_4	11
a_5	12
a_6	14

15 Las entradas primera y última de esta lista definen inmediatamente la dispersión del contenedor 1 de retardo, usando la Ecuación 4 anterior.

La tabla 4 presenta, discutiblemente, información menos detallada en cuanto a que los índices de fase perdidos, o “burbujas”, podrían corresponder a cualquier contenedor. Así, no es inmediatamente claro si estos índices perdidos deberían desplazarse por burbujeo hacia arriba o hacia abajo.

20 Como cualquier arritmia del circuito de prueba con respecto al ancho del contenedor de la línea 290 de retardo será pequeña con la debida selección y configuración de componentes, las colas de las distribuciones de probabilidad de los contenedores limítrofes son muy pequeñas (4σ o $3,2 \times 10^{-5}$) en el centro del contenedor 1 para la línea 290 de retardo. Al seleccionar componentes para el circuito de prueba, los expertos en la técnica apreciarán que los osciladores 22 y 24 deberían seleccionarse en base a sus características intrínsecas de arritmia, y que la frecuencia de diferencia se fija lo bastante alta por encima de la frecuencia de la ganancia unitaria del circuito 26 de control como para permitir un estrecho control del bucle de la frecuencia del oscilador 24.

Una estrategia propuesta supone que los desplazamientos por burbujeo dentro del contenedor 1 se desplazarán lejos del centro del contenedor, a índices de fases superiores o inferior, según se requiera. Una burbuja raramente aparece en el lado “equivocado” del centro del contenedor.

30 El procedimiento de cálculo para esta técnica toma el elemento medio del índice de fase en la lista y añade el número de entradas de la lista por debajo del elemento medio. Si la lista tiene un número par de entradas, el elemento “medio” es, arbitrariamente, el elemento con mayor índice de fase de los dos elementos medios.

$$n_{ANCLAJE} = a_{suelo}(N_{ancho} / 2) + suelo \left(\frac{N_{ANCHO} - 1}{2} \right) \quad (Ec. 6)$$

35 donde $suelo(x)$ es el entero más grande que no es mayor que x , que, para estos valores positivos, es equivalente a trunca la parte fraccionaria o descartar el resto de una división entera.

En el ejemplo anterior, el anclaje es

$$n_{ANCLAJE} = a_{suelo}(7/2) + suelo \frac{(7 - 1)}{2} = A3 + 3 = 10 + 3 = 13, \quad (\text{Ec. 7})$$

lo que coincide con el resultado basado en la Tabla 3.

5 Los datos de la Tabla 2 están estructurados de modo tal que el contenedor 1 no abarque el reinicio circular del índice de fase desde 2026 a 0. El desplazamiento de los índices de fase en esa tabla en 2020, módulo 2027, genera la siguiente tabla.

Tabla 5. Índices de fase desplazados del contenedor 1

Índice de fase	Número de contenedor
2025	1
2026	2
0	2
1	1
2	1
3	1
4	1
5	1
6	205
7	1

Esto genera una lista de índices de fase para el contenedor 1 de la siguiente:

10

Tabla 6. Lista de índices de fase desplazados del contenedor 1

Etiqueta de elementos de lista	Índices de fase del Contenedor 1 de retardo
a_0	2025
a_1	1
a_2	2
a_3	3
a_4	4
a_5	5
a_6	7

15

Sin embargo, el uso de las entradas en la tabla anterior causaría que los algoritmos anteriores generaran resultados incorrectos. Así, la primera etapa es determinar si los índices de fase pueden reiniciarse circularmente. Si al menos un elemento en la lista es mayor que $n_{3/4} = (0,75)(2027) = 1520$, entonces la lista puede reiniciarse circularmente. El valor $n_{3/4}$ es aproximadamente tres cuartos del máximo valor del índice de fase, que es 2027 en el ejemplo a continuación. Por otra parte, si todos los valores en la lista fueran menores que $n_{3/4}$, entonces la lista no se reinicia circularmente y no requiere ninguna manipulación especial.

Para abordar una lista posiblemente reiniciada circularmente, se añade un valor de 2027 a cada índice de fase que sea menor que $n_{1/2} = (0,5)(2027) = 1013$. La lista anterior, así acondicionada, se convierte en la siguiente.

20

Tabla 7. Lista de índices de fase desplazados del contenedor 1

Etiqueta de elementos de lista	Índices de fase del Contenedor 1 de retardo
a_0	2025
a_1	2028
a_2	2029
a_3	2030
a_4	2031
a_5	2032
a_6	2034

En la práctica, puede ser deseable una operación de ordenamiento para poner en orden los elementos de la tabla.

5 La ventaja de añadir el desplazamiento a los elementos menores es que la lista de índices de fase ya no contiene una ruptura o reinicio circular. Como un contenedor de retardo es relativamente estrecho en el ejemplo actual (hasta una docena, o casi, de índices de fase), la lista no podría haber pasado la prueba original de tener al menos un índice de fase mayor que $n_{3/4}$, teniendo a la vez los índices de fase arracimados alrededor de $n_{1/2}$. Por lo tanto, cuando se aplica el desplazamiento, no hay ningún peligro de crear una ruptura alrededor de $n_{1/2}$. La única excepción a esto es si el contenedor 1 de retardo tiene una dispersión inusualmente grande, pero, en ese caso, el conjunto de datos de calibración puede reconocerse como inválido debido a la dispersión extremadamente grande.

10 Las ecuaciones 4 y 6 en lo anterior pueden entonces usarse para determinar la dispersión y el anclaje de los valores ajustados de la Tabla 7 como

$$N_{\text{DISPERSIÓN}} = 2034 - 2025 + 1 = 10, \quad (\text{Ec. 8})$$

y

$$15 \quad n_{\text{ANCLAJE}} = a_{\text{suelo}(7/2)} + \text{suelo} \frac{(7-1)}{2} = a_3 + 3 = 2030 + 3 = 2033, \quad (\text{Ec. 9})$$

La aplicación del módulo 2027 al resultado de n_{ANCLAJE} restituye el valor dentro de la gama normal de índices de fase. Esto es, el valor de anclaje resulta ser

$$n_{\text{ANCLAJE}} = 2033 \text{ mod } 2027 = 6. \quad (\text{Ec. 10})$$

20 La dispersión obtenida en la Ecuación 8 concuerda con la obtenida a través de la aplicación de la Ecuación 5, lo que demuestra que el desplazamiento de los índices de fase en 2020 no cambia la dispersión calculada del contenedor.

El desplazamiento del anclaje original calculado aplicando la Ecuación 7 por 2020 módulo 2027 produce

$$(13 + 2020) \text{ mod } 2027 = 6 \quad (\text{Ec. 11})$$

lo que está de acuerdo con el resultado de las Ecuaciones 9 y 10.

25 Por supuesto, el procesamiento de cualquiera de, o todos, los conjuntos de datos de calibración puede variarse o cambiarse a partir de las técnicas ejemplares descritas anteriormente, según se necesite en una aplicación dada. Más fundamentalmente, la exposición anterior ejemplifica el concepto más general de muestrear una onda con características de temporización conocidas usando intervalos de muestreo determinados por una línea 290 digital de retardo, de modo tal que la inspección de los datos de la muestra revele las características efectivas de temporización de la línea de retardo.

30 Allí donde la técnica se use para graduar bordes de señales de ondas de prueba sobre el conjunto completo de contenedores temporales representados por la línea 290 de retardo, el ancho efectivo de cada contenedor temporal puede estimarse con precisión esencialmente arbitraria.

35 La caracterización de los anchos efectivos de contenedor de esta manera permite entonces que el sistema de control compense las mediciones temporales hechas usando la línea 290 de retardo y, por tanto, permite una precisión de medición sustancialmente mayor que la obtenible de otra manera. Además, las técnicas anteriores pueden usarse para probar dinámicamente la línea 290 de retardo durante el funcionamiento del sistema, y por ello la temporización y el estado operativo de cada etapa 16 de retardo dentro de la línea 290 de retardo puede verificarse repetidamente durante el

funcionamiento del sistema 100. Esta capacidad de verificación in situ puede ser especialmente importante en aplicaciones de medición de distancia, críticas para la seguridad, del sistema 100, donde la capacidad del sistema para hacer mediciones precisas de distancia debe verificarse repetidamente durante el funcionamiento.

5 Como apreciarán inmediatamente los expertos en la técnica, la presente invención está sujeta a muchas variaciones, y la exposición anterior debería considerarse como ejemplar, antes que limitadora.

REIVINDICACIONES

1. Un procedimiento para caracterizar una línea (10) digital de retardo que comprende sucesivas etapas (16) de retardo, que representan colectivamente una ventana temporal, y en el cual las sucesivas etapas de retardo dividen la ventana temporal en correspondientes contenedores temporales sucesivos, estando el procedimiento **caracterizado por**:

5 generar una señal de referencia dividiendo la frecuencia de una primera señal de oscilador a partir de un primer oscilador (22) con una frecuencia deseada y generar una señal de prueba a partir de un segundo oscilador (24) con una frecuencia fija desplazada con respecto a la frecuencia del primer oscilador, en donde se fija una magnitud del desplazamiento fijo de frecuencia de modo tal que un intervalo temporal conocido, en el cual se desplaza la señal de prueba para cada ciclo de la señal de referencia, sea pequeño en comparación a los anchos nominales o esperados de los contenedores temporales;

causar que una transición de señal de prueba en la señal de prueba se distribuya uniformemente por la ventana temporal a intervalos temporales conocidos, sobre ciclos repetidos de la señal de referencia, capturando muestras de la señal de prueba en sincronización con la señal de referencia en momentos de muestreo determinados por las sucesivas etapas de retardo de la línea de retardo digital; y

15 determinar desviaciones de temporización en la línea de retardo digital, en base a la determinación, a partir de las muestras capturadas de la señal de prueba, de un contador del número de transiciones de la señal de prueba que caen dentro de cada contenedor temporal de la línea de datos digitales, y determinar por ello si una distribución observada de la transición de la señal de prueba en los contenedores temporales coincide sustancialmente con una distribución esperada para los anchos nominales o esperados de los contenedores temporales.

20 2. El procedimiento de la reivindicación 1, **caracterizado porque** dicha determinación, a partir de las muestras capturadas de la señal de prueba, de un contador del número de transiciones de la señal de prueba que caen dentro de cada contenedor temporal de la línea de datos digitales, y por ello la determinación de si una distribución observada de la transición de la señal de prueba en los contenedores temporales coincide sustancialmente con una distribución esperada para los anchos nominales o esperados de los contenedores temporales, comprende determinar si un número esperado de las transiciones de la señal de prueba cae, en términos de sincronización, dentro de los contenedores temporales, en base a los anchos nominales o esperados.

30 3. El procedimiento de la reivindicación 1, adicionalmente **caracterizado porque** la captura de muestras de la señal de prueba en sincronización con la señal de referencia en momentos de muestreo determinados por las sucesivas etapas de retardo de la línea de retardo digital comprende iniciar un nuevo ciclo de captura de la señal de prueba por parte de la línea de retardo digital en sincronización con cada ciclo de la señal de referencia.

4. El procedimiento de la reivindicación 1, **caracterizado porque** la captura de muestras de la señal de prueba en sincronización con la señal de referencia en momentos de muestreo determinados por las sucesivas etapas de retardo de la línea de retardo digital comprende generar un conjunto de muestras para cada ciclo de la señal de referencia, registrando una muestra digital de la señal de prueba para cada uno de los momentos de muestreo determinados por las etapas de retardo de la línea de retardo digital.

40 5. El procedimiento de la reivindicación 4, adicionalmente **caracterizado porque** la determinación de desviaciones en la línea de retardo digital, en base a la determinación, a partir de las muestras capturadas de la señal de prueba, de si una distribución observada de la transición de la señal de prueba en los contenedores temporales coincide sustancialmente o no con una distribución esperada para los anchos nominales o esperados de los contenedores temporales, comprende determinar si la distribución observada es no uniforme, en donde los anchos nominales o esperados de los contenedores temporales son uniformes a lo largo de la ventana temporal.

45 6. El procedimiento de la reivindicación 1, **caracterizado porque** la transición de la señal de prueba es un borde de señal, y **porque** la determinación de desviaciones de temporización en la línea de retardo digital, en base a la determinación, a partir de las muestras capturadas de la señal de prueba, de si una distribución observada de la transición de la señal de prueba en los contenedores temporales coincide sustancialmente o no con una distribución esperada para los anchos nominales o esperados de los contenedores temporales comprende contar el número de bordes de señal acumulados sobre los ciclos repetidos de la señal de referencia en cada contenedor temporal representado por cada etapa de retardo de la línea de retardo digital.

50 7. El procedimiento de la reivindicación 1, adicionalmente **caracterizado por** fijar un divisor para dividir la frecuencia de la señal del primer oscilador para obtener la señal de referencia, en base a una velocidad deseada para probar la línea de retardo digital.

8. El procedimiento de la reivindicación 1, adicionalmente **caracterizado por** rastrear un desplazamiento de fase entre la señal del primer oscilador y la señal de prueba usando un contador de fase, en donde el desplazamiento de fase cicla

repetidamente a través de 360 grados de desplazamiento de fase, a una velocidad determinada por el desplazamiento fijo de frecuencia.

5 9. El procedimiento de la reivindicación 8, adicionalmente **caracterizado por** configurar el contador de fase para tener una resolución deseada del contador, en donde la resolución deseada del contador determina el intervalo temporal conocido para distribuir la transición de la señal de prueba a lo largo de la ventana temporal.

10. El procedimiento de la reivindicación 9, adicionalmente **caracterizado por** configurar una frecuencia de reloj del contador de fase de modo tal que el contador de fase incremente un número deseado de contadores de fase por ciclo de la señal de referencia.

10 11. El procedimiento de la reivindicación 10, adicionalmente **caracterizado por** configurar un valor de reinicio circular del contador de fase de modo tal que el contador de fase cuente todos los posibles valores del contador durante un número dado de ciclos de reinicio circular, en donde cada uno de dichos valores de contador corresponde a un desplazamiento temporal de la transición de la señal de prueba con respecto al comienzo de la línea de retardo digital.

15 12. El procedimiento de la reivindicación 10, adicionalmente **caracterizado por** configurar un valor de reinicio circular del contador de fase de modo tal que se genere una señal del indicador de reinicio circular en un valor deseado para el desplazamiento fijo de frecuencia.

13. El procedimiento de la reivindicación 12, adicionalmente **caracterizado por** usar un bucle bloqueado en fase (PLL) para bloquear el desplazamiento fijo de frecuencia entre las señales de oscilador primero y segundo, en base a la señal indicadora del reinicio circular.

20 14. El procedimiento de la reivindicación 1, adicionalmente **caracterizado por** almacenar información de calibración de temporización para dicha línea de retardo digital en base a las desviaciones de temporización determinadas.

15. El procedimiento de la reivindicación 14, adicionalmente **caracterizado por** compensar una medición temporal hecha usando dicha línea de retardo digital en base a la información de calibración.

25 16. El procedimiento de la reivindicación 1, **caracterizado por** rastrear la fase entre la señal del primer oscilador y la señal de prueba, usando un contador digital con una resolución de contador configurada para proporcionar una resolución temporal deseada para el intervalo temporal conocido.

17. El procedimiento de la reivindicación 16, adicionalmente **caracterizado por** obtener un reloj de contador para el contador digital a partir de la señal del primer oscilador, y configurar el contador digital con un valor de reinicio circular de modo tal que incremente un número fijo de valores de contador por ciclo de la señal de referencia, acertando aún a la vez cada posible valor de contador durante un cierto número de ciclos de reinicio temporal.

30 18. El procedimiento de la reivindicación 1, adicionalmente **caracterizado porque** la captura de muestras de la señal de prueba en sincronización con la señal de referencia en momentos de muestreo determinados por las sucesivas etapas de retardo de la línea digital comprende, para cada ciclo de la señal de referencia, registrar una muestra digital de la señal de prueba en cada punto de muestreo, generando por ello un conjunto de muestras para cada ciclo de la señal de referencia, en donde cada punto de muestreo en el conjunto de muestras corresponde a uno de los sucesivos contenedores temporales.

35

19. Un sistema para caracterizar una línea de retardo digital, comprendiendo el sistema una línea (10) de retardo digital que comprende sucesivas etapas (16) de retardo que representan colectivamente una ventana temporal, y en el cual las sucesivas etapas de retardo dividen la ventana temporal en correspondientes contenedores temporales, comprendiendo adicionalmente el sistema:

40 un circuito (20) de prueba que comprende un primer oscilador (22) para generar una señal de referencia con una frecuencia deseada, un segundo oscilador (24) para generar una señal de prueba y un circuito (26) de control que incluye un circuito (40) de diferencia de frecuencia para detectar una diferencia de frecuencia entre los osciladores (22, 24) primero y segundo, y un detector (44) de fase para bloquear correspondientemente el segundo oscilador (24) en un desplazamiento fijo de frecuencia a partir del primer oscilador, en donde una magnitud del desplazamiento fijo de frecuencia se fija de modo tal que un intervalo temporal conocido, en el cual la señal de prueba se desplaza para cada ciclo del primer oscilador, sea pequeño en comparación con los anchos nominales o esperados de los contenedores temporales,

45

estando el circuito de prueba configurado para causar que una transición de la señal de prueba esté uniformemente distribuida a lo largo de la ventana temporal en los intervalos temporales conocidos, usando, sobre ciclos repetidos de la señal de referencia, la línea de retardo digital para capturar muestras de la señal de prueba en sincronización con la señal de referencia en momentos de muestreo determinados por las sucesivas etapas de retardo de la línea de retardo digital; y

50

- un controlador (240) configurado para determinar desviaciones de temporización en la línea de retardo digital en base a la determinación, a partir de las muestras capturadas de la señal de prueba, de un contador del número de transiciones de la señal de prueba que caen dentro de cada contenedor temporal de la línea de datos digitales, y determinar por ello si una distribución observada de la transición de la señal de prueba en los contenedores temporales coincide sustancialmente con una distribución esperada para los anchos nominales o esperados de los contenedores temporales.
- 5
20. El sistema de la reivindicación 19, adicionalmente **caracterizado porque** el circuito de prueba comprende un divisor (30, 32) para obtener la señal de referencia dividiendo una señal de un primer oscilador emitida por el primer oscilador, y un contador (28) de fase para rastrear un desplazamiento de fase entre la señal del primer oscilador y la señal de prueba.
- 10
21. El sistema de la reivindicación 20, adicionalmente **caracterizado por** comprender dicho divisor un primer circuito divisor (30) para generar una señal de reloj de fase a fin de sincronizar el contador de fase en una velocidad de reloj deseada.
- 15
22. El sistema de la reivindicación 21, adicionalmente **caracterizado por** comprender dicho divisor un segundo circuito divisor (32) acoplado con la señal del reloj de fase, de modo tal que una frecuencia de la señal del primer oscilador sea dividida por los circuitos divisores primero y segundo para generar dicha señal de referencia.
23. El sistema de la reivindicación 19, adicionalmente **caracterizado porque** el circuito (26) de control comprende un bucle (40, 42, 44, 46) bloqueado en fase, operativo para generar una señal de control de frecuencia a fin de controlar una frecuencia del segundo oscilador, en base a una señal de diferencia de frecuencia determinada para las señales de los osciladores primero y segundo, emitida, respectivamente, por los osciladores primero y segundo.
- 20
24. El sistema de la reivindicación 19, adicionalmente **caracterizado por** un canal (270) de registros (272) de captura configurados para registrar muestras digitales de la señal de prueba en momentos de muestreo determinados por las etapas de retardo de la línea de retardo digital.
25. El sistema de la reivindicación 24, adicionalmente **caracterizado por** una interfaz (320) de lectura que acopla el canal de registros de captura con el controlador.
- 25
26. El sistema de la reivindicación 19, en el cual el controlador es un microprocesador.

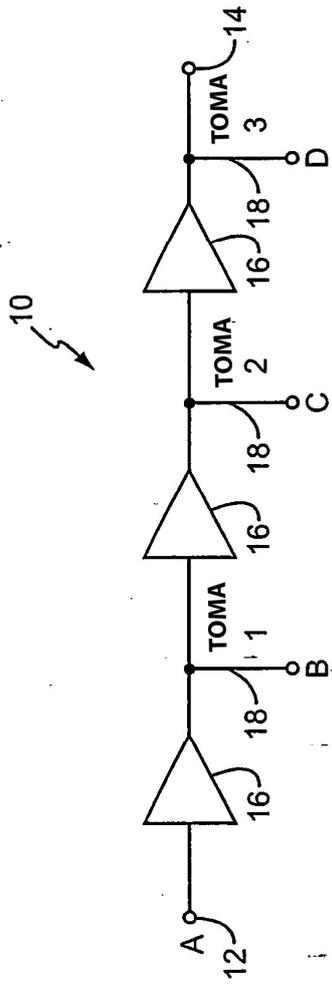


FIG. 1A

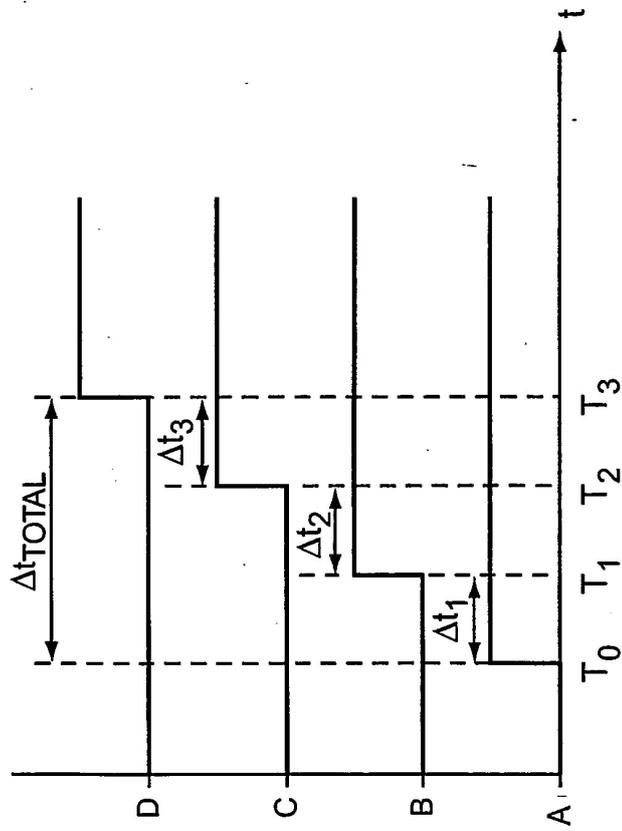


FIG. 1B

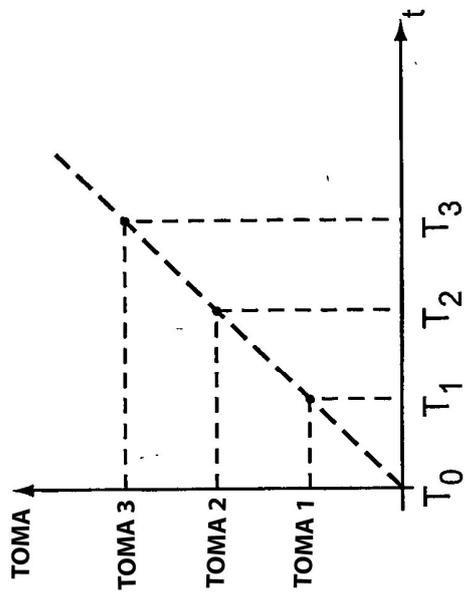


FIG. 2A

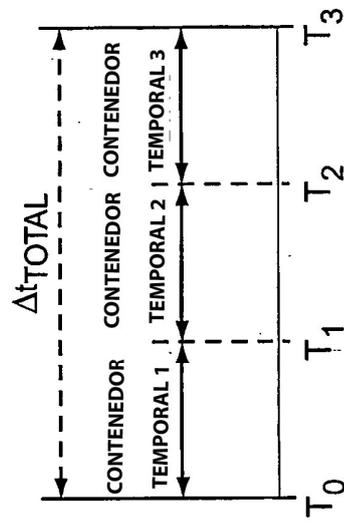


FIG. 2B

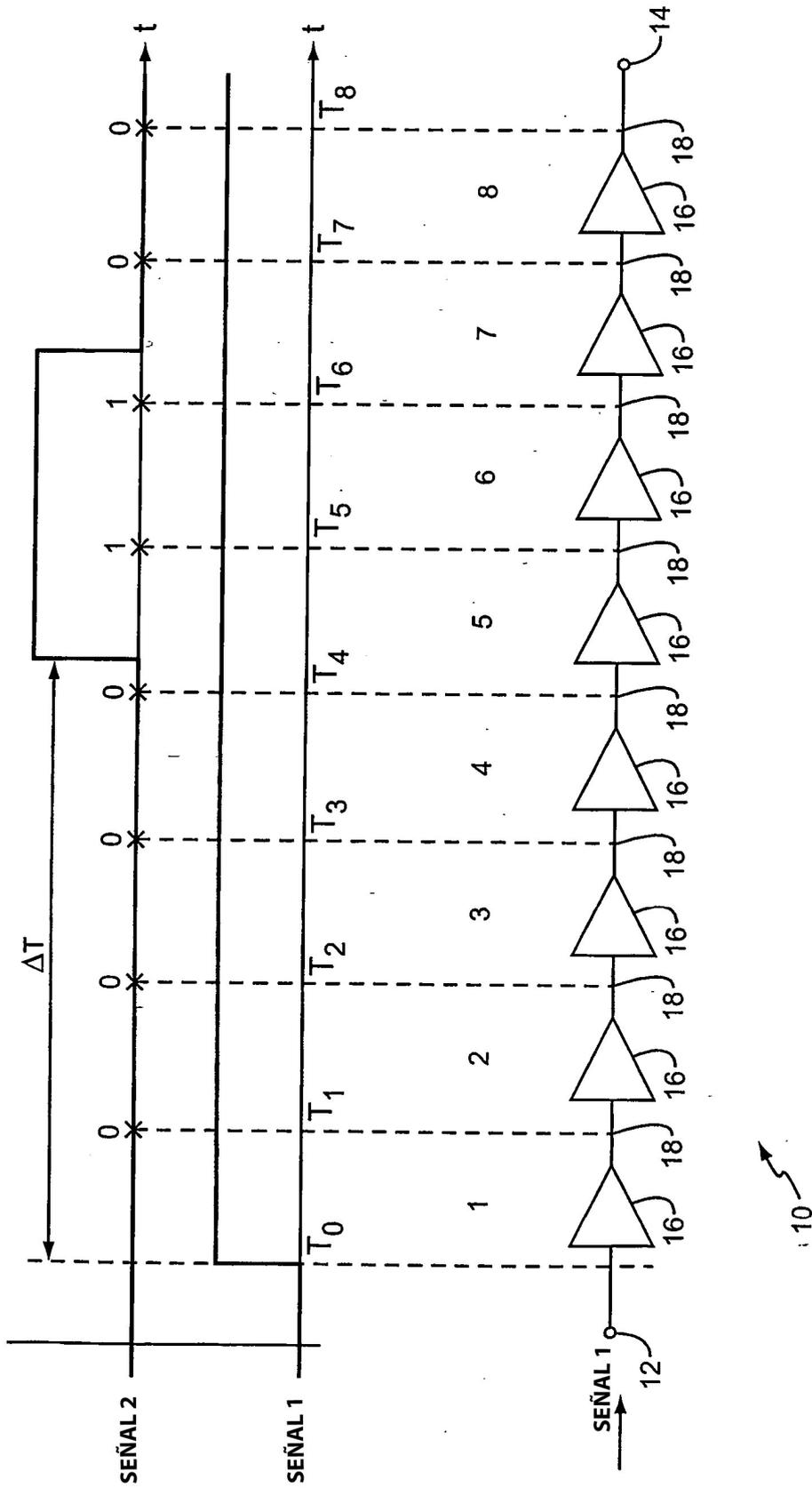


FIG. 3

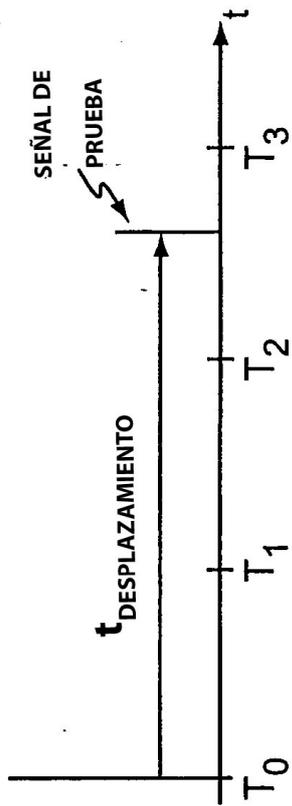


FIG. 4A

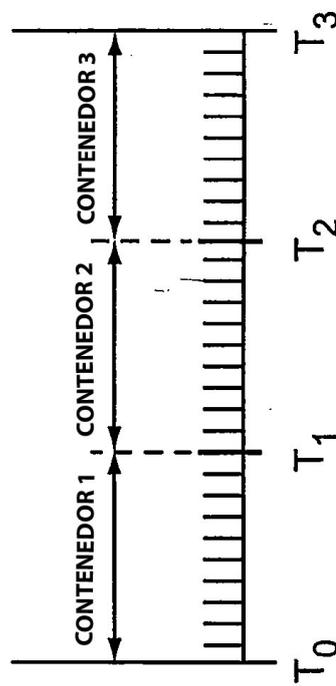


FIG. 4B

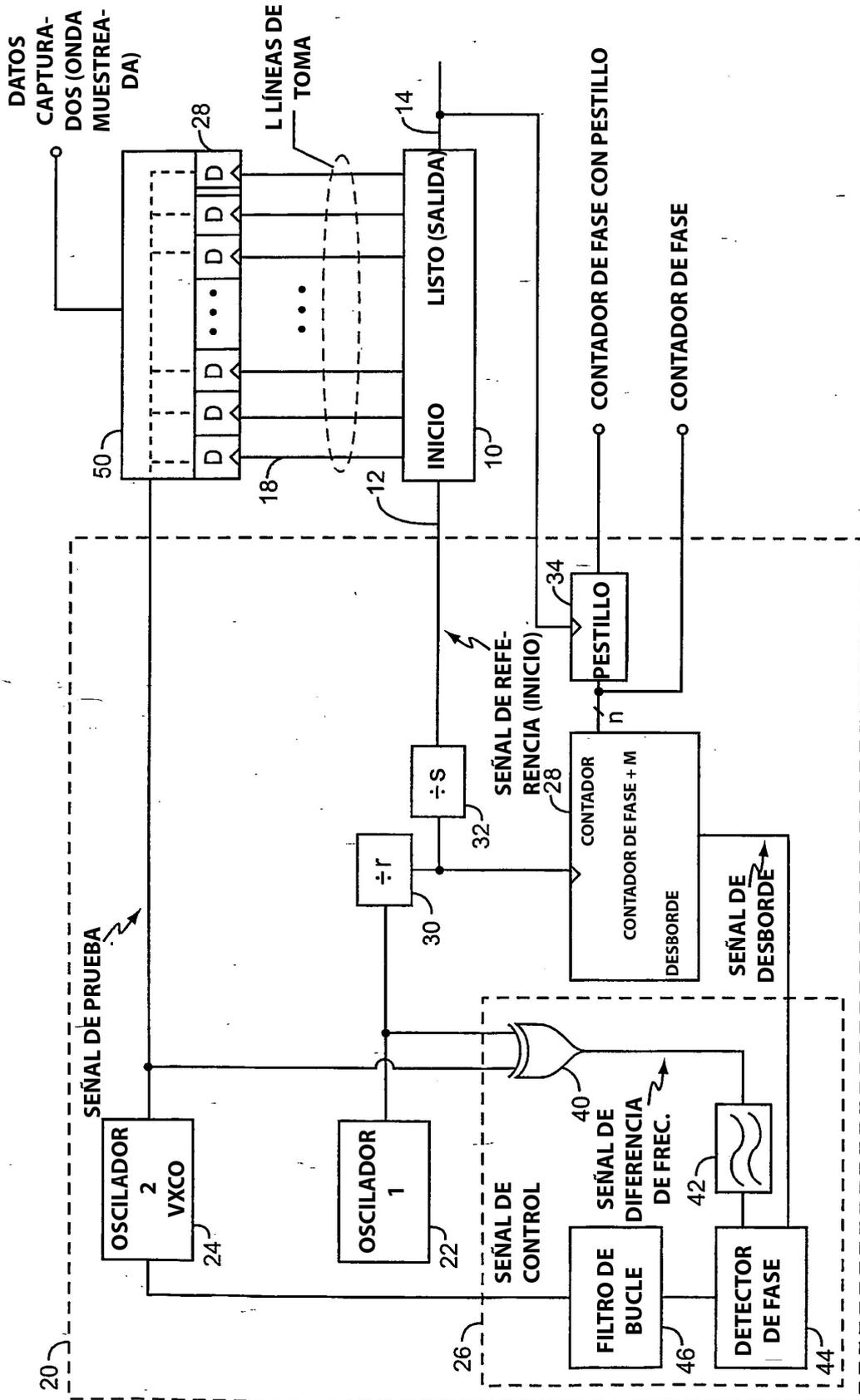


FIG. 5

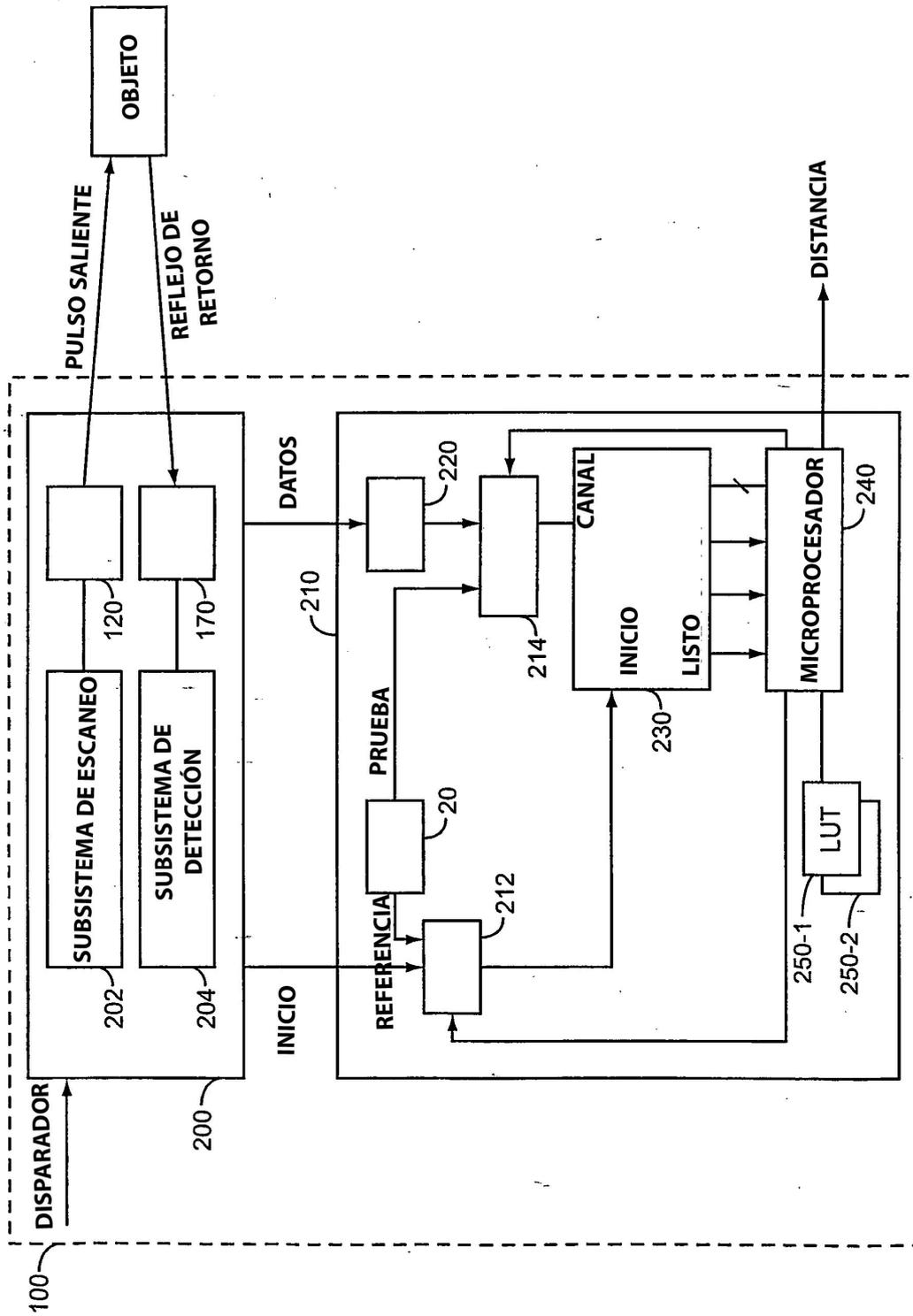
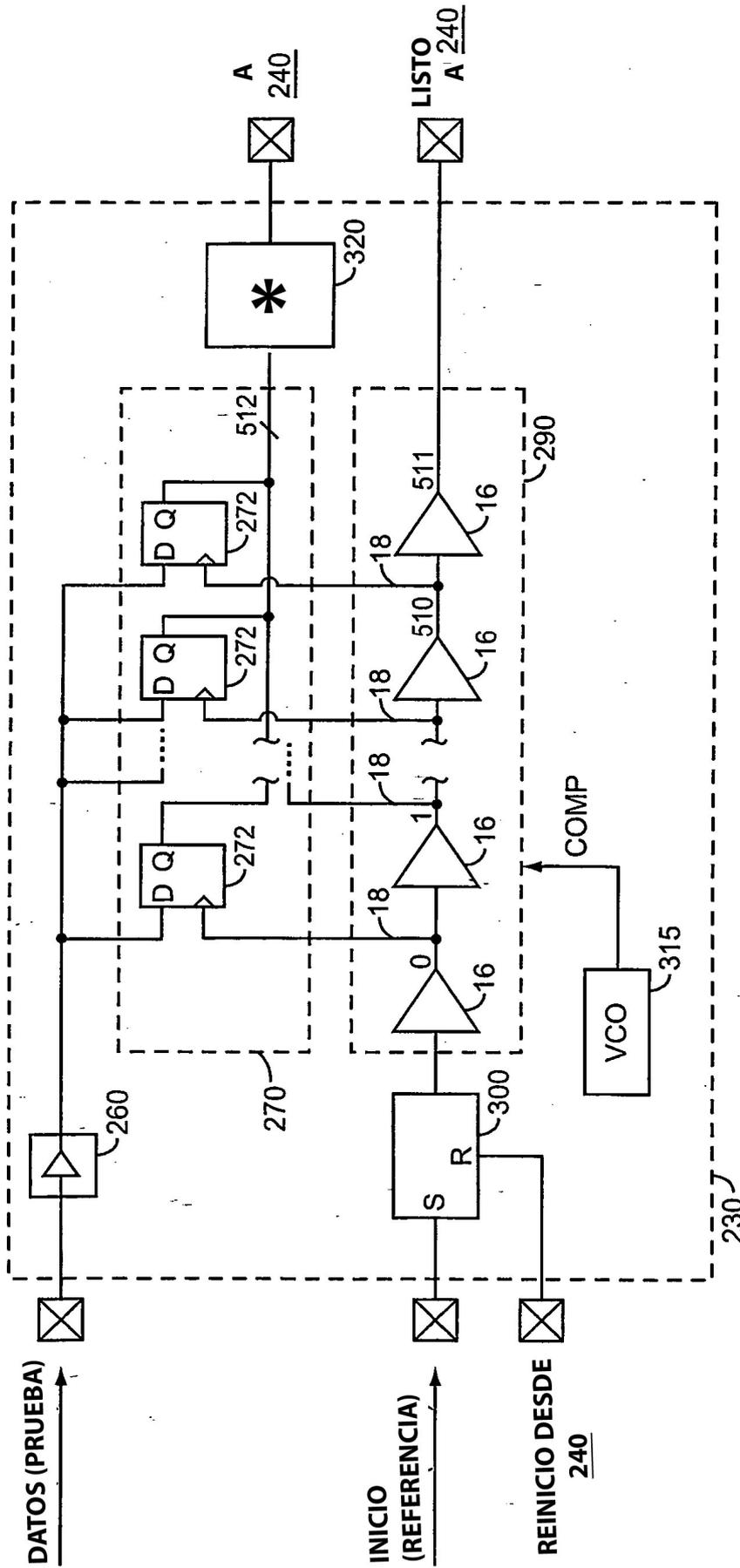


FIG. 6



* INTERFAZ DE LECTURA

FIG. 7