

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 372 765**

51 Int. Cl.:
H04N 7/24 (2011.01)
H04N 5/00 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **07150132 .4**
96 Fecha de presentación: **19.12.2007**
97 Número de publicación de la solicitud: **1940174**
97 Fecha de publicación de la solicitud: **02.07.2008**

54 Título: **APARATO Y MÉTODO PARA PROCESAR INFORMACIÓN.**

30 Prioridad:
21.12.2006 JP 2006343802

45 Fecha de publicación de la mención BOPI:
26.01.2012

45 Fecha de la publicación del folleto de la patente:
26.01.2012

73 Titular/es:
SONY CORPORATION
1-7-1 KONAN, MINATO-KU
TOKYO, JP

72 Inventor/es:
Iida, Yasuhiro

74 Agente: **de Elzaburu Márquez, Alberto**

ES 2 372 765 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato y método para procesar información.

5 ANTECEDENTES DE LA INVENCION

1. Campo de la Invención.

10 La invención presente trata de un aparato y un método para procesar información, y en particular a un aparato y un método para procesar información que pueda mantener la perturbación PCR baja fácilmente en radiodifusión digital, que procese una cadena de transporte multiplexada, por ejemplo, obtenida multiplexando múltiples cadenas de transporte que contienen un paquete PCR (Referencia al Reloj del Programa) que describe un tiempo, por ejemplo.

2. Descripción de la técnica relacionada.

15 En un transmisor utilizado para la radiodifusión digital como por ejemplo un BS (satélite de radiodifusión) o un CS (satélite de comunicaciones), múltiples cadenas de transporte (TS) están multiplexadas mediante división temporal, y la cadena de transporte multiplexada resultante se transmite.

La Figura 1 muestra una configuración de ejemplo de una parte de un transmisor 1 para radiodifusión digital.

20 En la Figura1, el transmisor 1 incluye una sección de multiplexador 11.

Como cadenas de transporte múltiples, ocho cadenas de transporte, esto es las cadenas de transporte #0 a #7de suministran a al sección del multiplexador 11.

25 Aquí, cada una de las cadenas de transporte que contiene datos MPEG resultantes de la codificación MPEG (Grupo de Expertos en Imagen Animada) de una imagen o de la banda sonora o un paquete PCR como información del reloj que describe el tiempo.

30 La sección del multiplexador 11 multiplexa mediante división de tiempo las cadenas de transporte #0 a #7 suministradas a la misma y proporciona como salida la cadena de transporte multiplexada resultante.

A continuación, el transmisor 1 realiza un proceso predeterminado sobre la cadena de salida de transporte multiplexada de la sección 11 del multiplexador y proporciona como salida la señal de radiodifusión resultante.

35 Notablemente, en la sección del multiplexador 11, se multiplexa mediante división de tiempo un máximo de ocho cadenas de transporte para una banda. Así, transmitiendo un programa mediante una cadena de transporte se pueden transmitir un máximo de ocho programas simultáneamente en una banda.

40 Aunque a continuación se describirá el caso en que un programa se transmite mediante una cadena de transporte, alternativamente se pueden transmitir múltiples programas mediante una cadena de transporte.

La Figura 2 muestra la cadena de transporte multiplexada.

45 En la Figura 2, la cadena de transporte multiplexada contiene múltiples unidades de información, y una unidad de información corresponde a un tiempo igual a aproximadamente 1,38 ms. La unidad de información tiene múltiples cortes, esto es 48 cortes incluyendo los cortes #1 a #48. El multiplexado por división temporal por las cadenas de transporte se ejecuta en cortes.

50 El tamaño de un corte (longitud de datos) está fijado en 204 bytes. El primer byte de un corte es 47H en base 16, esto es, 0100011 en base 2 y funciona como una señal de sincronización en MPEG 2.

En el transmisor 1, la asignación de una cadena de transporte a un corte, esto es, qué cadena de transporte va a ser asignada a cada corte, es arbitraria y se ejecuta en base a una asignación predeterminada.

55 La sección del multiplexador 11 del transmisor 1 asigna la cadena de transporte #0 a #7 a los cortes #1 a #48 en base a una asignación predefinida.

La Figura 3 muestra un estado en el que las cadenas de transporte #0 a #7 están asignadas a los cortes #1 a #48.

60 En la Figura 3, la cadena de transporte #0, la cadena de transporte #1 y la cadena de transporte #2 se asignan a los cortes #2 a #47, los cortes #1 a #48 y el corte #3, respectivamente, por ejemplo.

65 Notablemente, el transmisor 1 puede cambiar la configuración de la asignación de cadenas de transporte a cortes. Sin embargo, la asignación es constante en cada unidad de información de una superunidad de información (SF) que contiene ocho unidades de información.

La información TMCC (Control de la Configuración de Multiplexado y Transmisión) del ISDB (Servicio de Radiodifusión Digital Integrados), que es información de control que incluye información que describe la asignación de cadenas de transporte a cortes, se añade al principio de cada unidad de información de la cadena de transporte multiplexada.

5 Un receptor que recibe una señal de radiodifusión transmitida desde el transmisor 1 incluye un demultiplexador, una memoria temporal, y un decodificador. El demultiplexador extrae un corte de almacenamiento de datos de una de
 10 cadena de transporte de un programa preseleccionado (que será denominada cadena de transporte seleccionada) de un programa seleccionado por un usuario para ser visto, por ejemplo, de la cadena de transporte multiplexada obtenida realizando un proceso predeterminado sobre la señal de radiodifusión. La memoria temporal almacena los datos del corte extraídos por el demultiplexador. El decodificador decodifica los datos del corte leídos y extraídos de la memoria temporal, esto es, los datos de la cadena de transporte seleccionada.

15 La Figura 4 muestra la cadena de transporte multiplexada que va a ser procesada por el receptor.

En la Figura 4, la corriente de transporte #0 y #2 como cadenas de transporte seleccionadas se almacenan en los cortes #2, #3 y #47 (sombreados en la Figura 4), por ejemplo, y el demultiplexador en el receptor extrae y proporcionan como salida los datos de los cortes #2, #3 y #47, por ejemplo.

20 Dado que las partes de datos de los cortes extraídos por el demultiplexador salen de manera intermitente de una unidad de información, las partes de datos del corte que va a ser proporcionando como salida por el multiplexador son intermitentes.

25 Cuando las partes de datos intermitentes del corte, esto es, las cadenas de transporte seleccionadas se suministran al decodificador tal como están, los paquetes PCR contenidos en las cadenas de transporte seleccionadas se suministran al decodificador en diferentes momentos, lo que significa que las perturbaciones PCR son altas. Por lo tanto, puede resultar difícil para el decodificador funcionar normalmente.

30 De acuerdo con lo anterior, en el receptor, las partes de datos del corte extraídos de una unidad de información son almacenadas temporalmente en la memoria temporal. A continuación, el espacio de almacenamiento restante de la memoria temporal es detectado, y se realiza un control para leer las partes de datos del corte desde la memoria temporal de manera que se mantenga la capacidad restante sustancialmente constante. Las partes de datos del corte leídas de la memoria temporal, esto es, las cadenas de transporte seleccionadas de suministran al decodificador.

35 Así, en el receptor, las cadenas de transporte seleccionadas son suministradas en serie al decodificador, resultando en perturbaciones PCR en alguna medida.

40 Notablemente, se ha propuesto un método para controlar la grabación de un paquete de datos en unos medios de memoria temporal basado en el número de paquetes de datos restantes, que son almacenados en los medios de memoria temporal y que no han salido todavía, y una señal de salida para controlar la salida de los paquetes de datos de los medios de memoria temporal (puede consultarse el documento JP-A-11-234634 (Documento de Patente 1), por ejemplo) y un método para controlar el tiempo para devolver la dirección de una memoria de almacenamiento temporal que va a ser escrita por los medios de control de memoria al principio y del tiempo para devolver la dirección de una memoria de almacenamiento temporal que va a ser leída por los medios de control de memoria desde el principio (puede consultarse el documento JP-A-2000-35938 (Documento de Patente 2), por ejemplo).

50 El documento EP-A-0 797 325 describe un sistema de comunicaciones en el que las unidades de datos de información se transmiten desde un transmisor a un receptor en el que son escritas en una memoria temporal FIFO. El dato es leído a una frecuencia objetivo esperada que es ajustada, en base a una medida del nivel de llenado de la memoria temporal, de manera que se evite la sobrecarga/fracarga de la memoria temporal.

55 De manera similar, el documento US 2005/0117583 describe un sistema de comunicaciones en el que los paquetes de datos se transmiten desde un transmisor a un receptor en el que son escritos en una memoria temporal. Los paquetes son leídos de la memoria temporal a una velocidad relacionada con las inscripciones de tiempo contenidas en los paquetes en sí mismos, con un ajuste de tiempo, basado en el nivel de llenado de la memoria temporal, de manera que se mantenga el nivel de llenado de la memoria temporal igual a un valor de consigna.

60 El documento US 6,147,694 describe un sistema de reproducción de cámara lenta en el que una señal de reloj del sistema se deriva de una señal de reloj en los datos, a través de un divisor de frecuencias.

SUMARIO DE LA INVENCION

65 En un receptor que suministra cadenas de transporte seleccionadas en serie a un decodificador controlando la lectura de datos de una memoria temporal de manera que se mantenga la cantidad restante de memoria temporal se puede mantener prácticamente constante, la cantidad restante de la memoria temporal puede cambiar mucho

5 cuando la cadena de transporte seleccionada se cambia de acuerdo con el cambio en la selección de un programa por un usuario. Cuando la cantidad restante de memoria temporal cambia mucho, puede ocurrir la sobrecarga o la infracarga de la memoria temporal si la capacidad de la memoria temporal no es suficiente. Como resultado, la cadena de transporte seleccionada para ser suministrada al decodificador puede resultar perdida, lo que causa la interrupción temporal de las imágenes y / o de la voz.

10 De acuerdo con lo anterior, al objeto de mantener la cantidad restante de una memoria temporal sustancialmente constante, la proposición de un método que mantiene la perturbación PCR baja es una necesidad, excluyendo el método para controlar la lectura de datos de la memoria temporal.

De acuerdo con lo anterior, es deseable mantener la perturbación PCR baja fácilmente en un receptor para la radiodifusión digital, por ejemplo.

15 De acuerdo con una realización de la invención presente, se provee un aparato para el proceso de información que procesa una cadena multiplexada que incluye una unidad de información que tiene múltiples cortes, que se obtienen multiplexando múltiples cadenas que contienen información del tiempo que describe el tiempo, comprendiendo el aparato:

20 medios de extracción para extraer uno o más cortes predeterminados de la unidad de información de la cadena multiplexada;
 medios de almacenaje para almacenar los datos del corte o de los cortes extraídos de la unidad de información, en sincronía con una primera señal de reloj;
 medios de computación para calcular el número M de ciclos de reloj de dicha primera señal de reloj que corresponde al tiempo para dicho corte o cortes extraídos de la cadena multiplexada; y
 25 medios de división de frecuencia para generar una señal de reloj mediante la división de la frecuencia de dicha primera señal de reloj mediante un ratio de división de frecuencia N: M, donde N es el número de ciclos de reloj de dicha primera señal de reloj correspondiente al tiempo para una unidad de información en la cadena multiplexada,
 en el que los datos en el corte o cortes almacenados en los medios de almacenaje se leen en sincronía con una segunda señal de reloj.

De acuerdo con otra realización de la invención, el aparato para el procesado de la información puede incluir además medios de decodificación para decodificar los datos de una cadena de transporte, que son datos del corte leídos desde los medios de almacenaje.

35 De acuerdo con otra realización de la invención, se provee un método para el procesado de información que procesa una cadena multiplexada que incluye una unidad de información que tiene múltiples cortes, que se obtiene multiplexando múltiples cadenas que contienen información del tiempo que describe el tiempo, comprendiendo el método los pasos de:

40 extraer uno o más cortes predeterminados de la unidad de información de la cadena multiplexada;
 almacenar los datos del corte o cortes extraídos de la unidad de información, en sincronía con una primera señal de reloj;
 calcular el número M de ciclos de reloj de dicha primera señal de reloj que corresponde con el tiempo para dicho corte o cortes extraídos de la cadena multiplexada;
 45 generar una segunda señal de reloj dividiendo la frecuencia de dicha primera señal de reloj mediante un ratio de división de frecuencia N : M, en el que N es el número de ciclos de reloj de dicha primera señal de reloj que corresponde al tiempo para una unidad de información en la corriente multiplexada; y
 leer los datos del corte o cortes almacenados en los medios de almacenaje (63) en sincronía con una segunda señal de reloj.

De acuerdo con otra realización de la invención, uno ó más cortes es o son extraídos de una unidad de información de una cadena multiplexada, y los datos del corte o cortes extraídos de la unidad de información se almacenan en medios de almacenaje, en sincronía con una primera señal de reloj. A continuación, una segunda señal de reloj se genera dividiendo la frecuencia de la primera señal de reloj mediante un ratio de división de frecuencia N : M, donde N es el número de ciclos de reloj de la primera señal de reloj correspondiente al tiempo para una aindiad de información en la cadena multiplexada y M es el número de ciclos de reloj de la primera señal de reloj que corresponde al tiempo para el corte o cortes extraídos de la cadena multiplexada. Los datos del corte o cortes almacenados en los medios de almacenaje son leídos en sincronía con la segunda señal de reloj en el tiempo de una unidad de información en la cadena multiplexada.

De acuerdo con las realizaciones de la invención, la perturbación PCR, por ejemplo, puede ser mantenida baja con facilidad.

BREVE DESCRIPCION DE LOS DIBUJOS

- 5 La Figura 1 es un diagrama que muestra una configuración de ejemplo de una parte de un transmisor 1 para la radiodifusión digital;
- La Figura 2 es un diagrama que muestra una cadena de transporte multiplexada;
- La Figura 3 es un diagrama que muestra cómo las cadenas de transporte #0 a #7 se asignan a los cortes #1 a #48;
- La Figura 4 es un diagrama que muestra una cadena de transporte multiplexada;
- 10 La Figura 5 es un diagrama de bloques que muestra una configuración de ejemplo de un receptor de acuerdo con una realización de la invención;
- La Figura 6 es un diagrama de flujo que describe el proceso ejecutado por un receptor 31;
- La Figura 7 es un diagrama que muestra los datos de salida FEC y los datos de salida TS;
- La Figura 8 es un diagrama de bloques que muestra una configuración de ejemplo para una sección desmultiplexadora 44;
- 15 La Figura 9 es un diagrama de bloques que muestra un ejemplo de configuración de un divisor de frecuencia $N : M$ 62;
- La Figura 10 es un diagrama que ilustra una operación realizada por el divisor de frecuencia $N : M$ 62;
- La Figura 11 es un diagrama que muestra las señales de reloj del sistema y las señales de reloj TS;
- 20 La Figura 12 es un diagrama que ilustra el proceso de desmultiplexado ejecutado por la sección del demultiplexador 44; y
- La Figura 13 es un diagrama de flujo que ilustra el proceso de desmultiplexado que va a ser ejecutado por la sección del demultiplexador 44 en el paso S4 en la Figura 6.

DESCRIPCION DE LAS REALIZACIONES PREFERIDAS

- 25 Serán descritas a continuación realizaciones de la invención donde se ilustrará la correspondencia entre las características constitutivas de la invención y las realizaciones descritas en la especificación y en los dibujos que siguen. Esta descripción es para confirmar que las realizaciones que soportan la invención son descritas en la especificación o en los dibujos. Por lo tanto, la existencia de una realización descrita en la especificación o en los dibujos pero no descrita aquí como una realización correspondiente a una característica constitutiva de la invención
- 30 no significa que la realización no corresponda con la característica constitutiva. Por el contrario, la existencia de una realización descrita aquí como que corresponde a una característica constitutiva no significa que la realización no se corresponda con otras características constitutivas excluyendo la característica constitutiva.

- 35 De acuerdo con una realización de la invención, se provee un aparato para procesar información (como por ejemplo el receptor 31 de la Figura 5) que procesa una cadena multiplexada (como por ejemplo los datos de salida FEC en la Figura 8) incluyendo una unidad de información que tiene múltiples cortes, que se obtiene multiplexando múltiples cadenas que contienen información del tiempo que describe los tiempos, incluyendo el aparato:

- 40 medios de extracción (como por ejemplo un demultiplexador 61 en la Figura 8) para extraer uno o más cortes predeterminados de la unidad de información de la cadena multiplexada;
- medios de almacenaje (como por ejemplo una memoria temporal 63 en la Figura 8) para almacenar los datos del corte o cortes extraídos de la unidad de información; y
- 45 medios divisores de frecuencia (como por ejemplo un divisor de frecuencia $N : M$ 62 en la Figura 8) para generar una segunda señal de reloj (como por ejemplo una señal de reloj TS) mediante división de frecuencia de una primera señal de reloj (como por ejemplo una señal de reloj del sistema) mediante una división de frecuencia de ratio $N : M$ basa en, de la primera señal de reloj, el número de ciclos de reloj N correspondiente al período de una unidad de información en la cadena multiplexada y el número de ciclos de reloj M para leer los datos del corte o cortes extraídos de una unidad de información por los medios de almacenaje en el
- 50 tiempo de una unidad de información,

en el que los datos del corte o cortes almacenados en los medios de almacenaje son leídos en sincronía con la segunda señal de reloj.

- 55 De acuerdo con otra realización de la invención, el aparato para procesar información puede incluir además medios de decodificación (como por ejemplo un decodificador 45 en la Figura 5) para decodificar los datos de una cadena de transporte, que son los datos del corte leído de los medios de almacenaje.

- 60 De acuerdo con otra realización de la invención, se provee un método para procesar información que procesa una cadena multiplexada (como por ejemplo los datos de salida FEC en la Figura 8) incluyendo una unidad de información que tiene múltiples cortes, que se obtiene multiplexando múltiples cadenas que contienen información del tiempo que describe un tiempo, incluyendo el método los pasos de:

- 65 extraer uno o más cortes predeterminados de la unidad de información de la cadena multiplexada (como por ejemplo en el paso S21 de la Figura 13);
- almacenar los datos del corte o cortes extraídos de la unidad de información (como por ejemplo el paso S22 en la Figura 13);

- 5 generar una segunda señal de reloj mediante una división de frecuencia de la primera señal de reloj con un ratio de división de frecuencia $N : M$ basado en, de la primera señal de reloj, el número de ciclos de reloj N correspondiente al período de una unidad de información en la cadena multiplexada y el número de ciclos de reloj M para leer los datos del corte o cortes extraídos de la primera unidad de información de los medios de almacenaje en el tiempo de una unidad de información (como por ejemplo en el paso S23 de la Figura 13); y leer los datos del corte o cortes almacenados en los medios de almacenaje en sincronía con la segunda señal de reloj (como por ejemplo en el paso S24 en la Figura 13).
- 10 Mediante referencia a los dibujos, se describirán a continuación realizaciones que aplican la invención.
- 15 La Figura 5 es un diagrama de bloques que ilustra una configuración de ejemplo para un receptor de acuerdo con una realización de la invención.
- 20 En la Figura 5, un receptor 31 incluye un sintonizador 41, una sección de conversión A / D (analógica / digital) 42, una sección de demodulación 43, una sección de demultiplexador 44, un decodificador 45, una sección de salida de reloj del sistema 46, una sección operativa 47 y una sección de control 48.
- 25 El sintonizador 41 del receptor 31 recibe las señales de radiodifusión digital, que son suministrada desde una antena, esto es, señales de radiodifusión transmitidas desde un transmisor 1, y extrae y suministra señales de radiodifusión en una banda predeterminada correspondiente a un programa predeterminado de las señales de radiodifusión a la sección del convertidor A / D 42.
- 30 La sección del convertidor A / D 42 convierte de analógico a digital las señales de radiodifusión suministradas por el sintonizador 41 y suministra las señales de radiodifusión digitalizadas resultantes de la conversión analógico / digital a la sección de demodulación 43.
- 35 La sección de demodulación 43 demodula las señales de radiodifusión suministradas desde la sección de conversión A / D 42, realiza un proceso de corrección de errores en las señales de radiodifusión demoduladas y suministra la cadena de transporte multiplexada resultante a una sección desmultiplexadora 44 como datos de salida FEC (corrección de errores avanzada). La sección de demodulación 43 extrae además y suministra información TMCC de las señales de radiodifusión demoduladas a la sección del demultiplexador 44.
- 40 La sección del desmultiplexador 44 realiza un proceso de desmultiplexado, que será descrito más adelante, en los datos de salida FEC suministrados por la sección de demodulación 43 y suministra las cadenas de transporte resultantes al decodificador 45 como datos de salida TS.
- 45 El decodificador 45 puede incluir un decodificador MPEG, por ejemplo, y decodifica los datos de salida TS suministrados por la sección del demultiplexador 44 y proporciona como salida los datos de imagen y los datos de voz resultantes del programa predeterminado.
- 50 La sección de salida de reloj del sistema 46 puede contener un oscilador internamente, no mostrado, por ejemplo, y genera señales de reloj del sistema basadas en las salidas de oscilador y suministra las señales a la sección del convertidor A / D 42, a la sección de demodulación 43, a la sección del demultiplexador 44 y a otros bloques necesario como señales de reloj de operación para la sincronización en una operación.
- 55 La sección operativa 47 puede incluir un botón y / o tecla, por ejemplo, y generar una señal de operación correspondiente a una operación por un usuario y suministrar la señal a la sección de control 48.
- 60 La sección de control 48 controla los componentes del receptor 31. La sección de control 48 realiza el proceso basado en la señal de operación suministrada por la sección operativa 47.
- 65 A continuación, mediante referencia al diagrama de flujo de la Figura 6, se describirá el procesamiento por el receptor 31.
- En el paso S1, el receptor 31 recibe señales de radiodifusión de radiodifusión digital desde una antena y extrae y suministra señales de radiodifusión en una banda predeterminada que corresponde a un programa predeterminado de las señales de radiodifusión a la sección del convertidor analógico / digital 42. A continuación, el proceso pasa del paso S1 al paso S2.
- En el paso S2, la sección de conversión A / D convierte de analógico a digital las señales de radiodifusión suministradas por el receptor 31 en sincronía con la señal de reloj del sistema suministrada desde la sección de salida del reloj del sistema 46 y suministra las señales de radiodifusión digitalizadas resultantes de la conversión analógico / digital a la sección del demodulador 43. A continuación el proceso pasa del paso S2 al paso S3.
- En el paso S3, la sección de demodulación 43 demodula las señales de radiodifusión suministradas desde la sección del convertidor analógico / digital 42 en sincronía con la señal de reloj del sistema suministrada desde la

- 5 sección de salida del reloj del sistema 46, realiza un proceso de corrección de error sobre la señal de radiodifusión remodulada y suministra la cadena de transporte multiplexada resultante a la sección del demultiplexador 44 como datos de salida FEC. La sección de demodulación 43 extrae además y suministra información TMCC de las señales de radiodifusión demoduladas a la sección del demultiplexador 44. A continuación, el proceso pasa del paso S3 al paso S4.
- 10 En el paso S4, la sección del demultiplexador 44 realiza un proceso de desmultiplexación de los datos de salida FEC suministrados por la sección de demodulación 43 en sincronía con la señal de reloj del sistema suministrada por la sección de salida del reloj del sistema 46 y suministra la cadena de transporte resultante a decodificador 45 como datos de salida TS. A continuación, el proceso pasa del paso S4 al paso S5.
- 15 En el paso S5, el decodificador 45 decodifica los datos de salida TS que salen de la sección del demultiplexador 44 y proporciona como salida los datos de imagen y los datos de voz del programa predeterminado.
- 20 La Figura 7 muestra los datos de salida FEC suministrados desde la sección de demodulación 43 a la sección desmultiplexadora 44 y los datos de salida TS suministrados desde la sección de desmultiplexación 44 al decodificador 45.
- 25 La Figura 7 muestra los datos de salida FEC arriba y los datos de salida TS abajo.
- 30 En la Figura 7, los cortes #2, #3 y #47 (sombreados) de los datos de salida FEC almacenan las cadenas de transporte seleccionadas, que son cadenas de transporte de un programa preseleccionado por un usuario para su visionado, por ejemplo.
- 35 La sección del demultiplexador 44 extrae los cortes #2, #3 y #47 almacenando la cadenas de transporte seleccionadas de una unidad de información de los datos de salida FEC de la parte superior de la Figura 7 y suministra los datos de los cortes #2, #3 y #47 extraídos de una unidad de información al decodificador 45 a una tasa constante en un tiempo para una unidad de información de los datos de salida FEC, como se muestra en la parte inferior de la Figura 7.
- 40 Aquí, los datos de salida TS son los datos de los cortes suministrados a una tasa constante desde la sección del demultiplexador 44 al decodificador 45.
- 45 La Figura 8 es un diagrama de bloques que muestra una configuración de ejemplo de una sección del demultiplexador 44 en la Figura 5.
- 50 En la Figura 8, la sección del demultiplexador 44 incluye un demultiplexador 61, un divisor de frecuencia $N : M$ 62 y una memoria temporal 63.
- 55 Al multiplexador 61 de la sección del demultiplexador 44, se suministran la información TMCC y los datos de salida FEC suministrados desde la sección de demodulación 43 en la Figura 5, y las señales del reloj del sistema son suministradas desde la sección de salida del reloj del sistema 46 en la Figura 5.
- 60 El demultiplexador 61 extrae uno ó más cortes predeterminados desde una unidad de información de los datos de salida FEC suministrados desde la sección de demodulación 43. En otras palabras, el demultiplexador 61 identifica los cortes almacenados en las cadenas de transporte seleccionadas basándose en la información que describe la asignación de las cadenas de transporte a los cortes, que está incluida en la información TMCC suministrada desde la sección de demodulación 43, y extrae y suministra los datos de los cortes desde los datos de salida FEC de la sección de demodulación 43 a la memoria temporal 63.
- 65 El demultiplexador 61 cuenta además el número de relojes de las señales de reloj del sistema suministrados desde la sección de salida del reloj del sistema 46 dentro de la duración de una unidad de información de los datos de salida FEC suministrados desde la sección de demodulación 43 y suministra el resultado al contador, esto es, el número de ciclos de reloj N de las señales de reloj del sistema para la duración de una unidad de información al divisor de frecuencia $N : M$ 62.
- Aquí, el número de ciclos de reloj N para un período de 1,38 ms para una unidad de información de al señales de reloj del sistema es aproximadamente 85.100 cuando la frecuencia el reloj del sistema es 61,5 MHz y por lo tanto la duración de cada reloj es de aproximadamente 16,2 ns.
- El divisor de frecuencia $N : M$ 62 puede incluir un divisor de frecuencia fraccional, por ejemplo.
- Para el divisor de frecuencia $N : M$ 62, la información TMCC es suministrada desde la sección de demodulación 43 en la Figura 5, y las señales del reloj del sistema son suministradas desde la sección de salida del reloj del sistema 46 en la Figura 5.

- 5 El divisor de frecuencia N : M 62 obtiene el número de ciclos de reloj M para leer los datos de un corte extraído de una unidad de información desde la memoria temporal 63 a una tasa constante en la duración de una unidad de información en base a la información TMCC suministrada desde la sección de demodulación 43 y genera y suministra las señales de reloj TS, que son señales de reloj para ser utilizadas para leer datos desde la memoria temporal 63, a la memoria temporal 63 dividiendo en frecuencia las señales del reloj del sistema mediante un ratio de división de frecuencias N : M.
- 10 La memoria temporal 63 almacena los datos de un corte, que son suministrados desde el demultiplexador 61. La memoria temporal 63 lee los datos almacenados para un corte del modo byte por byte y suministra los datos como datos de salida TS al decodificador 45 en sincronía con las señales del reloj TS suministradas por el divisor de frecuencia N : M 62.
- 15 La Figura 9 es un diagrama de bloques que muestra un ejemplo de configuración del divisor de frecuencia N : M 62 en la Figura 8.
- 20 En la Figura 9, el divisor de frecuencia N : M 62 incluye una sección de computación 81, un flip – flop 82, un sumador 83, un sumador 84 y un selector 85.
- 25 La información TMCC es suministrada por la sección de demodulación 43 en la Figura 5 a la sección de computación 81 del divisor de frecuencia N : M 62.
- 30 La sección de computación 81 obtiene el número de cortes que contiene las cadenas de transporte seleccionadas para cada unidad de información en base a la información TMCC suministrada por la sección de demodulación 43, calcula el producto entre el número de cortes y la longitud de los datos (bytes) 204 de un corte, y suministra el producto como el número de ciclos de reloj M al sumador 83.
- 35 Aquí, el número de ciclos de reloj M es el número de ciclos para leer los datos de los cortes, que son extraídos de una unidad de información, desde la memoria temporal 63 a una tasa constante en la duración de una unidad de información.
- 40 Notablemente, los datos del número de ciclos de reloj M calculados por la sección de computación 81, el dato del número de ciclos de reloj N suministrados por el demultiplexador 61, y los datos manejados por el flip - flop 82, sumador 83, sumador 84 y selector 85 se expresan por los números complementarios de 2.
- 45 Las señales de reloj del sistema se suministran desde la sección de salida del reloj del sistema 46 en la Figura 5 al flip – flop 82.
- 50 El flip – flop 82 engancha los datos suministrados por el selector 85 y suministra el resultado al sumador 83 en sincronía con las señales del reloj del sistema suministradas por la sección de salida del reloj del sistema 46.
- 55 El sumador 83 suma los datos suministrados por el flip – flop 82 y el número de ciclos de reloj M suministrado por la sección de computación 81 y suministra el dato A resultante de la adición al sumador 84 y al selector 85.
- 60 El número de ciclos de reloj N es suministrado por el demultiplexador 61 en la Figura 8 al sumador 84.
- 65 El sumador 84 sustrae el dato A del número de ciclos de reloj N sumando el número de ciclos de reloj N suministrado por el demultiplexador 61 y el valor del dato A con el signo opuesto, que es suministrado por el sumador 83, y suministra el dato B resultante de la resta al selector 85. El sumador 84 suministra el BIT más significativo (MSB) del dato B al selector 85 como una señal de control de selección y a la memoria temporal 63 en la Figura 7 como una señal de reloj TS.
- En otras palabras, el sumador 84 suministra el bit más significativo “0” del dato B al selector 85 como una señal de control de selección y a la memoria 63 en la Figura 8 como una señal de reloj TS si el dato B es igual o mayor de 0. El sumador 84 suministra el bit más significativo “1” del dato B al selector 85 como una señal de control de selección y a la memoria temporal 63 en la Figura 7 como una señal de reloj TS si el dato B es negativo.
- El selector 85 selecciona y suministra uno de los datos A suministrados por el sumador 83 y el dato B suministrado por el sumador 84 al flip – flop 82 en base a una señal de control de selección suministrada por el sumador 84.
- 60 En otras palabras, el selector 85 selecciona y suministra una señal de control seleccionada suministrada por el sumador 84, esto es, el dato A suministrado por el sumador 83 al flip – flop 82 si el bit más significativo del dato B es “0”. El selector 85 selecciona y suministra una señal de control seleccionada suministrada por el sumador 84, esto es, el dato B suministrado por el sumador 84 al flip – flop 82 si el bit más significativo del dato B es “1”.
- 65 La Figura 10 es un diagrama que ilustra una operación realizada por el divisor de frecuencia N : M 62.

En la Figura 10, el eje vertical indica el valor de la salida de datos A del sumador 83 del divisor de frecuencia N : M 62.

5 Si el valor de los datos suministrados por el flip – flop 82 al sumador 83 es “0” en el primer ciclo de la señales de reloj del sistema, el sumador 83 suma el valor “0” y el número de ciclos de reloj M, y el valor “M” resultante de la adición es suministrado como el dato A al sumador 84 y al selector 85.

10 El sumador 84 resta el valor M del dato A del número de ciclos de reloj N sumando el número de ciclos de reloj N del demultiplexador 61 en la Figura 8 y el valor –M del dato A con el signo opuesto desde el sumador 83 y suministra el valor N – M resultante de la resta como el dato B al selector 85. Debido a que M no es mayor que N, el valor N – M del dato B es igual o mayor que “0”. Por lo tanto, el sumador 84 suministra el bit más significativo “0” del dato B al selector 85 como una señal de control de selección y al decodificador 45 en la Figura 5 como una señal de reloj TS.

15 El selector 85 tras recibir la señal de control de selección en la que el valor del sumador 84 es “0” selecciona y suministra el valor M como el dato A del sumador 83 al flip – flop 82.

El flip – flop 82 engancha y suministra el valor M como el dato A desde el selector 85 en el segundo ciclo de la señal de reloj del sistema al sumador 83.

20 El sumador 83 suma el valor M de los datos del flip – flop 82 y el número de ciclos de reloj M y suministra el valor 2 x M resultante de la adición al sumador 84 y al selector 85 como el dato A.

25 El sumador 84 resta el valor 2xM del dato A del número de ciclos de reloj N sumando el número de ciclos de reloj N del demultiplexador 61 en la Figura 8 y el valor –2 x M de los datos A con el signo opuesto del sumador 83 y suministra el valor N – 2 x M resultante de la sustracción al selector 85 como el dato B. A continuación, si el valor N – 2 x M del dato B es igual o mayor que “0”, el sumador 84 suministra el bit más significativo “0” del dato B como una señal de control de selección al selector 85 y como una señal de reloj TS al decodificador 45 en la Figura 5.

30 De la misma manera, si el dato B es igual o mayor de “0”, esto es, si el bit más significativo del dato B es “0”, el dato A es seleccionado por el selector 85 y es suministrado a flip – flop 82.

Aquí, en el reloj k ($k \times M \leq M$) de las señales de reloj del sistema, el valor del dato suministrado por el flip – flop 82 al sumador 83 es $(k-1) \times M$, y el valor del dato de salida A del sumador 83 es por lo tanto $k \times M$.

35 Después de esto, si el número de ciclos de la señal de reloj del sistema alcanza el k-ésimo ciclo que satisface la expresión $(K-1) \times M \leq N < k \times M$, el valor del dato de salida A del sumador 83 es $k \times M$, que es mayor que N.

40 En este caso, el valor N – K x M resultante de la resta del valor K x M del dato A de el número de ciclos de reloj N, que es obtenido por el sumador 84, es negativo, y el valor negativo N – K x M es suministrado al selector 85 como el dato B. A continuación, dado que el valor N – K x M del dato B es negativo, el sumador 84 suministra el bit más significativo “1” del dato B como la señal de control de selección al selector 85 y como una señal de reloj TS al decodificador 45 en la Figura 5.

45 En este caso, el selector 85 selecciona y suministra el dato B del sumador 83 al flip – flop 82.

El flip – flop 82 engancha y suministra el valor N – K x M como el dato B del selector 85 al sumador 83 en el K + 1 ésimo ciclo de las señales del reloj del sistema.

50 El sumador 83 suma el valor N – K x M del flip – flop 82 y el número de ciclos de reloj M y suministra el valor N – (K-1) x M, que es igual o mayor que “0” al sumador 84 y al selector 85 como el dato A. A continuación, el mismo proceso se realiza subsecuentemente.

55 De esta manera, el divisor de frecuencia N : M 62 proporciona como salida la señal de reloj TS, que es transformada al nivel H (o tiene el valor “1”) una vez cada K ciclos o K + 1 ciclos de las señales del reloj del sistema.

A continuación, únicamente a modo de descripción, si hay una relación expresada por una expresión $K \times M = N$, las señales de reloj TS puede ser transformadas al nivel H una vez cada K ciclos de las señales del reloj del sistema y pueden por lo tanto ser de nivel $H \times N / K$ veces, esto es, $K \times M / K = M$ veces para M ciclos de las señales del reloj del sistema.

60 La Figura 11 muestra las señales del reloj del sistema suministradas desde la sección de salida del reloj del sistema 46 al divisor de frecuencia N : M 62 en la Figura 5 y las señales de reloj TS suministradas desde el divisor de frecuencia N : M 62 a la memoria temporal 63.

65 La Figura 11 muestra las señales del reloj del sistema en la parte superior y las señales del reloj TS en la parte inferior.

- 5 El divisor de frecuencia $N : M$ 62 genera señales de reloj TS de M ciclos para la duración de una unidad de información dividiendo en frecuencia las señales del reloj del sistema de M ciclos para la duración de una unidad de información por el ratio de división de frecuencia $N : M$ basado en el número de ciclos de reloj N suministrado por el demultiplexador 61 y el número de ciclos de reloj M suministrado por la sección de computación 81.
- 10 La Figura 12 es un diagrama que ilustra el proceso de desmultiplexado realizado por la sección de demultiplexación 44 en la Figura 8. La primera parte en la parte superior de la Figura 12 muestra las señales del reloj del sistema suministradas por la sección de salida del reloj del sistema 46 en la Figura 5 al demultiplexador 61. La segunda parte de la parte superior de la Figura 12 muestra las unidades de información #1 a #3 de los datos de salida FEC suministrados por la sección de demodulación 43 en la Figura 5 al demultiplexador 61. La tercera parte de la parte superior de la Figura 12 muestra las unidades de información #1 a #2 de los datos de salida TS suministrados desde la memoria temporal 63 al decodificador 45 en la Figura 5. La cuarta parte de la parte superior de la Figura 12 muestra las señales de reloj TS suministradas desde el divisor de frecuencia $N : M$ 62 a la memoria temporal 63.
- 15 El demultiplexador 61 extrae cortes que almacenan datos de las cadenas de transporte seleccionadas, sombreadas en la Figura 12, desde la unidad de información #1 de los datos de salida FEC de la sección de demodulación 43 y suministra los datos de los cortes a la memoria temporal 63. A continuación, la memoria temporal 63 almacena los datos de los cortes suministrados por el demultiplexador 61.
- 20 El demultiplexador 61 suministra además el número de ciclos de reloj N_1 al divisor de frecuencias $N : M$ 62 si el número de ciclos de reloj N_1 de las señales del reloj del sistema que salen de la sección de salida del reloj del sistema 46 son contadas en la duración de una unidad de información #1.
- 25 En el divisor de frecuencia $N : M$ 62, el número bytes de los datos de los cortes extraídos de la unidad de información #1 se obtiene como el número de ciclos de reloj M_1 para leer los datos de los cortes extraídos de la unidad de información #1 de la memoria temporal 63 en la duración de una unidad de información #1. El divisor de frecuencia $N : M$ 62 genera las señales del reloj TS del número de ciclos de reloj M_1 en la duración de una unidad de información #1 dividiendo en frecuencia las señales del reloj del sistema mediante un ratio de división de frecuencia
- 30 $N_1 : M_1$ en base al número de ciclos de reloj M_1 del demultiplexador 61, y el número de ciclos de reloj M_1 y suministra las señales del reloj TS a la memoria temporal 63.
- 35 La memoria temporal 63 lee M_1 bytes de los datos de los cortes extraídos de la unidad de información #1 en los datos almacenados a una velocidad constante en la duración de una unidad de información #1, esto es, la duración de un número de ciclos de reloj M_1 de las señales del reloj del sistema y proporciona como salida los mismos al decodificador 45 en sincronía con las señales del reloj TS del divisor de frecuencia $N : M$ 62.
- 40 El demultiplexador 61 extrae además los cortes que almacenan los datos de las cadenas de transporte seleccionadas sombreadas de la unidad de información #2 de los datos de salida FEC de la sección de demodulación 43 y suministra los datos de los cortes a la memoria temporal 63. A continuación, la memoria temporal 63 almacena los datos de los cortes suministrados desde el demultiplexador 61.
- 45 El demultiplexador 61 suministra además el número de ciclos de reloj N_2 al divisor de frecuencia $N : M$ 62 si el número de ciclos de reloj N_2 de las señales del reloj del sistema procedentes de la sección de salida del reloj del sistema 46 se cuenta en al duración de una unidad de información #2.
- 50 En el divisor de frecuencia $N : M$ 62, el número de bytes de los datos de los cortes extraídos de la unidad de información #2 se obtiene como el número de ciclos de reloj M_2 para leer los datos de los cortes extraídos de la unidad de información #2 de la memoria temporal 63 en la duración de una unidad de información #2. El divisor de frecuencia $N : M$ 62 genera la señales del reloj TS del número de ciclos de reloj M_2 en al duración de una unidad de información #2 mediante división de frecuencia de las señales del reloj del sistema mediante un ratio de división de frecuencia $N_2 : M_2$ en base al número de ciclos de reloj N_2 del demultiplexador 61 y del número de ciclos de reloj M_2 y suministra las señales del reloj TS a al memoria temporal 63.
- 55 La memoria temporal 63 lee M_2 bytes de los datos de los cortes extraídos de la unidad de información #2 en los datos almacenados a una tasa constante en la duración de una unidad de información #2, esto es, la duración de un número de ciclos de reloj N_2 de las señales del reloj del sistema y los proporciona como salida del decodificador 45 en sincronía con las señales del reloj TS del divisor de frecuencia $N : M$ 62.
- 60 El mismo proceso se realiza para la unidad de información #3 y para las unidades de información subsecuentes de los datos de salida FEC.
- 65 En referencia al diagrama de flujo de la Figura 13, se describirán detalles del proceso de demultiplexación que va a ser realizado por la sección de demultiplexación 44 en la Figura 8 en paso S4 de la Figura 6.

- 5 Al demultiplexador 61 de la sección de demultiplexación 44 se suministrarán información TMCC y datos de salida FEC desde la sección de demodulación 43 en la Figura 5, y se suministran señales de reloj del sistema desde la sección de salida del reloj del sistema 46 en la Figura 5. Al divisor de frecuencia $N : M$ se suministra información TMCC desde la sección de demodulación 43 en la Figura 5, y las señales del reloj del sistema se suministran desde la sección de salida del reloj del sistema 46 en la Figura 5.
- 10 En el paso S21, el demultiplexador 61 extrae uno ó más cortes predeterminados de una unidad de información de los datos de salida FEC suministrados por la sección de desmodulación 43. En otras palabras, el demultiplexador 61 identifica un corte que almacena una cadena de transporte seleccionada en base a la información que describe la asignación de cadenas de transporte a cortes, que está incluida en la información TMCC suministrada por la sección de demodulación 43, y extrae y suministra los datos de los cortes de los datos de salida FEC de la sección de demodulación 43 a la memoria temporal 63.
- 15 El demultiplexador 61 cuenta el número de ciclos de las señales del reloj del sistema suministradas por la sección de demodulación 43 dentro de la duración de una unidad de información de los datos de salida FEC suministrados desde la sección de demodulación 43 y suministra el resultado del conteo, esto es, el número de ciclos de reloj N durante la duración de una unidad de información de las señales del reloj del sistema al el divisor de frecuencia $N : M$ 62. A continuación, el proceso pasa del paso S21 al paso S22.
- 20 En el paso S22, la memoria temporal 63 almacena los datos del corte suministrado por el demultipelxador 61, y el proceso pasa al paso S23.
- 25 En el paso S23, el divisor de frecuencia $N : M$ 62 realiza el proceso de división de frecuencia. Esto es, el divisor de frecuencia $N : M$ 62 obtiene el número de bytes de los datos del corte, que es extraído de una unidad de información, como el número de ciclos de reloj M para leer los datos de la memoria temporal 63 a una velocidad constante en la duración de una unidad de información en base a la información TMCC suministrada por la sección de demodulación 43 y genera las señales del reloj TS, que son señales de reloj utilizadas para leer los datos de la memoria temporal 63 dividiendo en frecuencia las señales del reloj del sistema por un ratio de división de frecuencia $N : M$ en base al número de ciclos de reloj N suministrados desde el demultiplexador 61 y el número de ciclos de reloj M , y proporciona las señales del reloj TS. A continuación, el proceso del paso S23 al paso S24.
- 30 En el paso S24, la memoria temporal 63 lee los datos almacenados de los cortes en una base byte por byte y suministra los datos como datos de salida TS al decodificador 45 en sincronía con las señales del reloj TS suministradas desde el divisor de frecuencia $N : M$ 62.
- 35 De esta manera, el receptor 31 realiza el proceso de demultiplexación, que es el proceso de generar señales del reloj TS dividiendo en frecuencia las señales del reloj del sistema por un ratio d división de frecuencia $N : M$ basado en el número de ciclos de reloj N de las señales del reloj del sistema correspondientes a la duración de una unidad de información de datos de salida FEC y del número de ciclos de reloj M para leer los datos de los cortes extraídos de una unidad de información en el tiempo de duración de una unidad de información y leer los datos de los cortes almacenados en la memoria temporal 63 en sincronía con las señales del reloj TS. Así, los datos de los cortes extraídos de una unidad de información de los datos de salda FEC pueden ser leídos desde una memoria temporal a una velocidad constante durante la duración de una unidad de información. Por lo tanto, los datos de un corte leídos de la memoria temporal 63, esto es, las cadenas de transporte seleccionadas, pueden ser suministradas en serie al decodificador 45. Como resultado, la perturbación PCR puede ser mantenida baja.
- 40 La perturbación PCR puede ser mantenida baja fácilmente en el receptor 1 sin realizar procesos complicados como por ejemplo la detección de al cantidad restante de una memoria temporal y / o el control sobre la lectura desde la memoria temporal de manera que se mantenga constante la cantidad restante, mientras, como en los receptores del pasado, la cantidad restante de una memoria temporal se detecta y al lectura de datos desde la memoria temporal se controla de manera que se mantenga la cantidad restante constante al objeto de suministrar en serie las cadenas de transporte seleccionadas a un decodificador controlando la lectura de datos desde la memoria temporal para mantener la cantidad restante de la memoria temporal sustancialmente constante.
- 45 Dado que, en el receptor 1, los datos de los cortes extraídos desde una unidad de información son leídos por la memoria temporal 63 a una tasa constante durante la duración de una unidad de información, la sobre-escritura o sub-escritura de la memoria temporal 63 se puede prevenir. Además, las cadenas de transporte seleccionadas suministradas al decodificador 45 no se pueden perder fácilmente, lo que puede prevenir la interrupción de imágenes y / o voz.
- 50 Habiendo descrito el caso en el que la invención se aplica a un receptor que recibe señales de radiodifusión digital, la invención es aplicable a cualquier equipo que procese una cadena multiplexada que incluya una unidad de información que tenga múltiples cortes, que puede ser obtenida multiplexando múltiples cadenas que contienen información del tiempo que describe el tiempo que va a ser utilizado en un decodificador en el lado del receptor, adicionalmente al receptor para la radiodifusión digital.
- 55
- 60
- 65

Notoriamente, habiendo descrito que el divisor de frecuencia N : M 62 en la Figura 9, que es un divisor de frecuencia fraccional, es adoptado como medios de división de frecuencia para la división en frecuencia de las señales del reloj del sistema mediante un ratio de división en frecuencia N : M de acuerdo con la realización de la invención, pudiendo ser los medios de división de frecuencia cualquier divisor de frecuencia arbitrario que pueda seguir la división de frecuencia de N : M.

5 Las realizaciones de la invención no se limitan a las realizaciones descritas anteriormente, y se pueden realizar varios cambios en las mismas sin separarse del objeto de la invención.

10 Se debe entender por aquellos versados en la técnica que pueden ocurrir varias modificaciones / combinaciones, subcombinaciones y alteraciones dependiendo de los requerimientos del diseño y otros factores similares dado que están dentro del objeto de las reivindicaciones adjuntas o de equivalencias de las mismas.

REIVINDICACIONES

- 5 1.- Un aparato para procesar información que procesa una cadena multiplexada que incluye una unidad de información que tiene múltiples cortes, que se obtiene multiplexando múltiples cadenas que contienen información del tiempo que describe los tiempos, comprendiendo el aparato:
- 10 medios de extracción (61) para extraer uno o mas cortes predeterminados de la unidad de información de la cadena multiplexada;
 medios de almacenamiento (63) para almacenar los datos de un corte o cortes extraídos de una unidad de información, en sincronía con una primera señal de reloj;
 medios de computación (81) para calcular el número M de ciclos de reloj de dicha primera señal del reloj correspondientes al tiempo para leer los datos de dicho primer corte o cortes almacenados en los medios de almacenamiento (63) durante la duración de un unidad de información; y
 15 medios de divisor de frecuencia (62) para generar una segunda señal de reloj mediante la división en frecuencia de dicha primera señal de reloj mediante un ratio de división en frecuencia N : M, en el que N es el número de ciclos de reloj de dicha primera señal de reloj correspondiente a la duración de una unidad de información en la cadena multiplexada,
 en el que los datos de un corte o cortes almacenados en los medios de almacenamiento (63) son leídos en sincronía con una segunda señal de reloj.
- 20 2.- El aparato para procesar información de acuerdo con la reivindicación 1, en el que:
- 25 la cadena es una cadena de transporte; y
 los medios de extracción (61) extraen un corte que almacena una cadena de transporte predeterminada de la unidad de información.
- 30 3.- El aparato para procesar información de acuerdo con la reivindicación 2, en el que los medios de extracción (61) identifican y extraen el corte que almacena la cadena de transporte predeterminada para la unidad de información en base a información de control incluyendo información que describe la asignación de cadenas de transporte a los cortes.
- 35 4.- El aparato para procesar información de acuerdo con la reivindicación 3, en el que la información de control es información TMCC (Control de Configuración de Transmisión y Multiplexado) de ISDB (Radiodifusión Digital de Servicios Integrados).
- 5.- El aparato para procesar información de acuerdo con la reivindicación 2, que comprende además:
- 40 medios de decodificación (45) para decodificar los datos de una cadena de transporte, que son datos del corte leído desde los medios de almacenamiento (63).
- 45 6.- Un método para procesar información que procesa una cadena multiplexada incluyendo una unidad de información que tiene múltiples corte, que se obtienen multiplexando múltiples cadenas que contienen información del reloj que describe el tiempo, comprendiendo el método los pasos de:
- 50 extraer uno o más cortes predeterminados de la unidad de información de la cadena multiplexada;
 almacenar los datos del corte o cortes extraídos de la unidad e información, en sincronía con una primera señal de reloj;
 calcular el número M de ciclos de reloj de dicha primera señal de reloj correspondiente al tiempo para leer los datos de dicho corte o cortes extraídos almacenados en unos medios de almacenamiento (63) en la duración de una unidad de información;
 generar una segunda señal de reloj mediante la división en frecuencia de dicha primera señal de reloj mediante un ratio de división de frecuencia N : M, en el que N es el número de ciclos de reloj de dicha primera señal de reloj que corresponde a la duración de una unidad de información en al cadena multiplexada; y
 55 leer los datos del corte o cortes almacenados en los medios de almacenamiento (63) en sincronía con la segunda señal de reloj.

FIG. 1

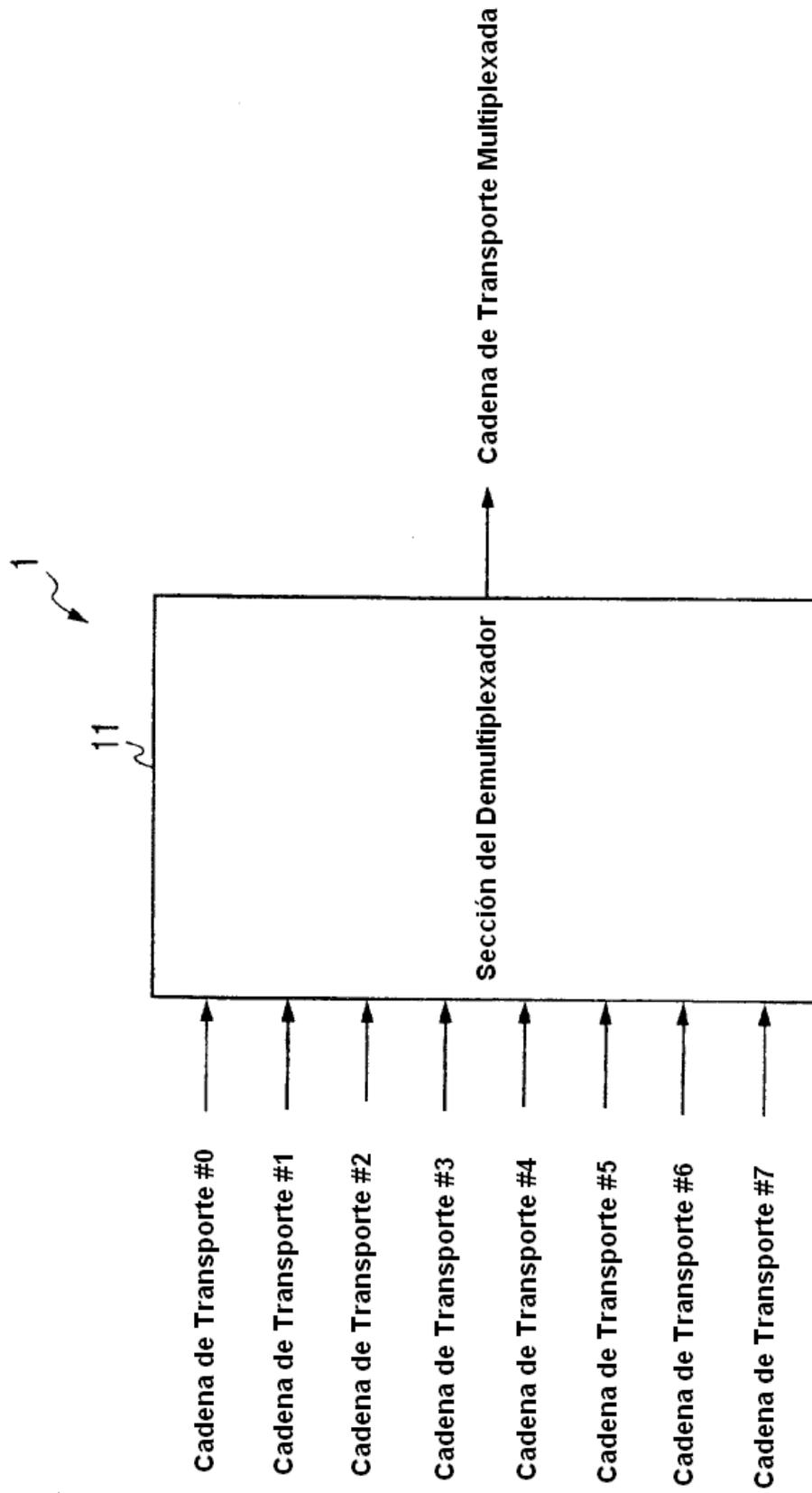


FIG. 2

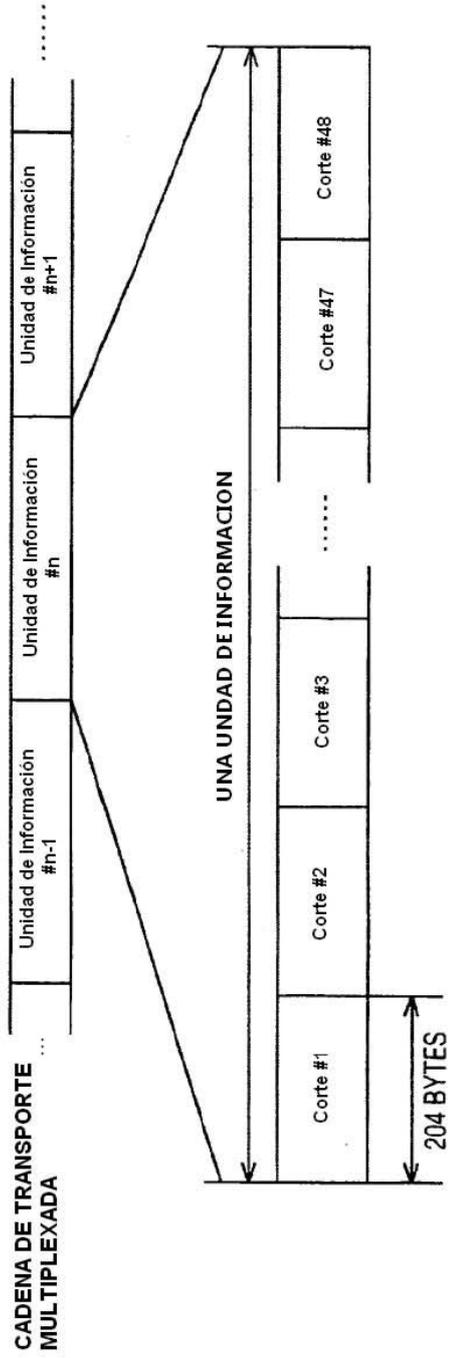


FIG. 3

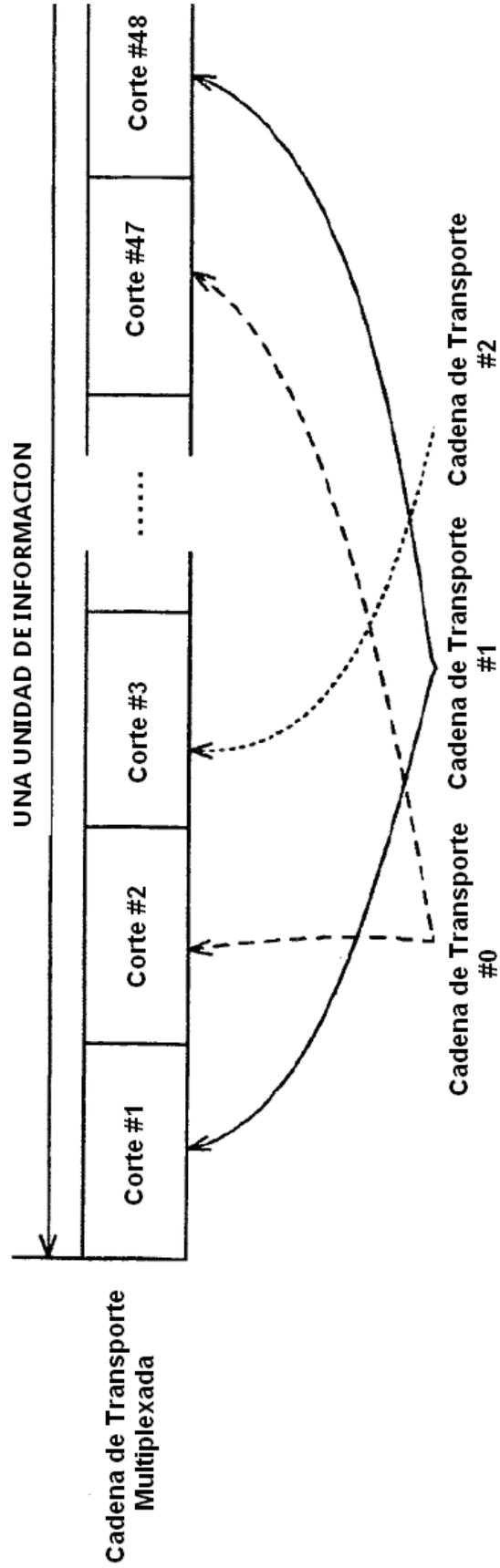


FIG. 4

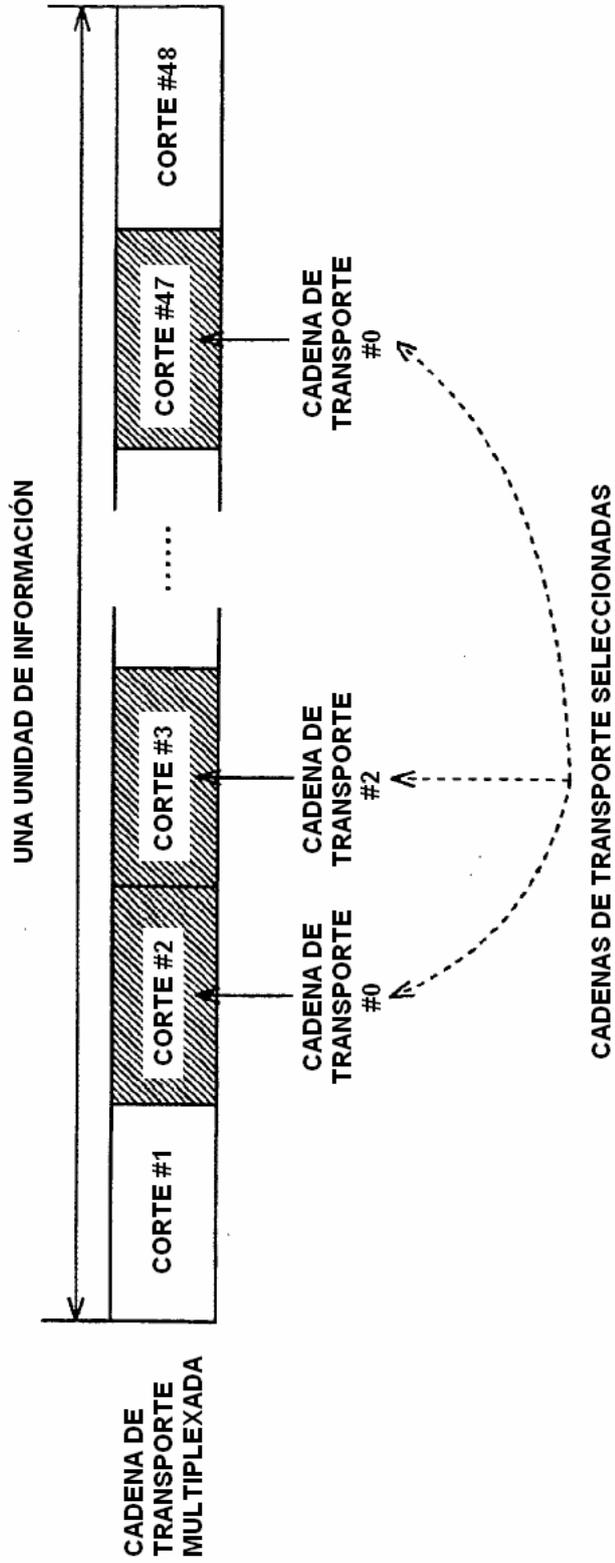


FIG. 5

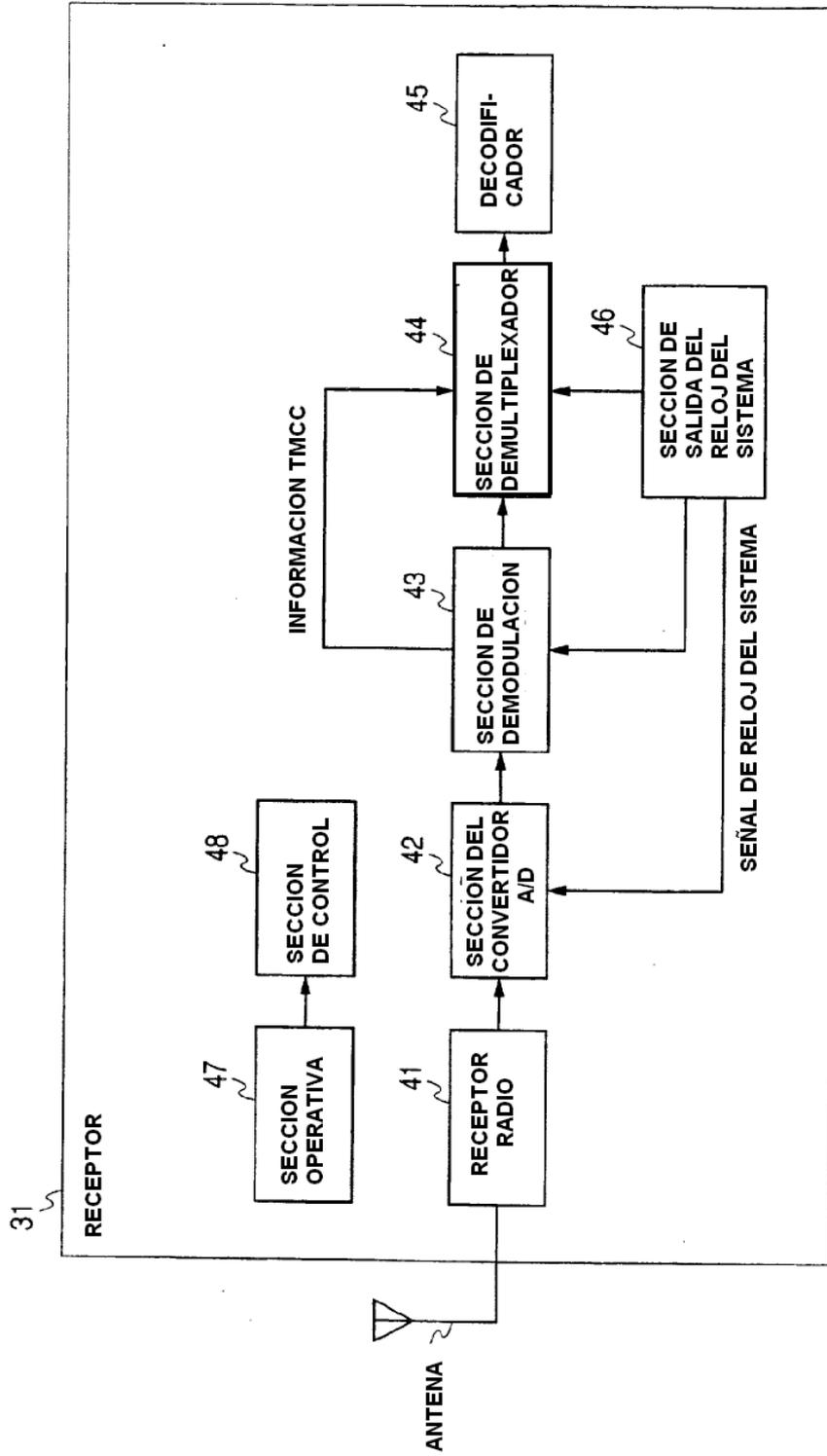


FIG. 6

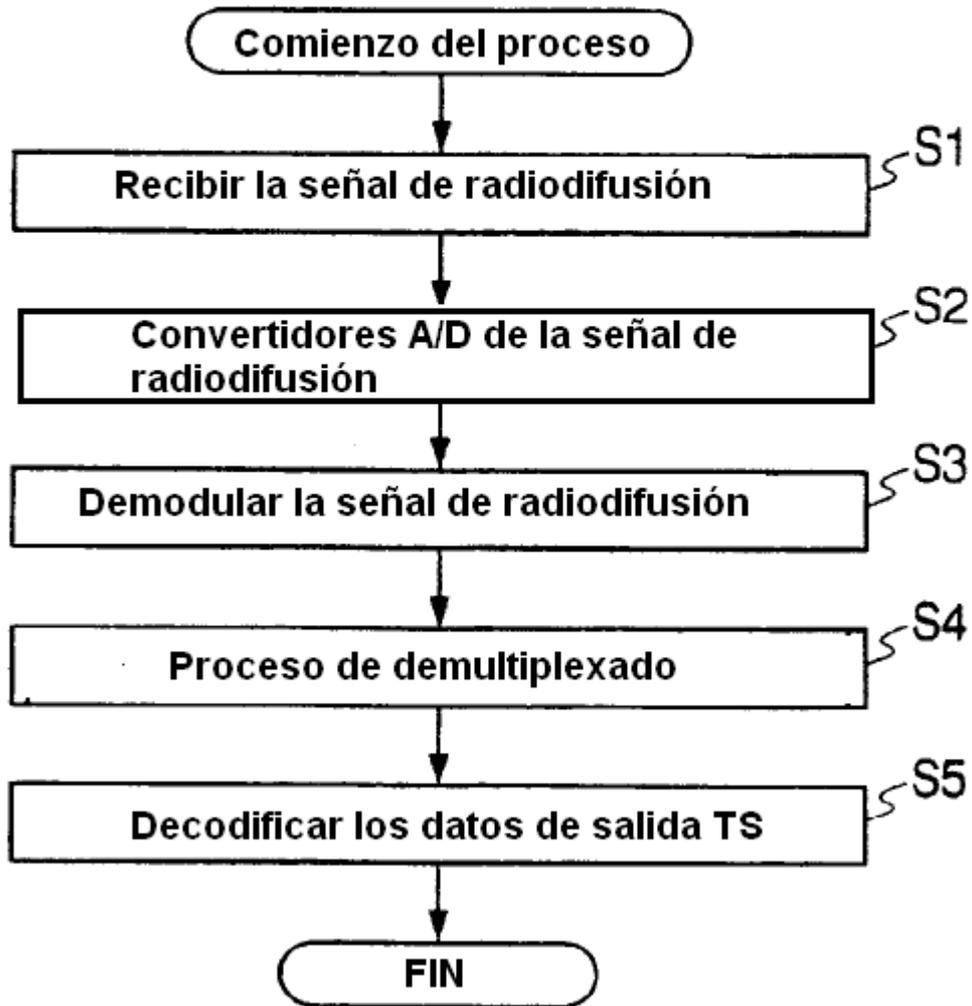


FIG. 7

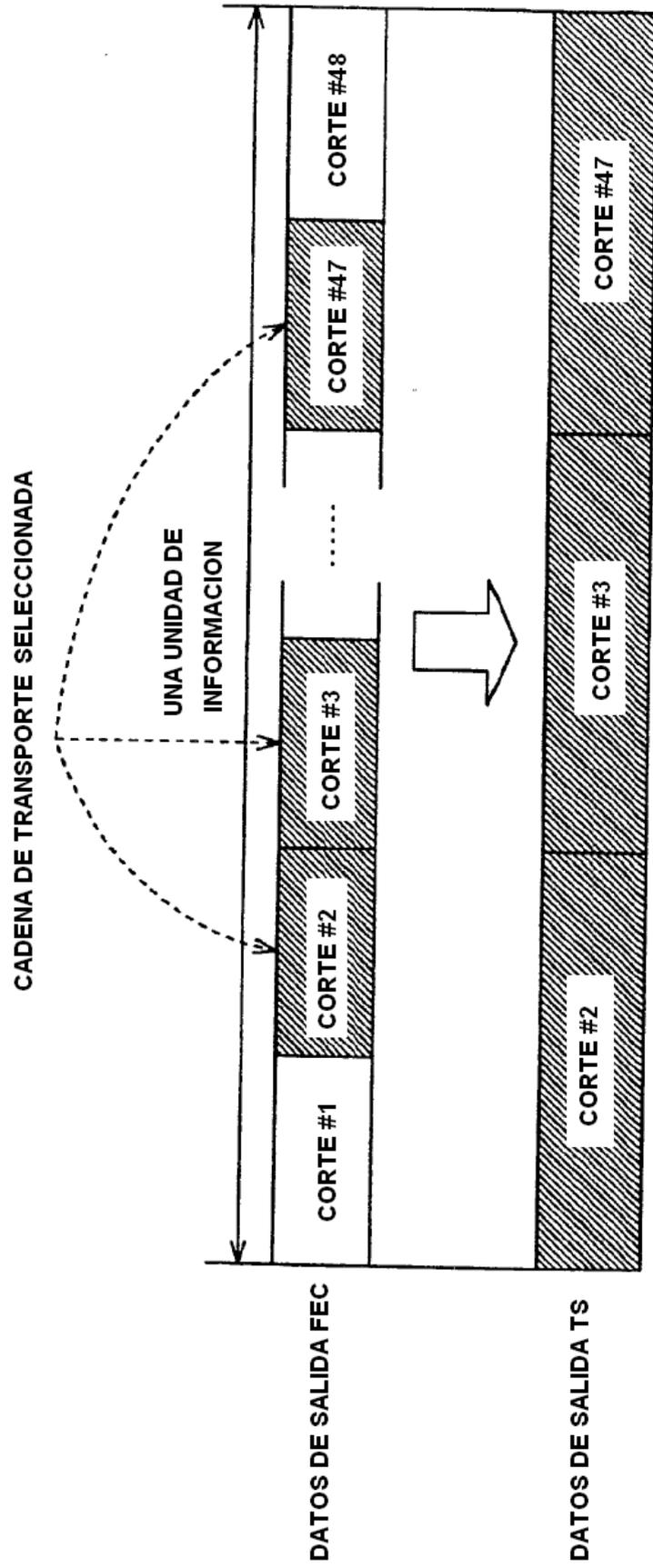


FIG. 8

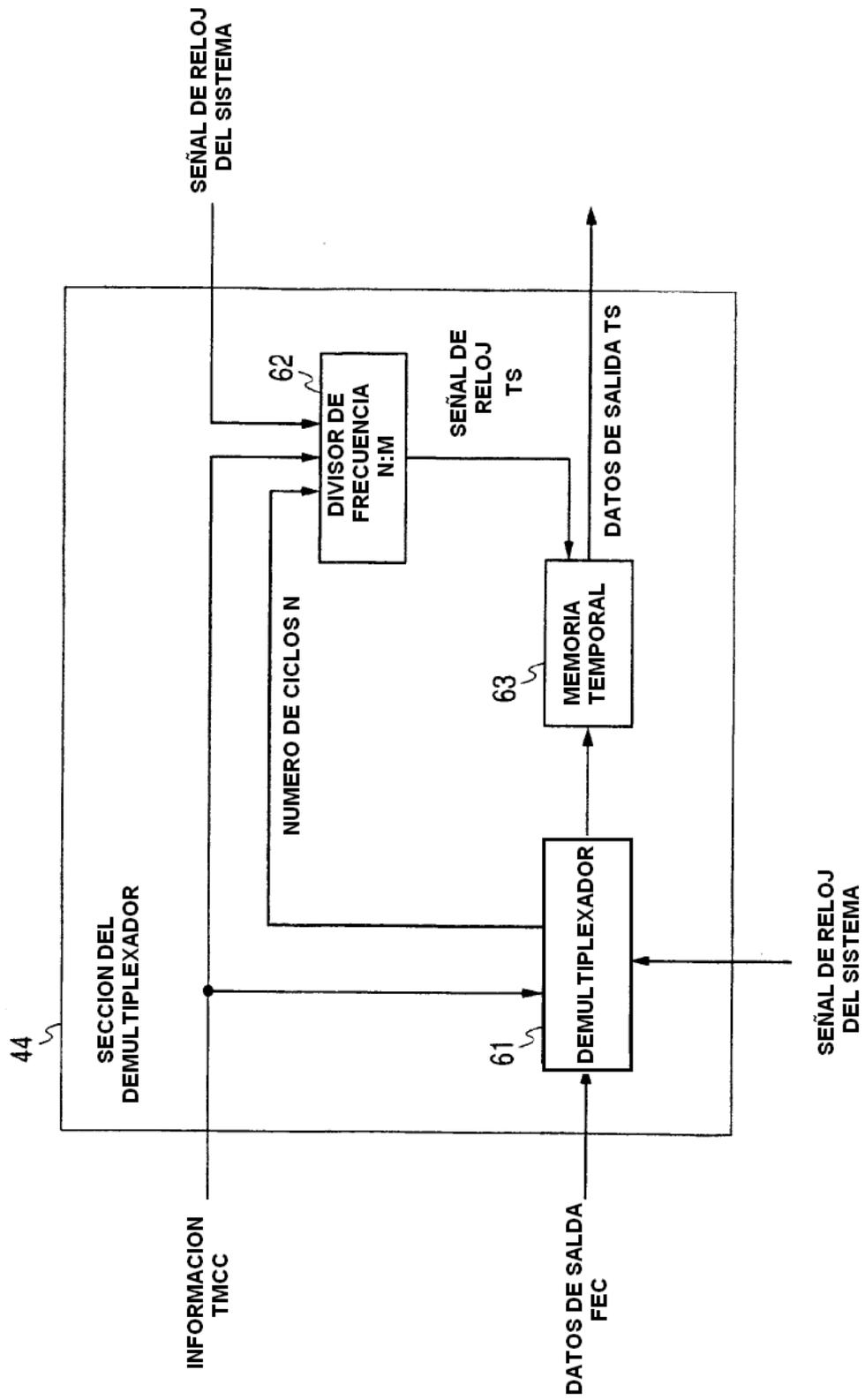


FIG. 9

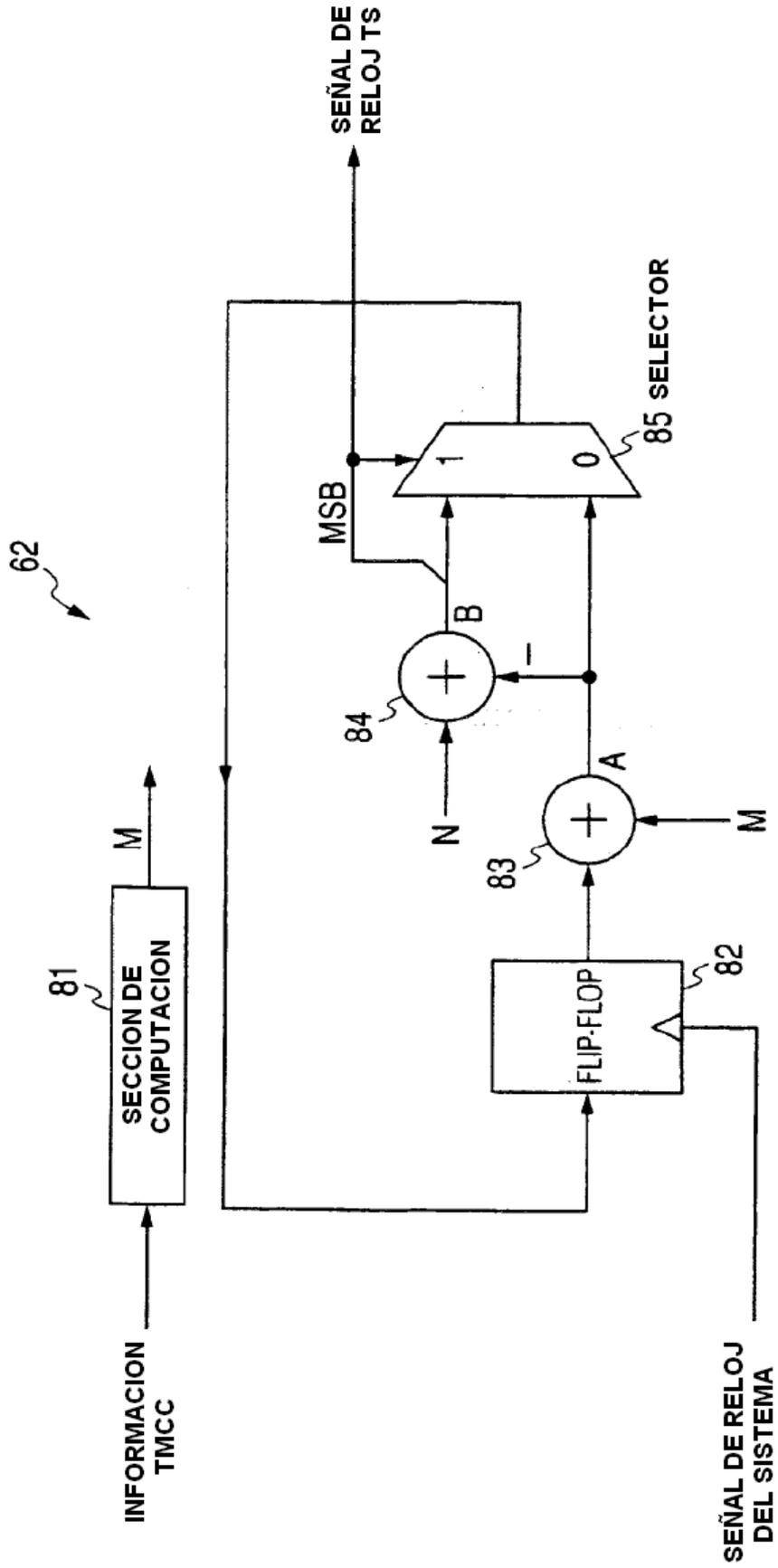


FIG. 10

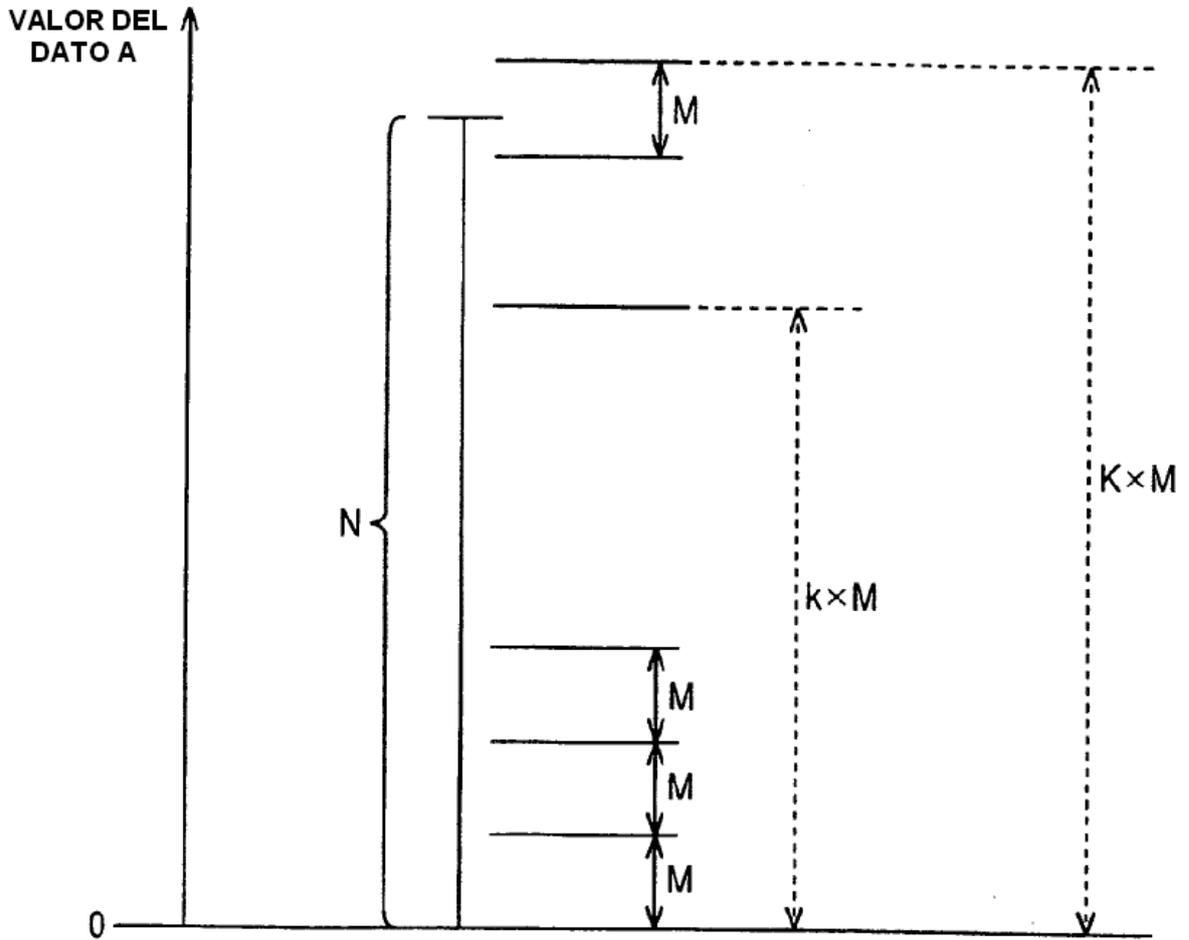


FIG. 11

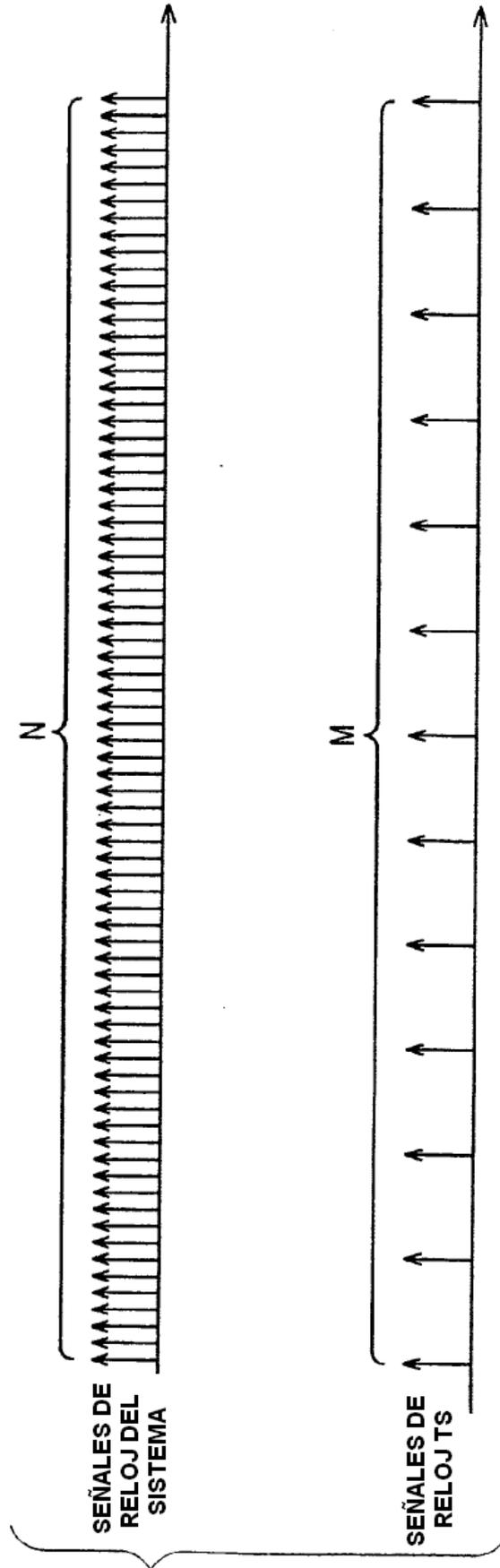


FIG. 12

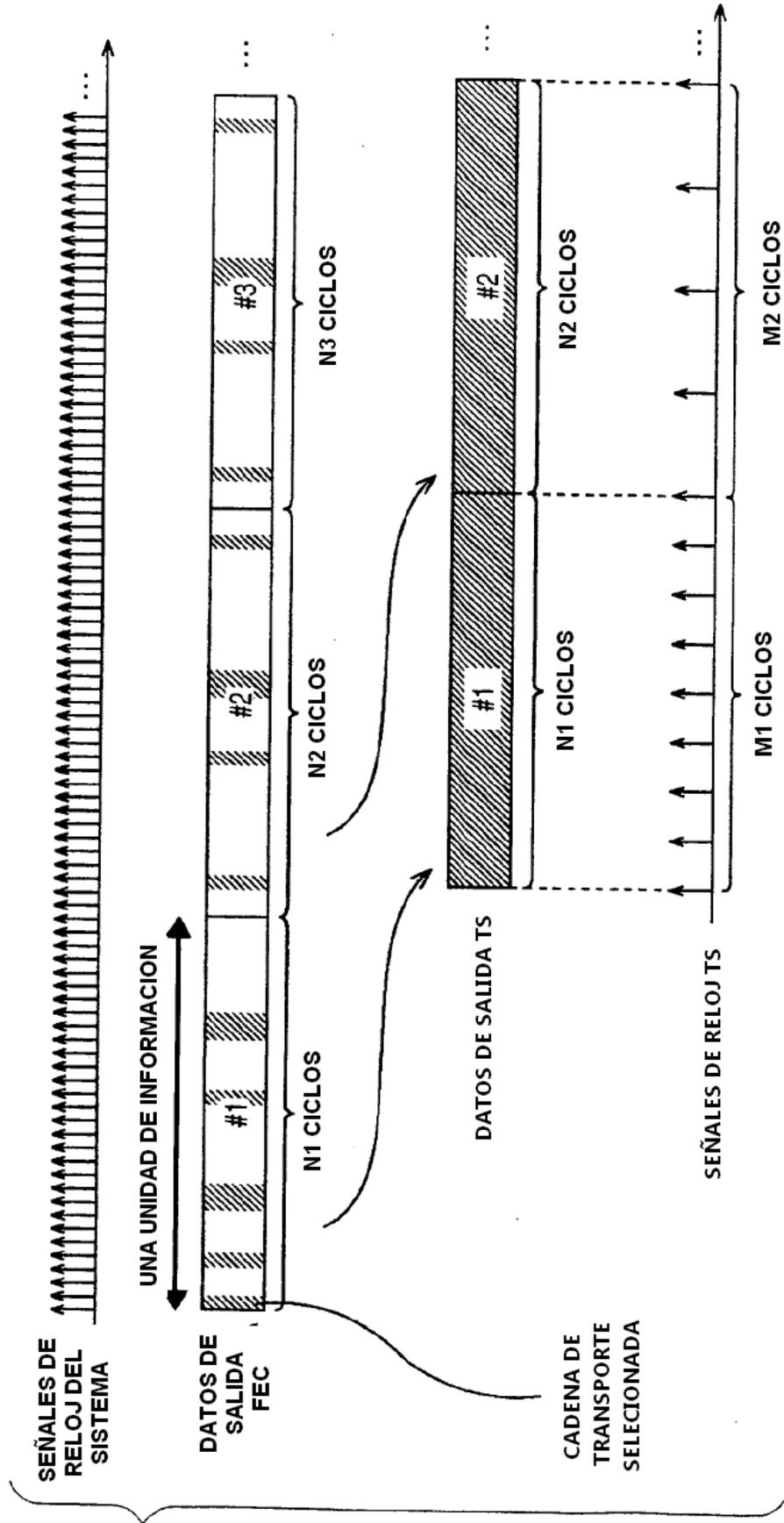


FIG. 13

