

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 373 371**

51 Int. Cl.:
H03M 5/14 (2006.01)
H04L 25/49 (2006.01)
H03M 7/46 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **06004498 .9**
96 Fecha de presentación: **07.07.1995**
97 Número de publicación de la solicitud: **1701448**
97 Fecha de publicación de la solicitud: **13.09.2006**

54 Título: **MEDIO DE REGISTRO DE DISCO ÓPTICO QUE ALMACENA UNA SEÑAL CONVERTIDA DE 8-BITES A 16-BITES Y SISTEMA DE REGISTRO DE DISCO ÓPTICO CORRESPONDIENTE.**

30 Prioridad:
08.07.1994 JP 15717594

45 Fecha de publicación de la mención BOPI:
02.02.2012

45 Fecha de la publicación del folleto de la patente:
02.02.2012

73 Titular/es:
SONY CORPORATION
7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU
TOKYO, JP

72 Inventor/es:
Okazaki, Toru y
Yoshimura, Shunji

74 Agente: **de Elzaburu Márquez, Alberto**

ES 2 373 371 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

5 Medio de registro de disco óptico que almacena una señal convertida de 8-bites a 16-bites y sistema de registro de disco óptico correspondiente.

10 Esta invención se refiere a un medio o soporte de registro o grabación de señales que almacena una señal que se utiliza para grabar o reproducir señales digitales, tales como señales de voz digitales, señales y datos de vídeo digitales, en un medio o soporte de registro, y que por ejemplo, es utilizable con un método de modulación de señales, con un aparato de modulación de señales, con un método de desmodulación de señales y con un aparato de desmodulación de señales que pueden adaptarse a un dispositivo maestro para un dispositivo óptico de sólo lectura o a un dispositivo de registro o grabación/reproducción para un disco óptico reescribible.

15 Cuando se registran señales digitales, tales como señales de voz digitales, señales de vídeo digitales o datos digitales, se agregan primero datos de código de corrección de errores a las señales digitales, y los datos resultantes son encaminados a un circuito de modulación en donde son convertidos por codificación de canal en el código adecuado a las características de un sistema de registro o grabación/reproducción.

20 Un disco óptico, tal como un disco compacto (CD) o un medio o soporte de registro o grabación típico, es un medio o soporte de registro o grabación que tiene un amplio campo de aplicación como medio de empaquetamiento para información de imagen o como dispositivo de almacenaje para un ordenador. El sistema de disco óptico reproduce señales grabadas sobre una superficie reflectante del disco a través de un sustrato transparente que tiene un espesor del orden 1,2 mm. Sobre el disco compacto se registra información, tal como señales de audio digitalizadas, señales de vídeo digitalizadas o datos digitales. En este caso, se agregan los datos de código de corrección de errores a las señales digitales, y los datos resultantes son encaminados a un circuito de modulación en donde son convertidos por una denominada codificación de canal en datos de código adecuados a las características del sistema de registro o grabación/reproducción.

30 El formato de señal del sistema de disco compacto (CD) antes mencionado se resume en la forma siguiente:

	frecuencia de muestreo	44,1 kHz
	número de bites cuantizadores	16 (lineal)
	sistema de modulación	EFM
	tasa de bites de canal	4,3218 Mb/s
35	sistema de corrección de error	CIRC
	tasa de transmisión de datos	2,034 Mb/s.

El sistema de modulación empleado es un sistema de conversión 8-14 o sistema EFM.

40 Con el EFM, un código de entrada de 8-bites, denominado seguidamente símbolo, se convierte en un código de 14 bites de canal, al cual se agregan una señal de sincronización de trama de 24 bites de canal y un subcódigo de 14 bites de canal, y los códigos contiguos se interconectan por medio de bites de fusión de 3 bites de canal. Los datos resultantes son registrados por el sistema de modulación NRZI.

45 La figura 1 muestra una estructura de trama del sistema CD.

50 Haciendo referencia a la figura 1, datos de 24 símbolos (señales musicales) y paridad de 8 símbolos, que entran en un circuito de modulación desde un codificador de código Reed-Solomon de entrelazamiento cruzado (CIRC) durante una trama de sincronismo (dominios de valor de seis muestras, con seis muestras en cada uno de los canales L y R, siendo cada muestra datos de 16-bites) se transforman en 14 bites de canal y se conectan por medio de bites de fusión de tres bites de canal para dar 588-bites de canal por trama. Los datos resultantes son registrados por el sistema NRZI a una tasa de bites de canal de 4,3218 Mbps.

55 Los símbolos respectivos que entran en el circuito de modulación son transformados, con referencia a una tabla de búsqueda compuesta de una ROM, en un patrón de bites de canal en el que el número de "0s" entre "1" y "1" no es menor que 2 ni mayor que 10. El patrón de bites de canal de una señal de sincronización de trama Sf es "1000000000100000000010" en expresión binaria. En cuanto al patrón de bites de fusión, se selecciona uno de entre "000", "001", "010" y "100". Cada trama de subcodificación está constituida por 98 tramas. Como subcódigo para los tramas cero y primera, se agregan las señales de sincronismo de subcódigo SO (= "00100000000001" y S1 (= "00000000010010") (véase la figura 2).

La figura 3 muestra, para un valor de muestra típico de datos de entrada, un patrón de bites de canal después de EFM y

una variación de suma digital (DSV).

Cada muestra de 16-bites se divide en 8-bites superiores y 8-bites inferiores, cada uno de los cuales se introduce en el circuito de modulación a través de un codificador CIRC para conversión 8-14 a fin de producir bites de información de 14 bites de canal. No menos de 2 ni más de 10 "0s" están interpuestos entre "1" y "1" de los bites de información, tal como se ha descrito anteriormente. Se selecciona uno de los bites de fusión "000", "001", "010" y "100". Se observa esta regla en todo momento en las porciones de conexión de los 14 bites de información, con lo que se generan señales EFM basadas en 17 bites de canal y se da salida a estas señales desde el circuito de modulación a 4,3218 Mbps. El número de bites de canal es 27 en el caso de la señal de sincronización de cuadro Sf.

Dado que no menos de 2 y no más de 10 bites de canal están interpuestos entre un bite de canal opcional "1" y el siguiente bite de canal "1", el período durante el cual continúa el nivel alto o el nivel bajo de la forma de onda de registro o grabación NRZI, es decir, la longitud de onda de registro o grabación, es necesariamente no menor que 3T y no mayor que 11T (véase la figura 3).

En este caso, la longitud de onda de registro o grabación más corta es 3T y la longitud de onda de registro o grabación más larga es 11T, siendo T un período de un reloj de canal de 4,3218 MHz. Esto se denomina seguidamente regla 3T̄ 11T̄ de la regulación de modulación EFM.

El valor o variación de suma digital (DSV) se considera ahora como un índice del equilibrio de cc de la forma de onda de registro o grabación NRZI. La DSV se da como una integral de tiempo de la forma de onda de registro o grabación. Es decir, la variante de la DSV, cuando el nivel alto de la forma de onda de registro o grabación ha continuado durante un tiempo unidad T, es +1, mientras que la variante de la DSV, cuando el nivel bajo de la forma de onda de registro o grabación ha continuado durante un tiempo unidad T, es -1.

El cambio de tiempo de DSV, cuando el valor inicial de DSV en el instante t_0 se supone igual a cero, se da en la porción más inferior de la figura 3. La señal modulada durante el tiempo desde t_1 hasta t_2 no queda determinado de forma singular por el patrón de 17 bites de canal "0100001000001001", sino que depende del nivel de señales moduladas en el instante t_1 , es decir, del nivel último de la forma de onda de señal modulada durante el intervalo de tiempo desde el instante t_0 hasta el instante t_1 (denominado seguidamente CWLL).

Así, la forma de onda de señal modulada ilustrada es aquella para la que el CWLL en el instante t_0 está a un nivel bajo (CWLL = "0"). La forma de onda de señal modulada para CWLL = "1" (nivel alto) se invierte respecto del patrón para CWLL = "0", de modo que los niveles alto y bajo se invierten a niveles bajo y alto, respectivamente.

Análogamente, la DSV se incrementa o disminuye también dependiendo del CWLL, de tal manera que si CWLL = "0" en el instante t_0 , la variante de DSV con el patrón de información "01000100100010" (denominado seguidamente 14 NWD), es decir, la variante de DSV durante el período de tiempo desde t_0 hasta t_0+14 , es +2, como se muestra en la figura 3. Recíprocamente, si CWLL = "1" en el instante t_0 , 14 NWD = -2. La variante de DSV desde el instante t_0+14 hasta t_1+14 se denomina 17 NWD.

Se explican ahora los bites de fusión insertados desde el instante t_0+14 hasta el instante t_1 . De los cuatro bites de margen "000", "001", "010" y "100" no pueden insertarse "001" o "100" conforme a la regla 3T̄ 11T̄ antes mencionada, de tal manera que solamente puede insertarse "010" o "000". Es decir, si el número de "0s" en el extremo trasero del patrón de bites de información anterior, emitido antes del bite de fusión es B, y el número de "0s" en el extremo delantero del patrón de bites de información en curso subsiguientemente emitido es A, se tiene que, dado que B = 1 y A = 1, los extremos delantero y trasero del bite de fusión han de ser "0" y "0", de tal manera que el patrón de bites de fusión que puede insertarse pasa a ser "0X0", en donde X es arbitrario (no importa).

En la porción más inferior de la figura 3 se muestra la DSV con los bites "010" insertados como bites de fusión por medio de una línea continua, mientras que se muestra la DSV con los bites "000" insertados como bites de fusión por medio de una línea de trazos.

En general, los bites de fusión a insertar en un punto de conexión necesitan seleccionarse de modo que satisfagan la regla 3T̄ 11T̄ de la regulación de modulación. Análogamente, están prohibidos aquellos bites de fusión que, cuando se insertan, producirán una repetición por dos veces de un patrón 11T̄ que es igual que el patrón de sincronización de tramas 11T̄.

De los bites de fusión que satisfacen los requisitos anteriores, se seleccionan tales bites de fusión como bites de fusión óptimos que, cuando se insertan, producirán el menor valor absoluto de la DSV acumulativa desde el bite de fusión hasta el final del siguiente patrón de bite de información conectado a la DSV acumulativa prevalente.

En el ejemplo de la figura 3, la DSV en el instante t_1+14 , cuando se insertan los bites de fusión "010", es +3, mientras que la DSV en el mismo instante, cuando se insertan los bites de fusión "000", es -1, de modo que se seleccionan los bites de fusión "000".

5 Los bites de fusión, encontrados por el algoritmo anteriormente descrito, satisfacen la regla $3\bar{T} \ 11T$ de la regulación de modulación en la porción de conexión entre dos datos de 14 bites, mientras que prohíben la generación de una señal de sincronismo de trama errónea y aproximan la DSV acumulativa de la señal EFM a un valor tan próximo a cero como sea posible.

10 Mientras tanto, con el sistema EFM convencional, dado que la longitud de secuencia más corta está limitada a dos, serán suficientes dos bites de fusión para la finalidad de hacer frente a limitaciones de longitud de secuencia. Si el número de bites de fusión puede ser reducido a dos, la densidad de registro o grabación de datos puede incrementarse en un factor de 17/16 sin alterar el tamaño físico, tal como la longitud de onda de registro o grabación.

15 Sin embargo, hay solamente tres clases de bites de fusión de dos bites. Además, ocurre frecuentemente que sólo una de las tres clases de bites de fusión puede insertarse debido a limitaciones tales como las impuestas por longitud de secuencia. Así, con el sistema de control de DSV convencional existe un gran número de dominios en los que es imposible controlar la DSV. En consecuencia, componentes de baja frecuencia de las señales moduladas no pueden suprimirse en grado suficiente para afectar a la servoestabilidad o a la tasa de errores de datos en la desmodulación de
20 datos.

A partir del documento EP-A-0392506 se conoce un método de modulación digital para modular datos digitales de 8-bites en códigos de modulación digitales de 14-bites, en el que el número de bites idénticos consecutivos en una serie de
25 códigos se restringe a de 2 a 7, y el valor absoluto de DSV al final de cada código de modulación digital de 14-bites se restringe a 2 ó menos, y el valor absoluto de DSV en cada bite de cualquier código de modulación digital de 14-bites está limitado a 7 ó menos.

A partir del documento EP-A-0506446 se conoce un método de modulación digital que incluye un paso de asignación de una pluralidad de palabras de código de 15-bites para cada palabra de datos de 8-bites para que el número de bites
30 idénticos continuos no sea menor de 2 y no más de 8 en una secuencia de palabras de código de 15-bites, y un paso de selección de una de la pluralidad de palabras de código de 15-bites asignadas a cada palabras de datos de 8-bites para que el DSV cambie periódicamente en el último bite de cada palabra de código de 15-bites.

Además, se conoce a partir del documento EP-A-0493044 un sistema de modulación digital en el cual una cadena de
35 datos de entrada está dividida en un intervalo de ocho bites y el dato de 8-bites resultante es convertido en datos de códigos digitales modulados de 16-bites, en el que la conversión del código se realiza para que el número de los números consecutivos en cualquier porción de los datos digitales no sea menor de dos y no superior a cinco y el valor absoluto de DSV no sea mayor de tres.

40 Es un objeto de la presente invención el proporcionar un medio o soporte de registro o grabación de disco óptico que tiene grabado en él una señal que comprende una cadena de códigos de N-bites convertida a partir de una cadena de datos de M-bites, por lo que los M-bites de entrada, tal como una cadena de códigos de 8-bites de entrada, se transforma en N-bites de canal, tal como 16-bites de canal, sin emplear los bites de fusión mencionado anteriormente a la vez que la
45 modulación de señal, de esta manera reduciendo los malos efectos en el control de DSV y permitiendo también la suficiente supresión de los componentes de baja frecuencia, y un sistema de grabación de disco óptico adaptado para generar y grabar señales digitales.

Este objeto se logra mediante un medio o soporte de registro o grabación de disco óptico y un sistema de grabación de
50 disco óptico según las reivindicaciones independientes que se acompañan. Se definen rasgos o características ventajosas de la presente invención en las reivindicaciones dependientes correspondientes.

Con la presente invención, un medio o soporte de registro o grabación puede almacenar más palabras de datos
55 codificados que hasta ahora. Esto se debe al hecho de que, dado que en el solapamiento o en las porciones duplexadas de las tablas de conversión los juegos de códigos correspondientes tienen variantes de variaciones de suma digital (DSV) que son opuestas en signo y están próximas una a otra en valor absoluto, se puede conseguir control de DSV seleccionando una de las porciones duplexadas sin utilizar un bite de margen usado en la modulación convencional. Además, dado que se utiliza la tabla de conversión en la que se asignan secuencialmente códigos - que tienen mayores valores absolutos de variantes de los valores de suma digital - a la porción duplexada, se suprimen suficientemente
60 componentes de baja frecuencia de las señales moduladas

BREVE DESCRIPCION DE LOS DIBUJOS

La figura 1 muestra una construcción de trama de una señal de salida modulada convencional.

La figura 2 muestra una estructura de trama de subcodificación de una señal de salida modulada convencional.

La figura 3 ilustra valores de muestra convencionales y la forma de onda modulada en EFM.

Las figuras 4a a 4g muestran una tabla de conversión empleada en una realización de la presente invención.

La figura 5 es un diagrama de flujo que muestra un ejemplo de un algoritmo que constituye la tabla de conversión.

5 La figura 6 muestra un ejemplo de una tabla de unidades en la que el valor de estado es 1.

La figura 7 muestra un ejemplo de una tabla de unidades en la que el valor de estado es 2.

La figura 8 muestra un ejemplo de una tabla de unidades en la que el valor de estado es 3.

La figura 9 muestra un ejemplo de una tabla de unidades en la que el valor de estado es 4.

10 La figura 10 es un diagrama de flujo que muestra un ejemplo de un algoritmo del método de modulación de señales.

La figura 11 es un diagrama de flujo que muestra una construcción ilustrativa de un aparato de modulación de señales.

La figura 12 es un gráfico que muestra el modo en que componentes de baja frecuencia en la señal modulada pueden disminuir en la realización de la presente invención en contraste con el sistema convencional.

15 La figura 13 es un diagrama de flujo que muestra un ejemplo del algoritmo del método de modulación de señales.

La figura 14 es un diagrama de bloques que muestra una construcción ilustrativa de un aparato de desmodulación de señales.

20 Las realizaciones preferidas acerca de cómo las señales pueden grabarse en o reproducirse desde un medio o soporte de registro o grabación según la invención basándose en un método de modulación de señales, que comprende una cadena de códigos de N-bites convertida desde una cadena de datos de M-bites, un aparato de modulación de señales, un método de desmodulación de señales y un aparato de desmodulación de señales, serán ahora descritos con referencia a los dibujos.

25 Realizaciones preferidas acerca de cómo las señales pueden grabarse en o reproducirse desde un medio o soporte de registro o grabación según la invención basándose en un método de modulación de señales, que comprende una cadena de códigos de N-bites convertida desde una cadena de datos de M-bites, un aparato de modulación de señales, un método de desmodulación de señales y un aparato de desmodulación de señales, serán ahora descritos con referencia a los dibujos.

30 El método de modulación de señales y el aparato de modulación de señales de acuerdo con la presente invención se efectúan basándose en el supuesto de convertir una cadena de datos de entrada basada en M bites en una cadena de códigos basada en N bites, siendo M y N unos números enteros en una relación de $M < N$, y conectar el código de N bites al siguiente código de N bites. La tabla de conversión para convertir la cadena de datos basada en M bites en la cadena de códigos basada en N bites anteriormente mencionada está parcialmente duplexada. Las porciones duplexadas están configuradas de modo que las variantes de la variación de suma digital (valor de suma digital) de los códigos de cada uno de dos juegos de códigos mutuamente asociados son opuestas en signo y están próximas una a otra en valor absoluto.

40 La figura 4 muestra un ejemplo de la tabla de conversión.

45 La tabla de conversión está constituida por una pluralidad de, por ejemplo, cuatro clases diferentes de tablas de unidades T_1, T_2, T_3 y T_4 , teniendo cada tabla de unidades una porción duplexada, como se muestra en la figura 4. Es decir, si se denota como T_a una tabla de juegos de códigos (patrones de bites de canal) para la totalidad de los valores de señales de entrada para una tabla de unidades, parte de ésta se encuentra duplexada para formar una tabla T_b . Con el ejemplo ilustrativo de la figura 4 se tiene que 88 códigos con valores de señal de entrada de 0 a 87 están duplexados. En la presente memoria, la tabla T_a y la tabla T_b se denominan tabla del lado frontal y tabla del lado dorsal, respectivamente.

50 Así, con el ejemplo ilustrativo de la figura 4, la tabla de conversión está constituida por cuatro clases de tablas $T_{1a}, T_{2a}, T_{3a}, T_{4a}$ para 256 códigos de 16-bites o 256 patrones de 16-bites de canal, asociados con valores de señal de entrada de 8-bites de 0 a 255, constituyendo la tabla del lado frontal, y cuatro tablas $T_{1b}, T_{2b}, T_{3b}, T_{4b}$ que están duplexadas para 88 patrones de 16-bites de canal de las tablas $T_{1a}, T_{2a}, T_{3a}, T_{4a}$ que tienen los valores de señal de entrada de 0 a 87, constituyendo la tabla del lado posterior. En la presente realización, las porciones duplexadas de la tabla de conversión, es decir, los códigos de 16-bites para los valores de señal de entrada de 0 a 87 de las tablas $T_{1a}, T_{2a}, T_{3a}, T_{4a}$ y los códigos de 16-bites para los valores de señal de entrada de 0 a 87 de las tablas $T_{1b}, T_{2b}, T_{3b}, T_{4b}$, están configuradas de modo que las variantes del valor o variación de suma digital de los juegos de códigos asociados son opuestas en polaridad y están próximas una a otra en magnitud.

55 Se explica una realización del método de modulación de señales que materializa la tabla de conversión de la figura 4.

60 Con la presente realización, mostrada en la figura 4, la señal (datos) de entrada de 8-bites es convertida en un código de 16-bites. En el sistema EFM convencional, la señal de entrada de 8-bites es convertida en un patrón de bites de

información de 14 bits que se conecta a un patrón de bits de información de 14 bits contiguo a través de bits de fusión de 3 bits. En el presente sistema, la señal de entrada de 8-bits se convierte directamente en un código de 16-bits sin emplear los bits de fusión. El presente sistema de modulación se denomina seguidamente sistema de modulación de 8-16. La modulación de 8-16 satisface también la condición para EFM de que el número de "0s" entre "1" y "1" no deberá ser menor que 2 ni mayor que 10, es decir, la regla $3\bar{1}1T$.

En el sistema EFM está prevista solamente una tabla para convertir la señal de entrada de 8-bits en un código de 14 bits. Con el sistema de modulación de 8-16 están previstas varias clases de tablas para convertir la señal de entrada de 8-bits en un código de 16-bits. En la realización mostrada en la figura 4 se emplean cuatro clases de tablas de unidades T_1 , T_2 , T_3 y T_4 .

Se explican los "valores de estado" empleados en la clasificación de las tablas de unidades.

Los valores de estado desempeñan el cometido de índices para juzgar cuál de las tablas de conversión ha de emplearse al convertir la señal (datos) de entrada de 8-bits en el código de 16-bits. Así, el tipo de los valores de estado es igual al de las diferentes clases de las tablas de unidades de la tabla de conversión. Es decir, en la presente realización hay cuatro tipos de valores de estado [1] a [4] en asociación con las cuatro clases de tablas de unidades T_1 , T_2 , T_3 y T_4 .

Los valores de estado experimentan una transición cada vez que un símbolo de 8-bits se convierte en un código de 16-bits. Si el código de 16-bits termina con "1" o "10", el valor de estado experimenta una transición a [1]. Si el código de 16-bits termina con no menos de 2 y no más de 5 "0s" consecutivos, el valor de estado experimenta una transición a [2] o [3]. Si el código de 16-bits termina con no menos de 6 y no más de 9 "0s" consecutivos, el valor de estado experimenta una transición a [4]. Cuando un código que experimenta una transición al valor de estado "2" y un código que experimenta una transición al valor de estado "3" pueden manejarse como códigos perfectamente diferentes, el que el valor de estado sea [2] o [3] puede determinarse arbitrariamente al producir la tabla.

La tabla de conversión para convertir la señal de entrada de 8-bits en el código de 16-bits tiene las características siguientes.

La tabla de unidades T_1 empleada cuando el valor de estado es [1] está constituida por códigos de 16-bits que empiezan con al menos 2 "0s" a fin de satisfacer la condición de que el número de "0s" entre "1" y "1" deberá ser no menor que 2 y no mayor que 10 (regla $3T$ a $11T$). La razón es que el código de 16-bits modulado antes de la transición del valor de estado a [1] termina con "1" o "10".

Por la misma razón, las tablas de unidades T_2 o T_3 , empleadas para los valores de estado de [2] o [3], respectivamente, están constituidas por códigos de 16-bits que empiezan con 0 a 5 "ceros" consecutivos. Se hace notar que la tabla de unidades T_2 empleada para el valor de estado igual a [2] esta constituida por códigos que tienen tanto el primer bite como el 13 (decimotercero) bite (es decir, el cuarto bite a partir del LSB) iguales a "0", siendo el MSB el primer bite, mientras que la tabla de unidades T_3 empleada para el valor de estado igual a [3] está constituida por códigos que tienen uno o ambos del primer bite y el 13 (decimotercero) bite (el cuarto bite a partir del LSB) iguales a "1", siendo nuevamente el MSB el primer bite.

La tabla de unidades T_4 empleada cuando el valor de estado es [4] está constituida por códigos de 16-bits que empiezan con "1" o con "01".

Existen códigos de 16-bits que pueden emplearse en común para los dos valores de estado diferentes. Por ejemplo, un código de 16-bits que empiece con tres "0s" consecutivos y que tenga el primer bite y el 13 (decimotercero) bite iguales a "0" puede emplearse tanto con el valor de estado igual a [1] como con el valor de estado igual a [2]. Con el fin de evitar una posible confusión durante la descodificación, la tabla tiene que configurarse de modo que los códigos de valores de estado diferentes estén asociados con el mismo valor de señal (datos) de entrada de 8-bits.

Por otra parte, el código de 16-bits del tipo en el que el valor de estado experimenta seguidamente una transición a [2] o [3] puede asociarse con dos clases totalmente diferentes de las señales de entrada de 8-bits. Aunque los códigos de 16-bits no pueden descodificarse de forma singular por sí mismos, pueden ser descodificados de manera correcta fijando necesariamente el siguiente valor de estado producido en [2] o [3]. Se explicará seguidamente este método.

Esta prevista otra tabla para indicar, para códigos respectivos de las tablas de unidades, a cuál de [1] a [4] se transfieren los siguientes valores de estado cuando las señales de entrada de 8-bits se conviertan en los códigos. Si los códigos de 16-bits terminan con no menos de 2 y no más 5 "0s" consecutivos, no es posible determinar si los valores de estado se transfieren seguidamente a [2] o [3] por las propias características del código. Sin embargo, los siguientes valores de estado pueden determinarse de forma singular haciendo referencia a esta tabla. Mientras tanto, el valor de estado es necesariamente [1] siguiendo el patrón de sincronización.

En el ejemplo de la figura 4, el siguiente valor de estado está indicado por S para constituir la tabla consistente en los valores de estado S que indican la dirección de transición.

5 Utilizando las tablas anteriores, un modulador modula símbolos de entrada de 8-bites en códigos de 16-bites. Los valores de estado en curso se almacenan en la memoria interna y la tabla a considerar se identifica a partir de los valores de estado. Las señales de entrada de 8-bites con convertidas por la tabla efectuando la modulación. Simultáneamente, se encuentran los valores de estado siguientes de la tabla y se mantienen estos en memoria, con lo que se identificará la tabla a considerar durante la siguiente conversión. Se explicará seguidamente la configuración práctica del hardware.

10 La variación de suma digital o valor de suma digital (DSV) se controla de la manera siguiente.

15 Se verifica para cada valor de estado cuántos códigos de 16-bites existen que satisfagan las limitaciones de longitud de secuencia (regla 3T a 11T) y que puedan utilizarse satisfactoriamente. Para inhibir la aparición de dos patrones repetitivos de 11T que sean iguales que el patrón de sincronización de tramas, se elimina previamente el código de 16-bites en el que diez "0s" están ordenados y van seguidos por "1", seguido a su vez por cinco "0s". La razón es que, si se conecta el código al patrón de códigos de 16-bites que comienza con cinco "0s" consecutivos, se producen dos patrones repetitivos de 11T. Si, después de la conversión a un código de 16-bites, el valor de estado experimenta una transición a [2] o [3], el código puede ser utilizado de dos maneras, con lo que estos códigos se cuentan dos veces.

20 Los resultados de cálculos indican que pueden utilizarse 344 códigos de 16-bites con el valor de estado de [1], 345 códigos de 16-bites con el valor de estado de [2], 344 códigos de 16-bites con el valor de estado de [3] y 411 códigos de 16-bites con el valor de estado de [4]. Dado que la señal de entrada es una señal de 8-bites, serán suficientes 256 códigos, de modo que hay al menos 88 códigos superfluos para los respectivos valores de estado. Estos 88 códigos superfluos se utilizan para fines de control de DSV. Es decir, utilizando estos códigos superfluos se proporciona por separado una tabla con el número de 88 entradas como tabla del lado posterior. Esta tabla del lado posterior está prevista en la presente realización para las señales de entrada de 8-bites que van de "0" a "87".

25 Para conseguir un eficaz control de DSV con el presente sistema de control de DSV, las tablas del lado frontal y del lado dorsal se constituyen según el principio siguiente.

30 Existen códigos de 16-bites que pueden emplear dos valores de estado diferentes en común, como se ha descrito anteriormente. Dado que la tabla tiene que formularse de modo que los mismos valores de señal (datos) de entrada de 8-bites estén asociados con estos códigos en todo momento, los métodos de formulación de tablas en este caso son complicados debido a estas limitaciones. Dado que se pretende indicar aquí el método de formular la tabla con miras a un control de DSV eficaz, la descripción siguiente se hace basándose en el supuesto de que se toman independientemente los respectivos valores de estado, y los códigos de 16-bites que pueden utilizarse para los respectivos valores de estado pueden asignarse libremente a valores respectivos de las señales de entrada de 8-bites.

35 El diagrama de flujo de la figura 5 está destinado a ilustrar el método para formular la tabla de conversión anteriormente mencionada, más específicamente el método para formular una opcional de las cuatro clases de tablas de unidades de la tabla de conversión.

40 Haciendo referencia a la figura 5, la totalidad de patrones de los códigos de 16-bites se encuentran en el paso S101. En el paso siguiente S102 se seleccionan los patrones o códigos de bites que satisfarán la condición de la limitación de longitud de secuencia (3T a 11T). En el paso siguiente S103 se clasifican los códigos en códigos que seguirán las condiciones basadas en valores de estado anteriormente mencionadas. El número de códigos de 16-bites que pueden emplearse para estos valores de estado es de 344 a 411, como se ha explicado anteriormente. Por ejemplo, el número de códigos de 16-bites que pueden emplearse para el valor de estado de [1] es 344.

45 En el paso siguiente S104 se calcula para cada código, por cada uno de los valores de estado, la cantidad de variación de la DSV para el nivel directamente anterior a cada código (= CWLL) que es bajo. Dado que la longitud de código es 16-bites, la cantidad de variación de la DSV por código es -10 en el mínimo y +10 en el máximo. Si, como ejemplo, el valor de estado es [1], la cantidad de variación de DSV es -10 en el mínimo y +6 en el máximo.

50 En el paso siguiente S105 se ordenan secuencialmente los 344 códigos de 16-bites que tienen el valor de estado igual a [1], empezando a partir del código que tiene la mayor variante de DSV en el lado positivo hasta el código que tiene la mayor variante de DSV en el lado negativo, efectuando para ello la clasificación.

55 En el paso siguiente S106 se seleccionan 88 códigos de 16-bites en orden de cantidad decreciente de variación de DSV en el lado positivo y se asignan secuencialmente a "0" a "87" de la señal de entrada de 8-bites en la tabla del lado frontal T_{1a} de la figura 6 para el valor de estado de [1]. Cuanto mayor sea el valor absoluto de la variación de DSV de los 88

códigos de 16-bites seleccionados, tanto menor será el valor de la señal de entrada de 8-bites a la que se asigna el código de 16-bites. Por otra parte, se seleccionan 88 códigos de 16-bites en orden de cantidad decreciente de variación de DSV en el lado negativo y se asignan secuencialmente a "0" a "87" de las señales de entrada de 8-bites en la tabla del lado dorsal T_{1b} de la figura 6. Cuanto mayor sea el valor absoluto de la variación de DSV de los 88 códigos de 16-bites seleccionados, tanto menor será el valor de la señal de entrada de 8-bites a la que se asigna el código de 16-bites. Finalmente, se seleccionan 168 códigos de 16-bites en orden de pequeño valor absoluto de la variación de DSV y se asignan a "88" a "255" de la señal de entrada de 8-bites en la tabla del lado frontal T_{1a} de la figura 6.

Si el valor de estado es [1], el número de códigos de 16-bites que pueden emplearse es 344, de modo que la totalidad de códigos que pueden emplearse puede seleccionarse en esta etapa, como se muestra en la figura 6.

Las figuras 7, 8 y 9 muestran ejemplos de asignación de valores de señal de entrada en las tablas de unidades de la tabla de conversión, que se emplean para los valores de estado de [2], [3] y [4], respectivamente.

En las figuras 6 a 9 se cambia la secuencia de las señales de 16-bites que tienen la misma cantidad de variación de DSV con respecto a la del ejemplo de la figura 4 durante la clasificación. Sin embargo, cualquiera de estas tablas puede emplearse sin ningún inconveniente.

Si las tablas T_a , T_b del lado frontal y del lado dorsal se formulan con arreglo al principio anteriormente descrito, uno de los dos códigos de 16-bites con signos opuestos y con el mayor valor absoluto de la variante de DSV puede seleccionarse para la señal de entrada de 8-bites con un valor entre "0" y "87", permitiendo así un control de DSV eficaz. Si la señal de entrada de 8-bites tiene un valor entre "88" y "255", se fijan singularmente los códigos de 16-bites de tal manera que no pueda realizarse un control de DSV. Sin embargo, dado que estos códigos de 16-bites son del menor valor absoluto de la variante de DSV, resulta posible mantener el menor valor absoluto de la DSV acumulativa en todo momento.

La tabla T_b del lado dorsal con 88 entradas, definidas como se ha descrito anteriormente, tiene las mismas características que las de la tabla del lado frontal T_a con 256 entradas, excepto que el número de entradas es pequeño.

El control de DSV se realiza utilizando tanto la tabla del lado frontal T_a como la tabla del lado dorsal T_b . Si la señal de entrada de 8-bites tiene un valor entre "0" y "87", se puede seleccionar adaptativamente cuál de entre la tabla del lado frontal T_a o la tabla del lado dorsal T_b deberá emplearse en el momento de la conversión de la señal de entrada de 8-bites en los códigos de 16-bites. Así, con la presente realización se calcula la DSV acumulativa en todo momento, se calculan la DSV acumulativa en caso de que se realice la conversión utilizando la tabla del lado frontal T_a y la DSV acumulativa en caso de que se realice la conversión utilizando la tabla del lado dorsal T_b , y se selecciona para efectuar la conversión aquella de las tablas que reducirá el valor absoluto de la DSV acumulativa más cercano a cero.

Haciendo referencia a la figura 10, se explica el algoritmo del sistema de modulación de señales de la presente realización empleando la tabla de conversión anteriormente descrita.

Cuando se introduce una señal (dato) de 8-bites en el paso S1, se adquiere el valor de estado actual en el paso S2. Se verifica entonces en el paso S3 si la señal de entrada de 8-bites es o no mayor de 87.

Si el resultado del juicio en el paso S3 es NO, es decir, si se encuentra que el valor de la señal de entrada es 87 o menos, el programa transfiere al paso S4 para remitir a la tabla del lado frontal T_a en respuesta al valor de estado actual a fin de adquirir un código de 16-bites correspondiente al valor de señal de entrada y calcular un valor x_a de DSV acumulativa. En el paso siguiente S5 se remite a la tabla del lado dorsal T_b en respuesta al valor de estado actual con el fin de adquirir un código de 16-bites correspondiente al valor de señal de entrada y calcular un valor x_b de DSV acumulativa. En el paso siguiente S6 se juzgan las magnitudes relativas de los valores x_a y x_b de DSV acumulativa, es decir, si se cumple o no que $x_a \leq x_b$.

Si el resultado del juicio en el paso S3 es SI, es decir, si se encuentra que la señal de entrada es mayor que 87, el programa transfiere al paso S7 con el fin de remitir a la tabla del lado frontal T_a en respuesta al valor de estado actual para adquirir un código de 16-bites correspondiente al valor de la señal de entrada, antes del que el programa transfiera al paso S10. Si el resultado de la decisión en el paso S6 es SI, es decir, si $x_a \leq x_b$ se remite a la tabla del lado frontal T_a para adquirir un código de 16-bites antes de que el programa prosiga al paso S10. Si el resultado de la decisión en el paso S6 es NO, es decir, si se encuentra que el valor absoluto del valor x_b de DSV acumulativa de la tabla del lado dorsal T_b es menor, se remite a la tabla del lado dorsal T_b con el fin de adquirir un código de 16-bites antes de que el programa prosiga al paso S10.

En el paso S10 se calcula y actualiza la DSV acumulativa. En el paso S11 se remite a la tabla para el siguiente valor de estado, es decir, la tabla que muestra colectivamente los siguientes valores de estado S de la figura 4, con el fin de

actualizar el valor de estado. En el paso siguiente S12 se emite el código de 16-bites adquirido.

La figura 11 muestra, en un diagrama de circuito de bloques, una construcción típica de un aparato de modulación de señales para la realización de un sistema de modulación de señales que materializa la presente invención.

5

Haciendo referencia a la figura 11, se introduce una señal de entrada de 8-bites en un circuito comparador 10 y en un circuito generador de direcciones 21.

10 El comparador 10 compara la señal de entrada de 8-bites con un valor "88". Si el valor de la señal de entrada de 8-bites es menor que "88", resulta factible el control de DSV antes mencionado. Así, el comparador 10 da a los selectores 11 y 12 la instrucción de introducir el modo de control de DSV.

15 Si recibe del comparador 10 la instrucción de introducir el modo de control de DSV, el selector 11 transmite la señal de entrada de 8-bites a los generadores de direcciones 14 y 17. Si la señal de entrada de 8-bites no es inferior a "88", se emite una instrucción desde el comparador 10 al efecto de que no sea factible ni se realice un control de DSV. Así, la señal de entrada de 8-bites no se transmite a los generadores de direcciones.

20 Una memoria 13 de almacenaje de valores de estado es una memoria para almacenar el valor de estado actual de [1] a [4].

Una memoria 25 de almacenaje de DSV acumulativa es una memoria para almacenar el valor actual de la DSV acumulativa.

25 Una ROM 23 de tabla de conversión para los códigos de 16-bites es una ROM de tabla para almacenar códigos de 16-bites en los que han de convertirse los valores de la señal de entrada de 8-bites. Existen las cuatro tablas de unidades T_1 , T_2 , T_3 y T_4 asociadas con los respectivos valores de estado. Además, los códigos de 16-bites están duplexados en lo que concierne a los valores de señal de entrada de "0" a "87", de tal manera que existen los códigos incluidos en la tabla del lado frontal T_a y los incluidos en la tabla del lado dorsal T_b . Así, existen ocho clases de tablas T_{1a} a T_{4b} . Utilizando estas tablas T_{1a} a T_{4b} , resulta posible recibir una dirección determinada a partir de tres parámetros, es decir, la señal de entrada de 8-bites, el valor de estado y un valor que indica cuál de la tabla del lado frontal o la tabla del lado dorsal ha de utilizarse, y resulta también posible encontrar el código de 16-bites asociado.

35 Una ROM 27 de la tabla de decisión de valor de estado siguiente es una ROM de tabla para almacenar el siguiente valor de estado que prevalece después de la conversión del valor de la señal de entrada de 8-bites en un código de 16-bites. Existen cuatro tablas para los respectivos valores de estado, mientras que las tablas están duplexadas en lo que concierne a los valores de la señal de entrada de "0" a "87", de tal manera que existe la tabla del lado dorsal además de la tabla del lado frontal. Es decir, las tablas de decisión de valor de estado siguientes T_{1a-s} , T_{1b-s} , T_{2a-s} , T_{2b-s} , T_{3a-s} , T_{3b-s} , T_{4a-s} y T_{4b-s} en asociación con las tablas de códigos T_{1a} , T_{1b} , T_{2a} , T_{2b} , T_{3a} , T_{3b} , T_{4a} y T_{4b} , respectivamente. Estas tablas T_{1a-s} a T_{4b-s} reciben direcciones determinadas a partir de los tres parámetros, es decir, los valores de señal de entrada de 8-bites, los valores de estado actuales y el valor que indica cuál de la tabla del lado frontal o la tabla del lado dorsal ha de emplearse, y encuentran el siguiente valor de estado asociado.

45 El circuito generador de direcciones 14 adquiere la señal de entrada de 8-bites y el valor de estado actual suministrado desde la memoria de almacenaje de valores de estado 13 con el fin de generar una dirección para producir a partir de la ROM 23 de la tabla de códigos de 16-bites una dirección para adquirir el código de 16-bites en caso de emplear una tabla T_a (denominada aquí la primera tabla) para transmitir la dirección a un circuito de lectura 15.

50 El circuito de lectura 15 recibe la señal de dirección procedente del circuito generador de direcciones 14 y, utilizando la señal de dirección, adquiere un código 16-bites de la ROM 23 de la tabla de códigos de 16-bites. Este código se transmite a un circuito 16 de cálculo de la DSV acumulativa.

55 El circuito 16 de cálculo de la DSV acumulativa calcula, a partir del código de 16-bites recibido del circuito de lectura 15 y a partir del valor de la DSV acumulativa actual recibido de la memoria 25 de almacenaje de DSV acumulativa, el valor de la DSV acumulativa resultante de emplear el código de 16-bites, y transmite el valor de DSV acumulativa calculado a un circuito comparador 20.

60 El circuito generador de direcciones 17 recibe la señal de entrada de 8-bites y el valor de estado actual de la memoria 13 de almacenaje de valores de estado. El circuito generador de direcciones 17 genera también una dirección resultante de emplear la segunda tabla a partir de la ROM 22 de la tabla de códigos de 16-bites y encamina la dirección hacia un circuito de lectura 18.

El circuito de lectura 18 recibe la señal de dirección del circuito generador de direcciones 17 y, utilizando la señal de

dirección, produce un código de 16-bites a partir de la ROM 23 de la tabla de códigos de 16-bites. Este código es encaminado hacia un circuito 19 de cálculo de DSV acumulativa.

5 El circuito 19 de cálculo de DSV acumulativa calcula, a partir del código de 16-bites recibido del circuito de lectura 16 y el valor de la DSV actual recibido de la memoria 25 de almacenaje de DSV acumulativa, el valor de la DSV acumulativa resultante de emplear el código de 16-bites, y transmite el valor calculado a un circuito comparador 20.

10 El comparador 20 adquiere, a partir del circuito 16 de cálculo de DSV acumulativa y el circuito 19 de cálculo de DSV acumulativa, el valor de la DSV acumulativa en caso de efectuar la conversión utilizando la primera tabla y el valor de la DSV acumulativa en caso de efectuar la conversión utilizando la segunda tabla, y compara los valores absolutos correspondientes uno con otro. Se determina cuál de las tablas da el menor valor absoluto de la DSV acumulativa y se transmite al selector 12 una señal indicando qué tabla ha de emplearse.

15 Si recibe del comparador 10 la instrucción de introducir el modo de control de DSV, el selector 12 encamina hacia el generador de dirección 21 una señal que indica cuál de las tablas primera y segunda ha de emplearse. Si recibe del comparador 10 la instrucción de no efectuar el control de DSV, el selector 12 emite una señal hacia el generador de dirección 21 para darle a este generador 21 la instrucción de utilizar la primera tabla en cualquier caso.

20 Utilizando el valor de la señal de entrada de 8-bites, el valor de estado actual recibido de la memoria 13 de almacenaje de valores de estado y la señal del selector 12 indicando cuál de las tablas primera o segunda ha de emplearse, el generador de direcciones 21 genera una dirección para adquirir el código de 16-bites de la ROM 23 de la tabla de códigos de 16-bites y una dirección para adquirir el siguiente valor de estado de la ROM de la tabla de decisión de valor de estado siguiente, y transmite las direcciones a unos circuitos de lectura 22 y 26.

25 El circuito de lectura 22 recibe una señal de dirección del generador de direcciones 21 y, utilizando la señal de dirección, adquiere el código de 16-bites de la ROM 23 de la tabla de códigos de 16-bites. Este código es la salida de código de 16-bites que se emite desde el presente modulador. El circuito de lectura 22 transmite también el código de 16-bites a un circuito 24 de cálculo de DSV acumulativa.

30 El circuito 24 de cálculo de DSV acumulativa calcula, para el código de 16-bites recibido del circuito de lectura 22 y la DSV acumulativa recibida de la memoria 25 de almacenaje de DSV acumulativa, el valor de la DSV acumulativa que prevalecerá después de utilizar el código de 16-bites, y actualiza el contenido de la memoria 25 de almacenaje de DSV acumulativa con el valor calculado.

35 El circuito de lectura 26 recibe la señal de dirección del circuito generador de direcciones 21 y, utilizando la señal de dirección, adquiere el siguiente valor de estado de la ROM 27 de la tabla de decisión de valor de estado siguiente. El circuito de lectura 26 emite el valor de estado siguiente hacia la memoria 13 de almacenaje de valores de estado para actualizar su contenido de almacenaje.

40 En la figura 12, una curva A muestra componentes de baja frecuencia - encontradas por transformada de Fourier - de una forma de onda de registro o grabación producida al modular señales de muestreo de entrada de 8-bites utilizando el método y el aparato de modulación de señales anteriormente descrito de la presente invención.

45 Por otra parte, una curva B en la figura 12 muestra componentes de baja frecuencia de una forma de onda de registro o grabación producida al modular las mismas señales de muestreo utilizando un sistema EFM convencional y sometiendo la forma de onda de registro o grabación generada a una transformada de Fourier, mientras que una curva C en la figura 12 muestra componentes de baja frecuencia de una forma de onda de registro o grabación producida al modular las mismas señales de muestreo utilizando un sistema correspondiente al sistema EFM convencional con dos bites de fusión y sometiendo la forma de onda de registro o grabación generada a una transformada de Fourier.

50 Se ve por las curvas A, B y C de la figura 12 que, con la presente realización, las componentes de baja frecuencia pueden ser bajadas hasta un nivel sustancialmente igual al conseguido con el sistema EFM convencional, a pesar del hecho de que la eficacia de modulación es equivalente a la del sistema EFM convencional con los dos bites de fusión, esto es, igual a 17/16 veces la del sistema EFM convencional.

55 Se explicará ahora el método de recibir la señal modulada con el sistema de modulación y el de desmodular las señales recibidas para obtener la señal original de 8-bites.

60 Con el sistema EFM convencional en el que los bites de información de 14 bites están asociados con la señal de entrada de 8-bites en una relación completa de uno a uno, se puede conseguir sin ningún inconveniente una reconversión de los bites de información de 14 bites a las señales de 8-bites.

Con la realización de la presente invención, hay ocasiones en las que se asignan las mismas señales de 16-bites a

diferentes señales de entrada de 8-bites, de modo que el desmodulador no puede efectuar la reconversión al recibir simplemente los códigos de 16-bites. Así, si el desmodulador de la presente invención no puede efectuar una reconversión al recibir un código de 16-bites, recibe otro símbolo sucesivo, es decir, otro código sucesivo de 16-bites, con el fin de efectuar la reconversión basándose en los dos símbolos. En la figura 13 se muestra el algoritmo del sistema de desmodulación de la presente realización.

Se explica ahora la suma del algoritmo de desmodulación mostrado en la figura 13.

El código de 16-bites que puede asignarse en común a dos valores totalmente diferentes de las señales de entrada de 8-bites está restringido necesariamente al código en el que se cambia el valor de estado la siguiente vez a [2] o [3], según se ha explicado anteriormente. Además, si el valor de estado al que transfiere seguidamente uno de tales códigos de 16-bites es [2], el valor de estado al cual transfiere seguidamente el otro de los códigos de 16-bites es necesariamente [3]. La tabla empleada para el valor de estado de [2] está constituida por códigos que tienen cada uno de ellos el primer bite y el 13 (decimotercero) bite iguales a 0, siendo el MSB el primer bite, mientras que la tabla empleada para el valor de estado de [3] está constituida por códigos que tienen cada uno de ellos uno o ambos del primer bite y el 13 (decimotercero) bite iguales a 1, siendo el MSB el primer bite.

Partiendo de estas condiciones, si el valor de estado del código de 16-bites a punto de ser reconvertido se transfiere a [2], el código de 16-bites subsiguiente tiene tanto el primer bite como el 13 (decimotercero) bite iguales a 0, mientras que, si el valor de estado del código de 16-bites a punto de ser reconvertido se transfiere a [3], el código de 16-bites subsiguiente tiene uno o ambos del primer bite y el 13 (decimotercero) bite iguales a 1. Así, si el desmodulador al recibir un código de 16-bites es incapaz de efectuar la reconversión, recibe otro símbolo subsiguiente (código de 16-bites) en el paso S25 de la figura 13 para verificar el primer bite y el 13 (decimotercero) bite en el paso S26. Así, se verifica en el paso S27 si ambos de estos bites son "0". Si el resultado del juicio en el paso S27 es SI, es decir, si los dos bites son "0", el código de 16-bites a punto de ser reconvertido es el código cuyo valor de estado se transfiere seguidamente a [2]. Si el resultado del juicio en el paso S27 es NO, es decir, si uno o ambos de los bites son "1", el código de 16-bites a punto de ser reconvertido es el código cuyo valor de estado se transfiere seguidamente a [3]. Esto permite que se efectúe la reconversión de forma singular.

Tomando un ejemplo ilustrativo, se explica esta operación haciendo referencia a la tabla de conversión de la figura 4.

En el caso de la tabla del lado frontal T_{1a} de la tabla de unidades T_1 de la tabla de conversión de la figura 4, siendo el valor de estado igual a 1, los códigos de 16-bites para las señales de entrada "5" y "6" de 8-bites son ambos "0010000000100100". Así, el desmodulador al recibir el código "0010000000100100" no puede efectuar la reconversión. En tal caso, el desmodulador lee otro símbolo subsiguiente. Si el código siguiente así leído es, por ejemplo, "001000000001001", este código es un código que se ha convertido para el valor de estado [3] debido a que el 13 (decimotercero) bite del código es "1". Si el código actual es el mismo código, aquí "0010000000100100", el valor de estado se transfiere seguidamente a [2] o [3] si el valor de la señal de entrada es "5" ó "6", respectivamente; el desmodulador puede efectuar una descodificación correcta, es decir, puede juzgar que la señal de entrada es aquella señal cuyo valor de estado se transfiere la siguiente vez a [3], es decir, "6".

En el diagrama de flujo de la figura 13 se introduce el código de 16-bites en el paso S21. Se hace referencia a la tabla de reconversión en el paso S22. Se juzga en el paso S23 si puede conseguirse una descodificación de una forma singular. Si es así, el programa puede proseguir naturalmente al paso S24 para entregar la señal de 8-bites descodificada.

La figura 14 muestra, en un diagrama de bloques, una construcción alternativa de un desmodulador de señales que materializa la presente invención.

En la figura 14, un código de entrada de 16-bites es encaminado a un circuito de retardo 31 de un símbolo y una puerta AND 34.

El circuito de retardo 321 de un símbolo retarda el código de entrada de 16-bites en un símbolo. El código de 16-bites, así retardado en un símbolo, es encaminado a una ROM 32 de tabla de descodificación que tiene una primera tabla para descodificar ITa en ella y a una ROM 33 de tabla de descodificación que tiene una segunda tabla para descodificar ITb en ella.

La ROM 32 de la primera tabla de descodificación, que tiene la primera tabla para descodificar ITa en ella, recibe el código de 16-bites para efectuar una reconversión a fin de suministrar una señal de 8-bites. Si el código es el código de 16-bites del tipo que no permite por sí mismo una reconversión de forma singular, el desmodulador, después de suministrar el código de 16-bites, suministra una señal de 8-bites cuyo valor de estado se transfiere a [2]. El valor de la señal de salida de 8-bites es encaminado a un circuito de enjuiciamiento 35.

Análogamente a la ROM 32 de la primera tabla de descodificación, la ROM 33 de la segunda tabla de descodificación, que tiene la segunda tabla para descodificar ITb en ella, recibe el código de 16-bites y efectúa una reconversión para suministrar una señal de 8-bites. Si el código de entrada de 16-bites es un código tal que permita una reconversión monística, no suministra nada o suministra datos especiales. Si el código de 16-bites es un código tal que no permita por sí sólo una reconversión monística, el modulador, después de suministrar el código, suministra un valor de señal de 8-bites cuyo valor de estado se transfiere a [3]. La señal de 8-bites, así suministrada por el modulador, es encaminada al circuito de enjuiciamiento 35.

El circuito AND 34 toma la función AND del código de entrada de 16-bites y un código de 16-bites "1000 0000 0000 1000" de un circuito 36 generador de valores de comparación, que en notación hexadecimal es "8008", con el fin de verificar el primer bite y el 13 (decimotercero) bite del código de entrada de 16-bites, AND suministra "0" y "1" si los bites de las salidas AND de 16-bites son todos "0" y viceversa, respectivamente. Dado que "8008" es un código en el que solamente el primer bite y el 13 (decimotercero) bite son "1" y los bites restantes son "0", siendo el MSB el primer bite, la salida de la puerta AND 34 es "0" o "1" si tanto el primer bite como el 13 (decimotercero) bite son "0" o si uno o ambos del primer bite y el 13 (decimotercero) bite son "1", respectivamente.

El circuito de enjuiciamiento 35 recibe la señal del circuito AND 34 y los valores de señal de 8-bites suministrados desde la ROM 32 de la primera tabla de descodificación y la ROM 33 de la segunda tabla de descodificación. En primer lugar, si no se encamina ninguna señal de 8-bites o se encaminan datos especiales desde la ROM 33 de la segunda tabla de descodificación, ello indica que el código de entrada de 16-bites ha sido descodificado de forma singular para obtener la señal de 8-bites, con lo que el circuito de enjuiciamiento 35 suministra directamente el valor de la señal de 8-bites encaminado desde la ROM 32 de la primera tabla de descodificación como una señal de salida. Si el valor de la señal de 8-bites es suministrado desde la ROM 33 de la segunda tabla de descodificación, ello indica que el código de entrada de 16-bites no ha podido ser descodificado singularmente para dar el valor de la señal de 8-bites. Dado que los datos alimentados desde la ROM 32 de la primera tabla de descodificación y la ROM 33 de la segunda tabla de descodificación han sido hechos pasar por el circuito 31 de retardo de un símbolo, estas señales son códigos previamente leídos en un símbolo. Así, si el código de 16-bites que entra en la puerta AND 34 es el código convertido para el valor de estado de [2], es decir, si la señal de salida de la puerta AND 34 es "0", el circuito de enjuiciamiento 35 suministra como señal de salida la señal de 8-bites recibida de la ROM 32 de la primera tabla de descodificación. Por otra parte, si el código de 16-bites que entra en la puerta AND 34 es el código convertido para el valor de estado de [3], es decir, si la señal de salida de la puerta AND 34 es "1", el circuito de enjuiciamiento 35 suministra como señal de salida la señal de 8-bites recibida de la ROM 33 de la segunda tabla de descodificación.

La realización anteriormente descrita de la presente invención se aplica preferiblemente sobre todo a la modulación o desmodulación en el registro o grabación de voz, vídeo o datos digitales en un disco óptico de alta densidad. Lo que sigue es un formato de señal típico en el disco óptico de alta densidad:

sistema de modulación	una clase de conversión 8-16
tasa de bites de canal	24,43 Mbps
sistema de corrección de error	CIRC
tasa de transmisión de datos	12,216 Mbps

La presente invención no está limitada a las realizaciones anteriormente descritas. Por ejemplo, el número de bites N de la señal de entrada o el número de bites de canal M de la señal de salida convertida no está limitado a N = 8 o M = 16, sino que puede fijarse en valores arbitrarios deseados.

Con la presente invención, tal como se ha descrito anteriormente, dado que las porciones duplexadas de la tabla de conversión están diseñadas de modo que los códigos de cada uno de dos juegos de códigos asociados sean aquellos códigos en los que las variantes de DSV son opuestas en signo y se aproximan una a otra en valor absoluto, se pueden suprimir satisfactoriamente las componentes de baja frecuencia de la señal modulada.

Asimismo, con la presente invención, la tabla de conversión está constituida por las subtablas primera y segunda que incluyen varios grupos de códigos, y el grupo de códigos a utilizar en la conversión siguiente es conmutado por un código inmediatamente antes, con lo que puede conectarse cada código de N bites sin utilizar bites de margen.

Además, con la presente invención, la tabla de conversión está constituida por dos clases de subtablas que proporcionan efectos opuestos de tipos positivo y negativo a la DSV acumulativa, y la modulación se lleva a cabo con las dos subtablas conmutadas adaptativamente, con lo que se pueden restringir satisfactoriamente componentes de baja frecuencia de las señales moduladas.

En contraste con la conversión de 8-14, es decir, EFM, empleada habitualmente en discos compactos, se pueden convertir señales de entrada de 8-bites en códigos de 16-bites de canal sin emplear bites de fusión. Es decir, en

contraste con el método convencional en el que se convierte un patrón de 8-bites en un patrón de bites de información de 14 bites y tres bites de fusión, totalizando así 17 bites, la densidad de registro o grabación de datos puede elevarse en un factor de 17/16, mientras que se suprimen las componentes de baja frecuencia.

5 Para elevar la densidad de registro o grabación, puede contemplarse convertir el símbolo de 8-bites en 14 bites de información más 2 bites de fusión, totalizando así 16-bites. En contraste con este método, se pueden suprimir suficientemente las componentes de baja frecuencia de las señales moduladas debido a que se prevén dos clases de tablas de conversión que proporcionan operaciones inversas, es decir, operaciones positivas y negativas, en la DSV acumulativa, y la modulación se lleva a cabo mientras se conmutan apropiadamente estas dos clases de tablas.

10 Además, las señales moduladas de acuerdo con el presente sistema pueden descodificarse leyendo previamente un símbolo adicional y realizando la descodificación de la señal en unión del símbolo adicional.

REIVINDICACIONES

- 5 1. Un medio o soporte de registro o grabación de disco óptico que tiene grabado en el mismo una señal, que representa una cadena de códigos de 16-bites convertidos a partir de cadenas de datos de 8-bites sin emplear bites de fusión, el método de conversión comprende los pasos de:
- recibir la palabra de datos de entrada basada en 8-bites;
 convertir la palabra de datos de entrada basada en 8-bites en la palabra de código basada en 16-bites de acuerdo con una tabla de conversión, en el que la tabla de conversión comprende un a pluralidad de primeras y segundas subtablas (Ta, Tb) de palabras de código, estando dispuesta cada una de dichas primeras y segundas subtablas de palabras de código en grupos de códigos plurales (T1, T2, T3, T4), cada subtabla de palabras de código incluye un valor de estado (S1, S2, S3, S4) para cada palabra de código que indica cual grupo de códigos ha de ser usado para obtener la próxima palabra de código, después de la actual palabra de código seleccionada, las palabras de datos de entrada de la segunda subtabla (Tb) son duplexadas con una parte de las palabras de datos de entrada de la primera subtablas (Ta), una de la primera subtablas (Ta) y la segunda subtablas (Tb) es seleccionada para reducir un DSV acumulativo cuando la palabra de datos de entrada está dispuesta en una porción duplexada, pudiendo ser obtenidas las subtablas al:
- (1) clasificar las palabras de código en un grupo de códigos para que haya una progresión general de la variación de suma digital (DSV) para las palabras de código.
 (2) asociar sustancialmente todas las palabras de datos basadas en 8-bites, empezando con la palabra de datos de entrada menos significativa en un orden creciente, hasta las palabras de código clasificadas del grupo de códigos, empezando con la palabra de código que tiene el valor absoluto de DSV más grande, para formar la primera subtablas (Ta).
 (3) asociar las palabras de código restantes del grupo de códigos, empezando con la palabra de código que tiene el valor absoluto de DSV más grande la cuales son opuestos en polaridad a la DSV asociada con las palabras de código de la primera subtabla (Ta) de palabras de código asociadas hasta un número respectivo de palabras de datos de entrada consecutivas empezando con la palabra de datos de entrada menos significativa en un orden creciente para formar la segunda subtablas (Tb).
- 20 2. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 1, en el que el paso de convertir comprende los pasos de:
 juzgar sí (o no) el dato de entrada es un dato incluido entre los primeros datos de entrada y los segundos datos de entrada;
 comparar una variación de suma digital acumulativa calculada por una palabra de código obtenida en la primera subtabla (Ta) con una variación de suma digital acumulativa calculada por una palabra de código obtenida en la segunda subtabla, cuando se juzga que el dato de entrada está incluido entre los primeros datos de entrada y los segundos datos de entrada; y
 seleccionar una palabra de código obtenida en una cualquiera de las tablas que tienen la variación de sumas digitales acumulativas más pequeñas.
- 30 3. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 1, en el que una palabra de código que sigue un patrón o modelo de sincronización es seleccionado a partir de un grupo de códigos predeterminados
- 40 4. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 2, en el que el paso de convertir comprende además el paso de obtener una palabra de código con referencia a la primera subtabla (Ta) cuando se juzga que el dato de entrada no está incluido entre los primeros datos de entrada y los segundos datos de entrada.
- 50 5. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 4, en el que el paso de convertir comprende además el paso de actualizar la variación de suma digital acumulativa.
6. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 5, en el que el paso de convertir comprende además el paso de mantener el valor de estado.
- 55 7. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 1, en el que la cadena de palabras de código de los mismos satisface las reglas de modulación de una longitud de onda de 3T y una longitud de onda máxima de 11T, con T representando un ciclo de reloj de canal.
- 60 8. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 1, en el que un primer grupo (T1) de códigos, está constituido por palabras de código que empiezan por lo menos con dos ceros (00).

- 5 9. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 1, en el que un segundo grupo (T2) de códigos está constituido por palabras de códigos que empiezan con un máximo de cinco ceros (00000), un primer bite del más significativo bite (MSB) de la palabra de código y un cuarto bite del menos significativo bite (LSB) de la palabra de código que es cero (0).
- 10 10. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 1, en el que un tercer grupo (T3) de códigos está constituido por palabras de código que empiezan con el máximo de cinco ceros (00000), uno o ambos de un primer bite del más significativo bite (MSB) de la palabra de código y un cuarto bite del menos significativo bite (LSB) de la palabra de código que es 1.
11. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 1, en el que un cuarto grupo (T4) de códigos está constituido por palabras de código que empiezan por "1" ó "01".
- 15 12. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 8 en el que cuando la palabra de código actual finalizado con "1" ó "10" el valor de estado pasa a ser 1, con una palabra de código siguiente que es seleccionada a partir del primer grupo de códigos.
- 20 13. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en cualquiera de las reivindicaciones 9 ó 10, en el que cuando la palabra de código actual finaliza con dos ceros (00) o cinco ceros (00000), el valor de estado pasa a ser 2 ó 3, con un valor siguiente que es seleccionado a partir del segundo o tercer grupo de códigos.
- 25 14. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 11, en el que cuando la palabra de código actual finaliza con seis ceros (000000) a nueve ceros (000000000), el valor de estado pasa a ser 4, con una palabra de código siguiente que es seleccionada a partir del cuarto grupo de códigos.
- 30 15. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en la reivindicación 8, en el que una palabra de código que sigue un patrón o modelo de sincronización es seleccionada a partir del primer grupo de códigos.
- 35 16. El medio o soporte de registro o grabación de disco óptico tal como se reivindica en cualquiera de las reivindicaciones 1 a 15, en el que la palabra de datos de entrada basada en 8-bites es convertida en la palabra de código basada en 16-bites, de acuerdo con la tabla de conversión representada en la Figura 4.
- 40 17. Un sistema de registro o grabación de disco óptico que comprende:
un medio o soporte de registro o grabación para grabar o registrar información;
una entrada de datos operable para recibir la palabra de datos de entrada basada en 8-bites;
un convertidor operable para convertir la palabra de datos de entrada basada en 8-bites en la palabra de código basada en 16-bites de acuerdo con una tabla de conversión, en el que la tabla de conversión comprende una pluralidad de primeras y segundas subtablas (Ta, Tb) de palabras de código, estando dispuesta cada una de dichas primeras y segundas subtablas de palabras de código en grupos de códigos plurales (T1, T2, T3, T4), cada subtabla de palabras de código incluye un valor de estado (S1, S2, S3, S4) para cada palabra de código que indica cual grupo de códigos ha de ser usado para obtener la próxima palabra de código después de la actual palabra de código seleccionada, las palabras de datos de entrada de la segunda subtabla son duplexadas con una parte de la palabra de datos de entrada de la primera subtabla, una de la primera subtabla y la segunda subtablas es seleccionada para reducir un DSV acumulativo cuando la palabra de datos de entrada está dispuesta en una porción duplexada, pudiendo ser obtenidas las subtablas al:
- 45 (1) clasificar las palabras de código en un grupo de códigos para que haya una progresión general de la variación de suma digital (DSV) para las palabras de código.
- 50 (2) asociar sustancialmente todas las palabras de datos basadas en 8-bites, empezando con la palabra de datos de entrada menos significativa en un orden creciente, hasta las palabras de código clasificadas del grupo de códigos, empezando con la palabra de código que tiene el valor absoluto de DSV más grande, para formar la primera subtabla.
- 55 (3) asociar las palabras de código restantes del grupo de códigos, empezando con la palabra de código que tiene el valor absoluto de DSV más grande que son opuestos en polaridad a la DSV asociada con las palabras de código de la primera subtabla (Ta) de palabras de código asociadas hasta un número respectivo de palabras de datos de entrada consecutivas empezando con la palabra de datos de entrada menos significativa en un orden creciente para formar la segunda subtablas; y un registrador o grabador operable para registrar o grabar
- 60

dicha cadena de códigos de 16-bites convertido a partir de la cadena de datos de 8-bites sin emplear los bites de fusión en dicho medio o soporte de registro o grabación de disco óptico.

- 5 18. El sistema de registro o grabación de disco óptico tal como se reivindica en la reivindicación 17, en el que dicho convertidor es operable para convertir la palabra de datos de entrada basada en 8-bites en palabras de código basadas en 16-bites de acuerdo con la tabla de conversión mostrada en la Figura 4.

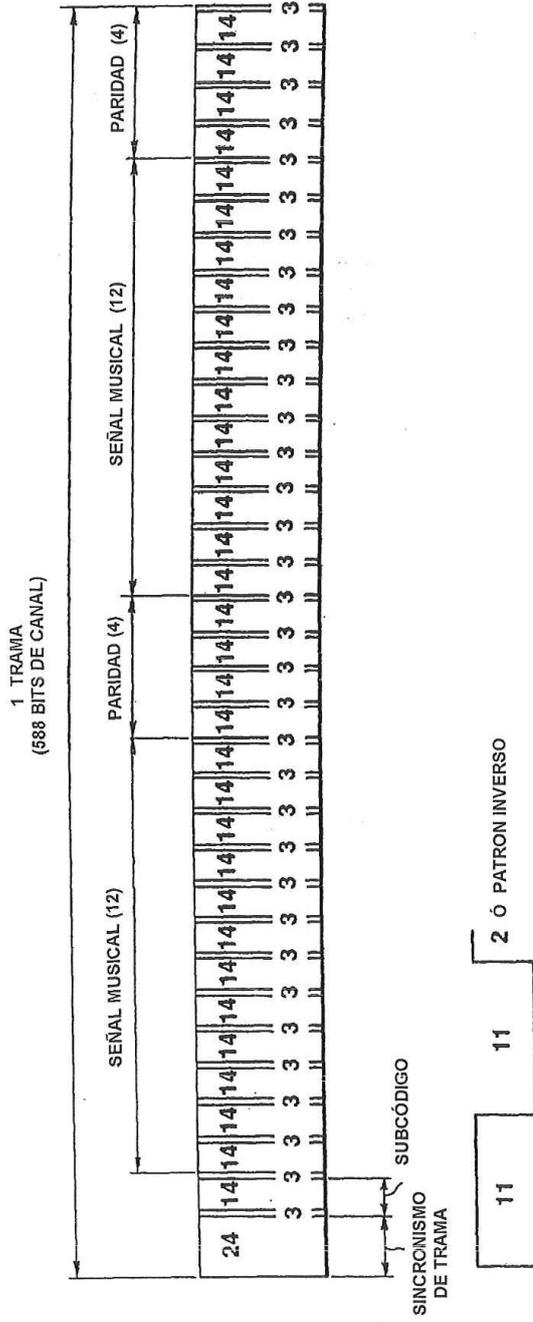


FIG.1

VALOR DE SEÑAL DE ENTRADA

↓	TABLA T1a	S	TABLA T2a	S	TABLA T3a	S	TABLA T4a	S
0	0010000000001001	1	0100000100100000	2	0010000000001001	1	0100000100100000	2
1	00100000000010010	1	0010000000010010	1	1000000100100000	3	1000000100100000	3
2	0010000100100000	2	0010000100100000	2	1000000000010010	1	1000000000010010	1
3	00100000001001000	2	0100010010000000	4	0010000001001000	2	0100010010000000	4
4	00100000010010000	2	0010000001001000	2	1000000100100000	2	1000000100100000	2
5	0010000000100100	2	0010000000100100	2	1001001000000000	4	1001001000000000	4
6	0010000000100100	3	0010000000100100	3	1000100100000000	4	1000100100000000	4
7	0010000001001000	3	0100000000010010	1	0010000001001000	3	0100000000010010	1
8	0010000001001000	3	0010000001001000	3	1000010010000000	4	1000010010000000	4
9	0010000100100000	3	0010000100100000	3	1001001000000001	1	1001001000000001	1
10	0010010010000000	4	0010010010000000	4	1000100100000001	1	1000100100000001	1
11	0010001001000000	4	0010001001000000	4	1000000010010000	3	1000000010010000	3
12	0010010010000001	1	0010010010000001	1	1000000010010000	2	1000000010010000	2
13	0010001001000001	1	0010001001000001	1	1000010010000001	1	1000010010000001	1
14	0010000001001001	1	0100000000100100	3	0010000001001001	1	0100000000100100	3
15	0010000100100001	1	0010000100100001	1	1000000100100001	1	1000000100100001	1
16	00100000010010001	1	00100000010010001	1	1000000100100001	1	1000000100100001	1
17	00100000000100010	1	00100000000100010	1	1000001001000000	4	1000001001000000	4
18	00010000000001001	1	0100000001001000	2	00010000000001001	1	0100000001001000	2
19	0010000000010001	1	0010000000010001	1	1001000100000000	4	1001000100000000	4
20	0001000000010010	1	0001000000010010	1	1000100010000000	4	1000100010000000	4
:	:	:	:	:	:	:	:	:
248	00001001000001001	1	0100010010010001	1	00001001000001001	1	0100010010010001	1
249	00001000001000001	1	00001000001000001	1	10000100000001001	1	10000100000001001	1
250	00000100010010010	1	00000100010010010	1	10000010000000010	1	10000010000000010	1
251	00000100001000010	1	00000100001000010	1	10000001000000001	1	10000001000000001	1
252	00000100010001001	1	01000100000100010	1	0000010010001001	1	01000100000100010	1
253	00000100000100001	1	00000100000100001	1	0100100010001001	1	0100100010001001	1
254	00000001001000100	2	0100010000010001	1	1001000000010000	2	0100010000010001	1
255	0000001000001000	2	01000010000010010	1	1000100100001000	2	01000010000010010	1

VALOR DE SEÑAL DE ENTRADA

↓	TABLA T1b	S	TABLA T2b	S	TABLA T3b	S	TABLA T4b	S
0	0000010010000000	4	0000010010000000	4	0100100001001000	2	0100100001001000	2
1	0000100100000000	4	0000100100000000	4	0100100001001000	3	0100100001001000	3
2	0001001000000000	4	0001001000000000	4	0100100000001001	1	0100100000001001	1
3	0000001001000000	4	0100010000000001	1	1000001000000000	4	0100010000000001	1
4	0000000100100000	3	0100100000000010	1	1001000000000100	3	0100100000000010	1
5	0000000001001000	3	0100001000000000	4	1001000000100100	3	0100001000000000	4
6	0000000001001000	3	0100100000000100	2	1001000000100100	3	0100100000000100	2
7	0000000001001000	2	0100000100000000	4	1001000000000100	2	0100000100000000	4
8	0000000001001000	2	0100100010010000	3	1001000000100100	2	0100100010010000	3
9	0000000100100000	2	0100100000100100	2	1001000000100100	2	0100100000100100	2
10	0000010001000000	4	0000010001000000	4	1001001001000000	4	1001001001000000	4
:	:	:	:	:	:	:	:	:
84	00100100000100100	2	00100100000100100	2	10001000000001000	2	10001000000001000	2
85	0010010010010000	2	0010010010010000	2	0100010001001001	1	0100010001001001	1
86	0000000100000100	2	01000001000100100	2	1000100001000100	2	01000001000100100	2
87	0000000100100100	2	0100010001000100	2	1000100010001000	2	01000001000100100	2

FIG.4

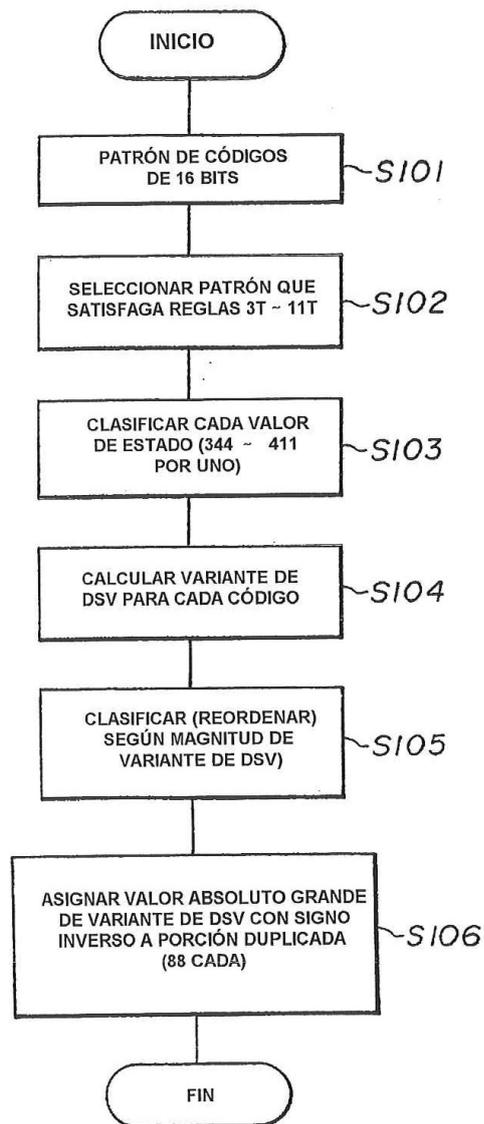


FIG.5

CÓDIGO	VARIANTE DE DSV PARA CWLL=L	VALOR DE SEÑAL DE ENTRADA ASIGNADO		
0010010010000000	+6	0	88	TABLA T1a
0010001001000000	+6	1		
0010000100100000	+6	2		
0010000010010000	+6	3		
:	:	:		
:	:	:		
0000100000100100	+2	87	168	
0000100000000100	+2	88		
0000100000010010	+2	89		
0010010010010010	0	90		
:	:	:		
:	:	:		
0000010010010001	-2	255	88	TABLA T1b
0000100000010000	-2	87		
0000010000010001	-2	86		
0010010010010000	-4	85		
:	:	:		
:	:	:		
0000100100000000	-10	1		
0000010010000000	-10	0		

FIG.6

CÓDIGO	VARIANTE DE DSV PARA CWLL=L	VALOR DE SEÑAL DE ENTRADA ASIGNADO		
0100100100000000	+8	0	88] TABLA T2a
0100010010000000	+8	1		
0100001001000000	+8	2		
0100000100100000	+8	3		
:	:	:		
:	:	:		
0100000100000100	+2	87		
0100000100000100	+2	NO USADO		
0100000001000001	+2	88	168	
0100000001000000	+2	89		
0010010010000010	+2	90		
:	:	:		
:	:	:		
0000010000100010	-2	255		
0000010000010001	-2	NO USADO		
0100100100100000	-4	87	88	
0100100010010000	-4	86		
0100100000100100	-4	85		
:	:	:		
:	:	:		
0000100100000000	-10	1		
0000010010000000	-10	0		

FIG.7

CÓDIGO	VARIANTE DE DSV PARA CWLL=L	VALOR DE SEÑAL DE ENTRADA ASIGNADO		
1001001000000000	+10	0	88	TABLA T3a
1000100100000000	+10	1		
1000010010000000	+10	2		
1000001001000000	+10	3		
:	:	:		
:	:	:		
1000000000100000	+4	87	168	
0100000100001000	+4	88		
0100000010001001	+4	89		
0010000010001000	+4	90		
:	:	:		
:	:	:		
1001000000010001	-2	255	88	TABLA T3b
1001000000001000	-2	87		
1000100100100000	-2	86		
1000100010010000	-2	85		
:	:	:		
:	:	:		
0000100100001001	-4	1		
0000010010001001	-4	0		

FIG.8

CÓDIGO	VARIANTE DE DSV PARA CWLL=L	VALOR DE SEÑAL DE ENTRADA ASIGNADO		
1001001000000000	+10	0	88] TABLA T4a
1000100100000000	+10	1		
1000010010000000	+10	2		
1000001001000000	+10	3		
:	:	:		
:	:	:		
1000010010010010	+4	87		
1000010010001001	+4	NO USADO		
1000010010000100	+4	88	168	
1000010001000010	+4	89		
1000010000100001	+4	90		
:	:	:		
:	:	:		
0100000001000000	0	255		
1001001001000001	-2] TABLA T4b
1001001000100000	-2	87		
1001000100100001	-2	86		
1001000100010000	-2	85		
:	:	:	88	
:	:	:		
0100010000000001	-6	1		
0100001000000000	-6	0		

FIG.9

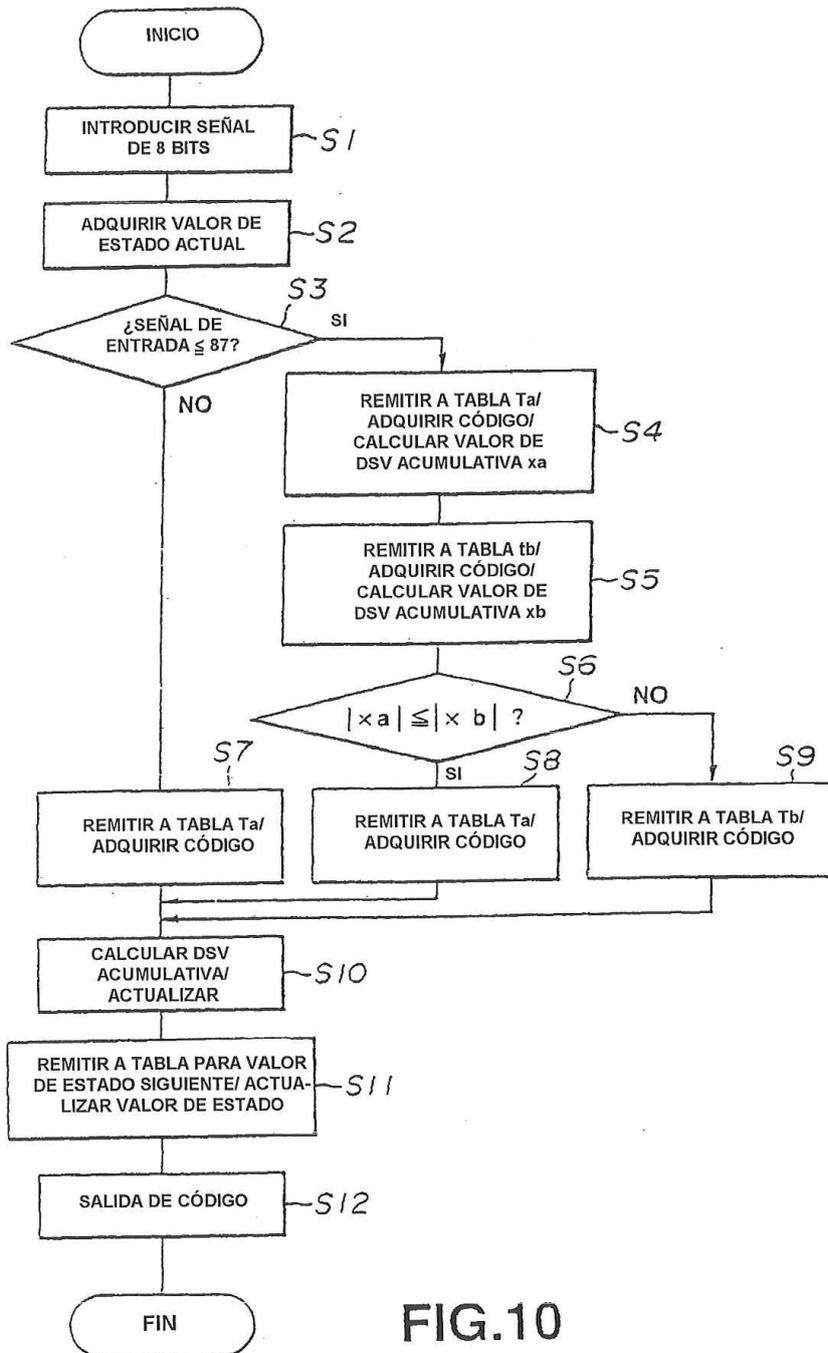


FIG.10

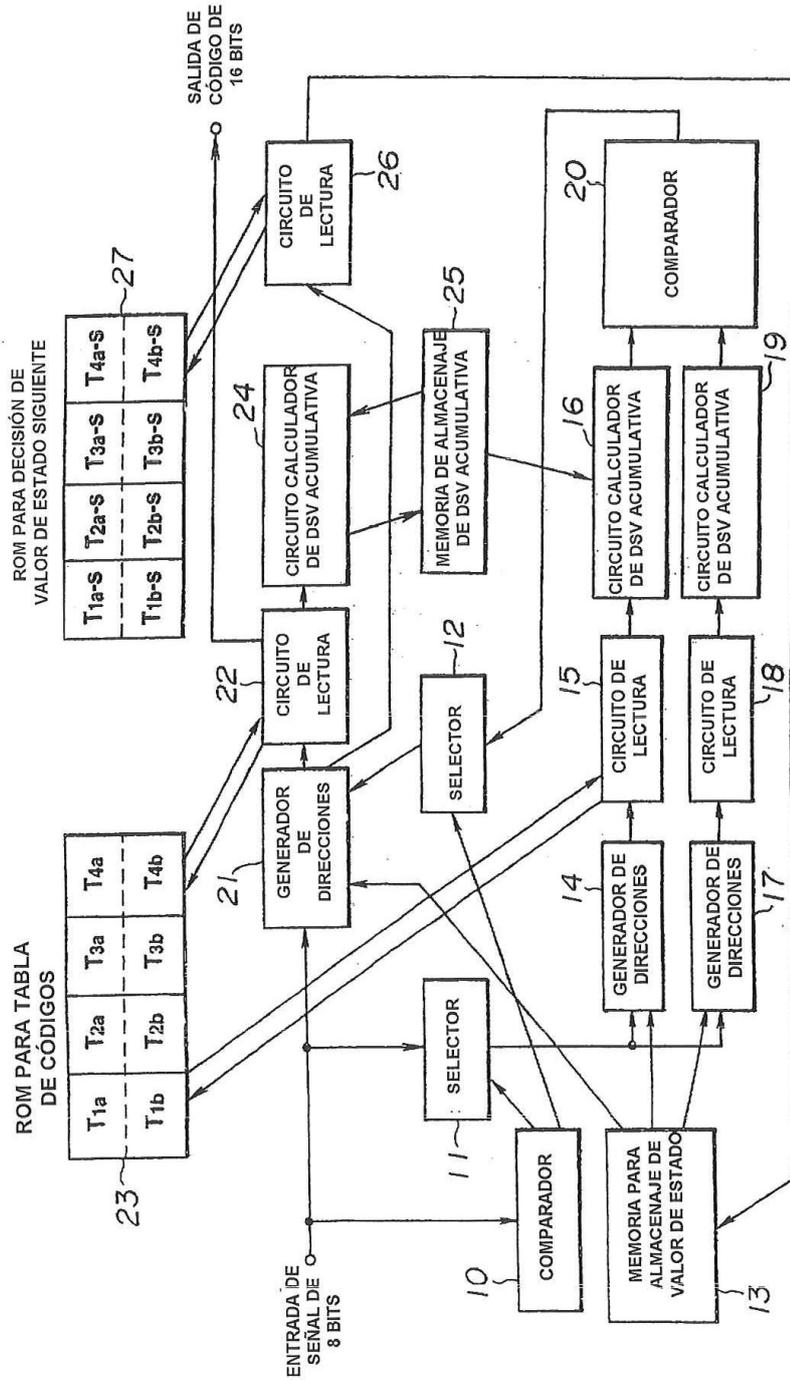


FIG.11

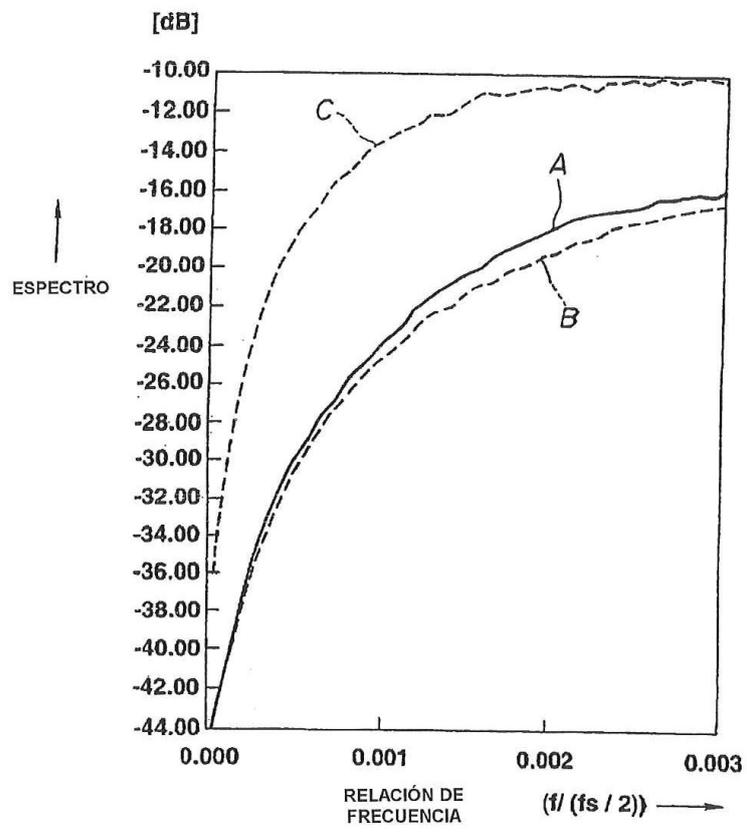


FIG.12

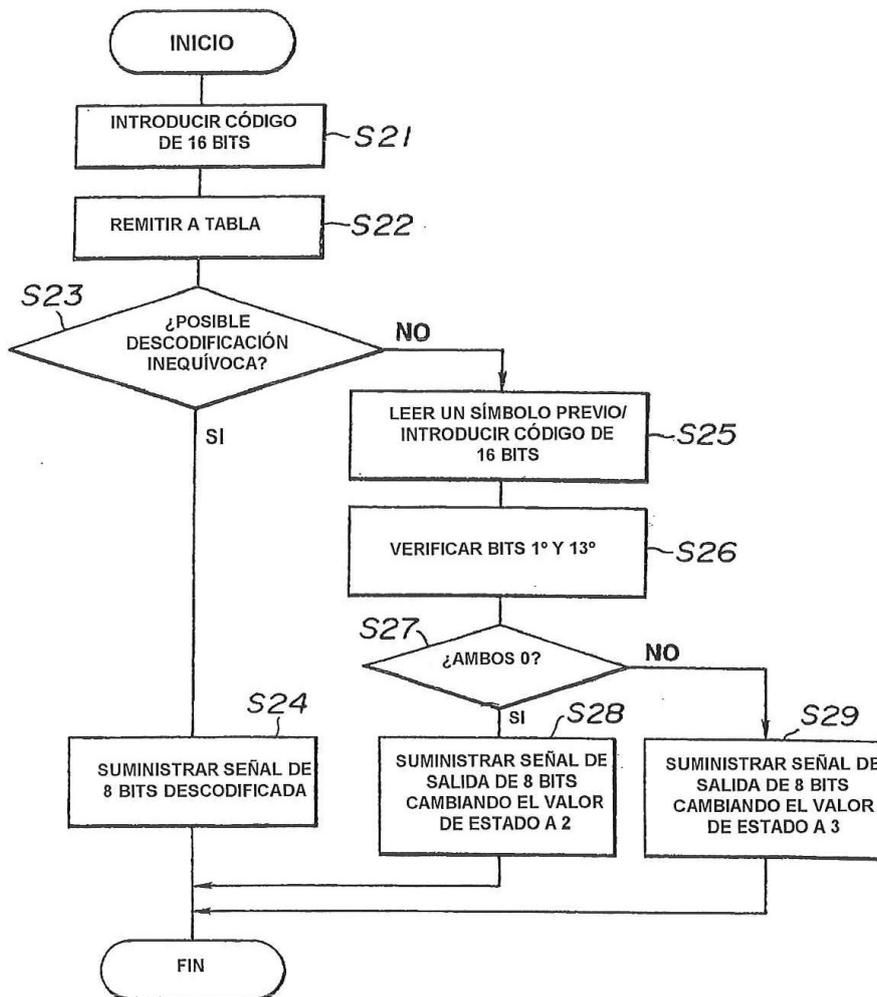


FIG.13

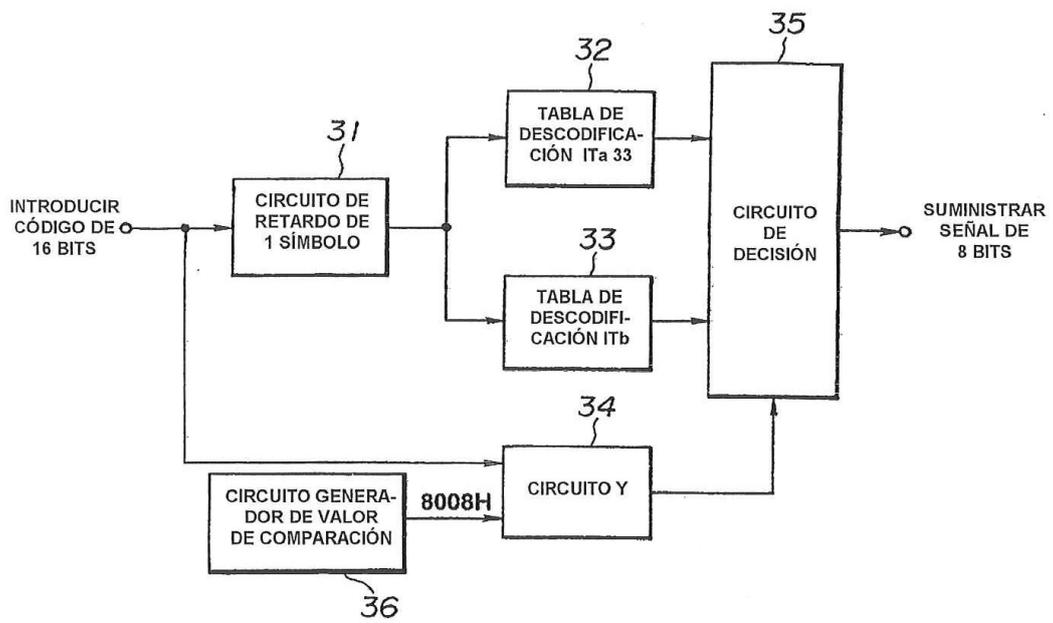


FIG.14