

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 375 015**

51 Int. Cl.:
G11C 11/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **08731574 .3**
96 Fecha de presentación: **06.03.2008**
97 Número de publicación de la solicitud: **2126922**
97 Fecha de publicación de la solicitud: **02.12.2009**

54 Título: **CONTROL DE POTENCIA DE TRANSISTOR DE UNA LÍNEA DE PALABRAS PARA LECTURA Y ESCRITURA EN MEMORIA DE ACCESO ALEATORIO MAGNETORRESISTIVA DE TRANSFERENCIA DE PAR DE ESPÍN.**

30 Prioridad:
06.03.2007 US 893217 P
29.06.2007 US 770839

45 Fecha de publicación de la mención BOPI:
24.02.2012

45 Fecha de la publicación del folleto de la patente:
24.02.2012

73 Titular/es:
QUALCOMM INCORPORATED
5775 MOREHOUSE DRIVE
SAN DIEGO, CALIFORNIA 92121, US

72 Inventor/es:
YOON, Sei Seung;
KANG, Seung H. y
SANI, Mehdi Hamidi

74 Agente: **Carpintero López, Mario**

ES 2 375 015 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Control de potencia de transistor de una línea de palabras para lectura y escritura en memoria de acceso aleatorio magnetorresistiva de transferencia de par de espín

Campo de la revelación

- 5 Las realizaciones de la invención versan acerca de la memoria de acceso aleatorio (RAM). Más en particular, las realizaciones de la invención versan acerca de la memoria de acceso aleatorio magnetorresistiva de transferencia de par de espín (STT-MRAM).

Antecedentes

- 10 La memoria de acceso aleatorio (RAM) es un componente omnipresente de las arquitecturas digitales modernas. La RAM puede consistir en dispositivos dedicados o puede estar integrada o incorporada dentro de dispositivos que usan la RAM, como microprocesadores, microcontroladores, circuitos integrados para aplicaciones específicas (ASIC), dispositivos de integración de sistema en un chip (SoC) y otros dispositivos similares, como será apreciado por los expertos en la técnica. La RAM puede ser volátil o no volátil. La RAM volátil pierde su información almacenada cada vez que se quita la alimentación eléctrica. La RAM no volátil puede mantener su contenido de memoria aunque se quite la alimentación eléctrica de la memoria. Aunque la RAM no volátil tiene ventajas en la capacidad de mantener su contenido sin que se aplique energía eléctrica, la RAM no volátil convencional tiene tiempos de lectura / escritura más lentos que los de la RAM volátil.

- 15 La memoria magnetorresistiva de acceso aleatorio (MRAM) es una tecnología de memoria no volátil que tiene tiempos de respuesta (lectura / escritura) comparables a los de la memoria volátil. A diferencia de las tecnologías de RAM convencional que almacenan datos como cargas eléctricas o flujos de corriente, la MRAM usa elementos magnéticos. Según se ilustra en las Figuras 1A y 1B, puede formarse un elemento 100 de almacenamiento de unión de túnel magnético (MTJ) a partir de dos capas magnéticas 110 y 130, cada una de las cuales puede mantener un campo magnético, separadas por una capa aislante 120 (barrera túnel). Una de las dos capas (por ejemplo, la capa fijada 110) está configurada con una polaridad particular. La polaridad 132 de la otra capa (por ejemplo, la capa libre 130) está libre de cambiar para igualar la de un campo externo que puede ser aplicado. Un cambio en la polaridad 132 de la capa libre 130 cambiará la resistencia del elemento 100 de almacenamiento de la MTJ. Por ejemplo, cuando se alinean las polaridades, Fig. 1A, existe un estado de baja resistencia. Cuando las polaridades no están alineadas, Fig. 1B, entonces existe un estado de alta resistencia. La ilustración de la MTJ 100 ha sido simplificada y los expertos en la técnica apreciarán que cada capa ilustrada puede comprender una o más capas de materiales, tal como se conoce en la técnica.

- 20 Con referencia a la Fig. 2A, se ilustra una célula 200 de memoria de una MRAM convencional para una operación de lectura. La célula 200 incluye un transistor 210, una línea 220 de bits, una línea 230 de dígitos y una línea 240 de palabras. La célula 200 puede ser leída midiendo la resistencia eléctrica de la MTJ 100. Por ejemplo, puede seleccionarse una MTJ 100 particular activando un transistor 210 asociado, que puede conmutar la corriente de una línea 220 de bits a través de la MTJ 100. Debido al efecto túnel magnetorresistivo, la resistencia eléctrica de la MTJ 100 cambia en base a la orientación de las polaridades en las dos capas magnéticas (por ejemplo, 110, 130), tal como se expone más arriba. La resistencia dentro de cualquier MTJ 100 particular puede determinarse a partir de la corriente resultante de la polaridad de la capa libre. Convencionalmente, si la capa fijada 110 y la capa libre 130 tienen la misma polaridad, la resistencia es baja y se lee un "0". Si la capa fijada 110 y la capa libre 130 tienen polaridad opuesta, la resistencia es más alta y se lee un "1".

- 25 Con referencia a la Fig. 2B, la célula 200 de memoria de una MRAM convencional está ilustrada para una operación de escritura. La operación de escritura de la MRAM es una operación magnética. En consecuencia, el transistor 210 está desconectado durante la operación de escritura. La corriente se propaga a través de la línea 220 de bits y la línea 230 de dígitos para establecer campos magnéticos 250 y 260 que pueden afectar a la polaridad de la capa libre de la MTJ 100 y, en consecuencia, al estado lógico de la célula 200. En consecuencia, pueden escribirse y almacenarse datos en la MTJ 100.

- 30 La MRAM tiene varias características deseables que la hacen candidata para una memoria universal, como alta velocidad, densidad elevada (es decir, tamaño pequeño de la célula de bit), bajo consumo de energía y ninguna degradación con el tiempo. Sin embargo, la MRAM tiene problemas de escalabilidad. Específicamente, a medida que las células de bits se hacen menores, los campos magnéticos usados para conmutar el estado de la memoria aumentan. En consecuencia, la densidad de la corriente y el consumo de energía aumentan para proporcionar los mayores campos magnéticos, limitando así la escalabilidad de la MRAM.

- 35 A diferencia de la MRAM convencional, la memoria de acceso aleatorio magnetorresistiva de transferencia de par de espín (STT-MRAM) usa electrones que se polarizan en su espín a medida que los electrones pasan a través de una película delgada (filtro de espín). La STT-MRAM también es denominada RAM de transferencia de par de espín (STT-RAM), RAM de conmutación de la magnetización por transferencia de par de espín (Spin-RAM) y transferencia del momento del espín (SMT-RAM). Durante la operación de escritura, los electrones polarizados por espín ejercen

un par en la capa libre, que puede conmutar la polaridad de la capa libre. La operación de lectura es similar a la MRAM convencional, porque se usa una corriente para detectar el estado de resistencia / lógico del elemento de almacenamiento de la MTJ, tal como se ha expuesto en lo que antecede. Según se ilustra en la Fig. 3A, una célula 300 de bit de STT-MRAM incluye la MTJ305, el transistor 310, la línea 320 de bits y la línea 330 de palabras. El transistor 310 se conecta para las operaciones tanto de lectura como de escritura para permitir que la corriente fluya por la MTJ 305 para que el estado lógico pueda ser leído o escrito.

Con referencia a la Fig. 3B, se ilustra un diagrama más detallado de una célula 301 de STT-MRAM, para una presentación adicional de las operaciones de lectura / escritura. Además de elementos presentados previamente, como la MTJ 305, el transistor 310, la línea 320 de bits y la línea 330 de palabras, se ilustran una línea fuente 340 un amplificador 350 de sentido, la circuitería 360 de lectura / escritura y la referencia 370 de la línea de bits. Según se expone en lo que antecede, la operación de escritura en una STT-MRAM es eléctrica. La circuitería 360 de lectura / escritura genera una tensión de escritura entre la línea 320 de bits y la línea fuente 340. Dependiendo de la polaridad de la tensión entre la línea 320 de bits y la línea fuente 340, puede cambiar la polaridad de la capa libre de la MTJ 305 y, en consecuencia, puede escribirse el estado lógico a la célula 301. Así mismo, durante una operación de lectura, se genera una corriente de lectura, que fluye entre la línea 320 de bits y la línea fuente 340 a través de la MTJ 305. Cuando se permite que la corriente fluya a través del transistor 310, puede determinarse la resistencia (estado lógico) de la MTJ 305 en base al diferencial de tensión entre la línea 320 de bits y la línea fuente 340, que se compara con una referencia 370 y luego se amplifica con el amplificador 350 de sentido. Los expertos en la técnica apreciarán que la operación y la construcción de la célula 301 de memoria son conocidas en la técnica. Se proporcionan detalles adicionales, por ejemplo, en M. Hosomi, et al., A Novel Nonvolatile Memory with Spin Transfer Torque Magnetoresistive Magnetization Switching: Spin-RAM, proceedings of IEDM conference (2005).

La operación de escritura eléctrica de la STT-MRAM elimina el problema de escalado debido a la operación de escritura magnética en la MRAM. Además, el diseño del circuito es menos complicado para la STT-MRAM. Sin embargo, dado que se llevan a cabo operaciones tanto de lectura como de escritura haciendo pasar corriente a través de la MTJ 305, existe un potencial de que las operaciones de lectura perturben los datos almacenados en la MTJ 305. Por ejemplo, si la corriente de lectura es similar o mayor en magnitud que el umbral de corriente de escritura, hay entonces una probabilidad sustancial de que la operación de lectura pueda perturbar el estado lógico de la MTJ 305 y degradar, así, la integridad de la memoria. El documento US 2006/221676 describe un procedimiento y un sistema para proporcionar una memoria magnética.

Resumen

Las realizaciones ejemplares de la invención se dirigen a sistemas, circuitos y procedimientos para controlar la tensión de la línea de palabras aplicada a transistores de línea de palabras en la STT- MRAM.

En consecuencia, una realización de la invención puede incluir una memoria de acceso aleatorio magnetorresistiva de transferencia de par de espín (STT-MRAM) que comprende una célula de bit que tiene una unión de túnel magnético (MTJ) y un transistor de línea de palabras, en la que la célula de bit está acoplada a una línea de bits y una línea fuente; y un controlador de la línea de palabras acoplado a una compuerta del transistor de línea de palabras, en la que el controlador de la línea de palabras está configurado para proporcionar una primera tensión para una operación de escritura y una segunda tensión durante una operación de lectura, y en la que la primera tensión es mayor que la segunda tensión.

Otra realización de la invención puede incluir un procedimiento para operaciones de lectura y escritura en una memoria de acceso aleatorio magnetorresistiva de transferencia de par de espín (STT-MRAM) que incluye: proporcionar (401) una célula de bit que tiene una unión de túnel magnético; aplicar una primera tensión a una compuerta de un transistor de línea de palabras de una célula de bit durante una operación de escritura; y aplicar una segunda tensión al transistor de línea de palabras durante una operación de lectura, en el que la primera tensión es más elevada que la segunda tensión.

Breve descripción de los dibujos

Los dibujos adjuntos se presentan para ayudar en la descripción de las realizaciones de la invención y se proporcionan únicamente para la ilustración de las realizaciones y no para una limitación de la misma.

Las Figuras 1A y 1B son ilustraciones de un elemento de almacenamiento de unión de túnel magnético (MTJ).

Las Figuras 2A y 2B son ilustraciones de una célula de memoria magnetorresistiva de acceso aleatorio (MRAM) durante operaciones de lectura y de escritura, respectivamente.

Las Figuras 3A y 3B son ilustraciones de células de memoria de acceso aleatorio magnetorresistiva de transferencia de par de espín (STT-MRAM).

Las Figuras 4A y 4B son ilustraciones de una configuración de circuito en una STT-MRAM durante operaciones de lectura y escritura, respectivamente.

La Fig. 5 es una ilustración de una configuración de circuito para un controlador de escritura para una STT-MRAM.

La Fig. 6 es un gráfico que ilustra la tensión de la línea de palabras para operaciones de lectura y escritura de una STT-MRAM.

5 La Fig. 7 es un diagrama de bloques de un controlador de la línea de palabras que incluye lógica de selección para seleccionar tensiones primera y segunda para la línea de palabras.

La Fig. 8 es una ilustración de una configuración de circuito para un controlador de la línea de palabras para una STT-MRAM.

Descripción detallada

10 En la siguiente descripción y en los dibujos relacionados dirigidos a realizaciones específicas de la invención se dan a conocer aspectos de realizaciones de la invención. Pueden idearse realizaciones alternativas sin apartarse del alcance de la invención. Además, los elementos bien conocidos de la invención no serán descritos en detalle o serán omitidos para no oscurecer los detalles relevantes de las realizaciones de la invención.

15 La palabra “ejemplar” se usa en el presente documento con el significado de “servir de ejemplo, caso o ilustración”. No debe interpretarse necesariamente que ninguna realización descrita en el presente documento como “ejemplar” se prefiera o sea ventajosa con respecto a otras realizaciones. De forma similar, la expresión “realizaciones de la invención” no requiere que todas las realizaciones de la invención incluyan la característica, la ventaja o el modo de operación presentados.

20 Tal como se expone en los antecedentes, la STT-MRAM usa una corriente reducida de escritura para cada célula, lo que es una ventaja de este tipo de memoria con respecto a la MRAM. Sin embargo, la corriente de lectura de células puede aproximarse o superar el umbral de corriente de escritura y provocar así que ocurra un operación de escritura inválida. Para reducir el potencial de una escritura inválida, las realizaciones de la invención usan niveles de tensión de la línea de palabras (WL) diferentes para lectura y escritura. Los diseños convencionales aplican la misma tensión de la WL para lectura y escritura. Con una corriente dada de lectura, la probabilidad de una escritura inválida aumenta con la anchura del impulso. De ahí que un esquema de diseño convencional use un impulso corto para la lectura y un impulso largo para la escritura. En la práctica, esto da como resultado un desequilibrio en los tiempos de los ciclos de lectura y escritura, haciendo a menudo que el tiempo del ciclo de escritura sea innecesariamente más largo que el tiempo del ciclo de lectura. En cambio, las realizaciones de la invención controlan la potencia de transistor de la WL para operaciones de lectura y escritura. Si el nivel de tensión de la WL del ciclo de escritura es mayor que el nivel de lectura, puede generar una corriente de escritura mayor. Los expertos en la técnica apreciarán que hay muchas maneras de poner en práctica realizaciones de la invención. Por ejemplo, puede usarse una tensión de bombeo para el nivel incrementado de tensión de la WL. Alternativamente, puede usarse una fuente de alimentación disponible que esté a una tensión más alta que la fuente de alimentación central de la memoria.

35 La Fig. 4A ilustra una configuración 400 de circuito en una STT-MRAM durante una operación de lectura. El circuito incluye una célula 401 de bit que incluye una MTJ 405 y un transistor 410 de línea de palabras acoplado entre la línea 420 de bits (BL) y la línea fuente (SL) 440. Además, el transistor 410 de línea de palabras está acoplado a la línea 430 de palabras, tal como se ha expuesto en lo que antecede. Un elemento 450 de aislamiento de lectura está acoplado a la línea 420 de bits para aislar el amplificador 470 de sentido durante una operación de escritura. Puede usarse el elemento 450 (por ejemplo, el multiplexor de lectura) para seleccionar una de las líneas de bits durante la operación de lectura, así como proporcionar aislamiento al amplificador de sentido. Tal como apreciarán los expertos en la técnica, el elemento 450 de aislamiento de lectura puede ser cualquier dispositivo o combinación de dispositivo que pueda acoplar el amplificador 470 de sentido a la línea 420 de bits durante operaciones de lectura y pueda aislar el amplificador 470 de sentido durante las operaciones de escritura. Por ejemplo, el elemento 450 de aislamiento puede ser una compuerta de transmisión acoplada en serie con una entrada del amplificador 470 de sentido. Sin embargo, los expertos en la técnica apreciarán que pueden usarse otros dispositivos y/o combinaciones de dispositivos como multiplexores y similares. Además, los expertos en la técnica apreciarán que la configuración ilustrada en el presente documento es meramente para facilitar la descripción de aspectos de las realizaciones de la invención y no se pretende que limite las realizaciones de los elementos y/o las disposiciones ilustrados.

45 Con referencia nuevamente a la Fig. 4A, el elemento 450 de aislamiento puede recibir una señal de habilitación de la lectura (rd_en) para coordinarse con la operación de lectura. Un amplificador 470 de sentido está acoplado a la línea 420 de bits y a una referencia 472. El amplificador 470 de sentido puede usarse para determinar el estado de la célula 401 de bit amplificando el diferencial de tensión entre la línea 420 de bits y la referencia 472 en la entrada del amplificador 470 de sentido durante la operación de lectura. Durante la operación de lectura, el transistor 410 es conductor y fluye una corriente de lectura (i_rd) a través de la MTJ 405. El elemento 450 de aislamiento de lectura será conductor y se generará y se detectará una tensión proporcional a la resistencia de la MTJ 405 en el amplificador 470 de sentido. Tal como se ha expuesto en lo que antecede, la resistencia variará en base al estado lógico de la MTJ 405. En consecuencia, pueden leerse los datos almacenados en la célula 401 de bit.

El controlador 432 de la línea de palabras está acoplado a la línea 430 de palabras y al transistor 410 de línea de palabras. El controlador 432 de la línea de palabras puede cambiar selectivamente la tensión aplicada al transistor 410 para las operaciones de lectura y escritura. Durante la operación de lectura, el controlador 432 de la línea de palabras proporciona a la línea 430 de palabras y al transistor 410 una segunda tensión (WL_rd) que puede ser, por ejemplo, la tensión central Vdd. Con referencia a la Fig. 4B, durante las operaciones de escritura, el controlador 432 de la línea de palabras proporciona a la línea 430 de palabras y al transistor 410 una primera tensión (WL_wr) que es una tensión más alta (por ejemplo, Vpp) que el nivel de la segunda tensión (por ejemplo, Vdd). Por ejemplo, está ilustrado que el controlador 432 de la línea de palabras tiene dos tensiones de alimentación, una tensión inferior Vdd (por ejemplo, una tensión central) y una tensión Vpp más alta (por ejemplo, una tensión de bombeo). Vdd puede estar al mismo nivel que se suministra para el resto del circuito de memoria (por ejemplo, 1,2 V). Por ejemplo, en algunas realizaciones Vpp puede ser del orden del 40% al 100% mayor que Vdd. Sin embargo, las realizaciones de la invención no están limitadas a este intervalo y Vpp puede ser sustancialmente más elevada, si la tensión incrementada no dañará ni degradará la fiabilidad del transistor 410 de línea de palabras o los elementos del circuito. Vpp puede suministrarse desde una fuente de alimentación integrada, como desde un circuito integrado de gestión de la potencia o desde otros suministros externos. Alternativamente, Vpp puede generarse a partir de Vdd usando un circuito de bombeo, por ejemplo tal como se conoce en la técnica.

Un controlador 500 de escritura y elementos 502 y 504 de aislamiento de escritura están acoplados entre la línea 420 de bits y la línea fuente 440 para permitir la selección de una línea de bits y la escritura de datos a la célula 401 de bit. Según se ha expuesto más arriba y se ilustra en la Fig. 4B, en una STT RAM que deje pasar corriente a través de la MTJ 405 puede cambiar la polaridad de la capa libre, lo que, a su vez, cambia la resistencia de la MTJ 405. Este cambio de resistencia puede ser detectado entonces como un cambio del estado lógico de la célula 405 de bit. Por ejemplo, puede fluir una primera corriente de escritura (i_wr0) en una primera dirección para escribir un estado lógico de "0". Una segunda corriente de escritura (i_wr1) puede fluir en una segunda dirección opuesta a la primera dirección para escribir un estado lógico de "1". Los elementos 502 y 504 de aislamiento de escritura pueden ser cualquier dispositivo o combinación de dispositivos que puedan acoplar y desacoplar selectivamente el controlador 500 de escritura. Por ejemplo, los elementos 502 y 504 de aislamiento de escritura pueden ser compuertas de transmisión acopladas en serie con el controlador 500 de escritura. Además, los elementos de aislamiento de escritura pueden recibir una señal de habilitación de escritura (wr_en) para coordinar el acoplamiento del controlador 500 de escritura durante la operación de escritura. Sin embargo, los expertos en la técnica apreciarán que los elementos 502 y 504 de aislamiento de escritura pueden ser otros dispositivos y/o combinaciones de dispositivos, como multiplexores y similares, que pueden usarse para lograr la misma funcionalidad. Con referencia a la Fig. 5, se ilustra una configuración de circuito para el controlador 500 de la línea de escritura. El controlador 500 de la línea de escritura puede incluir una pluralidad de inversores 510, 520 y 530 configurados para controlar diferencialmente la línea de bits (BL) y la línea fuente (SL) en base a la entrada de datos recibidos que ha de ser escrita en la célula de bit.

La Fig. 6 es un gráfico 600 que ilustra la tensión de la línea de palabras aplicada en el transistor de la línea de palabras para operaciones de escritura y lectura para diversos valores de Vdd. Tal como se ilustra, la tensión 610 de lectura de la línea de palabras puede ser Vdd. Sin embargo, la tensión 620 de escritura de la línea de palabras (WL_wr) es mayor que WL_rd en un diferencia de tensión V_delta. La mayor tensión de escritura puede usarse para aumentar el margen del umbral de escritura con respecto a la lectura. En consecuencia, V_delta es proporcional al margen aumentado, de modo que un aumento en V_delta da como resultado un aumento del margen y una disminución en el potencial para la operación de lectura para provocar una escritura inválida. Tal como se ha expuesto en lo que antecede, puede generarse WL_wr usando una tensión de bombeo, una tensión de alimentación interna (por ejemplo, en aplicaciones integradas) o una tensión de alimentación externa que es mayor que la tensión central. En consecuencia, se proporciona el gráfico 600 meramente con el fin de la ilustración y no se pretende que limite las realizaciones de la invención. por ejemplo, la tensión de escritura (WL_wr) podría ser un valor fijo, de modo que V_delta sería una función decreciente a medida que aumente Vdd. Alternativamente, la tensión de escritura (WL_wr) podría ser un múltiplo de Vdd (por ejemplo, N*Vdd, siendo N un número real fijo) y V_delta sería una función creciente a medida que aumente Vdd. Sin embargo, con independencia de la estrategia de generación de V_delta, mientras WL_wr sea mayor que WL_rd, puede lograrse una disminución del potencial de que la operación de lectura cause una escritura inválida.

Tal como se expone en relación con la Fig. 4, el controlador 432 de la línea de palabras está configurado para suministrar selectivamente a la línea de palabras diferentes niveles de tensión para operaciones de escritura y lectura. El controlador 432 de la línea de palabras puede incluir lógica para seleccionar el segundo nivel de tensión (inferior) para las operaciones de lectura y el primer nivel de tensión (mayor) para las operaciones de escritura. Por ejemplo, en una configuración de alimentación dual, el controlador 432 de la línea de palabras puede incluir un elemento de conmutación para seleccionar las tensiones primera y segunda. El elemento de conmutación puede incluir transistores, compuertas de transmisión, multiplexores o cualquier otro dispositivo que pueda seleccionar las tensiones primera y segunda, como apreciarán los expertos en la técnica. Si se usa un único suministro, puede incluirse un circuito de bombeo en el controlador 432 de la línea de palabras y ser habilitado selectivamente para las operaciones de escritura. En consecuencia, los expertos en la técnica apreciarán que pueden usarse muchas configuraciones para el controlador 432 de la línea de palabras y que las realizaciones de la invención no están limitadas a los ejemplos ilustrados y presentados proporcionados en el presente documento.

Por ejemplo, con referencia a la Fig. 7, se ilustra un diagrama de bloques del controlador 432 de la línea de palabras (WL). El controlador 432 de la línea de palabras puede incluir la lógica 710 de selección configurada para seleccionar la primera tensión (por ejemplo, Vpp) para operaciones de escritura y la segunda tensión (Vdd) para las operaciones de lectura. Tal como se ilustra, la lógica 710 de selección incluye dispositivos 720 y 730 de conmutación controlados para seleccionar las tensiones primera y segunda en respuesta a una señal de habilitación de escritura (wr_en) y una señal de habilitación de escritura (rd_en), respectivamente. Tal como se expone en el presente documento, se apreciará que no es preciso que los dispositivos de conmutación sean ningún dispositivo ni ninguna configuración particulares, con la condición de que se logre la funcionalidad de proporcionar una tensión más alta durante la operación de escritura. Además, si se usa un circuito de bombeo, puede incorporarse en el controlador 432 de la línea de palabras y ser habilitado y deshabilitado selectivamente. En consecuencia, las configuraciones proporcionadas en el presente documento son meramente para la ilustración y no de limitación de las realizaciones de la invención.

La Fig. 8 ilustra un diagrama de un circuito del controlador 432 de la línea de palabras (WL) según otra realización de la invención. La primera tensión (por ejemplo, Vpp) para las operaciones de escritura es proporcionada a un circuito 810 controlador por el transistor 804, que se activa en respuesta a una señal de habilitación de la escritura (wr_en) con cola de espera por parte del inversor 802. La segunda tensión (Vdd) para operaciones de lectura es proporcionada al circuito controlador 810 por el transistor 806, que se activa en respuesta a una señal de habilitación de la lectura (rd_en) con cola de espera por parte del inversor 808. El controlador 810 incluye transistores 812 y 814 acoplados a la línea de palabras (WL). El controlador 810 también es habilitado selectivamente por la señal de habilitación de la línea de palabras (WL_en). En consecuencia, si se activa la señal de habilitación de la escritura (en este caso, una señal de estado lógico elevado), se conecta el transistor 804 y se proporciona la primera tensión (por ejemplo, Vpp) al controlador 810. Tras la activación de la señal de habilitación de la línea de palabras (en este caso, una señal de estado lógico bajo) para la operación de escritura, el circuito controlador 810 se conectará y proporcionará Vpp (tensión WL_wr) una línea de palabras. De modo similar, tras la activación de la señal de habilitación de la lectura (rd_en) (en este caso, una señal de estado lógico elevado), se conecta el transistor 806 y se proporciona la segunda tensión (por ejemplo, Vdd) al controlador 810. Tras la activación de la habilitación de la línea de palabras (en este caso, una señal de estado lógico bajo) para la operación de lectura, el circuito controlador 810 se conectará y proporcionará Vdd (tensión WL_rd) a la línea de palabras.

En vista de lo anterior, se apreciará que las realizaciones de la invención también pueden incluir procedimientos para llevar a cabo las funciones, la secuencia de acciones y/o los algoritmos descritos en el presente documento. Por ejemplo, una realización de la invención puede incluir un procedimiento para operaciones de lectura y escritura en un dispositivo de memoria de acceso aleatorio magnetorresistiva de transferencia de par de espín (STT-MRAM) que incluye la aplicación de una primera tensión a un transistor de la línea de palabras de una célula de bit durante una operación de escritura; y la aplicación de una segunda tensión al transistor de la línea de palabras durante una operación de lectura, siendo la primera tensión mayor que la segunda tensión. El procedimiento puede incluir también la generación de la primera tensión mediante bombeo de una fuente común de tensión, usándose la fuente común de tensión para la segunda tensión. Alternativamente, tal como se expone en lo que antecede, la primera tensión y la segunda tensión pueden ser proporcionadas cada una a partir de fuentes de energía separadas. Los procedimientos según las realizaciones de la invención pueden incluir, además, la selección de la primera tensión en respuesta a una señal de habilitación de la escritura y la sección de la segunda tensión en respuesta a una señal de habilitación de la lectura. Otros procedimientos adicionales pueden incluir suministrar una primera tensión a la línea de palabras en respuesta a una señal de habilitación de la línea de palabras durante una operación de escritura y la segunda tensión a la línea de palabras en respuesta a una señal de habilitación de la línea de palabras durante la operación de lectura. En consecuencia, se apreciará que cualquiera de las funcionalidades alternativas descritas en el presente documento puede estar incluida en procedimientos de las realizaciones de la invención.

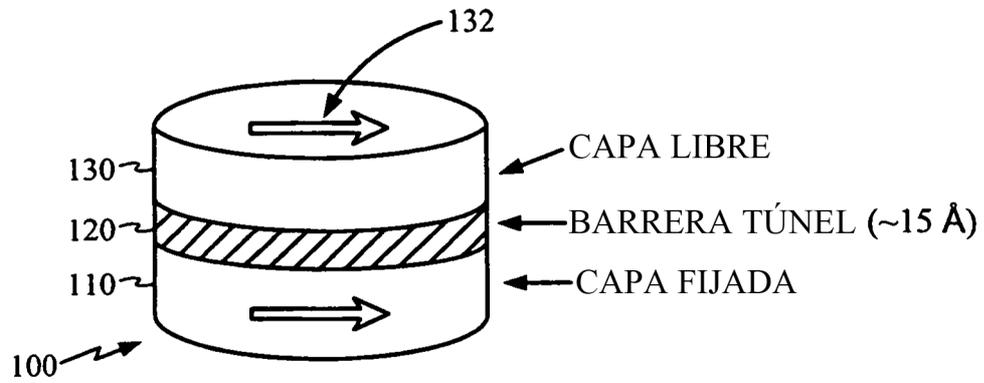
Aunque la revelación precedente muestra realizaciones ilustrativas de la invención, debería hacerse notar que podrían efectuarse diversos cambios y modificaciones en el presente documento sin apartarse del alcance de las realizaciones de la invención según está definida por las reivindicaciones adjuntas. Por ejemplo, las señales lógicas específicas correspondientes a los transistores / circuitos que han de activarse pueden cambiarse según sea apropiado para lograr la funcionalidad dada a conocer, ya que los transistores / circuitos pueden ser modificados para dispositivos complementarios (por ejemplo, intercambiando dispositivos PMOS y NMOS). De modo similar, no es preciso que las funciones, las etapas y/o las funciones de los procedimientos según las realizaciones de la invención descritas en el presente documento se lleven a cabo en ningún orden particular. Además, aunque elementos de la invención pueden ser descritos o reivindicados en singular, se contempla el plural, a no ser que se afirme explícitamente la limitación al singular.

REIVINDICACIONES

1. Una memoria de acceso aleatorio magnetorresistiva (400) de transferencia de par de espín (STT-MRAM) que comprende:
 - 5 una célula (401) de bit que tiene una unión (405) de túnel magnético (MTJ) y un transistor (410) de línea de palabras, en la que la célula de bit está acoplada a una línea (420) de bits y una línea fuente (440); **caracterizada por**
 - 10 un controlador (432) de la línea de palabras acoplado a una compuerta del transistor de línea de palabras, en la que el controlador de la línea de palabras está configurado para proporcionar una primera tensión para una operación de escritura y una segunda tensión durante una operación de lectura, y en la que la primera tensión es mayor que la segunda tensión.
2. La STT-MRAM (400) de la reivindicación 1 que, además, comprende:
 - 15 un elemento (450) de aislamiento de lectura interpuesto entre la célula (401) de bit y un amplificador (470) de sentido, en la que el elemento de aislamiento está configurado para aislar selectivamente el elemento resistivo de la línea de bits durante una operación de escritura.
3. La STT-MRAM (400) de la reivindicación 2 en la que el elemento (450) de aislamiento de lectura es, al menos, uno de un interruptor, una compuerta de transmisión o un multiplexor.
4. La STT-MRAM (400) de la reivindicación 1 que, además, comprende:
 - 20 un controlador (500) de escritura configurado para proporcionar una señal eléctrica a la célula (401) de bit para almacenar un estado lógico en la célula de bit; y
 - al menos un elemento (502, 504) de aislamiento de escritura acoplado en serie con el controlador de escritura entre la línea (420) de bits y la línea fuente, en la que el elemento de aislamiento de escritura está configurado para aislar el controlador de escritura durante una operación de lectura.
5. La STT-MRAM (400) de la reivindicación 4 en la que el controlador (500) de escritura comprende:
 - 25 inversores primero (520) y segundo (530) acoplados en serie entre una entrada de datos y la línea (420) de bits; y
 - un tercer inversor (510) acoplado en serie entre la entrada de datos y la línea fuente.
6. La STT-MRAM (400) de la reivindicación 1 en la que el controlador (432) de la línea de palabras, además, comprende:
 - 30 lógica (710) de selección configurada para seleccionar la primera tensión para operaciones de escritura y la segunda tensión para operaciones de lectura.
7. La STT-MRAM (400) de la reivindicación 6 en la que la lógica de selección comprende:
 - un primer dispositivo (720) de conmutación acoplado a la primera tensión; y
 - un segundo dispositivo (730) de conmutación acoplado a la segunda tensión.
8. La STT-MRAM (400) de la reivindicación 6 en la que la lógica (710) de selección comprende:
 - 35 un primer transistor (720) de selección acoplado a la primera tensión configurado para conectarse en respuesta a una señal de habilitación de la escritura;
 - un segundo transistor (730) de selección acoplado a la segunda tensión configurado para conectarse en respuesta a una señal de habilitación de la lectura; y
 - 40 un circuito controlador (810) acoplado a los transistores de selección primero (720) y segundo (730) y configurado para dar salida de la primera tensión a la línea de palabras en respuesta a una señal de habilitación de la línea de palabras durante una operación de escritura y para dar salida de la segunda tensión a la línea de palabras en respuesta a una señal de habilitación de la línea de palabras durante una operación de lectura.
9. La STT-MRAM (400) de la reivindicación 1 en la que la primera tensión y la segunda tensión son proporcionadas desde una fuente de alimentación común.
10. La STT-MRAM (400) de la reivindicación 9 que, además, comprende:

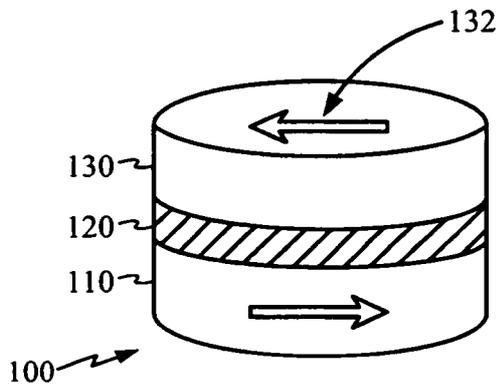
un circuito de bombeo de tensión configurado para generar la primera tensión a partir de la fuente de alimentación común.

11. La STT-MRAM (400) de la reivindicación 1 en la que la primera tensión y la segunda tensión son proporcionadas cada una desde fuentes de alimentación separadas.
- 5 12. La STT-MRAM (400) de la reivindicación 1 en la que la primera tensión es aproximadamente del 40% al 100% más elevada que la segunda tensión.
13. Un procedimiento para operaciones de lectura y escritura en una memoria de acceso aleatorio magnetorresistiva de transferencia de par de espín (STT-MRAM) que comprende:
 - proporcionar (401) una célula de bit que tiene una unión de túnel magnético (MTJ); **caracterizado por**
 - 10 aplicar una primera tensión a una compuerta de un transistor (410) de línea de palabras de una célula (401) de bit durante una operación de escritura; y
 - aplicar una segunda tensión al transistor de línea de palabras durante una operación de lectura, en el que la primera tensión es más elevada que la segunda tensión.
14. El procedimiento de la reivindicación 13 que, además, comprende:
 - 15 generar la primera tensión bombeando una fuente común de tensión, en el que se usa la fuente común de tensión para la segunda tensión.
15. El procedimiento de la reivindicación 13 en el que la primera tensión y la segunda tensión son proporcionadas cada una desde fuentes de alimentación separadas.
16. El procedimiento de la reivindicación 13 que, además, comprende:
 - 20 aislar un amplificador (470) de sentido de la célula (401) de bit durante la operación de escritura.
17. El procedimiento de la reivindicación 16 en el que un elemento (450) de aislamiento usado para aislar el amplificador (470) de sentido es, al menos, uno de un interruptor, una compuerta de transmisión o un multiplexor.
18. El procedimiento de la reivindicación 13 en el que la célula (401) de bit comprende:
 - 25 una unión (405) de túnel magnético (MTJ) y en el que el transistor (410) de línea de palabras está acoplado en serie con la MTJ.
19. El procedimiento de la reivindicación 13 que, además, comprende:
 - seleccionar la primera tensión en respuesta a una señal de habilitación de la escritura; y
 - seleccionar la segunda tensión en respuesta a una señal de habilitación de la lectura.
- 30 20. El procedimiento de la reivindicación 19 que, además, comprende:
 - suministrar la primera tensión a una línea de palabras en respuesta a una señal de habilitación de la línea de palabras durante una operación de escritura y la segunda tensión a la línea de palabras en respuesta a una señal de habilitación de la línea de palabras durante una operación de lectura.



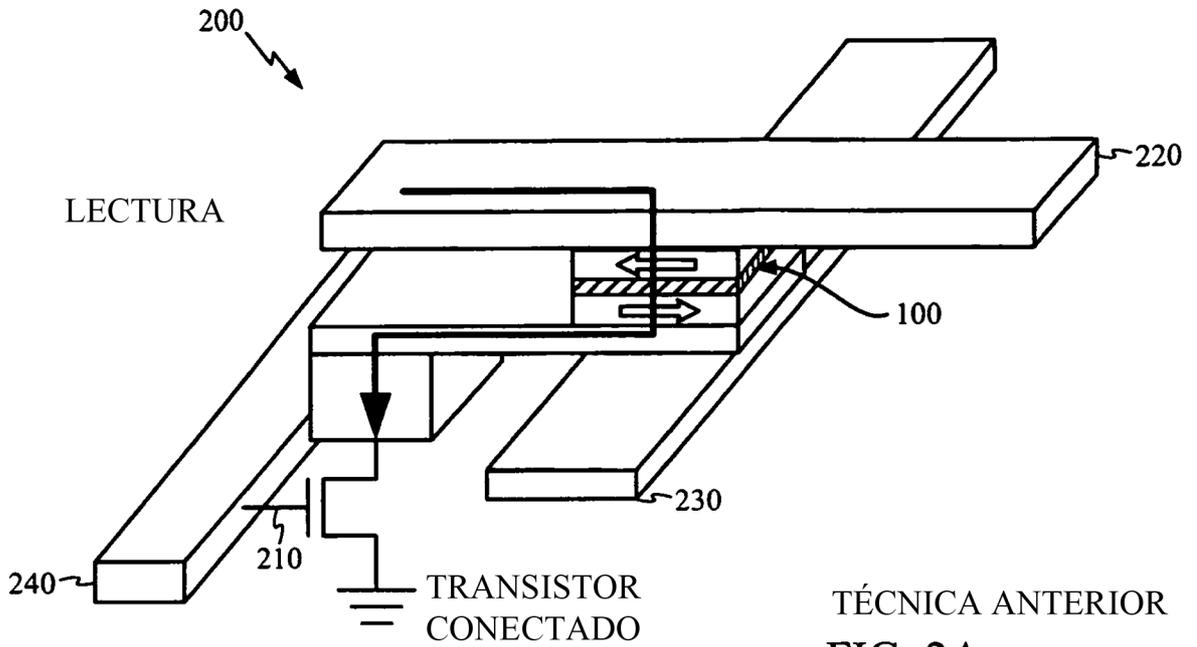
ESTADO "0"
DE BAJA RESISTENCIA
DE MAGNETIZACIÓN PARALELA

TÉCNICA ANTERIOR
FIG. 1A

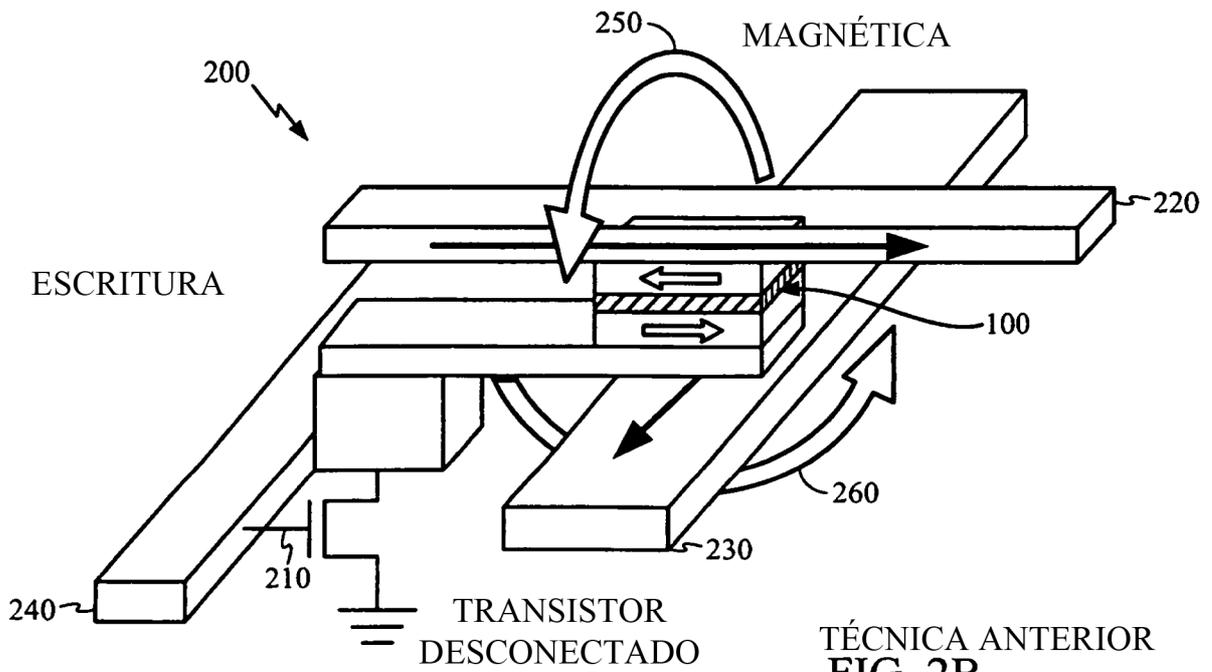


ESTADO "1"
DE ALTA RESISTENCIA
DE MAGNETIZACIÓN ANTIPARALELA

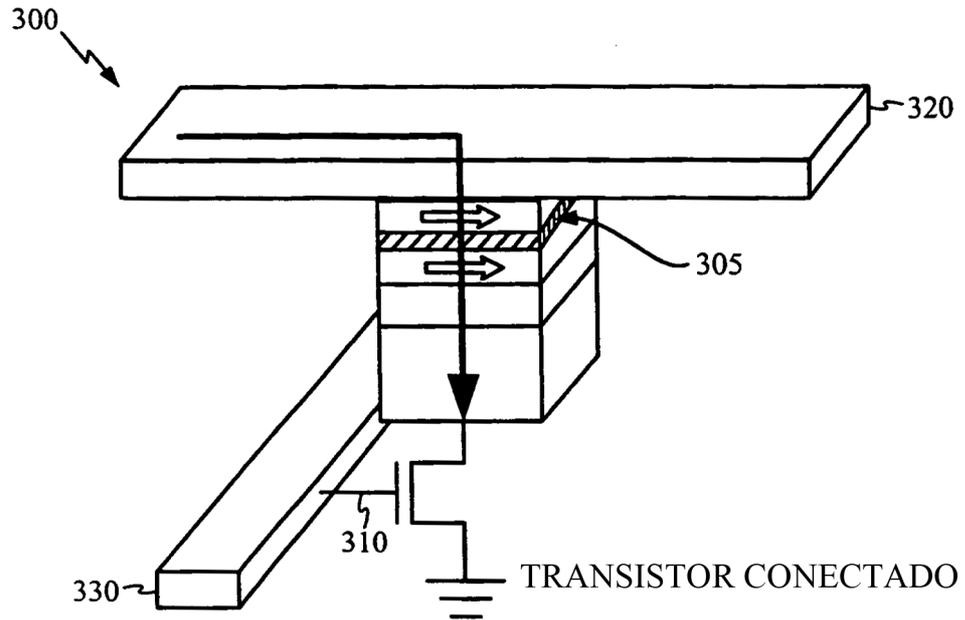
TÉCNICA ANTERIOR
FIG. 1B



TÉCNICA ANTERIOR
FIG. 2A



TÉCNICA ANTERIOR
FIG. 2B



LECTURA Y ESCRITURA
TÉCNICA ANTERIOR
FIG. 3A

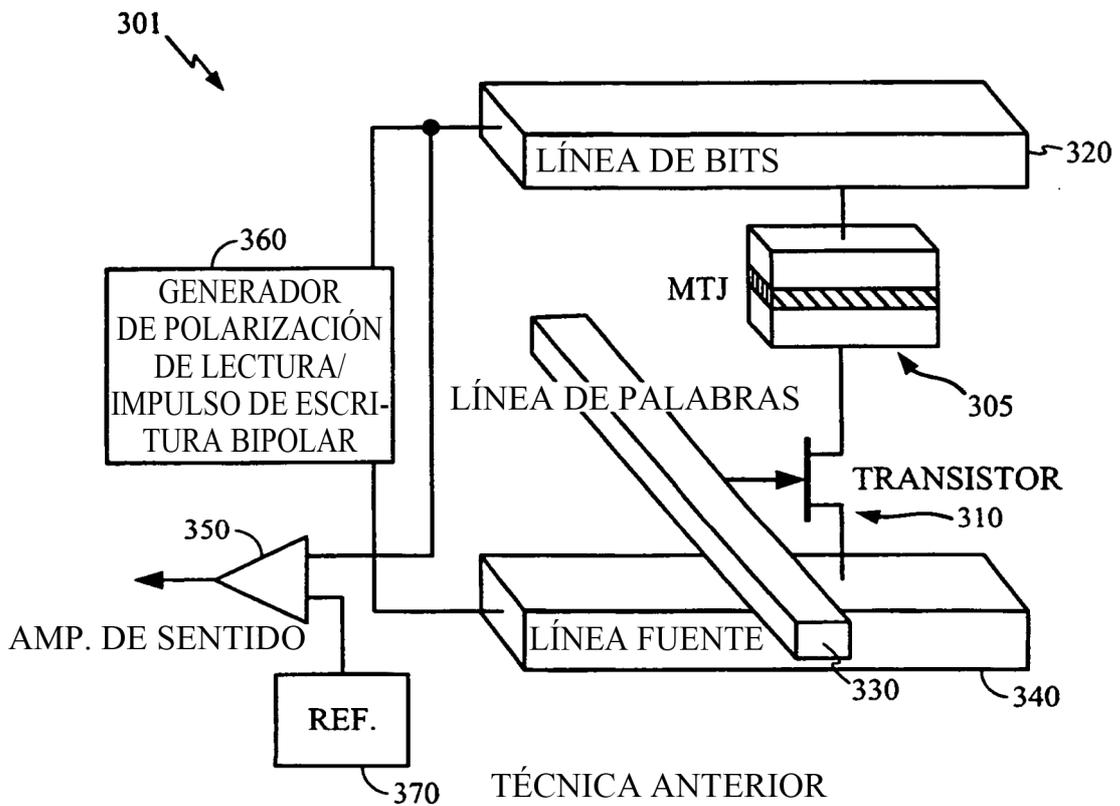


FIG. 3B

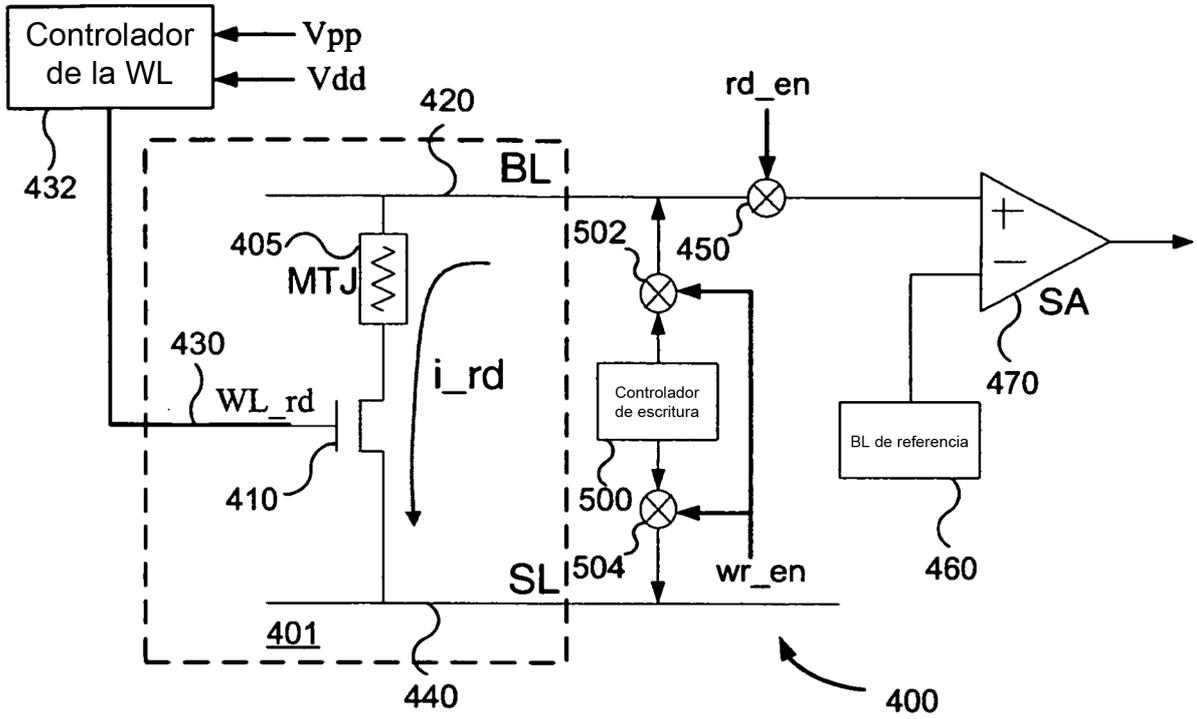


FIG. 4A

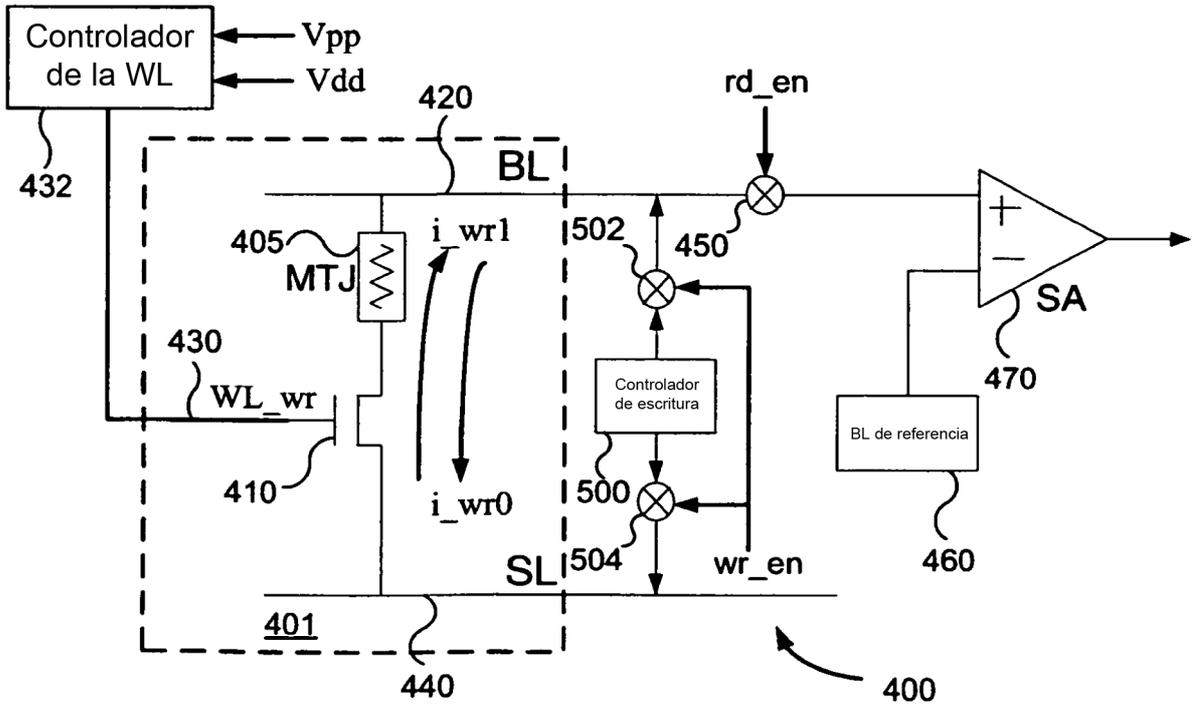


FIG. 4B

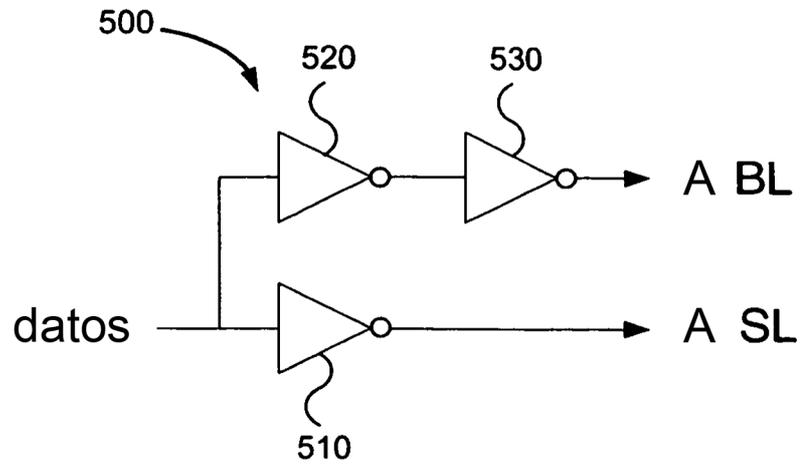


FIG. 5

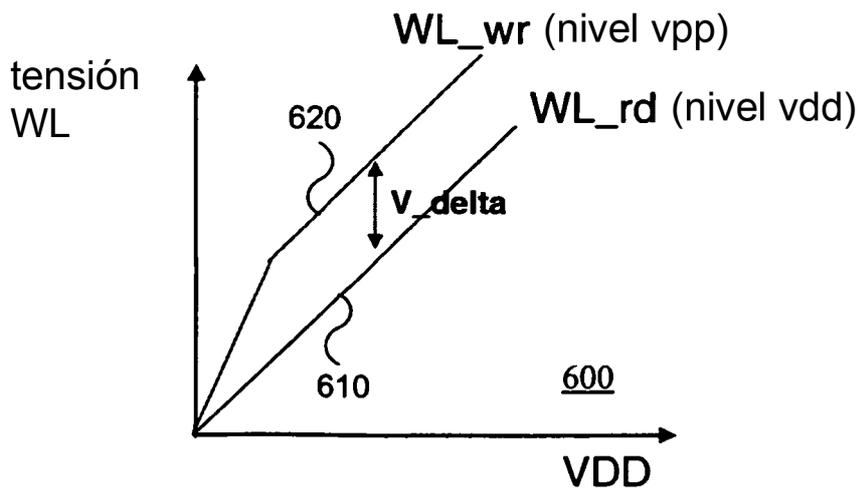


FIG. 6

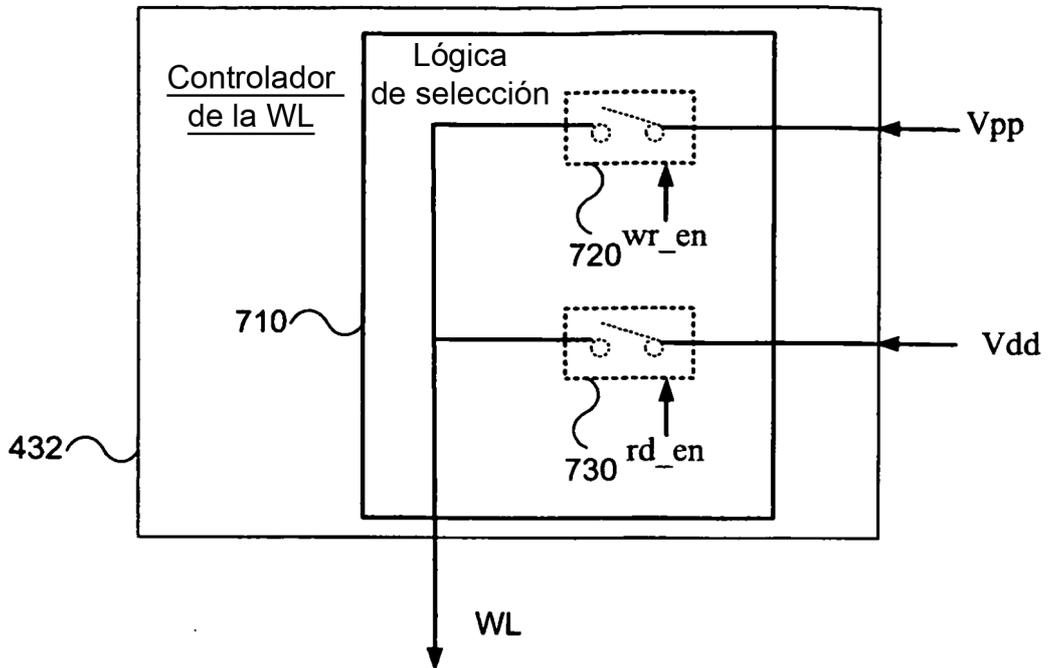


FIG. 7

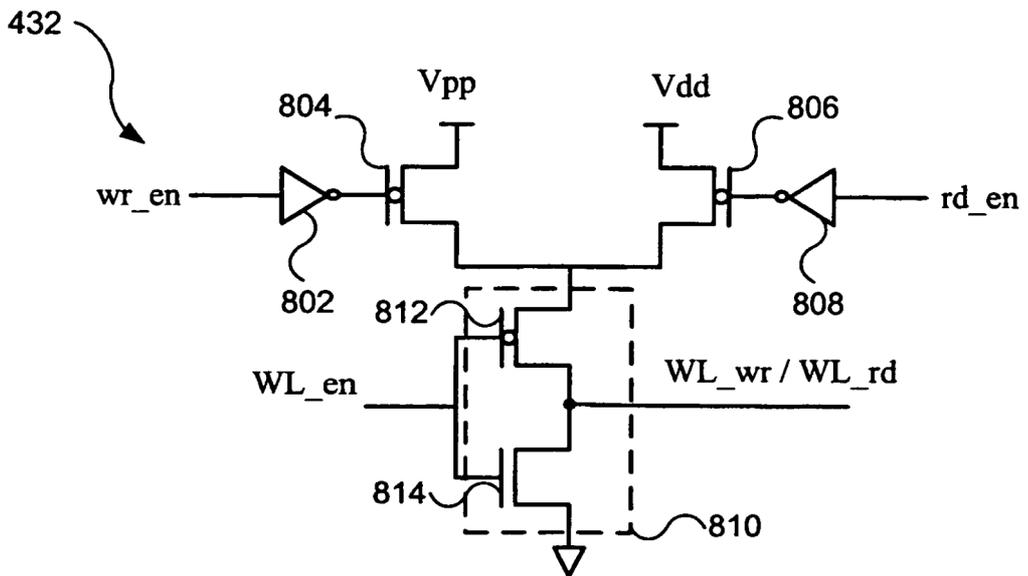


FIG. 8