

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 377 031**

51 Int. Cl.:
H03K 19/096 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **06254807 .8**
- 96 Fecha de presentación: **15.09.2006**
- 97 Número de publicación de la solicitud: **1887699**
- 97 Fecha de publicación de la solicitud: **13.02.2008**

54 Título: **Registro dinámico de canal N acelerado**

30 Prioridad:
11.08.2006 US 463976

45 Fecha de publicación de la mención BOPI:
21.03.2012

45 Fecha de la publicación del folleto de la patente:
21.03.2012

73 Titular/es:
VIA TECHNOLOGIES, INC.
8F, No. 535, Chung-Cheng Road Hsin-Tien City
Taipei
Hsien 231 , TW

72 Inventor/es:
Lundberg, James R. y
Bertram, Raymond A.

74 Agente/Representante:
de Elzaburu Márquez, Alberto

ES 2 377 031 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Registro dinámico de canal N acelerado.

- 5 Esta solicitud está relacionada con las siguientes solicitudes de patente US, cada una con un cesionario común e inventores comunes.

<u>NÚMERO DE SERIE</u>	<u>FECHA DE PRESENTACIÓN</u>	<u>TÍTULO</u>
10/640369 (CNTR.2200)	13/08/2003	NON-INVERTING DOMINO REGISTER
11/023145 (CNTR.2200-CP1)	27/12/2004	NON-INVERTING DOMINO REGISTER
11/251517 (CNTR.2241)	14/10/2005	N-DOMINIO OUTPUT LATCH (US2006/0033534)
11/251399 (CNTR.2242)	14/10/2005	P-DOMINO OUTPUT LATCH
11/424756 (CNTR- 2287)	16/06/2006	N-DOMINO REGISTER WITH ACCELERATED NON-DISCHARGE PATH
11/424762 (CNTR. 2298)	16/06/2006	P-DOMINO REGISTER WITH ACCELERATED NON-CHARGE PATH
11/251384 (CNTR. 2299)	14/10/2005	P-DOMINO REGISTER
(CNTR. 2324)	11/08/2006	ACCELERATED P-CHANNEL DYNAMIC REGISTER

ANTECEDENTES DE LA INVENCIÓN

10

CAMPO DE LA INVENCIÓN

15 La presente invención se refiere a funciones de registro y lógica dinámica, y más particularmente a un registro de salida, de tipo dominó N, con caminos acelerados de descarga y no descarga, para registrar las salidas de circuitos lógicos complejos, en los que la velocidad y el tamaño son factores importantes.

DESCRIPCIÓN DE LA TÉCNICA RELACIONADA

20 Los circuitos integrados usan un número considerable de registros, particularmente, los que tienen una arquitectura canalizada síncrona. La lógica de registro se emplea para mantener las salidas de los dispositivos y circuitos durante un periodo de tiempo, de manera que estas salidas puedan ser recibidas por otros dispositivos y circuitos. En un sistema sincronizado, tal como un microprocesador canalizado, los registros se usan para enclavar y mantener las salidas de una etapa de canalización determinada durante un periodo de un ciclo de reloj, de manera que los circuitos de entrada en una etapa subsiguiente puedan recibir las salidas durante ese periodo, mientras que la etapa de canalización determinada está generando, al mismo tiempo, nuevas salidas.

25 En el pasado, era una práctica común colocar registros, antes y después de los circuitos de evaluación de lógica compleja, tales como multiplexores de múltiples entradas (muxes), codificadores de multibit, etc., para mantener las entradas y las salidas de los circuitos de la evaluación. Generalmente, estos registros tienen unos requisitos de tiempo de mantenimiento y establecimiento asociados, los cuales imponen restricciones sobre los circuitos de evaluación en la etapa precedente. Además, los registros tienen características de tiempo dato-a-salida correspondientes, que imponen restricciones sobre los circuitos de evaluación en las etapas subsiguientes. La "velocidad" de un registro suele ser juzgada, típicamente, en términos de su tiempo dato-a-salida, es decir, la suma de su tiempo de establecimiento y su tiempo de reloj-a-salida.

30 La colocación de circuitos de registro tradicionales antes y después de un circuito de evaluación lógico introduce retrasos en un sistema canalizado, cuyo efecto acumulativo resulta en velocidades de operación considerablemente más lentas. Más específicamente, una fuente notable de estos retrasos son los requisitos de tiempo de dato-a-salida que deben ser satisfechos por los circuitos de evaluación lógica, con el fin de garantizar salidas registradas estables. Se desea reducir estos retrasos para proporcionar tiempo adicional en cada etapa y, de esta manera, incrementar la velocidad global del sistema canalizado.

35 La publicación de solicitud de patente US No. 2005/0127952A1 (Expediente: CNTR.2200-CP1), titulada "Non-inverting Domino Register", abordó los problemas descritos anteriormente. En la divulgación anterior, se describió un registro dominó, no inversor, que combinaba las funciones de evaluación lógica con sus registros correspondientes para conseguir un tiempo reloj-a-salida más rápido que los enfoques convencionales, sin comprometer la estabilidad de su salida. Se demostró que las transiciones de la señal de salida del registro dominó, no inversor, divulgado en

dicho documento eran muy rápidas en respuesta a las transiciones de la señal de reloj, en contraste con las respuestas de transición más lentas de los registros dominó, inversores, convencionales. El registro dominó, no inversor, anterior era también flexible con respecto a la configuración de la lógica de evaluación, que podría ser provista como lógica de canal N, lógica de canal P, o una combinación de las mismas.

5 En la publicación de solicitud de patente US No. 2006/0038589A1 (Expediente: CNTR.2299), titulada "P-Domino Register", se divulga una versión de canal P del registro dominó, no inversor.

10 Ambas versiones de canal N y canal P del registro dominó, no inversor, proporcionan considerables ventajas de velocidad cuando las entradas de datos hacen que el registro no inversor descargue un nodo precargado o cargue un nodo predescargado, en función del reloj. Sin embargo, los presentes inventores han indicado también un deseo de reducir el tiempo reloj-a-salida para ambas versiones de canal P y canal N del registro dominó, no inversor, cuando las entradas de datos sean tales que el nodo precargado no se descargue o el nodo predescargado no se cargue, en función del reloj.

15 Consiguientemente, se desea proporcionar registros, de tipo dominó N, y dominó P mejorados, con caminos acelerados para proporcionar todos los beneficios de los registros dominó, no inversores, anteriores, y que sean más flexibles con relación a la etapa dominó, y que además sean óptimas para su uso en un entorno de fuga alta o de ruido alto.

20 SUMARIO DE LA INVENCION

25 En una realización, se proporciona un registro dinámico, no inversor. El registro dinámico, no inversor, incluye una etapa dominó, un multiplexador y una etapa de salida. La etapa dominó evalúa una función lógica en base a al menos una señal de datos de entrada y una señal de reloj a impulsos, donde la etapa dominó precarga un nodo precargado a alto cuando la señal de reloj a impulsos está baja y abre una ventana de evaluación cuando la señal de reloj a impulsos sube, y pone el nodo precargado a nivel bajo si evalúa, y mantiene el nodo precargado alto si no evalúa. El mux está acoplado a la etapa dominó. El mux es sensible a la señal de reloj a impulsos y al nodo precargado. El mux pone un nodo de retroalimentación a nivel bajo si el nodo precargado baja durante la ventana de evaluación, y pone el nodo de retroalimentación a nivel alto si el nodo precargado está alto durante la ventana de evaluación. El mux recibe una señal de retroalimentación retrasada que tiene el mismo estado que el nodo de retroalimentación, pero retrasado en el tiempo, donde la señal de retroalimentación retrasada es seleccionada cuando la señal de reloj a impulsos baja. La etapa de salida está acoplada al nodo precargado y al nodo de retroalimentación. La etapa de salida proporciona una señal de salida en base a los estados del nodo precargado y el nodo de retroalimentación.

35 En otra realización, se proporciona un procedimiento para registrar una función lógica y generar una salida no invertida. El procedimiento incluye precargar un primer nodo alto mientras una señal de reloj a impulsos está baja, evaluar una función lógica para controlar el estado del primer nodo cuando la señal de reloj a impulsos sube (donde la evaluación comprende poner el primer nodo a nivel bajo cuando la función lógica evalúa y mantener el primero nodo alto cuando la función lógica no evalúa), controlar, en primer lugar, el estado de un segundo nodo con un primer estado retrasado del primer nodo cuando la señal de reloj a impulsos sube (donde el primer control comprende seleccionar primero el primer estado retrasado del primer nodo como una salida de un mux, donde la salida está acoplada al segundo nodo), controlar, en segundo lugar, el estado del segundo nodo con un segundo estado retrasado del segundo nodo cuando la señal de reloj a impulsos baja, y determinar el estado de un nodo de salida en base a los estados de los nodos primero y segundo.

40 BREVE DESCRIPCIÓN DE LOS DIBUJOS

50 Los beneficios, características y ventajas de la presente invención se comprenderán mejor con referencia a la descripción siguiente y a los dibujos adjuntos, en los que:

55 La Figura 1 es un diagrama esquemático de un registro, de tipo dominó N, no inversor, implementado según una divulgación previa, que se incorpora por referencia;

La Figura 2 es un diagrama de tiempos que ilustra el funcionamiento del registro, de tipo dominó N, no inversor, de las Figuras 1, 3 a 4 y 5;

La Figura 3 es un diagrama esquemático de un registro, de tipo dominó N, no inversor, implementado según una realización alternativa del registro de la Figura 1;

60 La Figura 4 es un diagrama esquemático de otro registro, de tipo dominó N, no inversor, que exhibe una etapa de almacenamiento mejorada;

La Figura 5 es un diagrama esquemático de un registro, de tipo dominó N, no inversor, que emplea la etapa de almacenamiento mejorada y que está implementado según una realización alternativa del registro de la Figura 4;

65 La Figura 6 es un diagrama de tiempos que ilustra el funcionamiento de los registros, de tipo dominó N, no inversores, de las Figuras 1, 3 a 4 y 5, según una realización de reloj a impulsos, que es preferente para

minimizar el tiempo de mantenimiento;

La Figura 7 es un diagrama de tiempos que ilustra el funcionamiento de una realización de un mecanismo de enclavamiento, de tipo dominó N, no inversor, que emplea los circuitos de las Figuras 1, 3 a 4 y 5;

La Figura 8 es un diagrama esquemático de un registro, de tipo dominó N, no inversor, según una realización ejemplar de la presente invención, que exhibe un camino de descarga acelerado;

La Figura 9 es un diagrama esquemático de un registro, de tipo dominó N, no inversor, según una realización pull-up hard de la presente invención, que exhibe un camino de no descarga acelerado, y

La Figura 10 es un diagrama de tiempos que ilustra el funcionamiento de los registros, de tipo dominó N, no inversores, de las Figuras 8 a 9.

DESCRIPCIÓN DETALLADA

La descripción siguiente se presenta para permitir a una persona con conocimientos ordinarios en la materia realizar y usar la presente invención conforme a lo dispuesto en el contexto de una aplicación particular y sus requisitos. Sin embargo, varias modificaciones a la realización preferente serán evidentes para una persona con conocimientos en la materia, y los principios generales definidos en este documento pueden ser aplicados a otras realizaciones. Por lo tanto, no se pretende que la presente invención esté limitada a las realizaciones particulares mostradas y descritas en la presente memoria, sino que debe acordarse el más amplio alcance consistente con los principios y las características novedosas divulgados en la presente memoria.

Los inventores de la presente solicitud han reconocido la necesidad de proporcionar salidas registradas para circuitos lógicos en los que la velocidad, el tamaño y la estabilidad son factores críticos, que sean flexibles con respecto a la lógica de evaluación, que puedan ser usadas en entornos de fuga alta o ruido alto, y que además exhiban tiempos reloj-a-salida acelerados para estados de entrada de datos especificados. Por lo tanto, se han desarrollado registros, de tipo dominó N, no inversores, que tienen un tiempo dato-a-salida más rápido que el que se ha proporcionado hasta la fecha, sin comprometer la estabilidad de la salida, que son flexibles con respecto a la implementación de la lógica de evaluación, y que pueden ser usados en entornos de fuga alta o ruido alto, tal como se describirá adicionalmente, más adelante, con respecto a las Figuras 1 a 10. Cuando se emplea en una arquitectura canalizada que depende en gran medida de los registros y la lógica dinámica para transferir datos de una etapa a otra, un registro, de tipo dominó N, no inversor, según las realizaciones de la presente invención, permite incrementar considerablemente una velocidad de funcionamiento global del dispositivo. Consiguientemente, el dispositivo global puede ser implementado usando dispositivos más rápidos y más pequeños, en un proceso de fuga alta o ruido alto, sin comprometer la velocidad.

La Figura 1 es un diagrama esquemático de un registro 100, de tipo dominó N, no inversor, implementado tal como se divulga en la publicación de solicitud de patente US No. 2005/0127952A1. El registro 100, de tipo dominó N, no inversor, incluye una etapa de entrada de evaluación lógica o etapa dominó, que consiste en dispositivos canal P y canal N, P1 y N2, apilados y lógica 104 de evaluación. Los dispositivos P1 y N2 son un par complementario de dispositivos de evaluación, acoplados a cada lado de la lógica 104 de evaluación en la pila. La lógica 104 de evaluación puede ser tan simple como un único dispositivo canal N o puede ser considerablemente más complejo para la evaluación de cualquier función lógica deseada. La fuente de P1 está acoplada a una fuente de voltaje VDD y su drenador está acoplado al nodo 105, que proporciona una señal TOP de precarga. La lógica 104 de evaluación está acoplada entre el nodo 105 y el drenador de N2, que tiene su fuente acoplada a tierra. Una señal CLK de reloj es provista por medio del nodo 101 a las puertas de P1 y N2. Un conjunto de N nodos 103 proporcionan N señales de datos de entrada DATA a la lógica 104 de evaluación, donde N es cualquier número entero positivo.

La etapa dominó del registro 100, de tipo dominó N, no inversor, es seguida por una etapa de almacenamiento que incluye dispositivos P2, N3 y N4 y un circuito 109 mantenedor débil. Los dispositivos P2, N3 y N4 pueden ser considerados como una "etapa de escritura" y el circuito 109 mantenedor como una etapa mantenedora dentro de la etapa de almacenamiento. El nodo 101 está acoplado a la puerta de N3 y el nodo 105 está acoplado a las puertas de P2 y N4. La fuente de P2 está acoplada a VDD y su drenador está acoplado a un primer nodo 107 de salida intermedia que proporciona una primera señal de salida intermedia QII. El nodo 107 está acoplado al drenador de N3, a la entrada de un inversor 109A y a la salida de otro inversor 109B. La salida del inversor 109A está acoplada a un segundo nodo 111 de salida intermedia que proporciona una segunda señal de salida intermedia QI, que está acoplada a la entrada del inversor 109B. Los inversores 109A y 109B están interacoplados entre los nodos 107 y 111 y forman, colectivamente, el circuito 109 mantenedor débil. La fuente de N3 está acoplada con el drenador de N4, que tiene su fuente acoplada a tierra.

La etapa de almacenamiento del registro 100, de tipo dominó N, no inversor, es seguida por una etapa de salida adicional, que incluye dispositivos P3 y P4, de canal P, y dispositivos N5 y N6, de canal N. El nodo 105 está acoplado a las puertas de P4 y N6, y el nodo 111 está acoplado a las puertas de P3 y N5. Las fuentes de P3 y P4 están acopladas a VDD y sus drenadores están acoplados conjuntamente a un nodo 113 de salida que proporciona una señal de salida Q. El nodo 113 de salida está acoplado al drenador de N5, el cual tiene su fuente acoplada al drenador de N6, que tiene su fuente acoplada a tierra. Los dispositivos de canal P funcionan generalmente como dispositivos pull-up y los dispositivos de canal N funcionan generalmente como dispositivos pull-down.

La Figura 2 es un diagrama de tiempos que ilustra el funcionamiento del registro 100, de tipo dominó N, no inversor, en el que las señales CLK, DATAN, TOP, QII, QI y Q se representan en función del tiempo. En aras de la claridad, los tiempos de las transiciones relativas son aproximados y se ignoran los retrasos. La señal DATAN se muestra como una única señal que representa el conjunto colectivo de N señales DATA. La señal DATAN se muestra alta para el caso en el que el estado colectivo de las señales de datos hace que la lógica 104 de la evaluación "evalúe", poniendo, por lo tanto, un nivel bajo en la señal TOP de precarga, y se muestra baja para el caso en el que la lógica 104 de evaluación no evalúa, lo que mantiene la señal TOP de precarga alta. Así, cuando la lógica 104 de evaluación evalúa, hace que la señal TOP realice una transición desde su estado alto precargado a un estado bajo. Cuando la lógica de evaluación "no evalúa", TOP permanece en su estado alto precargado. En otras palabras, cuando la lógica de evaluación hace que TOP se descargue, el nivel de la señal TOP realiza una transición desde su estado alto precargado a un nivel lógico bajo. Cuando TOP permanece en su nivel lógico alto precargado debido a que la lógica 104 de evaluación no evalúa, se denomina como un evento de "no descarga".

Por lo tanto, en el tiempo T0, cuando la señal CLK está inicialmente baja, N2 está desactivado y P1 está activado, de manera que la etapa dominó precarga la señal TOP alta. La señal TOP es precargada alta en preparación para la evaluación de la señal DATAN por la lógica 104 de evaluación, tras el flanco de subida de CLK, donde la señal DATAN está inicialmente alta. La señal TOP precargada activa N4 y N6. La señal QII se mantiene en su estado anterior (mostrado inicialmente en un estado lógico bajo) y es mantenida en ese estado por medio del circuito 109 mantenedor. La señal QI está inicialmente alta, activando N5, de manera que la señal de salida Q está inicialmente a un nivel bajo por medio de los dispositivos N5 y N6.

En el tiempo T1, la señal CLK sube, lo que hace que la señal TOP se descargue a un nivel lógico bajo, ya que la señal DATAN está alta. En particular, N2 está activado y la lógica 104 de evaluación pone TOP a nivel bajo por medio de N2 a tierra. La señal QII es puesta a nivel alto por medio de P2 y la señal de salida Q es puesta a nivel alto por medio de P4. Ambas señales QII y Q son puestas a nivel alto aproximadamente al mismo tiempo T1, y la señal QI es puesta a nivel bajo por el inversor 109A. El estado invertido de la señal QI en la salida del circuito 109 mantenedor alimenta los dispositivos P3 y N5. Cuando QI está alta, P3 está desactivado y N5 está activado; y cuando QI está baja, P3 está activado y N5 está desactivado. En el tiempo T2 subsiguiente, cuando, a continuación, la señal CLK baja, la señal TOP es precargada, de nuevo, a nivel alto. P2 y N3 están desactivados, de manera que ese nodo 107 no es alimentado a ninguno de ambos estados. Los estados respectivos de las señales QII y QI permanecen inalteradas, sin embargo, por la operación del circuito 109 mantenedor, de manera que las señales Q y QII permanecen altas y la señal QI permanece baja durante el resto del semiciclo de CLK.

La señal DATAN se muestra bajando en el tiempo T3 mientras la señal CLK está todavía baja, y, a continuación, la señal CLK es puesta a nivel alto en el tiempo T4 mientras la señal DATAN está baja. La lógica 104 de evaluación no evalúa, de manera que TOP permanece alta (es decir, una "no descarga"), mientras que DATAN está baja y CLK está alta. Las señales CLK y TOP activan los dispositivos N3 y N4, respectivamente, de manera que la señal QII es puesta a nivel bajo aproximadamente en el tiempo T4, y la señal QI es puesta, consiguientemente, a nivel alto por el inversor 109A. La señal TOP, al estar alta, mantiene N6 activado. La señal QI activa N5 y desactiva P3, de manera que la señal Q es puesta a nivel bajo por medio de N5 y N6. A continuación, la señal CLK baja en el tiempo T5, poniendo, de nuevo, TOP a nivel alto. Los estados respectivos de las señales QII y QI permanecen inalterados por medio de la operación del circuito 109 mantenedor. La señal Q permanece baja durante el resto del ciclo de CLK, ya que QI mantiene N5 activado y TOP mantiene N6 activado.

La señal de salida Q realiza una transición desde nivel bajo a nivel alto, de manera relativamente rápida, en respuesta a un flanco de subida de la señal CLK, cuando la lógica 104 de evaluación descarga la señal TOP a un nivel bajo. Hay un retraso a través de los dispositivos N2 y P4 (es decir, el camino de descarga) que causa la transición de la salida. La señal de salida Q realiza una transición desde nivel alto a nivel bajo después de un retraso a través de los dispositivos N3, N5 y el inversor 109A (es decir, el camino de no descarga) en respuesta a un flanco de subida de la señal CLK cuando la lógica 104 de evaluación no evalúa, dejando la señal TOP alta. El retraso a través del inversor 109A es minimizado al ser implementado como un dispositivo relativamente pequeño (con capacitancia mínima), ya que no necesita ni tener el tamaño ni realizar la función de un almacenamiento temporal. En otra realización, el retraso puede ser minimizado mediante el empleo de lógica de relación (es decir, dispositivo P grande y dispositivo N pequeño) para el inversor 109A. Las personas con conocimientos ordinarios en la materia aprecian que las transiciones de la señal de salida Q del registro 100, de tipo dominó N, no inversor, son muy rápidas, en respuesta a las transiciones de la señal CLK. Si se necesita o se desea una salida no inversora, el registro 100, de tipo dominó N, no inversor, proporciona una velocidad dato-a-salida superior en comparación con los diseños convencionales, entre otros beneficios y ventajas. El registro 100, de tipo dominó N, no inversor, puede ser convertido en un registro, de tipo dominó N, inversor, simplemente mediante la adición de un inversor de salida/almacenamiento temporal (no mostrado).

Según se ha descrito el funcionamiento del circuito 100 de la Figura 1, una persona con conocimientos en la materia apreciará que, debido a que la función lógica 104 de evaluación debe realizar una transición rápida de la señal TOP desde su nivel alto precargado a un nivel bajo, una realización de la presente invención emplea dispositivos P y N de relación para configurar la lógica 104 de evaluación. En esta realización, se emplean dispositivos N fuertes y

dispositivos P débiles, lo que resulta en un funcionamiento más rápido.

La divulgación previa de la publicación de solicitud de patente US No. 20040034681A1 (Expediente: CNTR.2200) divulga una lógica AND y una lógica OR (no mostradas aquí), que pueden ser usadas como la lógica 104 de evaluación. En dicho documento se describía que se contempla cualquier combinación adecuada de los circuitos lógicos AND y OR, y que se contempla cualquier otro circuito complejo de evaluación lógica, incluyendo, por ejemplo, multiplexores de múltiples entradas (muxes), codificadores multibits, etc. Cualquier lógica de evaluación deseada, desde simple a compleja, puede ser sustituida por la lógica 104 de evaluación, sin afectar negativamente a la velocidad o las restricciones de potencia asociadas del registro 100, de tipo dominó N, no inversor. Los circuitos lógicos AND y OR eran solo ejemplares y se proporcionaron para ilustrar que la lógica 104 de evaluación puede ser cualquier circuito complejo de evaluación lógica, tal como aprecian las personas con conocimientos ordinarios en la materia. Una posible limitación del registro 100, de tipo dominó N, inversor, sin embargo, es que no es particularmente flexible con respecto a la lógica 104 de evaluación, que, típicamente, tenía que ser implementada como lógica de canal N. La lógica de canal N, en algunas configuraciones, no proporciona niveles óptimos de margen de ruido de entrada.

La Figura 3 es un diagrama esquemático de un registro 300, de tipo dominó N, no inversor, implementado según una realización alternativa del registro de la Figura 1, y se divulga también en la publicación de solicitud de patente US No. de serie 2005/0127952A1. El registro 300, de tipo dominó N, no inversor, es sustancialmente similar al registro 100, de tipo dominó N, no inversor, de la Figura 1, excepto que la etapa de entrada de la lógica de evaluación, o etapa dominó, que comprende los dispositivos de canal P y canal N, P1 y N2, apilados y la lógica 104 de evaluación, está reordenada y la lógica 104 de evaluación es reemplazada por la lógica 301 de evaluación. Los dispositivos P1 y N2 son un par complementario de dispositivos de evaluación acoplados conjuntamente al nodo 105 que proporciona la señal TOP. En este caso, el drenador de N2 está acoplado al nodo 105 y su fuente está acoplada a la parte superior o al extremo superior de la lógica 301 de evaluación. La parte inferior o el extremo inferior de la lógica 301 de evaluación está acoplada a tierra. De esta manera, la lógica 301 de evaluación se encuentra debajo de la pila P1/N2, en lugar de estar acoplada entre P1 y N2. El funcionamiento es sustancialmente similar a la del registro 100, de tipo dominó N, no inversor, de la Figura 1 y el diagrama de tiempos de la Figura 2 sigue siendo igualmente válido para el registro 300 dominó, no inversor, de la Figura 3.

La lógica 301 de evaluación podría ser configurada sustancialmente de la misma manera que la lógica 104 de evaluación. Sin embargo, tal como entienden las personas con conocimientos en la materia, la lógica 301 de evaluación puede estar realizada, de manera alternativa, usando una lógica de semiconductor de óxido metálico complementario (CMOS), en lugar de la lógica de canal N, donde de nuevo, el diagrama de tiempos de la Figura 2 sigue siendo válido. La lógica CMOS proporciona un margen de nivel de ruido de entrada considerablemente mejor en comparación con la lógica de canal N, de manera que el registro 300, de tipo dominó N, no inversor, proporciona un margen de nivel de ruido de entrada considerablemente mejor con respecto al registro 100, de tipo dominó N, no inversor, cuando se usa lógica CMOS en la etapa dominó.

Ambos registros 100 y 300, de tipo dominó N, no inversores, experimentan efectos de fuga cuando se materializan en un proceso de fuga alta y ruido alto, tal como SOI 90 nm y similares. La reducción del tamaño de los circuitos hasta 90 nm introduce problemas relacionados con fugas. Los procesos escalados exhiben una mayor fuga debido a que las longitudes de los canales son más cortas. Consiguientemente, con el fin de escribir un nuevo estado en el nodo 107 de la etapa de almacenamiento para cualquiera de los registros 100 y 300, debe superarse un dispositivo débil dentro del inversor de retroalimentación (por ejemplo, dentro del inversor 109B, un dispositivo débil de canal P para cambiar a un estado bajo y un dispositivo débil de canal N para cambiar a un estado alto). El costo de superar un dispositivo es la velocidad y la corriente. Además, en los procesos en los que hay o fuga alta o ruido alto, los dispositivos N y P débiles dentro del inversor 109B de retroalimentación deben hacerse más grandes, con el fin de mantener el estado del nodo de salida en presencia de fugas o ruido.

Nótese, por ejemplo, que el nodo 107 de almacenamiento (señal QII) está aislado de la etapa de entrada cuando CLK está baja. No hay nada alimentando la señal QII excepto el inversor 109B de retroalimentación, mantenedor, que incluye los dispositivos débiles N y P (no mostrados). Sin embargo, debido a las mayores pérdidas asociadas con un proceso escalado, una mayor cantidad de corriente de fuga fluye a través de los dispositivos P2 y N3. Así, los dispositivos N y P en el inversor 109B tienen que ser lo suficientemente grandes como para superar esa fuga. Por ejemplo, si la señal QII está alta, se produce una fuga a tierra a través de los dispositivos N3 y N4, de manera que el dispositivo P dentro del inversor 109B tiene que ser lo suficientemente grande como para suministrar corriente suficiente para superar esa fuga, para mantener la señal QII alta. En los procesos en los que hay fuga alta o altas corrientes y los dispositivos están desactivados, se necesitan dispositivos cada vez más grandes para mantener el estado. Y el uso de dispositivos más grandes reduce considerablemente el rendimiento, ya que cuando se escribe un nuevo estado, debe superarse el dispositivo más grande que mantiene el estado. Para compensar la reducción de velocidad, los dispositivos P2, N3, N4 de la etapa de almacenamiento se hacen más grandes, para alimentar el nuevo estado para superar el mantenido por los dispositivos más grandes en el inversor 109B de retroalimentación, mantenedor. Los dispositivos más grandes consumen un espacio valioso en un circuito integrado (IC).

La Figura 4 es un diagrama esquemático de otro registro 400, de tipo dominó N, no inversor, que exhibe una etapa de almacenamiento mejorada y que emplea un circuito mantenedor mejorado. El registro 400, de tipo dominó N, no inversor, incluye una etapa dominó de entrada, seguida de una etapa de almacenamiento y una etapa de salida. La etapa dominó y la porción inicial de la etapa de almacenamiento del registro 400 son similares a las del registro 100. El circuito mantenedor del registro 400, sin embargo, se ha modificado para mejorar el rendimiento, mediante la eliminación de la necesidad de superar los dispositivos y para reducir costos en términos de velocidad y corriente. La etapa dominó incluye dispositivos de canal P y canal N, P1 y N2, apilados y la lógica 104 de evaluación. Como anteriormente, los dispositivos P1 y N2 son un par complementario de dispositivos de evaluación acoplados a cada lado de la lógica 104 de evaluación, entre la fuente de voltaje VDD y tierra. La fuente de P1 está acoplada a VDD y su drenador está acoplado al nodo 105 que proporciona la señal TOP. La lógica 104 de evaluación está acoplada entre el nodo 105 y el drenador de N2 y la fuente de N2 está acoplada a tierra. La señal de reloj CLK de entrada se proporciona a través del nodo 101 a las puertas de P1, N2 y N3. Un conjunto de N nodos 103 proporciona N señales DATA de datos de entrada a la lógica 104 de evaluación. Como anteriormente, el nodo 105 que proporciona la señal TOP está acoplado a las puertas de los dispositivos P2 y N4. La porción inicial de la etapa de almacenamiento es sustancialmente la misma etapa de escritura, incluyendo los dispositivos P2, N3 y N4 apilados. La fuente de P2 está acoplada a VDD y su drenador está acoplado al nodo 107, que desarrolla la primera señal intermedia de salida QII. El drenador de N3 está acoplado al nodo 107 y su fuente está acoplada al drenador de N4, que tiene su fuente acoplada a tierra.

La etapa de almacenamiento del registro 400, de tipo dominó N, no inversor, tiene la etapa de escritura que incluye los dispositivos P3, P4 y N5 y una etapa mantenedora que incluye los dispositivos P3, P4, N3, y un inversor 401. La etapa de almacenamiento es seguida por una etapa de salida, que comprende una puerta NAND 403, de dos entradas, en la realización ilustrada. En este caso, la fuente de P3 está acoplada a VDD y su drenador está acoplado a la fuente de P4, que tiene su drenador acoplado al drenador de N5 en el nodo 107. La fuente de N5 está acoplada al drenador de N4, acoplado además a la fuente de N3. El nodo 101, que proporciona la señal CLK, está acoplado a la puerta de P4. El nodo 107, que desarrolla la señal QII, está acoplado a la entrada del inversor 401, que tiene su salida acoplada al nodo 111, que desarrolla la segunda señal de salida intermedia QI. El nodo 111 está acoplado a las puertas de P3 y N5 y está acoplado a una entrada de la puerta NAND 403. El nodo 105, que proporciona la señal TOP, está acoplado a la otra entrada de la puerta NAND 403, y la salida de la puerta NAND 403 proporciona la señal de salida Q.

El diagrama de tiempos de la Figura 2 es aplicable al registro 400, de tipo dominó N, no inversor, para esta situación, con sólo pequeñas diferencias en los tiempos, donde se ignoran dichas diferencias de tiempos y pequeños retrasos (por ejemplo, los retrasos a través del inversor 401 y de la puerta NAND 403 se ignoran con el fin de ilustrar la funcionalidad en el diagrama de tiempos 200). Una vez más, supóngase que la señal QII está inicialmente baja y debe ponerse a nivel alto. Con referencia a la Figura 2, en el tiempo T0, las señales CLK, Q y QII están inicialmente bajas y la señal QI está alta. Debido a que CLK está baja, P1 está activado y TOP es precargada a un nivel alto, activando N4. Debido a que QI y TOP están ambas altas, la señal Q en la salida de la puerta NAND 403 está inicialmente baja. Mientras CLK está baja y QI está alta, N5 está activado, P3 está desactivado y P4 está activado. En este caso, por lo tanto, N5 y N4 están ambos activados, proporcionando un camino mantenedor de estado "bajo" para el nodo 107 a tierra, que mantiene la señal QII baja. El camino mantenedor de nivel bajo está habilitado siempre que el segundo nodo 11 de salida preliminar y el nodo 105 precargado estén ambos altos, y si no está deshabilitada.

Cuando la señal CLK sube en el tiempo T1, N2 se activa iniciando la evaluación de los operandos de DATA por la lógica 104 de evaluación. Como anteriormente, la señal DATAN, que representa los operandos DATA de entrada, se muestra inicialmente alta, lo que hace que la lógica 104 de evaluación acople el nodo 105 al drenador de N2. Esto hace que la señal TOP se descargue a un nivel bajo a través de N2. El paso de TOP a nivel bajo, hace que la puerta NAND 403 ponga Q a nivel alto, aproximadamente en el tiempo T1 (después de un breve retraso a través de la puerta NAND 403). La descarga de TOP a un nivel bajo desactiva N4, deshabilitando, de esta manera, el camino mantenedor de nivel bajo desde N5 a N4, a tierra. Y el paso de TOP a nivel bajo activa P2, de manera que la señal QII pasa a nivel alto aproximadamente en el tiempo T1. Cuando la señal QII sube en el tiempo T1, el inversor 301 pone la señal QI a un nivel bajo, lo que activa P3 y desactiva N5. La señal de salida Q permanece baja mientras la señal P está baja.

En este ejemplo, el camino mantenedor de nivel bajo a través de N5 está deshabilitado porque N4 está desactivado cuando la señal TOP baja. Y debido a que N4 está desactivado, P2 no tiene que superar N5 para poner la señal QII a nivel alto. Siempre que la señal QII está baja y deba ponerse a nivel alto en respuesta a una evaluación (poniendo TOP a nivel bajo), el camino mantenedor de nivel bajo está siempre deshabilitado (debido a que N4 está desactivado), de manera que la etapa de escritura de la etapa de almacenamiento no tiene que superar un dispositivo mantenedor.

En el tiempo T2, cuando CLK baja, a continuación, TOP es precargada, una vez más, a nivel alto. También en el tiempo T2, P4 es activado, proporcionando un camino mantenedor del estado "alto" desde el nodo 107 a VDD, a través de P4 y P3, manteniendo, de esta manera, la señal QII alta. El camino mantenedor de nivel alto está

5 habilitado siempre que nodo 105 precargado y el segundo nodo 111 de salida preliminar estén ambos bajos, y si no está deshabilitada. De esta manera, la señal QII se mantiene alta, lo que a su vez mantiene QI baja para mantener el estado de la señal de salida Q mientras TOP sube en el tiempo T2. Al subir la señal TOP, se activa N4 de nuevo, aproximadamente en el tiempo T2, pero debido a que la señal QI está baja, N5 está desactivado, manteniendo, de esta manera, el camino mantenedor de nivel bajo desactivado o deshabilitado durante el resto del ciclo.

10 La señal DATAN baja en el tiempo T3 y, a continuación, la señal CLK sube en el tiempo T4, mientras la señal DATAN está todavía baja, de manera que la lógica 104 de evaluación no hace que TOP se descargue. Consiguientemente, TOP permanece alta en el tiempo T4, de manera que N4 permanece activado. La subida de la señal CLK desactiva P4 y activa N3. El camino mantenedor del estado alto desde el nodo 107 a VDD está deshabilitado, ya que P4 está desactivado, y N3 y N4 están ambos activados, bajando la señal QII. Debido a que P4 está desactivado, N3 y N4 no tienen que superar ningún dispositivo, incluyendo dispositivos mantenedores débiles, para bajar QII. Siempre que la señal QII esté alta y deba ser bajada en respuesta a una no evaluación (en la que TOP permanece alta), el camino mantenedor del estado alto está siempre deshabilitado (debido a que P4 está desactivado), de manera que la etapa de escritura de la etapa de almacenamiento no tiene que superar un dispositivo mantenedor. El inversor 401 sube QI aproximadamente en el tiempo T4, en respuesta a la bajada de QII. Debido a que QI y TOP están ambas altas, la puerta NAND 403 baja Q aproximadamente en el tiempo T4. También, la subida de QI activa N5 y desactiva P3, de manera que el camino mantenedor del estado alto está deshabilitado y el camino mantenedor del estado bajo a través de N5 y N4 vuelve a estar habilitado. Cuando, a continuación, CLK baja en el tiempo T5, N3 se desactiva pero QII se mantiene baja a través del camino mantenedor del nivel bajo, ya que N5 y N4 se mantienen activados. TOP y QI permanecen ambas altas, de manera que Q permanece baja durante el resto del ciclo de CLK.

25 El registro 400, de tipo dominó N, no inversor, de la Figura 4 emplea una técnica mejorada para desactivar los dispositivos de retroalimentación, mantenedores, débiles, de manera que cuando se está escribiendo un nuevo estado, no tiene que superarse un dispositivo fuerte interno en un dispositivo mantenedor. Consiguientemente, los dispositivos P3 y N5 se hacen más grandes para superar las fugas, con el fin de mantener el estado, pero sin afectar a la velocidad, porque esos mismos dispositivos P3 y N5 están desactivados cuando se escribe un nuevo estado en el nodo 107 de almacenamiento (la señal QII). Cuando se escribe un nuevo estado de la señal QII, no tiene que superarse un circuito de retroalimentación, mantenedor, de manera que los dispositivos P2 y N3 pueden ser dispositivos de tamaño normal. El "mantenedor" del registro 400, de tipo dominó, no inversor, es habilitado solo para almacenar el estado. En particular, los dispositivos de retroalimentación se habilitan para mantener el estado y se deshabilitan cuando se escribe un nuevo estado.

35 La Figura 5 es un diagrama esquemático de otro registro 500, de tipo dominó N, no inversor, que emplea la etapa mantenedora mejorada del registro 400, y que está implementado según una realización alternativa. El registro 500, de tipo dominó, no inversor, es sustancialmente similar al registro 400, de tipo dominó, no inversor, excepto que la etapa de entrada de la evaluación lógica, o etapa dominó, que comprende los dispositivos de canal P y canal N, P1 y N2, apilados y la lógica 104 de evaluación, está reordenada, y la lógica 104 de evaluación es reemplazada por la lógica 501 de evaluación. El cambio al registro 500 desde el registro 400 es análogo al cambio al registro 300 desde el registro 100. De esta manera, la lógica 501 de evaluación del registro 500, de tipo dominó N, no inversor, puede ser implementada con lógica CMOS, en lugar de lógica de canal N, donde de nuevo, el diagrama de tiempos de la Figura 2 sigue siendo aplicable. Tal como se ha descrito anteriormente, la lógica CMOS proporciona un margen de nivel de ruido de entrada considerablemente mejor con respecto a la lógica de canal N, de manera que el registro 400, de tipo dominó N, no inversor, proporciona un margen de nivel de ruido de entrada algo mejor con respecto al registro 400, de tipo dominó N, no inversor, cuando se usa lógica CMOS en la etapa dominó.

50 Un registro, de tipo dominó N, no inversor, implementado según las realizaciones así descritas, tiene un tiempo reloj-a-salida más rápido que los enfoques convencionales, sin comprometer la estabilidad de su salida, Q. Además, la etapa de almacenamiento puede ser mejorada adicionalmente para permitir que se empleen dispositivos más pequeños, más rápidos, en un entorno de fuga alta, más allá de las que de otro modo sería necesario para superar dispositivos mantenedores fuertes. Esto permite que el registro, de tipo dominó N, no inversor, se materialice en un proceso de fuga alta y ruido alto, tal como SOI 90 nm y similares, sin causar una degradación del rendimiento debida a factores de fuga. De esta manera, los beneficios de un proceso escalado, incluyendo la reducción del tamaño, voltaje, consumo de energía, etc., pueden ser conseguidos sin causar una degradación del rendimiento asociada con dichos procesos escalados.

60 Los presentes inventores resaltan que el funcionamiento de las diversas realizaciones del registro, de tipo dominó N, no inversor, tal como se han indicado anteriormente con referencia a las Figuras 2 a 5, tienen, todas ellas, requisitos de tiempo de mantenimiento de datos que son una función del ciclo de trabajo de la señal de reloj CLK mostrada en el nodo 101. Más específicamente, las señales DATAN de datos en el nodo 103 deben mantenerse en el nivel deseado durante la duración del tiempo en el que la señal de reloj CLK está alta. Si DATAN cambia de estado(s) durante el intervalo en el que CLK está alta, entonces el cambio de estado se propagará a través de la salida Q. Los presentes inventores han observado también que es deseable, en muchas aplicaciones de registro, proporcionar realizaciones del registro, de tipo dominó N, no inversor, que minimicen los requisitos de tiempo de mantenimiento

para DATAN. Consiguientemente, ahora se expondrá una realización de reloj a impulsos, con referencia a la Figura 6, en la que la realización está configurada para minimizar el tiempo de mantenimiento de datos.

5 Con relación a la Figura 6, en la misma se presenta un diagrama de tiempos 600 que ilustra el funcionamiento del registro, de tipo dominó N, no inversor, de las Figuras 1, 3 a 4 y 5, según una realización del reloj a impulsos que es preferente para minimizar el tiempo de mantenimiento. Al igual que el diagrama de tiempos 200 expuesto anteriormente con referencia a la Figura 2, el diagrama de tiempos 600 de la Figura 6 representa las señales CLK, DATAN, TOP, QII, QI y Q, representadas en función del tiempo. En aras de la claridad, los tiempos de las transiciones relativas son aproximados y se ignoran los retrasos. La señal DATAN se muestra como una única señal que representa el conjunto colectivo de N señales DATA. La señal DATAN se muestra alta cuando el estado colectivo de las señales de datos hace que la lógica 104 de evaluación evalúe, bajando, de esta manera, la señal TOP, y se muestra baja cuando la lógica 104 de evaluación no evalúa, lo que mantiene la señal TOP alta. En el tiempo T0, cuando la señal CLK está inicialmente baja, N2 se desactiva y P1 se activa, de manera que la etapa dominó precarga la señal TOP a alta. La señal TOP es precargada a alta en preparación para la evaluación de la señal DATAN por la lógica 104 de evaluación, tras el flanco de subida de CLK, donde la señal DATAN está inicialmente alta. La señal TOP precargada activa N4 y N6. La señal QII permanece en su estado anterior (mostrado inicialmente en un estado lógico bajo) y es mantenida por el circuito 109 mantenedor. La señal QI está inicialmente alta, activando N5, de manera que la señal de salida Q es bajada inicialmente por medio de los dispositivos N5 y N6.

10 En el tiempo T1, la señal CLK sube, lo que hace que la señal TOP se descargue a un nivel bajo, ya que la señal DATAN está alta, y el estado de DATAN se propaga, a través del camino de descarga, a la salida Q. En particular, N2 está activado y la lógica 104 de evaluación evalúa bajando TOP a través de N2 a tierra. La señal QII es subida a través de P2 y la señal de salida Q es subida a través de P4. Las señales QII y Q son subidas, ambas, aproximadamente en el mismo tiempo T1, y la señal QI es bajada por el inversor 109A. El estado invertido de la señal QI en la salida del circuito 109 mantenedor alimenta los dispositivos P3 y N5. Cuando QI está alta, P3 está desactivado y N5 está activado, y cuando QI está baja, P3 está activado y N5 está desactivado. En el tiempo T2 subsiguiente, cuando la señal CLK baja a continuación, la señal TOP es precargada, una vez más, a alta. P2 y N3 están desactivados, de manera que el nodo 107 no es alimentado a ningún de ambos estados. Los respectivos estados de las señales QII y QI permanecen inalterados, sin embargo, por medio de la operación del circuito 109 mantenedor, de manera que las señales Q y QII permanecen altas y la señal QI permanece baja durante el resto del semiciclo de CLK.

20 DATAN se muestra bajando en el tiempo T3, mientras la señal CLK está todavía baja, y, a continuación, la señal CLK es subida en el tiempo T4, mientras la señal DATAN es baja. La lógica 104 de evaluación no evalúa, de manera que TOP permanece alta mientras que CLK está alta, y el estado de DATAN se propaga a través del camino de no descarga a la salida Q. Más específicamente, las señales CLK y TOP activan los dispositivos N3 y N4, respectivamente, de manera que la señal QII es bajada aproximadamente en el tiempo T4, y la señal QI es subida, consiguientemente, por el inversor 109A. Al estar la señal TOP alta, mantiene N6 activada. La señal QI activa N5 y desactiva P3, de manera que la señal Q es bajada a través de N5 y N6. A continuación, la señal CLK baja en el tiempo T5, subiendo TOP de nuevo. Los respectivos estados de las señales QII y QI permanecen inalterados por medio de la operación del circuito 109 mantenedor. La señal Q permanece baja durante el resto del ciclo de CLK, ya que QI mantiene N5 activado y TOP mantiene N6 activado.

25 La señal Q realiza una transición de nivel bajo a nivel alto, de manera relativamente rápida, en respuesta a un flanco de subida de la señal CLK, cuando la lógica 104 de evaluación evalúa descargando la señal TOP a baja. Hay un retraso insignificante a través de los dispositivos N2 y P4 que causa la transición de la salida. La señal Q realiza una transición de nivel alto a nivel bajo, después de un retraso a través de los dispositivos N3, N5, y el inversor 109A, en respuesta a un flanco de subida de la señal CLK cuando la lógica 104 de evaluación no evalúa dejando la señal TOP alta. El retraso a través del inversor 109A se minimiza al ser implementado como un dispositivo relativamente pequeño (con capacitancia mínima), ya que no necesita ni tener el tamaño ni realizar la función de un almacenamiento temporal. Las personas con conocimientos ordinarios en la materia aprecian que las transiciones de la señal de salida Q del registro 100, 300, 400, 500, de tipo dominó N, no inversor, son muy rápidas en respuesta a las transiciones de la señal CLK. Si se necesita o se desea una salida no inversora, el registro 100, 300, 400, 500, de tipo dominó N, no inversor, proporciona una velocidad datos-a-salida superior en comparación con los diseños convencionales, entre otros beneficios y ventajas. El registro 100, 300, 400, 500, de tipo dominó N, no inversor, puede ser convertido en un registro, de tipo dominó N, inversor, simplemente añadiendo un inversor de salida / almacenamiento temporal (no mostrado).

30 Cabe señalar que la única diferencia entre el diagrama de tiempos 200 de la Figura 2 y el diagrama de tiempos 600 de la Figura 6 es que el nodo 103 de los registros 100, 300, 400, 500, de tipo dominó, no inversores, de las Figuras 1, 3 a 4 y 5, están acoplados, cada uno de ellos, a una señal CLK de reloj a impulsos, en lugar de estar acoplados a una señal CLK de reloj, aproximadamente simétrica. Consiguientemente, el requisito de tiempo de mantenimiento para la señal DATAN de datos se reduce considerablemente con respecto a las realizaciones expuestas con referencia a la Figura 2. En una realización, el ciclo de trabajo de la señal CLK de reloj a impulsos es menor o igual al 10 por ciento. Al comparar las realizaciones de las Figuras 2 y 6, se observa que el tiempo T1 (cuando CLK sube)

hasta T3 (cuando se permite que cambie el estado de DATAN) es notablemente menor que el periodo comparable de la Figura 2. Dicha realización del registro, de tipo dominó N, no inversor, es preferente para minimizar el tiempo de mantenimiento.

5 Cabe señalar además que debido a que se permite que el estado de DATAN se propague a través de la salida Q cuando CLK está alta, las configuraciones expuestas con referencia a las Figuras 1, 3, 4 y 5 pueden ser materializadas también como un mecanismo de enclavamiento, de tipo dominó N, cuando el nodo 101 está acoplado a un reloj CLK de enclavamiento, aproximadamente simétrico, y donde el nodo 103 recibe los datos DATAN de enclavamiento. Los datos DATAN de enclavamiento pueden ser proporcionados por un circuito dominó precedente, para el que se desea una función de enclavamiento. Los circuitos 100, 300, 400, 500 de las Figuras 1, 3 a 4 y 5 son ventajosos cuando se usan como realizaciones de enclavamiento, de tipo dominó N, debido a un camino de descarga acelerado a través del nodo 105 a la señal de salida Q, que permite, de esta manera, que haya más circuitos dominó en serie que preceden al nodo 103 que los que se han previsto hasta la fecha. Ahora, se expondrán las realizaciones de enclavamiento, de tipo dominó N, con referencia a la Figura 7.

15 Con relación a la Figura 7, en la misma se presenta un diagrama de tiempos 700 que ilustra el funcionamiento de unas realizaciones de enclavamiento, de tipo dominó N. Para emplear los circuitos 100, 300, 400, 500 de las Figuras 1, 3 a 4 y 5 como realizaciones de enclavamiento, de tipo dominó N, es deseable acoplar el nodo 101 a una señal CLK de reloj de enclavamiento, aproximadamente simétrico. En una realización, la señal de reloj CLK de enclavamiento exhibe un ciclo de trabajo de un 40 por ciento a un 60 por ciento. A modo de resumen, se observa que durante el periodo en el que CLK está alta, se abre una ventana de evaluación en la que se permite que DATAN cambie y la salida Q sigue a DATAN. Pero cuando CLK baja, el estado de DATAN es enclavado hasta que CLK vuelve a subir. Por lo tanto, en el tiempo T0, CLK está baja y TOP está precargada. El estado previo (es decir, el estado previo a la bajada de CLK) de DATAN está enclavado a través de las señales QII, QI, y a través de la salida Q. En el tiempo T1, CLK vuelve a subir, abriendo una ventana en la que se permite que el estado de DATAN se propague a través de la salida Q. Debido a que DATAN está baja, la salida Q permanece baja. En el tiempo T2, DATAN sube haciendo que la señal TOP se descargue, activando, de esta manera, P2 y haciendo que la salida Q suba. Pero en el tiempo T3, CLK vuelve a bajar, cerrando la ventana de evaluación y enclavando el estado de DATAN, manteniendo, de esta manera, Q alta durante este periodo. DATAN baja también de nuevo en T3, reflejando el estado de una etapa dominó precedente, cuya salida está acoplada al nodo 803. TOP se precarga en el tiempo T3, preparándose para la siguiente ventana de evaluación, cuando CLK sube en el tiempo T4. Debido a que DATAN está baja en el tiempo T4, TOP no se descarga. De esta manera, en el tiempo T4, N3 y N4 están activados, alimentando QII y QI a nivel alto. Debido a que tanto QI como TOP están altas en T4, Q es alimentado a un nivel bajo. En el tiempo T5, debido a que DATAN está todavía baja (es decir, la etapa dominó precedente no evaluó), TOP permanece alta y el estado bajo permanece en la salida Q. En el tiempo T6, CLK vuelve a bajar, enclavando en el estado de DATAN en la salida Q durante el periodo en el que CLK está baja.

40 Una persona con conocimientos en la materia apreciará también que, en algunas configuraciones, DATAN se materializa como un grupo de señales de "retorno a cero", que retornan, por lo general, a un nivel lógico bajo cuando CLK baja. Consecuentemente, el dispositivo N2 puede ser eliminado completamente del circuito 100, 300, 400, 500 en una realización de enclavamiento, de tipo dominó N, lo que incrementa la velocidad del circuito 100, 300, 400, 500. Cuando se elimina el dispositivo N2, dicha configuración se conoce como un enclavamiento, de tipo dominó N, "sin pies".

45 En la exposición anterior se ha hecho referencia a la propagación del estado de DATAN cuando la señal de reloj CLK sube, ya sea a través del camino de descarga o del camino de no descarga, a la salida Q. Más específicamente, cuando la señal de reloj CLK sube, si la salida Q está inicialmente baja (es decir, QI está alta y QII está baja) y DATAN está alta, TOP se descarga a través de N2 y la lógica 104, 301, 501 de evaluación y se propaga a través de cualquiera de entre P4, en las Figuras 1 y 3, o la puerta NAND 403 en las Figuras 4 a 5, a la salida Q. Sin embargo, se encuentra un mayor retraso a través del camino de no descarga en el caso en el que Q está inicialmente alta (es decir, QI está baja y QII está alta) y DATAN está baja tras el flanco de subida de CLK. En particular, el retraso para el camino de no descarga incluye los retrasos de propagación a través de N3, el inversor 109A (Figuras 1 y 3), 401 (Figuras 4 y 5), y, o bien N5 (Figuras 1 y 3) o la puerta NAND 403 Figuras (4 y 5). Los presentes inventores han observado que este retraso del camino de no descarga es limitativo en algunos casos y que es deseable minimizar el tiempo reloj-a-salida en el caso en el que la lógica 104, 301, 501, de evaluación no causa que TOP se descargue. Para permitir un menor retraso del camino de descarga, se expondrá, con referencia a la Figura 8, una realización de la presente invención, basada en mux. Para permitir un menor retraso del camino de no descarga, se presentará una realización ejemplar de la presente invención, con referencia a la Figura 9.

60 Con referencia a la Figura 8, en la misma se presenta un diagrama esquemático de un registro 800 dinámico, de canal N, no inversor, según una realización ejemplar de la presente invención, que exhibe un camino de descarga acelerado. El registro 800 de canal N, no inversor, tiene una etapa de evaluación que incluye dispositivos P1, N1 apilados, y una lógica 501 de evaluación, que están configurados para funcionar en una forma sustancialmente igual que los dispositivos configurados correspondientemente del registro 500, de tipo dominó N, no inversor, descrito anteriormente, con referencia a la Figura 5. Una señal PLSCLK de reloj a impulsos es proporcionada a través de un

65

nodo 801 a las puertas P1 y N1. Tal como apreciará una persona con conocimientos en la materia, es práctica común emplear una señal PLSCLK de reloj a impulsos para el uso con circuitos lógicos dinámicos, tales como el registro 800 de la Figura 8. La señal PLSCLK de reloj a impulsos tiene un ciclo de trabajo relativamente corto. En una realización de la tecnología actual, la señal PLSCLK de reloj a impulsos está alta durante un periodo tiempo según la configuración que permite la propagación de un estado verdadero de las N señales de datos de entrada DATA desde las etapas lógicas previas (no mostradas). Una realización de la presente invención contempla una señal PLSCLK de reloj a impulsos que está en un nivel lógico alto durante un rango de 40 a 70 picosegundos. Aunque estas realizaciones se presentan como típicas, la presente invención contempla también otras realizaciones.

El registro 800 dinámico, de canal N, no inversor, se muestra en la Figura 8 en una configuración que permite la implementación de la lógica 501 de evaluación con lógica CMOS, en lugar de lógica de canal N, tal como se ha descrito anteriormente, proporcionando, de esta manera, un margen de nivel de ruido de entrada considerablemente mejor. Sin embargo, cabe señalar que las realizaciones de la presente invención comprenden también las configuraciones de la etapa de evaluación (o "etapa dominó") donde N1 y la lógica 501 de evaluación están reordenadas, tal como se representa para el registro 400 de la Figura 4 y la lógica 501 de evaluación es reemplazada por la lógica 104 de evaluación.

En la realización mostrada en la Figura 8, la etapa dominó incluye dispositivos de canal P y de canal N, P1 y N1, apilados y la lógica 501 de evaluación. Los dispositivos P1 y N1 son un par complementario de dispositivos de evaluación acoplados conjuntamente entre la fuente de voltaje VDD y la lógica 501 de evaluación. La fuente de P1 está acoplada a VDD y su drenador está acoplado con el nodo 105 que proporciona una señal TOP de precarga. El drenador de N1 está acoplado al nodo 105 y la fuente de N1 está acoplada a la lógica 501 de evaluación. La lógica 501 de evaluación está acoplada entre la fuente de N1 y tierra. Un conjunto de N nodos 103 proporciona N señales de datos de entrada DATA a la lógica 501 de evaluación.

El nodo 105 está acoplado a una entrada de una puerta NAND 403, de dos entradas, de manera que sólo hay presentes dos retrasos de puerta cuando la lógica 501 de evaluación evalúa. En este caso, sin embargo, el nodo 105 está acoplado también a la entrada de un inversor U2, que tiene su salida acoplada a la entrada de otro inversor U4. La salida de U4 está acoplada a un nodo 807 que desarrolla una señal TP1, que es proporcionada a una primera entrada I1 de un multiplexador (MUX) U7. Los inversores U2 y U4 están acoplados en serie y forman, colectivamente, un camino de retraso entre las señales TOP y TP1. La salida O del MUX U7 está acoplada a un nodo 811 que desarrolla una señal FBK de retroalimentación, que es proporcionada a la segunda entrada de la puerta NAND 403. La puerta NAND 403 combina lógicamente los estados de los nodos 105 y 811, para desarrollar la señal de salida Q. El nodo 811 está acoplado también a la entrada de un inversor U6, que tiene su salida acoplada a la entrada de otro inversor U5. La salida de U5 está acoplada a un nodo 809 que desarrolla una señal FB1, que es proporcionada a la segunda entrada I2 del MUX U7. Los inversores U5 y U6 están acoplados en serie y forman, colectivamente, un camino de retraso entre las señales FBK y FB1.

La señal PLSCLK de reloj está acoplada directamente a una primera entrada S1 de selección del MUX U7 y la entrada de otro inversor U3. La salida del inversor U3 desarrolla una señal PLSCLKB de reloj con fase invertida, que es el complemento de la señal PLSCLK de reloj, y que es proporcionada a la segunda entrada S2 de selección del MUX U7. Las entradas S1 y S2 de selección son entradas de selección complementarias, tal como conocen las personas con conocimientos en la materia, de manera que los estados respectivos de las señales PLSCLK y PLSCLKB determinan qué señal TP1 o FB1 (o su combinación) es seleccionada por el MUX U7 y es fijada como la señal FBK de salida de del mux. Cuando PLSCLK está alta (o, "uno lógico") y PLSCLKB está baja (o "cero lógico"), la señal TP1 en la entrada I1 es seleccionada para alimentar la señal FBK de salida. Cuando PLSCLK está baja y PLSCLKB está alta, la señal FB1 en la entrada I2 es seleccionada para alimentar la señal FBK de salida. Un circuito mantenedor completo que incluye inversores U9 y U10 interacoplados está acoplado al nodo 305 para mantener el estado de TOP cuando PLSCLK está alta y DATA no hace que la lógica 501 de evaluación evalúe.

El MUX U7 incluye un primer camino desde I1 hasta O y un segundo camino desde I2 hasta O, donde ambos caminos son controlados por las entradas de selección S1 y S2 complementarias (que reciben las señales PLSCLK y PLSCLKB, respectivamente). En la realización ilustrada, el camino desde I1 hasta O del MUX U7 está implementado con dispositivos que tienen un tamaño considerablemente mayor que los dispositivos del camino desde I2 hasta O. Tal como entienden las personas con conocimientos en la materia, en un primer periodo intermedio cuando PLSCLK sube y mientras PLSCLKB está todavía alta y no es bajada todavía por el inversor U3, ambos caminos desde las entradas I1 e I2 a la salida de O están semiactivados. Debido a que el camino desde I1 hasta O domina durante el primer periodo intermedio, el MUX U7 comienza, casi de inmediato, la selección de la entrada I1. Y si la señal TP1 está en un estado diferente que FBK, entonces la señal FBK comienza, casi inmediatamente, a conmutar al nuevo estado de la señal TP1. Por ejemplo, si TP1 está alta, mientras FBK está baja, entonces FBK comienza a subir, casi de inmediato, en respuesta al flanco de subida de la señal PLSCLK y el flanco de subida de FBK se acelera aún más cuando la señal PLSCLKB baja si FBK no está ya alta. En el sentido contrario durante un segundo periodo intermedio cuando PLSCLK baja y antes de que PLSCLKB suba, ambos caminos están, una vez más, semiactivados. Pero debido a que el primer camino desde I1 hasta O domina con relación al segundo camino desde I2 hasta O, la conmutación para seleccionar la entrada I2 del MUX U7 es relativamente lenta. La

conmutación relativamente "lenta" de I1 a I2 es intrascendente, sin embargo, ya que el estado de FB1 está en el mismo estado que FBK, debido al camino de retroalimentación, de manera que FBK no cambia estados.

5 En una realización más específica, el MUX U7 está implementado con un primera puerta de paso complementario desde la entrada I1 a la salida O y una segunda puerta de paso complementario desde la entrada I2 a la salida O. Cada puerta de paso complementario está implementada con un dispositivo de canal P y un dispositivo de canal N acoplados en paralelo (por ejemplo, fuente con drenador y drenador con drenador), tal como conocen las personas con conocimientos en la materia. Para la primera puerta de paso complementario, la entrada S1 de selección es proporcionada a la puerta del dispositivo de canal N y la entrada S2 de selección es proporcionada a la puerta del dispositivo de canal P, de manera que la primera puerta de paso complementario está completamente activada cuando PLSCCLK está alta y PLSCCLKB está baja, y está totalmente desactivada cuando PLSCCLK está baja y PLSCCLKB está alta. De manera similar, para la segunda puerta de paso complementario, la entrada S1 de selección es proporcionada a la puerta del dispositivo de canal P y la entrada S2 de selección es proporcionada a la puerta del dispositivo de canal N, de manera que la segunda puerta de paso complementario está totalmente activada cuando PLSCCLK está baja y PLSCCLKB está alta, y está totalmente desactivada cuando PLSCCLK está alta y PLSCCLKB está baja. En dicha configuración no balanceada, los dispositivos complementarios de la primera puerta de paso complementario se hacen considerablemente mayores que los dispositivos de la segunda puerta de paso complementario, de manera que la primera puerta de paso complementario domina durante ambos periodos intermedios. En esta configuración no balanceada, el MUX U7 conmuta más rápidamente de I2 a I1 que cuando conmuta de I1 a I2.

25 El inversor U3 puede estar configurado de manera similar a otros inversores con dispositivos de canal N y canal P complementarios. En una realización, cada inversor está implementado con un dispositivo de canal P apilado (referenciado a VDD) en la parte superior de un dispositivo de canal N referenciado a tierra, con la entrada del inversor unida a las puertas y la salida del inversor acoplada a la conexión de drenador común de los dispositivos de canal N y de canal P. Nótese, por ejemplo, los dispositivos P1 y N1 con la fuente de N1 acoplada, por el contrario, a tierra, de manera que TOP es bajada y cuando PLSCCLK está alta y viceversa. La velocidad de conmutación del flanco de bajada de la salida del inversor U3 estándar (y, por tanto, de la señal PLSCCLKB) en respuesta a un flanco de subida de PLSCCLK puede ser incrementada considerablemente haciendo el dispositivo de canal N considerablemente más grande que el dispositivo de canal P, que se representa como un inversor U33 "mejorado", mostrado en la Figura. 9. En esta configuración no balanceada entre los dispositivos complementarios, el dispositivo de canal N más grande baja la salida a un valor más bajo mucho más rápidamente cuando se activa, aunque la desactivación es algo más lenta, de manera que el flanco de subida ocurre más lentamente.

35 Para el inversor U33 mejorado, PLSCCLKB cae muy rápidamente en respuesta a cada flanco de subida de PLSCCLK, mejorando adicionalmente la velocidad de conmutación del MUX U7 de I2 a I1. El camino mejorado del MUX U7 de I1 a O se activa completamente aún más rápido en respuesta a cada flanco de subida de PLSCCLK cuando el inversor U3 estándar es reemplazado por el inversor U33 mejorado en el registro 800 (o en el registro 900). Por otra parte, el flanco de subida de la salida del inversor U33 mejorado (y, por tanto, de la señal PLSCCLKB) en respuesta a un flanco de bajada de PLSCCLK es más lento. El flanco de subida más lento del inversor U33 es intrascendente, ya que la velocidad de conmutación del MUX U7, en respuesta a un flanco de bajada de PLSCCLK, no es un camino crítico de temporización.

45 Ahora, con referencia a la Figura 9, se presenta un diagrama esquemático de otro registro 900 dinámico, de canal N, ejemplar con un camino de no evaluación acelerado, implementado según otra realización de la presente invención. El registro 900 es sustancialmente el mismo que el registro 800 descrito con referencia a la Figura 8, en la que los componentes similares asumen números de referencia idénticos, excepto que el registro 900 incluye dispositivos pull-up de canal P, P2 y P3, adicionales acoplados al nodo 811 FBK. Además, el inversor U3 es reemplazado por el inversor U33 mejorado, permitiendo, de esta manera, un flanco de bajada más rápido de PLSCCLKB en respuesta al flanco de subida de PLSCCLK. La fuente de P2 está acoplada a VDD y su drenador está acoplado a la fuente de P3, que tiene su drenador acoplado al nodo 811. La salida del inversor U2 está acoplada a la puerta de P2 y la salida del inversor U33, que proporciona la señal PLSCCLKB, está acoplada además a la puerta de P3. El MUX U7 está configurado de la misma manera con el camino mejorado desde la entrada I1 a la salida O.

55 La Figura 10 es un diagrama de tiempos 1000 que ilustra el funcionamiento de los registros dinámicos 800, 900, de canal N, de las Figuras 8 y 9. En el diagrama de tiempos, las señales PLSCCLK, PLSCCLKB, DATAN, TOP, TP1, FBK, FB1 y Q se representan en función del tiempo. En aras de la claridad, los tiempos de las transiciones relativas son aproximados y se ignoran los retrasos, con la excepción del retraso a través de los inversores U2 y U4, que se destaca para ilustrar las transiciones de la señal TP1 en relación a las transiciones de la señal TOP. Además, se representa el retraso a través de los inversores U5 y U6 para ilustrar las transiciones de la señal FB1 en relación a las transiciones de la señal FBK. La señal DATAN se muestra como una única señal que representa el conjunto colectivo de N señales DATA. La señal DATAN se muestra alta para el caso en el que el estado colectivo de las señales de datos DATA hace que la lógica 501 de evaluación evalúe, lo que hace que la señal TOP baje, y se muestra baja para el caso en el que la lógica 501 de evaluación no evalúa, lo que mantiene la señal TOP alta. Consiguientemente, TP1 es una versión retrasada de TOP (dos retrasos de puerta a través de U2 y U4), y FB1 es

una versión retrasada de FBK (dos retrasos de puerta a través de U6 y U5). Aunque el inversor U3 (o el inversor U33) está configurado para invertir PLSCCLK, debido a que hay presente un único retraso de puerta, las transiciones de PLSCCLKB en relación a las transiciones de PLSCCLK no se destacan en el diagrama de tiempos 1000.

5 En un tiempo T0 inicial, la señal PLSCCLK baja y TOP es precargada alta debido a que P1 está activado. También, la señal FBK está inicialmente alta, de manera que la señal Q es bajada inicialmente por la puerta NAND 403. La PLSCCLK está baja y PLSCCLKB sube, de manera que la señal FB1 en la entrada I2 del MUX U7 es seleccionada y la señal FBK es fijada en la salida del MUX U7 con el mismo estado que FB1. De esta manera, la configuración de retroalimentación de la señal FBK a la señal FB1 mantiene el estado de FBK mientras PLSCCLK está baja y la entrada I2 es seleccionada.

10 La señal DATAN se muestra inicialmente alta, lo que hace que la lógica 501 de evaluación baje la fuente de N1. Cuando la señal PLSCCLK sube en el tiempo T1, N1 se activa bajando la señal TOP. La bajada de TOP hace que la puerta NAND 403 fije Q a alta. Además, el estado de la señal de TP1 sigue a TOP en el tiempo T2 después del retraso a través de los inversores U2 y U4. La subida de la señal PLSCCLK en T1 hace que el MUX U7 seleccione la señal TP1 en I1 durante el periodo intermedio. En este tiempo, sin embargo, TP1 está todavía alta, ya que el nuevo estado de TOP está todavía propagándose a través del inversor U2. La bajada de TOP se propaga a través de los inversores U2 y U4 para bajar TP1 en el tiempo T2, por ejemplo, aproximadamente dos retrasos de puerta más tarde. TP1 es seleccionada por el MUX U7 en la entrada I1, y debido a que el camino desde I1 hasta O del MUX U7 está mejorado, FBK se baja en el tiempo T3 subsiguiente. Además, FB1 baja en el tiempo T4 debido al retraso presentado por los inversores U6 y U5. Por lo tanto, FB1 se baja en la entrada I2 del MUX U7. La acción de enclavamiento del MUX U7 ocurre después de varios retrasos de puerta desde el flanco de subida de PLSCCLK hasta el flanco de bajada final de FB1. Sin embargo, debido a que la señal TOP es proporcionada directamente a la puerta NAND 403 de salida, la señal Q conmuta dentro de dos retrasos de puerta después del flanco de subida de PLSCCLK.

15 En un tiempo T5, cuando, a continuación, PLSCCLK baja, TOP es precargada, una vez más, a alta y el estado de TP1 sigue en el tiempo T6 debido al retraso a través de U2 y U4. También, el MUX U7 conmuta para seleccionar la señal FB1, que es el mismo estado que la señal FBK en este tiempo. De esta manera, la señal FBK es enclavada efectivamente a baja durante el resto del ciclo de PLSCCLK (es decir, mientras PLSCCLK está baja). Debido a que FBK estaba baja y se mantiene baja, la señal Q en la salida de la puerta NAND 403 sigue siendo alta durante el resto del ciclo.

20 DATAN baja entre los tiempos T6 y T7, de manera que la lógica 501 de evaluación sube la fuente de N1. A continuación, la señal PLSCCLK sube en un tiempo T7 subsiguiente, activando N1 e iniciando el ciclo siguiente. Debido a que DATAN está baja y la fuente de N1 está alta, TOP permanece alta y continúa estando alta durante el resto del ciclo de PLSCCLK. Consiguientemente, TP1 permanece alta durante el resto del ciclo de PLSCCLK. El MUX U7 selecciona la señal TP1 en la entrada I1 en respuesta al flanco de subida de PLSCCLK y, de esta manera, sube la señal FBK en el tiempo T8. El estado de FB1 sigue al estado de FBK en el tiempo T9. Aunque no se representa específicamente en el diagrama de tiempos 1000, se destaca que si el inversor U3 está implementado, por el contrario, con una velocidad flanco de bajada mejorada, tal como se ha descrito anteriormente, utilizando el inversor U33, entonces la señal FBK realiza una transición de nivel bajo a nivel alto incluso más rápido de lo mostrado. De esta manera, la señal Q se baja en el tiempo T8 cuando FBK baja. El retraso desde cuando PLSCCLK sube en el tiempo T7 a cuando Q baja en el tiempo T8, es de aproximadamente dos retrasos de puerta.

25 En resumen, cuando PLSCCLK está baja, la entrada I2 del MUX U7 es seleccionada, que está en el mismo estado que FBK, y que conserva el estado de la salida Q durante la precarga (es decir, cuando PLSCCLK está baja). Cuando PLSCCLK sube, la entrada I1 empieza a ser seleccionada casi inmediatamente por el MUX U7. Si TOP evalúa (es decir, baja), la puerta NAND 403 es alimentada directamente, haciendo que Q suba. Además, FBK es alimentada baja, lo que mantiene el estado de Q (alto) durante una parte del ciclo de precarga siguiente. Si DATAN no hace que la lógica 501 de evaluación evalúe cuando PLSCCLK sube, entonces el estado de TOP (precargada a un nivel lógico alto) está ya presente en I1 cuando es seleccionada por la subida de la entrada S1 de selección. Cuando FBK sube, Q baja. Por lo tanto, el retraso reloj-a-salida bajo esta condición consiste solo en aproximadamente dos retrasos de puerta según la presente invención, incluyendo la propagación del estado de TOP (es decir, la señal TP1) a través del MUX U7, y, a continuación, la propagación del estado de la señal FBK a través de la puerta NAND 403. Y para acelerar adicionalmente la transición de Q bajo condiciones en las que la lógica 501 de evaluación no hace que TOP se descargue, se recomienda que se emplee la realización 900 de la Figura 9. Más específicamente, reemplazando el inversor U3 con el inversor U33 mejorado y añadiendo los dispositivos P2 y P3, cuando TOP no se descarga, P2 ya está activado en el tiempo T7. Y cuando PLSCCLKB baja, P3 se activa, subiendo FBK y alimentando Q a un nivel bajo a través de la puerta NAND 403. Consiguientemente, el único retraso reloj-a-salida en el que se incurre bajo esta condición de no descarga es el presentado por el inversor U33 y la puerta NAND 403, que es esencialmente equivalente al que está presente bajo descarga, o condiciones de evaluación.

30 Consiguientemente, la realización del registro 900 dinámico, de canal N, no inversor, es preferente para acelerar el tiempo reloj-a-salida para los casos en los que TOP no se descarga.

5 Un registro dinámico de canal N, no inversor, con un camino de no descarga acelerado, implementado según una realización de la presente invención, es más rápido, en al menos dos retrasos de puerta, en comparación con el que se ha proporcionado hasta la fecha, bajo condiciones en las que la salida Q cambia de estado desde un nivel alto a un nivel bajo. El diseño mejorado, con retraso reducido, es muy útil en caminos con temporizaciones críticas. Así, el camino de no descarga ya no es el retraso crítico. Debido a que el retraso reloj-a-salida para el camino de no descarga puede hacerse más corto que el retraso reloj-a-salida para el camino de descarga, el primer camino puede ser ralentizado deliberadamente para que coincida con el retraso de este último, si se desea, mediante la reducción de tamaño de los dispositivos apropiados. De esta manera, puede conseguirse un ahorro global en el área del diseño.

10 Aunque la presente invención se ha descrito con considerable detalle con referencia a ciertas versiones preferentes de la misma, otras versiones y variaciones son posibles y están contempladas. Por ejemplo, aunque la presente divulgación contempla implementaciones y se describe en la presente memoria con respecto a dispositivos de tipo MOS, incluidos dispositivos CMOS y similares, tales como, por ejemplo, transistores NMOS y PMOS, puede aplicarse también, de una manera similar, a tipos diferentes o análogos de tecnologías y topologías, tales como dispositivos bipolares o similares. Además, las personas con conocimientos en la materia deben apreciar que pueden utilizar fácilmente la concepción y las realizaciones específicas divulgadas como base para el diseño o la modificación de otras estructuras, para proporcionar los mismos fines de la presente invención, sin alejarse del alcance de la invención, tal como se define en las reivindicaciones adjuntas.

REIVINDICACIONES

1.- Registro dinámico, de canal N, no inversor, que comprende:

5 una etapa dominó, para evaluar una función lógica en base a al menos una señal de datos de entrada y una señal de reloj a impulsos, en el que dicha etapa dominó precarga un nodo precargado a alto cuando dicha señal de reloj a impulsos está baja y abre una ventana de evaluación cuando dicha señal de reloj a impulsos sube, y baja dicho nodo precargado si evalúa, y mantiene dicho nodo precargado alto si no evalúa; un mux, acoplado a la etapa dominó, que responde a dicha señal de reloj a impulsos y a dicho nodo precargado, que baja un nodo de retroalimentación si dicho nodo precargado baja durante dicha la ventana de evaluación, y que sube dicho nodo de retroalimentación si dicho nodo precargado está alto durante dicha ventana de evaluación, y que recibe una señal de retroalimentación retrasada que tiene el mismo estado que dicho nodo de retroalimentación, pero retrasado en el tiempo, en el que la señal de retroalimentación retrasada es seleccionada cuando dicha señal de reloj a impulsos baja; y
 10 una etapa de salida, acoplada a dicho nodo precargado y dicho nodo de retroalimentación, que proporciona una señal de salida en base a los estados de dicho nodo precargado y dicho nodo de retroalimentación.

2.- Registro dinámico, no inversor, según la reivindicación 1, en el que la etapa dominó comprende:

20 un dispositivo de canal P que tiene una puerta que recibe dicha señal de reloj a impulsos, y un drenador y una fuente acoplados entre una fuente de voltaje y dicho nodo precargado; un dispositivo de canal N que tiene una puerta que recibe dicha señal de reloj a impulsos, y un drenador acoplado a dicho nodo precargado, y una fuente; y lógica de evaluación acoplada entre tierra y dicha fuente de dicho dispositivo de canal N.

25 3.- Registro dinámico, no inversor, según la reivindicación 2, en el que la lógica de evaluación comprende lógica de semiconductor de óxido metálico complementario.

4.- Registro dinámico, no inversor, según la reivindicación 1, que comprende además:

30 una primera lógica de retraso, acoplada a dicho nodo precargado y una primera entrada de dicho mux, configurada para generar una primera señal retrasada que tiene el mismo estado que dicho nodo precargado, pero retrasado en el tiempo.

5.- Registro dinámico, no inversor, según la reivindicación 4, que comprende además:

35 una segunda lógica de retraso, acoplada a dicho nodo de retroalimentación y una segunda entrada de dicho mux, configurada para generar dicha señal de retroalimentación retrasada.

40 6.- Registro dinámico, no inversor, según la reivindicación 1, en el que dicha señal de reloj a impulsos está acoplada a una primera entrada de selección de dicho mux, y en el que una versión invertida de dicha señal de reloj a impulsos está acoplada a una segunda entrada de selección de dicho mux.

45 7.- Registro dinámico, no inversor, según la reivindicación 1, en el que la etapa de salida comprende una puerta NAND.

8.- Registro dinámico, no inversor, según la reivindicación 1, en el que dicha etapa dominó, dicho mux y dicha etapa de salida se fabrican usando un proceso de silicio-sobre-aislante, a una escala de 90 nanómetros.

9.- Procedimiento de registro de una función lógica y generación de una salida no invertida, que comprende:

50 precargar un primer nodo alto, mientras una señal de reloj a impulsos está baja; evaluar una función lógica para controlar el estado del primer nodo cuando la señal de reloj a impulsos sube, comprendiendo dicha evaluación; bajar el primer nodo cuando la función lógica evalúa y mantener el primer nodo alto cuando la función lógica falla en la evaluación; 55 controlar, en primer lugar, el estado de un segundo nodo con un primer estado retrasado del primer nodo cuando la señal de reloj a impulsos sube, comprendiendo dicho primer control; seleccionar, en primer lugar, un primer estado retrasado del primer nodo como una salida de un mux, en el que la salida está acoplada al segundo nodo; 60 controlar, en segundo lugar, el estado del segundo nodo con un segundo estado retrasado del segundo nodo cuando la señal del reloj a impulsos baja, y determinar el estado de un nodo de salida en base a los estados del primer nodo y del segundo nodo.

10.- Procedimiento según la reivindicación 9, en el que dicho segundo control comprende:

Seleccionar, en segundo lugar, el segundo estado retrasado del segundo nodo de la salida del MUX.

11.- Procedimiento según la reivindicación 9, en el que dicha determinación del estado de un nodo de salida comprende combinar lógicamente los estados del primer nodo y del segundo nodo con una función NAND.

FIG. 1

REGISTRO, DE TIPO DOMINÓ N, NO INVERSOR

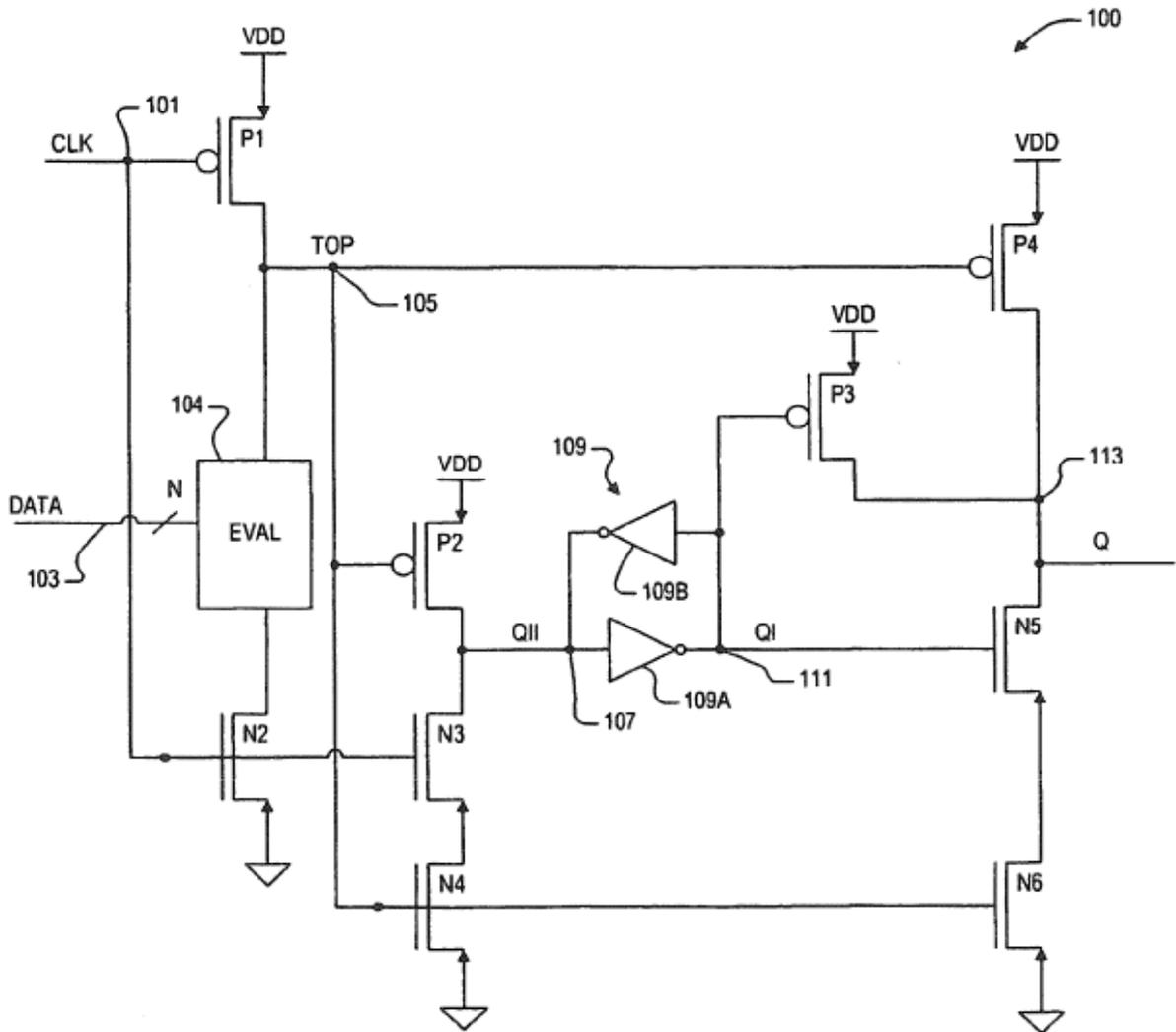


FIG. 2

TIEMPOS DEL REGISTRO, DE TIPO DOMINÓ N, NO INVERSOR

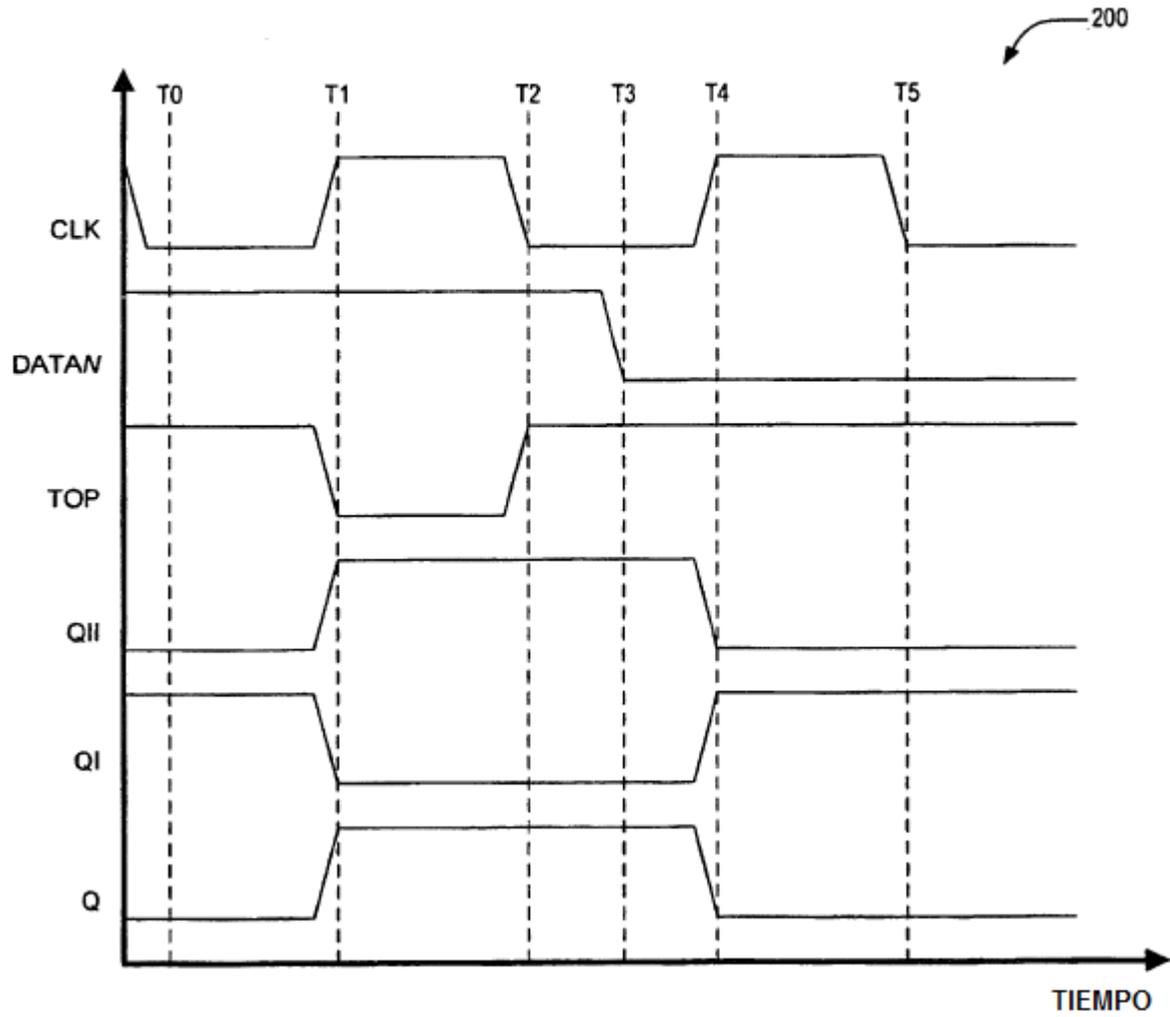


FIG. 3

REGISTRO, DE TIPO DOMINÓ N, NO INVERSOR - REALIZACIÓN ALTERNATIVA

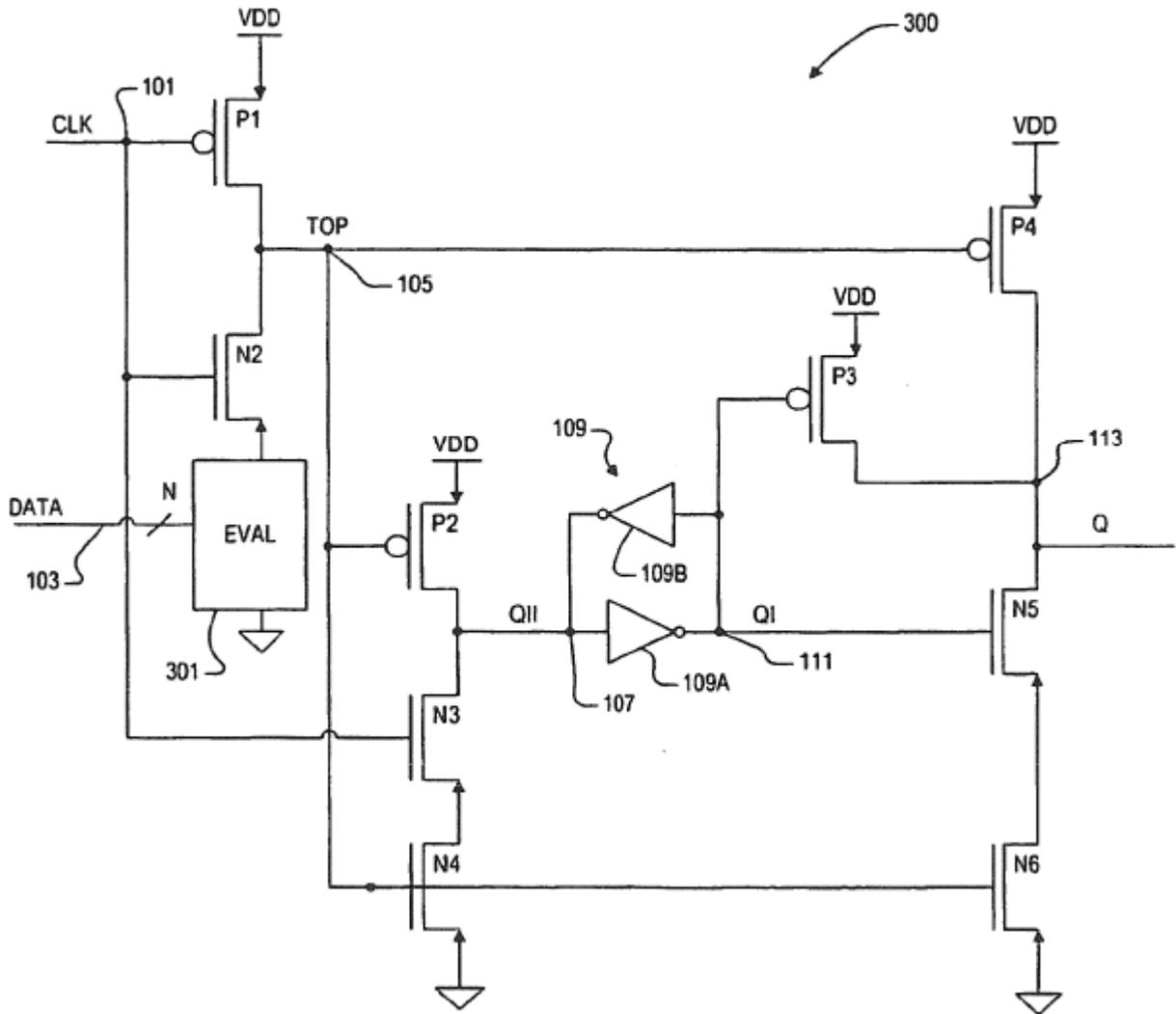


FIG. 4

REGISTRO, DE TIPO DOMINÓ N, NO INVERSOR, CON ETAPA DE ALMACENAMIENTO MEJORADA

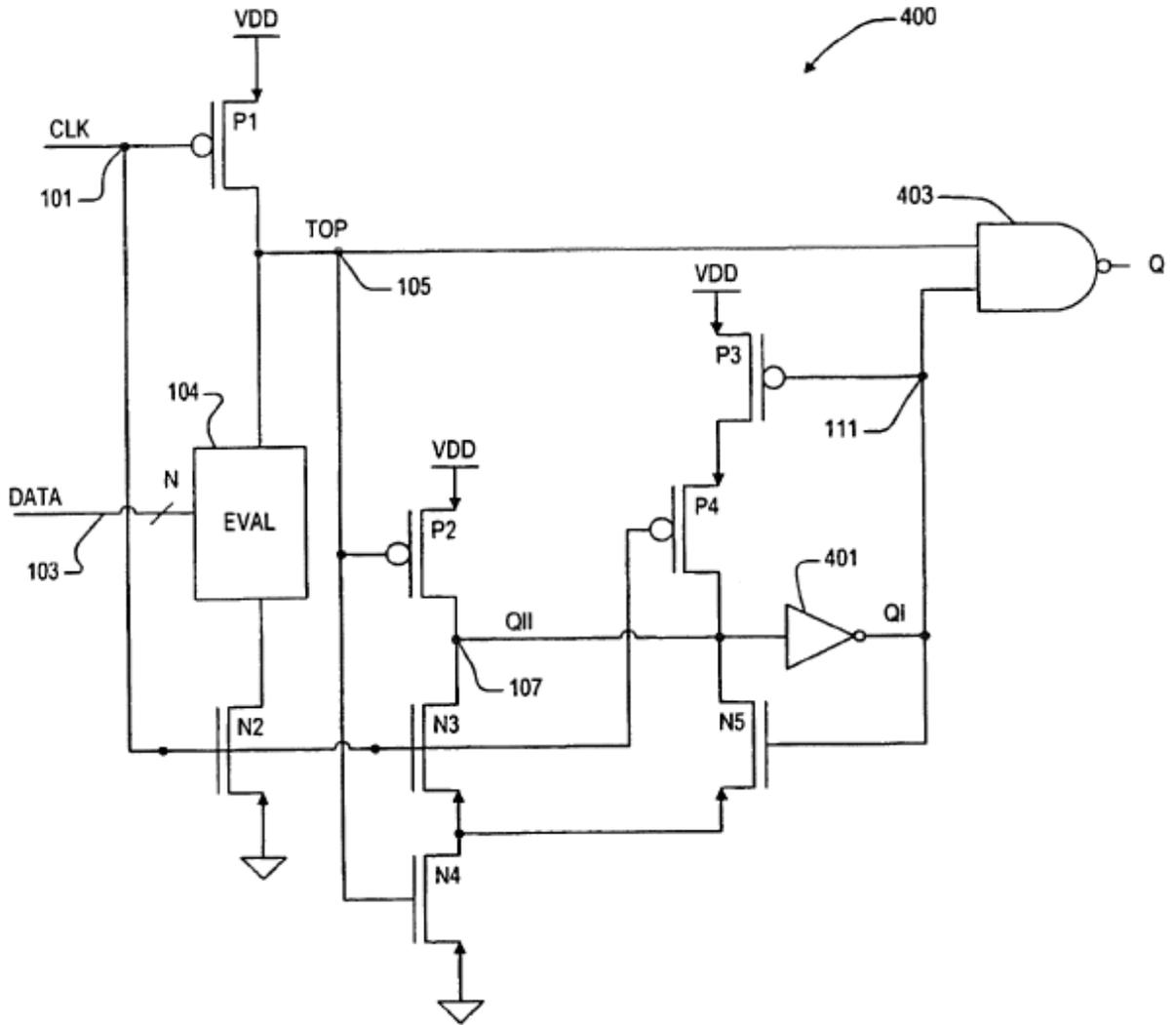


FIG. 5

REGISTRO, DE TIPO DOMINÓ N, NO INVERSOR, CON ETAPA DE ALMACENAMIENTO MEJORADA - REALIZACIÓN ALTERNATIVA

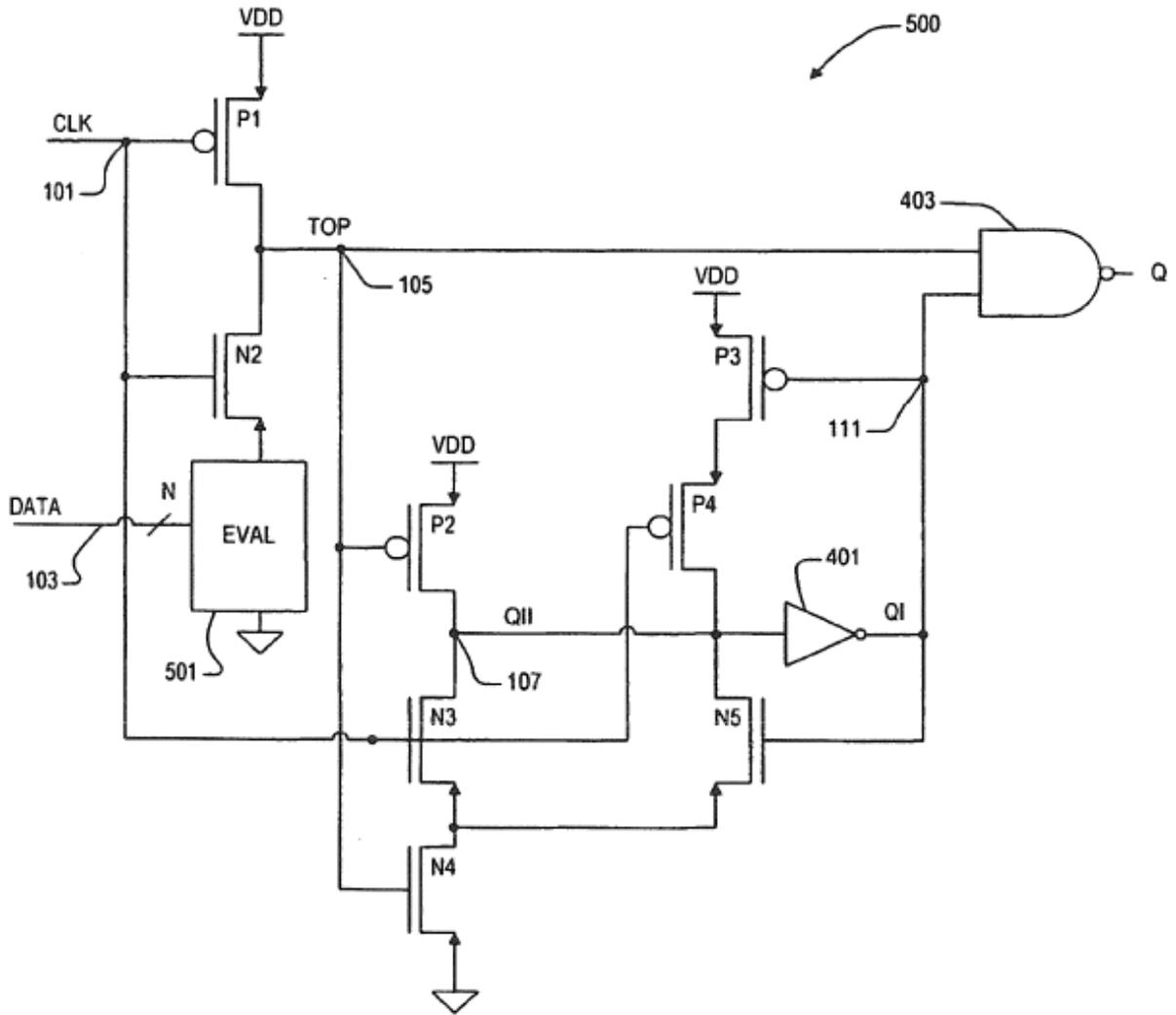


FIG. 6

TIEMPOS DEL REGISTRO, DE TIPO DOMINÓ N, NO INVERSOR
CON RELOJ A IMPULSOS

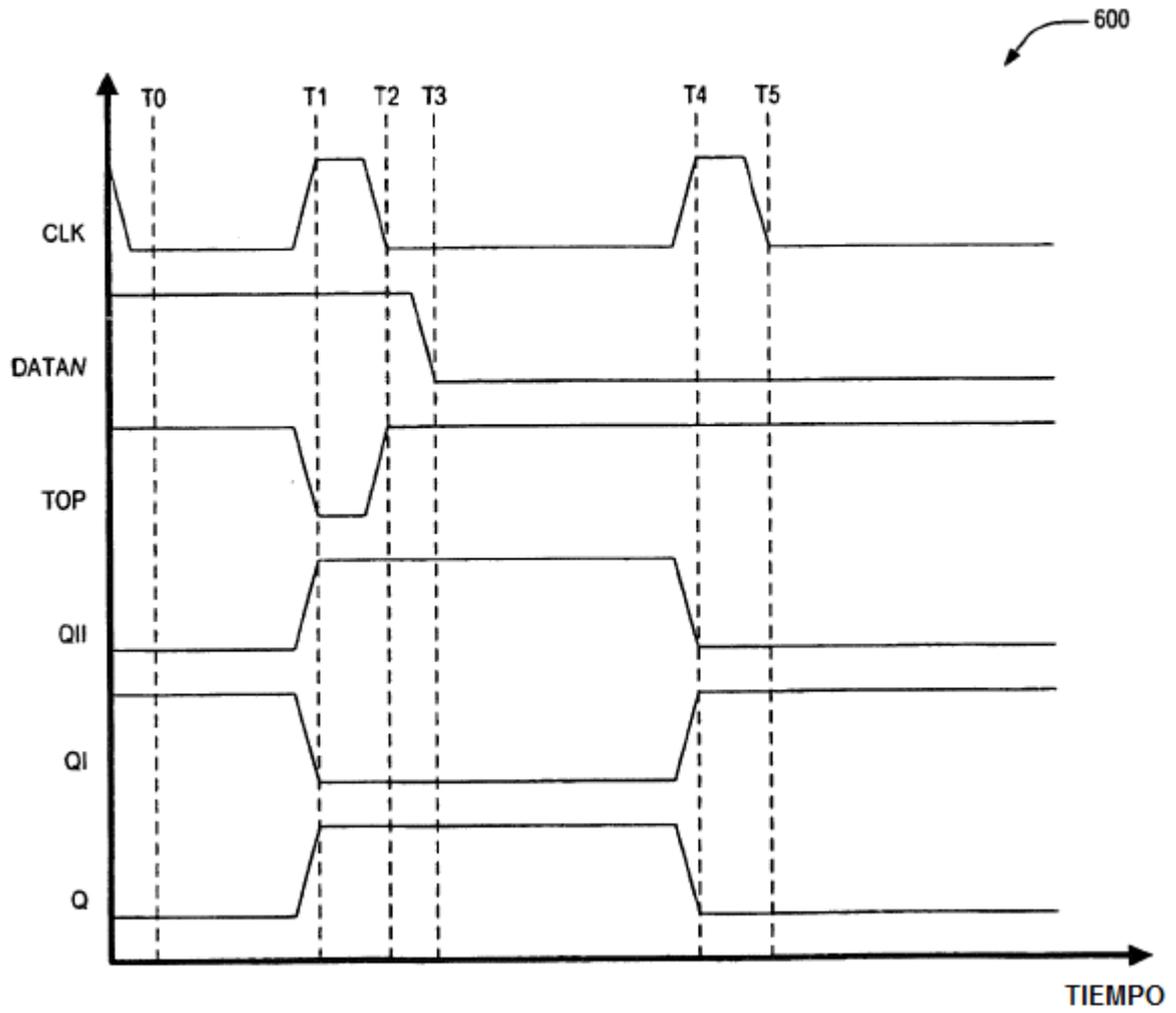


FIG. 7

TIEMPOS DEL ENCLAVAMIENTO DE TIPO DOMINÓ N

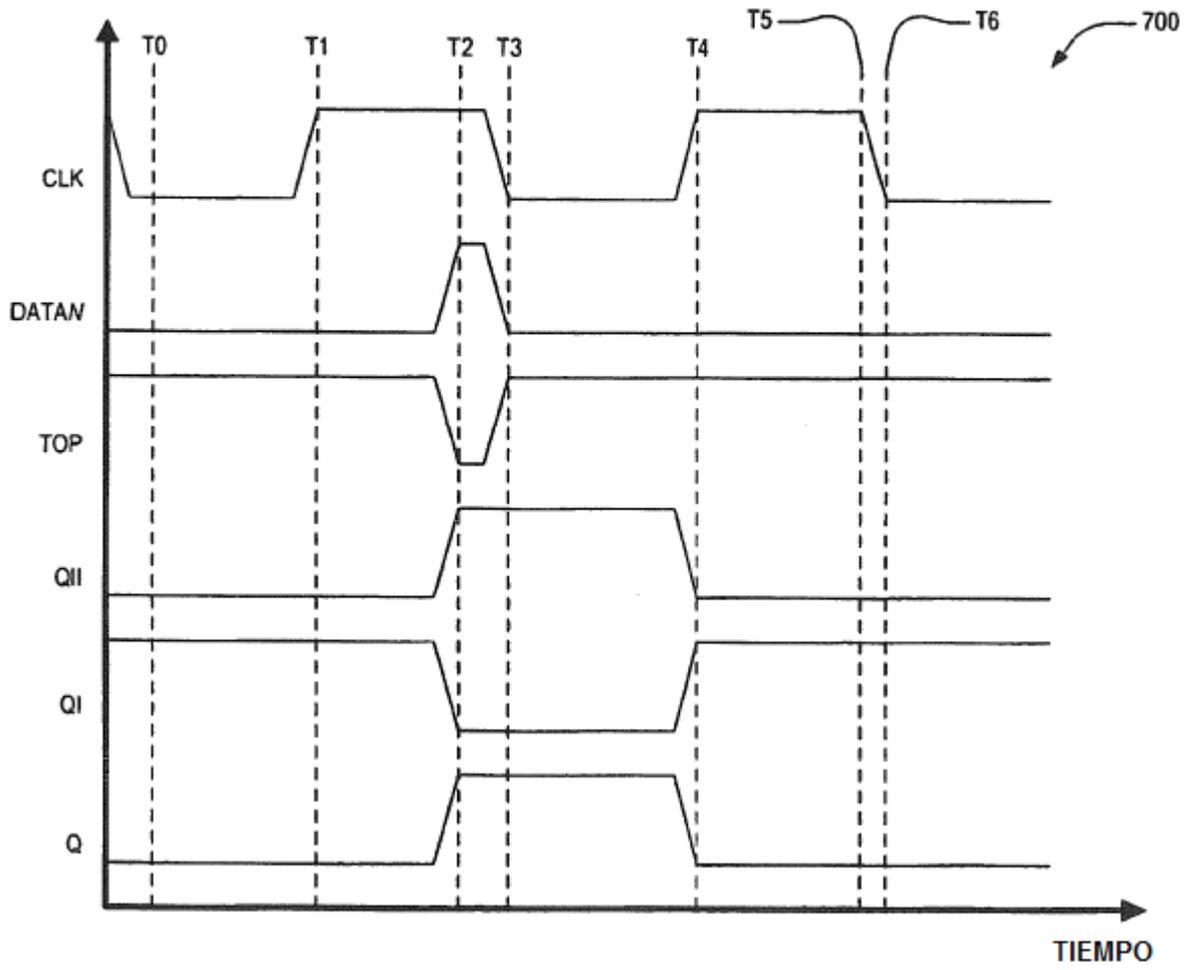


FIG. 9

REGISTRO DINÁMICO, DE CANAL N, ACELERADO - REALIZACIÓN HARD Y PULL-UP RÁPIDO

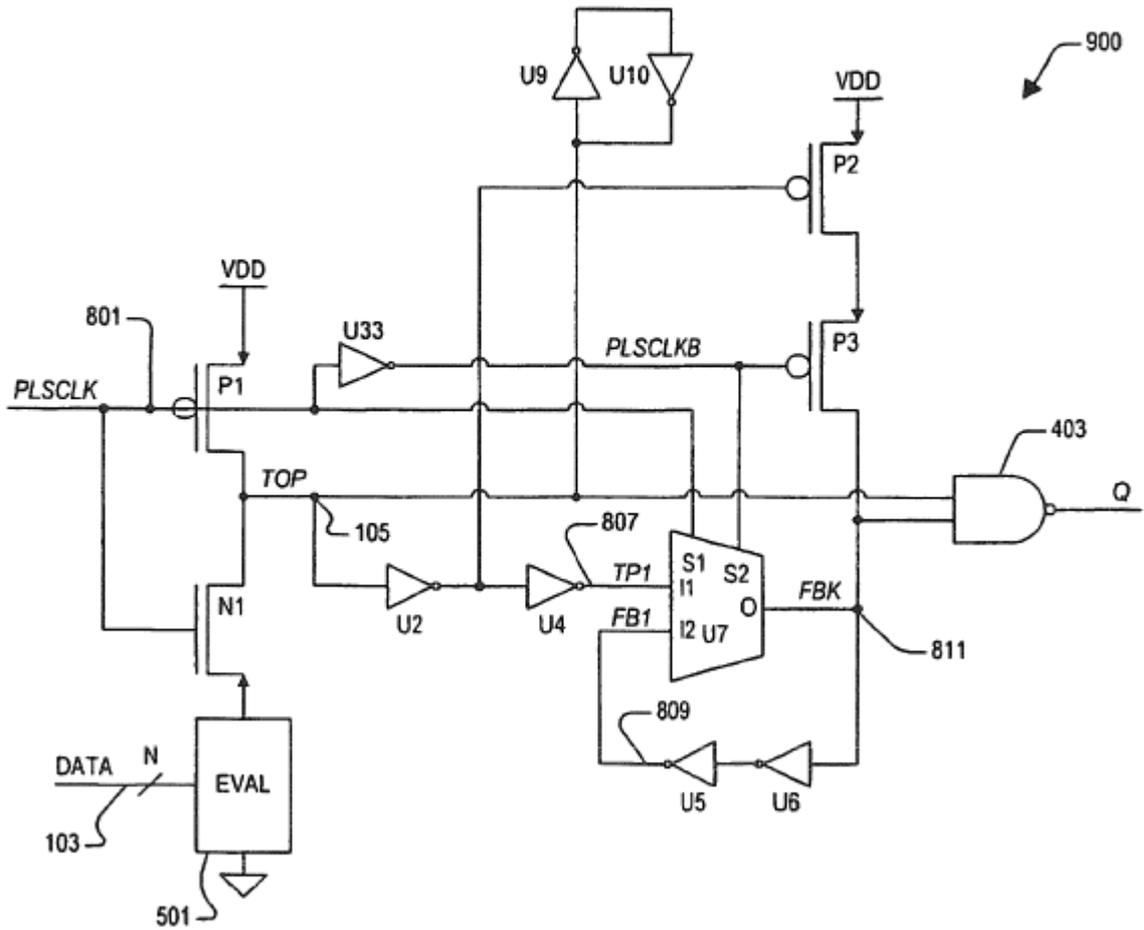


FIG. 10

TIEMPOS DEL REGISTRO DINÁMICO, DE CANAL N, ACELERADO

