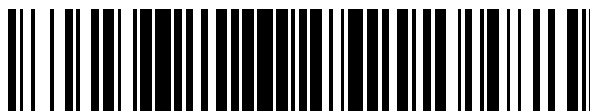


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 377 216**

51 Int. Cl.:  
**H04J 14/02** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **07816928 .1**  
96 Fecha de presentación: **20.09.2007**  
97 Número de publicación de la solicitud: **2083528**  
97 Fecha de publicación de la solicitud: **29.07.2009**

54 Título: **Nodo de red, dispositivo de memoria intermedia y el método de programación**

30 Prioridad:  
**26.12.2006 CN 200610168222**

45 Fecha de publicación de la mención BOPI:  
**23.03.2012**

45 Fecha de la publicación del folleto de la patente:  
**23.03.2012**

73 Titular/es:  
**HUAWEI TECHNOLOGIES CO., LTD.  
HUAWEI ADMINISTRATION BUILDING BANTIAN  
LONGGANG DISTRICT  
SHENZHEN, GUANGDONG PROVINCE 518129,  
CN y  
UNIVERSITY OF ELECTRONIC SCIENCE AND  
TECHNOLOGY OF CHINA**

72 Inventor/es:  
**ZHANG, Yi;  
PAN, Yongkang;  
SU, Qingbo;  
WANG, Sheng y  
XU, Du**

74 Agente/Representante:  
**Lehmann Novo, Isabel**

ES 2 377 216 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Nodo de red, dispositivo de memoria intermedia y el método de programación

## 5 CAMPO DE LA TECNOLOGÍA

La presente invención se refiere al campo de la tecnología de redes ópticas y más en particular a un nodo de red, un dispositivo de memoria intermedia y un método de programación en una red óptica de conmutación de paquetes.

## 10 ANTECEDENTES DE LA INVENCION

Con el rápido crecimiento de los servicios de paquetes, el diseño de las redes de comunicaciones, en el futuro, tendrá como objetivo principal la optimización y soporte de paquetes. La tecnología de la conmutación de paquetes de redes ópticas es capaz de ampliar el ancho de banda de red existente y un nodo de red tiene un alto rendimiento de suministro de información, lo que es idóneo para servir de apoyo a un servicio de paquetes que suele cambiar y es muy imprevisible desde el punto de vista operativo, en particular en un servicio de IP.

Actualmente, una red óptica de conmutación de paquetes suele estar constituida por nodos de borde y un nodo central conectado mediante un enlace de fibra de multiplexión por división en longitud de onda densas (DWDM). Un paquete de datos se transmite desde un nodo de borde por intermedio del enlace de fibra de DWDM hasta llegar al nodo central, luego se conmuta mediante un módulo de conmutación del nodo central y por último, se envía a un nodo de borde de destino.

La Figura 1 representa un diagrama de un sistema de conexiones de realimentación de una estructura de nodo central. La estructura tiene P puertos de entrada que están en correspondencia con P puertos de salida, presentando cada puerto M longitudes de onda y utilizando una matriz de conmutación de una escala de PM x PM. Es decir, la matriz de conmutación incluye PM puertos de entrada y PM puertos de salida. Se realiza una conversión de longitudes de onda por intermedio de un convertidor de longitudes de onda sintonizable (TWC) sobre una salida de una onda luminosa desde un demultiplexor por división en longitud de onda en el sistema de conexión y luego, la onda luminosa entra en una memoria intermedia óptica. La onda luminosa, procedente de la memoria intermedia óptica, entra en un combinador de un puerto de salida correspondiente a través de la matriz de conmutación de la escala de PM x PM. Una estructura de la memoria intermedia óptica se representa en la Figura 2, en la que cada línea de retardo de fibra de la unidad de memoria intermedia multinivel (FDL) consiste en cuatro líneas FDLs de un solo nivel FDLs.

El sistema de conexión de realimentación presenta los inconvenientes siguientes. Puesto que una línea FDL multinivel dedicada está configurada para cada longitud de onda, se necesita un gran número de FDLs, por lo que la escala del nodo central es grande. Además, se utiliza una estructura de matriz de conmutación de un solo plano, es decir, una estructura de matriz de conmutación de la escala de PM x PM y dicha matriz de conmutación está constituida por conmutadores. Si el conmutador se representa por un conmutador óptico básico de tipo 1 x 2, el número de conmutadores ópticos básicos, que se necesitan, es 2 x PM (PM - 1). En consecuencia, el nodo central presenta una escala todavía mayor y resulta difícil ponerla en práctica en una forma integrada. Puesto que la memoria intermedia óptica utiliza una estructura de conexión lineal, el número de las líneas FDLs está limitado y existe un límite superior de tiempo de memoria intermedia. Cuando el tiempo de memoria intermedia requerido por el paquete de datos supera el límite superior, sólo se puede desechar el paquete de datos. Puesto que la memoria intermedia óptica utilizada está antes del plano de conmutación, existe el problema del bloqueo de la cabecera de línea. Esto es, para dos datos en ráfaga, que tengan la misma longitud de onda, procedentes sucesivamente del mismo puerto de entrada, llegando en diferentes puertos de salida, si los anteriores datos en ráfaga se retardan en la memoria intermedia óptica en un tiempo que se solapa con el tiempo cuando los últimos datos en ráfaga salen de la memoria intermedia óptica, se desecharán inevitablemente dichos últimos datos en ráfaga en la situación de que realmente el plano de conmutación está inactivo y no se puede enviar al puerto de salida correspondiente.

Además, SHELL M. et al: "Rendimiento de las redes, completamente ópticas, de conmutadores de paquetes de arquitectura de memoria compartida utilizando un agrupamiento de canales bajo un tráfico en ráfagas" HIGH PERFORMANCE SWITCHING AND ROUTING, 2001 IEEE WORKSHOP ON 29-31 MAYO 2001, PISCATAWAY, NJ, USA, IEEE, 29 mayo 2001(2001-05-29), páginas 208-212, XP010542800 ISBN:978-0-2803-6711-1 presenta un modelo de operación lógica exacto para predecir el rendimiento de la clase de arquitectura de memoria compartida, completamente óptica, con conmutadores de paquetes, bajo un tráfico aleatorio o en ráfagas. El modelo da a conocer, además, un medio para obtener una aproximación razonable del comportamiento funcional de elementos de conmutadores de OSMA dentro de algunos tipos de redes, incluyendo la familia de Banyan.

KOJI SASAYAMA et al: "FRONTIERNET: Red de Interconexión por división en el tiempo del tipo de encaminamiento de frecuencias" JOURNAL OF LIGHTWAVE TECHNOLOGY, IEEE SERVICE CENTER, NEW YORK, NY, US, vol.15, nº 3, 1 marzo 1997 (1997-03-01), XP011028790 ISSN: 0733-8724 describe un conmutador de ruta de multiplexión por división en tiempo (TDM) fotónica, denominado FRONTIERNET, que utiliza la frecuencia óptica como medio de encaminamiento de la información. Esta arquitectura de conmutadores se puede aplicar a sistemas

de conmutación del modo de transferencia asíncrona (ATM). El conmutador N x N consiste en N convertidores de frecuencias sintonizables y N memorias intermedias de salida multiplexadas por división en frecuencias (FDM) conectadas mediante un enrutador de frecuencias N x N. El enrutador puede interconectar N rutas de entrada con N rutas de salida en un modo completamente sin interferencias. Es posible direccionar cada ruta de salida, de forma única, mediante la elección de frecuencia (enrutamiento de frecuencias) y cada ruta de salida puede recibir cualquier frecuencia dada desde solamente una entrada.

EP-A-1 217 863 (ALCATEL USA SOURCING LP [US]) 26 Junio 2002 (2002-06-26) da a conocer una red de conmutadores ópticos que incluye enrutadores ópticos, que encaminan la información de rutas en fibras ópticas. Cada fibra transporta una pluralidad de canales de datos, colectivamente denominados un grupo de canales de datos y un canal de control. Los datos se transmiten en los canales de datos en forma de ráfagas de datos y la información de control se transmite a través del canal de control en paquetes de cabeceras de ráfagas. Un paquete de cabeceras de ráfagas incluye información de enrutamiento para una ráfaga de datos asociada y precede a su ráfaga de datos asociada. La programación en paralelo, con múltiples retardos, se puede utilizar para una programación más rápida. En una forma de realización, tiempos e intervalos de separación no programados se pueden procesar en una memoria unificada para un funcionamiento más eficaz.

US 2004/208418 A1 (HANDELMAN DORON [IL]) 21 octubre 2004 (2004-10-21) da a conocer un método en el que una señal óptica retardada se genera a partir de una señal óptica a la entrada mediante la transmisión cíclica de la señal óptica introducida entre al menos dos extremos de un medio de soporte óptico y proporcionando a la salida, la señal óptica a la entrada desde uno de los extremos del medio de soporte óptico después de al menos un ciclo de transmisión a través del medio óptico. Cada transmisión de la señal óptica a la entrada, en una dirección a través del medio de soporte óptico, se transmite por intermedio de un recurso de longitud de onda que es diferente de un recurso de longitud de onda utilizado en una transmisión precedente de la señal óptica entrante en una dirección a través del medio de soporte óptico.

#### SUMARIO DE LA INVENCIÓN

Las formas de realización de la presente invención están destinadas a un nodo de red, un dispositivo de memoria intermedia y un método de programación, con el fin de reducir la escala de un nodo central y diseñar un nodo central práctico.

Para poder resolver el problema técnico anterior, el objetivo de las formas de realización de la presente invención se realiza por intermedio de los sistemas técnicos siguientes.

Se da a conocer un dispositivo de memoria intermedia. El dispositivo de memoria intermedia comprende al menos dos unidades de conmutación interna y al menos dos unidades de memorias intermedias básicas. Cada una de las unidades de conmutación interna incluye al menos dos entradas y al menos dos salidas. Las unidades de conmutación interna y las unidades de memorias intermedias básicas forman una conexión cerrada, en donde las al menos dos unidades de conmutación interna y las al menos dos unidades de memorias intermedias básicas forman la conexión alternándose entre sí, en donde cada una de las al menos dos unidades de conmutación interna se conecta con una unidad de memoria intermedia básica, en sentido ascendente, por intermedio de una de las al menos dos entradas y se conectan con una unidad de memoria intermedia básica, en sentido descendente, con una de las al menos dos salidas;

Otra de las al menos dos entradas de la unidad de conmutación interna recibe una onda luminosa, cada una de las al menos dos unidades de conmutación interna (401, 501) proporciona, a la salida, la onda luminosa a la unidad de memoria intermedia básica, en sentido descendente o la onda luminosa a un combinador desde otra de las al menos dos salidas en función de una primera señal de control.

Las al menos dos unidades de memoria intermedia básica están adaptadas para la memorización intermedia de la onda luminosa procedente de la unidad de conmutación interna.

En una forma de realización preferida, cada una de las unidades de conmutación interna incluye tres o más entradas y tres o más salidas, estando las al menos dos unidades de conmutación interna concatenadas para formar una conexión cerrada por ellas mismas.

Se da a conocer un nodo de red. El nodo de red comprende un demultiplexor por división en longitud de onda, al menos un dispositivo de memoria intermedia y al menos un combinador, tipo uno a uno, correspondiente al por lo menos un dispositivo de memoria intermedia.

El demultiplexor por división en longitud de onda está adaptado para dividir una señal de longitud de onda recibida y para proporcionar, a la salida, una onda luminosa, obtenida por división, al dispositivo de memoria intermedia.

El al menos un dispositivo de memoria intermedia incluye al menos una unidad de conmutación interna y al menos una unidad de memoria intermedia básica. La unidad de conmutación interna incluye al menos dos entradas y al

5 menos dos salidas. La unidad de conmutación interna y la unidad de memoria intermedia básica forman una conexión cerrada alternándose entre sí por intermedio de una de las al menos dos entradas y una de las al menos dos salidas. Otra de las al menos dos entradas de la unidad de conmutación interna recibe la onda luminosa. La unidad de conmutación interna proporciona, a la salida, la onda luminosa en función de una primera señal de control. La unidad de memoria intermedia básica está adaptada para la memorización intermedia de la onda luminosa procedente de la unidad de conmutación interna.

10 El al menos un combinador está adaptado para la multiplexión y suministro, a la salida, de la onda luminosa desde la unidad de conmutación interna del dispositivo de memoria intermedia.

En una forma de realización preferida, la unidad de conmutación interna proporciona, a la salida, la onda luminosa a la unidad de memoria intermedia básica o proporciona, a la salida, la onda luminosa al combinador desde otra de las al menos dos salidas en función de la primera señal de control.

15 En una forma de realización preferida, el nodo de red comprende, además, un TWC entre el demultiplexor por división en longitud de onda y el dispositivo de memoria intermedia.

20 El TWC está adaptado para realizar una conversión de longitud de onda en la salida de onda luminosa desde el demultiplexor por división en longitud de onda y proporcionando, a la salida, una onda luminosa convertida al dispositivo de memoria intermedia.

En una forma de realización preferida, el nodo de red comprende, además, un conmutador óptico entre el TWC y el dispositivo de memoria intermedia.

25 El conmutador óptico está adaptado para transmitir la salida de onda luminosa desde el TWC al dispositivo de memoria intermedia, en función de una segunda señal de control.

30 En una forma de realización preferida, cuando el dispositivo de memoria intermedia comprende al menos dos unidades de conmutación interna y cada una de las unidades de conmutación interna incluye tres o más entradas y tres o más salidas, estando las al menos dos unidades de conmutación interna concatenadas para formar una conexión cerrada por sí mismas.

35 Se da a conocer un método de programación para transmitir un paquete de datos en una red óptica. La red óptica incluye el dispositivo de memoria intermedia. El método de programación comprende las etapas siguientes.

Etapa A: Una ruta se determina en función de un nivel de utilización.

40 Etapa B: Se determina si cada una de las unidades de memorias intermedias básicas es capaz de reservarse en función de la información del estado operativo del puerto de salida de una unidad de conmutación interna, en sentido ascendente, para cada una de las unidades de memorias intermedias básicas en la ruta; se determina si un primer puerto de una unidad de conmutación interna conectado a una salida de una última unidad de memoria intermedia básica es capaz de reservarse, en función de la información del estado operativo del puerto de salida de la unidad de conmutación interna, conectado a la salida de la última unidad de memoria intermedia básica en la ruta, si cada una de las unidades de memoria intermedia básica es capaz de reservarse y el paquete de datos se transmite a través de la ruta y se actualiza la información del estado operativo del puerto de salida de cada una de las unidades de conmutación interna en la ruta, si el primer puerto de la unidad de conmutación interna, conectado a la salida de la última unidad de memoria intermedia básica, es capaz de reservarse.

50 En una forma de realización preferida, la etapa B comprende los pasos siguientes.

55 Etapa B1: Se determina si un nivel  $m$  de una unidad de memoria intermedia básica, que actualmente tiene éxito operativo en la reserva, es menor que el nivel de utilización y se realiza la etapa B2 si el nivel  $m$  de la unidad de memoria intermedia básica, que actualmente tiene éxito operativo en la reserva, es menor que el nivel de utilización; se realiza la etapa B3 si el nivel  $m$  de la unidad de memoria intermedia básica, que actualmente tiene éxito operativo en la reserva, no es más pequeño que el nivel de utilización.

60 Etapa B2: Se determina si un segundo puerto de una unidad de conmutación interna de nivel  $(n+1)$ -ésimo, conectado a una unidad de memoria intermedia básica, en sentido descendente, es capaz, o no, de reservarse, en función de la información del estado del puerto de salida de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo, conectado a una salida de una unidad de memoria intermedia básica de nivel  $m$ -ésimo en la ruta y si el segundo puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo, conectado a la unidad de memoria intermedia básica, en sentido descendente, es capaz de reservarse,  $m$  se incrementa en 1 y un nivel  $n$  de las unidades de conmutación interna, que se han utilizado, se incrementa en 1 y el flujo retorna a la etapa B1.

65 Etapa B3: Se determina si un primer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo es capaz de reservarse en función de la información del estado operativo del puerto de salida de la unidad de conmutación

interna de nivel  $(n+1)$ -ésimo, conectado a la salida de la unidad de memoria intermedia básica del nivel  $m$ -ésimo en la ruta y si el primer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo es capaz de reservarse, el paquete de datos es objeto de salida a través de la ruta y desde el primer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo, y se actualiza la información del estado operativo del puerto de salida de cada unidad de conmutación interna en la ruta.

La variable  $m$  representa el nivel de la unidad de memoria intermedia básica que actualmente tiene éxito operativo en la reserva y se le asigna un valor inicial de 0. La variable  $n$  representa un número de las unidades de conmutación interna que se han utilizado y se asigna con un valor inicial de 0.

En una forma de realización preferida, la unidad de conmutación interna es un conmutador óptico tipo 3 x 3. La etapa B2 comprende, además, el paso siguiente.

Cuando el segundo puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo es incapaz de reservarse, se realiza la etapa B21. La etapa B21 es como sigue: Se determina si un tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectado a una unidad de conmutación interna, en sentido descendente, es capaz de reservarse en función de la información del estado operativo del puerto de salida de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo y si el tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectado a la unidad de conmutación interna, en sentido descendente, es capaz de reservarse,  $n$  se incrementa en 1 y el flujo retorna a la etapa B2.

En una forma de realización preferida, la etapa B2 comprende, además, los pasos siguientes:

Cuando el segundo puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo es capaz de reservarse, se registra como el segundo puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo. Cuando el tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo es capaz de reservarse, se registra que se requiere el tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo. Cuando ni el segundo puerto ni el tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo es capaz de reservarse, se realiza la etapa B22. La etapa B22 es como sigue: Se determina si se requiere un tercer puerto de una unidad de conmutación interna de nivel  $n$ -ésimo; si no se requiere el tercer puerto de la unidad de conmutación interna de nivel  $n$ -ésimo, el valor de  $m$  se reduce en 1, el valor  $n$  se reduce en 1 y el flujo retorna a la etapa B21 y si se requiere el tercer puerto de la unidad de conmutación interna de nivel  $n$ -ésimo, el valor  $n$  se reduce en 1 y el flujo retorna a la etapa B22.

En una forma de realización preferida, antes de determinar si el nivel  $m$  de la unidad de memoria intermedia básica, que actualmente tiene éxito operativo en la reserva, es más pequeño que el nivel de utilización. La etapa B1 incluye, además, la determinación de si  $n$  es mayor que una profundidad de ciclo máximo preestablecida; si  $n$  no es mayor que una profundidad de ciclo máximo preestablecida, el flujo continúa y si el valor  $n$  es mayor que una profundidad de ciclo máximo preestablecida, se pierde el paquete de datos.

En una forma de realización preferida, antes de la etapa A, el método incluye, además: la adquisición de información del estado operativo de la longitud de onda en función del paquete de datos y el cálculo del nivel de utilización de la unidad de memoria intermedia básica, en función de la información del estado operativo de la longitud de onda.

Cuando se determina que el primer puerto de la unidad de conmutación interna, conectado a la salida de la última unidad de memoria intermedia básica, es capaz de reservarse, la etapa B3 comprende, además, la actualización de la información de estado operativo de la longitud de onda.

Como puede deducirse de los sistemas técnicos anteriores, las formas de realización de la presente invención presentan los efectos beneficiosos siguientes.

1. Las formas de realización de la presente invención emplean el dispositivo de memoria intermedia en el que las unidades de conmutación interna y las unidades de memorias intermedias básicas forman una conexión cerrada alternándose entre sí, de modo que las unidades de conmutación interna y las unidades de memorias intermedias básicas se puedan utilizar de forma cíclica y la escala de los dispositivos de memoria intermedia es pequeña, con la reducción consiguiente de la escala del nodo central. Las formas de realización de la presente invención dan a conocer 1x N conmutadores ópticos para realizar la función de conmutación, que tiene una escala más pequeña que la que presenta la estructura de la matriz de conmutación de plano único en la técnica anterior, con lo que se reduce todavía más la escala del nodo central.

La comparación entre la escala del nodo de red, dada a conocer en una forma de realización de la presente invención, y la del nodo en la técnica anterior se ilustra en la Tabla 1. Se supone que existen cuatro puertos de entrada, teniendo cada uno ocho longitudes de onda. Entonces, la estructura de conmutación de 1 x PM x PM presenta una escala de 1 x 32 x 32. La unidad de memoria intermedia básica, en la estructura de nodos de la red, dada a conocer en una forma de realización de la presente invención, emplea también una línea FDL de nivel único actualmente común. El valor óptimo de una granularidad de retardo de la línea FDL, de nivel único, en la técnica anterior es de 40  $\mu$ s, mientras que la granularidad de retardo óptima, dada a conocer en una forma de realización de

5 la presente invención es de 20  $\mu$ s. Por lo tanto, la granularidad de retardo de dos líneas FDLs, de nivel único, en una forma de realización de la presente invención, debe ser equivalente a la de una sola línea FDL, de nivel único, en la técnica anterior. El conmutador óptico básico representa un conmutador óptico de 1 x 2 o 2 x 1. Como puede observarse en la Tabla 1, el número de elementos usados en los sistemas técnicos dados a conocer en una forma de realización de la presente invención es menor que el de la técnica anterior y, de este modo, la escala del nodo central es menor que la usada en la técnica anterior.

Elementos	La técnica anterior	Una forma de realización de la presente invención
Número de conmutadores ópticos básicos	2112	608
Demultiplexor por división en longitud de onda	4	4
Combinador	132	4
FDL.	128	128

**Tabla 1 – Tabla de comparación para escala del nodo central**

10 2. El dispositivo de memoria intermedia cerrado, dado a conocer en las formas de realización de la presente invención proporciona una manera de memoria intermedia con retardo infinito, proporciona un retardo suficiente para un paquete de datos que requiera un mayor retardo y, de este modo, reduce la tasa de pérdidas del paquete de datos.

15 3. El nodo de red, dado a conocer en una forma de realización de la presente invención, está configurado con conmutadores ópticos, de modo que los paquetes de datos destinados a diferentes puertos de salida se envían a los dispositivos de memoria intermedia correspondientes y luego, se envían a combinadores en los puertos de salida mediante la programación interna de los dispositivos de memoria intermedia, con lo que se evita el problema del

20 bloqueo de la cabecera de línea.

**BREVE DESCRIPCIÓN DE LOS DIBUJOS**

25 La Figura 1 es una vista estructural de un nodo central en la técnica anterior;

La Figura 2 es una vista estructural de una memoria intermedia óptica en la técnica anterior;

La Figura 3 es una vista estructural de un nodo de red dado a conocer en una forma de realización de la presente invención;

30 La Figura 4 es una vista estructural de un dispositivo de memoria intermedia, en anillo, dado a conocer en una forma de realización de la presente invención;

35 La Figura 5 es una vista estructural de un dispositivo de memoria intermedia, en anillo, según una forma de realización de la presente invención;

La Figura 6 es un diagrama de flujo de un sistema de programación dado a conocer en una forma de realización de la presente invención;

40 La Figura 7 es un diagrama de flujo de un sistema de programación de un dispositivo de memoria intermedia, en anillo simple, dado a conocer en una forma de realización de la presente invención y

La Figura 8 es un diagrama de flujo de un sistema de programación de un dispositivo de memoria intermedia, en anillo doble, dado a conocer en una forma de realización de la presente invención.

**DESCRIPCIÓN DETALLADA DE LA PATENTE**

50 Un dispositivo de memoria intermedia se da a conocer en una forma de realización de la presente invención. El dispositivo de memoria intermedia incluye al menos una unidad de conmutación interna y al menos una unidad de memoria intermedia básica. La unidad de conmutación interna comprende al menos dos entradas y al menos dos salidas. La unidad de conmutación interna y la unidad de memoria intermedia básica forman una conexión cerrada alternándose entre sí por intermedio de una de las al menos dos entradas y una de las al menos dos salidas. Otra de las al menos dos entradas de la unidad de conmutación interna recibe una onda luminosa. La unidad de conmutación interna proporciona, a la salida, la onda luminosa en función de una primera señal de control. La unidad de memoria intermedia básica está adaptada para la memorización intermedia de la onda luminosa procedente de la unidad de conmutación interna. Al mismo tiempo, un nodo de red y un método de programación se dan a conocer, además, en una forma de realización de la presente invención. Con el fin de hacer más comprensibles a los

sistemas técnicos de una forma de realización de la presente invención, se ilustra, a continuación, una forma de realización de la presente invención, en detalle, haciendo referencia a los dibujos adjuntos y formas de realización correspondientes.

5 Haciendo referencia a la Figura 3, el nodo de red, dado a conocer en una forma de realización de la presente invención, comprende un desmultiplexor por división en longitud de onda 301, un conmutador 1xP 303, un TWC 302, un dispositivo de memoria intermedia 304, un combinador 305 y un módulo de control 306. Señales de la onda luminosa de M longitudes de onda multiplexadas en enlaces de fibras de puertos de entrada están, respectivamente, conectadas a los TWCs 302 por intermedio de M fibras después de pasar a través de los demultiplexores por división en longitud de onda 301. La salida de señal de la onda luminosa desde cada TWC 302 está conectada a un conmutador óptico 1xP 303. P salidas de los conmutadores ópticos 303 están en correspondencia, una a una, con los P dispositivos de memoria intermedia 304. Un dispositivo de memoria intermedia 304 está en correspondencia con un solo puerto de salida y las salidas de los dispositivos de memoria intermedia 304 están todas ellas conectadas a los combinadores 305 en los puertos de salida correspondientes. Configurando los conmutadores ópticos 303, los paquetes de datos, destinados a diferentes puertos de salida, se envían al dispositivo de memoria intermedia 304 correspondiente y luego, se envían a los combinadores 305 en los puertos de salida mediante la programación interna de los dispositivos de memoria intermedia 304. Cuando solamente un puerto de salida y en correspondencia, solamente existe un dispositivo de memoria intermedia y un combinador, se pueden omitir los conmutadores ópticos 303. Una información de control de paquetes de datos que soportan señales de la onda luminosa, se transmite a un módulo de control 306 después de una conversión fotoeléctrica. El módulo de control 306 determina un puerto de salida en función de una tabla de estados de la longitud de onda, es decir, determina un dispositivo de memoria intermedia correspondiente y genera una segunda señal de control para controlar un conmutador óptico 303, de modo que la señal de la onda luminosa se transmita al dispositivo de memoria intermedia correspondiente. El módulo de control 306 determina una ruta de la señal de la onda luminosa en el dispositivo de memoria intermedia 304 en función de la tabla de estados de la longitud de onda y de una tabla de estados de puertos de salida de una unidad de conmutación interna y genera una primera señal de control para controlar el dispositivo de memoria intermedia 304.

El dispositivo de memoria intermedia 304 es un dispositivo de memoria intermedia en anillo. Haciendo referencia a la Figura 4, en el interior del dispositivo de memoria intermedia 304, solamente se utilizan conmutadores ópticos 2 x 2 simples como unidades de conmutación interna 401 y forman un anillo, es decir, un anillo BMU, de nivel único, con unidades de memorias intermedias básicas BMUs 402 alternándose entre sí. El dispositivo de memoria intermedia es un dispositivo de memoria intermedia en anillo único. El dispositivo de memoria intermedia, de anillo único, incluye P x M conmutadores ópticos 2x2 401 y P x M BMUs 402. El otro puerto de entrada de cada conmutador óptico 2 x 2 401 está conectado a una onda luminosa de entrada y el puerto de salida correspondiente está conectado a un combinador. La BMU 402 está adaptada para la memorización intermedia de la onda luminosa desde la unidad de conmutación interna. Haciendo referencia a la Figura 5, una unidad de conmutación interna 501 del dispositivo de memoria intermedia emplea un conmutador óptico 3 x 3, en el que dos pares de puertos están conectados, de la misma manera que se indica en la Figura 4, para formar un anillo de BMU de nivel único y un tercer par de puertos están directamente concatenados entre sí para formar un anillo, esto es, un anillo no de BMU, por intermedio de una fibra. El dispositivo de memoria intermedia tiene dos anillos en su interior, a saber, un anillo BMU, de nivel único, y un anillo no de BMU y el dispositivo de memoria intermedia es un dispositivo de memoria intermedia de anillo doble. El dispositivo de memoria intermedia 304 puede emplear también un conmutador óptico 4 x 4 como la unidad de conmutación interna, en el que dos puertos de entrada están conectados a una longitud de onda de entrada que llega en el dispositivo de memoria intermedia y dos puertos de salida correspondientes están conectados a un combinador y los otros dos pares de puertos están conectados en la misma manera que en la Figura 5, con el fin de formar un anillo de BMU, de nivel único, y un anillo no de BMU. La unidad de conmutación interna, en el dispositivo de memoria intermedia, proporciona a la salida la señal de onda luminosa al combinador o la señal de la onda luminosa a la unidad de memoria intermedia básica, bajo la acción de una primera señal de control desde el módulo de control 306.

El convertidor TWC está adaptado para realizar una conversión de longitud de onda en la onda luminosa y el uso del TWC ayuda a resolver una colisión de paquetes de datos. Cuando múltiples señales de la misma longitud de onda han de conmutarse a la misma longitud de onda del mismo puerto de salida al mismo tiempo, las señales de colisión se pueden convertir, respectivamente, a otras longitudes de ondas inactivas del puerto de salida, evitando, de este modo, la colisión. La puesta en práctica de una forma de realización de la presente invención no es influida sin utilizar la conversión TWC. En el caso de no disponer de TWC, cuando múltiples señales de la misma longitud de onda han de conmutarse a la misma longitud de onda del mismo puerto de salida, al mismo tiempo, solamente la BMU, en lugar de la longitud de onda inactiva, se puede utilizar para la memorización intermedia de las señales de la misma longitud de onda y luego, sucesivamente, enviarlas a la longitud de onda del mismo puerto de salida.

Los paquetes de datos se transmiten utilizando la onda luminosa como una portadora y posiblemente colisionen entre sí entre un puerto de entrada y un puerto de salida. Las siguientes dos posibilidades de colisiones principales existen cuando se utiliza el nodo de red, dado a conocer en una forma de realización de la presente invención. Una es la colisión de longitudes de onda de la salida. Cuando dos paquetes de datos proceden de diferentes puertos de entrada y se requieren para destinarse a un determinado canal de longitud de onda del mismo puerto de salida, se

produce una colisión. Dicha colisión, resultado de la competición para el canal de longitud de onda del puerto de salida, se refiere como la "colisión de longitudes de onda de salida". La otra es una colisión en el interior del dispositivo de memoria intermedia. Cuando dos paquetes de datos entran en el dispositivo de memoria intermedia pretenden ocupar el mismo recurso de BMU al mismo tiempo, se produce una colisión en una entrada de la BMU, es decir, una salida de la unidad de conmutación interna conectada a la BMU. El nodo de red, dado a conocer en una forma de realización de la presente invención, tiene dichos dos tipos de colisiones y de este modo, necesita mantener dos clases de tablas de estados, a saber, una tabla de estados de longitudes de onda y una tabla de estados de puertos de salida de la unidad de conmutación interna, con el fin de registrar la condición de ocupación de los dos recursos. Un método de programación, dado a conocer en una forma de realización de la presente invención, se ilustra en la Figura 6. El método comprende las etapas siguientes.

Etapa 601: Se obtiene información de reenvío de paquetes de datos. La información incluye una hora de llegada,  $arrT$ , un tiempo de duración del paquete de datos,  $durT$ , un puerto de entrada, una longitud de onda de entrada y un puerto de salida.

Etapa 602: Una tabla de estados de longitudes de onda correspondiente se consulta en función del puerto de salida y un nivel de utilización de la BMU se calcula en función de la tabla de estados de longitudes de onda. La tabla de estados de longitudes de onda es una condición de utilización de cada longitud de onda en un enlace de fibra del puerto de salida.

Etapa 603: Se determina una ruta  $P$  en función del nivel de utilización  $d$ . La ruta  $P$  comprende unidades de conmutación interna y unidades de memorias intermedias básicas.

Etapa 604: Se determina si todas las unidades de memoria intermedia básica pueden reservar recursos en función de una tabla de estados de puertos de salida de una unidad de conmutación interna, en sentido ascendente, para cada unidad de memoria intermedia básica en la ruta  $P$  y si la respuesta es afirmativa, se realiza la etapa 605; en caso contrario, se realiza la etapa 607.

Etapa 605: Se determina, en función de tabla de estados de puertos de salida de una unidad de conmutación interna conectada a una salida de una última unidad de memoria intermedia básica en la ruta  $P$ , si un primer puerto de la unidad de conmutación interna conectada a la salida de la última unidad de memoria intermedia básica es capaz de reservarse y si la respuesta es afirmativa, se realiza la etapa 606; en caso contrario, se realiza la etapa 607.

Etapa 606: El paquete de datos pasa a través de la ruta y es objeto de salida desde el primer puerto de la unidad de conmutación interna, conectado a la salida de la última unidad de memoria intermedia básica, se actualizan la tabla de estados de longitudes de onda y una tabla de estados de puertos de salida de cada unidad de conmutación interna en la ruta  $P$  y se finaliza la programación.

Etapa 607: La reserva de recursos ha fallado y se registra que se pierde el paquete de datos.

Haciendo referencia a la vista estructural del dispositivo de memoria intermedia, en anillo, representado en la Figura 4, un flujo del método de programación, dado a conocer en una forma de realización de la presente invención, se ilustra en la Figura 7. El método comprende las etapas siguientes.

Etapa 701: Se obtiene información de reenvío de paquetes de datos. La información incluye una hora de llegada,  $arrT$ , un tiempo de duración del paquete de datos,  $durT$ , un puerto de entrada, una longitud de onda de entrada y un puerto de salida.

Etapa 702: Una tabla de estados de longitudes de onda correspondiente se consulta en función del puerto de salida, se calcula un nivel de utilización  $d$  de la BMU y se determina una ruta  $P$  en donde las unidades de conmutación interna se alternan con unidades de memorias intermedias básicas, comenzando desde una unidad de conmutación interna por donde se introduce la longitud de onda de entrada.

Etapa 703: Se supone que un puerto de una unidad de conmutación interna  $2 \times 2$  conectado a un combinador es un primer puerto, un puerto conectado a un "anillo de BMU" es un segundo puerto y se supone que  $m$  es un nivel de la BMU, que actualmente tiene éxito operativo en la reserva de recursos y tiene un valor inicial de 0. Puesto que las unidades de conmutación interna y las BMUs forman un anillo mientras se alternan entre sí en el dispositivo de memoria intermedia de anillo único,  $m$  es un nivel de utilización de la unidad de conmutación interna al mismo tiempo y  $MAXDepth$  es una profundidad del ciclo máximo preestablecida, esto es, el número máximo permitido de niveles de memoria intermedia.

Etapa 704: Se determina si  $m$  es mayor que la profundidad  $MAXDepth$  y si la respuesta es afirmativa, se realiza la etapa 708; en caso contrario, se realiza la etapa 705;  $m$  se compara con  $MAXDepth$  para evitar un retardo demasiado largo del paquete de datos y un desperdicio de recursos.



Etapa 705: Se determina si  $m$  es menor que  $d$  y si la respuesta es afirmativa, se realiza la etapa 706; en caso contrario, se realiza la etapa 709.

5 Etapa 706: Se determina si una unidad de memoria intermedia básica de nivel  $(m+1)$ -ésimo es capaz de reservarse, esto es, se determina si recursos de un segundo puerto de una unidad de conmutación interna de nivel  $(m+1)$ -ésimo están inactivos en un periodo de tiempo de  $(arrT+m*g, arrT+m*g+durT)$  y si la respuesta es afirmativa, se realiza la etapa 707; en caso contrario, se realiza la etapa 708. El valor de  $g$  antes citado es una granularidad de retardo que tiene un valor óptimo de 20  $\mu$ s.

10 Etapa 707:  $m$  se incrementa en 1 y el flujo retorna a la etapa 704.

Etapa 708: La reserva de recursos falla, se registra que se pierde el paquete de datos y se finaliza la programación.

15 Etapa 709: Se determina si recursos de un primer puerto de la unidad de conmutación interna de nivel  $(m+1)$ -ésimo están inactivos en el periodo de  $(arrT+m*g, arrT+m*g+durT)$  y si la respuesta es afirmativa, se realiza la etapa 710; en caso contrario, el flujo retorna a la etapa 708.

20 Etapa 710: La reserva de recursos tiene éxito operativo, se actualizan la tabla de estados de longitudes de onda y las tablas de estados de puertos de salida de todas las unidades de conmutación interna en la ruta P, se transmite el paquete de datos al puerto de salida y se finaliza la programación.

Haciendo referencia a la vista estructural del dispositivo de memoria intermedia, en anillo, que se representa en la Figura 5, un flujo del método de programación, dado a conocer en una forma de realización de la presente invención, se representa en la Figura 8. El método comprende las etapas siguientes.

25 Etapa 801: Se obtiene información de reenvío de paquetes de datos. La información comprende una hora de llegada,  $arrT$ , un tiempo de duración de paquetes de datos,  $durT$ , un puerto de entrada, una longitud de onda de entrada y un puerto de salida.

30 Etapa 802: Una tabla de estados de longitudes de onda correspondiente se consulta en función del puerto de salida, se calcula un nivel de retardo  $d$  de la BMU y se determina una ruta P que incluye unidades de conmutación interna y  $d$  unidades de memorias intermedias básicas en función del nivel de retardo  $d$ .

35 Etapa 803: Se supone que un puerto de una unidad de conmutación interna  $3 \times 3$  conectado a un combinador es un primer puerto, un puerto conectado a un "anillo de BMU" es un segundo puerto y un puerto conectado a un "anillo no de BMU" es un tercer puerto, se supone que una variable  $m$  es un nivel de la BMU, que actualmente tiene éxito operativo en la reserva de recursos y se asigna un valor inicial de 0 y una variable  $n$  es un número de unidades de conmutación que se han utilizado y se asigna un valor inicial de 0 y se supone que MAXDepth es una profundidad de ciclo máximo.

40 Etapa 804: Se determina si  $n$  es mayor que MAXDepth y si la respuesta es afirmativa, se realiza la etapa 817; en caso contrario, se realiza la etapa 805, se compara  $n$  con MAXDepth para evitar un ciclo no activo de la onda luminosa en el anillo no de BMU.

45 Etapa 805: Se determina si  $m$  es menor que  $d$  y si no es así, se realiza la etapa 815; en caso contrario, se realiza la etapa 806.

50 Etapa 806: Se determina si recursos de un segundo puerto de una unidad de conmutación interna de nivel  $(n+1)$ -ésimo están inactivos en un periodo de tiempo de  $(arrT+m*g, arrT+m*g+durT)$  y si la respuesta es afirmativa, se realiza la etapa 807; en caso contrario, se realiza la etapa 808.

55 Etapa 807: El nivel de utilización  $n$  de la unidad de conmutación interna se incrementa en 1, el nivel de reserva de recursos  $m$  de la BMU se incrementa en 1, se registra que el segundo puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo se requiere y el flujo retorna a la etapa 804.

Etapa 808: Se determina si recursos de un tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo están inactivos en el periodo de tiempo de  $(arrT+m*g, arrT+m*g+durT)$  y si la respuesta es afirmativa, se realiza la etapa 809; en caso contrario, se realiza la etapa 810.

60 Etapa 809: El nivel de utilización  $n$  de la unidad de conmutación interna se incrementa en 1, se registra que el tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo se solicita y el flujo retorna a la etapa 804.

Etapa 810: Se determina si  $m$  es menor que  $d$  y si la respuesta es afirmativa, se realiza la etapa 811; en caso contrario, se realiza la etapa 817.

65

## ES 2 377 216 T3

Etapa 811: Se determina si  $n$  es mayor que 0 y si la respuesta es afirmativa, se realiza la etapa 812; en caso contrario, se realiza la etapa 817.

5 Etapa 812: Se determina si recursos de un tercer puerto de una unidad de conmutación interna de nivel  $n$ -ésimo se requieren y si la respuesta es afirmativa, se realiza la Etapa 813; en caso contrario, se realiza la Etapa 814.

Etapa 813:  $n$  se reduce en 1, el registro de que se requiere el tercer puerto de la unidad de conmutación interna de nivel  $n$ -ésimo se anula y el flujo retorna a la etapa 811.

10 Etapa 814: El nivel de reserva de recursos  $m$  de la BMU se reduce en 1,  $n$  se reduce en 1, se requiere el registro de que un segundo puerto de la unidad de conmutación interna de nivel  $n$ -ésimo que se anula y el flujo retorna a la etapa 808.

15 Etapa 815: Se determina si un primer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo está inactivo en el periodo de tiempo de  $(arrT+m*g, arrT+m*g+durT)$  y si la respuesta es afirmativa, se realiza la Etapa 816; en caso contrario, se realiza la Etapa 808.

20 Etapa 816: Los recursos se reservan satisfactoriamente en su totalidad, se actualizan la tabla de estados de longitudes de onda y las tablas de estados de los puertos de salida de todas las unidades de conmutación interna en la ruta P, el paquete de datos se transmite al puerto de salida y se finaliza la programación.

Etapa 817: Falla la reserva de recursos, se registra que se pierde el paquete de datos y finaliza la programación.

25 En las formas de realización antes descritas, la condición de solicitud de puerto de la unidad de conmutación interna  $n$ , que se ha utilizado, se registra en el proceso de programación. La determinación de si se han requerido los recursos del tercer puerto de la unidad de conmutación interna de nivel  $n$ -ésimo en la etapa 812 en función de la condición de solicitud registrada.

30 Como puede deducirse del análisis anterior, una forma de realización de la presente invención emplea el dispositivo de memoria intermedia, en donde las unidades de conmutación interna y las unidades de memorias intermedias básicas forman una conexión cerrada alternándose entre sí, de modo que las unidades de conmutación interna y las unidades de memoria intermedia básica se pueden utilizar de forma cíclica y la escala de los dispositivos de memoria intermedia es pequeña, reduciendo, de este modo, la escala del nodo central. Una forma de realización de la presente invención da a conocer  $1 \times N$  conmutadores ópticos para realizar la función de conmutación, que tiene una menor escala que la estructura de matriz de conmutación, de un solo plano, en la técnica anterior, con lo que se reduce, todavía más, la escala del nodo central. El dispositivo de memoria intermedia, en anillo, dado a conocer en una forma de realización de la presente invención proporciona un modo de memorización intermedia con retardo infinito, proporciona un retardo suficiente para un paquete de datos que requiera un retardo de magnitud importante y reduce así la tasa de pérdidas del paquete de datos. El nodo de red, dado a conocer en una forma de realización de la presente invención, está configurado con conmutadores ópticos, de modo que los paquetes de datos destinados a diferentes puertos de salida se envían a los dispositivos de memorias intermedias correspondientes y luego, se envían a combinadores en los puertos de salida por intermedio de la programación interna de los dispositivos de memoria intermedia, con lo que se evita el problema de bloqueo de las cabeceras de líneas.

45 Por último, ha de entenderse que las anteriores formas de realización sólo se utilizan para fines ilustrativos, pero no para limitar la solución técnica de la presente invención. A pesar de que la descripción detallada de la presente invención se hizo con referencia a las formas de realización preferidas anteriores, ha de entenderse que varias modificaciones, cambios o sustituciones equivalentes se pueden realizar por los expertos en esta materia sin desviarse, por ello, del alcance de la presente invención y bajo la cobertura inventiva en las reivindicaciones de la presente invención.

50

## REIVINDICACIONES

- 5 1. Un dispositivo de memoria intermedia (304), caracterizado porque comprende al menos dos unidades de conmutación interna (401, 501) y al menos dos unidades de memorias intermedias básicas (402, 502), en donde cada una de las al menos dos unidades de conmutación interna (401, 501) comprende al menos dos entradas y al menos dos salidas, las al menos dos unidades de conmutación interna (401, 501) y las al menos dos unidades de memorias intermedias básicas (402, 502) forman una conexión cerrada;
- 10 en donde las al menos dos unidades de conmutación interna (401, 501) y las al menos dos unidades de memorias intermedias básicas (402, 502) forman la conexión alternándose entre sí, en donde cada de las al menos dos unidades de conmutación interna (401, 501) se conecta con una unidad de memoria intermedia básica, en sentido ascendente, por intermedio de una de las al menos dos entradas y se conecta con una unidad de memoria intermedia básica, en sentido descendente, por intermedio de una de las al menos dos salidas;
- 15 otra de las al menos dos entradas de cada una de las al menos dos unidades de conmutación interna (401, 501) recibe una onda luminosa, cada una de las al menos dos unidades de conmutación interna (401, 501) proporciona a la salida la onda luminosa a la unidad de memoria intermedia básica, en sentido descendente, o proporciona a la salida la onda luminosa a un combinador desde otra de las al menos dos salidas en función de una primera señal de control;
- 20 y las al menos dos unidades de memorias intermedias básicas (402, 502) están adaptadas para la memorización intermedia de la onda luminosa a partir de las unidades de conmutación interna.
- 25 2. El dispositivo de memoria intermedia según la reivindicación 1, en donde cada una de las al menos dos unidades de conmutación interna (401, 501) comprende tres o más entradas y tres o más salidas, estando las al menos dos unidades de conmutación interna (401, 501) concatenadas para formar una conexión cerrada por ellas mismas.
- 30 3. Un nodo de red, que comprende un demultiplexor por división en longitud de onda (301), al menos un dispositivo de memoria intermedia (304) según la reivindicación 1 y al menos un combinador (305), en donde:
- 35 el demultiplexor por división en longitud de onda (301), adaptado para dividir una señal de onda luminosa recibida y proporcionar, a su salida, una onda luminosa, obtenida por división, al por lo menos un dispositivo de memoria intermedia (304);
- el al menos un combinador (305), de tipo uno a uno, correspondiente al por lo menos un dispositivo de memoria intermedia (304), adaptado para multiplexar y proporcionar, a la salida, la onda luminosa procedente de la unidad de conmutación interna del dispositivo de memoria intermedia.
- 40 4. El nodo de red según la reivindicación 3, en donde entre el demultiplexor por división en longitud de onda y el dispositivo de memoria intermedia, el nodo de red comprende, además:
- 45 un convertidor de longitud de onda sintonizable (302), adaptado para realizar una conversión de longitud de onda sobre la salida de onda luminosa desde el demultiplexor por división en longitud de onda y para proporcionar, a la salida, una onda luminosa convertida al dispositivo de memoria intermedia.
- 50 5. El nodo de red según la reivindicación 4, en donde entre el convertidor de longitud de onda sintonizable y el dispositivo de memoria intermedia, el nodo de red comprende, además:
- un conmutador óptico (303), adaptado para transmitir la salida de onda luminosa procedente del convertidor de longitud de onda sintonizable al dispositivo de memoria intermedia en función de una segunda señal de control.
- 55 6. El nodo de red según la reivindicación 3 o 5, en donde cada una de las al menos dos unidades de conmutación interna comprende tres o más entradas y tres o más salidas, las al menos dos unidades de conmutación interna están concatenadas para formar una conexión cerrada por ellas mismas.
- 60 7. Un método de programación para transmitir un paquete de datos en una red óptica, incluyendo la red óptica un dispositivo de memoria intermedia según la reivindicación 1 o 2, cuyo método comprende:
- la determinación de una ruta en función de un nivel de utilización (603) y
- la determinación de si cada una de las unidades de memorias intermedias básicas es capaz de reservarse en función de la información del estado operativo del puerto de salida de una unidad de conmutación interna, en sentido ascendente, para cada una de las unidades de memorias intermedias básicas en la ruta (604); la determinación de si un primer puerto de una unidad de conmutación interna, conectado a una salida de una última unidad de memoria intermedia básica, es capaz de reservarse en función de la información del estado operativo del puerto de salida de

la unidad de conmutación interna conectado a la salida de la última unidad de memoria intermedia básica en la ruta, si cada una de las unidades de memorias intermedias básicas es capaz de reservarse (605) y la transmisión del paquete de datos a través de la ruta y la actualización de la información del estado operativo del puerto de salida de cada una de las unidades de conmutación interna en la ruta, si el primer puerto de la unidad de conmutación interna conectado a la salida de la última unidad de memoria intermedia básica es capaz de reservarse (606).

**8.** El método de programación según la reivindicación 7, que comprende además:

la determinación de si un nivel  $m$  de una unidad de memoria intermedia básica, que actualmente tiene éxito operativo en la reserva, es menor que el nivel de utilización;

la determinación de si un segundo puerto de una unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectado a una unidad de memoria intermedia básica, en sentido descendente, es capaz de reservarse en función de la información del estado operativo del puerto de salida de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectada a una salida de una unidad de memoria intermedia básica de nivel  $m$ -ésimo en la ruta si el nivel  $m$  de la unidad de memoria intermedia básica, que actualmente tiene éxito operativo en reserva, es menor que el nivel de utilización y el incremento de  $m$  en 1, el incremento de un nivel  $n$ , de unidades de conmutación interna que han sido utilizadas, en 1 y la continuación de la determinación de si el nivel  $m$  de la unidad de memoria intermedia básica, que actualmente tiene éxito operativo en la reserva, es menor que el nivel de utilización si el segundo puerto de la unidad de de conmutación interna de nivel  $(n+1)$ -ésimo conectado a la unidad de memoria intermedia básica, en sentido descendente, es capaz de reservarse y

la determinación de si un primer puerto de una unidad de conmutación interna de nivel  $(n+1)$ -ésimo es capaz de reservarse en función de la información del estado operativo del puerto de salida de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectada a la salida de una unidad de memoria intermedia básica de nivel  $m$ -ésimo en la ruta si el nivel  $m$  de la unidad de memoria intermedia básica, que actualmente tiene éxito operativo en la reserva, no es menor que el nivel de utilización y de proporcionar, a la salida, el paquete de datos desde el primer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo a través de la ruta y la actualización de la información del estado operativo del puerto de salida de cada una de las unidades de conmutación interna en la ruta si el primer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo es capaz de reservarse;

en donde la variable  $m$  representa el nivel de la unidad de memoria intermedia básica, que actualmente tiene éxito operativo en la reserva, y se asigna un valor inicial de 0 y la variable  $n$  representa un número de las unidades de conmutación interna que se han utilizado y se asigna un valor inicial de 0.

**9.** El método de programación según la reivindicación 8, en donde la unidad de conmutación interna es un conmutador óptico 3 x 3 y el método comprende, además:

la determinación de si un tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectado a la unidad de conmutación interna, en sentido descendente, es capaz de reservarse en función de la información del estado operativo del puerto de salida de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo cuando el segundo puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectado a la unidad de memoria intermedia básica, en sentido descendente, no es capaz de reservarse e incrementar  $n$  en 1 y la continuación de la determinación de si el segundo puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectado a la unidad de memoria intermedia básica, en sentido descendente, es capaz de reservarse si el tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectado a la unidad de conmutación interna, en sentido descendente, es capaz de reservarse.

**10.** El método de programación según la reivindicación 9, que comprende, además:

el registro de que el segundo puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo se requiere cuando el segundo puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectado a la unidad de memoria intermedia básica, en sentido descendente, es capaz de reservarse; el registro de que el tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo se requiere cuando el tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo es capaz de reservarse; la determinación de si un tercer puerto de una unidad de conmutación interna de nivel  $n$ -ésimo se requiere cuando ni el segundo puerto ni el tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo es capaz de reservarse; la reducción de  $m$  en 1, la reducción de  $n$  en 1 y la continuación de la determinación de si el tercer puerto de la unidad de conmutación interna de nivel  $(n+1)$ -ésimo conectado a la unidad de conmutación interna, sentido descendente, es capaz de reservarse, si no se requiere el tercer puerto de la unidad de conmutación interna de nivel  $n$ -ésimo y la reducción de  $n$  en 1 y la continuación de la determinación de si se requiere el tercer puerto de la unidad de conmutación interna, si se solicita el tercer puerto de la unidad de conmutación interna de nivel  $n$ -ésimo.

**11.** El método de programación según la reivindicación 10, en donde antes de determinar si el nivel  $m$  de la unidad de memoria intermedia básica, que actualmente tiene éxito operativo en la reserva, es menor que el nivel de utilización, el método comprende, además: la determinación de si  $n$  es mayor que una profundidad de ciclo máximo

preestablecida y la continuación del método si  $n$  no es mayor que la profundidad de ciclo máximo preestablecida.

**12.** El método de programación según la reivindicación 7, 8, 9, 10 o 11, en donde:

- 5 antes de determinar la ruta en función del nivel de utilización, el método comprende, además, la adquisición de la información del estado operativo de la longitud de onda, dependiendo del paquete de datos y el cálculo de un nivel de utilización de la unidad de memoria intermedia básica en función de la información del estado operativo de la longitud de onda y
- 10 cuando se determina que el primer puerto de la unidad de conmutación interna, conectado a la salida de la última unidad de memoria intermedia básica es capaz de reservarse, el método comprende, además:

la actualización de la información del estado operativo de la longitud de onda.

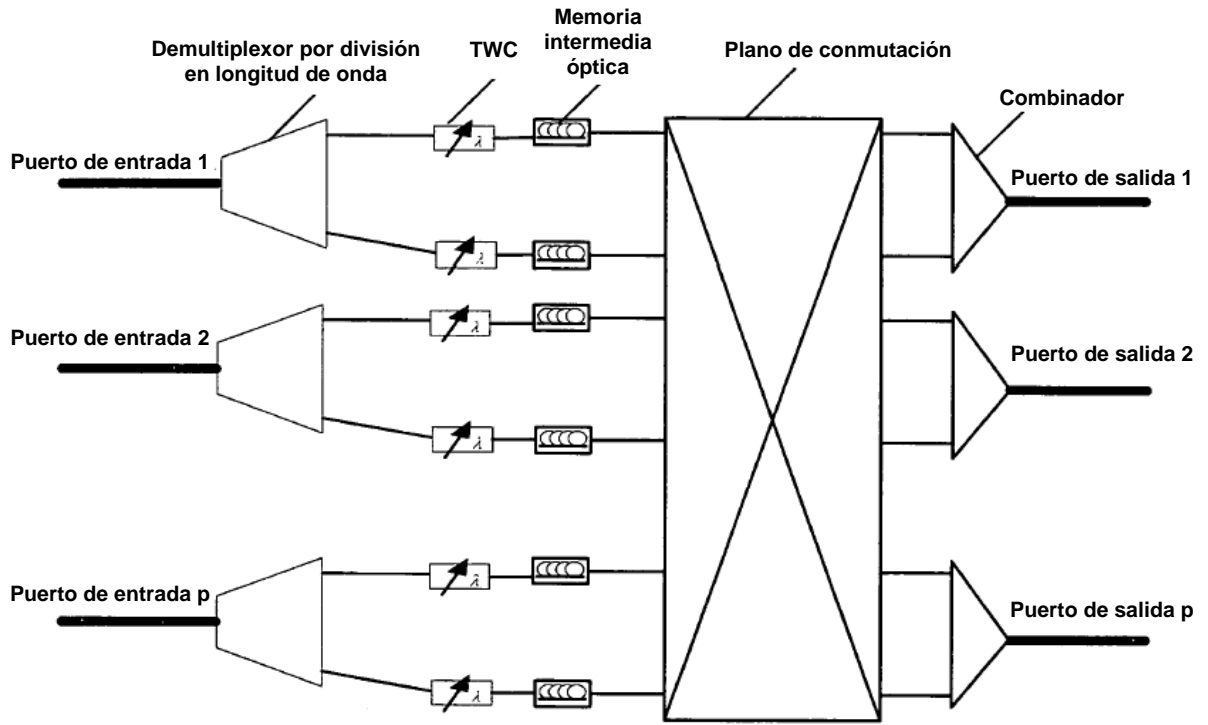


Figura 1

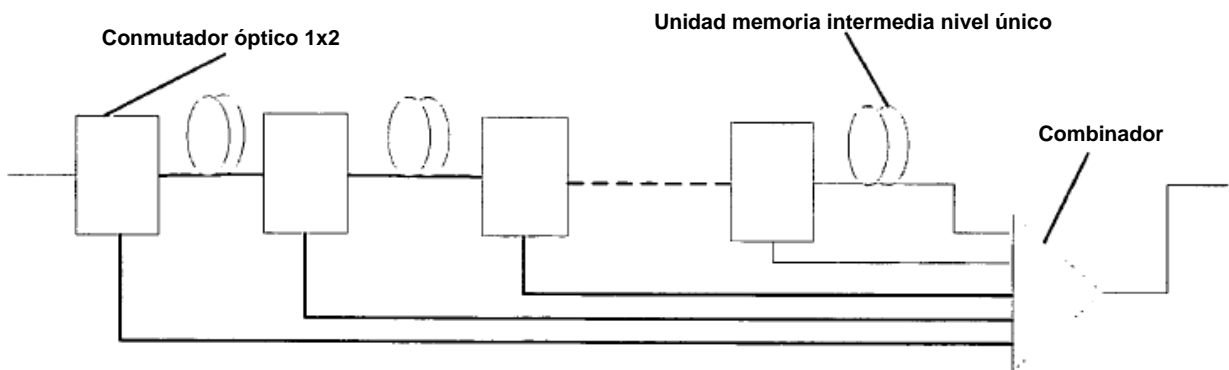


Figura 2

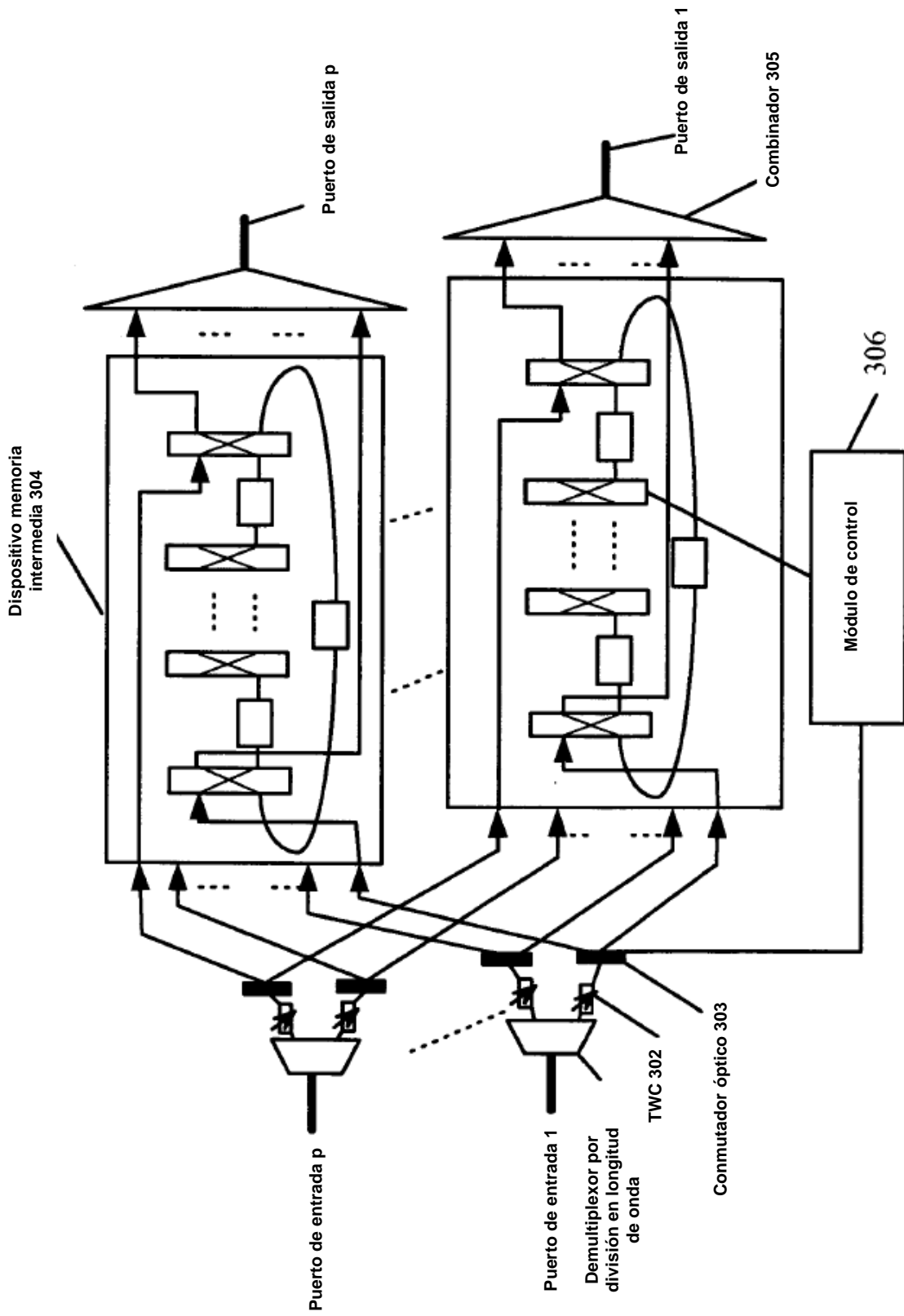


Figura 3

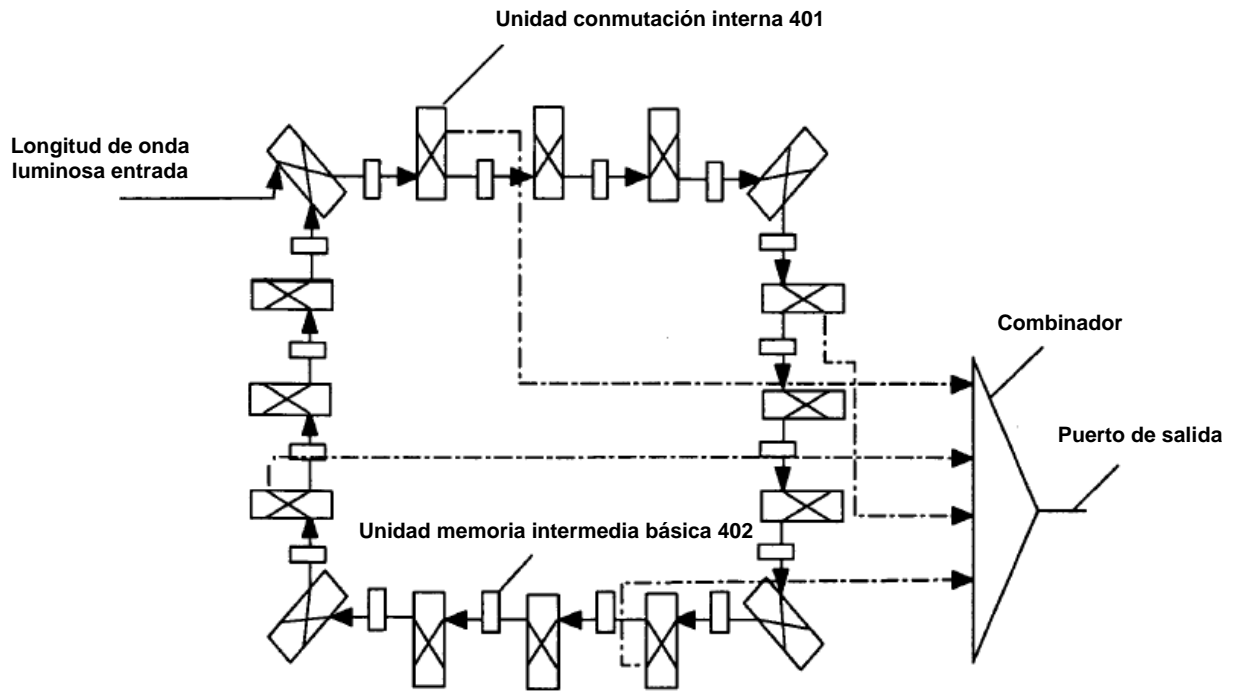


Figura 4

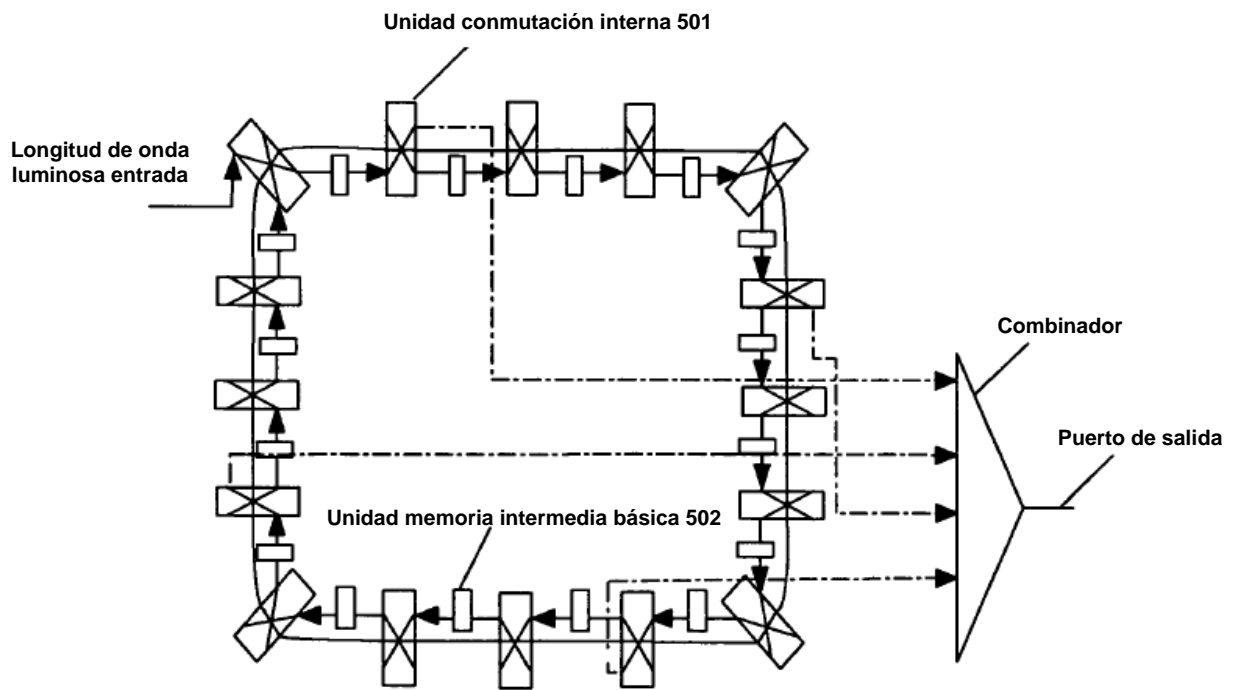


Figura 5



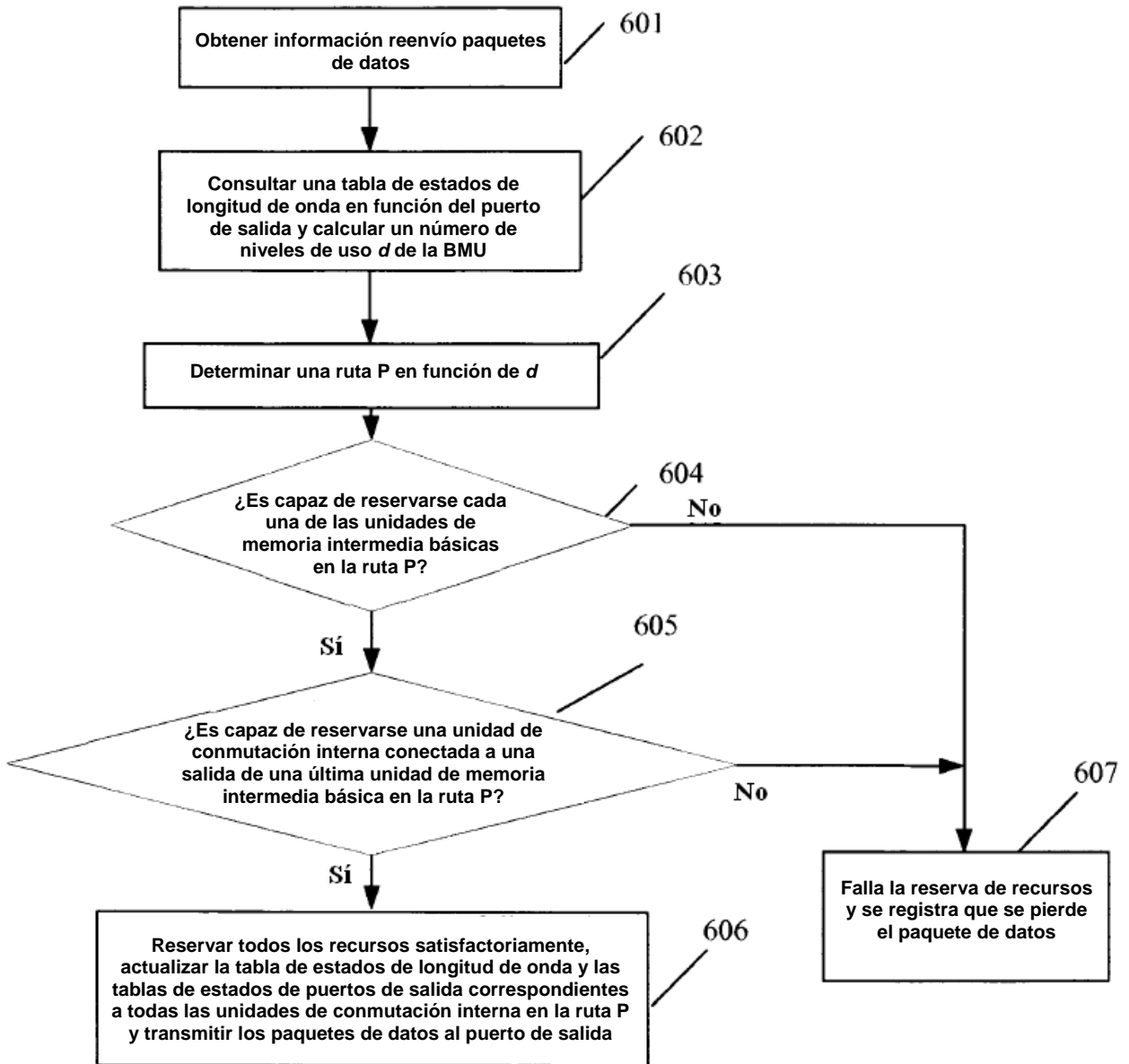


Figura 6

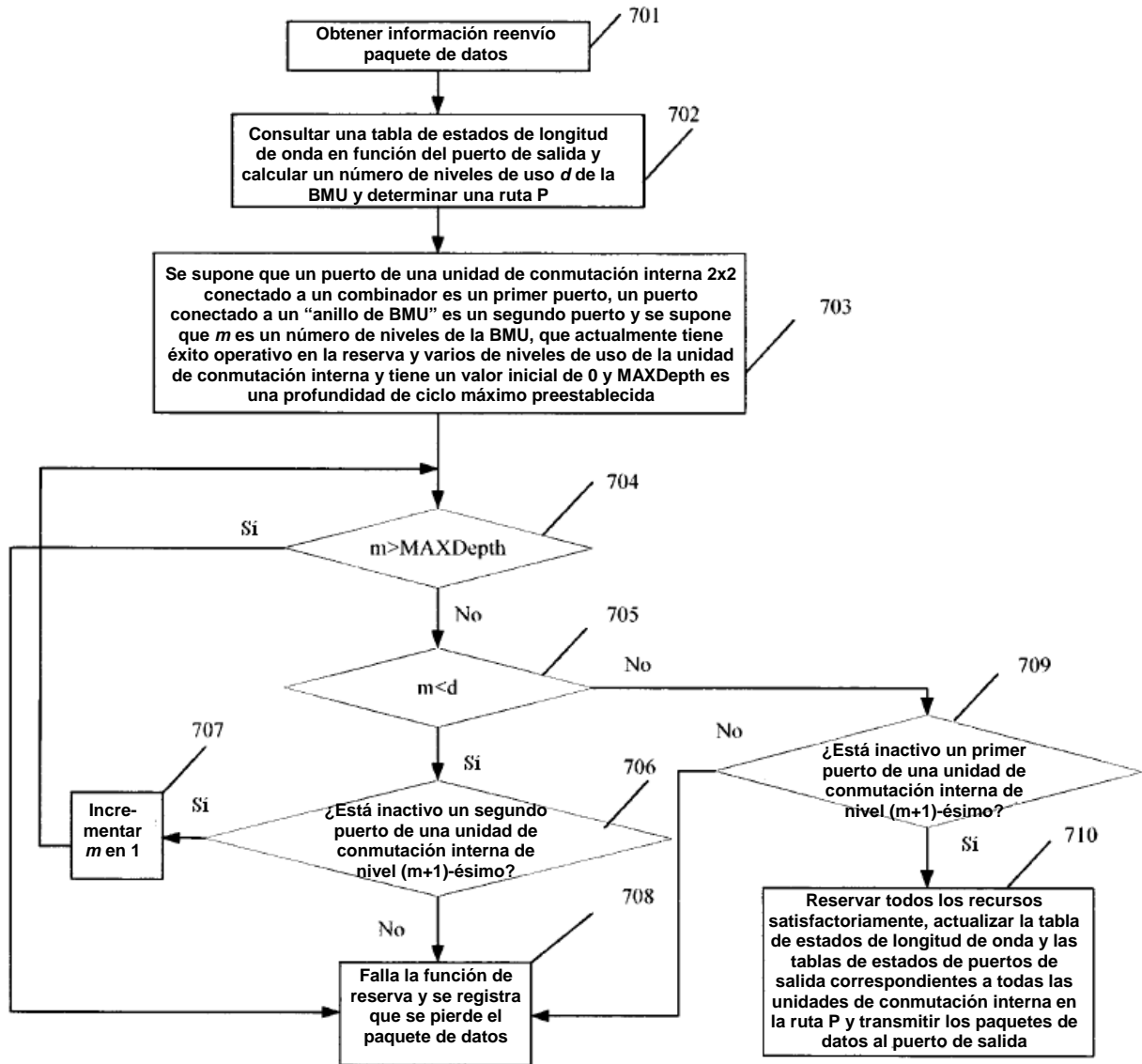


Figura 7

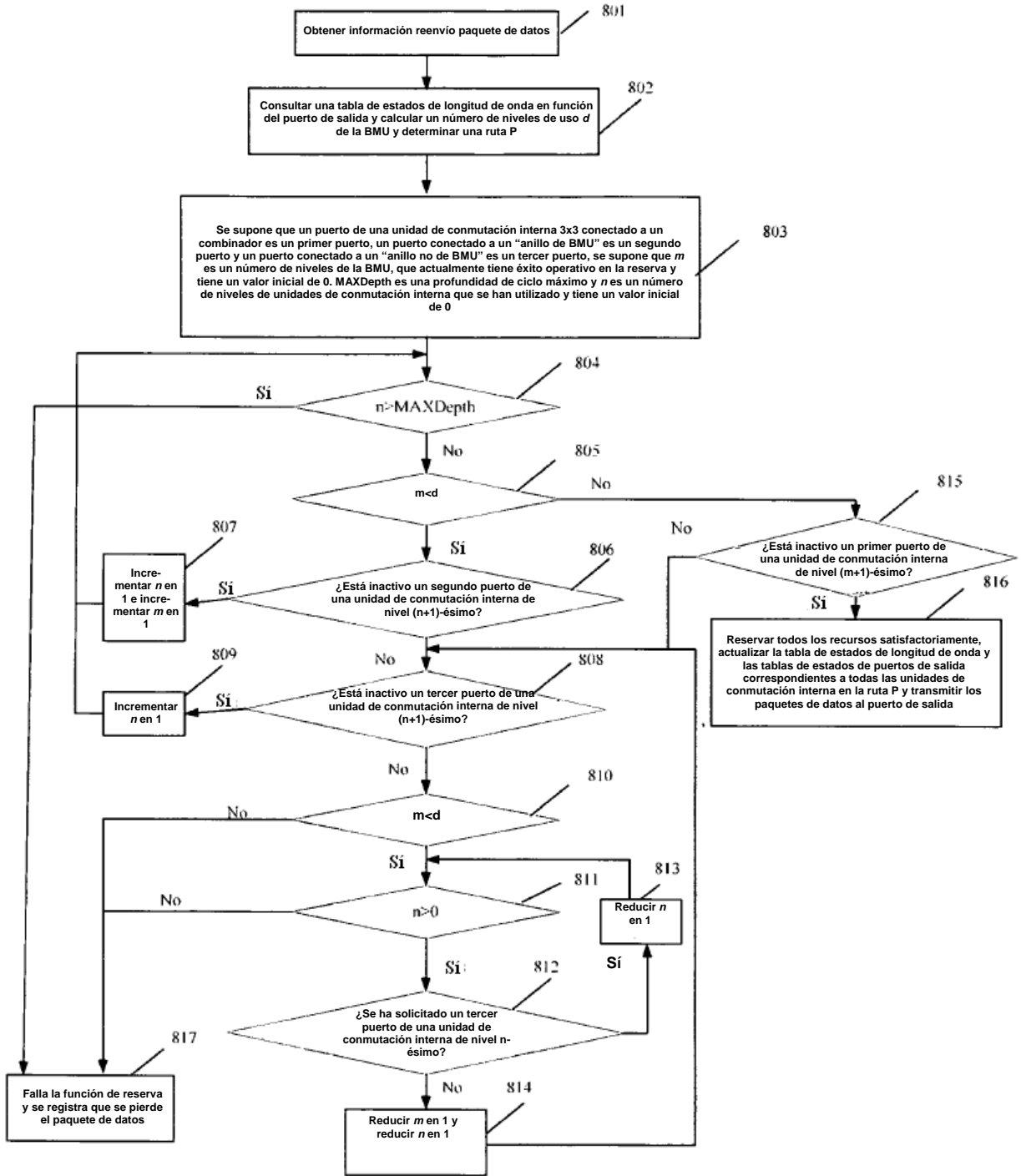


Figura 8