

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 377 718**

51 Int. Cl.:

H04L 1/00 (2006.01)

H04L 5/00 (2006.01)

H04L 27/26 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **08172458 .5**

96 Fecha de presentación: **19.12.2008**

97 Número de publicación de la solicitud: **2086144**

97 Fecha de publicación de la solicitud: **05.08.2009**

54 Título: **Método de corrección de errores para transmitir y recibir una señal y aparato correspondiente**

30 Prioridad:
25.01.2008 US 23436 P
15.12.2008 KR 20080127316

73 Titular/es:
LG ELECTRONICS INC.
20, YEOUIDO-DONG YEONGDEUNGPO-GU
SEOUL 150-721, KR

45 Fecha de publicación de la mención BOPI:
30.03.2012

72 Inventor/es:
Ko, Woo Suk y
Moon, Sang Chul

45 Fecha de la publicación del folleto de la patente:
30.03.2012

74 Agente/Representante:
Veiga Serrano, Mikel

ES 2 377 718 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCION

Método de corrección de errores para transmitir y recibir una señal y aparato correspondiente.

5 **Sector de la técnica**

La presente invención se refiere a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, y más particularmente, a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, que pueden mejorar la eficacia de transmisión de datos.

10 Debido al desarrollo de una tecnología de difusión digital, los usuarios han recibido una imagen en movimiento de alta definición (HD). Con el desarrollo continuo de un algoritmo de compresión y un alto rendimiento de hardware, se proporcionará un mejor entorno a los usuarios en el futuro. Un sistema de televisión digital (DTV) puede recibir una señal de difusión digital y proporcionar una diversidad de servicios complementarios a los usuarios así como una
15 señal de vídeo y una señal de audio.

Estado de la técnica

20 El documento US 2007/143655 da a conocer un método de concatenación para la codificación LDPC en el que para bajas tasas de transmisión se aplican acortamiento y perforación, y para altas tasas de transmisión sólo se aplica acortamiento. Asimismo, el documento EP 1 513 258 A1 da a conocer un aparato que incluye un codificador BCH y un codificador LDPC en el que se aplica el acortamiento.

25 Con el desarrollo de la tecnología de difusión digital, se aumenta la necesidad de un servicio tal como una señal de vídeo y una señal de audio y la cantidad de datos deseada por un usuario o el número de canales de difusión se aumenta gradualmente.

30 Por consiguiente, la presente invención se refiere a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal que elimina sustancialmente uno o más problemas debidos a limitaciones y desventajas de la técnica relacionada.

Objeto de la invención

35 Un objetivo de la presente invención es proporcionar un método para transmitir y recibir una señal y un aparato para transmitir y recibir una señal, que puedan mejorar la eficacia de transmisión de datos.

Otro objetivo de la presente invención es proporcionar un método para transmitir y recibir una señal y un aparato para transmitir y recibir una señal, que puedan mejorar capacidad de corrección de errores de bits que configuran un
40 servicio.

Ventajas, objetos y características adicionales de la invención se expondrán en parte en la descripción que sigue y en parte serán evidentes para los expertos en la técnica tras examinar lo siguiente o puede aprenderse de la práctica de la invención. Los objetos y otras ventajas de la invención pueden llevarse a cabo y lograrse mediante la estructura particularmente señalada en la descripción y reivindicaciones de este documento así como en los dibujos
45 adjuntos.

Para lograr los objetivos, la presente invención proporciona métodos de transmisión y recepción de una señal y un aparato para transmitir y recibir una señal.

50 En un aspecto de la presente invención, se propone un método de transmisión de una señal según la reivindicación 1.

En otro aspecto de la presente invención, se propone un método de recepción de una señal según la reivindicación
55 4.

En otro aspecto de la presente invención, se propone un aparato para la transmisión de una señal según la reivindicación 7.

60 En otro aspecto de la presente invención, se propone un aparato para recibir una señal según la reivindicación 10.

El esquema de codificación de corrección de errores y el esquema de decodificación de corrección de errores incluyen un esquema de corrección de errores de comprobación de paridad de baja densidad (LDPC).

65 La información de capa 1 puede codificarse y decodificarse usando esquemas de codificación y decodificación de corrección de errores que incluyen un modo corto de la LDPC.

La información de capa 1 puede ser al menos una de una longitud de intervalo de seguridad, varios bloques de codificación de corrección de errores en cada trama de señal, información de modulación de servicio y un identificador de célula.

5 El codificador de información puede incluir un primer codificador configurado para realizar una primera codificación de corrección de errores con respecto a los bits de la información de capa 1, un primer entrelazador configurado para entrelazar los primeros bits codificados por corrección de errores, un segundo codificador configurado para realizar una segunda codificación de corrección de errores de los bits entrelazados según dicho esquema de acortamiento y dicho esquema de perforación y un segundo entrelazador configurado para entrelazar los segundos bits codificados por corrección de errores.

10 El decodificador de información puede incluir un primer desentrelazador configurado para desentrelazar los bits de la información de capa 1, un primer decodificador configurado para realizar decodificación de corrección de errores con respecto a los bits desentrelazados según esquemas inversos al esquema de acortamiento y al esquema de perforación, un segundo desentrelazador configurado para desentrelazar los bits decodificados por corrección de errores y un segundo decodificador configurado para realizar decodificación de corrección de errores con respecto a los bits desentrelazados.

20 **Descripción de las figuras**

Los dibujos adjuntos, que se incluyen para proporcionar una comprensión adicional de la invención y se incorporan en, y forman parte de, esta solicitud, ilustran (una) realización/realizaciones de la invención y junto con la descripción, sirven para explicar el principio de la invención. En los dibujos:

25 la figura 1 es una vista que muestra una trama de señal para transmitir un servicio;

la figura 2 es una vista que muestra la estructura de una primera señal piloto P1 de la trama de señal;

30 la figura 3 es una vista que muestra una ventana de señalización;

la figura 4 es una vista esquemática que muestra una realización de un aparato para transmitir una señal;

la figura 5 es una vista que muestra un ejemplo de un procesador (110) de entrada;

35 la figura 6 es una vista que muestra una realización de una unidad de codificación y modulación;

la figura 7 es una vista que muestra una realización de un formador de tramas;

40 la figura 8 es una vista que muestra un primer ejemplo de una proporción de símbolos cuando los correlacionadores (131a y 131b) realizan una correlación de símbolos híbrida;

la figura 9 es una vista que muestra un segundo ejemplo de una proporción de símbolos cuando los correlacionadores (131a y 131b) realizan una correlación de símbolos híbrida;

45 la figura 10 es una vista que muestra el número de símbolos y el número de bits por palabra de célula según un esquema de correlación de símbolos en un modo normal de LDPC;

50 la figura 11 es una vista que muestra otro ejemplo del número de símbolos según un esquema de correlación de símbolos en un modo normal de LDPC;

la figura 12 es una vista que muestra otro ejemplo del número de símbolos según un esquema de correlación de símbolos en un modo normal de LDPC;

55 la figura 13 es una vista que muestra el número de símbolos según un esquema de correlación de símbolos en un modo corto de LDPC;

la figura 14 es una vista que muestra un ejemplo del número de símbolos según un esquema de correlación de símbolos en un modo corto de LDPC;

60 la figura 15 es una vista que muestra otro ejemplo del número de símbolos según un esquema de correlación de símbolos en un modo corto de LDPC;

la figura 16 es una vista que muestra una realización de cada uno de los correlacionadores (131a y 131b) de símbolos de mostrados en la figura 7;

65 la figura 17 es una vista que muestra otra realización de cada uno de los correlacionadores (131a y 131b) de

símbolos;

la figura 18 es una vista que muestra otra realización del correlacionador de símbolos;

5 la figura 19 es una vista que muestra otra realización de cada uno de los correlacionadores (131a y 131b) de símbolos;

la figura 20 es una vista que muestra el concepto de entrelazar bits mediante los entrelazadores (1312a y 1312b) de bits;

10 La figura 21 ilustra otro ejemplo de los entrelazadores de bits que realizan el entrelazado;

La figura 22 ilustra el desfase usado en el entrelazado de bits según un método de correlación de símbolos;

15 la figura 23 es una vista que muestra un primer ejemplo del número de filas y columnas de memorias de los entrelazadores (1312a y 1312b) de bits según los tipos de correlacionadores (1315a y 1315b) de símbolos;

la figura 24 es una vista que muestra un segundo ejemplo del número de filas y columnas de las memorias de los entrelazadores (1312a y 1312b) de bits según los tipos de correlacionadores (1315a y 1315b) de símbolos;

20 la figura 25 es un diagrama que muestra el concepto de otra realización de entrelazado de un entrelazador de bits;

la figura 26 es una vista que muestra otra realización de entrelazado de bits;

25 la figura 27 es una vista que muestra otra realización de entrelazado de bits;

la figura 28 es una vista que muestra otra realización de entrelazado de bits;

30 la figura 29 es una vista que muestra el concepto de demultiplexar bits de entrada de los demux (1313a y 1313b);

la figura 30 es una vista que muestra una realización para demultiplexar un flujo de entrada mediante el demux;

35 la figura 31 es una vista que muestra un ejemplo de un tipo de demultiplexación según un método de correlación de símbolos;

la figura 32 es una vista que muestra una realización para demultiplexar un flujo de bits de entrada según un tipo de demultiplexación;

40 la figura 33 es una vista que muestra un tipo de demultiplexación que se determina según una tasa de código de una codificación de corrección de errores y un método de correlación de símbolos;

la figura 34 es una vista que muestra un ejemplo para expresar el método de demultiplexación mediante una ecuación;

45 la figura 35 es una vista que muestra un ejemplo para correlacionar un símbolo mediante un correlacionador de símbolos;

la figura 36 es una vista que muestra un ejemplo de un codificador de señal multitrayectoria;

50 la figura 37 es una vista que muestra una realización de un modulador;

la figura 38 es una vista que muestra una realización de un procesador (160) analógico;

55 la figura 39 es una vista que muestra una realización de un aparato de recepción de señales que puede recibir una trama de señal;

la figura 40 es una vista que muestra una realización de un receptor de señales;

60 la figura 41 es una vista que muestra una realización de un demodulador;

la figura 42 es una vista que muestra un decodificador de señal multitrayectoria;

la figura 43 es una vista que muestra una realización de un analizador sintáctico de tramas;

65 la figura 44 es una vista que muestra una realización de cada uno de los decorrelacionadores (247a y 247p) de símbolos;

- la figura 45 es una vista que muestra otra realización de cada uno de los decorrelacionadores (247a y 247p) de símbolos;
- 5 la figura 46 es una vista que muestra otra realización de cada uno de los decorrelacionadores (247a y 247p) de símbolos;
- la figura 47 es una vista que muestra otra realización de cada uno de los decorrelacionadores (247a y 247p) de símbolos;
- 10 la figura 48 es una vista que muestra una realización para multiplexar un subflujo demultiplexado;
- la figura 49 es una vista que muestra un ejemplo de una unidad de decodificación y demodulación;
- 15 la figura 50 es una vista que muestra una realización de un procesador de salida;
- la figura 51 es una vista que muestra otra realización de un aparato de transmisión de señales para transmitir una trama de señal;
- 20 la figura 52 es una vista que muestra otra realización de un aparato de recepción de señales para recibir una trama de señal;
- la figura 53 es una vista que muestra una realización de la estructura de una primera señal piloto;
- 25 la figura 54 es una vista que muestra una realización para detectar una señal de preámbulo mostrada en la figura 53 y estimar un desfase de sincronismo y un desfase de frecuencia;
- la figura 55 es una vista que muestra otra realización de la estructura de la primera señal piloto;
- 30 la figura 56 es una vista que muestra una realización para detectar la primera señal piloto mostrada en la figura 55 y medir un desfase de sincronismo y un desfase de frecuencia;
- la figura 57 es una vista que muestra una realización para detectar la primera señal piloto y medir un desfase de sincronismo y un desfase de frecuencia usando el resultado detectado;
- 35 la figura 58 es una vista que muestra una realización de un método para transmitir una señal;
- la figura 59 es una vista que muestra una realización de un método para recibir una señal; y
- 40 la figura 60 es un diagrama de flujo que ilustra una realización para identificar una primera señal piloto y estimar un desfase en un proceso de demodulación;
- la figura 61 ilustra otro ejemplo de un método para transmitir y recibir señales según la presente invención.
- 45 la figura 62 es una vista que muestra otra realización de un aparato para transmitir una señal;
- la figura 63 es una vista que muestra una realización de un codificador 1303 de información;
- la figura 64 es una vista que muestra otra realización de un aparato para recibir una señal;
- 50 la figura 65 es una vista que muestra una realización detallada de decodificación de información de capa 1 e información de capa 2; y
- la figura 66 es un diagrama de flujo que ilustra un método para transmitir y recibir una señal.

55 **Descripción detallada de la invención**

A continuación se hará referencia con detalle a las realizaciones preferidas de la presente invención, ejemplos de las cuales se ilustran en los dibujos adjuntos. Siempre que sea posible, se usarán los mismos números de referencia en todos los dibujos para referirse a partes idénticas o similares.

60 En la siguiente descripción, el término "servicio" es indicativo o bien de contenido de difusión que puede transmitirse/recibirse por un aparato de transmisión/recepción de señales, o bien del hecho de proporcionar contenido.

65 Antes de la descripción de un aparato para transmitir y recibir una señal según una realización de la presente invención, se describirá una trama de señal que se transmite y recibe por el aparato para transmitir y recibir la señal

según la realización de la presente invención.

La figura 1 muestra una trama de señal para transmitir un servicio según una realización de la presente invención.

5 La trama de señal mostrada en la figura 1 muestra una trama de señal ejemplar para transmitir un servicio de difusión incluyendo flujos de audio/vídeo (A/V). En este caso, un único servicio se multiplexa en canales de tiempo y frecuencia, y se transmite el servicio multiplexado. El esquema de transmisión de señales mencionado anteriormente se denomina esquema de segmentación de tiempo-frecuencia (TFS). Un ejemplo de la técnica anterior de un esquema de este tipo se describe en el artículo "Performance Advantages of Time-Frequency sliced Systems" de Mark J. Karol, et al. En comparación con el caso en el que se transmite un único servicio a sólo una banda de radiofrecuencia (RF), el aparato de transmisión de señales según una realización de la presente invención transmite el servicio de señal a través de al menos una banda de RF (posiblemente varias bandas de RF), de modo que puede adquirir una ganancia de multiplexación estadística que puede transmitir muchos más servicios. El aparato de transmisión/recepción de señales transmite/recibe un único servicio sobre varios canales de RF, de modo que puede adquirir una ganancia de diversidad de frecuencia.

Los servicios primero a tercero (servicios 1~3) se transmiten a cuatro bandas de RF (RF1~RF4). Sin embargo, este número de bandas de RF y este número de servicios se han dado a conocer sólo por motivos ilustrativos, de modo que en caso necesario también pueden usarse otros números. Dos señales de referencia (es decir, un primera señal piloto (P1) y una segunda señal piloto (P2)) están ubicadas en la parte de comienzo de la trama de señal. Por ejemplo, en el caso de la banda de RF1, la primera señal piloto (P1) y la segunda señal piloto (P2) están ubicadas en la parte de comienzo de la trama de señal. La banda de RF1 incluye tres ranuras asociadas con el servicio 1, dos ranuras asociadas con el servicio 2 y una única ranura asociada con el servicio 3. Las ranuras asociadas con otros servicios también pueden estar ubicadas en otras ranuras (ranuras 4~17) ubicadas tras la única ranura asociada con el servicio 3.

La banda de RF2 incluye una primera señal piloto (P1), una segunda señal piloto (P2) y otras ranuras (13 ~ 17). Además, la banda de RF2 incluye tres ranuras asociadas con el servicio 1, dos ranuras asociadas con el servicio 2 y una única ranura asociada con el servicio 3.

Los servicios (1 ~ 3) se multiplexan, y a continuación se transmiten a las bandas de RF3 y RF4 según el esquema de segmentación de tiempo-frecuencia (TFS). El esquema de modulación para la transmisión de señales puede basarse en un esquema de multiplexación por división de frecuencia ortogonal (OFDM).

En la trama de señal, los servicios individuales se desplazan hacia las bandas de RF (en el caso de que haya una pluralidad de bandas de RF en la trama de señal) y un eje de tiempo.

Si hay tramas de señal iguales a la trama de señal anterior dispuestas sucesivamente en el tiempo, puede componerse una supertrama de varias tramas de señal. Una trama de extensión futura también puede estar ubicada entre las diversas tramas de señal. Si la trama de extensión futura está ubicada entre las diversas tramas de señal, la supertrama puede terminarse en la trama de extensión futura.

La figura 2 muestra una primera señal piloto (P1) contenida en la trama de señal de la figura 1 según una realización de la presente invención.

La primera señal piloto P1 y la segunda señal piloto P2 están ubicadas en la parte de comienzo de la trama de señal. La primera señal piloto P1 se modula mediante un modo de FFT de 2K y puede transmitirse simultáneamente mientras incluye un intervalo de seguridad de 1/4. En la figura 2, una banda de 7,61 MHz de la primera señal piloto P1 incluye una banda de 6,82992 MHz. La primera señal piloto usa 256 portadoras de entre 1705 portadoras activas. Se usa una única portadora activa para cada 6 portadoras como promedio. Los intervalos portadores de datos pueden disponerse de manera irregular en el orden de 3, 6 y 9. En la figura 2, una línea continua indica la ubicación de una portadora usada, una línea discontinua delgada indica la ubicación de una portadora no usada y una línea encadenada indica una ubicación central de la portadora no usada. En la primera señal piloto, puede realizarse una correlación de símbolo de la portadora usada mediante una modulación por desplazamiento de fase binaria (BPSK), y puede modularse una secuencia de bits pseudoaleatoria (PRBS). El tamaño de una FFT usada para la segunda señal piloto puede indicarse mediante varias PRBS.

El aparato de recepción de señales detecta una estructura de una señal piloto, y reconoce una segmentación de tiempo-frecuencia (TFS) usando la estructura detectada. El aparato de recepción de señales adquiere el tamaño de FFT de la segunda señal piloto, compensa un desfase de frecuencia aproximado de una señal de recepción, y adquiere sincronización de tiempo.

En la primera señal piloto, pueden fijarse un tipo de transmisión de señal y un parámetro de transmisión.

La segunda señal piloto P2 puede transmitirse con un tamaño de FFT y un intervalo de seguridad iguales a los del símbolo de datos. En la segunda señal piloto, se usa una única portadora como portadora piloto a intervalos de tres

portadoras. El aparato de recepción de señales compensa un desfase de sincronización de frecuencia fina usando la segunda señal piloto, y realiza una sincronización de tiempo fina. La segunda señal piloto transmite información de una primera capa (L1) de entre capas de interconexión de sistemas abiertos (OSI). Por ejemplo, la segunda señal piloto puede incluir un parámetro físico e información de construcción de trama. La segunda señal piloto transmite un valor de parámetro mediante el que un receptor puede acceder a un flujo de servicio de conexión de capa física (PLP).

La información de L1 (capa 1) contenida en la segunda señal piloto P2 es la siguiente.

La Información de capa 1 (L1) incluye un indicador de longitud que indica la longitud de datos que incluyen la información de L1, de modo que puede usar fácilmente los canales de señalización de las capas 1 y 2 (L1 y L2). La información de capa 1 (L1) incluye un indicador de frecuencia, una longitud de intervalo de seguridad, un número máximo de bloques de FEC (corrección de errores sin canal de retorno) para cada trama en asociación con canales físicos individuales, y el número de bloques de FEC reales que van a contenerse en la memoria intermedia de bloques de FEC asociada con una trama actual/previa en cada canal físico. En este caso, el indicador de frecuencia indica información de frecuencia que corresponde al canal de RF.

La información de capa 1 (L1) puede incluir una diversidad de información en asociación con ranuras individuales. Por ejemplo, la información de capa 1 (L1) incluye el número de tramas asociadas con un servicio, una dirección inicial de una ranura que tiene la precisión de una portadora de OFDM contenida en un símbolo de OFDM, una longitud de la ranura, ranuras correspondientes a la portadora de OFDM, el número de bits rellenados en la última portadora de OFDM, información de modulación de servicio, información de tasa de modo de servicio e información de esquema de múltiples entradas múltiples salidas (MIMO).

La información de capa 1 (L1) puede incluir un ID de célula, una bandera para servicio de mensaje de notificación de tipo de servicio (por ejemplo, un mensaje de emergencia), el número de tramas actuales y el número de bits adicionales para su uso futuro. En este caso, el ID de célula indica un área de difusión transmitida por un transmisor de difusión.

La segunda señal piloto P2 está adaptada para realizar una estimación de canal para decodificar un símbolo contenido en la señal P2. La segunda señal piloto P2 puede usarse como un valor inicial para la estimación de canal para el siguiente símbolo de datos. La segunda señal piloto P2 también puede transmitir información de capa 2 (L2). Por ejemplo, la segunda señal piloto puede describir información asociada con el servicio de transmisión en la información de capa 2 (L2). El aparato de transmisión de señales decodifica la segunda señal piloto, de modo que puede adquirir información de servicio contenida en la trama de segmentación de tiempo-frecuencia (TFS) y puede realizar de manera eficaz la exploración de canal. Mientras tanto, esta información de capa 2 (L2) puede incluirse en una PLP específica de la trama de TFS. Según otro caso, puede incluirse información de L2 en una PLP específica, y la información de descripción de servicio también puede transmitirse en la PLP específica.

Por ejemplo, la segunda señal piloto puede incluir dos símbolos de OFDM del modo de FFT de 8k. En general, la segunda señal piloto puede ser una cualquiera de un símbolo de OFDM único del modo de FFT de 32K, un símbolo de OFDM único del modo de FFT de 16k, dos símbolos de OFDM del modo de FFT de 8k, cuatro símbolos de OFDM del modo de FFT de 4k y ocho símbolos de OFDM del modo de FFT de 2k.

Dicho de otro modo, un símbolo de OFDM único que tiene el tamaño de una FFT grande o varios símbolos de OFDM, cada uno de los cuales tiene el tamaño de una FFT pequeña, pueden estar contenidos en la segunda señal piloto P2, de modo que puede mantenerse la capacidad que puede transmitirse al piloto.

Si la información que va a transmitirse a la segunda señal piloto supera la capacidad del símbolo de OFDM de la segunda señal piloto, pueden usarse además los símbolos de OFDM tras la segunda señal piloto. Se realiza una codificación de corrección de errores sobre la información de L1 (capa 1) y L2 (capa 2) contenida en la segunda señal piloto y a continuación se entrelaza, de modo que se lleva a cabo la recuperación de datos aunque se produzca un ruido impulsivo.

Como se describió anteriormente, también puede incluirse información de L2 en una PLP específica que transporte la información de descripción de servicio.

La figura 3 muestra una ventana de señalización según la presente invención. La trama de segmentación de tiempo-frecuencia (TFS) muestra un concepto de desfase de la información de señalización. La información de capa 1 (L1) contenida en la segunda señal piloto incluye información de construcción de trama e información de capa física requerida por el aparato de recepción de señales que decodifica el símbolo de datos. Por tanto, si está contenida información de los siguientes símbolos de datos ubicados tras la segunda señal piloto, en la segunda señal piloto, y se transmite la segunda señal piloto resultante, puede ser que el aparato de recepción de señales no pueda decodificar inmediatamente los siguientes símbolos de datos anteriores debido a un tiempo de decodificación de la segunda señal piloto.

Por tanto, como se muestra en la figura 3, la información de L1 contenida en la segunda señal piloto (P2) incluye información de un tamaño de trama de segmentación de tiempo-frecuencia (TFS) única, e incluye información contenida en la ventana de señalización en una ubicación separada de la segunda señal piloto el desfase de ventana de señalización.

5 Mientras tanto, para realizar una estimación de canal de un símbolo de datos que construye el servicio, el símbolo de datos puede incluir un piloto dispersado y un piloto continuo.

10 A continuación en el presente documento se describirá el sistema de transmisión/recepción de señales que puede transmitir/recibir las tramas de señal mostradas en las figuras 1 – 3. Pueden transmitirse y recibirse servicios individuales sobre varios canales de RF. Una trayectoria para transmitir cada uno de los servicios o un flujo transmitido a través de esta trayectoria se denomina PLP. La PLP puede distribuirse entre las ranuras divididas en el tiempo en varios canales de RF o una banda de RF única. Esta trama de señal puede transportar la PLP dividida en el tiempo en al menos un canal de RF. Dicho de otro modo, una única PLP puede transferirse a través de al menos un canal de RF con regiones divididas en el tiempo. A continuación en el presente documento, se darán a conocer los sistemas de transmisión/recepción de señales que transmiten/reciben una trama única a través de al menos una banda de RF.

20 La figura 4 es un diagrama de bloques que ilustra un aparato para transmitir una señal según una realización de la presente invención. Con referencia a la figura 4, el aparato de transmisión de señales incluye un procesador (110) de entrada, una unidad (120) de codificación y modulación, un formador (130) de tramas, un codificador (140) MIMO/MISO, una pluralidad de moduladores (150a, ..., 150r) del codificador (140) MIMO/MISO, y una pluralidad de procesadores (160a,...,160r) analógicos.

25 El procesador (110) de entrada recibe flujos equipados con varios servicios, genera un número P de tramas de banda base (P es un número natural) que incluye información de modulación y codificación correspondiente a trayectorias de transmisión de los servicios individuales, y emite el número P de tramas de banda base.

30 La unidad (120) de codificación y modulación recibe tramas de banda base desde el procesador (110) de entrada, realiza la codificación y el entrelazado de canal en cada una de las tramas de banda base, y emite el resultado de codificación y el entrelazado de canal.

35 El formador (130) de tramas forma tramas que transmiten tramas de banda base contenidas en el número P de PLP a un número R de canales de RF (donde R es un número natural), divide las tramas formadas y emite las tramas divididas a trayectorias correspondientes al número R de canales de RF. Pueden multiplexarse varios servicios en un único canal de RF en el tiempo. Las tramas de señal generadas a partir del formador (140) de tramas pueden incluir una estructura de a segmentación de tiempo-frecuencia (TFS) en la que se multiplexa el servicio en dominio de tiempo y frecuencia.

40 El codificador (140) MIMO/MISO codifica señales que van a transmitirse al número R de canales de RF, y emite las señales codificadas a trayectorias que corresponden a un número A de antenas (donde A es un número natural). El codificador (140) MIMO/MISO emite la señal codificada en la que un único que va a transmitirse a un canal de RF único se codifica respecto al número A de antenas, de modo que una señal se transmite/recibe a/desde una estructura MIMO (múltiples entradas múltiples salidas) o MISO (múltiples entradas única salida).

45 Los moduladores (150a, ..., 150r) modulan señales de dominio de frecuencia introducidas a través de la trayectoria correspondiente a cada canal de RF para dar señales de dominio de tiempo. Los moduladores (150a, ..., 150r) modulan las señales de entrada según un esquema de multiplexación por división de frecuencia ortogonal (OFDM), y emiten las señales moduladas.

50 Los procesadores (160a, ..., 160r) analógicos convierten las señales de entrada en señales de RF, de modo que las señales de RF pueden emitirse a los canales de RF.

55 El aparato de transmisión de señales según esta realización puede incluir un número predeterminado de moduladores (150a,...150r) que corresponde al número de canales de RF y un número predeterminado de procesadores (160a,...,160r) analógicos que corresponde al número de canales de RF. Sin embargo, en el caso de usar el esquema MIMO, el número de procesadores analógicos debe ser igual al producto de R (es decir, el número de canales de RF) y A (es decir, el número de antenas).

60 La figura 5 es un diagrama de bloques que ilustra un procesador (110) de entrada según una realización de la presente invención. Con referencia a la figura 5, el procesador (110) de entrada incluye el primer multiplexor (111a) de flujo, el primer divisor (113a) de servicios y una pluralidad de primeros formadores (115a, ..., 115m) de tramas de banda base (BB). El procesador (110) de entrada incluye un segundo multiplexor (111b) de flujo, un segundo divisor (113b) de servicios y una pluralidad de segundos formadores (115n, ..., 115p) de tramas de banda base (BB).

65 Por ejemplo, el primer multiplexor (111a) de flujo recibe varios flujos de transporte (TS) de MPEG-2, multiplexa los

flujos TS de MPEG-2 recibidos y emite los flujos TS de MPEG-2 multiplexados. El primer divisor (113a) de servicios recibe los flujos multiplexados, divide los flujos de entrada de servicios individuales y emite los flujos divididos. Como se describió anteriormente, siempre que el servicio transmitido a través de una trayectoria de canal físico se denomine PLP, el primer divisor (113a) de servicios divide el servicio que va a transmitirse a cada PLP y emite el servicio dividido.

Los primeros formadores (115a, ..., 115m) de tramas de BB forman datos contenidos en un servicio que va a transmitirse a cada PLP en forma de una trama específica, y emiten los datos formateados de trama específica. Los primeros formadores (115a, ..., 115m) de tramas de BB forman una trama que incluye una cabecera y carga útil equipada con datos de servicio. La cabecera de cada trama puede incluir información de modo basada en la modulación y codificación de los datos de servicio, y un valor de contador basado en una velocidad de reloj del modulador para sincronizar flujos de entrada.

El segundo multiplexor (111b) de flujo recibe varios flujos, multiplexa flujos de entrada y emite los flujos multiplexados. Por ejemplo, el segundo multiplexor (111b) de flujo puede multiplexar flujos de protocolo de Internet (IP) en lugar de los flujos TS de MPEG-2. Estos flujos pueden encapsularse mediante un esquema de encapsulación de flujo genérico (GSE). Los flujos multiplexados por el segundo multiplexor (111b) de flujo pueden ser uno cualquiera de los flujos. Por tanto, los flujos mencionados anteriormente diferentes de los flujos TS de MPEG-2 se denominan flujos genéricos (flujos GS).

El segundo divisor (113b) de servicios recibe los flujos genéricos multiplexados, divide los flujos genéricos recibidos según servicios individuales (es decir, tipos de PLP) y emite los flujos GS divididos.

Los segundos formadores (115n, ..., 115p) de tramas de BB forman datos de servicio que van a transmitirse a PLP individuales en forma de una trama específica usada como una unidad de procesamiento de señales, y emiten los datos de servicio resultantes. El formato de trama formado por los segundos formadores (115n, ..., 115p) de tramas de BB puede ser igual al de los primeros formadores (115a, ..., 115m) de tramas de BB según sea necesario. En caso necesario, también puede proponerse otra realización. En otra realización, el formato de trama formado por los segundos formadores (115n, ..., 115p) de tramas de BB puede ser diferente del de los primeros formadores (115a, ..., 115m) de tramas de BB. La cabecera de TS de MPEG-2 incluye además una palabra de sincronización de paquete que no está contenida en el flujo GS, dando como resultado la aparición de diferentes cabeceras.

La figura 6 es un diagrama de bloques que ilustra una unidad de codificación y modulación según una realización de la presente invención. La unidad de codificación y modulación incluye un primer entrelazador (123), un segundo codificador (125) y un segundo entrelazador (127).

El primer codificador (121) actúa como codificador externo de la trama de banda base de entrada y puede realizar la codificación de corrección de errores. El primer codificador (121) realiza la codificación de corrección de errores de la trama de banda base de entrada usando un esquema de Bose-Chaudhuri-Hocquenghem (BCH). El primer entrelazador (123) realiza un entrelazado de los datos codificados, de modo que evita la generación de un error de ráfaga en una señal de transmisión. Puede ser que el primer entrelazador (123) no esté contenido en la realización mencionada anteriormente.

El segundo codificador (125) actúa como codificador interno o bien de los datos de salida del primer codificador (121) o bien de los datos de salida del primer entrelazador (123), y puede realizar la codificación de corrección de errores. Puede usarse un esquema de bits de paridad de baja densidad (LDPC) como esquema de codificación de corrección de errores. El segundo entrelazador (127) mezcla los datos con codificación de corrección de errores generados a partir del segundo codificador (125) y emite los datos mezclados. El primer entrelazador (123) y el segundo entrelazador (127) pueden realizar un entrelazado de datos en unidades de un bit.

La unidad (120) de codificación y modulación se refiere un flujo de PLP única. El flujo de PLP se somete a codificación de corrección de errores y se modula mediante la unidad (120) de codificación y modulación, y a continuación se transmite al formador (130) de tramas.

La figura 7 es un diagrama de bloques que ilustra un formador de tramas según una realización de la presente invención. Con referencia a la figura 7, el formador (130) de tramas recibe flujos de varias trayectorias desde la unidad (120) de codificación y modulación, y dispone los flujos recibidos en una trama de señal única. Por ejemplo, el formador de tramas puede incluir un primer correlacionador (131a) y un primer entrelazador (132a) en tiempo en una primera trayectoria, y puede incluir un segundo correlacionador (131b) y un segundo entrelazador (132b) en tiempo en una segunda trayectoria. El número de trayectorias de entrada es igual al número de PLP para transmisión de servicio o el número de flujos transmitidos a través de cada PLP.

El primer correlacionador (131a) realiza una correlación de datos contenidos en el flujo de entrada según el primer esquema de correlación de símbolos. Por ejemplo, el primer correlacionador (131a) puede realizar una correlación de los datos de entrada usando un esquema de QAM (por ejemplo, 16 QAM, 64 QAM y 256 QAM).

Si el primer correlacionador (131a) realiza una correlación del símbolo, los datos de entrada pueden correlacionarse con varios tipos de símbolos según varios esquemas de correlación de símbolos. Por ejemplo, el primer correlacionador (131a) clasifica los datos de entrada en una unidad de trama de banda base y una subunidad de trama de banda base. Puede realizarse una correlación de símbolos híbrida de datos clasificados individuales mediante al menos dos esquemas de QAM (por ejemplo, 16 QAM y 64 QAM). Por tanto, los datos contenidos en un único servicio pueden correlacionarse con símbolos basándose en diferentes esquemas de correlación de símbolos en intervalos individuales.

El primer entrelazador (132a) en tiempo recibe una secuencia de símbolos correlacionada mediante el primer correlacionador (131a), y puede realizar el entrelazado en un dominio de tiempo. El primer correlacionador (131a) correlaciona datos, que están contenidos en la unidad de trama con corrección de errores recibida desde la unidad (120) de codificación y modulación, para dar símbolos. El primer entrelazador (132a) en tiempo recibe la secuencia de símbolos correlacionada mediante el primer correlacionador (131a) y entrelaza la secuencia de símbolos recibida para dar unidades de la trama con corrección de errores.

De este modo, el correlacionador (131p) de orden p o el entrelazador (132p) en tiempo de orden p recibe datos de servicio que van a transmitirse a la PLP de orden p , correlaciona los datos de servicio para dar símbolos según el esquema de correlación de símbolos de orden p . Los símbolos correlacionados pueden entrelazarse en un dominio de tiempo. Debe observarse que este esquema de correlación de símbolos y este esquema de entrelazado son iguales a los del primer entrelazador (132a) en tiempo y el primer correlacionador (131a).

El esquema de correlación de símbolos del primer correlacionador (131a) puede ser igual al o diferente del correlacionador (131p) de orden p . El primer correlacionador (131a) y el correlacionador (131p) de orden p pueden correlacionar datos de entrada con símbolos individuales usando los mismos o diferentes esquemas de correlación de símbolos híbrida.

Los datos de los entrelazadores en tiempo ubicados en trayectorias individuales (es decir, los datos de servicio entrelazados por el primer entrelazador (132a) en tiempo y los datos de servicio que van a transmitirse al número R de canales de RF por el entrelazador (132p) en tiempo de orden p) se entrelazan, de modo que el canal físico permite entrelazar los datos anteriores sobre varios canales de RF.

En asociación con flujos recibidos en tantas trayectorias como el número de PLP, el formador (133) de tramas de TFS forma la trama de señal de TFS tal como la señal de trama mencionada anteriormente, de modo que el servicio se desplaza en tiempo según los canales de RF. El formador (133) de tramas de TFS divide los datos de servicio recibidos en una cualquiera de las trayectorias y emite los datos de servicio divididos en datos del número R de bandas de RF según un esquema de planificación de señal.

El formador (133) de tramas de TFS recibe la primera señal piloto y la segunda señal piloto desde la unidad (135) de información de señalización (designada por la señal Ref/PL), dispone las señales piloto primera y segunda en la trama de señal, e inserta la señal de señalización (L1 y L2) de la capa física mencionada anteriormente en la segunda señal piloto. En este caso, las señales piloto primera y segunda se usan como las señales de comienzo de la trama de señal contenida en cada canal de RF de entre la trama de señal de TFS recibida desde la unidad (135) de información de señalización (señal de Ref/PL). Como se muestra en la figura 2, la primera señal piloto puede incluir un tipo de transmisión y parámetros de transmisión básicos, y la segunda señal piloto puede incluir un parámetro físico e información de construcción de trama. Además, la segunda señal piloto incluye una señal de señalización de L1 (capa 1) y una señal de señalización de L2 (capa 2).

El número R de entrelazadores (137a, ..., 137r) en frecuencia entrelazan datos de servicio, que van a transmitirse a canales de RF correspondientes de la trama de señal de TFS, en un dominio de frecuencia. Los entrelazadores (137a, ..., 137r) en frecuencia pueden entrelazar los datos de servicio a un nivel de células de datos contenidas en un símbolo de OFDM.

Por tanto, se realiza un procesamiento con desvanecimiento selectivo en frecuencia de los datos de servicio que van a transmitirse a cada canal de RF en la trama de señal de TFS, de modo que no se pierden en un dominio de frecuencia específico.

La figura 8 es una vista que muestra un primer ejemplo de una proporción de símbolos cuando los correlacionadores (131a y 131b) realizan una correlación de símbolos híbrida. Esta figura muestra el número de bits transmitidos por una subportadora (célula) si se realiza codificación de corrección de errores por la unidad de codificación y modulación en un modo normal (la longitud del código con codificación de corrección de errores es de 64800 bits) del modo de codificación de corrección de errores de LDPC.

Por ejemplo, si los correlacionadores (131a y 131b) realizan una correlación de símbolos usando 256QAM, se correlacionan 64800 bits con 8100 símbolos. Si los correlacionadores (131a y 131b) realizan una correlación de símbolos híbrida (Hyb 128-QAM) usando 256QAM y 64QAM con una proporción de 3:2, el número de símbolos correlacionados por 256QAM es de 4860 y el número de símbolos correlacionados por 64QAM es de 4320. El

número de bits transmitidos por cada subportadora (célula) es de 7,0588.

5 Si se usa un método de correlación de símbolos de 64QAM, los datos de entrada pueden correlacionarse con 10800 símbolos y pueden transmitirse seis bits por célula. Si los datos se correlacionan con los símbolos mediante un método de correlación de símbolos híbrida de 64QAM y 16QAM (64QAM:16QAM=3:2, Hyb32-QAM), pueden transmitirse cinco bits mediante una subportadora (célula).

10 Si se correlacionan datos con símbolos mediante el método 16QAM, los datos se correlacionan con 16200 símbolos, cada uno de los cuales se usa para transmitir cuatro bits.

De manera similar, si se correlacionan datos con símbolos mediante un método de correlación de símbolos híbrida de 16QAM y QPSK (16QAM:QPSK=2:3, Hyb8-QAM), pueden transmitirse tres bits mediante una subportadora (célula).

15 Si se correlacionan datos con símbolos mediante un método QPSK, los datos pueden correlacionarse con 32400 símbolos, cada uno de los cuales se usa para transmitir dos bits.

20 La figura 9 muestra métodos de correlación de símbolos de datos con corrección de errores mediante un método de codificación de corrección de errores de LDPC de un modo corto (la longitud del código con codificación de corrección de errores es de 16200 bits), que son iguales a los métodos de correlación de símbolos de la figura 8, y los números de bits por subportadora según los métodos de correlación de símbolos.

25 Los números de bits transmitidos por la subportadora son iguales a los del modo normal (64800 bits) según los métodos de correlación de símbolos tales como 256QAM, Hyb 128-QAM, 64-QAM, Hyb 32-QAM, 16QAM, Hyb8-QAM y QPSK, pero los números totales de símbolos transmitidos son diferentes de los del modo normal. Por ejemplo, se transmiten 16200 bits por 2025 símbolos en 256QAM, se transmiten 16200 bits por 1215 símbolos según 256QAM y 1080 símbolos según 64QAM (2295 símbolos totales) en Hyb 128-OAM.

30 Por consiguiente, puede ajustarse una tasa de transmisión de datos por subportadora (célula) para cada PLP según un método de correlación de símbolos híbrida o un método de correlación de símbolos única.

35 La figura 10 es una vista que muestra el número de símbolos y el número de bits por palabra de célula según un método de correlación de símbolos en un modo normal de LDPC. Si una trama de señal de TFS incluye al menos un canal de RF, pueden asignarse de manera uniforme símbolos que configuran una PLP específica a canales de RF. Las ubicaciones de los símbolos de PLP asignados a los canales de RF pueden direccionarse más eficazmente. Por consiguiente, cuando el aparato de recepción de señales selecciona los canales de RF, los bits usados para direccionar la PLP específica pueden reducirse.

40 En este dibujo, un método de correlación de símbolos representado por 256-QAM indica un método de correlación de bits que configuran un único bloque con codificación de corrección de errores con símbolos con una proporción de 256QAM:64QAM=8:1. Según este método de correlación de símbolos, el número de bits en un único bloque con codificación de corrección de errores mediante el método 256-QAM es de 57600, el número de bits en un único bloque con codificación de corrección de errores mediante el método 256-QAM es de 1200, el número de símbolos totales en el bloque es de 8400, y el número de bits por palabra de célula es de 7,714285714.

45 Un método de correlación de símbolos representado por Hyb 128-QAM indica un método de correlación de bits que configuran un único bloque con codificación de corrección de errores con símbolos con una proporción de 256QAM:64QAM=8:7. Según el método de correlación de símbolos Hyb 128-QAM, el número de símbolos totales en un único bloque con codificación de corrección de errores es de 9600, y el número de bits por palabra de célula es de 6,75.

Según un método de correlación de símbolos representado por 64 QAM, el número de símbolos totales en un único bloque con codificación de corrección de errores es de 10800 y el número de bits por palabra de célula es de 6.

55 Un método de correlación de símbolos representado por Hyb 32-QAM indica un método de correlación de bits que configuran un único bloque con codificación de corrección de errores con símbolos con una proporción de 64QAM:32QAM=5:4. Según el método de correlación de símbolos Hyb 32-QAM, el número de símbolos totales en el bloque con codificación de corrección de errores es de 13200, y el número de bits por palabra de célula es de 4,9090909.

60 Un método de correlación de símbolos representado por 16 QAM indica un método de correlación de bits que configuran un único bloque con codificación de corrección de errores con símbolos con una proporción de 16QAM:QPSK=1:8. Según el método de correlación de símbolos 16 QAM, el número de símbolos totales en un bloque con codificación de corrección de errores es de 15600, y el número de bits por palabra de célula es de 4,153846154.

65

Un método de correlación de símbolos representado por Hyb 8-QAM indica un método de correlación de bits que configuran un único bloque con codificación de corrección de errores con símbolos con una proporción de 16QAM:QPSK=2:1. Según el método de correlación de símbolos Hyb 8-QAM, el número de símbolos totales en un bloque con codificación de corrección de errores es de 21600, y el número de bits por palabra de célula es de 3.

5 Según un método de correlación de símbolos representado por QPSK, el número de símbolos totales en un bloque con codificación de corrección de errores es de 32400 y el número de bits por palabra de célula es de 2.

10 Cuando los símbolos que configuran la PLP se asignan a los canales de RF, la ganancia de diversidad del dominio de frecuencia puede maximizarse cuando los números de los símbolos asignados a los respectivos canales de RF son iguales. Si se considera un máximo de seis canales de RF, el mínimo común múltiplo de 1 a 6 es 60 y el máximo común divisor de los números de símbolos correlacionados con un bloque con codificación de corrección de errores es de 1200. Por consiguiente, si se asigna el múltiplo integral de $1200/60=20$ símbolos a cada uno de los canales de RF, los símbolos pueden asignarse de manera uniforme a todos los canales de RF. En este momento, si se consideran 20 símbolos como un grupo y se direcciona el grupo, puede reducirse la sobrecarga de direccionamiento de $\log_2(20)=4,32$ bits en comparación con el caso en el que se direccionan los símbolos uno a uno.

15 La figura 11 es una vista que muestra otro ejemplo del número de símbolos según un método de correlación de símbolos en un modo normal de LDPC. En el ejemplo de este dibujo, se usaron como método de correlación de símbolos un método 256-QAM que usa símbolos 256QAM y 64QAM (256QAM:64QAM=4:1), un método Hyb 128-QAM que usa símbolos 256QAM y 64QAM (256QAM:64QAM=8:7), un método 64QAM, un método Hyb 32-QAM que usa símbolos 64QAM y 8QAM (64QAM:8QAM=3:2), un método 16 QAM que usa símbolos 16QAM y QPSK (16QAM:QPSK=1:14), un método Hyb 8-QAM que usa 16QAM:QPSK=2:1 y un método QPSK. El máximo común divisor (MCD) de los números de símbolos totales de un bloque con codificación de corrección de errores (modo normal) según los métodos de correlación de símbolos es 720. Por consiguiente, si se asigna el múltiplo integral de $12(=720/60)$ símbolos a cada uno de los canales de RF, los símbolos pueden asignarse de manera uniforme a todos los canales de RF. En este momento, si se consideran 12 símbolos como un grupo y se direcciona el grupo, puede reducirse la sobrecarga de direccionamiento de $\log_2(12)\approx 3,58$ bits en comparación con el caso en el que se direccionan los símbolos uno a uno. El aparato de recepción de señales puede recoger los símbolos de PLP asignados mediante el esquema de direccionamiento y obtener un flujo de servicio de PLP.

20 La figura 12 es una vista que muestra otro ejemplo del número de símbolos según un método de correlación de símbolos en un modo normal de LDPC. En el ejemplo de este dibujo, se usaron como método de correlación de símbolos un esquema 256-QAM, un esquema Hyb 128-QAM, un esquema 64QAM, un esquema Hyb 32-QAM, un esquema 16 QAM, un esquema Hyb 8-QAM y un esquema QPSK. El método de correlación de símbolos 256QAM usa símbolos 256QAM y 64QAM (256QAM: 64QAM=44:1) y el método de correlación de símbolos Hyb 128-QAM usa símbolos 256QAM y 64QAM (256QAM: 64QAM=28:17). El método Hyb 32-QAM usa símbolos 64QAM y 8QAM (64QAM:8QAM=3:2), el método de correlación de símbolos 16QAM usa símbolos 16QAM y QPSK (16QAM: QPSK=1:14) y el método de correlación de símbolos Hyb 8-QAM usa símbolos 16QAM y QPSK (16QAM:QPSK=2:1). El MCD de los números de símbolos totales de un bloque con codificación de corrección de errores (modo normal) según los métodos de correlación de símbolos es 240. Por consiguiente, si se asigna el múltiplo integral de $240/60=4$ símbolos a cada uno de los canales de RF, los símbolos pueden asignarse de manera uniforme a todos los canales de RF. En este momento, si se consideran cuatro símbolos como un grupo y se direcciona el grupo, puede reducirse la sobrecarga de direccionamiento de $\log_2(4)\approx 2$ bits en comparación con el caso en el que se direccionan los símbolos uno a uno. Por consiguiente, incluso cuando el número de canales de RF es uno cualquiera de 1 a 6 en la trama de señal, los símbolos de PLP pueden asignarse de manera uniforme a los canales de RF.

25 La figura 13 es una vista que muestra el número de símbolos según un método de correlación de símbolos en un modo corto de LDPC. Como se describió anteriormente, si se realiza una correlación de símbolos según este ejemplo, los símbolos de PLP pueden asignarse de manera uniforme a los canales de RF y puede reducirse la sobrecarga del direccionamiento de símbolos de PLP. Los métodos de correlación de símbolos mostrados en este dibujo son iguales a los mostrados en la figura 10. Sin embargo, dado que el número de bits del modo corto de LDPC es diferente del modo normal, el MCD de los números de símbolos totales de un bloque con codificación de corrección de errores (modo corto) según los métodos de correlación de símbolos es 300, al contrario que en la figura 10. Por consiguiente, si se asigna el múltiplo integral de $300/60=5$ símbolos a cada uno de los canales de RF, los símbolos pueden asignarse de manera uniforme a todos los canales de RF. En este momento, si se consideran cinco símbolos como un grupo y se direcciona el grupo, puede reducirse la sobrecarga de direccionamiento de $\log_2(5)$ bits en comparación con el caso en el que se direccionan los símbolos uno a uno. Por consiguiente, en esta realización, quedan sin utilizar $\log_2(5)$ bits de los bits de direccionamiento cuando se direccionan los símbolos de PLP divididos.

30 La figura 14 es una vista que muestra un ejemplo del número de símbolos según un método de correlación de símbolos en un modo corto de LDPC. Los métodos de correlación de símbolos de este dibujo son iguales a los mostrados en la figura 11. En este ejemplo, el MCD de los números de símbolos totales de un bloque con codificación de corrección de errores (modo corto) según los métodos de correlación de símbolos es 180, que puede

usarse para la asignación de símbolos de PLP de un canal de RF y el direccionamiento de los símbolos asignados. En esta realización, quedan sin utilizar $\log_2(3)$ bits de los bits de direccionamiento.

La figura 15 es una vista que muestra otro ejemplo del número de símbolos según un método de correlación de símbolos en un modo corto de LDPC. Los métodos de correlación de símbolos de este dibujo son iguales a los mostrados en la figura 12. En este ejemplo, el MCD de los números de símbolos totales de un bloque con codificación de corrección de errores (modo corto) según los métodos de correlación de símbolos es 60. En esta realización, quedan sin utilizar $\log_2(1)$ bits de los bits de direccionamiento (es decir, no queda sin utilizar el bit de direccionamiento).

La figura 16 es una vista que muestra un ejemplo de cada uno de los correlacionadores (131a y 131b) de símbolos mostrados en la figura 7. Cada uno de los correlacionadores (131a y 131b) de símbolos incluye un correlacionador (1315a) de primer orden, un correlacionador (131b) de segundo orden, un fusionador (1317) de símbolos y un fusionador (1318) de bloque de corrección de errores.

El analizador (1311) sintáctico de flujo de bits recibe el flujo de servicio de PLP desde la unidad de codificación y modulación y divide el flujo de servicio recibido.

El correlacionador (1315a) de símbolos de primer orden correlaciona los bits del flujo de servicio dividido mediante un método de correlación de símbolos de orden superior con símbolos. El correlacionador (1315b) de símbolos de segundo orden correlaciona los bits del flujo de servicio dividido mediante un método de correlación de símbolos de orden inferior con símbolos. Por ejemplo, en el ejemplo anterior, el correlacionador (1315a) de símbolos de primer orden puede correlacionar el flujo de bits con símbolos según 256QAM y el correlacionador (1315b) de símbolos de segundo orden puede correlacionar el flujo de bits con símbolos según 64QAM.

El fusionador (1317) de símbolos fusiona los símbolos emitidos desde los correlacionadores (1315a y 1315b) de símbolos con un flujo de símbolos y emite el flujo de símbolos. El fusionador (1317) de símbolos puede emitir el flujo de símbolos incluido en una PLP.

El fusionador (1318) de bloque de corrección de errores puede emitir un flujo de símbolos fusionado por el fusionador (1317) de símbolos en la unidad de bloque de código con codificación de corrección de errores. El fusionador (1318) de bloque de corrección de errores puede emitir un bloque de símbolos de modo que los bloques de código con codificación de corrección de errores se asignan de manera uniforme al menos a una banda de RF de la trama de señal de TFS. El fusionador (1318) de bloque de corrección de errores puede emitir el bloque de símbolos de modo que la longitud del bloque de símbolos del bloque con codificación de corrección de errores de un modo normal es igual a la del bloque de símbolos del bloque con codificación de corrección de errores de un modo corto. Por ejemplo, pueden fusionarse cuatro bloques de símbolos del bloque con codificación de corrección de errores del modo corto con un bloque de símbolos.

El fusionador (1318) de bloque de corrección de errores puede dividir el flujo de símbolos según un múltiplo común del número de bandas de RF de modo que el formador de tramas de señal dispone de manera uniforme los símbolos en las bandas de RF. Si el número máximo de bandas de RF en la trama de señal es 6, el fusionador (1318) de bloque de corrección de errores emite el bloque de símbolos de modo que el número total de símbolos puede dividirse entre 60 que es un múltiplo común de 1, 2, 3, 4, 5 y 6.

Los símbolos incluidos en el bloque de símbolos de salida pueden disponerse para asignarse de manera uniforme a las seis bandas de RF. Por consiguiente, aunque se combinan un modo de corrección de errores según una tasa de código y un método de correlación de símbolos, los símbolos que configuran la PLP se asignan de manera uniforme a las bandas de RF.

La figura 17 es una vista que muestra otra realización de cada uno de los correlacionadores (131a y 131b) de símbolos. La realización de este dibujo es similar a la realización de la figura 16 excepto porque se incluyen además una unidad (1316a) de calibración de potencia de primer orden y una unidad (1316b) de calibración de potencia de segundo orden.

La unidad (1316a) de calibración de potencia de primer orden calibra la potencia de los símbolos correlacionados mediante el correlacionador (1315a) de símbolos de primer orden según el tamaño de la constelación y emite los símbolos calibrados. La unidad (1316b) de calibración de potencia de segundo orden calibra la potencia de los símbolos correlacionados mediante el correlacionador (1315b) de símbolos de segundo orden según el tamaño de la constelación y emite los símbolos calibrados. Por consiguiente, aunque el método de correlación de símbolos se cambia en una PLP o se cambia en una pluralidad de PLP, si la potencia del símbolo mediante el método de correlación de símbolos se ajusta según el tamaño de la constelación, puede mejorarse el rendimiento de recepción de señales de un receptor.

El fusionador (1317) de símbolos fusiona los símbolos calibrados por las unidades (1316a y 1316b) de calibración de potencia y emite un flujo de símbolos.

La figura 18 es una vista que muestra otra realización del correlacionador de símbolos. En la realización de esta figura, el correlacionador de símbolos incluye el segundo codificador (125) y el segundo entrelazador (127) incluidos en la unidad de codificación y modulación. Es decir, si se usa esta realización, la unidad de codificación y modulación puede incluir sólo el primer codificador (121), el primer entrelazador (123) y el segundo codificador (125).

La realización del correlacionador de símbolos incluye un analizador (1311) sintáctico de flujo de bits, un entrelazador (1312a) de bits de primer orden, un entrelazador (1312b) de bits de segundo orden, un demux (1313a) de primer orden, un demux (1313b) de segundo orden, un correlacionador (1315a) de símbolos de primer orden, un correlacionador (1315b) de símbolos de segundo orden y un fusionador (1317) de símbolos.

Cuando el segundo codificador (125) realiza una codificación de corrección de errores de LDPC, la longitud del bloque con codificación de corrección de errores (por ejemplo, la longitud de 64800 bits y la longitud de 16200 bits) puede variar según un modo de LDPC. Si los bits incluidos en el bloque con codificación de corrección de errores se correlacionan con los símbolos, las capacidades de corrección de errores de los bits incluidos en una palabra de célula que configura el símbolo pueden variar según las ubicaciones de los bits. Por ejemplo, la palabra de célula que es el símbolo puede determinarse según la tasa de código de la codificación de corrección de errores y el método de correlación de símbolos (ya sea el método de correlación de símbolos es el método de correlación de símbolos de orden superior o el método de correlación de símbolos de orden inferior). Si el código de corrección de errores es el LDPC, las capacidades de corrección de errores de los bits varían según las ubicaciones de los bits en el bloque con codificación de corrección de errores. Por ejemplo, las fiabilidades de los bits codificados según las características de la matriz H usada en el método de codificación de corrección de errores de LDPC irregular pueden variar según las ubicaciones de los bits. Por consiguiente, el orden de los bits que configuran la palabra de célula correlacionada con el símbolo se cambia de modo que se ajustan las capacidades de corrección de errores de los bits que son inferiores frente a la corrección de errores en el bloque con codificación de corrección de errores y puede ajustarse la robustez frente al error en el nivel de bits.

En primer lugar, el segundo codificador (125), por ejemplo, realiza la codificación de corrección de errores con respecto al flujo incluido en una PLP mediante el método de codificación de corrección de errores de LDPC.

El analizador (1311) sintáctico de flujo de bits recibe el flujo de servicio según la PLP y divide el flujo de servicio recibido.

El entrelazador (1312a) de bits de primer orden entrelaza los bits incluidos en un primer flujo de bits de los flujos de servicio divididos. De manera similar, el entrelazador (1312b) de bits de segundo orden entrelaza los bits incluidos en un segundo flujo de bits de los flujos de servicio divididos.

El entrelazador (1312a) de bits de primer orden y el entrelazador (1312b) de bits de segundo orden pueden corresponder al segundo entrelazador (127) usado como entrelazador interno. El método de entrelazado del entrelazador (1312a) de bits de primer orden y el entrelazador (1312b) de bits de segundo orden se describirán posteriormente.

El demux (1313a) de primer orden y el demux (1313b) de segundo orden demultiplexan los bits de los flujos de bits entrelazados por el entrelazador (1312a) de bits de primer orden y el entrelazador (1312b) de bits de segundo orden. Los demux (1313a) y (1313b) dividen el flujo de bits de entrada en subflujos de bits que se correlacionarán con un eje real y un eje imaginario de una constelación y emiten los subflujos de bits. Los correlacionadores (1315a y 1315b) de símbolos correlacionan los subflujos de bits demultiplexados mediante los demux (1313a) y (1313b) con los símbolos correspondientes.

Los entrelazadores (1312a y 1312b) de bits y los demux (1313a) y (1313b) pueden combinar las características de la palabra de código de LDPC y las características de la fiabilidad de constelación de la correlación de símbolos según la constelación. La realización detallada de los demux (1313a) y (1313b) de primer orden se describirá posteriormente.

El correlacionador (1315a) de símbolos de primer orden realiza una correlación de símbolos de primer orden, por ejemplo, correlación de símbolos de orden superior, y el correlacionador (1315b) de símbolos de segundo orden realiza una correlación de símbolos de segundo orden, por ejemplo, correlación de símbolos de orden inferior. El correlacionador (1315a) de símbolos de primer orden correlaciona los subflujos de bits emitidos desde el demux (1313) de primer orden con los símbolos y el correlacionador (1315b) de símbolos de segundo orden correlaciona los subflujos de bits emitidos desde el demux (1313b) de segundo orden con los símbolos.

El fusionador (1317) de símbolos fusiona los símbolos correlacionados por el correlacionador (1315a) de símbolos de primer orden y el correlacionador (1315b) de símbolos de segundo orden con el flujo de símbolos y emite el flujo de símbolos.

Como se describió anteriormente, en el LDPC, las capacidades de corrección de errores de los bits pueden cambiarse según las ubicaciones de los bits en el bloque con codificación de corrección de errores. Por

consiguiente, si el entrelazador de bits y el demux se controlan según las características del codificador (125) de LDPC de modo que se cambia el orden de los bits que configuran la palabra de célula, la capacidad de corrección de errores en el nivel de bits puede maximizarse.

5 La figura 19 es una vista que muestra otra realización de cada uno de los correlacionadores (131a y 131b) de símbolos. La realización de este dibujo es similar a la realización de la figura 18 excepto porque se incluyen además una unidad (1316a) de calibración de potencia de primer orden y una unidad (1316b) de calibración de potencia de segundo orden.

10 La unidad (1316a) de calibración de potencia de primer orden calibra la potencia de los símbolos correlacionados por el correlacionador (1315a) de símbolos de primer orden según el tamaño de la constelación y emite los símbolos calibrados. La unidad (1316b) de calibración de potencia de segundo orden calibra la potencia de los símbolos correlacionados por el correlacionador (1315b) de símbolos de segundo orden según el tamaño de la constelación y emite los símbolos calibrados. Por consiguiente, aunque el esquema de correlación de símbolos se cambia en una
15 PLP o se cambia en una pluralidad de PLP, si la potencia del símbolo se ajusta según el tamaño de la constelación, puede mejorarse el rendimiento de recepción de señales.

El fusionador (1317) de símbolos fusiona los símbolos calibrados por las unidades (1316a) y (1316b) de calibración de potencia y emite un flujo de símbolos.
20

La figura 20 es una vista que muestra el concepto del entrelazado de bits por los entrelazadores (1312a y 1312b) de bits de las figuras 18 y 19.

Por ejemplo, se almacenan bits de entrada en, y se leen de, una memoria en forma de matriz que tiene un número
25 predeterminado de filas y columnas. Cuando se almacenan los bits de entrada, en primer lugar, se almacenan los bits en una primera columna en dirección de filas, y, si se llena la primera columna, se almacenan los bits en otra columna en dirección de filas. Cuando se leen los bits almacenados, los bits se leen en dirección de columnas y, si se leen todos los bits almacenados en una primera fila, se leen los bits en otra fila en dirección de columnas. En otras palabras, cuando se almacenan los bits, se almacenan los bits en filas de modo que las columnas se llenan en serie. Y cuando se leen los bits almacenados, se leen los bits almacenados en columnas desde la primera fila hasta la última fila en serie. En esta figura, MSB significa el bit más significativo y LSB significa el bit menos significativo.
30

Con el fin de correlacionar los bits con codificación de corrección de errores de LDPC con los símbolos en la misma longitud de unidad de bloque de corrección de errores a diversas tasas de código, los entrelazadores (1312a) y (1312b) de bits pueden cambiar el número de filas y columnas de la memoria según los tipos de los correlacionadores (1315a y 1315b) de símbolos.
35

La figura 21 ilustra otro ejemplo de los entrelazadores de bits que realizan entrelazado. Si los entrelazadores (1312a y 1312b) de bits almacenan bits en unidades de columna, pueden almacenar los bits para generar desfase de la ubicación en la que están almacenados los bits, en cada columna. Si los entrelazadores (1312a y 1312b) de bits leen los bits almacenados en unidades de fila, pueden almacenar los bits con ese mismo desfase de la ubicación en la que se leen los bits, en cada fila.
40

En el ejemplo de la figura 21, los puntos gruesos representan respectivamente la ubicación de desfase. Por ejemplo, los entrelazadores de bits almacenan bits en unidades de columna. En la primera columna, los bits se almacenan desde la primera fila hasta la fila n -ésima (n es el número de filas de la memoria) en el orden debido. En la segunda columna, los bits se almacenan desde la fila (denominada fila $r1$ -ésima) con un punto grueso hasta la fila n -ésima, y después los bits se almacenan desde la primera fila hasta la $r1-1$ -ésima. En la tercera columna, los bits se almacenan desde la fila $r2$ -ésima con un punto grueso hasta la fila n -ésima, y después los bits se almacenan desde la primera fila hasta la $r2-1$ -ésima. De este modo, los bits se almacenan en cada columna según un direccionamiento circular de las filas desde la fila alejada con ese mismo desfase de la ubicación almacenada.
45
50

Si los entrelazadores (1312a y 1312b) de bits leen los bits almacenados en los mismos, leen los bits desde cada fila según un direccionamiento circular de las columnas desde la ubicación alejada ese mismo desfase. Por ejemplo, en la primera fila, los entrelazadores de bits leen los bits almacenados desde la primera columna hasta la m -ésima columna (m es el número de columnas de la memoria) en el orden debido. En la segunda fila, los entrelazadores de bits leen los bits almacenados desde la columna (denominada columna $C1$ -ésima) con un punto grueso hasta la columna m -ésima y después desde la primera columna hasta la columna ($C1-1$)-ésima. En la tercera fila, los entrelazadores de bits leen los bits almacenados desde la columna (denominada columna $C2$ -ésima) con un punto grueso hasta la columna m -ésima, y leen los bits desde la primera columna hasta la columna ($C2-1$)-ésima según un direccionamiento circular de las columnas.
55
60

La figura 22 ilustra el desfase usado en el entrelazado de bits según un método de correlación de símbolos. $nCo1$ representa el número de columnas de la memoria del entrelazador de bits. Si el método de correlación de símbolos es QPSK, el número de columnas de la memoria puede ser dos (2). El entrelazador de bits puede almacenar y leer los bits usando el desfase correspondiente a la segunda fila en la segunda columna $Col2$.
65

Si el método de correlación de símbolos es 16QAM, el número de columnas de la memoria puede ser cuatro (4). El entrelazador de bits puede almacenar y leer los bits según el desfase correspondiente a la segunda fila en la segunda columna Col2, la cuarta fila en la tercera columna Col3, y la séptima fila en la cuarta columna Col4.

5 Si el método de correlación de símbolos es 64QAM, el número de columnas de la memoria puede ser seis (6). El entrelazador de bits puede almacenar y leer los bits según el desfase correspondiente a la segunda fila en la segunda columna Col2, la quinta fila en la tercera columna Col3, la novena fila en la cuarta columna Col4, la décima fila en la quinta columna Col5, y la decimotercera fila en la sexta columna Col6.

10 Si el método de correlación de símbolos es 256QAM, el número de columnas de la memoria puede ser ocho (8). El entrelazador de bits puede almacenar y leer los bits según el desfase correspondiente a la segunda fila en la tercera columna Col3, la cuarta fila en la cuarta columna Col4, la quinta fila en la quinta columna Col5, la quinta fila en la sexta columna Col6, la séptima fila en la séptima columna Col7, y la séptima fila en la octava columna Col8.

15 Tal como se describió anteriormente, el número de columnas en la memoria del entrelazador de bits varía dependiendo del método de correlación de símbolos, y el entrelazador de bits puede almacenar y leer bits variando el desfase dependiendo del número de columnas. El número de bits incluidos en un símbolo según el método de correlación de símbolos puede ser idéntico al número de columnas. Por consiguiente, después de leer los bits, el entrelazador de bits puede correlacionar los bits leídos con un símbolo según el método de correlación correspondiente. En este caso, los bits correlacionados con el símbolo pueden permutarse. Además, incluso aunque la capacidad de corrección de errores de bits en una ubicación específica disminuya según un método de símbolos de corrección de errores, puesto que los bits correlacionados con el símbolo están permutados en el entrelazador de bits, la capacidad de corrección de errores del método de símbolos de corrección de errores puede maximizarse.

20 La figura 23 es una vista que muestra un ejemplo del número de filas y columnas de memorias de los entrelazadores (1312a y 1312b) de bits según los tipos de correlacionadores (1315a y 1315b) de símbolos, si el modo de LDPC es el modo normal.

30 Por ejemplo, si el correlacionador (1315a) de símbolos correlaciona los bits con símbolos 256QAM, el entrelazador (1312a) de primer orden entrelaza los bits mediante una memoria que tiene 8100 filas y 8 columnas. Si los símbolos se correlacionan mediante 64QAM, el entrelazador (1312a) de primer orden entrelaza los bits mediante una memoria que tiene 10800 filas y 6 columnas. Si los símbolos se correlacionan mediante 16QAM, el entrelazador (1312a) de primer orden entrelaza los bits mediante una memoria que tiene 16200 filas y 4 columnas.

35 Por ejemplo, si los correlacionadores (1315a y 1315b) de símbolos correlacionan los bits con símbolos Hyb128-QAM, el entrelazador (1312a) de primer orden entrelaza los bits usando una memoria que tiene 4860 filas y 8 columnas, y el entrelazador (1312b) de segundo orden entrelaza los bits usando una memoria que tiene 4320 filas y 6 columnas.

40 De manera similar, si los correlacionadores (1315a y 1315b) de símbolos correlacionan los símbolos mediante Hyb32-QAM, el entrelazador (1312a) de primer orden entrelaza los bits usando una memoria que tiene 6480 filas y 6 columnas, y el entrelazador (1312b) de segundo orden entrelaza los bits usando una memoria que tiene 6480 filas y 4 columnas.

45 La figura 24 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los entrelazadores (1312a y 1312b) de bits según los tipos de los correlacionadores (1315a y 1315b) de símbolos, si el modo de LDPC es el modo corto.

50 Por ejemplo, si el correlacionador (1315a) de símbolos correlaciona los bits con símbolos 256QAM, el entrelazador (1312a) de primer orden entrelaza los bits mediante una memoria que tiene 2025 filas y 8 columnas. Si los correlacionadores (1315a y 1315b) de símbolos correlacionan los símbolos mediante Hyb128-QAM, el entrelazador (1312a) de primer orden entrelaza los bits usando una memoria que tiene 1 215 filas y 8 columnas, y el entrelazador (1312b) de segundo orden entrelaza los bits usando una memoria que tiene 1080 filas y 6 columnas.

55 Si el entrelazado de bits se realiza con respecto al bloque con codificación de corrección de errores, las ubicaciones de los bits en el bloque con codificación de corrección de errores pueden cambiarse.

60 La figura 25 es un diagrama que muestra el concepto de otra realización para el entrelazado de un entrelazador de bits. En la realización mostrada en este dibujo, cuando se escriben bits en una memoria, los bits se escriben en una dirección de columnas. Cuando se leen los bits escritos, los bits de las ubicaciones desplazadas de manera circular se leen en una dirección de filas. En cada fila, los bits escritos en cada fila se desplazan de manera circular. Si los bits se escriben o se leen mediante un método de desplazamiento circular con respecto a la fila o la columna de la memoria, esto se denomina entrelazado de bits por desplazamiento. Esta realización se refiere al método de entrelazado de bits por desplazamiento usando un método de lectura de los bits tras haber desplazado los bits una columna en la dirección de filas. En vez de desplazar los bits escritos en la memoria, puede desplazarse el punto para leer bits en la memoria o el punto para escribir bits en la memoria.

En esta realización, N designa la longitud del bloque con codificación de corrección de errores y C designa la longitud de la columna. Cuando se escriben los bits, los bits se escriben en una primera columna (representada mediante una sombra) en el orden de 1, 2, 3, 4, ..., y C y los bits se escriben en una segunda columna en el orden de C+1, C+2, C+3,

5 Los bits escritos se desplazan en la dirección de filas columna por columna.

Si se leen los bits escritos, los bits desplazados se leen en la dirección de filas. Por ejemplo, en esta realización, los bits se leen en una primera fila en el orden de 1, C+1, ... y los bits se leen en una segunda fila en el orden de X1, 2, C+2, ...(X1 es un bit en la primera columna de la segunda fila). Los bits se leen fila por fila y se leen los bits desplazados de manera circular. Evidentemente, en vez de desplazar los bits escritos en la memoria, el punto para leer bits escritos en la memoria puede desplazarse.

15 La figura 26 es una vista que muestra otra realización de entrelazado de bits. En esta realización, N designa la longitud del bloque con codificación de corrección de errores y C designa la longitud de la columna. Cuando se escriben los bits, los bits se escriben en una primera columna en el orden de 1, 2, 3, 4, ..., C-1, y C y los bits se escriben en una segunda columna en el orden de C+1, C+2, C+3,

20 Los bits escritos se desplazan dos veces en la dirección de filas de dos columnas en dos columnas. Si se leen los bits escritos, los bits desplazados de manera circular dos columnas se leen en la dirección de columna en cada fila. Este método puede denominarse un método de entrelazado de bits por desplazamiento doble.

25 La figura 27 es una vista que muestra otra realización de entrelazado de bits. En esta realización, N designa la longitud del bloque con codificación de corrección de errores y C designa la longitud de la columna. Los bits se escriben en una primera columna en el orden de 1, 2, 3, 4, ..., C-1, y C y los bits se escriben en una segunda columna en el orden de C+1, C+2, C+3,

30 Cuando se leen los bits escritos, en una primera región de las filas, los bits pueden leerse mediante el método de entrelazado de bits por desplazamiento.

En una segunda región de las filas, los bits pueden leerse mediante el método de entrelazado de por desplazamiento doble.

35 En una tercera región de las filas, los bits pueden leerse mediante el método de entrelazado de bits por desplazamiento.

40 Si los bits se entrelazan mediante al menos uno del método de entrelazado de bits por desplazamiento y el método de entrelazado por desplazamiento doble, los bits en el bloque con codificación de corrección de errores pueden mezclarse de manera más aleatoria.

La figura 28 es una vista que muestra otra realización de entrelazado de bits. Como otra realización de entrelazado de bits, puede realizarse un entrelazado de bits diferente con respecto a los bits de información codificados por corrección de errores y los bits de paridad.

45 Por ejemplo, en un procedimiento de codificación de corrección errores (por ejemplo, un procedimiento de codificación de corrección de errores de LDPC), los bits de información se entrelazan por bits tal como se muestra en las figuras 21 y 22. Si los bits se escriben y se leen en cada columna con respecto a los bits de información, puede realizarse entrelazado de bits según un desfase de una ubicación inicial para escribir y leer bits en cada columna.

50 En el procedimiento de codificación de corrección de errores, los bits de paridad se entrelazan por bits mediante un esquema de desplazamiento según al menos uno de los esquemas mostrados en las figuras 25 a 27. Los bits de paridad se escriben en cada columna y entonces se desplazan las filas. Es decir, los bits escritos en las filas pueden desplazarse una ubicación predeterminada. Los bits desplazados se leen a lo largo de cada fila. Los bits de paridad escritos pueden incluir al menos uno de una región de fila desplazada y una región de fila con desplazamiento doble.

55 Si se realiza el entrelazado de bits con respecto a los bits de paridad mediante el método descrito anteriormente, puede mejorarse el rendimiento de la decodificación de los bits de paridad. Por ejemplo, los bits de paridad de una matriz de comprobación de paridad, usados en el procedimiento de codificación de corrección de errores tal como una LDPC estructurada pueden tener una forma de matriz doble. Sin embargo, si los bits de paridad con baja fiabilidad son consecutivos en una matriz de comprobación de paridad, el rendimiento de decodificación de corrección de errores puede deteriorarse. Por consiguiente, si el entrelazado de bits se realiza con respecto a los bits de paridad mediante el método descrito anteriormente, puede mejorarse el rendimiento de decodificación de corrección de errores.

65

Ahora se describirá una realización de un procedimiento de codificación con capacidad de copiado con aparición de errores con respecto a al menos una de información de capa 1 e información de capa 2 que se transmiten /reciben.

5 La figura 29 es una vista que muestra el concepto de multiplexado de los bits de entrada de los demux (1313a) y (1313b).

Los entrelazadores (1312a y 1312b) de bits entrelazan los bits de entrada x_0, x_1, \dots, x_{n-1} y emiten los bits entrelazados. El método de entrelazado ya se describió anteriormente.

10 Los demux (1313a) y (1313b) demultiplexan los flujos de bits entrelazados. El método de demultiplexación puede variar según la tasa de código del método de codificación de corrección de errores y el método de correlación de símbolos del correlacionador de símbolos. Si el método de símbolos del correlacionador de símbolos es QPSK, los bits de entrada, por ejemplo, se entrelazan a dos subflujos y el correlacionador de símbolos correlaciona los dos subflujos con los símbolos para que correspondan al eje real y el eje imaginario de la constelación. Por ejemplo, un primer bit y_0 del primer subflujo demultiplexado corresponde al eje real y un primer bit y_1 del segundo subflujo demultiplexado corresponde al eje imaginario.

20 Si el método de símbolos del correlacionador de símbolos es 16QAM, los bits de entrada, por ejemplo, se demultiplexan a cuatro subtramas. El correlacionador de símbolos selecciona los bits incluidos en los cuatro subflujos y correlaciona los bits seleccionados con los símbolos para que correspondan al eje real y el eje imaginario de la constelación.

25 Por ejemplo, los bits y_0 e y_2 de los subflujos demultiplexados primero y tercero corresponden al eje real y los bits y_1 e y_3 de los subflujos demultiplexados segundo y cuarto corresponden al eje imaginario.

30 De manera similar, si el método de símbolos del correlacionador de símbolos es 64QAM, los bits de entrada pueden demultiplexarse a seis flujos de bits. El correlacionador de símbolos correlaciona los seis subflujos con los símbolos para que correspondan al eje real y el eje imaginario de la constelación. Por ejemplo, los bits y_0, y_2 e y_4 de los subflujos demultiplexados primero, tercero y quinto corresponden al eje real y los bits y_1, y_3 e y_6 de los subflujos demultiplexados segundo, cuarto y sexto corresponden al eje imaginario.

35 De manera similar, si el método de símbolos del correlacionador de símbolos es 256QAM, los bits de entrada pueden demultiplexarse a ocho flujos de bits. El correlacionador de símbolos correlaciona los ocho subflujos con los símbolos para que correspondan al eje real y el eje imaginario de la constelación. Por ejemplo, en primer lugar, los bits y_0, y_2, y_4 e y_6 de los subflujos demultiplexados primero, tercero, quinto y séptimo corresponden al eje real y los bits y_1, y_3, y_5 e y_7 de los subflujos demultiplexados segundo, cuarto, sexto y octavo corresponden al eje imaginario.

40 Si el correlacionador de símbolos correlaciona los símbolos, los subflujos demultiplexados mediante el demux pueden correlacionarse con los flujos de bits del eje real y el eje imaginario de la constelación.

45 El método de entrelazado de bits descrito anteriormente, el método de demultiplexación y el método de correlación de símbolos son a modo de ejemplo y pueden usarse diversos métodos como el método para seleccionar los bits en los subflujos de modo que los subflujos demultiplexados mediante el demux pueden corresponder al eje real y el eje imaginario de la constelación.

50 La palabra de célula correlacionada con los símbolos puede variar según uno cualquiera de los flujos de bits con corrección de errores según la tasa de código, el método de entrelazado de flujos de bits, el método de demultiplexación y el método de correlación de símbolos. El MSB de la palabra de célula es superior al LSB de la palabra de célula en la fiabilidad de la decodificación de corrección de errores. Aunque la fiabilidad del bit de una ubicación específica del bloque con codificación de corrección de errores es baja, la fiabilidad del bit puede mejorarse mediante el proceso de decorrelación de símbolos si el bit de la palabra de célula se dispone en el MSB o cerca del MSB.

55 Por consiguiente, aunque se cambia la fiabilidad del bit codificado según las características de la matriz H usada en el método de codificación de corrección de errores de LDPC irregular, el bit puede transmitirse/recibirse de forma robusta mediante el proceso de correlación y decorrelación de símbolos y puede ajustarse el rendimiento del sistema.

60 La figura 30 es una vista que muestra una realización para demultiplexar un flujo de entrada mediante el demux.

Si el método de correlación de símbolos es QPSK, dos bits se correlacionan con un símbolo y los dos bits de una unidad de símbolo se demultiplexan en el orden de los índices de bit (índices 0 y 1 de b).

65 Si el método de correlación de símbolos es 16QAM, 4 bits se correlacionan con un símbolo y los cuatro bits de una unidad de símbolo se demultiplexan según el resultado de cálculo del módulo-4 de los índices de bit (índices 0, 1, 2 y 3 de b).

Si el método de correlación de símbolos es 64QAM, 6 bits se correlacionan con un símbolo y los seis bits de una unidad de símbolo se demultiplexan según el resultado de cálculo del módulo-6 de los índices de bit (índices 0, 1, 2, 3, 4 y 5 de b).

- 5 Si el método de correlación de símbolos es 256QAM, 8 bits se correlacionan con un símbolo y los ocho bits de una unidad de símbolo se demultiplexan según el resultado de cálculo del módulo-8 de los índices de bit (índices 0, 1, 2, 3, 4, 5, 6 y 7 de b).

El orden de demultiplexación de los subflujos es a modo de ejemplo y puede modificarse.

- 10 La figura 31 es una vista que muestra un ejemplo de un tipo de demultiplexación según un método de correlación de símbolos. El método de correlación de símbolos incluye QPSK, 16QAM, 64QAM y 256QAM, y el tipo de demultiplexación incluye un primer tipo a un sexto tipo.

- 15 El primer tipo es un ejemplo en el que los bits de entrada corresponden secuencialmente a índices de número par (0, 2, 4, 8, ...) (o el eje real de la constelación) y corresponden secuencialmente a índices de número impar (1, 3, 5, 7, ...) (o el eje imaginario de la constelación). A continuación en el presente documento, la demultiplexación de bits del primer tipo puede representarse mediante un identificador 10 de demultiplexación (un número binario de 1010; la ubicación de 1 es la ubicación del MSB que corresponde al eje real y el eje imaginario de la constelación).

- 20 El segundo tipo es un ejemplo en el que la demultiplexación se realiza en un orden inverso del primer tipo, es decir, los LSB de los bits de entrada corresponden secuencialmente a índices de número par (6, 4, 2, 0) (o el eje real de la constelación) e índices de número impar (1, 3, 5, 7, ...) (o el eje imaginario de la constelación). A continuación en el presente documento, la demultiplexación de bits del segundo tipo puede representarse mediante un identificador 5 de demultiplexación (un número binario de 0101).

- 25 El tercer tipo es un ejemplo en el que los bits de entrada se disponen de modo que los bits de ambos extremos de la palabra de código pasan a ser los MSB. Los bits de entrada vuelven a disponerse para llenar la palabra de código desde ambos extremos de la palabra de código. A continuación en el presente documento, la demultiplexación de bits del tercer tipo puede representarse mediante un identificador 9 de demultiplexación (un número binario de 1001).

- 30 El cuarto tipo es un ejemplo en el que los bits de entrada se disponen de modo que un bit central de la palabra de código pasa a ser el MSB. Un bit de los bits de entrada se llena en primer lugar en la ubicación central de la palabra de código y los bits restantes vuelven a disponerse entonces hacia ambos extremos de la palabra de código en el orden de los bits de entrada. A continuación en el presente documento, la demultiplexación de bits del cuarto tipo puede representarse mediante un identificador 6 de demultiplexación (un número binario de 0110).

- 35 El quinto tipo es un ejemplo en el que los bits se demultiplexan de modo que un último bit de la palabra de código pasa a ser el MSB y un primer bit de la misma pasa a ser el LSB, y el sexto tipo es un ejemplo en el que los bits vuelven a disponerse de modo que el primer bit de la palabra de código pasa a ser el MSB y el último bit de la misma pasa a ser el LSB. A continuación en el presente documento, la demultiplexación de bits del quinto tipo puede representarse mediante un identificador 3 de demultiplexación (un número binario de 0011), y la demultiplexación de bits del sexto tipo puede representarse mediante un identificador 12 de demultiplexación (un número binario de 1100).

- 40 Como se describió anteriormente, el tipo de demultiplexación puede variar según el método de correlación de símbolos o la tasa de código del método de codificación de corrección de errores. Es decir, puede usarse un tipo de demultiplexación diferente si se cambia el método de correlación de símbolos o la tasa de código.

- 45 La figura 32 es una vista que muestra una realización para demultiplexar un flujo de bits de entrada según un tipo de demultiplexación. Esta realización puede incluir los entrelazadores (1312a y 1312b) de bits, los demux (1313a) y (1313b) y los correlacionadores (1315a y 1315b).

- 50 Los entrelazadores (1312a y 1312b) de bits entrelazan los flujos de servicio de PLP con codificación de corrección de errores. Por ejemplo, los entrelazadores (1312a y 1312b) de bits pueden realizar el entrelazado de bits en las unidades de codificación de corrección de errores según el modo de codificación de corrección de errores. El método de entrelazado de bits ya se describió anteriormente.

- 55 Los demux (1313a y 1313b) pueden incluir unos demux (1313a1 y 1313b1) de primer tipo, ..., y unos demux (1313a2 y 1313b2) de tipo de orden n. En este caso, n es un número entero. Los métodos de demultiplexar los bits mediante los n tipos de demux siguen a los tipos mostrados en la figura 17. Por ejemplo, los demux de primer tipo pueden corresponder a la demultiplexación de bits de primer tipo (1100) y los demux de segundo tipo (no mostrados) pueden corresponder a la demultiplexación de bits de segundo tipo (0011). El demux (1313b) de tipo de orden n demultiplexa el flujo de bits de entrada según la multiplexación de bits de tipo de orden n (por ejemplo, el identificador (1100) de demultiplexación) y emite el flujo de bits demultiplexado. Los selectores (1313a3 y 1313b3)

reciben una señal de selección de demux del tipo de demultiplexación adecuado para los bits de entrada y emiten el flujo de bits demultiplexado según uno cualquiera del primer tipo al tipo de orden n y la señal de selección de demux. La señal de selección de demux puede variar según la tasa de código de la codificación de corrección de errores y el método de correlación de símbolos de la constelación. Por consiguiente, el tipo de demultiplexación puede determinarse según la tasa de código del método de codificación de corrección de errores y/o el método de correlación de símbolos de la constelación. El ejemplo detallado según los símbolos correlacionados con la constelación y/o la tasa de código de la codificación de corrección de errores según la señal de selección de demux se describirán posteriormente.

5
10 Los correlacionadores (1315a y 1315b) pueden correlacionar los subflujos de bits demultiplexados con los símbolos según la señal de selección de demux y emitir los símbolos correlacionados.

La figura 33 es una vista que muestra un tipo de demultiplexación que se determina según una tasa de código de la codificación de corrección de errores y el método de correlación de símbolos.

15 En el método de correlación de símbolos 4QAM, incluso cuando la tasa de código cr del método de codificación de corrección de errores de LDPC es una cualquiera de, 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, el flujo de bits puede demultiplexarse según todos los tipos de demultiplexaciones (designado por todos).

20 En el método de correlación de símbolos 16QAM, si la tasa de código del método de codificación de corrección de errores de LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos pueden correlacionarse sin realizar el entrelazado de bits y la demultiplexación de bits (designado por No-Int y No-Demux). Si la tasa de código de la codificación de corrección de errores es 3/5, el bit puede demultiplexarse según uno cualquiera de los identificadores 9, 10 y 12 de demultiplexación. Si la tasa de código de la codificación con corrección de errores es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, el flujo de bits de entrada puede demultiplexarse según el identificador 6 de demultiplexación.

25 En el método de correlación de símbolos 64QAM, si la tasa de código de la codificación de corrección de errores de LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos pueden correlacionarse sin realizar el entrelazado de bits y la demultiplexación de bits. Si la tasa de código es 3/5, los bits pueden demultiplexarse según uno cualquiera de los identificadores 9 y 10 de demultiplexación. Si la tasa de código es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, los bits pueden demultiplexarse según el identificador 6 de demultiplexación.

30 En el método de correlación de símbolos 256QAM, si la tasa de código de la codificación de corrección de errores de LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos pueden correlacionarse sin realizar el entrelazado de bits y la demultiplexación de bits. Si la tasa de código es 3/5, los bits pueden demultiplexarse según el identificador 9 de demultiplexación. Si la tasa de código es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, los bits pueden demultiplexarse según el identificador 6 de demultiplexación.

35 Como se describió anteriormente, el tipo de demultiplexación de bits puede variar según la tasa de código usada para la codificación de corrección de errores y el método de correlación de símbolos. Por consiguiente, la capacidad de corrección de errores de un bit ubicado en una ubicación específica del bloque con codificación de corrección de errores puede ajustarse correlacionando los subflujos demultiplexados con los símbolos. Por consiguiente es posible optimizar la robustez en el nivel de bit.

40 La figura 34 es una vista que muestra un ejemplo para expresar el método de demultiplexación mediante una ecuación. Por ejemplo, si el método de correlación de símbolos es QPSK, los bits de entrada (x_i $x_{N/2+i}$) corresponden a los bits demultiplexados y_0 e y_1 . Si el método de correlación de símbolos es 16QAM, los bits de

45 entrada $(\frac{x_{2N+i}}{4}, \frac{x_{3N+i}}{4}, x_i, \frac{x_{n+i}}{4})$ corresponden a los bits demultiplexados y_0, y_1, y_2 e y_3 .

50 Si el método de correlación de símbolos es 64QAM, los bits de entrada $(\frac{x_{4N+i}}{6}, \frac{x_{5N+i}}{6}, \frac{x_{2N+i}}{6}, \frac{x_{3N+i}}{6}, x_i, \frac{x_{N+i}}{6})$ corresponden a los bits demultiplexados y_0, y_1, y_2, y_3, y_4 e y_5 . Si el método de correlación de símbolos es 256QAM, los bits de entrada

$(\frac{x_{6N+i}}{8}, \frac{x_{7N+i}}{8}, \frac{x_{4N+i}}{8}, \frac{x_{5N+i}}{8}, \frac{x_{2N+i}}{8}, \frac{x_{3N+i}}{8}, x_i, \frac{x_{N+i}}{8})$ corresponden a los bits demultiplexados $y_0, y_1, y_2, y_3, y_4, y_5, y_6$ e y_7 .

55 En este caso, N designa el número de bits correlacionados con los símbolos con respecto a la entrada del entrelazador de bits.

La figura 35 es una vista que muestra un ejemplo para correlacionar un símbolo mediante un correlacionador de símbolos. Por ejemplo, en el método de correlación de símbolos OPSK, los símbolos en la constelación corresponden al valor del bit y0 del primer subflujo demultiplexado y el valor del bit y1 del segundo subflujo demultiplexado.

5 En la 16QAM, el eje real de los símbolos en la constelación corresponde a los bits de los subflujos demultiplexados primero y tercero (bits separados de la ubicación del MSB por 0 y 2) y el eje imaginario de los mismos corresponde a los bits de los subflujos demultiplexados segundo y cuarto (bits separados de la ubicación del MSB por 1 y 3).

10 En la 64QAM, el eje real de los símbolos en la constelación corresponde a los bits de los subflujos demultiplexados primero, tercero y quinto (bits separados de la ubicación del MSB por 0, 2 y 4) y el eje imaginario de los mismos corresponde a los bits de los subflujos demultiplexados segundo, cuarto y sexto (bits separados de la ubicación del MSB por 1, 3 y 5).

15 Por consiguiente, los bits que configuran el símbolo pueden correlacionarse con la palabra de célula en el orden de demultiplexación. Si se demultiplexan los bits que configuran la palabra de célula, se cambian el MSB y el LSB de la palabra de célula y puede ajustarse la robustez de los bits aunque las fiabilidades de los bits con codificación de corrección de errores de LDPC varíen según las ubicaciones.

20 La figura 36 es un diagrama de bloques que ilustra un codificador MIMO/MISO según una realización de la presente invención. El codificador de MIMO/MISO codifica los datos de entrada usando el esquema de codificación MIMO/MISO, y emite los datos codificados a varias trayectorias. Si un extremo de recepción de señales recibe la señal transmitida a las diversas trayectorias desde una o más trayectorias, puede adquirir una ganancia (también denominada ganancia de diversidad, una ganancia de carga útil o una ganancia de multiplexación).

25 El codificador (140) MIMO/MISO codifica datos de servicio de cada trayectoria generada a partir del formador (130) de tramas, y emite los datos codificados al número A de trayectorias que corresponde al número de antenas de salida.

30 La figura 37 es un diagrama de bloques que ilustra un modulador según una realización de la presente invención. El modulador incluye un primer controlador (151) de potencia (PAPR Reduce1), una unidad (153) de transformación de dominio de tiempo (IFFT), un segundo controlador (157) de potencia (PAPR Reduce2) y un insertador (159) de intervalo de seguridad.

35 El primer controlador (151) de potencia reduce una PAPR (proporción potencia pico a potencia promedio) de datos transmitidos al número R de trayectorias de señal en el dominio de frecuencia.

40 La unidad (153) de transformación de dominio de tiempo (IFFT) convierte las señales de dominio de frecuencia recibidas en señales de dominio de tiempo. Por ejemplo, las señales de dominio de frecuencia pueden convertirse en las señales de dominio de tiempo según el algoritmo de IFFT. Por tanto, los datos de dominio de frecuencia pueden modularse según el esquema de OFDM.

45 El segundo controlador (157) de potencia (PAPR Reduce2) reduce una PAPR (proporción potencia pico a potencia promedio) de datos de canal transmitidos al número R de trayectorias de señal en el dominio de tiempo. En este caso, puede usarse un esquema de reserva de tono, y un esquema de extensión de constelación activa (ACE) para extender una constelación de símbolos.

50 El insertador (159) de intervalo de seguridad inserta el intervalo de seguridad en el símbolo de OFDM de salida, y emite el resultado insertado. Como se describió anteriormente, la realización mencionada anteriormente puede llevarse a cabo en cada señal del número R de trayectorias.

55 La figura 38 es un diagrama de bloques que ilustra un procesador (160) analógico según una realización de la presente invención. El procesador (160) analógico incluye un convertidor (161) digital a analógico (DAC), una unidad (163) de conversión ascendente y un filtro (165) analógico.

El DAC (161) convierte los datos de entrada en una señal analógica, y emite la señal analógica. La unidad (163) de conversión ascendente convierte un dominio de frecuencia de la señal analógica en un área de RF. El filtro (165) analógico filtra la señal de área de RF y emite la señal de RF filtrada.

60 La figura 39 es un diagrama de bloques que ilustra un aparato para recibir una señal según una realización de la presente invención. El aparato de recepción de señales incluye un primer receptor (210a) de señales, un receptor (210n) de señales de orden n, un primer demodulador (220a), un demodulador (220n) de orden n, un codificador (230) MIMO/MISO, un analizador (240) sintáctico de tramas, y un demodulador (250) de decodificación, y un procesador (260) de salida.

65 En el caso de una señal de recepción según la estructura de trama de señal de TFS, varios servicios se multiplexan

a R canales, y entonces se desplazan en tiempo, de modo que se transmite el resultado desplazado en tiempo.

5 El receptor puede incluir al menos un receptor de señales para recibir un servicio transmitido sobre al menos un canal de RF. La trama de señal de TFS transmitida al número R (donde R es un número natural) de canales de RF puede transmitirse a una multitrayectoria a través del número A de antenas. Las A antenas se han usado para los R canales de RF, de modo que un número total de antenas es $R \times A$.

10 El primer receptor (210a) de señales puede recibir datos de servicio transmitidos a través de al menos una trayectoria de entre datos de servicio globales transmitidos a través de varios canales de RF. Por ejemplo, el primer receptor (210a) de señales puede recibir la señal de transmisión procesada mediante el esquema MIMO/MISO a través de varias trayectorias.

15 El primer receptor (210a) de señales y el receptor (210n) de señales de orden n pueden recibir varias unidades de datos de servicio transmitidas a través de un número n de canales de RF de entre varios canales de RF, como una única PLP. Concretamente, esta realización muestra el aparato de recepción de señales que puede recibir simultáneamente datos del número R de canales de RF. Por tanto, si esta realización recibe un único canal de RF, sólo es necesario el primer receptor (210a).

20 El primer demodulador (220a) y el demodulador (220n) de orden n demodulan señales recibidas en los receptores (210a y 210n) de señales primero y de orden n según el esquema de OFDM, y emiten las señales demoduladas.

25 El decodificador (230) MIMO/MISO decodifica datos de servicio recibidos a través de varias trayectorias de transmisión según el esquema de decodificación MIMO/MISO, y emite los datos de servicio decodificados a una única trayectoria de transmisión. Si se recibe el número R de servicios transmitidos a través de varias trayectorias de transmisión, el decodificador (230) MIMO/MISO puede emitir datos de servicio de una única PLP contenidos en cada uno de los R servicios que corresponden al número de R canales. Si se transmite el número P de servicios a través del número R de canales de RF, y se reciben señales de canales de RF individuales a través del número A de antenas, el receptor decodifica el número P de servicios usando un total de $(R \times A)$ antenas de recepción.

30 El analizador (240) sintáctico de tramas analiza sintácticamente la trama de señal de TFS que incluye varios servicios, y emite los datos de servicio analizados sintácticamente.

35 El demodulador (250) de decodificación realiza la decodificación de corrección de errores en los datos de servicio contenidos en la trama analizada sintácticamente, decorrelaciona los datos de símbolos decodificados para dar datos de bits, y emite el resultado procesado mediante decorrelación.

El procesador (260) de salida decodifica un flujo que incluye los datos de bits decorrelacionados, y emite el flujo decodificado.

40 En la descripción mencionada anteriormente, cada uno del analizador (240) sintáctico de tramas, y el demodulador (250) de decodificación, y el procesador (260) de salida recibe varias unidades de datos de servicio hasta el número de las PLP, y realiza un procesamiento de señales en los datos de servicio recibidos.

45 La figura 40 es un diagrama de bloques que ilustra un receptor de señales según una realización de la presente invención. El receptor de señales puede incluir un sintonizador (211), un convertidor (213) descendente y un convertidor (215) analógico a digital (ADC).

50 El sintonizador (211) realiza saltos de algunos canales de RF que pueden transmitir servicios seleccionados por el usuario en todos los canales de RF cuando la PLP se incluye en varios canales de RF, y emite el resultado de los saltos. El sintonizador (211) realiza saltos de canales de RF contenidos en la trama de señal de TFS según las frecuencias centrales de RF de entrada, y al mismo tiempo sintoniza señales de frecuencia correspondientes, de modo que emite las señales sintonizadas. Si una señal se transmite a un número A de múltiples trayectorias, el sintonizador (211) realiza la sintonización a un canal de RF correspondiente, y recibe señales de recepción a través del número A de antenas.

55 El convertidor (213) descendente realiza una conversión descendente de la frecuencia de RF de la señal sintonizada por el sintonizador (211), y emite el resultado de conversión descendente. El ADC (215) convierte una señal analógica en una señal digital.

60 La figura 41 es un diagrama de bloques que ilustra un demodulador según la presente invención. El demodulador incluye un detector (221) de tramas, una unidad (222) de sincronización de tramas, un elemento (223) de eliminación de intervalo de seguridad, una unidad (224) de transformación de dominio de frecuencia (FFT), un estimador (225) de canal, un ecualizador (226) de canales y un extractor (227) de información de señalización.

65 Si el demodulador adquiere datos de servicio transmitidos a un único flujo de PLP, se llevará a cabo la siguiente demodulación de señal. Una descripción detallada de ello se describirá a continuación en el presente documento.

- 5 El detector (221) de tramas identifica un sistema de suministro de una señal de recepción. Por ejemplo, el detector (221) de tramas determina si la señal de recepción es una señal DVB-TS o no. Además, el detector (221) de tramas puede determinar también si una señal de recepción es una trama de señal de TFS o no. La unidad (222) de sincronización de tramas adquiere una sincronización de dominio de tiempo y frecuencia de la trama de señal de TFS.
- 10 El controlador (223) de intervalo de guía elimina un intervalo de seguridad ubicado entre símbolos de OFDM del dominio de tiempo. El conversor (224) de dominio de frecuencia (FFT) convierte una señal de recepción en una señal de dominio de frecuencia usando el algoritmo de FFT, de modo que adquiere datos de símbolo de dominio de frecuencia.
- 15 El estimador (225) de canal realiza una estimación de canal de un canal de recepción usando un símbolo piloto contenido en datos de símbolo del dominio de frecuencia. El ecualizador (226) de canales realiza una ecualización de canales de datos de recepción usando información de canal estimada por el estimador (225) de canal.
- 20 El extractor (227) de información de señalización puede extraer la información de señalización de una capa física establecida en las señales piloto primera y segunda contenidas en datos de recepción de canales ecualizados.
- 25 La figura 42 es un diagrama de bloques que ilustra un decodificador MIMO/MISO según una realización de la presente invención. El receptor de señales y el demodulador se diseñan para procesar una señal recibida en una única trayectoria. Si el receptor de señales y el demodulador reciben datos de servicio de PLP proporcionando un único servicio a través de varias trayectorias de varias antenas, y demodulan los datos de servicio de PLP, el decodificador (230) MIMO/MIMO emite la señal recibida en varias trayectorias como datos de servicio transmitidos a una única PLP. Por tanto, el decodificador (230) MIMO/MISO puede adquirir una ganancia de diversidad y una ganancia de multiplexación a partir de datos de servicio recibidos en una PLP correspondiente.
- 30 El decodificador (230) MIMO/MISO recibe una señal de transmisión multitrayectoria desde varias antenas, y puede decodificar una señal usando un esquema de MIMO que puede recuperar cada señal de recepción en forma de una única señal. De otro modo, el decodificador (230) MIMO/MISO puede recuperar una señal usando un esquema de MIMO que recibe la señal de transmisión multitrayectoria desde una única antena y recupera la señal de transmisión multitrayectoria recibida.
- 35 Por tanto, si la señal se transmite a través del número R de canales de RF (donde R es un número natural), el decodificador (230) MIMO/MISO puede decodificar señales recibidas a través del número A de antenas de canales de RF individuales. Si el valor A es igual a "1", las señales pueden decodificarse mediante el esquema de MISO. Si el valor A es superior a "1", las señales pueden decodificarse mediante el esquema de MIMO.
- 40 La figura 43 es un diagrama de bloques que ilustra un analizador sintáctico de tramas según una realización de la presente invención. El analizador sintáctico de tramas incluye un primer desentrelazador (241a) de frecuencia, un desentrelazador (241r) de frecuencia de orden r, un analizador (243) sintáctico de tramas, un primer desentrelazador (245a) de tiempo, un desentrelazador (245p) de tiempo de orden p, un primer decorrelacionador (247a) de símbolos, y un decorrelacionador de símbolos de orden p. El valor de "r" puede decidirse por el número de canales de RF, y el valor de "p" puede decidirse por el número de flujos que transmiten datos de servicio de PLP generados a partir del analizador (243) sintáctico de tramas.
- 45 Por tanto, si se transmite un número p de servicios a un número p de flujos de PLP sobre un número R de canales de RF, el analizador sintáctico de tramas incluye el número r desentrelazadores de frecuencia, el número p de desentrelazadores de tiempo, y el número p de decorrelacionadores de símbolos.
- 50 En asociación con un primer canal de RF, el primer entrelazador (241a) de frecuencia realiza un desentrelazado de datos de entrada de dominio de frecuencia, y emite el resultado de desentrelazado.
- 55 El analizador (243) sintáctico de tramas analiza sintácticamente la trama de señal de TFS transmitida a varios canales de RF usando información de planificación de la trama de señal de TFS, y analiza sintácticamente los datos de servicio de PLP contenidos en la ranura de un canal de RF específico que incluye un servicio deseado. El analizador (243) sintáctico de tramas analiza sintácticamente la trama de señal de TFS para recibir datos de servicio específicos distribuidos a varios canales de RF según la estructura de trama de señal de TFS, y emite datos de servicio de PLP de primera trayectoria.
- 60 El primer desentrelazador (245a) de tiempo realiza el desentrelazado de los datos de servicio de PLP de primera trayectoria analizados sintácticamente en el dominio de tiempo. El primer decorrelacionador (247a) de símbolos determina datos de servicio correlacionados con el símbolo para que sean datos de bits, de modo que puede emitir un flujo de PLP asociado con los datos de servicio de PLP de primera trayectoria.
- 65 Siempre que los datos de símbolos se convierten en datos de bits, y cada datos de símbolos incluya símbolos basados en el esquema de correlación de símbolos híbrido, el número p de decorrelacionadores de símbolos, cada

uno de los cuales incluye el primer decorrelacionador de símbolos, puede determinar que los datos de símbolos sean datos de bits usando diferentes esquemas de decorrelación de símbolos en intervalos individuales de los datos de símbolos de entrada.

5 La figura 44 es una vista que muestra una realización de cada uno de los decorrelacionadores (247a y 247p) de símbolos. Los decorrelacionadores de símbolos reciben los flujos que corresponden a las PLP desde los entrelazadores (245a y 245p) de tiempo que corresponden respectivamente a los decorrelacionadores de símbolos.

10 Cada uno de los decorrelacionadores (247a y 247p) de símbolos puede incluir un divisor (2471) de bloques de corrección de errores, un divisor (2473) de símbolos, un decorrelacionador (2475a) de primer orden, un decorrelacionador (2475b) de segundo orden y un fusionador (2478) de flujos de bits.

15 El divisor (2471) de bloques de corrección de errores puede dividir el flujo de PLP recibido desde el correspondiente de los entrelazadores (245a y 245p) de tiempo en las unidades de bloque de corrección de errores. El divisor (2471) de bloques de corrección de errores puede dividir el flujo de servicio en la unidad de bloque de LDPC de modo normal. En este caso, el flujo de servicio puede dividirse en un estado en el que cuatro bloques según el modo corto (en el que el bloque tiene la longitud de 16200 bits) se tratan como el bloque de corrección de errores de un bloque según el modo normal (en el que el bloque tiene la longitud de 64800 bits).

20 El divisor (2473) de símbolos puede dividir el flujo de símbolos en el bloque de corrección de errores dividido según el método de correlación de símbolos del flujo de símbolos.

25 Por ejemplo, el decorrelacionador (2475a) de primer orden convierte los símbolos según el método de correlación de símbolos de orden superior en los bits. El decorrelacionador (2475b) de segundo orden convierte los símbolos según el método de correlación de símbolos de orden inferior en los bits.

El fusionador (2478) de flujo de bits puede recibir los bits convertidos y emitir un flujo de bits..

30 La figura 45 es una vista que muestra otra realización de cada uno de los decorrelacionadores (247a y 247p) de símbolos. La realización de este dibujo es similar a la realización de la figura 44 excepto porque se incluyen además una unidad (2474a) de calibración de potencia de primer orden y una unidad (2474b) de calibración de potencia de segundo orden.

35 La unidad (2474a) de calibración de potencia de primer orden recibe los símbolos divididos por el divisor (2473) de símbolos, calibra la potencia de los símbolos recibidos según los esquemas de correlación de símbolos, y emite los símbolos calibrados. La potencia de los símbolos recibidos puede tener la potencia calibrada según el tamaño de la constelación basándose en los métodos de correlación de símbolos. La unidad (2474a) de calibración de potencia de primer orden convierte la potencia calibrada según en la potencia de símbolos original de la constelación. El decorrelacionador (2475a) de primer orden puede realizar la decorrelación entre los símbolos, de los que se calibra la potencia por la unidad de calibración de potencia de primer orden, y los bits.

40 De manera similar, la unidad (2474b) de calibración de potencia de segundo orden recibe los símbolos divididos por el divisor (2473) de símbolos, modifica la potencia calibrada de los símbolos recibidos a la potencia original según el tamaño de la constelación, y emite los símbolos modificados.

45 La figura 46 es una vista que muestra otra realización de cada uno de los decorrelacionadores (247a y 247p) de símbolos. Cada uno de los decorrelacionadores (247a y 247p) de símbolos puede incluir un divisor (2473) de símbolos, un decorrelacionador (2474a) de primer orden, un decorrelacionador (2474b) de segundo orden, un mux (2475a) de primer orden, un mux (2475b) de segundo orden, un desentrelazador (2476a) de bits de primer orden, un desentrelazador (2476b) de bits de segundo orden y un fusionador (2478) de flujo de bits. Mediante esta realización, la realización de la unidad de decodificación y demodulación de la figura 36 incluye un primer decodificador (253), un primer desentrelazador (255) y un segundo decodificador (257).

50 El divisor (2473) de símbolos puede dividir el flujo de símbolos de la PLP según el método que corresponde al método de correlación de símbolos.

55 El decorrelacionador (2474a) de primer orden y el decorrelacionador (2474b) de segundo orden convierten los flujos de símbolos divididos en bits. Por ejemplo, el decorrelacionador (2474a) de primer orden realiza la decorrelación de símbolos del QAM de orden superior y el decorrelacionador (2474b) de segundo orden realiza la decorrelación de símbolos del QAM de orden inferior. Por ejemplo, el decorrelacionador (2474a) de primer orden puede realizar la decorrelación de símbolos de 256QAM y el decorrelacionador (2474b) de segundo orden puede realizar la decorrelación de símbolos de 64QAM.

60 El mux (2475a) de primer orden y el mux (2475b) de segundo orden multiplexan los bits correlacionados con símbolos. Los métodos de multiplexado pueden corresponder a los métodos de demultiplexación descritos con referencia a las figuras 15 a 18. Por consiguiente, los subflujos demultiplexados pueden convertirse en un flujo de

bits.

5 El desentrelazador (2476a) de bits de primer orden desentrelaza los flujos de bits multiplexados por el mux (2475a) de primer orden. El desentrelazador (2476b) de bits de segundo orden desentrelaza los bits multiplexados por el mux (2475a) de primer orden. El método de desentrelazado corresponde al método de entrelazado de bits. El método de entrelazado de bits se muestra en la figura 12.

10 El fusionador (2478) de flujo de bits puede fusionar los flujos de bits desentrelazados por los entrelazadores (2476a) y (2476b) de bits para dar un flujo de bits.

El primer decodificador (253) de la unidad de decodificación y demodulación puede realizar la decodificación de corrección de errores del flujo de bits de salida según el modo normal o el modo corto y la tasa de código según los modos.

15 La figura 47 es una vista que muestra otra realización de cada uno de los decorrelacionadores (247a y 247p) de símbolos. La realización de este dibujo es similar a la realización de la figura 46 excepto porque se incluyen además una unidad (2474a) de calibración de potencia de primer orden y una unidad (2474b) de calibración de potencia de segundo orden. La unidad (2474a) de calibración de potencia de primer orden y la unidad (2474b) de calibración de potencia de segundo orden modifican las potencias calibradas de los símbolos según los métodos de correlación de
20 símbolos y emiten los símbolos modificados a los decorrelacionadores (2475a y 2475b) de símbolos.

La figura 48 es una vista que muestra una realización para multiplexar el subflujo demultiplexado. En esta realización, los decorrelacionadores (2474a y 2474b) deciden las palabras de célula que incluyen los bits. Los mux (2475a y 2475b) multiplexan las palabras de célula decididas según la señal de selección de mux. Las palabras de célula demultiplexadas se introducen en uno cualquiera de los primeros mux (2475a2 y 2475b2) a los mux (2475a3 y
25 2475b3) de orden n.

Los primeros mux (2475a2 y 2475b2) a los mux (2475a3 y 2475b3) de orden n cambian el orden de los bits en las palabras de célula introducidas según la señal de selección de mux. La señal de selección de mux puede cambiarse según la tasa de código de la codificación de corrección de errores o el método de correlación de símbolos. Con el fin de generar un flujo y los flujos de bits suministrados a los mux, el orden de seleccionar el subflujo puede cambiarse según la señal de selección de mux.
30

Los primeros demux (2475a1 y 2475b1) emiten los flujos de bits decorrelacionados con símbolos a uno cualquiera de los primeros mux (2475a2 y 2475b2) a los mux (2475a3 y 2475b3) de orden n según la señal de selección de mux. Los primeros submux (2475a1 y 2475b1) pueden recibir los subflujos multiplexados mediante los primeros mux (2475a2 y 2475b2) a los mux (2475a3 y 2475b3) de orden n y emitir un flujo, según la señal de selección de mux.
35

Las palabras de célula que incluyen los bits cambiados se introducen en los entrelazadores (2476a y 2476b) de bits, y los desentrelazadores (2476a y 2476b) de bits desentrelazan los bits de entrada y emiten los bits desentrelazados.
40

La figura 49 es un diagrama de bloques que ilustra un demodulador de decodificación según una realización de la presente invención. El demodulador de decodificación puede incluir varios bloques de función que corresponden a la unidad de codificación y modulación. En esta realización, el demodulador de decodificación de la figura 16 puede incluir un primer desentrelazador (251), un primer decodificador (253), un segundo desentrelazador (255) y un segundo decodificador (257). El segundo desentrelazador (255) puede estar contenido selectivamente en el demodulador de decodificación.
45

El primer desentrelazador (251) actúa como desentrelazador interno, y puede realizar un desentrelazado del flujo de PLP de orden p generado a partir del analizador sintáctico de tramas.
50

El primer decodificador (253) actúa como decodificador interno, puede realizar una corrección de errores de los datos desentrelazados, y puede usar un algoritmo de decodificación con corrección de errores basándose en el esquema de LDPC.
55

El segundo desentrelazador (255) actúa como entrelazador externo, y puede realizar un desentrelazado de los datos con decodificación de corrección de errores.

El segundo decodificador (257) actúa como decodificador externo. Los datos desentrelazados por el segundo desentrelazador (255) o corregidos respecto a errores por el primer decodificador (253) se corrigen de nuevo respecto a errores, de modo que el segundo decodificador (257) emite los datos que se han vuelto a corregir respecto a errores. El segundo decodificador (257) decodifica datos usando el algoritmo de decodificación de corrección de errores basándose en el esquema BCH, de modo que emite los datos decodificados.
60

El primer desentrelazador (251) y el segundo desentrelazador (255) pueden convertir el error de ráfaga generado en los datos contenidos en el flujo de PLP en un error aleatorio. El primer decodificador (253) y el segundo
65

decodificador (257) pueden corregir los errores contenidos en los datos.

El demodulador de decodificación muestra procesos de operación asociados con un único flujo de PLP. Si existe el número p de flujos, es necesario el número p de demoduladores de decodificación, o el demodulador de decodificación puede decodificar repetidamente datos de entrada p veces.

La figura 50 es un diagrama de bloques que ilustra un procesador de salida según una realización de la presente invención. El procesador de salida puede incluir el número p de analizadores (251a, ... 261p) sintácticos de tramas de banda base (BB), un primer fusionador (263a) de servicio, un segundo fusionador (263b) de servicio, un primer demultiplexador (265a) y un segundo demultiplexador (265b).

Los analizadores (261a, ..., 261p) sintácticos de tramas de BB eliminan cabeceras de trama de BB de los flujos de PLP primero a de orden p según las trayectorias de PLP recibidas, y emiten el resultado eliminado. Esta realización muestra que se transmiten datos de servicio a al menos dos flujos. Un primer flujo es un flujo MPEG-2 TS, y un segundo flujo es un flujo GS.

El primer fusionador (263a) de servicio calcula la suma de datos de servicio contenidos en la carga útil de al menos una trama de BB, de modo que emite la suma de datos de servicio como un único flujo de servicio. El primer demultiplexador (255a) puede demultiplexar el flujo de servicio, y emitir el resultado demultiplexado.

De este modo, el segundo fusionador (263b) de servicio calcula la suma de los datos de servicio contenidos en la carga útil de al menos una trama de BB, de modo que puede emitir otro flujo de servicio. El segundo demultiplexador (255b) puede demultiplexar el flujo de servicio de formato GS, y emitir el flujo de servicio demultiplexado.

La figura 51 es un diagrama de bloques que ilustra un aparato para transmitir una señal según una otra realización de la presente invención. El aparato de transmisión de señales incluye un compositor (310) de servicio, un divisor (320) de frecuencia y un transmisor (400). El transmisor (400) codifica o modula una señal que incluye un flujo de servicio que va a transmitirse a cada banda de RF.

El compositor (310) de servicio recibe varios flujos de servicio, multiplexa varios flujos de servicio que van a transmitirse a canales de RF individuales, y emite los flujos de servicio multiplexados. El compositor (310) de servicio emite información de planificación, de modo que controla el transmisor (400) usando la información de planificación, cuando el transmisor (400) transmite la PLP a través de varios canales de RF. Mediante esta información de planificación, el compositor (310) de servicio modula varias tramas de servicio que van a transmitirse a los diversos canales de RF mediante el transmisor (400), y transmite las tramas de servicio moduladas.

El divisor (320) de frecuencia recibe un flujo de servicio que va a transmitirse a cada banda de RF, y divide cada flujo de servicio en varios subflujos, de modo que las bandas de frecuencia RF individuales pueden asignarse a los subflujos.

El transmisor (400) procesa los flujos de servicio que van a transmitirse a bandas de frecuencia individuales, y emite los flujos resultantes procesados. Por ejemplo, en asociación con un flujo de servicio específico que va a transmitirse al primer canal de RF, el primer correlacionador (410) correlaciona los datos de flujo de servicio de entrada para dar símbolos. El primer entrelazador (420) entrelaza los símbolos correlacionados para evitar el error de ráfaga.

El primer insertador (430) de símbolos puede insertar una trama de señal equipada con una señal piloto (por ejemplo, una señal piloto de dispersión o una señal piloto continua) en la señal modulada.

El primer modulador (440) modula los datos entrelazados mediante el esquema de modulación de señal. Por ejemplo, el primer modulador (440) puede modular señales usando el esquema de OFDM.

El primer insertador (450) de símbolos piloto inserta la primera señal piloto y la segunda señal piloto en la trama de señal, y puede transmitir la trama de señal de TFS.

Los datos de flujo de servicio transmitidos al segundo canal de RF se transmiten a la trama de señal de TFS a través de varios bloques (415, 425, 435, 445 y 455) de diferentes trayectorias mostradas en el transmisor de la figura 18.

El número de trayectorias de procesamiento de señales transmitidas desde el transmisor (400) puede ser igual al número de canales de RF contenidos en la trama de señal de TFS.

El primer correlacionador (410) y el segundo correlacionador pueden incluir respectivamente los demultiplexadores (1313a y 1313b), y permitir cambiar las ubicaciones del MSB y el LSB en la palabra de célula correlacionada con símbolos.

La figura 52 es un diagrama de bloques que ilustra un aparato para recibir una señal según otra realización de la presente invención. El aparato de recepción de señales puede incluir una unidad (510) de recepción, una unidad

(520) de sincronización, un detector (530) de modos, un ecualizador (540), un detector (550) de parámetros, un desentrelazador (560), un decorrelacionador (570) y un decodificador (580) de servicio.

5 La unidad (500) de recepción puede recibir señales de un primer canal de RF seleccionado por un usuario entre la trama de señal. Si la trama de señal incluye varios canales de RF, la unidad (500) de recepción realiza saltos de los diversos canales de RF, y al mismo tiempo puede recibir una señal que incluye la trama de servicio seleccionada.

10 La unidad (510) de sincronización adquiere la sincronización de una señal de recepción, y emite la señal de recepción sincronizada. El demodulador (520) puede demodular la señal adquirida mediante sincronización. El detector (530) de modos puede adquirir un modo de FFT (por ejemplo, longitud de operación de FFT de 2k, 4k, 8k) de la segunda señal piloto usando la primera señal piloto de la trama de señal.

15 El demodulador (520) demodula la señal de recepción en el modo de FFT de la segunda señal piloto. El ecualizador (540) realiza una estimación de canal de la señal de recepción, y emite la señal resultante de la estimación de canal. El desentrelazador (560) desentrelaza la señal de recepción de canales ecualizados. El decorrelacionador (570) decorrelaciona el símbolo entrelazado usando el esquema de decorrelación de símbolos que corresponde al esquema de correlación de símbolos de señal de transmisión (por ejemplo, QAM).

20 El detector (550) de parámetros adquiere información de parámetros físicos (por ejemplo, información de capa 1 (L1)) contenida en la segunda señal piloto a partir de la señal de salida del ecualizador (540), y transmite la información de parámetros físicos adquirida a la unidad (500) de recepción y la unidad (510) de sincronización. La unidad (500) de recepción puede cambiar el canal de RF a otro canal usando información de red detectada por el detector (550) de parámetros.

25 El detector (550) de parámetros emite información asociada con servicio, el decodificador (580) de servicio decodifica datos de servicio de la señal de recepción según la información asociada con servicio desde el detector (550) de parámetros, y emite los datos de servicio decodificados.

30 El decorrelacionador (570) puede incluir los mux (2475a y 2475b) y emitir el flujo de bits obtenido restaurando el orden de los bits de los que se cambian las ubicaciones del MSB y el LSB según la tasa de código de la codificación de corrección de errores y el método de correlación de símbolos.

35 A continuación en el presente documento, se describirá un método para modular una primera señal piloto de una trama de señal que tiene al menos una banda de RF y un método y un aparato para recibir la primera señal piloto modulada.

40 Los símbolos de PLP entrelazados en tiempo se transmiten a través de regiones, que se dividen temporalmente en la trama de señal. Los símbolos de PLP entrelazados en tiempo pueden transmitirse a través de regiones, que se dividen en el dominio de frecuencia, si existe una pluralidad de bandas de RF. Por consiguiente, si la PLP se transmite o se recibe, puede obtenerse una ganancia de diversidad. Un modo de corrección de errores y un método de correlación de símbolos pueden cambiarse según servicios que corresponden a flujos de transporte o pueden cambiarse en el servicio.

45 Una primera señal piloto y una segunda señal piloto se disponen en la ubicación inicial de la trama de señal que tiene características de este tipo, como señal de preámbulo.

50 Como se describió anteriormente, la primera señal piloto incluida en la trama de señal puede incluir un identificador para identificar la trama de señal que tiene la estructura descrita anteriormente. La primera señal piloto puede incluir información acerca de la estructura de transmisión que indica si la trama de señal se transmite o no a través de múltiples trayectorias e información acerca de un modo de FFT de una señal que sigue a la primera señal piloto. El receptor puede detectar la trama de señal a partir de la primera señal piloto y obtener la información acerca de la estimación de desfase de frecuencia de portadora integral e información acerca del modo de FFT del símbolo de datos.

55 La figura 53 es una vista que muestra una realización de la estructura de una primera señal piloto. Una parte designada mediante A es una parte válida de la primera señal piloto. B designa el mismo prefijo cíclico que una primera parte de la parte A en el dominio de tiempo y C designa el mismo sufijo cíclico que una segunda parte de la parte A en la región de tiempo. La primera parte puede duplicarse a partir de la segunda mitad de la parte A y la segunda parte puede duplicarse a partir de la primera mitad de la parte A.

60 B y C pueden obtenerse respectivamente duplicando la primera parte y la segunda parte y realizando un desplazamiento en frecuencia de las partes duplicadas. Una relación entre B o C y A es como sigue.

[Ecuación 1]

$$B = \text{unaparte}(A) \cdot e^{j2\pi f_{SH}t}$$

$$C = \text{otraparte}(A) \cdot e^{j2\pi f_{SH}t}$$

5 En la ecuación anterior, SH designa una unidad de desplazamiento del desplazamiento en frecuencia. Por consiguiente; los valores de desplazamiento en frecuencia de las partes B y C pueden ser inversamente proporcionales a las longitudes de las partes B y C.

10 Si la primera señal piloto se configura mediante desplazamiento en frecuencia del prefijo cíclico (B) y el sufijo cíclico (C), la probabilidad de que el símbolo de datos se detecte de manera errónea respecto al preámbulo es baja y la probabilidad de que el preámbulo se detecte de manera errónea se reduce, aunque los símbolos de datos que configuran la PLP y los símbolos que configuran el preámbulo se modulan en el mismo modo de FFT.

15 Si se incluye una interferencia de onda continua (CW) tal como una señal de TV analógica, se reduce la probabilidad de que el preámbulo se detecte de manera errónea debido a una componente de DC de ruido generada en un proceso de correlación. Además, si el tamaño de la FFT aplicada a los símbolos de datos que configuran la PLP es mayor que el de la FFT aplicada al preámbulo, puede mejorarse el rendimiento de detección de preámbulo incluso en un canal de dispersión de retardo que tiene una longitud igual a o mayor que la de la parte A de símbolo válida del preámbulo. Puesto que tanto el prefijo cíclico (B) como el sufijo cíclico (C) se usan en el preámbulo, el desfase de frecuencia de portadora fraccional puede estimarse mediante el proceso de correlación.

20 La figura 54 es una vista que muestra una realización para detectar una señal de preámbulo mostrada en la figura 53 y que estima un desfase de sincronismo y un desfase de frecuencia. Esta realización puede incluirse en el detector (221) de tramas o la unidad (222) de sincronización de tramas.

25 Esta realización puede incluir una primera unidad (601) de retardo, una unidad (603) de cálculo de conjugada compleja, un primer multiplicador (605), un segundo multiplicador (607), un primer filtro (611), una segunda unidad (615) de retardo, un tercer multiplicador (609), un segundo filtro (613), un cuarto multiplicador (617), una unidad (619) de búsqueda de picos y una unidad (621) de medición de fase.

30 La primera unidad (601) de retardo puede retardar una señal recibida. Por ejemplo, la primera unidad (601) de retardo puede retardar la señal recibida por la longitud de la parte (A) de símbolo válida de la primera señal piloto.

La unidad (603) de cálculo de conjugada compleja puede calcular la conjugada compleja de la primera señal piloto retardada y emitir la señal calculada.

35 El primer multiplicador (605) puede multiplicar la señal emitida desde la unidad (603) de cálculo de conjugada compleja por la señal recibida y emitir la señal multiplicada.

40 Puesto que la primera señal piloto incluye las partes B y C obtenidas mediante desplazamiento en frecuencia de la parte A válida, los respectivos valores de correlación se obtienen mediante el desplazamiento de las señales recibidas por las respectivas cantidades de desplazamiento en frecuencia. En la primera señal piloto, la parte B es una parte que se desplaza en frecuencia de manera ascendente o se desplaza en frecuencia de manera descendente desde la parte A, y C es una parte que se desplaza en frecuencia de manera ascendente o se desplaza en frecuencia de manera descendente desde la parte A.

45 Por ejemplo, si se usa la salida de la unidad (603) de cálculo de conjugada compleja, la salida del primer multiplicador (605) puede incluir el resultado de correlación de B (o la conjugada compleja de B) y A (o la conjugada compleja de A).

50 El segundo multiplicador (607) puede multiplicar la señal emitida desde el primer multiplicador (605) por la cantidad de desplazamiento en frecuencia (designada por $e^{j\pi f_{SH}t}$) aplicada a la parte B y emitir la señal multiplicada.

55 El primer filtro (611) realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal emitida desde el segundo multiplicador (607). La parte de promedio en movimiento puede pasar a ser la longitud del prefijo cíclico (B) o la longitud del sufijo cíclico (C). En esta realización, el primer filtro (611) puede calcular un promedio de la señal incluida en la longitud de la parte B. Después, en el resultado emitido desde el primer filtro

(611), el valor de correlación de las partes A y C incluidas en la parte, de la que se calcula el promedio, pasa a ser sustancialmente cero y el resultado de correlación de las partes B y A se mantiene. Puesto que la señal de la parte B se multiplica por el valor de desplazamiento en frecuencia mediante el segundo multiplicador (607), es igual a la señal obtenida duplicando la segunda mitad de la parte A.

5 El tercer multiplicador (609) puede multiplicar la señal emitida desde el primer multiplicador (605) por la cantidad de desplazamiento en frecuencia (designada por $-ej\pi f_{SH}t$) aplicada a la parte C y emitir la señal multiplicada.

10 El segundo filtro (613) realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal emitida desde el tercer multiplicador (609). La parte de promedio en movimiento puede volverse la longitud del prefijo cíclico (B) o la longitud del sufijo cíclico (C). En esta realización, el segundo filtro (613) puede calcular el promedio de la señal incluida en la longitud de la parte C. Después, en el resultado emitido desde el segundo filtro (613), el valor de correlación de las partes A y B incluidas en la parte, de la que se calcula el promedio, pasa a ser sustancialmente cero y el resultado de correlación de las partes C y A se mantiene. Puesto que la señal de la parte C se multiplica por el valor de desplazamiento en frecuencia mediante el tercer multiplicador (609), es igual a la señal obtenida duplicando la primera mitad de la parte A.

15 La longitud T_B de la parte respecto a la que se realiza el promedio en movimiento mediante el primer filtro (611) y el segundo filtro (613) se exprime como sigue.

20

[Ecuación 2]

$$T_B = k / f_{SH} ,$$

25 donde k designa un número entero. En otras palabras, la unidad f_{SH} del desplazamiento en frecuencia usado en las partes B y C puede decidirse por k/T_B .

La segunda unidad (615) de retardo puede retardar la señal emitida desde el primer filtro (611). Por ejemplo, la segunda unidad (615) de retardo retarda la señal filtrada mediante el primer filtro (611) por la longitud de la parte B y emite la señal retardada.

30 El cuarto multiplicador (617) multiplica la señal retardada mediante la segunda unidad (615) de retardo por la señal filtrada mediante el segundo filtro (613) y emite la señal multiplicada.

35 La unidad (619) de búsqueda de picos busca la ubicación en la que se genera un valor pico a partir de la señal multiplicada emitida desde el cuarto multiplicador (617) y emite la ubicación buscada a la unidad (621) de medición de fase. El valor pico y la ubicación pueden usarse para la estimación de desfase de sincronismo.

40 La unidad (621) de medición de fase puede medir la fase cambiada usando el valor pico y la ubicación emitida desde la unidad (619) de búsqueda de picos y emitir la fase medida. El valor de fase puede usarse para la estimación de desfase de frecuencia de portadora fraccional.

Mientras tanto, un oscilador para generar la frecuencia usada para realizar el desplazamiento en frecuencia mediante el segundo multiplicador (607) y el tercer multiplicador (609) puede generar cualquier error de fase.

45 Incluso en este caso, el cuarto multiplicador (617) puede eliminar el error de fase del oscilador. Los resultados emitidos desde el primer filtro (611) y el segundo filtro (613) y el resultado emitido desde el cuarto multiplicador (617) pueden expresarse mediante la siguiente ecuación.

[Ecuación 3]

$$y_{MAF1} = \|a_1(n)\|^2 \cdot e^{j2\pi\Delta_f + \theta}$$

$$y_{MAF2} = \|a_2(n)\|^2 \cdot e^{j2\pi\Delta_f - \theta}$$

$$y_{prod} = \|a_1(n)\|^2 \cdot \|a_2(n)\|^2 \cdot e^{j2\pi \cdot 2\Delta_f}$$

5 donde, y_{MAF1} e y_{MAF2} designan respectivamente las salidas del primer filtro (611) y del segundo filtro (613), e y_{prod} designa la salida del cuarto multiplicador (617). Además, a_1 y a_2 designan respectivamente los niveles de los resultados de correlación y Δf y θ designan respectivamente el desfase de frecuencia y el error de fase del oscilador.

10 Por consiguiente, y_{MAF1} e y_{MAF2} pueden incluir los errores de fase del oscilador que tienen diferentes signos, aunque el error de fase del oscilador se elimina en el resultado del cuarto multiplicador (617). Por consiguiente, el desfase de frecuencia Δf puede estimarse independientemente del error de fase del oscilador del aparato de recepción de señales.

El desfase de frecuencia estimado puede expresarse mediante la siguiente ecuación.

[Ecuación 4]

$$f_B = \angle y_{prod} / 4\pi$$

15 donde, el desfase de frecuencia estimado Δf es $0 \leq \Delta f < 0,5$.

20 La figura 55 es una vista que muestra otra realización de la estructura de la primera señal piloto. En la primera señal piloto, el desplazamiento en frecuencia de la primera mitad de la parte A válida es el prefijo cíclico (B) y el desplazamiento en frecuencia del segundo desplazamiento de la parte A válida es el sufijo cíclico (C). Las longitudes de la parte A válida para generar las partes B y C pueden ser, por ejemplo, 1/2 de la longitud de la parte A, y las longitudes de B y C pueden ser diferentes.

25 La figura 56 es una vista que muestra una realización para detectar la primera señal piloto mostrada en la figura 55 y medir un desfase de sincronismo y un desfase de frecuencia usando el resultado detectado. En esta realización, por motivos de una descripción más conveniente, B y C designan respectivamente el prefijo cíclico y el sufijo cíclico obtenidos mediante desplazamiento en frecuencia de 1/2 de la longitud de la parte A.

30 Esta realización incluye una primera unidad (601) de retardo, una unidad (603) de cálculo de conjugada compleja, un primer multiplicador (605), un segundo multiplicador (607), un primer filtro (611), una segunda unidad (615) de retardo, un tercer multiplicador (609), un segundo filtro (613), un cuarto multiplicador (617), una unidad (619) de búsqueda de picos y una unidad (621) de medición de fase. Es decir, esta realización es igual a la realización de la figura 54, aunque las características de las componentes pueden cambiarse según la longitud de la parte A mediante la que se generan las partes B y C. B designa una parte desplazada en frecuencia de manera descendente desde la parte A, y C designa una parte desplazada en frecuencia de manera ascendente desde la parte A.

35 La primera unidad (601) de retardo puede retardar una señal recibida. Por ejemplo, la primera unidad (601) de retardo puede retardar la señal recibida por 1/2 de la longitud de la parte A de símbolo válida de la primera señal piloto.

La unidad (603) de cálculo de conjugada compleja puede calcular la conjugada compleja de la primera señal piloto retardada y emitir la señal calculada.

45 El primer multiplicador (605) puede multiplicar la señal emitida desde la unidad (603) de cálculo de conjugada compleja por la señal recibida y emitir la señal multiplicada.

El segundo multiplicador (607) puede multiplicar la señal emitida desde el primer multiplicador (605) por la cantidad de desplazamiento en frecuencia (designada por $e^{j\pi f_{\text{SH}}}$) aplicada a la parte B y emitir la señal multiplicada.

5 El primer filtro (611) realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal emitida desde el segundo multiplicador (607). La parte de promedio en movimiento puede ser la longitud del prefijo cíclico (B). En esta realización, el primer filtro (611) puede calcular el promedio de la señal incluida en la longitud de la parte B. Después, en el resultado emitido desde el primer filtro (611), el valor de correlación de las partes A y C incluidas en la parte, de la que se calcula el promedio, pasa a ser sustancialmente cero y el resultado de correlación de las partes B y se mantiene A. Puesto que la señal de la parte B se multiplica por el valor de desplazamiento en frecuencia mediante el segundo multiplicador (607), es igual a la señal obtenida duplicando la segunda mitad de la parte A.

15 El tercer multiplicador (609) puede multiplicar la señal emitida desde el primer multiplicador (605) por la cantidad de desplazamiento en frecuencia (designada por $-e^{j\pi f_{\text{SH}}}$) aplicada a la parte C y emitir la señal multiplicada.

20 El segundo filtro (613) realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal emitida desde el tercer multiplicador (609). La parte de promedio en movimiento puede ser la longitud del sufijo cíclico (C). En esta realización, el segundo filtro (613) puede calcular el promedio de la señal incluida en la longitud de la parte C. Después, en el resultado emitido desde el segundo filtro (613), el valor de correlación de A y B incluidas en la parte, de la que se calcula el promedio, pasa a ser sustancialmente cero y el resultado de correlación de las partes C y A se mantiene. Puesto que la señal de la parte C se multiplica por el valor de desplazamiento en frecuencia mediante el tercer multiplicador (609), es igual a la señal obtenida duplicando la primera mitad de la parte A.

25 La segunda unidad (615) de retardo puede retardar la señal emitida desde el primer filtro (611). Por ejemplo, la segunda unidad (615) de retardo retarda la señal filtrada mediante el primer filtro (611) por la longitud de la parte B + 1/2A y emite la señal retardada.

30 El cuarto multiplicador (617) multiplica la señal retardada mediante la segunda unidad (615) de retardo por la señal filtrada mediante el segundo filtro (613) y emite la señal multiplicada.

35 La unidad (619) de búsqueda de picos busca la ubicación en la que se genera un valor pico a partir de la señal multiplicada emitida desde el cuarto multiplicador (617) y emite la ubicación buscada a la unidad (621) de medición de fase. El valor pico y la ubicación pueden usarse para la estimación de desfase de sincronismo.

La unidad (621) de medición de fase puede medir la fase cambiada usando el valor pico y la ubicación emitida desde la unidad (619) de búsqueda de picos y emitir la fase medida. El valor de fase puede usarse para la estimación de desfase de frecuencia de portadora fraccional.

40 Como se describió anteriormente, un oscilador para generar la frecuencia usada para realizar el desplazamiento en frecuencia mediante el segundo multiplicador (607) y el tercer multiplicador (609) puede generar cualquier error de fase. Sin embargo, incluso en esta realización, el cuarto multiplicador (617) puede eliminar el error de fase del oscilador.

45 Los resultados emitidos desde el primer filtro (611) y desde el segundo filtro (613) y el resultado emitido desde el cuarto multiplicador (617) pueden expresarse mediante la siguiente ecuación.

[Ecuación 5]

$$y_{MAF1} = \|a_1(n)\|^2 \cdot e^{j2\pi\Delta_f + \theta}$$

$$y_{MAF2} = \|a_2(n)\|^2 \cdot e^{j2\pi\Delta_f - \theta}$$

$$y_{prod} = \|a_1(n)\|^2 \cdot \|a_2(n)\|^2 \cdot e^{j2\pi \cdot 2\Delta_f}$$

50 donde, y_{MAF1} e y_{MAF2} designan respectivamente las salidas del primer filtro (611) y del segundo filtro (613), e y_{Prod} designa las salidas del cuarto multiplicador (617). Además, a_1 y a_2 designan respectivamente los niveles de los resultados de correlación y Δ_f y θ designan respectivamente el desfase de frecuencia y el error de fase del oscilador.

Por consiguiente, y_{MAF1} e y_{MAF2} pueden incluir los errores de fase del oscilador que tienen diferentes signos, aunque el error de fase del oscilador se elimina en el resultado del cuarto multiplicador (617). Por consiguiente, el desfase de frecuencia Δf puede estimarse independientemente del error de fase del oscilador del aparato de recepción de señales.

5

El desfase de frecuencia estimado puede expresarse mediante la siguiente ecuación.

[Ecuación 6]

$$f_B = \angle y_{prod} / 2\pi$$

10 donde, el desfase de frecuencia estimado Δf es $0 \leq \Delta f < 1$.

Es decir, puede generarse un solapamiento de fase en un intervalo de $0,5 \leq \Delta f < 1$ en el desfase de frecuencia estimado en la [Ecuación 4], aunque no se genera solapamiento de fase en el desfase de frecuencia estimado en la [Ecuación 6]. Por consiguiente, el desfase de frecuencia puede medirse con más precisión. La estructura de la primera señal piloto puede usarse en el símbolo de datos y la segunda señal de frecuencia. Si se usa una estructura de este tipo, puede mejorarse el rendimiento de estimación de desfase tal como interferencia de CW y puede mejorarse el rendimiento de recepción del receptor.

15

La figura 57 es una vista que muestra una realización para detectar la primera señal piloto y medir un desfase de sincronismo y un desfase de frecuencia usando el resultado detectado.

20

Esta realización incluye una primera unidad (601) de retardo, una tercera unidad (602) de retardo, una primera unidad (603) de cálculo de conjugada compleja, una segunda unidad (604) de cálculo de conjugada compleja, un primer multiplicador (605), un quinto multiplicador (606), un segundo multiplicador (607), un primer filtro (611), una segunda unidad (615) de retardo, un tercer multiplicador (609), un segundo filtro (613), un cuarto multiplicador (617), una unidad (619) de búsqueda de picos y una unidad (621) de medición de fase.

25

En esta realización, la primera unidad (601) de retardo puede retardar una señal recibida. Por ejemplo, la primera unidad (601) de retardo puede retardar la señal recibida por la longitud del sufijo cíclico.

30

La tercera unidad (602) de retardo puede retardar la señal retardada mediante la primera unidad (601) de retardo. Por ejemplo, la tercera unidad (602) de retardo retarda además la señal por una diferencia entre la longitud del prefijo cíclico y la longitud del sufijo cíclico.

35

La primera unidad (603) de cálculo de conjugada compleja puede calcular la conjugada compleja de la señal retardada mediante la tercera unidad (602) de retardo y emitir la señal calculada. La segunda unidad (604) de cálculo de conjugada compleja puede calcular la conjugada compleja de la señal retardada mediante la primera unidad (601) de retardo y emitir la señal calculada.

40

El primer multiplicador (605) puede multiplicar la señal emitida desde la primera unidad (603) de cálculo de conjugada compleja por la señal recibida y emitir la señal multiplicada. El quinto multiplicador (606) puede multiplicar la conjugada compleja calculada mediante la segunda unidad (604) de cálculo de conjugada compleja por la señal recibida y emitir la señal multiplicada.

45

El segundo multiplicador (607) puede multiplicar la señal emitida desde el primer multiplicador (605) por la cantidad de desplazamiento en frecuencia (designada por $e^{j\pi f_{SHt}}$) aplicada a la parte B y emitir la señal multiplicada.

50

El primer filtro (611) realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal emitida desde el segundo multiplicador (607). La parte de promedio en movimiento puede volverse la longitud de la parte (A) válida de la primera señal piloto.

55

El tercer multiplicador (609) puede multiplicar la señal emitida desde el segundo multiplicador (604) por la cantidad de desplazamiento en frecuencia (designada por $-e^{j\pi f_{SHt}}$) aplicada a la parte C y emitir la señal multiplicada.

60

El segundo filtro (613) realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal emitida desde el tercer multiplicador (609). La parte de promedio en movimiento puede volverse la longitud de la parte A válida de la primera señal piloto.

La segunda unidad (615) de retardo puede retardar la señal emitida desde el primer filtro (611). Por ejemplo, la

segunda unidad (615) de retardo retarda la señal filtrada mediante el primer filtro (611) por la longitud de la parte (A) válida de la primera señal piloto y emite la señal retardada.

5 El cuarto multiplicador (617) multiplica la señal retardada mediante la segunda unidad (615) de retardo por la señal filtrada mediante el segundo filtro (613) y emite la señal multiplicada. El cuarto multiplicador (617) puede eliminar el error de fase del oscilador.

10 Las operaciones de la unidad (619) de búsqueda de picos y la unidad (621) de medición de fase son iguales a las de la realización descrita anteriormente. La unidad (619) de búsqueda de picos busca la ubicación en la que se genera un valor pico a partir de la señal multiplicada emitida desde el cuarto multiplicador (617) y emite la ubicación buscada a la unidad (621) de medición de fase. El valor pico y la ubicación pueden usarse para la estimación de desfase de sincronismo.

15 La figura 58 es una vista que muestra una realización de un método para transmitir una señal.

Un flujo de transporte que transfiere un servicio se somete a codificación de corrección de errores (S110). Un esquema de codificación con corrección de errores puede cambiarse según los flujos de transporte.

20 Puede usarse un esquema de codificación de corrección de errores de LDPC ya que el esquema de codificación de corrección de errores y la codificación de corrección de errores pueden realizarse a diversas tasas de código. Los bits que se someten a codificación de corrección de errores según una tasa de código de corrección de errores específica pueden incluirse en un bloque con codificación de corrección de errores según el modo de codificación de corrección de errores. Si el esquema de codificación de corrección de errores es el LDPC, pueden usarse un modo normal (64800 bits) y un modo corto (16200 bits).

25 Se entrelaza el flujo de transporte con codificación de corrección de errores (S120). El entrelazado puede realizarse diferenciando las direcciones para escritura y lectura de los bits incluidos en el bloque con codificación de corrección de errores en y desde una memoria. El número de filas y el número de columnas de la memoria puede cambiarse según el modo de codificación de corrección de errores. El entrelazado puede realizarse en la unidad de los bloques con codificación de corrección de errores.

35 Los bits entrelazados se correlacionan con símbolos (S130). Un método de correlación de símbolos puede cambiarse según flujos de transporte o en el flujo de transporte. Por ejemplo, como método de correlación de símbolos, pueden usarse un método de correlación de símbolos de orden superior y un método de correlación de símbolos de orden inferior. Cuando los símbolos se correlacionan, los bits entrelazados del flujo de servicio pueden demultiplexarse según el método de correlación de símbolos o la tasa de código del código de corrección de errores, y los símbolos pueden correlacionarse usando los bits incluidos en los subflujos demultiplexados. Después, puede cambiarse la secuencia de los bits en la palabra de célula correlacionados con los símbolos.

40 Se entrelazan los símbolos correlacionados (S140). Los símbolos correlacionados pueden entrelazarse en la unidad de bloques con codificación de corrección de errores. Los entrelazadores (132a) y (132b) en tiempo pueden entrelazar los símbolos en la unidad de bloques con codificación de corrección de errores. Es decir, el flujo de transporte se entrelaza de nuevo en el nivel de símbolo.

45 Los símbolos entrelazados del flujo de transporte se dividen, los símbolos divididos se asignan a una trama de señal que tiene al menos una banda de frecuencia y que incluye ranuras que se dividen temporalmente en las bandas de frecuencia, y un preámbulo que incluye una primera señal piloto y una segunda señal piloto se dispone en una parte inicial de la trama de señal (S150). Los símbolos entrelazados del flujo de transporte pueden configurar la PLP con respecto al flujo de transporte para proporcionar el servicio. Los flujos que configuran la PLP pueden dividirse y asignarse a la trama de señal. La PLP puede asignarse a al menos una trama de señal que tiene al menos una banda de frecuencia. Si se dispone una pluralidad de bandas de frecuencia, los símbolos que configuran la PLP pueden disponerse en las ranuras desplazadas entre las bandas de frecuencia. Los bits incluidos en el flujo de servicio pueden disponerse en la trama de señal en la unidad de bloques entrelazados con codificación de corrección de errores.

55 La trama de señal se convierte en un dominio de tiempo según un esquema de OFDM (S160).

60 El prefijo cíclico obtenido desplazando en frecuencia una primera parte de una parte válida de la primera señal piloto y el sufijo cíclico obtenido desplazando en frecuencia una segunda parte de la parte válida se insertan en los símbolos del OFDM incluyendo la primera señal piloto en el dominio de tiempo (S170). Si el preámbulo no se inserta en el dominio de frecuencia, el preámbulo que incluye la primera señal piloto y la segunda señal piloto puede insertarse en el dominio de tiempo. La primera señal piloto del dominio de tiempo puede incluir la parte válida, el prefijo cíclico de la primera parte de la parte válida y el sufijo cíclico de la segunda parte de la parte válida. La primera parte puede ser una parte más posterior o la parte más anterior de la parte válida. La segunda parte puede ser la parte más anterior o la parte más posterior de la parte válida.

65

La trama de señal que incluye la primera señal de trama se transmite por una señal de RF (S180).

5 Puesto que la parte útil de la primera señal piloto incluye el prefijo cíclico y el sufijo cíclico desplazados en frecuencia, la trama de señal puede identificarse claramente como la estructura de la primera señal piloto. El desfase de sincronismo o el desfase de frecuencia puede estimarse y compensarse el uso de la estructura de la primera señal piloto.

La figura 59 es una vista que muestra una realización de un método para recibir una señal.

10 Una señal se recibe desde una banda de frecuencia incluida en la trama de señal (S210). La trama de señal puede tener al menos una banda de frecuencia. La señal puede recibirse desde una banda de frecuencia específica.

15 A partir de la señal recibida, se identifica una primera señal piloto que incluye un prefijo cíclico obtenido desplazando en frecuencia una primera parte de una parte válida y un sufijo cíclico obtenido desplazando en frecuencia una segunda parte de la parte válida, y se demodula la trama de señal en la que los bloques que incluyen los símbolos del flujo de transporte están asignados a una pluralidad de ranuras en dominio de tiempo mediante el esquema de OFDM usando la primera señal piloto (S220). El proceso de demodulación que usa la primera señal piloto se describirá con detalle más adelante.

20 La trama de señal identificada se analiza sintácticamente (S230). La trama de señal puede incluir al menos una banda de frecuencia. En la trama de señal, los bloques con codificación de corrección de errores incluyendo los símbolos, con los que se correlaciona el flujo de transporte, puede asignarse a símbolos de OFDM junto con los bloques con codificación de corrección de errores de otro flujo de transporte. Si la trama de señal incluye una pluralidad de bandas de frecuencia, los bloques con codificación de corrección de errores pueden asignarse a los
25 símbolos de OFDM que se desplazan temporalmente en la pluralidad de bandas de frecuencia.

30 Los símbolos, con los que se correlaciona el flujo de transporte, se desentrelazan de la trama de señal analizada sintácticamente (S240a). El desentrelazado puede realizarse en el nivel de símbolo con el que se correlaciona el flujo de transporte. Por ejemplo, los desentrelazadores (245a y 245b) en tiempo pueden desentrelazar los bloques con codificación de corrección de errores que incluyen los símbolos, con los que se correlaciona el flujo de servicio.

35 Entonces, los símbolos desentrelazados se correlacionan para obtener el flujo de transporte (S240b). Cuando se realiza la decorrelación de los símbolos, puede emitirse una pluralidad de subflujos obtenidos realizando la decorrelación de los símbolos, pueden multiplexarse los subflujos emitidos y puede emitirse el flujo de servicio con codificación de corrección de errores. El esquema de multiplexación puede cambiarse según el método de correlación de símbolos y la tasa de código de corrección de errores. El método de decorrelación de símbolos puede cambiarse en un flujo de transporte o según flujos de transporte.

40 El flujo de transporte se desentrelaza y el flujo de transporte desentrelazado se somete a codificación de corrección de errores (240c).

45 Según un aparato para transmitir y recibir una señal y un método para transmitir y recibir una señal de una realización de la presente invención, es posible detectar y restaurar fácilmente una señal transmitida. Además, es posible mejorar el rendimiento de transmisión/recepción de señales del sistema de transmisión/recepción.

La figura 60 es un diagrama de flujo que ilustra una realización para identificar una primera señal piloto y estimar un desfase en un proceso de demodulación.

50 La primera señal piloto incluye el prefijo cíclico obtenido desplazando en frecuencia la primera parte de la parte válida de la misma y el sufijo cíclico obtenido desplazando en frecuencia la segunda parte de la parte válida de la misma. El desfase de sincronismo y el desfase de frecuencia pueden calcularse usando la primera señal piloto como sigue.

55 Se retarda (S311) la señal recibida. Por ejemplo, la parte de retardo puede ser la parte válida de la primera señal piloto o 1/2 de la parte válida. Como alternativa, la parte de retardo puede ser la longitud del prefijo cíclico o la longitud del sufijo cíclico.

Se calcula (S313) la conjugada compleja de la señal retardada.

60 Se multiplican (S315) la conjugada compleja de la señal recibida y la señal retardada. La señal retardada multiplicada por la conjugada compleja puede ser la señal que tiene la longitud descrita anteriormente. Si la señal de retardo es la longitud del prefijo cíclico o el sufijo cíclico, puede calcularse la conjugada compleja de la señal retardada.

65 La señal multiplicada por la conjugada compleja se desplaza inversamente según el desplazamiento en frecuencia del prefijo cíclico (S317). Es decir, la señal multiplicada por la conjugada compleja se desplaza la cantidad de

desplazamiento inverso de la cantidad de desplazamiento en frecuencia de la señal de prefijo cíclico. Es decir, una señal que se desplaza en frecuencia de manera ascendente se desplaza en frecuencia de manera descendente (o la señal que se desplaza en frecuencia de manera descendente se desplaza en frecuencia de manera ascendente).

5 Después, se calcula un promedio de la señal que se desplaza inversamente según el desplazamiento en frecuencia del prefijo cíclico (S319). La parte de la cual se calcula el promedio puede ser la longitud del prefijo cíclico o la longitud de la parte A válida de la primera señal piloto según las realizaciones. Puesto que el promedio se calcula con respecto a la señal que tiene la misma longitud junto con la señal recibida, el valor promedio en movimiento puede emitirse junto con la señal recibida.

10 La señal de la que se calcula el promedio se retarda (S321). La parte de retardo puede ser la suma de la longitud del prefijo cíclico y la longitud de 1/2 del periodo válido la longitud del prefijo cíclico o la longitud de la parte A válida de la primera señal piloto, según la realización.

15 La señal multiplicada en la etapa (S315) se desplaza inversamente según el desplazamiento en frecuencia del sufijo cíclico (S323). La señal multiplicada por la conjugada compleja se desplaza la cantidad de desplazamiento inverso de la cantidad de desplazamiento en frecuencia de la señal de sufijo cíclico. Es decir, una señal que se desplaza en frecuencia de manera ascendente se desplaza en frecuencia de manera descendente (o la señal que se desplaza en frecuencia de manera descendente se desplaza en frecuencia de manera ascendente).

20 Se calcula un promedio con respecto a la señal que se desplaza inversamente según el desplazamiento en frecuencia del sufijo cíclico (S325). El promedio en movimiento se realiza con respecto a la señal que corresponde a la longitud del sufijo cíclico calculado o la longitud de la parte válida de la primera señal piloto según las realizaciones.

25 La señal retardada en la etapa (S321) y la señal de la que se calcula el promedio en la etapa (S325) se multiplican (S327).

30 Se busca una ubicación pico del resultado multiplicado (S329) y se mide la fase de la señal usando el pico (S331). El pico buscado puede usarse para estimar el desfase de sincronismo y la fase medida puede usarse para estimar el desfase de frecuencia.

35 En este diagrama de flujo, pueden cambiarse la longitud del sufijo cíclico, la longitud del prefijo cíclico y la cantidad de desplazamiento inverso en frecuencia.

40 Según el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la invención, si el símbolo de datos que configura la PLP y los símbolos que configuran el preámbulo se modulan en el mismo modo de FFT, la probabilidad de que el preámbulo detecte el símbolo de datos es baja y la probabilidad de que se detecte erróneamente el preámbulo es reducida. Si se incluye una interferencia de onda continua (CW) como la señal de TV analógica, la probabilidad de que el preámbulo se detecte erróneamente por una componente de DC de ruido generada en el momento de correlación es reducida.

45 Según el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la invención, si el tamaño de la FFT aplicada al símbolo de datos que configura la PLP es mayor que el de la FFT aplicada al preámbulo, el rendimiento de detección del preámbulo puede mejorarse incluso en un canal de dispersión del retardo que tiene una longitud igual a o mayor que la de la parte A de símbolo válida del preámbulo. Puesto que tanto el prefijo cíclico (B) como el sufijo cíclico (C) se usan en el preámbulo, puede estimarse el desfase de frecuencia de portadora fraccional.

50 A continuación en el presente documento se describirá un ejemplo de un método para transmitir y recibir señales según el método de entrelazado de bits mencionado anteriormente.

La figura 61 ilustra otro ejemplo de un método para transmitir y recibir señales según la presente invención.

55 Flujos de transporte que incluyen servicio se codifican por corrección de errores (S411).

60 Los bits de los flujos de transporte codificados por corrección de errores se entrelazan variando un método de almacenamiento de los bits en la memoria y un método de lectura de los bits desde la memoria según el método de correlación de símbolos (S413). En este caso, se realiza entrelazado de bits de tal manera que los bits se almacenan en la memoria en unidades de columna, en el que la memoria tiene una pluralidad de filas y columnas según el método de correlación de símbolos, se genera un desfase entre ubicaciones de los primeros bits almacenados en cada columna según el método de correlación de símbolos, y en cada columna, los bits se almacenan desde la ubicación en la que están almacenados los primeros bits hasta la ubicación en la que están almacenados los bits según un direccionamiento circular.

65

Si se leen los bits almacenados, los bits almacenados en la memoria según el método de correlación de símbolos se leen en unidades de fila. En este caso, debe generarse un desfase en las ubicaciones de los primeros bits leídos desde cada fila según el método de correlación de símbolos, y en cada columna, los bits se leen desde la ubicación en la que se leen los primeros bits según un direccionamiento circular.

- 5 Los bits entrelazados se correlacionan en símbolos según el método de correlación de símbolos (S415) anterior.
- 10 Los símbolos correlacionados se asignan a tramas de señal transmitidas a al menos un canal RF, y un preámbulo, que incluye una primera señal piloto que puede identificar las tramas de señal unas de otras, se dispone en las tramas de señal (S417).
- 15 Las tramas de señal se modulan y entonces se transmiten (S419).
- A continuación se describirá un método para recibir y procesar la señal anterior.
- 20 Una señal de recepción que incluye tramas de señal transmitidas a al menos un canal RF se recibe desde el primer canal RF, y las tramas de señal se identifican a partir de la primera señal piloto del preámbulo de las tramas de señal (S421).
- 25 Las tramas de señal se demodulan, y las tramas de señal demoduladas se analizan sintácticamente, de modo que se emiten los símbolos del primer flujo de transporte de entre una pluralidad de ranuras de tiempo (S423).
- Los símbolos se decorrelacionan según el método de correlación de símbolos para emitir flujos de bits (S425).
- 30 Los flujos de bits emitidos se desentrelazan variando el método de almacenamiento de los bits en la memoria y el método de lectura de los bits desde la memoria (S427). Se usa entrelazado de bits correspondiente a la etapa (S413). Los bits se almacenan en la memoria en unidades de columna, en el que la memoria tiene una pluralidad de filas y columnas según el método de correlación de símbolos. En este caso, los bits deben almacenarse en la memoria de modo que se genere un desfase entre ubicaciones de los primeros bits almacenados en cada columna según el método de correlación de símbolos, y en cada columna, los bits se almacenan desde la ubicación en la que están almacenados los primeros bits hasta la ubicación en la que están almacenados los bits según un direccionamiento circular.
- 35 Si se leen los bits almacenados, los bits almacenados en la memoria según el método de correlación de símbolos se leen en unidades de fila. En este caso, debe generarse un desfase en ubicaciones de los primeros bits leídos desde cada fila según el método de correlación de símbolos, y en cada columna, los bits se leen desde la ubicación en la que se leen los primeros bits, según un direccionamiento circular.
- 40 Los bits desentrelazados se decodifican por corrección de errores (S429).
- 45 La figura 62 es una vista que muestra otra realización de un aparato para la transmisión de una señal. El aparato de transmisión de señales mostrado en la figura 62 incluye un procesador (110) de entrada, una unidad (120) de codificación y modulación, un formador (130) de trama, un codificador (140) MIMO/MISO, moduladores (150a, ..., y 150r) correspondientes a las múltiples trayectorias del codificador (140) MIMO/MISO, y una pluralidad de procesadores (160a, ..., y 160r) analógicos. Esta realización es similar a la realización mostrada en la figura 4 excepto porque un generador (1301) de información (L1/L2) y un codificador (1303) de información (L1/L2) para codificar y entrelazar la información de capa 1 y la información de capa 2 están incluidos adicionalmente. Los ejemplos del generador (1301) de información y el codificador (1303) de información se describirán ahora en detalle.
- 50 Tal como se describió anteriormente, la información de capa 1 puede incluir información sobre una configuración PLP de una trama de señal y puede estar incluida en una segunda señal piloto. La información de capa 2 puede describir un servicio transmitido mediante una PLP incluida en la trama de señal y puede transmitirse a la segunda señal piloto o una PLP común. Por ejemplo, aunque la segunda señal piloto y la PLP común incluidas en la trama de señal se transmiten a una pluralidad de canales RF de la trama de señal, el mismo valor se transmite a la pluralidad de canales RF. Por consiguiente, puesto que una ganancia de diversidad de frecuencia no puede obtenerse, las señales pueden procesarse de manera que la capacidad de recuperación de información se mejora según codificación de corrección de errores o entrelazado.
- 55 Si el formador (130) de trama configura la trama de señal, el generador (1301) de información puede generar la información de capa 1 y la información de capa 2 que se incluirán en la trama de señal. El generador (1301) de información puede generar una ubicación de la trama de señal, a la que se transmitirá un flujo de transporte para transmitir un servicio, e información de modulación y codificación del flujo de transporte.
- 60 El codificador (1303) de información puede codificar la información de capa 1 y la información de capa 2 generada por el generador (1301) de información según la información de modulación y codificación. El formador (130) de trama inserta la información de capa 1 codificada por el codificador (1303) de información en la segunda señal piloto

e inserta la información de capa 2 en la segunda señal piloto o la PLP común. Por consiguiente, la información de capa 1 y la información de capa 2 pueden protegerse de un error de un canal de transmisión por el codificador (1303) de información.

5 La figura 63 es una vista que muestra una realización del codificador (1303) de información. El codificador de información puede incluir un primer codificador (1311), un primer entrelazador (1313), un segundo codificador (1315) y un segundo entrelazador (1317).

10 El primer codificador (1311) es un codificador externo, que realiza una primera codificación de corrección de errores con respecto a los datos de entrada (la información de capa 1 y la información de capa 2). Por ejemplo, los datos de entrada pueden codificarse por corrección de errores mediante un esquema de codificación de corrección de errores BCH. La codificación de corrección de errores del primer codificador (1311) se realiza para suprimir el suelo de error según un esquema de codificación de corrección de errores del segundo codificador.

15 El primer entrelazador (1313) es un entrelazador externo, que puede entrelazar la salida de datos del primer codificador (1311). El primer entrelazador (1313) puede reducir un error de ráfaga.

20 El segundo codificador (1315) es un codificador interno, que realiza una segunda codificación de corrección de errores con respecto a la salida de datos del primer entrelazador (1313). Por ejemplo, el segundo codificador (1315) puede codificar los datos entrelazados mediante el primer entrelazador (1313) mediante un esquema de codificación de corrección de errores LDPC.

25 El segundo codificador (1315) puede realizar acortamiento y perforación con respecto a los datos que van a codificarse por corrección de errores, cuando se codifican los datos de entrada. Por ejemplo, puesto que la cantidad de información de capa 1 e información de capa 2 es inferior a la de datos de flujo de transporte para transmitir un servicio, puede usarse un código con una longitud corta. Por consiguiente, el segundo codificador (1315) puede realizar acortamiento y perforación de un código madre con una tasa de código baja y emitir un código de corrección de errores con una longitud corta. Como código madre, puede usarse un LDPC o un código de convolución.

30 El segundo codificador (1315) rellena cero (0) a un tamaño pequeño de bits de información (rellenado con ceros), así el segundo codificador (1315) conforma el número de bits de entrada para la codificación de LDPC (acortamiento). Tras la codificación de LDPC, el segundo codificador (1315) elimina el cero relleno y realiza perforación en una parte de la paridad generada de los datos de codificación para conformar su tasa de código.

35 El segundo entrelazador (1317) es un entrelazador interno, que realiza entrelazado de bits con respecto a los datos codificados por el segundo codificador (1315). El entrelazado de bits puede realizarse mediante uno de los esquemas mostrados en las figuras 20 a 28.

40 La figura 64 es una vista que muestra otra realización de un aparato para recibir una señal. Esta realización es similar al aparato de recepción de señales mostrado en la figura 39. Por consiguiente, la realización del aparato de recepción de señales incluye un primer receptor (210a) de señales, un receptor (210a) de señales de orden n, un primer demodulador (220a), un demodulador (220n) de orden n, un decodificador (230) MIMO/MISO, un analizador (240) sintáctico de tramas, un demodulador (250) de decodificación y un procesador (260) de salida. La realización de este dibujo incluye además un codificador (2401) de información (L1/L2) y un extractor (2403) de información (L1/L2).

45 El analizador (240) sintáctico de tramas puede analizar sintácticamente la trama de señal. El analizador (240) sintáctico de tramas puede analizar sintácticamente el preámbulo de la trama de señal que incluye la primera señal piloto y la segunda señal piloto. El analizador (240) sintáctico de tramas puede analizar sintácticamente el analizador sintáctico común.

50 El analizador (240) sintáctico de tramas emite la información de capa 1 y la información de capa 2 incluida en la segunda señal piloto y la PLP común al decodificador (2401) de información. El decodificador (2401) de información decodifica la información de capa 1 y la información de capa 2. El ejemplo del decodificador (2401) de información se describirá en detalle más adelante. El extractor (2403) de información extrae la información de capa 1 decodificada y la información de capa 2 y emite la información de capa 1 al analizador (240) sintáctico de tramas y un controlador de sistema (no mostrado). El analizador (240) sintáctico de tramas puede comprobar la configuración de las PLP incluidas en la trama de señal usando la información de capa 1 extraída y emitir una PLP seleccionada por un usuario según la información de capa 1.

60 La figura 65 es una vista que muestra una realización detallada de decodificación de información de capa 1 e información de capa 2. Esta realización puede incluir un primer desentrelazador (2411), un primer decodificador (2413), un segundo desentrelazador (2415) y un segundo decodificador (2417).

El primer desentrelazador (2411) realiza entrelazado interno con respecto a los datos de entrada que incluyen la información de capa 1 y la información de capa 2. El esquema de desentrelazado del primer desentrelazador (2411) puede realizarse mediante uno de los esquemas de entrelazado de bits descritos con respecto a las figuras 20 a 28.

5 El primer decodificador (2413) realiza decodificación de corrección de errores con respecto a los datos desentrelazados según un primer esquema de codificación de corrección de errores. En este caso, pueden decodificarse los datos que incluyen la información de capa 1 y la información de capa 2 acortada y perforada.

10 Por ejemplo, el primer decodificador (2413) realiza desperforación con respecto a los bits de paridad de los datos emitidos desde el primer desentrelazador (2411). Además, el primer decodificador (2413) añade 0 a los datos desperforados y realiza decodificación de corrección de errores. El primer decodificador (2413) elimina el 0 añadido y emite los datos acortados.

15 El segundo desentrelazador (2415) realiza desentrelazado con respecto a los datos codificados por corrección de errores mediante el primer decodificador (2413), y el segundo decodificador (2417) realiza decodificación de corrección de errores con respecto a los datos emitidos desde el segundo desentrelazador (2415) según un segundo esquema de codificación de corrección de errores. El segundo decodificador (2417) puede emitir datos sin procesar de la información de capa 1 y la información de capa 2.

20 Aunque, en la realización mencionada anteriormente, la información de capa 1 y la información de capa 2 se codifican/decodifican por corrección de errores usando el esquema de acortamiento y el esquema de perforación, al menos una de la información de capa 1 y la información de capa 2 puede codificarse/decodificarse por corrección de errores. Por ejemplo, el esquema de acortamiento y el esquema de perforación pueden usarse con respecto a sólo la información de capa 1. En este caso, las realizaciones de las figuras 63 y 65 pueden emplearse con respecto a sólo la información de capa 1. Las realizaciones de las figuras 6 y 49 pueden emplearse con respecto a sólo la información de capa 1, y viceversa.

30 La figura 66 es un diagrama de flujo que ilustra un método para transmitir y recibir una señal. A continuación en el presente documento, se describirá la realización de procesamiento de la información de capa 1. Sin embargo, la información de capa 2 puede transmitirse en un estado dispuesto en la PLP común similar a esta realización. A continuación en el presente documento de describirá en detalle una realización de decodificación y codificación de la información de capa 1.

35 Se genera la información de capa 1 que se insertará en una trama de señal (S501). La información de capa 1 puede incluir información sobre la configuración de PLP de la trama de señal e información para identificar la trama de señal. La información sobre la configuración de PLP puede incluir información sobre PLP incluidas en una supertrama incluida en una pluralidad de tramas de señal e información sobre las tramas de señal de la supertrama. La PLP puede ser una unidad en la que los flujos de transporte se codifican y se modulan individualmente para transmitir los flujos de transporte. La PLP puede asignarse a al menos un canal RF de la trama de señal o una pluralidad de tramas de señal.

45 La información de capa 1 se codifica usando un esquema de codificación de corrección de errores que incluye el esquema de acortamiento y el esquema de perforación (S503). Puesto que el tamaño de la información de capa 1 que se insertará en la trama de señal es pequeño, la información de capa 1 puede codificarse usando un esquema de codificación de errores según un modo corto de un esquema de codificación de corrección de errores, tal como el esquema de codificación LDPC.

Los bits de la información de capa 1 codificada por corrección de errores se entrelazan (S505).

50 Como codificación de corrección de errores puede realizarse el primer procedimiento de codificación de corrección de errores o el segundo procedimiento de codificación de corrección de errores. Entonces, se realiza el primer entrelazado tras la primera codificación de corrección de errores y se realiza el segundo entrelazado tras la segunda codificación de corrección de errores. Como segunda codificación de corrección de errores puede usarse un esquema de codificación de corrección de errores LDPC.

55 Por ejemplo, la segunda etapa de codificación de corrección de errores se realiza añadiendo 0 a los datos de entrada para comprobar un número de los datos de entrada (acortamiento). Tras la segunda codificación de corrección de errores, se perfora una parte de los bits de paridad generados y se ajusta la tasa de código del segundo esquema de codificación de corrección de errores (perforación).

60 Los bits entrelazados de la información de capa 1 se disponen en un preámbulo de la trama de señal y se disponen PLP en la trama de señal (S507). La trama de señal puede incluir las PLP que se transmitirán a través de al menos un canal RF.

65 La trama de señal se modula y se transmite a través de al menos un canal RF (S509).

Si se recibe la señal, la trama de señal transmitida en una banda RF que incluye al menos un canal RF se recibe desde un primer canal RF (S511).

5 La trama de señal de la señal recibida se demodula (S513).

El preámbulo de la trama de señal que incluye la información de capa 1 se analiza sintácticamente, y la información de capa 1 se emite (S515).

10 Los bits de la información de capa 1 se desentrelazan (S517).

Se decodifican los bits desentrelazados usando un esquema de decodificación de corrección de errores que incluye el esquema de acortamiento y el esquema de perforación (S519). En esta etapa, por ejemplo, los bits desentrelazados se desperforan y se añade 0 según el esquema de codificación de corrección de errores. Los datos en los que se añade 0 se decodifica por corrección de errores y se elimina el 0 añadido.

15 La trama de señal se analiza sintácticamente usando la información de capa 1 decodificada por corrección de errores y se obtienen las PLP de la trama de señal (S521).

20 Mediante este procedimiento, puesto que la codificación de corrección de errores se realiza con respecto al preámbulo de la trama de señal mediante la cual no puede obtenerse una ganancia de diversidad, es posible corregir un error de la información incluida en el preámbulo. Por consiguiente, es posible mejorar el rendimiento de recepción de la información incluida en el preámbulo preciso.

25 Resultará evidente para los expertos en la técnica que pueden realizarse diversas modificaciones y variaciones en la presente invención sin apartarse del alcance de la invención. Por tanto, se pretende que la presente invención cubra las modificaciones y variaciones de esta invención siempre que se encuentren dentro del alcance de las reivindicaciones adjuntas.

REIVINDICACIONES

1. Método para la transmisión de una señal de difusión, caracterizado porque comprende el método:

- 5 generar (S501) información de capa 1, L1, que tiene un parámetro de transmisión física y configuración de señalización de estructura de trama de señal;
- codificar por comprobación de paridad de baja densidad, LDPC, (S503) la información L1 mediante un esquema de codificación LDPC que incluye un esquema de acortamiento y un esquema de perforación;
- 10 entrelazar por bits (S505) la información L1 codificada por LDPC que está acortada y perforada;
- formar la trama de señal incluyendo un preámbulo, datos de conexión de capa física, PLP, para suministrar un servicio de difusión que incluye flujos de audio y/o vídeo, y datos PLP comunes que incluyen información de capa 2 que describe el servicio de difusión transmitido por los datos PLP, en el que el preámbulo incluye la información L1 entrelazada por bits; y
- 15 modular (S509) la trama de señal; y
- 20 transmitir la trama de señal modulada a través de al menos un canal de radiofrecuencia RF, en el que la información L1 tiene información para señalar los datos PLP.

2. Método según la reivindicación 1, caracterizado porque la información L1 se codifica por corrección de errores según un modo corto de LDPC.

25 3. Método según la reivindicación 1, caracterizado porque la información L1 incluye al menos uno de una longitud de intervalo de seguridad, un número de bloques de codificación de corrección de errores en cada trama de señal, información de modulación de servicio y un identificador de célula.

30 4. Método para la recepción de una señal de difusión, caracterizado porque comprende el método:

- recibir (S511) una señal transmitida en una banda de radiofrecuencia RF que incluye al menos un canal de RF, en el que la señal incluye información de capa 1, L1, teniendo la información L1 un parámetro de transmisión física y configuración de señalización de una estructura de trama de señal,
- 35 demodular (S513) la señal recibida;
- analizar sintácticamente (S515) la trama de señal de la señal demodulada, en el que la trama de señal incluye un preámbulo, datos de conexión de capa física, PLP, para suministrar un servicio de difusión que incluye flujos de audio y/o vídeo, y datos PLP comunes que incluyen información de capa 2 que describe el servicio de difusión transmitido por los datos PLP, en el que el preámbulo incluye la información L1;
- 40 desentrelazar por bits (S517) la información L1;
- 45 decodificar por comprobación de paridad de baja densidad, LDPC, (S519) la información L1 desentrelazada por bits usando un esquema de decodificación LDPC que incluye esquemas inversos a un esquema de acortamiento y un esquema de perforación; y
- 50 decodificar (S521) los datos PLP a partir de la trama de señal usando la información L1 decodificada por LDPC en el preámbulo.

5. Método según la reivindicación 4, caracterizado porque la información L1 se codifica por corrección de errores según un modo corto de LDPC.

55 6. Método según la reivindicación 4, caracterizado porque la información L1 incluye al menos uno de una longitud de intervalo de seguridad, un número de bloques de codificación de corrección de errores en cada trama de señal, información de modulación de servicio y un identificador de célula.

7. Aparato para la transmisión de una señal de difusión, caracterizado porque comprende el aparato:

- 60 medios (1301) para generar información de capa 1, L1, que tiene un parámetro de transmisión física y configuración de señalización de una estructura de trama de señal;
- medios (1303) para
- 65 realizar codificación por comprobación de paridad de baja densidad, LDPC, de la información L1 usando un

esquema de codificación LDPC que incluye un esquema de acortamiento y un esquema de perforación, y entrelazar por bits la información L1 codificada por LDPC que está acortada y perforada;

5 medios (130) para formar la trama de señal incluyendo un preámbulo, datos de conexión de capa física, PLP, para suministrar un servicio de difusión que incluye flujos de audio y/o vídeo, y datos PLP comunes que incluyen información de capa 2 que describe el servicio de difusión transmitido por los datos PLP, en el que el preámbulo incluye la información L1 entrelazada por bits; y

10 medios (150a, 150r) para modular la trama de señal; y

medios (160a, 160r) para transmitir la trama de señal modulada a través de al menos un canal de radiofrecuencia RF, en el que la información L1 tiene información para señalar los datos PLP.

15 8. Aparato según la reivindicación 7, caracterizado porque el codificador (1303) de información incluye:

medios (1311) para realizar una codificación de Bose-chaudhuri-Hocquenghem, BCH, con respecto a la información L1;

20 medios (1313) para entrelazar los bits codificados por BCH;

medios (1315) para realizar codificación LDPC de los bits entrelazados según dicho esquema de acortamiento y dicho esquema de perforación; y

25 medios (1317) para entrelazar los bits codificados por LDPC.

9. Aparato según la reivindicación 8, caracterizado porque la información L1 se codifica por corrección de errores según un modo corto del esquema de codificación LPDC.

30 10. Aparato para la recepción de una señal de difusión, caracterizado porque comprende el aparato:

medios (210a, 210n) para recibir una señal transmitida en una banda de radiofrecuencia (RF) que incluye al menos un canal RF, en el que la señal incluye información de capa 1, L1, teniendo la información L1 un parámetro de transmisión física y configuración de señalización de una estructura de trama de señal;

35 medios (220a, 220n) para demodular la señal recibida;

medios (240) para analizar sintácticamente la trama de señal de la señal demodulada, en el que la trama de señal incluye un preámbulo, datos de conexión de capa física, PLP, para suministrar un servicio de difusión que incluye flujos de audio y/o vídeo, y datos PLP comunes que incluyen información de capa 2 que describe el servicio de difusión transmitido por los datos PLP, en el que el preámbulo incluye la información L1;

40 medios (2401) para

45 desentrelazar la información L1 de la trama de señal de la señal demodulada y

realizar una decodificación de comprobación de paridad de baja densidad, LDPC, de los bits desentrelazados según un esquema de decodificación LDPC que incluye esquemas inversos a un esquema de acortamiento y un esquema de perforación;

50 medios (2403) para extraer la información de capa 1 decodificada por LDPC; y

medios (240) para decodificar los datos PLP de la trama de señal usando la información de capa 1 extraída.

55 11. Aparato según la reivindicación 10, caracterizado porque el decodificador (2401) de información incluye:

medios (2411) para desentrelazar la información de capa 1;

60 medios (2413) para realizar la decodificación LPDC con respecto a los bits desentrelazados según los esquemas inversos al esquema de acortamiento y al esquema de perforación;

medios (2415) para desentrelazar los bits decodificados por LDPC; y

65 medios (2417) para realizar decodificación BCH con respecto a los bits decodificados por LDPC desentrelazados.

FIG. 1

	RF 1	RF 2	RF 3	RF 4
	17	12	7	Servicio 2
	16	11	6	Servicio 2
	15	10	5	Servicio 1
	14	9	4	Servicio 1
	13	8	Servicio 3	Servicio 1
	12	7	Servicio 2	17
	11	6	Servicio 2	16
	10	5	Servicio 1	15
	9	4	Servicio 1	14
	8	Servicio 3	Servicio 1	13
	7	Servicio 2	17	12
	6	Servicio 2	16	11
	5	Servicio 1	15	10
	4	Servicio 1	14	9
	Servicio 3	Servicio 1	13	8
	Servicio 2	17	12	7
	Servicio 2	16	11	6
	Servicio 1	15	10	5
	Servicio 1	14	9	4
	Servicio 1	13	8	Servicio 3
	P2	P2	P2	P2
	P1	P1	P1	P1

Tiempo
(no a escala)

FIG. 2

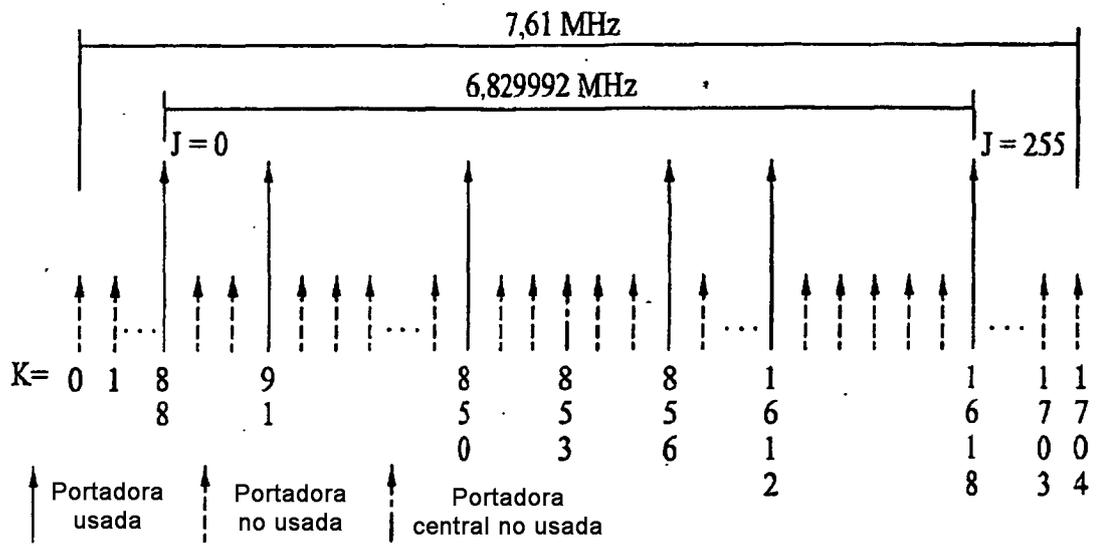


FIG. 3

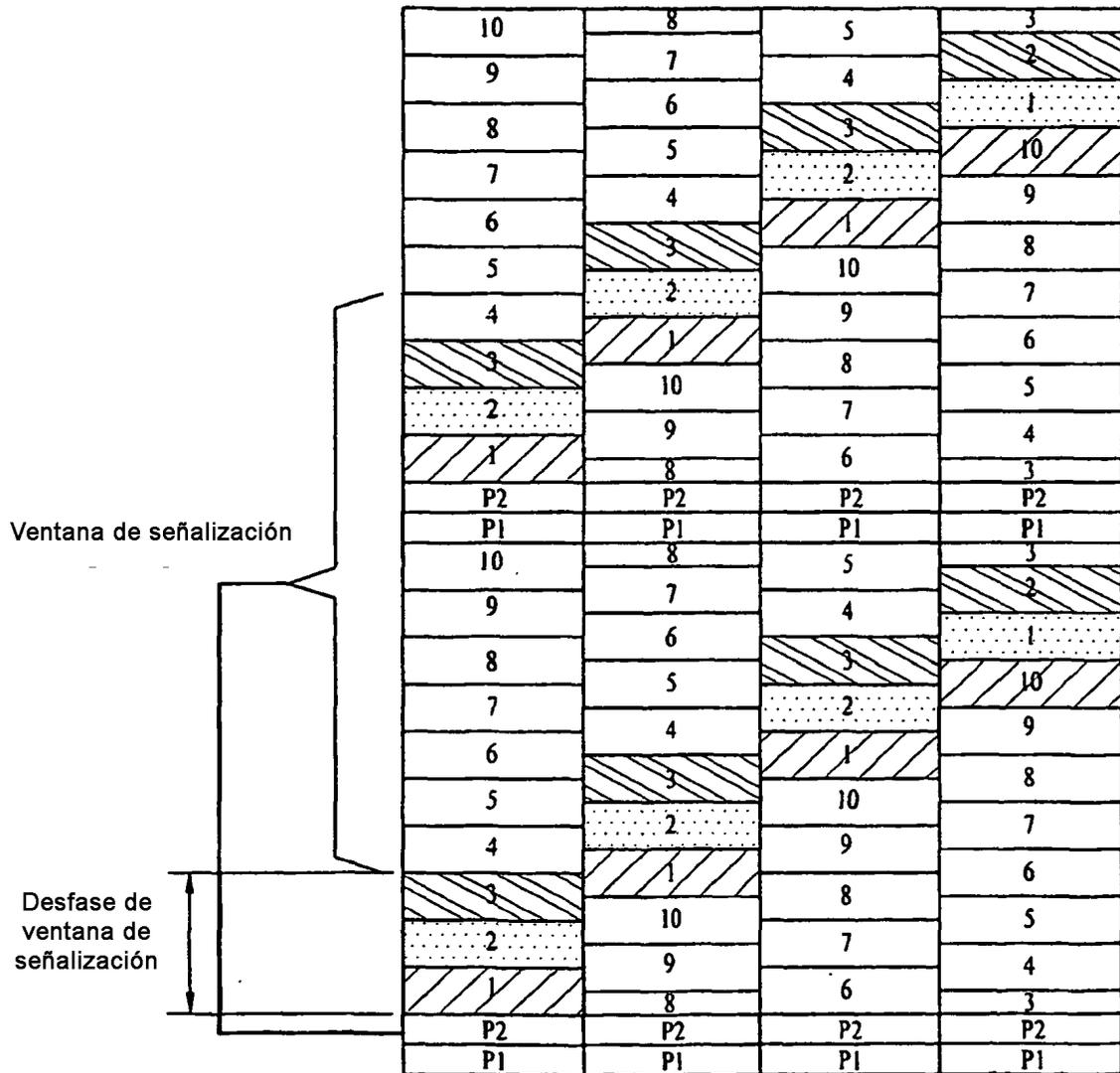


FIG. 4

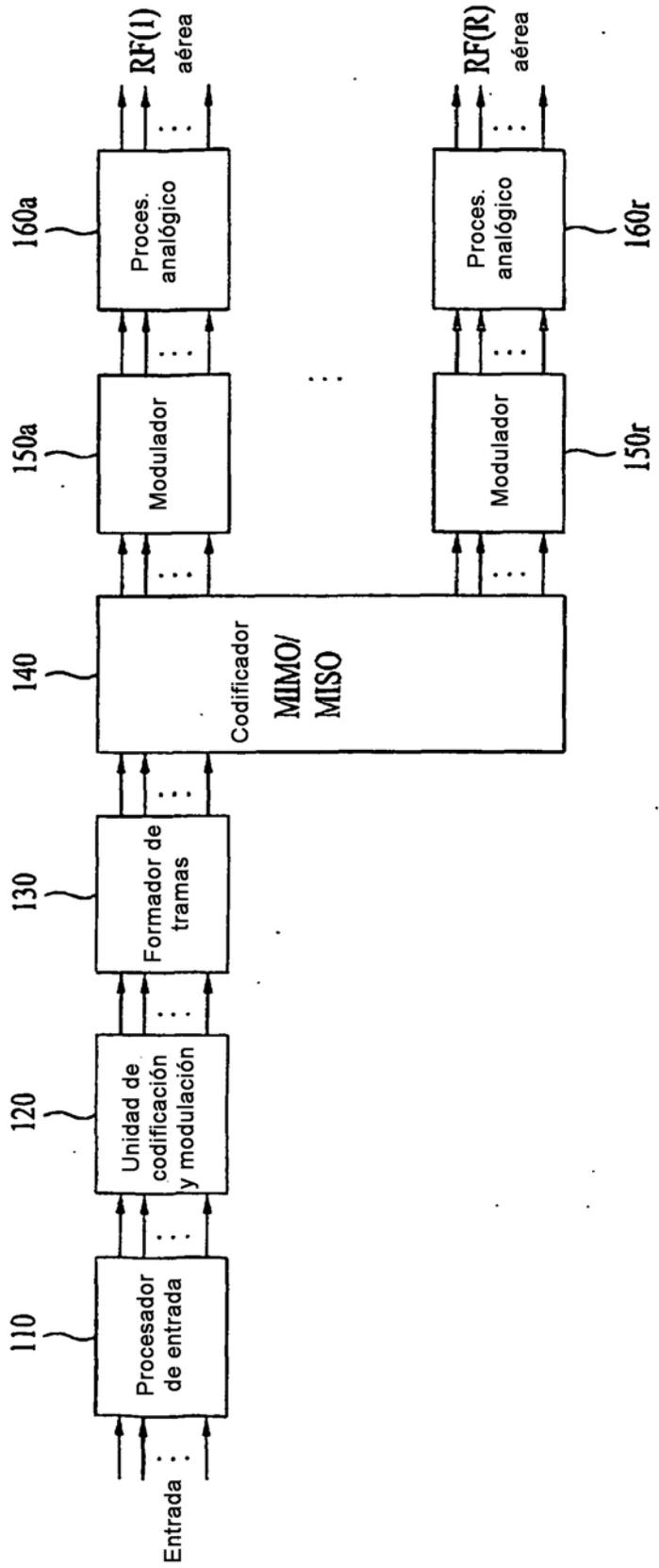


FIG. 5

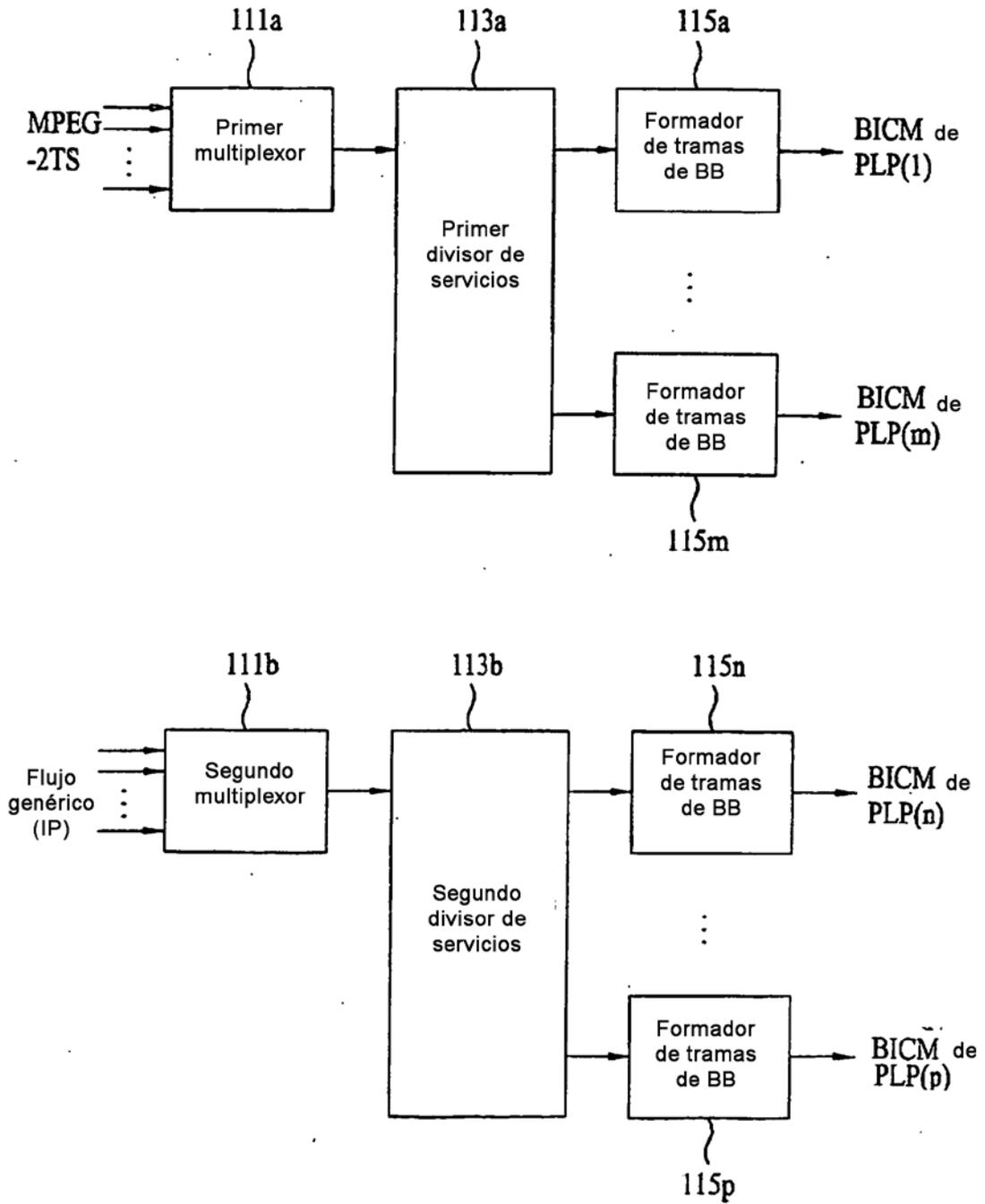


FIG. 6

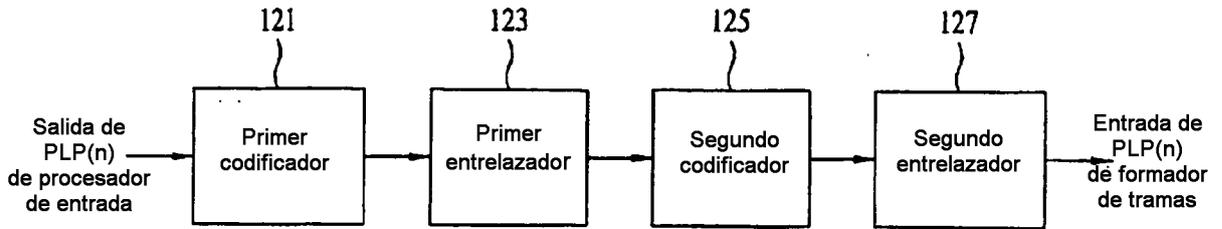


FIG. 7

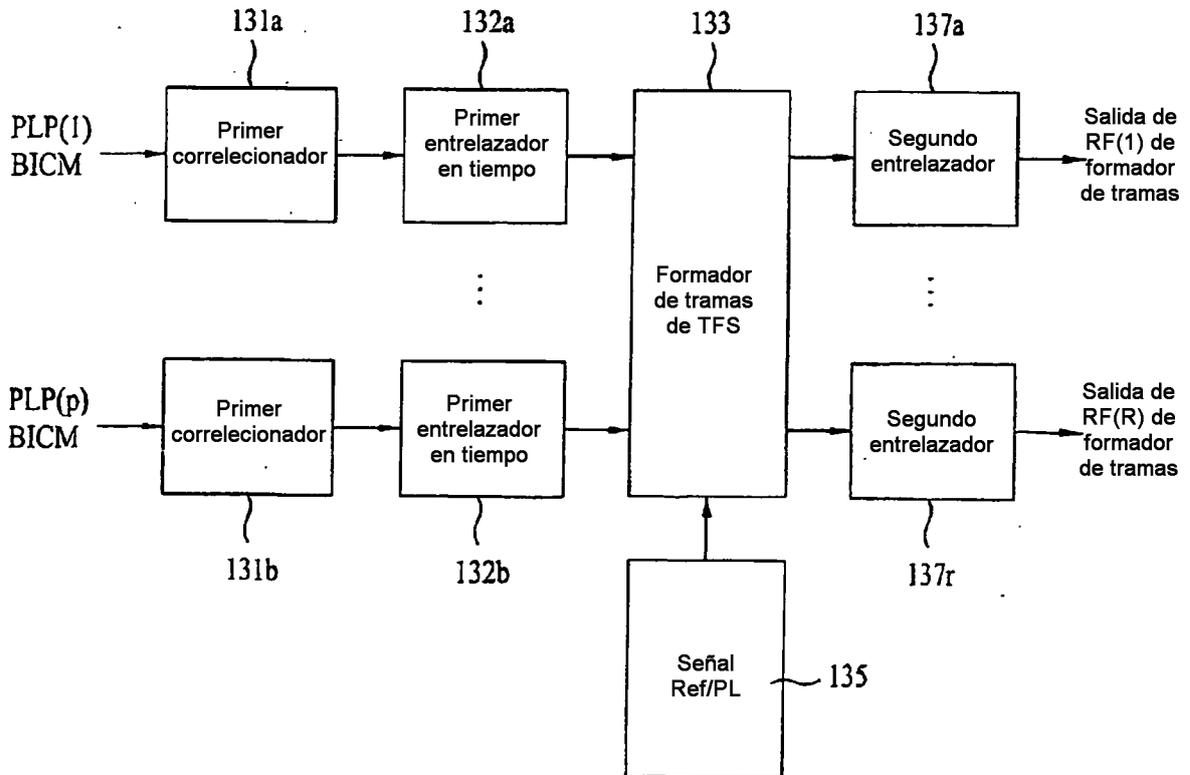


FIG. 8

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	1	64800	0	8100	0	8100	8
Hyb 128-QAM	3/5	38880	25920	4860	4320	9180	7,0588
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1	64800	0	16200	0	16200	4
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2

FIG. 9

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	1	16200	0	2025	0	2025	8
Hyb 128-QAM	3/5	9720	6480	1215	1080	2295	7,0588
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1	16200	0	4050	0	4050	4
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2

FIG. 10

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	8/9	57600	7200	7200	1200	8400	7,714285714
Hyb 128-QAM	4/9	28800	36000	3600	6000	9600	6,75
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	5/9	36000	28800	6000	7200	13200	4,909090909
16-QAM	1/9	7200	57600	1200	14400	15600	4,153846154
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
					GCD	1200	

FIG. 11

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	4/5	51840	12960	6480	2160	8640	7,5
Hyb 128-QAM	8/15	34560	30240	4320	5040	9360	6,923076923
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1/15	4320	60480	720	15120	15840	4,090909091
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
					GCD	720	

FIG. 12

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	44/45	63360	1440	7920	240	8160	7,941176471
Hyb 128-QAM	28/45	40320	24480	5040	4080	9120	7,105263158
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1/15	4320	60480	720	15120	15840	4,090909091
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
GCD						240	

FIG. 13

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	8/9	14400	1800	1800	300	2100	7,714285714
Hyb 128-QAM	4/9	7200	9000	900	1500	2400	6,75
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	5/9	9000	7200	1500	1800	3300	4,909090909
16-QAM	1/9	1800	14400	300	3600	3900	4,153846154
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
GCD						300	

FIG. 14

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	4/5	12960	3240	1620	540	2160	7,5
Hyb 128-QAM	8/15	8640	7560	1080	1260	2340	6,923076923
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1/15	1080	15120	180	3780	3960	4,090909091
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
					GCD	180	

FIG. 15

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	44/45	15840	360	1980	60	2040	7,941176471
Hyb 128-QAM	28/45	10080	6120	1260	1020	2280	7,105263158
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1/15	1080	15120	180	3780	3960	4,090909091
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
				GCD		60	

FIG. 16

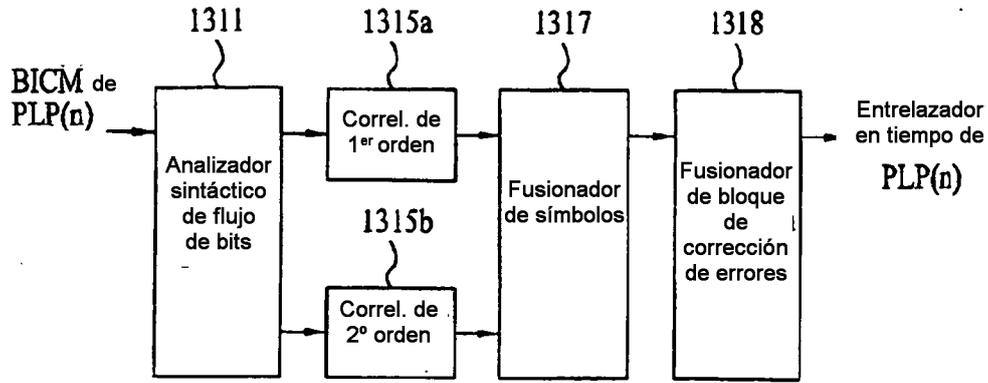


FIG. 17

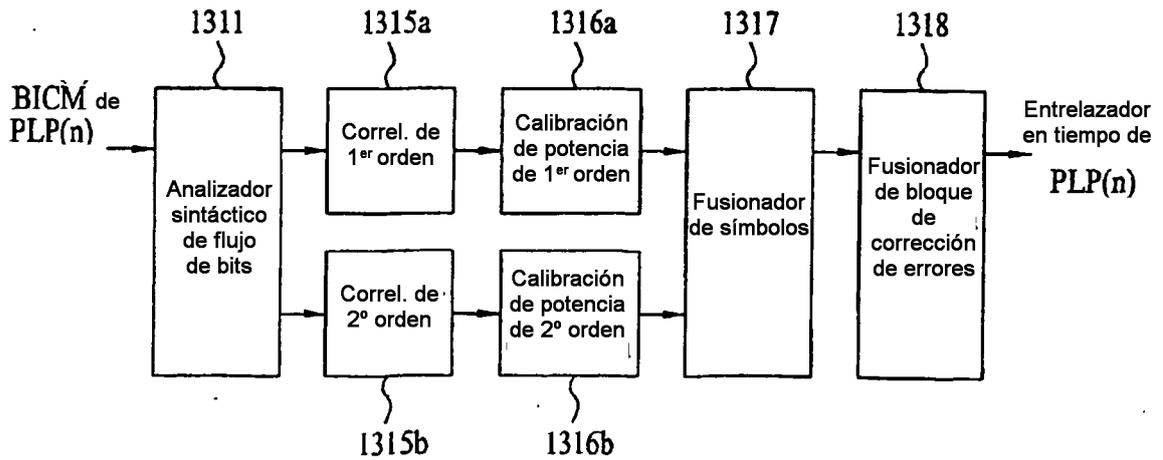


FIG. 18

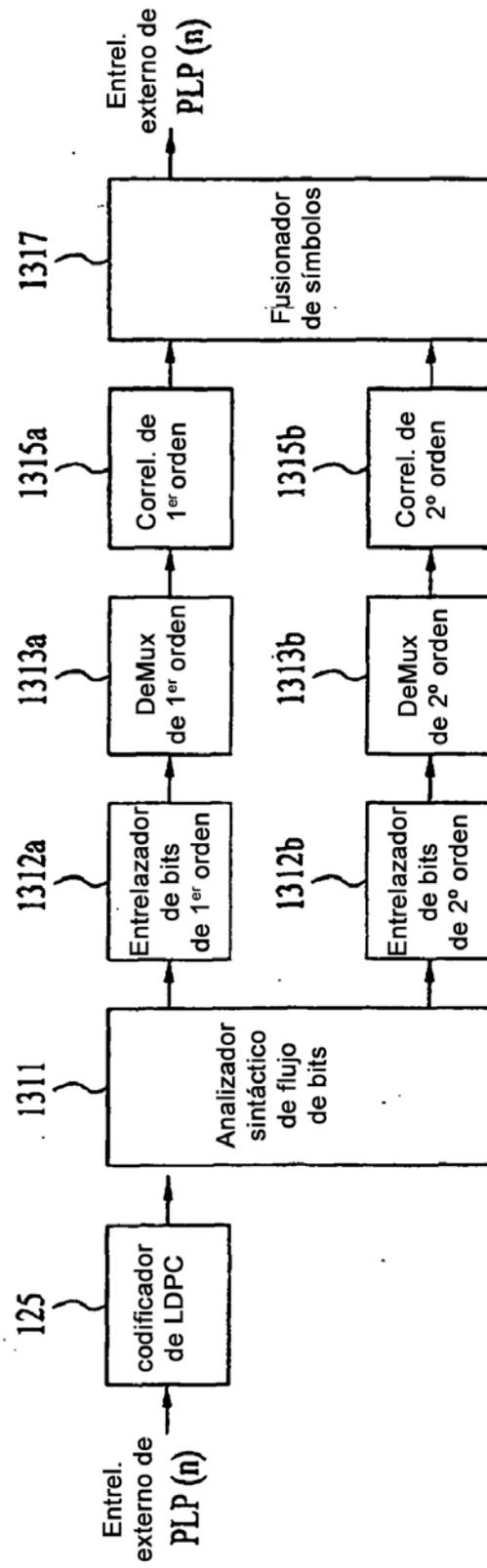


FIG. 19

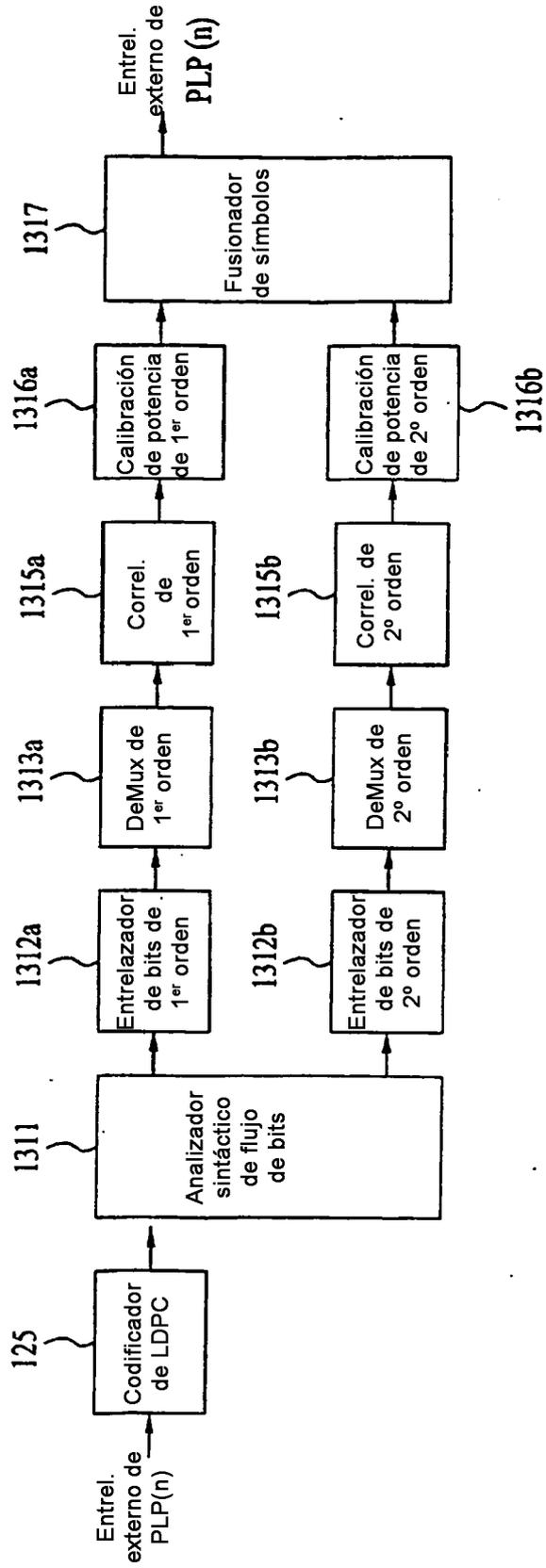


FIG. 20

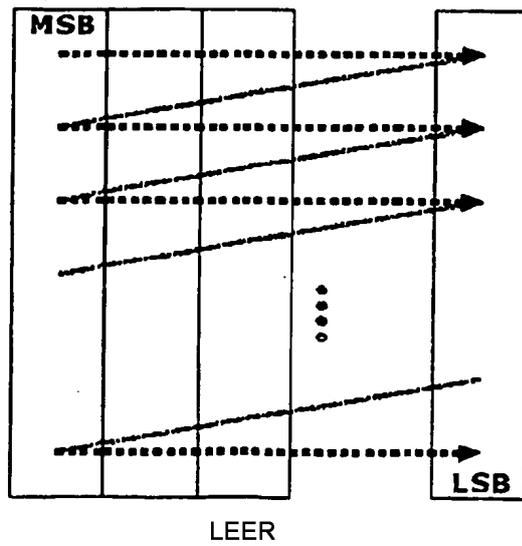
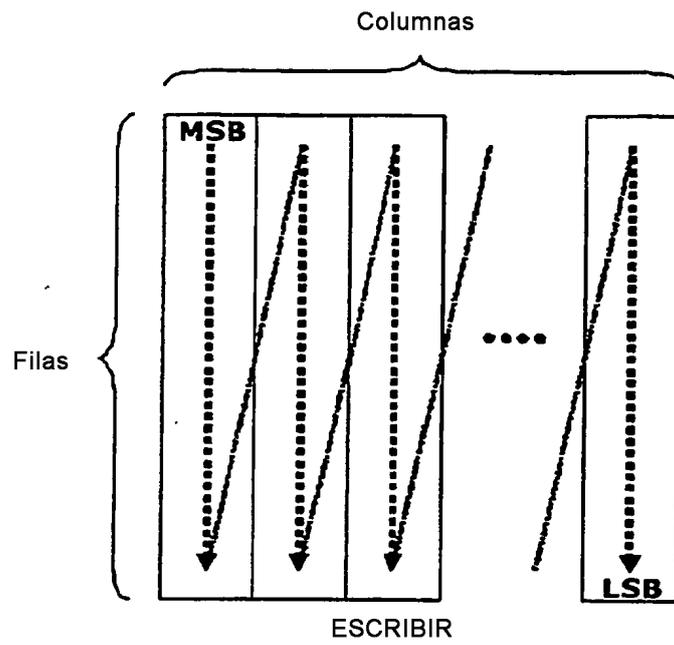


FIG. 21

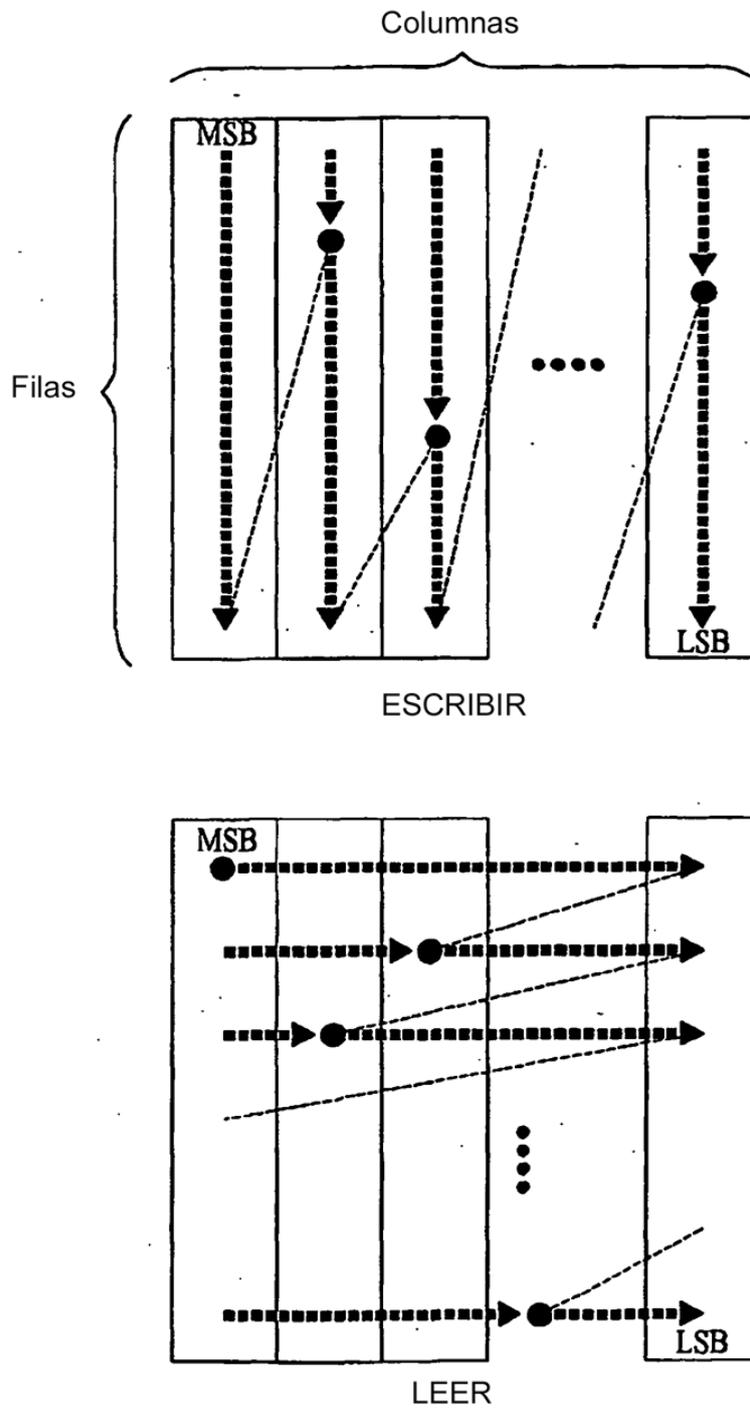


FIG. 22

QAM	nCol	Col 1	Col 2	Col 3	Col 4	Col 5	Col 6	Col 7	Col 8
QPSK	2	0	2	-	-	-	-	-	-
16QAM	4	0	2	4	7	-	-	-	-
64QAM	6	0	2	5	9	10	13	-	-
256QAM	8	0	0	2	4	4	5	7	7

FIG. 23

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	8100	8		
Hyb 128-QAM	4860	8	4320	6
64-QAM	10800	6		
Hyb 32-QAM	6480	6	6480	4
16-QAM	16200	4		
Hyb 8-QAM	10800	4	10800	2
4-QAM	32400	2		

FIG. 24

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	2025	8		
Hyb 128-QAM	1215	8	1080	6
64-QAM	2700	6		
Hyb 32-QAM	1620	6	1620	4
16-QAM	4050	4		
Hyb 8-QAM	2700	4	2700	2
4-QAM	8100	2		

FIG. 25

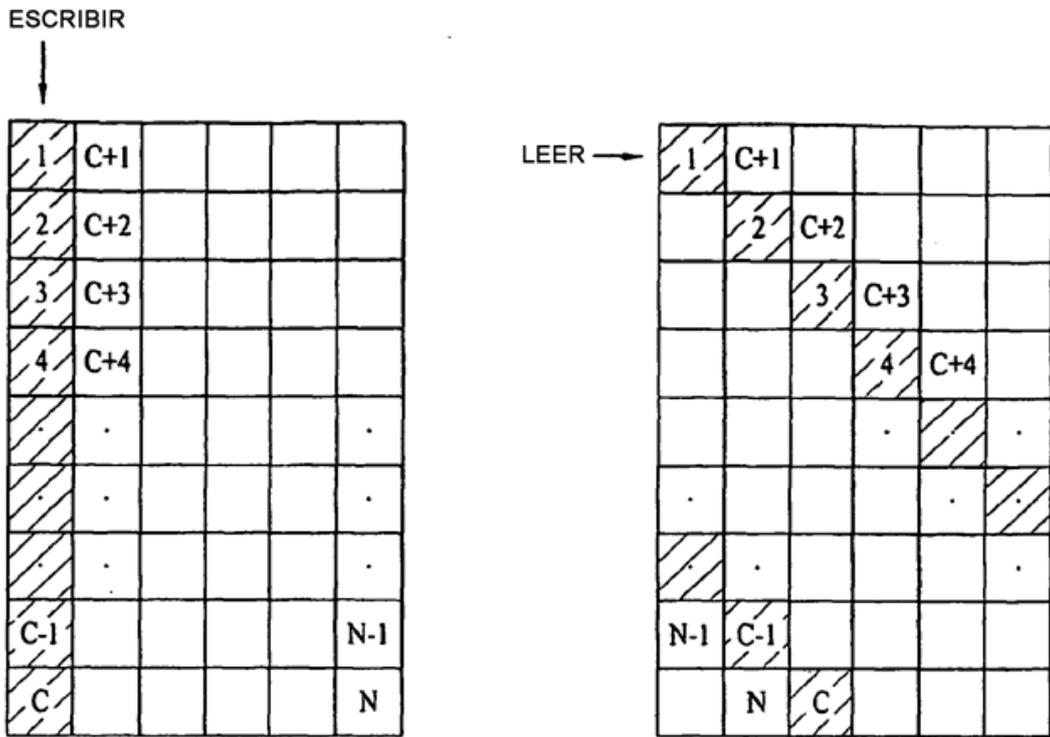


FIG. 26

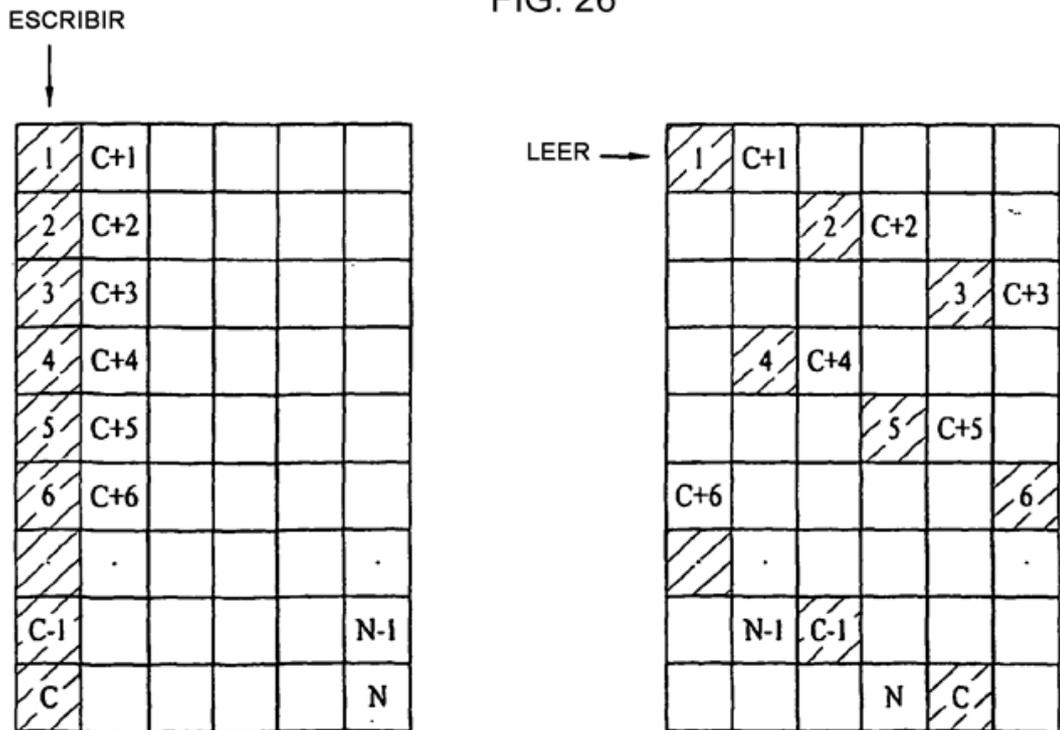


FIG. 27

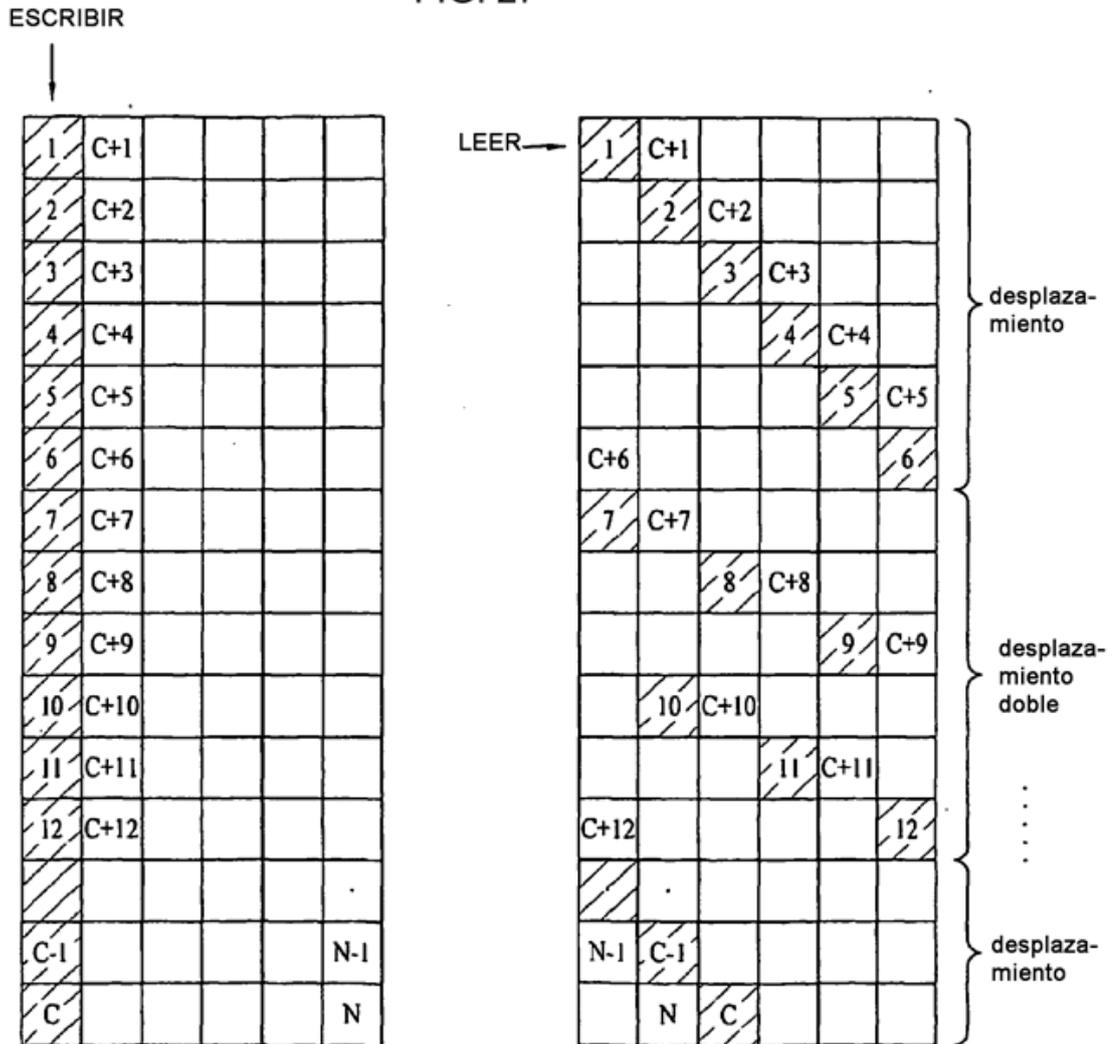


FIG. 28

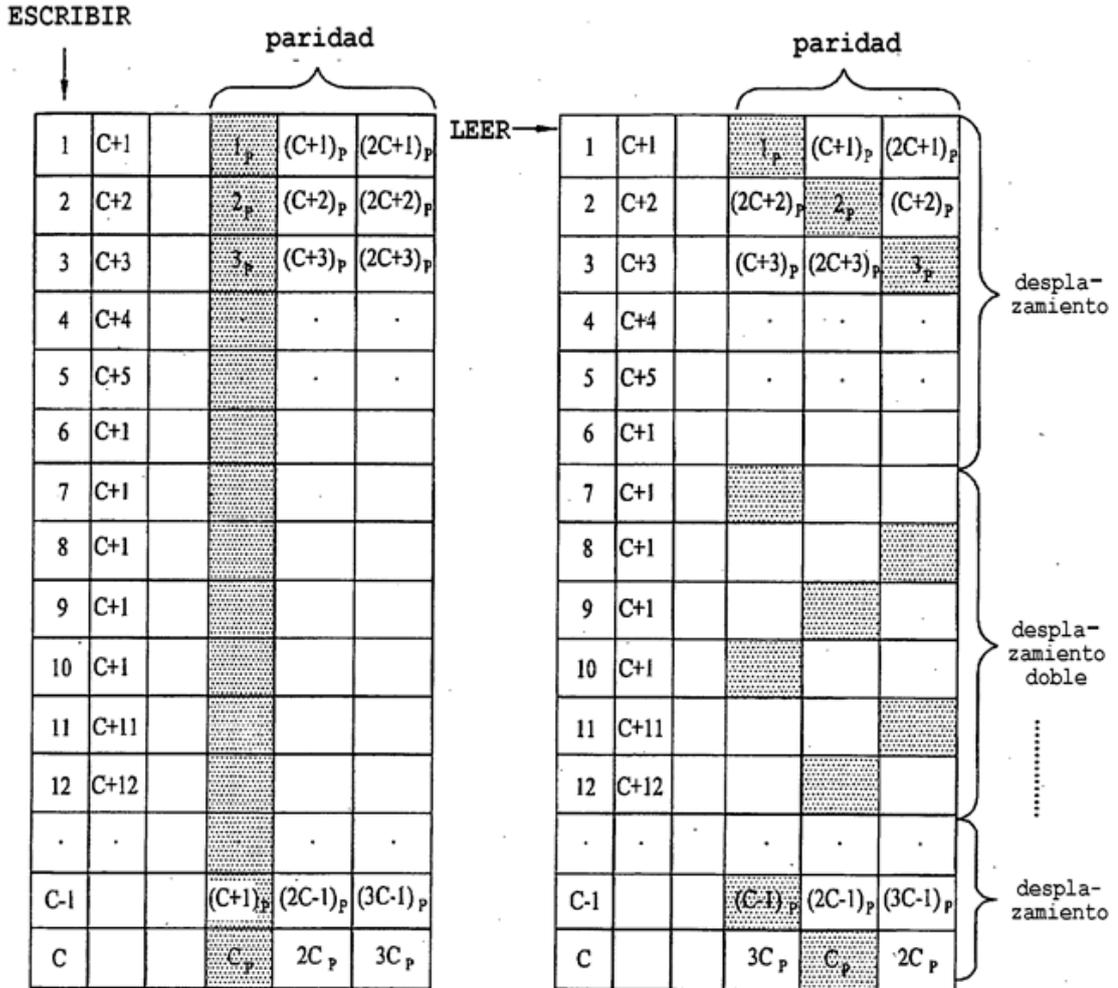


FIG. 29

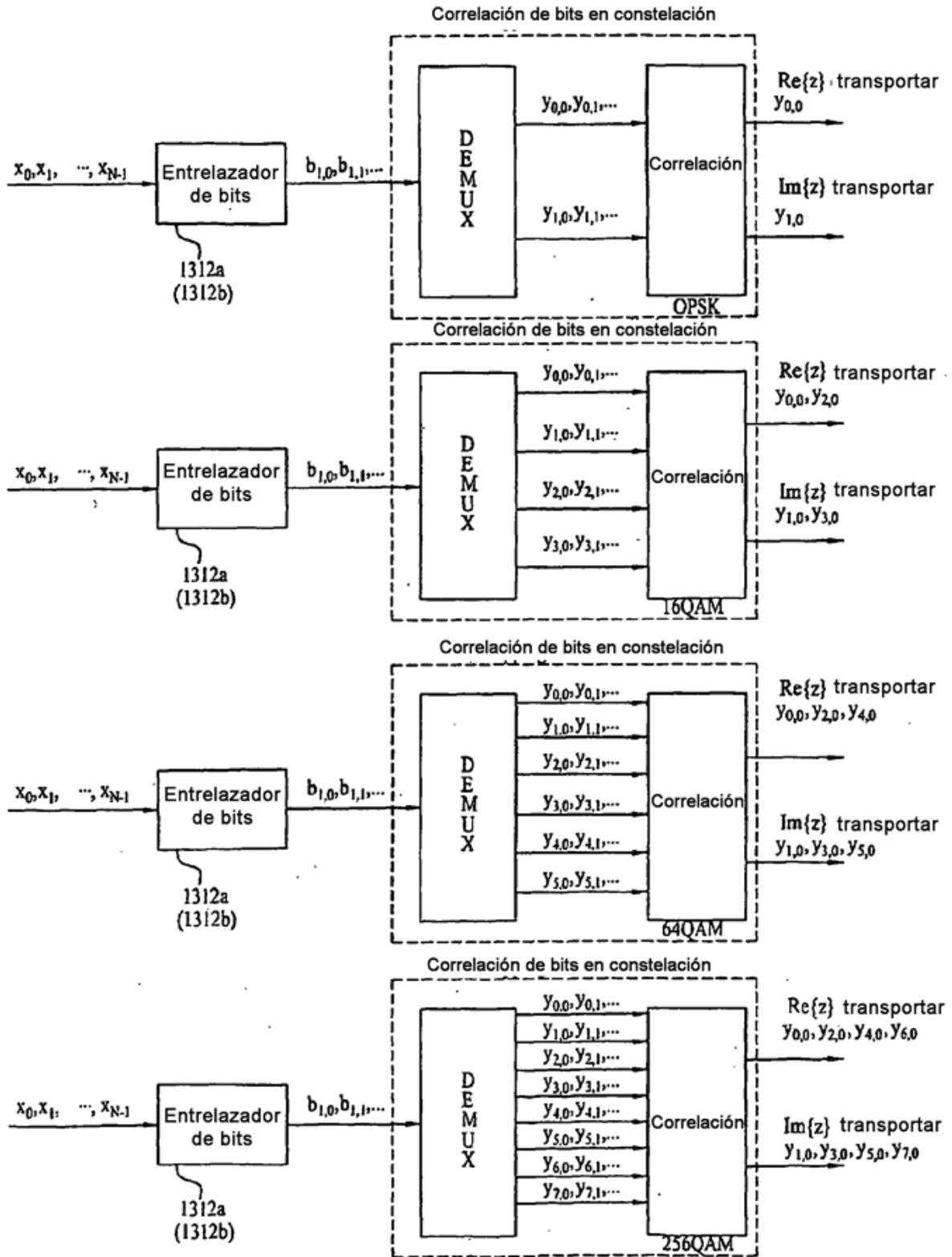


FIG. 30

QPSK
$b_{0\text{se corr. cony}0,0}$ $b_{0\text{se corr. cony}1,0}$

16-QAM
$b_{0\text{se corr. cony}2,0}$ $b_{1\text{se corr. cony}3,0}$ $b_{2\text{se corr. cony}0,0}$ $b_{3\text{se corr. cony}1,0}$

64-QAM
$b_{0\text{se corr. cony}4,0}$ $b_{1\text{se corr. cony}5,0}$ $b_{2\text{se corr. cony}2,0}$ $b_{3\text{se corr. cony}3,0}$ $b_{4\text{se corr. cony}0,0}$ $b_{5\text{se corr. cony}1,0}$

256-QAM
$b_{0\text{se corr. cony}6,0}$ $b_{1\text{se corr. cony}7,0}$ $b_{2\text{se corr. cony}4,0}$ $b_{3\text{se corr. cony}5,0}$ $b_{4\text{se corr. cony}2,0}$ $b_{5\text{se corr. cony}3,0}$ $b_{6\text{se corr. cony}0,0}$ $b_{7\text{se corr. cony}1,0}$

FIG. 32

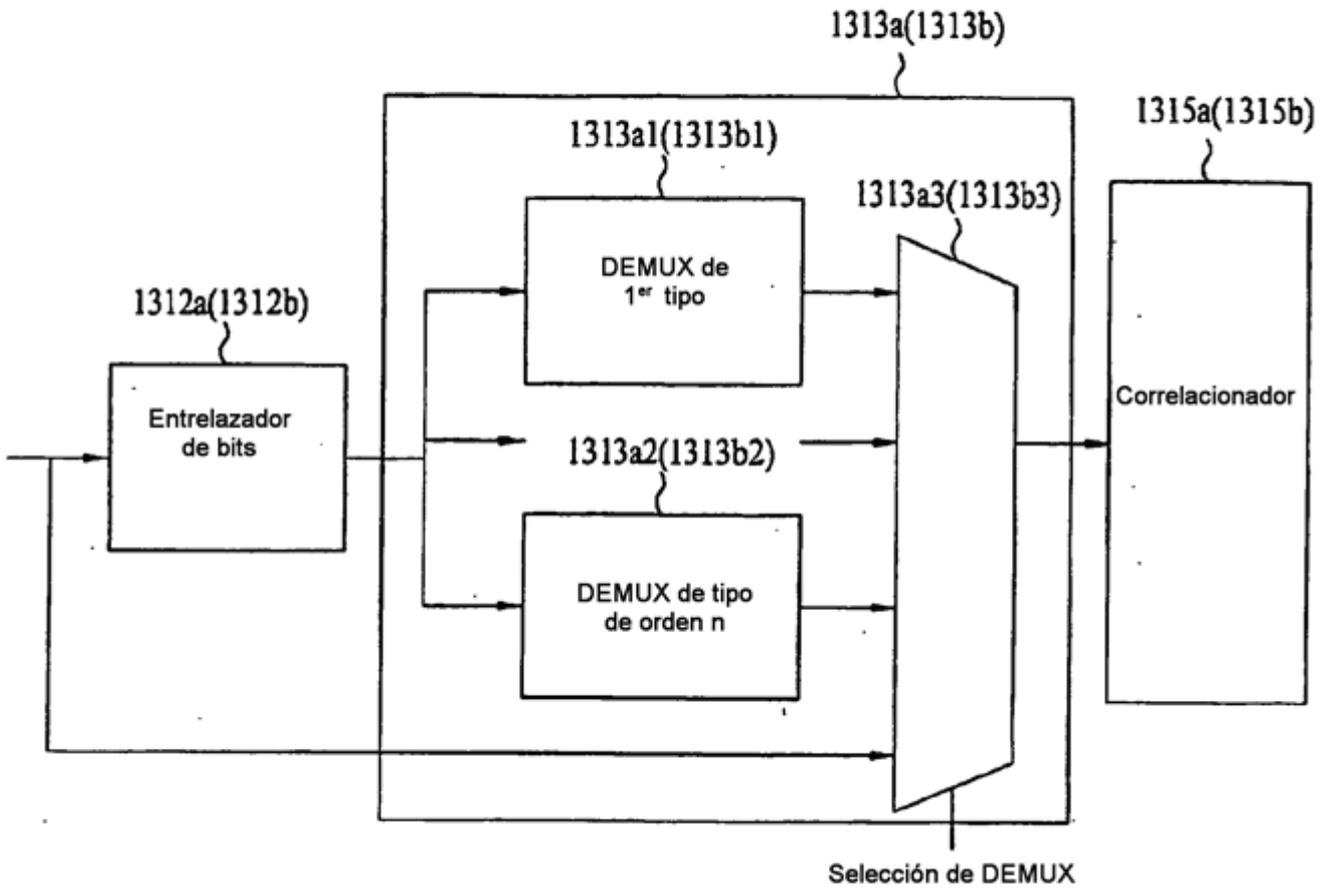


FIG. 33

qam	cr	selección DEMUX
4-qam	1/4	todos
	1/3	todos
	2/5	todos
	1/2	todos
	3/5	todos
	2/3	todos
	3/4	todos
	4/5	todos
	5/6	todos
	8/9	todos
9/10	todos	
16-qam	1/4	No entrel., no demux
	1/3	No entrel., no demux
	2/5	No entrel., no demux
	1/2	No entrel., no demux
	3/5	9, 10 ó 12
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
64-qam	1/4	No entrel., no demux
	1/3	No entrel., no demux
	2/5	No entrel., no demux
	1/2	No entrel., no demux
	3/5	9, ó 10
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
256-qam	1/4	No entrel., no demux
	1/3	No entrel., no demux
	2/5	No entrel., no demux
	1/2	No entrel., no demux
	3/5	9
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	

FIG. 34

$$\text{QPSK} : i = 0, 1, 2, \dots, \frac{N}{2} - 1,$$

$$(y_{0,i}, y_{0,i}) = (x_i, x_{N/2+i}),$$

$$\text{16-QAM} : i = 0, 1, 2, \dots, \frac{N}{4} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}) = \left\{ x_{\frac{2N}{4}+i}, x_{\frac{3N}{4}+i}, x_i, x_{\frac{N}{4}+i} \right\}$$

$$\text{64-QAM} : i = 0, 1, 2, \dots, \frac{N}{6} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}) = \left\{ x_{\frac{4N}{6}+i}, x_{\frac{5N}{6}+i}, x_{\frac{2N}{6}+i}, x_{\frac{3N}{6}+i}, x_i, x_{\frac{N}{6}+i} \right\}$$

$$\text{256-QAM} : i = 0, 1, 2, \dots, \frac{N}{8} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}, y_{6,i}, y_{7,i}) = \left\{ x_{\frac{6N}{8}+i}, x_{\frac{7N}{8}+i}, x_{\frac{4N}{8}+i}, x_{\frac{5N}{8}+i}, x_{\frac{2N}{8}+i}, x_{\frac{3N}{8}+i}, x_i, x_{\frac{N}{8}+i} \right\}$$

FIG. 35

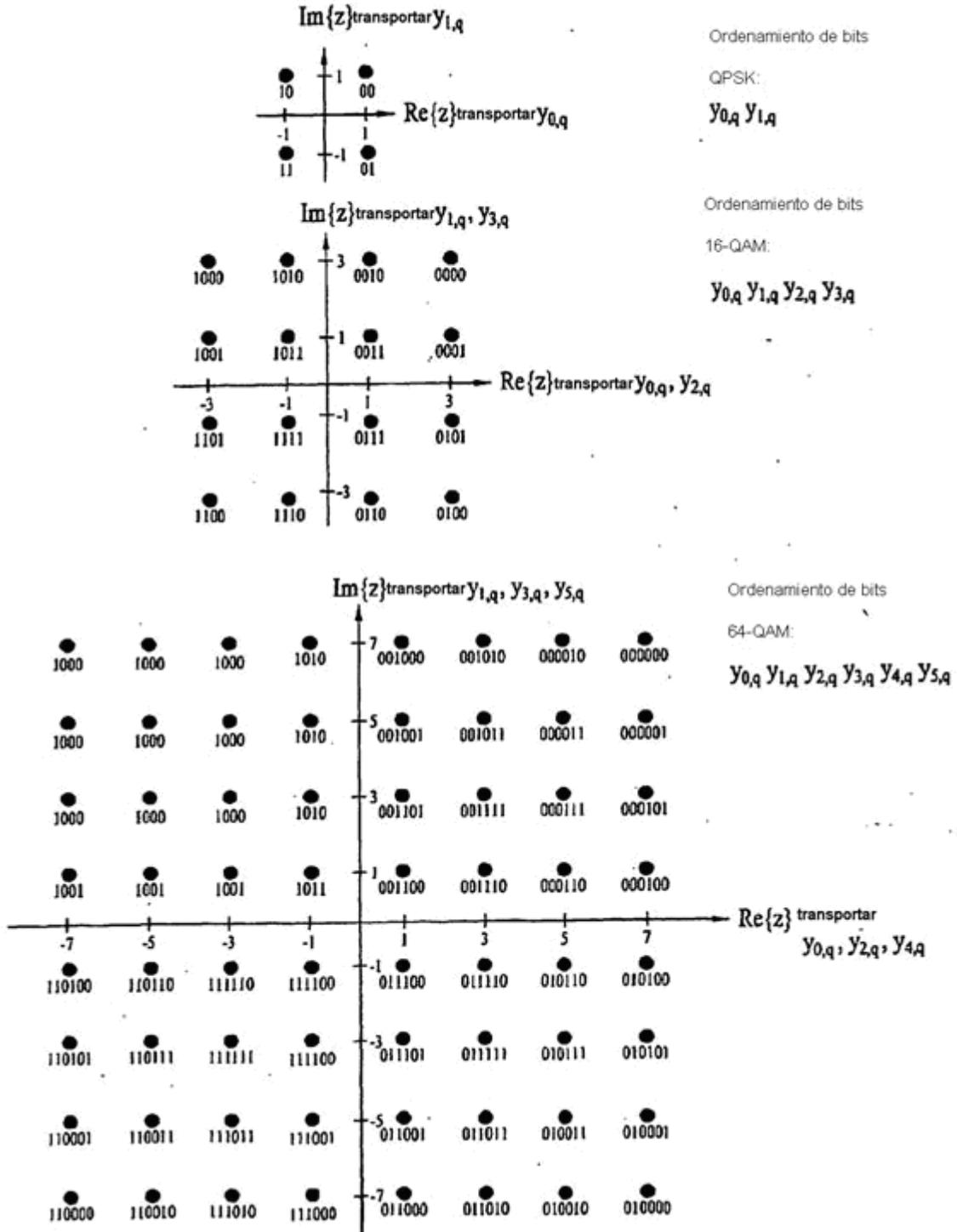


FIG. 36

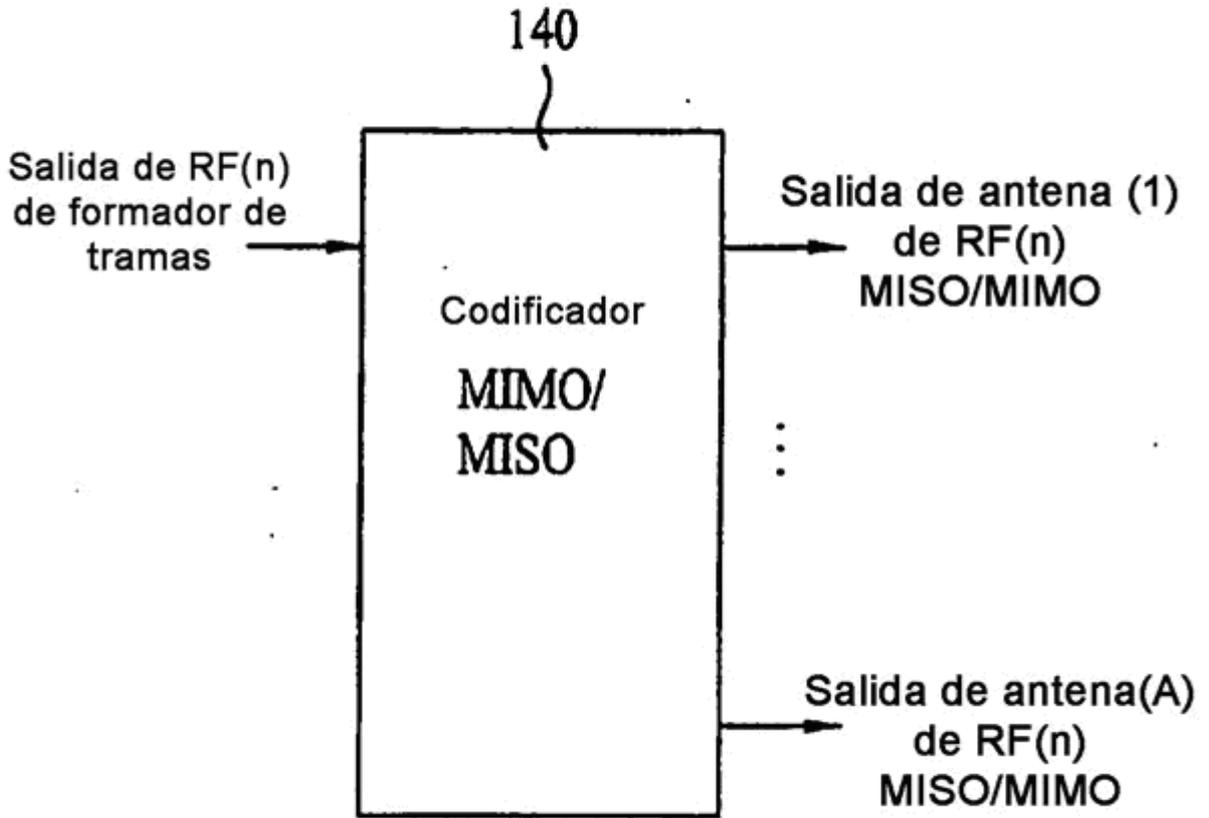


FIG. 37

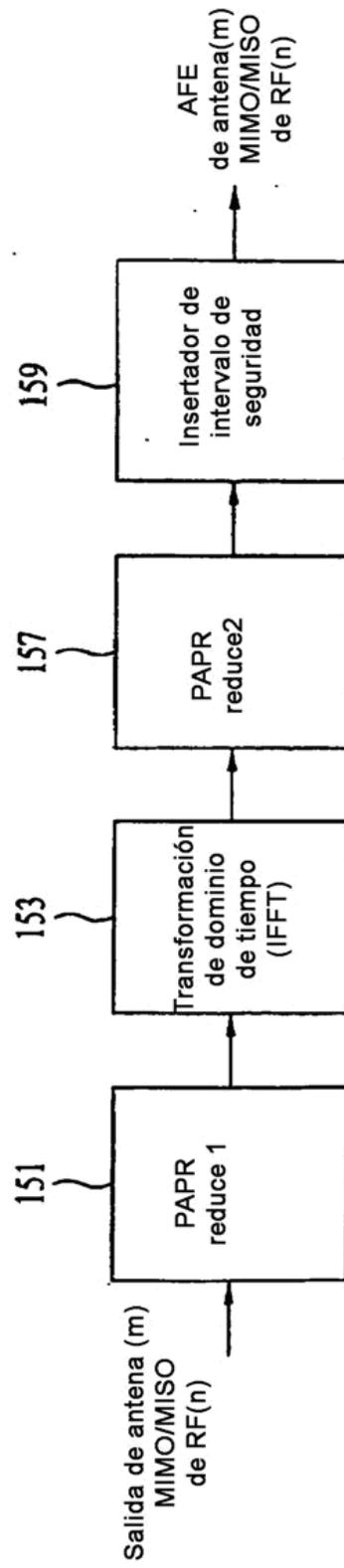


FIG. 38

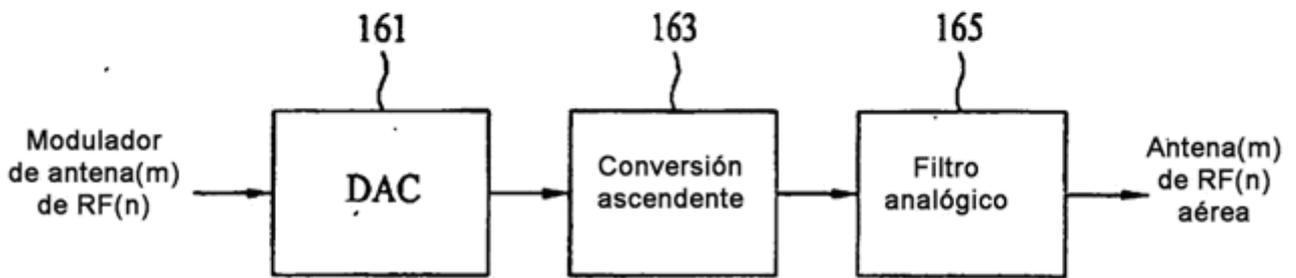


FIG. 39

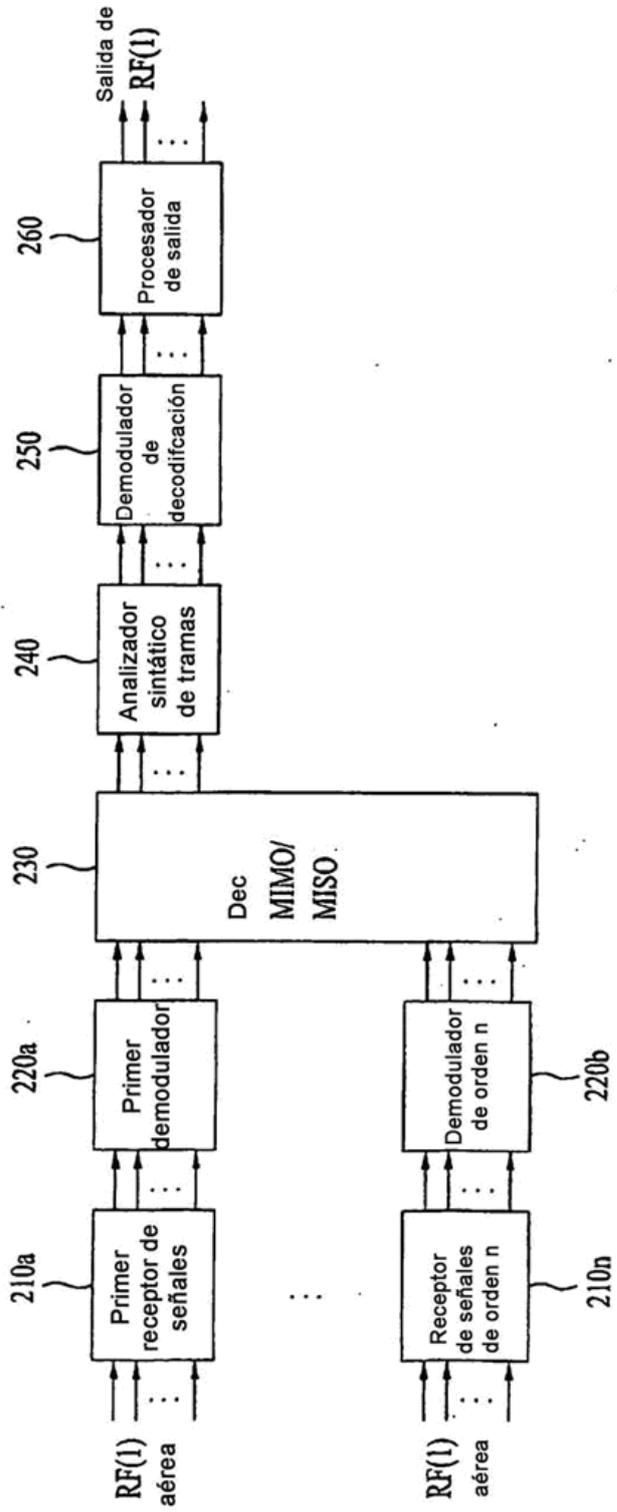


FIG. 40

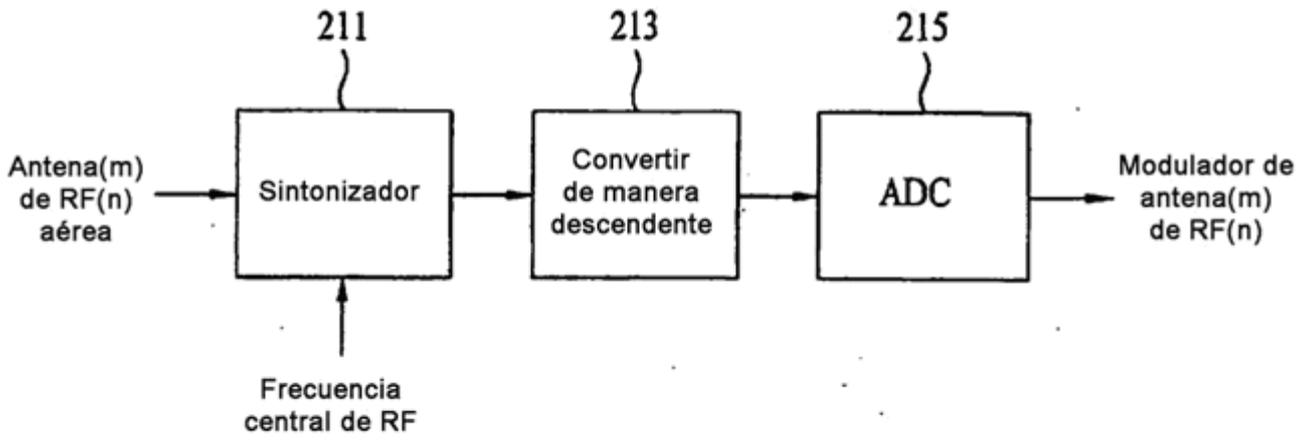


FIG. 41

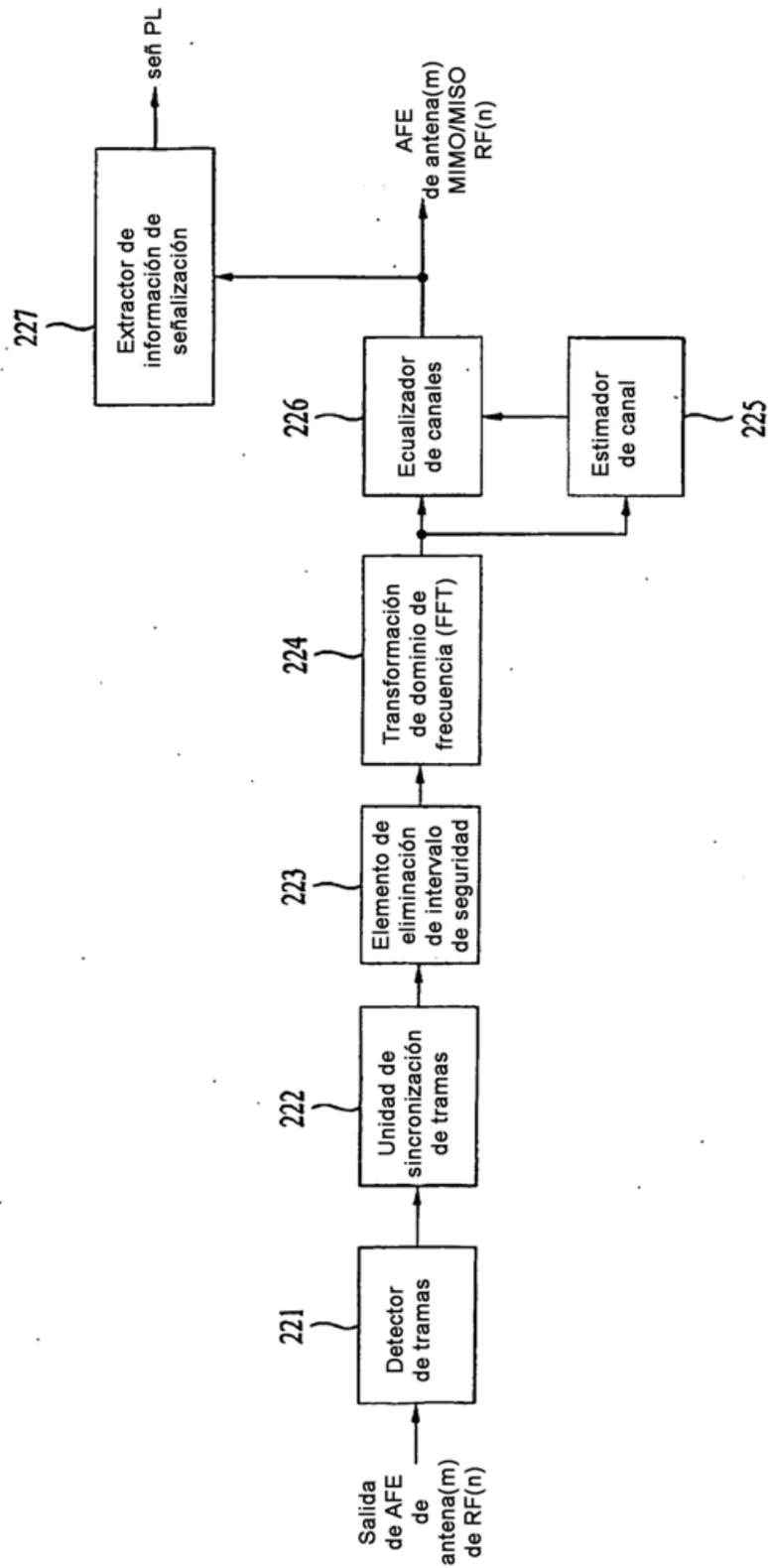


FIG. 42

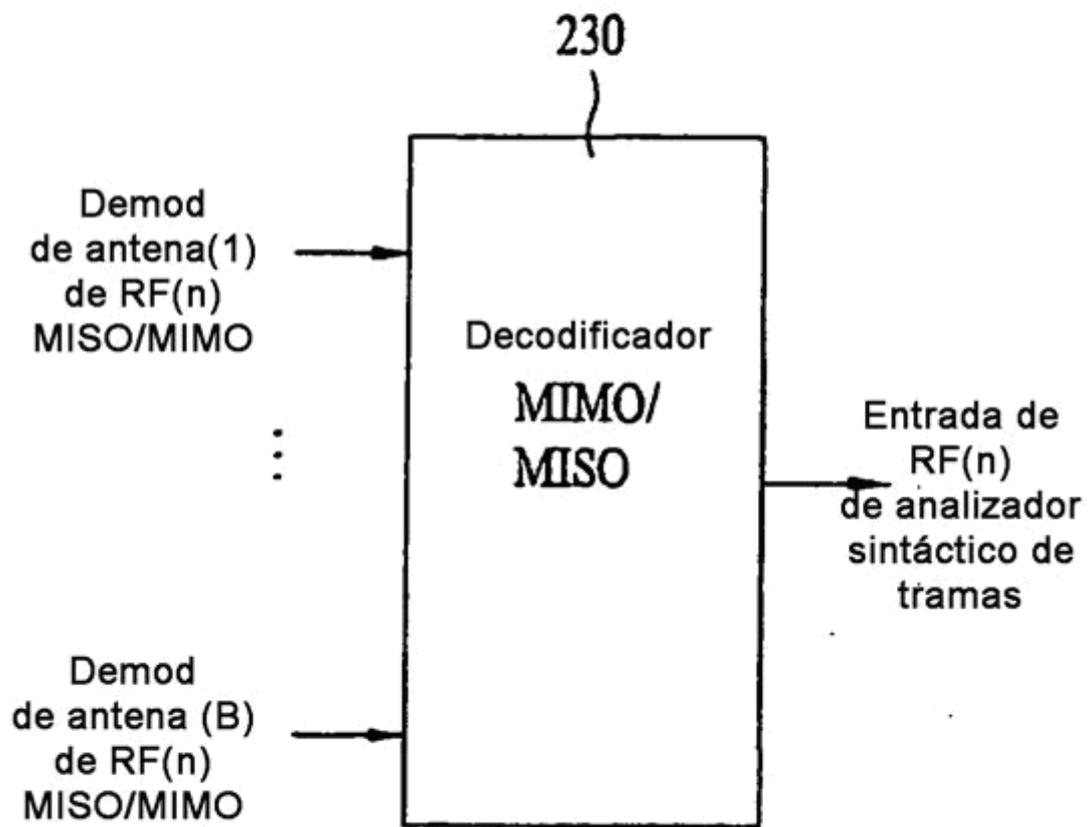


FIG. 43

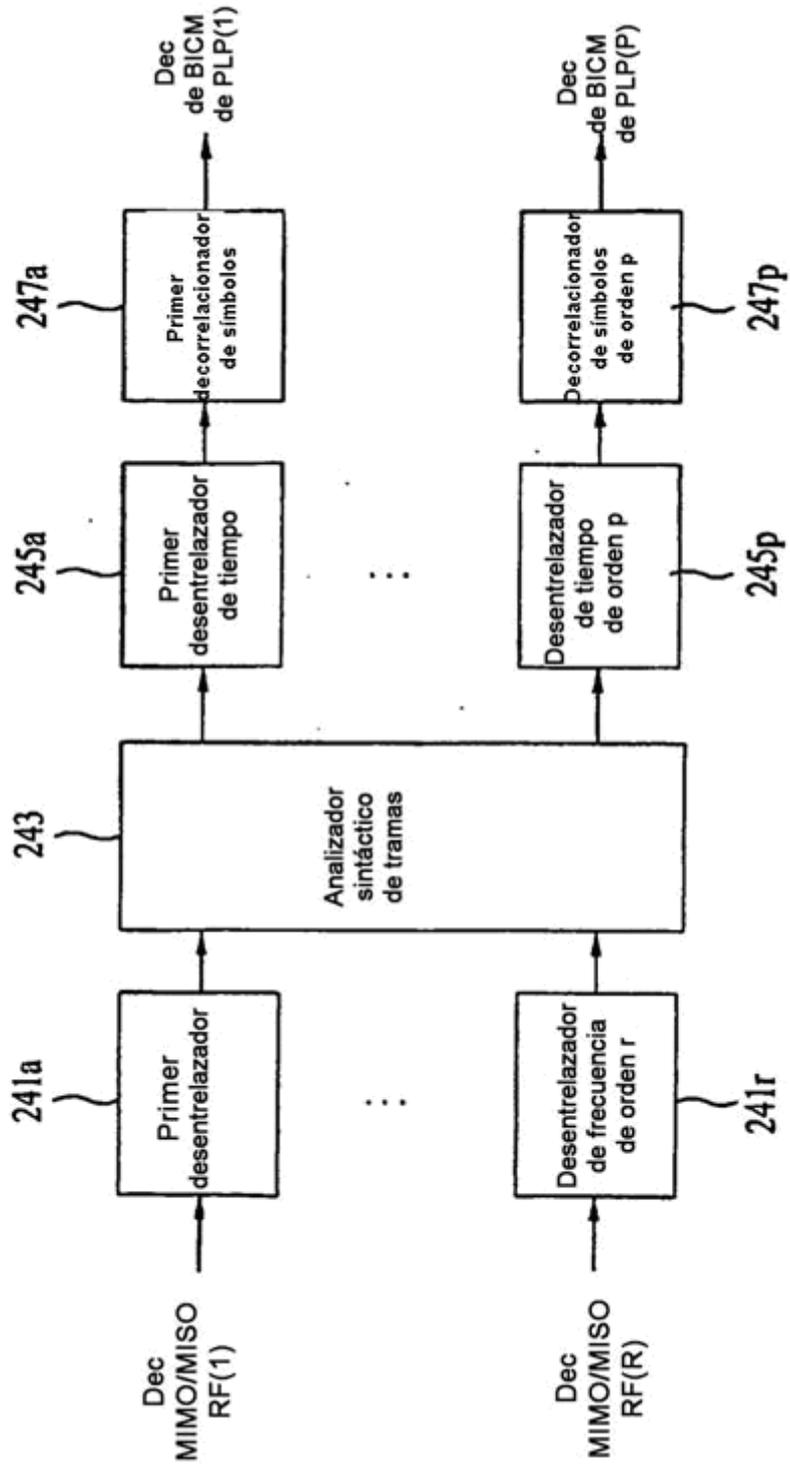


FIG. 44

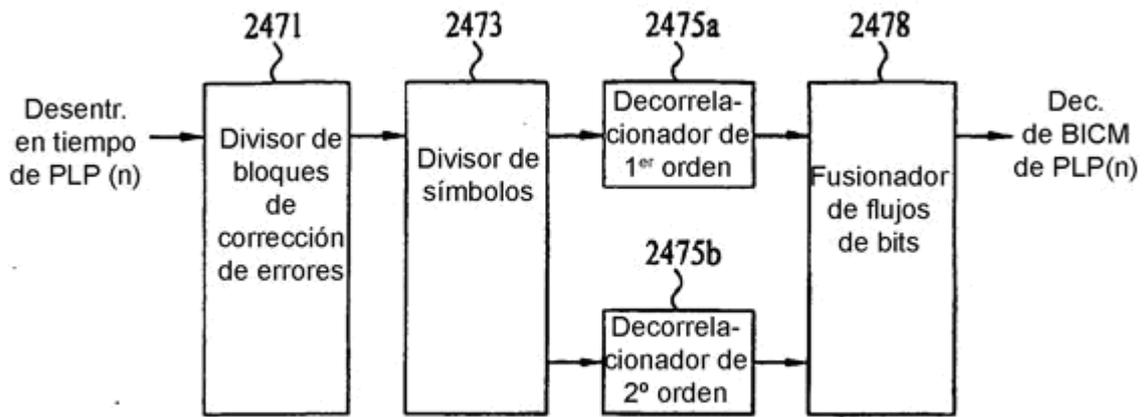


FIG. 45

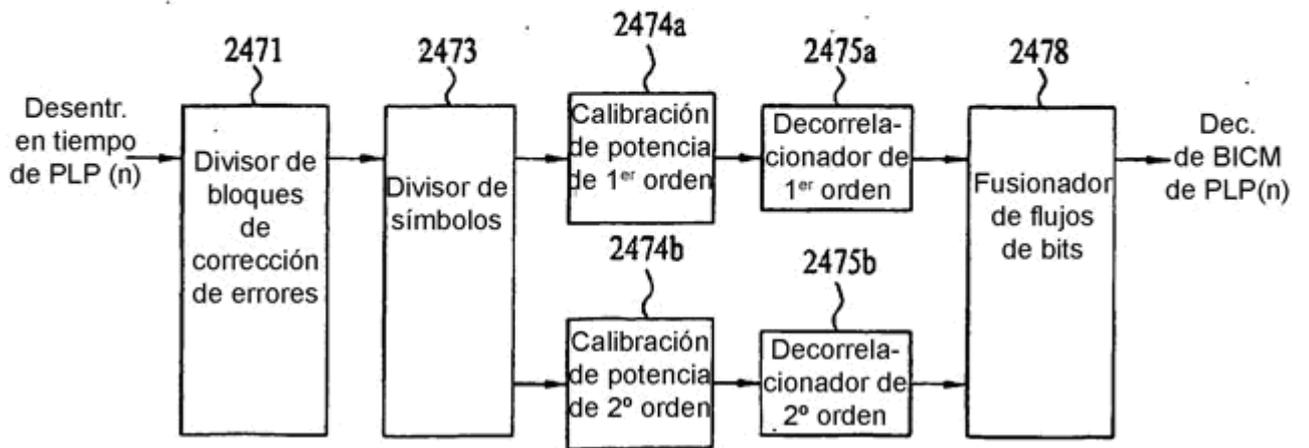


FIG. 46

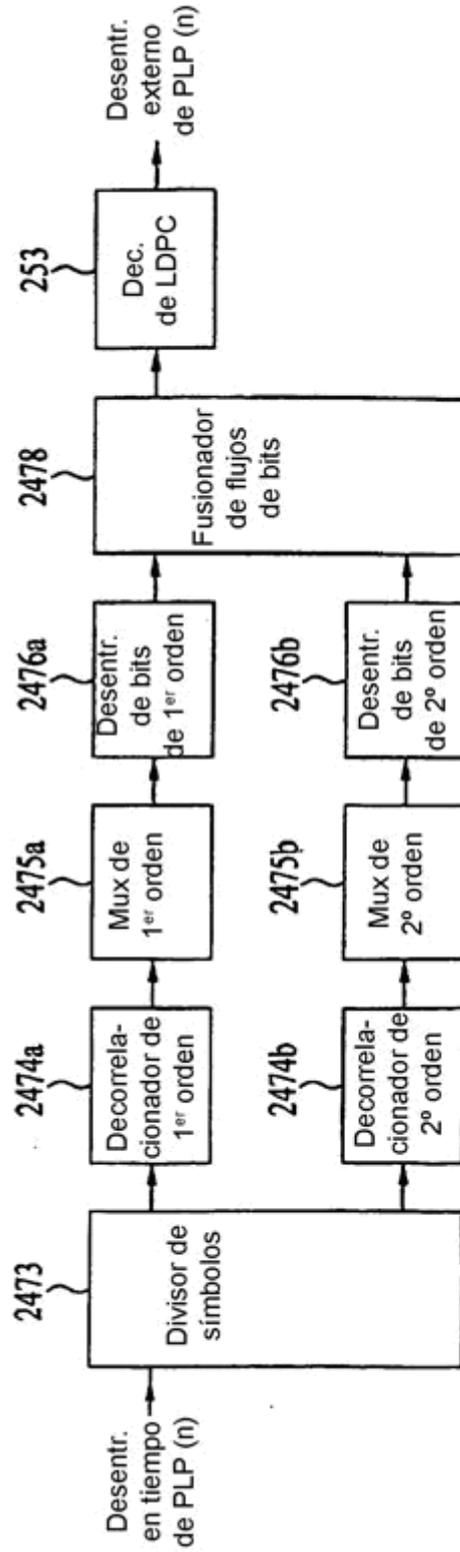


FIG. 47

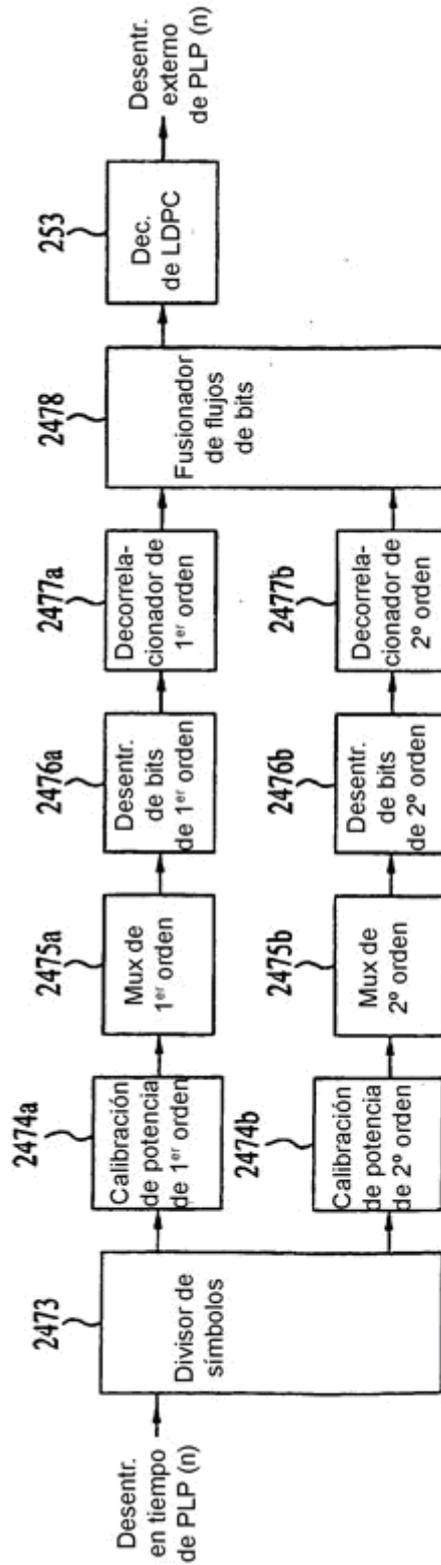


FIG. 48

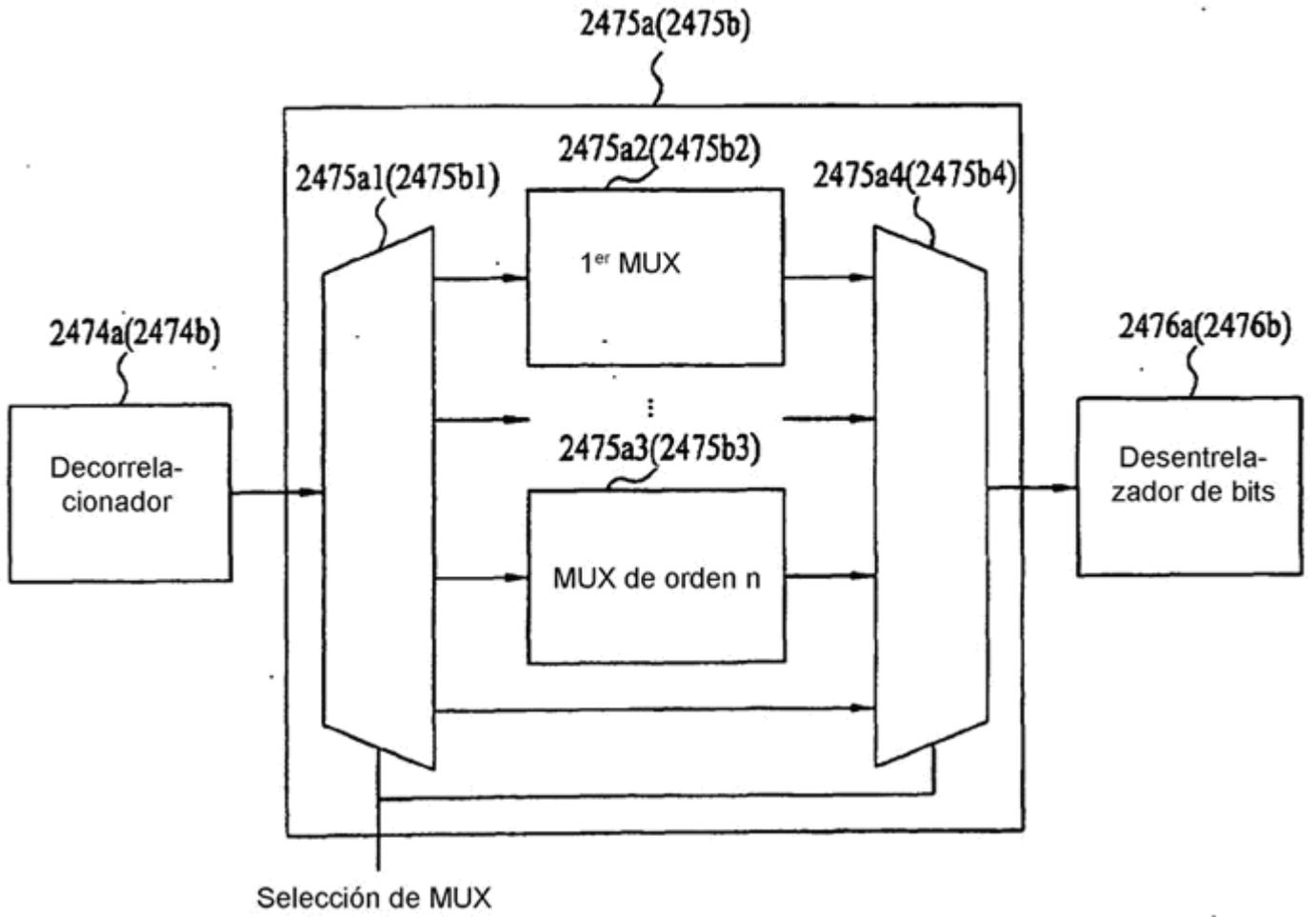


FIG. 49

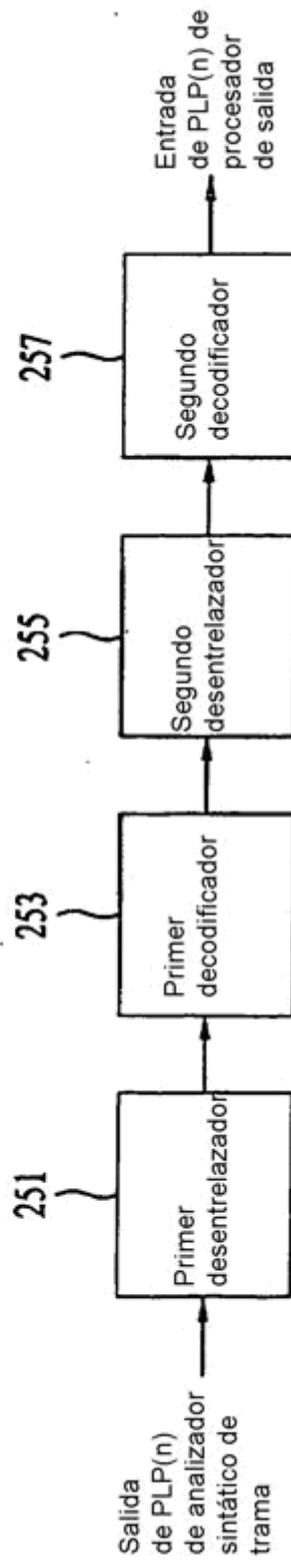


FIG. 50

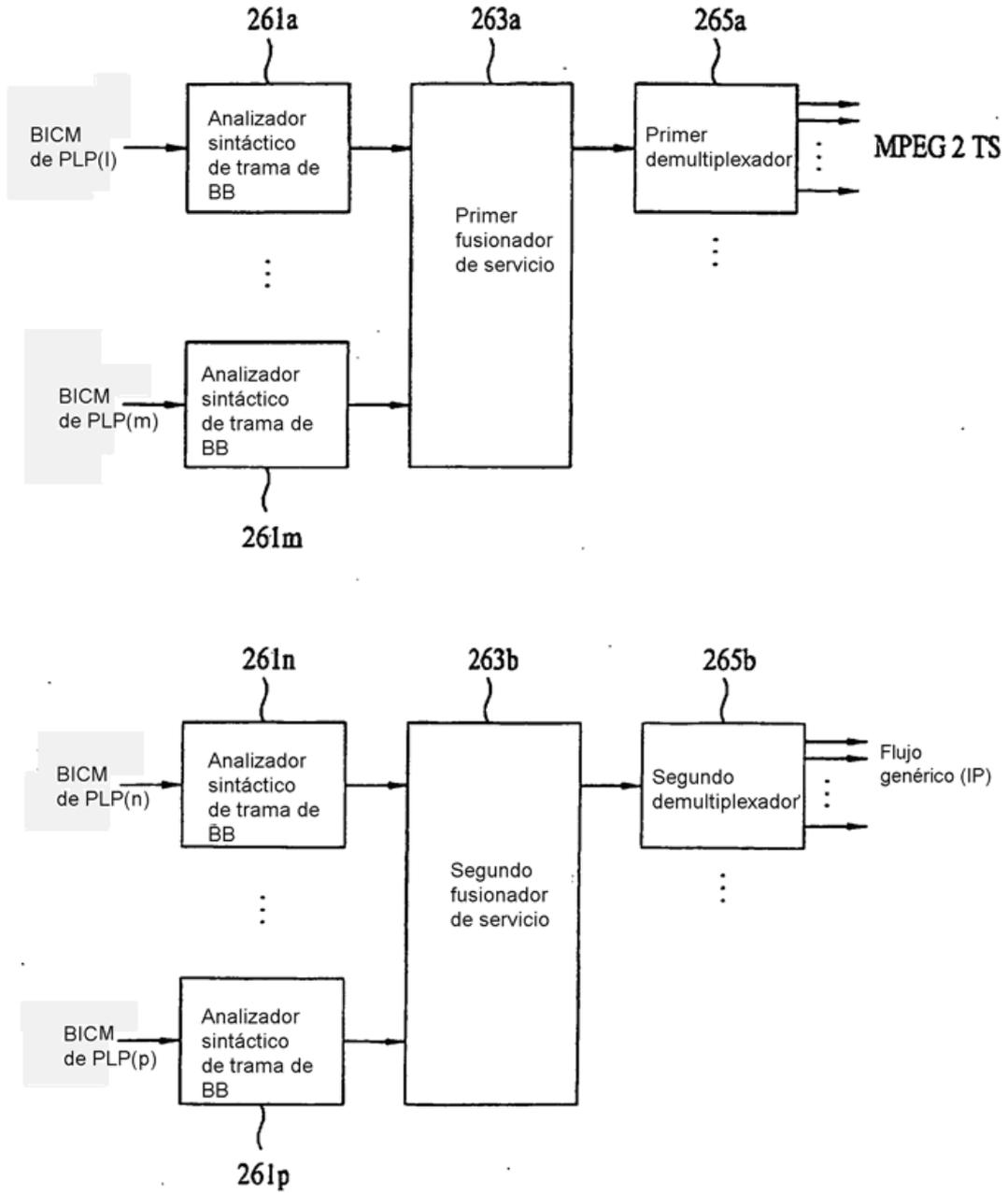


FIG. 51

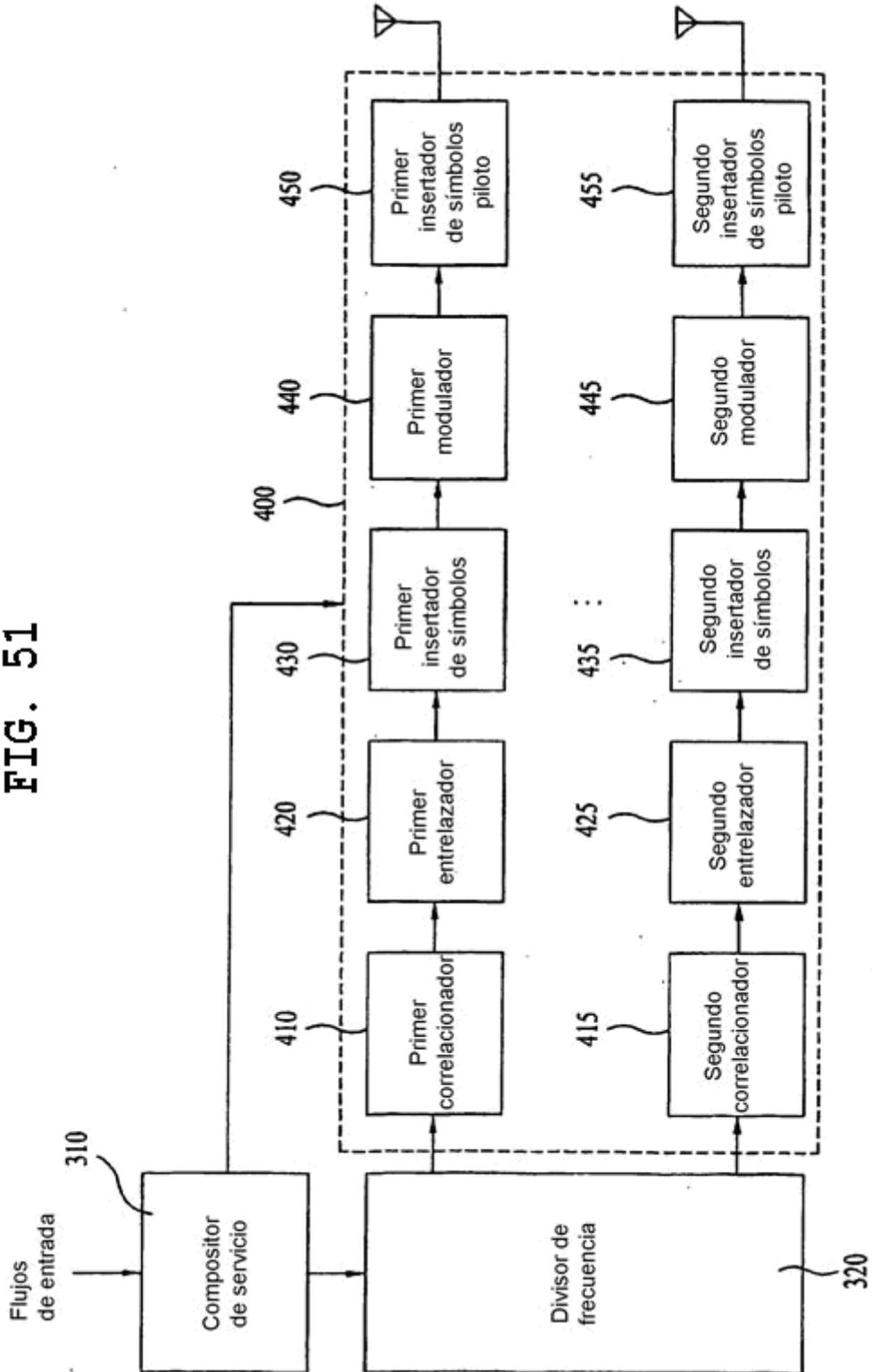


FIG. 52

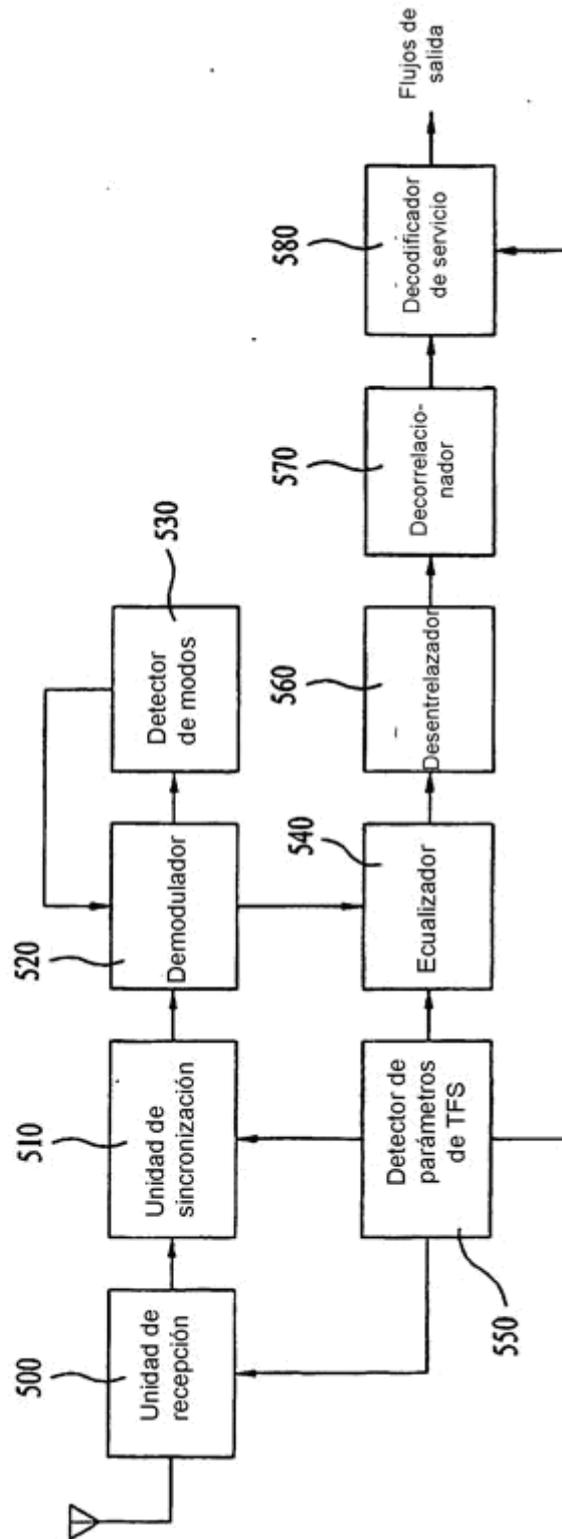


FIG. 53

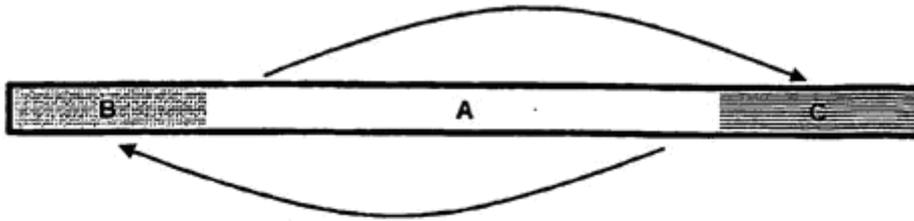


FIG. 54

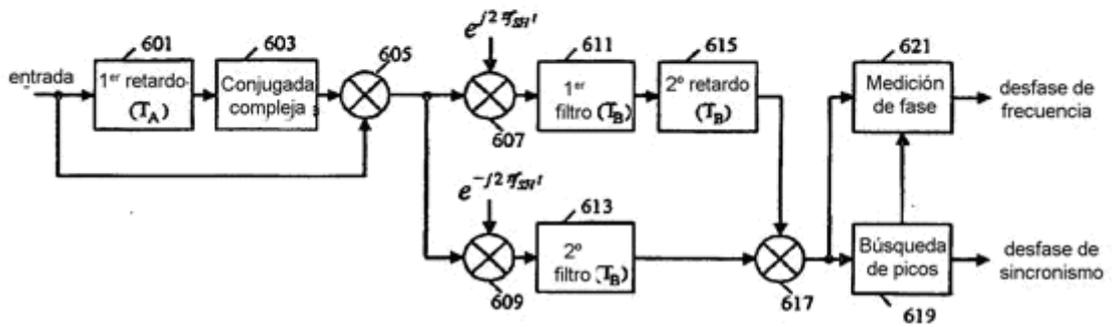


FIG. 55

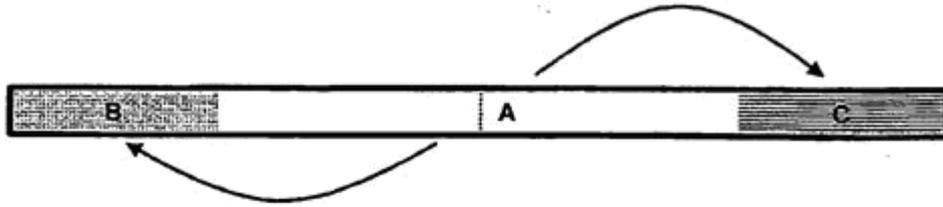


FIG. 56

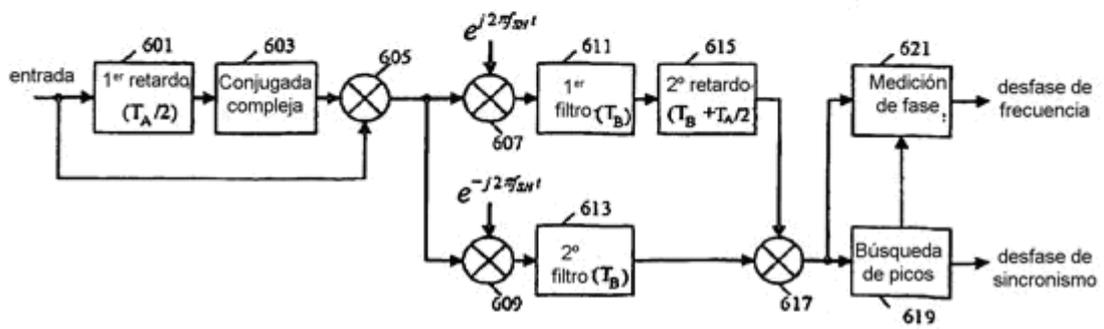


FIG. 57

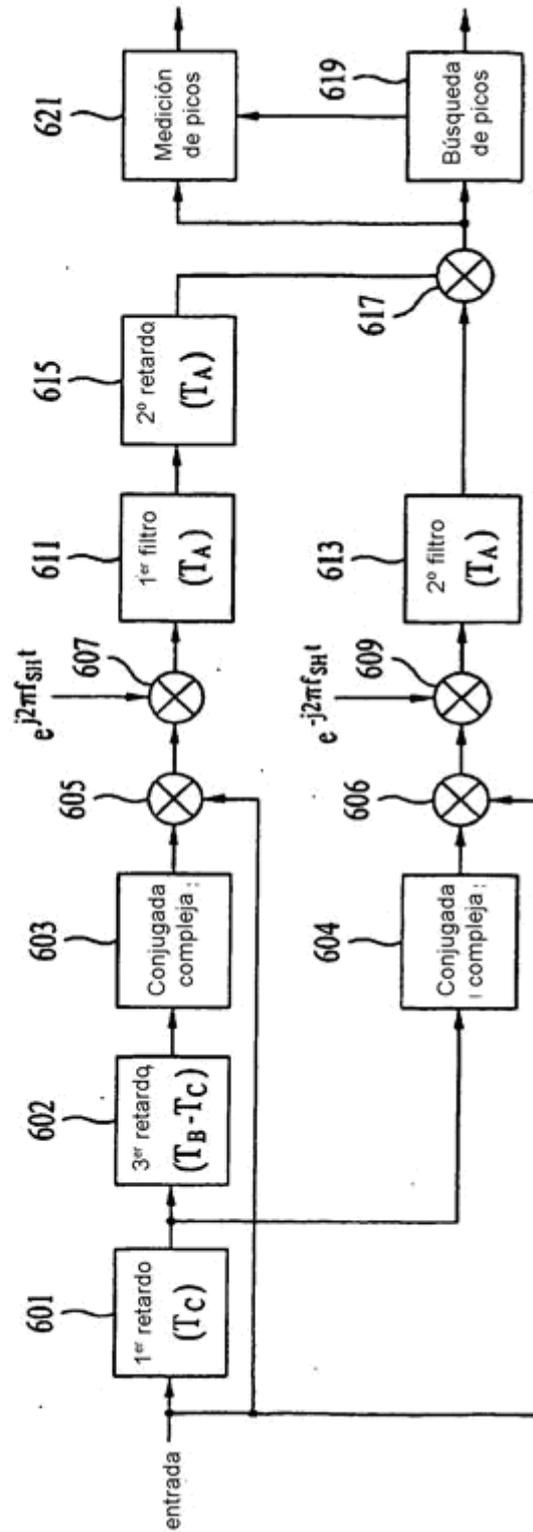


FIG. 58

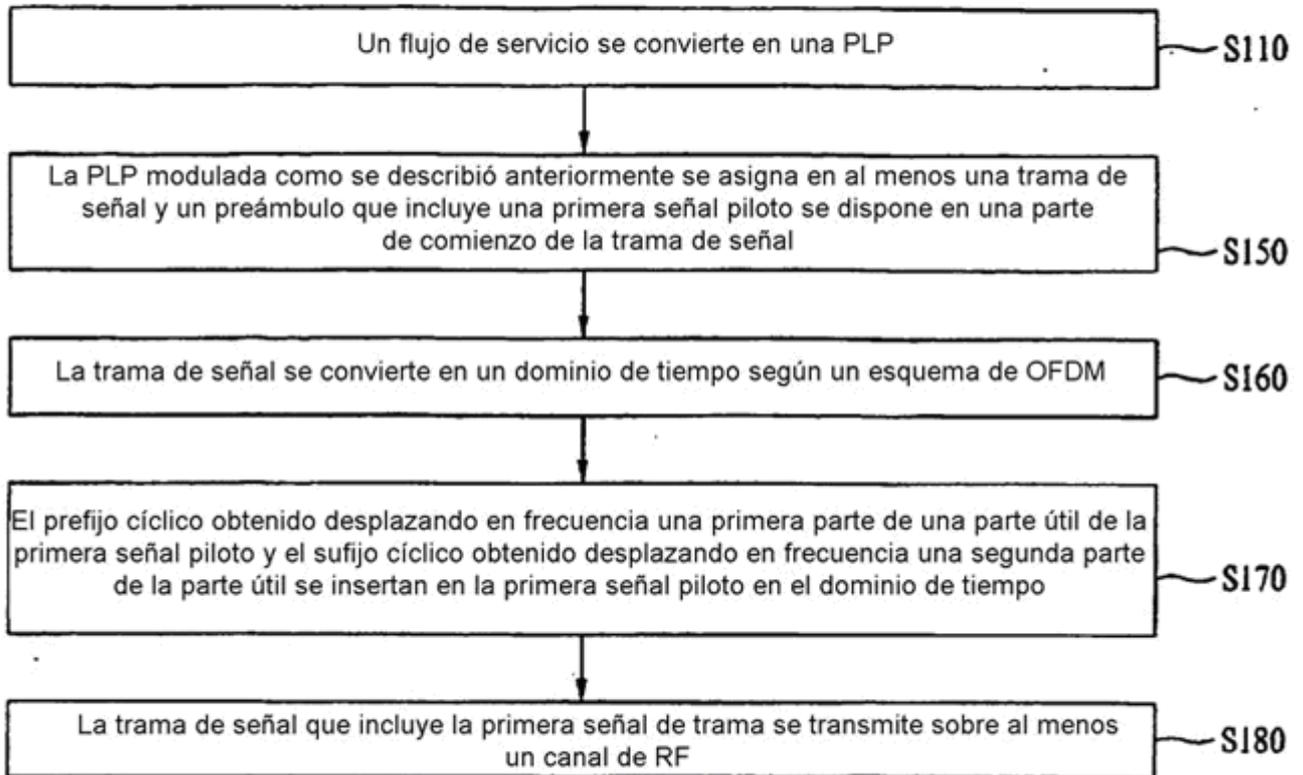


FIG. 59

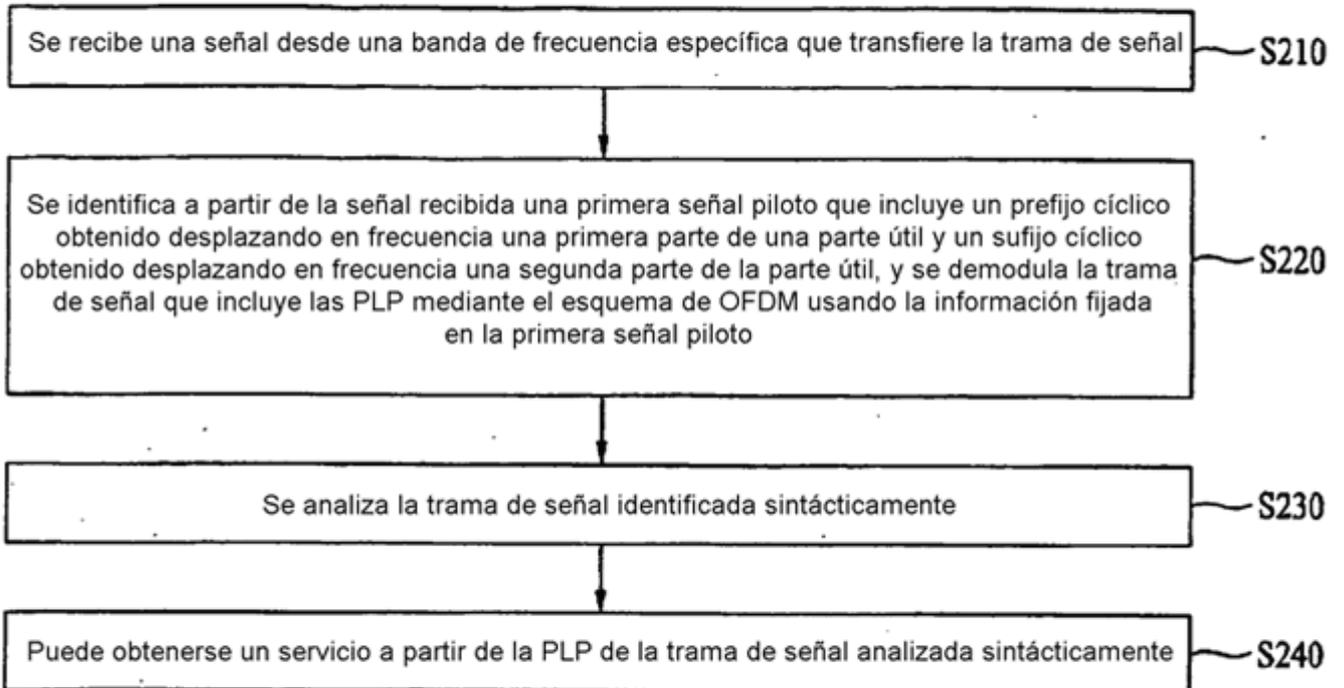


FIG. 60

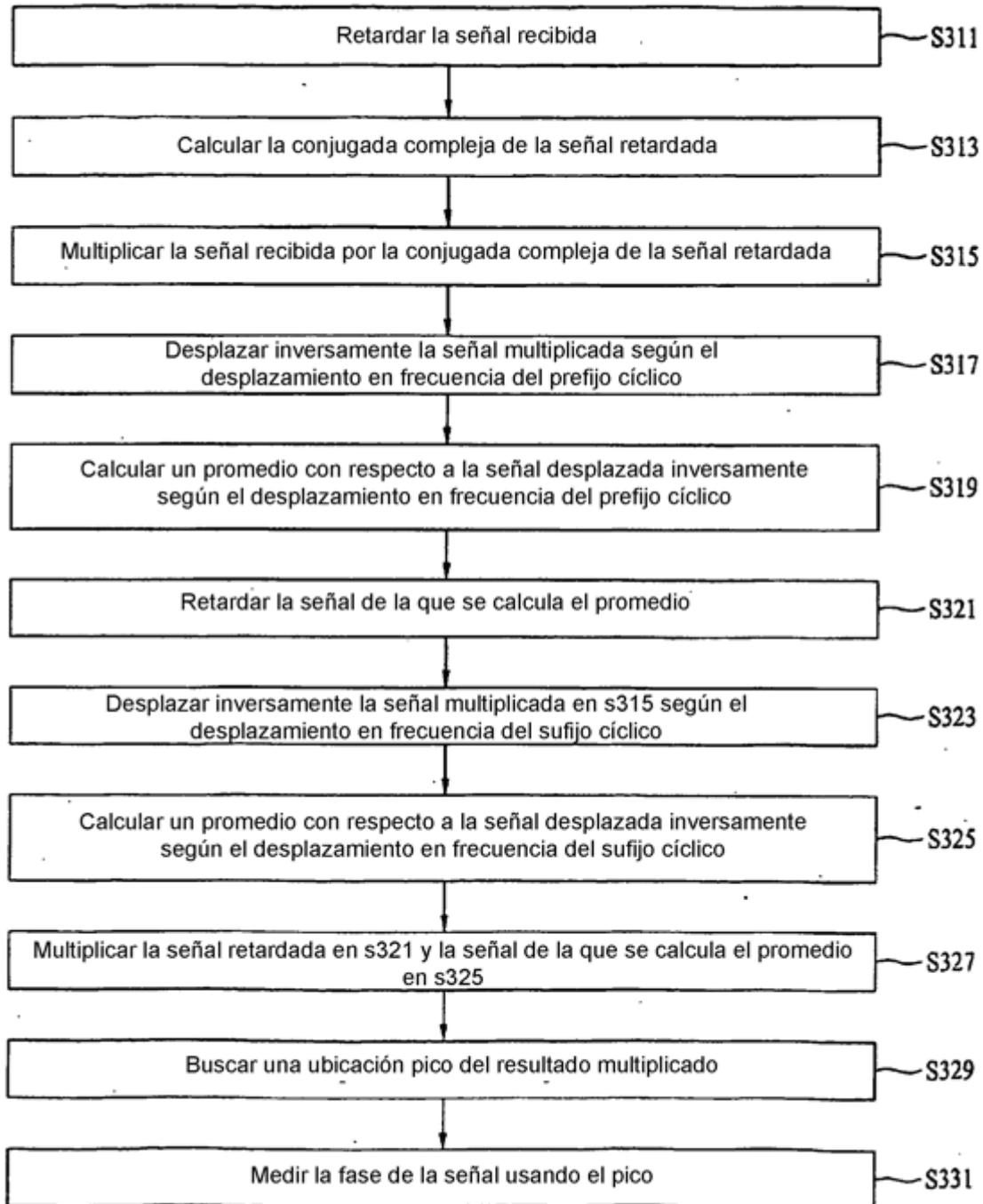


FIG. 61

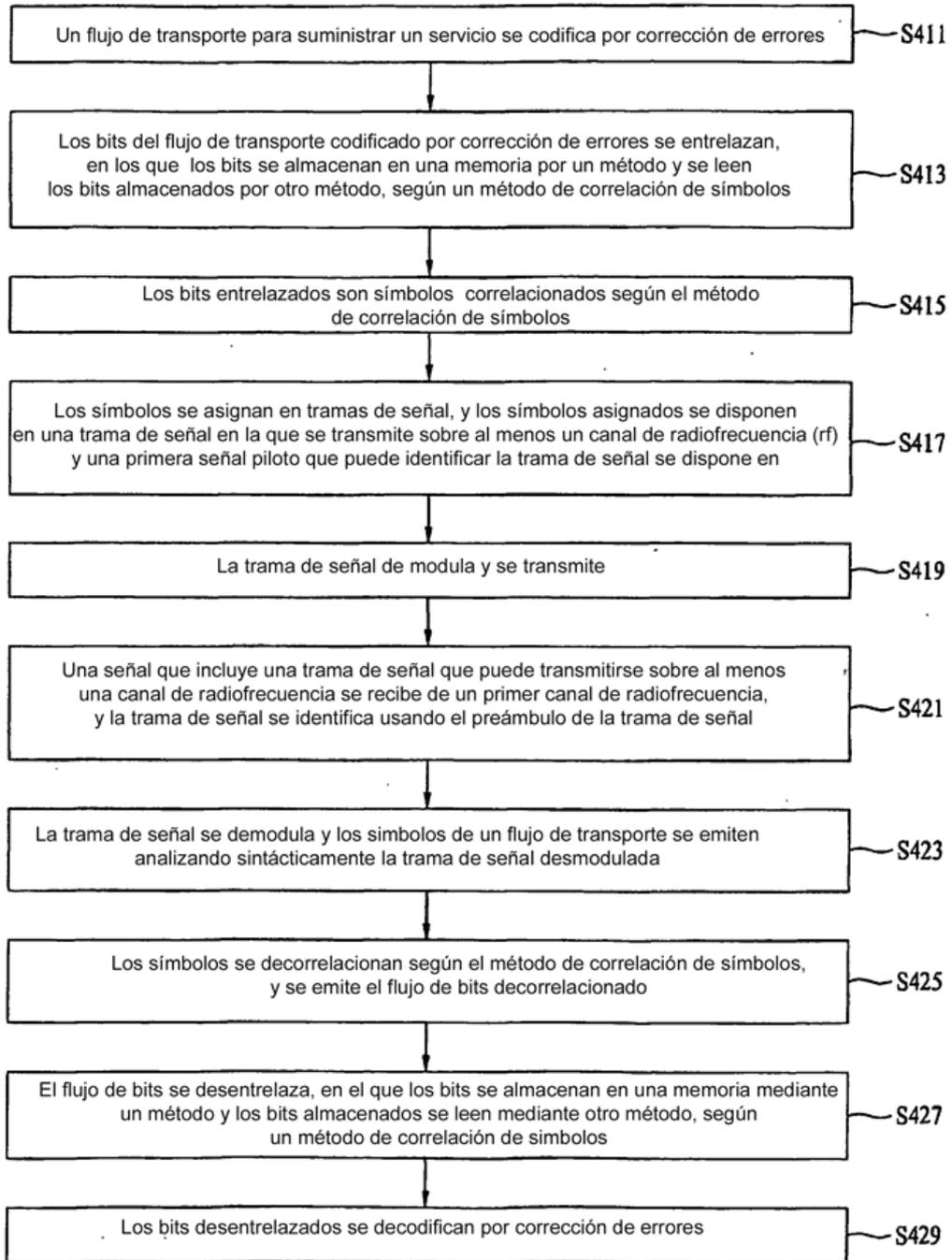


FIG. 62

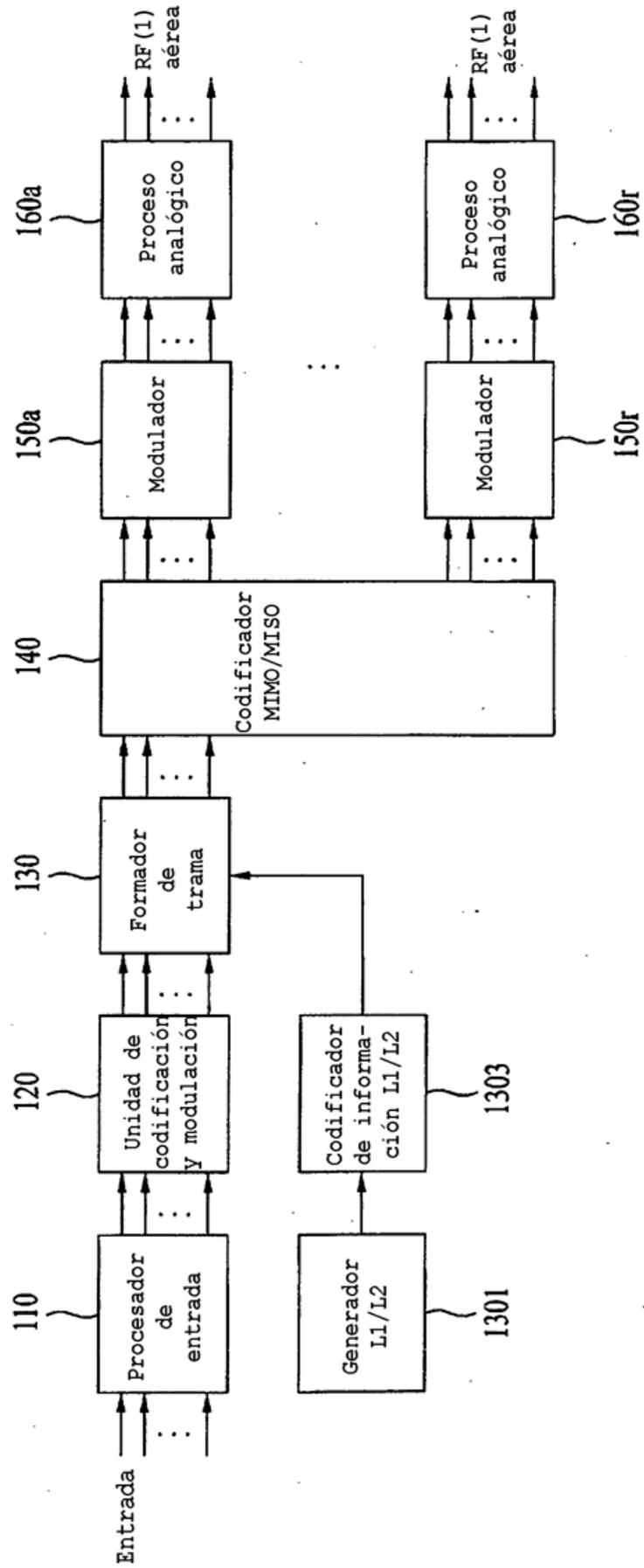


FIG. 63

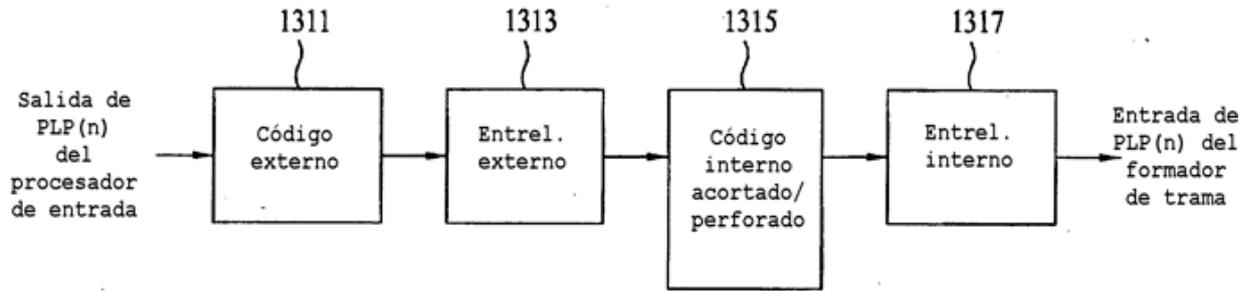


FIG. 64

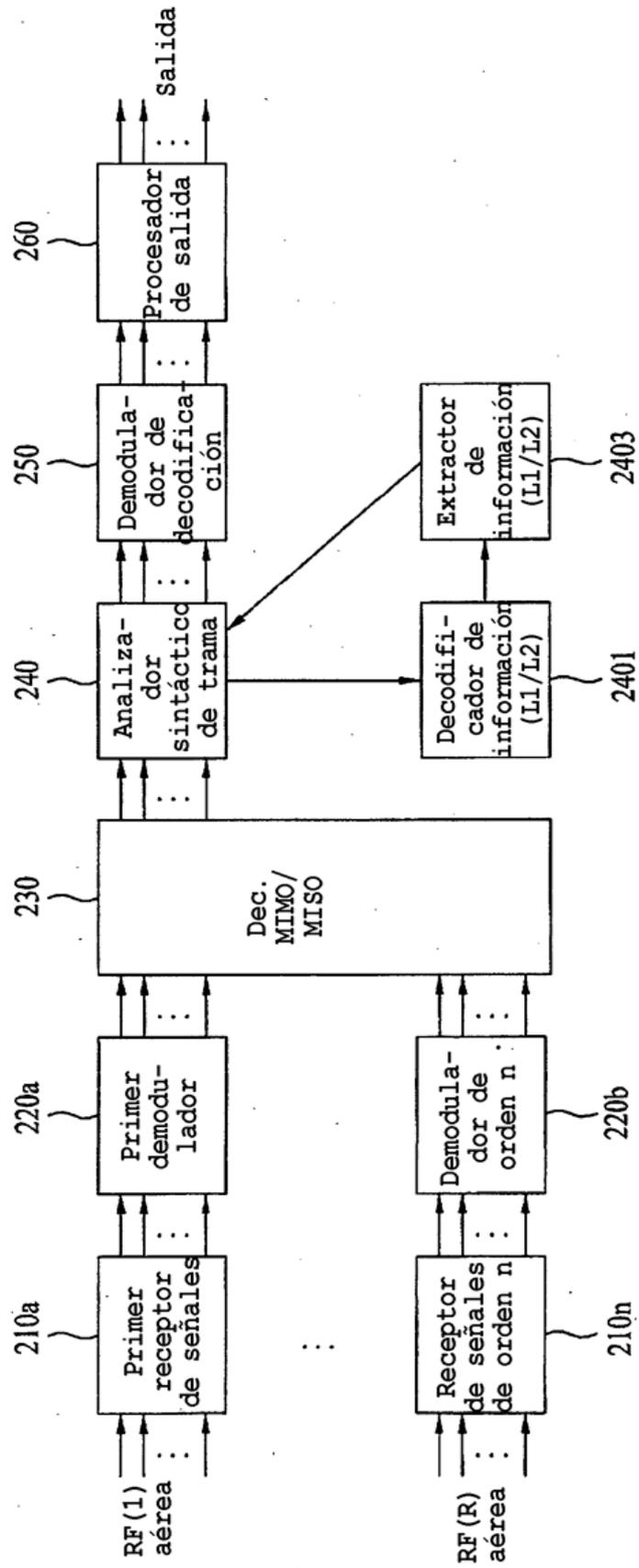


FIG. 65

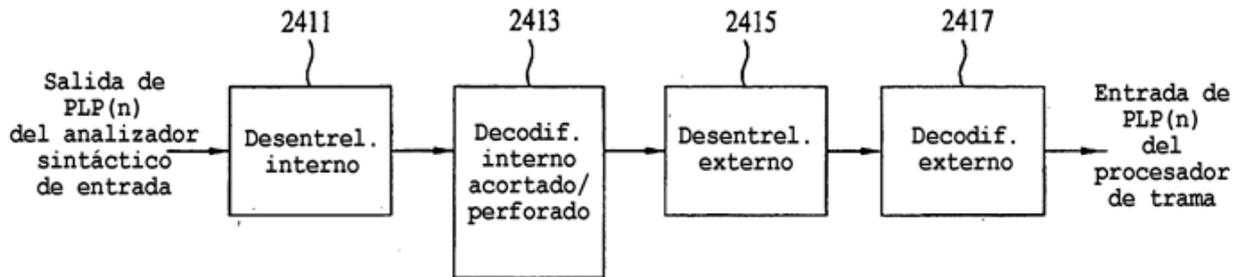


FIG. 66

