

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 378 236**

51 Int. Cl.:
G06F 9/38

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **05254882 .3**

96 Fecha de presentación: **04.08.2005**

97 Número de publicación de la solicitud: **1624369**

97 Fecha de publicación de la solicitud: **08.02.2006**

54 Título: **Aparato para predecir direcciones objetivo de conexión múltiples**

30 Prioridad:
04.08.2004 US 598868
14.07.2005 US 181210

45 Fecha de publicación de la mención BOPI:
10.04.2012

45 Fecha de la publicación del folleto de la patente:
10.04.2012

73 Titular/es:
VIA TECHNOLOGIES, INC.
8F, NO. 535, CHUNG-CHENG RD, HSIN-TIEN
TAIPEI 231, TAIWAN, TW

72 Inventor/es:
Henry, G. Glenn y
McDonald, Thomas C.

74 Agente/Representante:
de Elizaburu Márquez, Alberto

ES 2 378 236 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato para predecir direcciones objetivo de conexión múltiples.

REFERENCIA CRUZADA CON APLICACIÓN O APLICACIONES RELACIONADAS

Esta solicitud reivindica la prioridad basada en la Solicitud Provisional, Serie N° 60/598.868, presentada el 4 de agosto de 2004 titulada MEMORIA CACHÉ DE DIRECCIONES OBJETIVO DE CONEXIÓN CON UNA EFICIENCIA MEJORADA PARA ENTREGAR DIRECCIONES OBJETIVO MÚLTIPLES POR ACCESO.

Esta solicitud es una continuación en parte (CIP) de las siguientes Solicitudes de Patente de EEUU no provisionales en trámite, las cuales están aquí incorporadas por referencia en su totalidad para todos los fines:

Serie N° (Registro N°)	Fecha de presentación	Título
09/849736 (CNTR 2021)	5/4/2001	MICROPROCESADOR CON MEMORIA CACHÉ DE DIRECCIONES OBJETIVO DE CONEXIÓN PARA REALIZAR UNA CONEXIÓN ESPECULATIVA
10/978802 (CNTR 2023-C1)	11/1/2004	PREDICTOR DE DIRECCIONES DE CONEXIÓN HÍBRIDA ESPECULATIVA
10/978812 (CNTR 2063-C1)	11/1/2004	APARATO Y MÉTODO PARA LA SUSTITUCIÓN DE DIRECCIONES OBJETIVO EN LA MEMORIA CACHÉ DE DIRECCIONES OBJETIVO DE CONEXIÓN ESPECULATIVA
10/632226 (CNTR 2140)	7/31/2003	APARATO Y MÉTODO PARA LA ACTUALIZACIÓN EFICIENTE DE MEMORIA CACHÉ DE DIRECCIONES OBJETIVO DE CONEXIÓN

La Solicitud de Patente de EEUU pendiente, Serie N° 10/978802 (CNTR 2023-C1) es una continuación de la Patente de EEUU N° 6.886.093 presentada el 4 de mayo de 2001; la Solicitud de Patente de EEUU pendiente, Serie N° 10/978812 (CNTR 2063-C1) es una continuación de la Patente de EEUU N° 6.895.498 presentada el 4 de mayo de 2001; la Solicitud de Patente de EEUU pendiente, Serie N° 10/632226 (CNTR 2140) reivindica la prioridad de la Solicitud Provisional de EEUU Serie N° 60/440065 presentada el 14 de abril de 2003.

CAMPO DEL INVENTO

El presente invento se refiere en general al campo de la predicción de conexión en microprocesadores, y particularmente a memorias caché de direcciones objetivo de conexión.

ANTECEDENTES DEL INVENTO

Muchos microprocesadores canalizados con un modem incluyen una memoria caché de direcciones objetivo de conexión (BTAC) que coloca en memoria caché las direcciones de instrucciones de conexión previamente ejecutadas. Cuando una línea en memoria caché es captada de la memoria caché de instrucciones del microprocesador, la dirección captada es proporcionada a la BATC, y dicha BATC usa la dirección de captación para predecir si existe una instrucción de conexión presente en la línea en memoria caché y si la BATC contiene una dirección objetivo válida para la instrucción de conexión. Si se predice que la instrucción ha de ser tomada, el procesador se conecta con la dirección objetivo válida suministrada por la BATC. Puesto que cada línea en memoria caché puede almacenar múltiples instrucciones, la línea en memoria caché de instrucciones puede contener más de una instrucción de conexión. Por lo tanto, algunas BTACs estáticas dedican un almacenamiento para colocar en memoria caché dos direcciones objetivo por línea en memoria caché. Esto permite que la BTAC prediga de forma más precisa el desarrollo del programa ya que es posible que una de las instrucciones de conexión en la línea en memoria caché será tomada y la otra no será tomada.

En las BTACs convencionales el almacenaje de las dos direcciones objetivo está fijado en la BTAC. Esto es, el espacio está dedicado estática e independientemente de si están presentes dos instrucciones de conexión en la línea en memoria caché o sólo está presente una instrucción de conexión en la línea en memoria caché. De hecho, en una BTAC convencional que está integrada en la instrucción coloca en memoria caché el espacio está dedicado estáticamente incluso si en la línea en memoria caché están presentes cero instrucciones de conexión. No obstante, se ha observado que sólo aproximadamente el 20% de las líneas en memoria caché que contienen una instrucción de conexión contienen dos instrucciones de conexión. Por lo tanto, el espacio extra en la BTAC dedicado estáticamente para la segunda dirección objetivo es consumido por el 80% de las líneas en memoria caché. Por ejemplo, en una BTAC que es una memoria caché asociativa de un conjunto de dos vías que estáticamente dedica el almacenamiento para dos direcciones objetivo por entrada, puesto que sólo aproximadamente el 20% de las líneas en memoria caché incluye dos o más instrucciones de conexión, solamente se usa aproximadamente el 60% del espacio de almacenamiento de direcciones objetivo para almacenar direcciones objetivo válidas.

El documento US 5.802.602 describe un sistema de predicción de conexión que usa un conjunto de N vías de memoria caché asociativa.

5 Por lo tanto, lo que se necesita es un esquema de espacio más eficiente en cuanto a espacio para predecir instrucciones de conexión múltiples en una línea en memoria caché captada.

BREVE SUMARIO DE INTENCIÓN

10 El presente invento proporciona un aparato de predicción de conexión que determina dinámicamente la asociatividad de un grupo de entradas seleccionadas por un índice de direcciones de captación dado que depende del número de instrucciones de conexión presente en las líneas en memoria caché especificadas por el índice, por lo que se disfruta de una mayor asociatividad de índices con sólo una única instrucción de conexión y menos asociatividad de índices con múltiples instrucciones de conexión.

15 En un aspecto, el presente invento proporciona un aparato en un microprocesador para predecir una dirección objetivo para un número variable de instrucciones de conexión en cada línea en memoria caché captada de una memoria caché de instrucciones en una dirección de captación. El aparato incluye unas memorias caché asociativas de los conjuntos de dos vías primero y segundo, teniendo cada uno una entrada de índice acoplada para recibir una parte de la dirección de captación en memoria caché de la instrucción. El índice selecciona uno de una pluralidad de grupos de cuatro entradas. Cada grupo tiene una entrada en cada vía de cada una de las memorias en memoria caché primera y segunda. Cada una de las entradas está configurada para colocar en memoria caché una dirección objetivo de una instrucción de conexión previamente ejecutada. El aparato incluye también la lógica de sustitución, acoplada con las memorias caché primera y segunda, configurada para seleccionar la sustitución de una de las entradas, en respuesta a la resolución de una instrucción de conexión, de forma que durante el funcionamiento del microprocesador: a) para un primer subconjunto de la pluralidad de grupos, las cuatro entradas están colocando en memoria caché direcciones objetivo de una instrucción de conexión en cada una de cuatro líneas en memoria caché diferentes, para obtener una asociatividad de grupos de cuatro vías; y b) de un segundo subconjunto de la pluralidad de grupos, las cuatro entradas están colocando en memoria caché direcciones objetivo de una instrucción de conexión en cada una de dos líneas en memoria caché diferentes y dos instrucciones de conexión en una tercera línea en memoria caché diferente para obtener una asociatividad de grupos de tres vías.

35 En otro aspecto el presente invento proporciona un método en un microprocesador para predecir una dirección objetivo para un número variable de instrucciones de conexión en una línea en memoria caché captada de una memoria caché de instrucciones en una dirección de captación. El método incluye proporcionar un índice de las memorias caché asociativas de los conjuntos de dos vías primero y segundo para seleccionar uno de una pluralidad de grupos de cuatro entradas. Cada grupo incluye una entrada en cada vía de cada una de las memorias caché primera y segunda. Cada una de las entradas coloca en memoria caché una dirección objetivo de una instrucción de conexión previamente ejecutada. El índice es una parte de la dirección de captación en memoria caché de la instrucción. El método incluye también seleccionar para sustitución, en respuesta a la resolución de una instrucción de conexión, una de las entradas, de forma que durante el funcionamiento del microprocesador: a) para un primer subconjunto de la pluralidad de grupos, las cuatro entradas están colocando en memoria caché direcciones objetivo de una instrucción de conexión en cada una de cuatro líneas en memoria caché diferentes para obtener una asociatividad de grupos de cuatro vías; y b) para un segundo subconjunto de la pluralidad de grupos las cuatro entradas están colocando en memoria caché direcciones objetivo de una instrucción de conexión en cada una de dos líneas en memoria caché diferentes y dos instrucciones de conexión en una tercera línea en memoria caché para obtener una asociatividad de grupos de tres vías.

50 En otro aspecto el presente invento proporciona un aparato en un microprocesador para predecir una dirección objetivo para un número variable de instrucciones de conexión en una línea en memoria caché captada de una memoria caché de instrucciones en una dirección de captación. El aparato incluye M memorias en memoria caché asociativas de N vías, teniendo cada una entrada de índice acoplada para recibir una parte de la dirección de captación en memoria caché de instrucciones. El índice selecciona uno de una pluralidad de grupos de MxN entradas. Cada grupo incluye una entrada en cada vía de cada una de las M memorias caché. Cada una de las entradas está configurada para colocar en memoria caché una dirección objetivo de una instrucción de conexión previamente ejecutada. El aparato incluye también una lógica de sustitución, acoplada a las M memorias caché, configurada a fin de seleccionar para sustitución una de las entradas, en respuesta a la resolución de una instrucción de conexión, de modo que durante el funcionamiento del microprocesador: a) para un primer subconjunto de la pluralidad de grupos las MxN entradas están colocando en memoria caché direcciones objetivo de una instrucción de conexión en cada una de las MxN líneas en memoria caché diferentes para obtener una asociatividad de grupos de MxN vías; y b) para un segundo subconjunto de la pluralidad de grupos las MxN entradas están colocando en memoria caché direcciones objetivo de una instrucción de conexión en cada una de las (MxN-1) líneas en memoria caché diferentes y dos instrucciones de conexión en una línea en memoria caché diferente MxN-ésima para obtener de forma efectiva una asociatividad de grupos con (MxN-1) vías.

65 En otro aspecto el presente invento proporciona un método en un microprocesador para predecir una dirección objetivo para un número variable de instrucciones de conexión en una línea en memoria caché captada de una

5 memoria caché de instrucciones en una dirección de captación. El método incluye proporcionar un índice de M
memorias caché asociativas de los conjuntos con N vías para seleccionar uno de una pluralidad de grupos de MxN
entradas. Cada grupo incluye una entrada en cada vía de cada una de las M memorias caché. Cada una de las
entradas coloca en memoria caché una dirección objetivo de una instrucción de conexión previamente ejecutada. El
índice es una parte de la dirección de captación en memoria caché de instrucciones. El método incluye también la
selección de sustitución, en respuesta a la resolución de una instrucción de conexión, una de las entradas de forma
que durante el funcionamiento del microprocesador: a) para un primer subconjunto de la pluralidad de grupos las
10 entradas MxN están colocando en memoria caché las direcciones objetivo de una instrucción de conexión en cada
una de las MxN diferentes líneas en memoria caché para obtener la asociatividad de los grupos de MxN vías; y b)
para un segundo subconjunto de la pluralidad de grupos, estando las MxN entradas colocando en memoria caché
las direcciones objetivo de una instrucción de conexión en cada una de las (MxN-1) líneas en memoria caché
diferentes y dos instrucciones de conexión en una línea en memoria caché diferente de MxN vías, para obtener de
forma efectiva la asociatividad de los grupos de (MxN-1) vías.

15 En otro aspecto el presente invento proporciona un producto de programa informático para uso con un dispositivo de
cálculo, comprendiendo el programa informático un medio capaz de ser usado por un ordenador, que tiene un
código de programa, que puede ser leído por un ordenador, incorporado en el medio, para hacer que un aparato en
un microprocesador prediga una dirección objetivo de un número variable de instrucciones de conexión en cada
línea en memoria caché captada de una memoria caché de instrucciones en una dirección de captación. El código
de programa que puede ser leído por un ordenador incluye un primer código de programa para proporcionar un
conjunto primero y segundo de memorias en memoria caché asociativas de dos vías, teniendo cada una una entrada
de índice acoplada para recibir una parte de la dirección de captación de instrucciones. El índice selecciona uno de
una pluralidad de grupos de cuatro entradas. Cada grupo incluye una entrada en cada vía de cada una de las
memorias caché primera y segunda. Cada una de las entradas está configurada para colocar en memoria caché una
25 dirección objetivo de una instrucción de conexión previamente ejecutada. El código de programa que puede ser leído
por un ordenador incluye también un segundo código de programa para proporcionar la lógica de sustitución,
acoplado a las memorias caché primera y segunda, configurado para seleccionar la sustitución de una de las
entradas, en respuesta a la resolución de una instrucción de conexión, de forma que durante el funcionamiento del
microprocesador: a) para un primer subconjunto de la pluralidad de grupos, las cuatro entradas están colocando en
memoria caché direcciones objetivo de una instrucción de conexión en cada una de cuatro líneas en memoria caché
diferentes, para obtener una asociatividad de grupos de cuatro vías, y b) para un segundo subconjunto de la
pluralidad de grupos, estando las cuatro entradas colocando en memoria caché direcciones objetivo para una
instrucción de conexión en cada una de dos líneas en memoria caché diferentes y dos instrucciones de conexión en
una tercera línea en memoria caché diferente para obtener una asociatividad de grupos de tres vías.

35 Una ventaja del presente invento es que puede predecir dos direcciones objetivo por línea en memoria caché de
instrucción cuando sea conveniente, aunque también puede predecir una única dirección objetivo por línea en
memoria caché con una mayor asociatividad para cada índice de línea en memoria caché cuando sea conveniente.
El presente invento consigue esto mediante el almacenamiento de una única dirección objetivo por entrada más bien
que mediante el almacenamiento de varias direcciones objetivo por entrada, por lo que se hace un uso más eficiente
del espacio de almacenamiento que en una BTAC convencional. También, si se incrementa la asociatividad de la
memoria caché de instrucciones, el aparato de predicción de direcciones objetivo de conexión del presente invento
puede ser adaptado para incrementar su asociatividad efectiva a fin de aproximar la asociatividad de la memoria
caché de instrucciones para muchos índices sin tener que incrementar proporcionalmente el tamaño general del
45 aparato de predicción de direcciones objetivo de conexión.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

50 La FIGURA 1 es un diagrama de bloques de un microprocesador de acuerdo con el presente invento.
La FIGURA 2 es un diagrama de bloques que ilustra el aparato de predicción de direcciones objetivo de
conexión de la Figura 1.
La FIGURA 3 es un diagrama de flujos que ilustra el funcionamiento del aparato de predicción de direcciones
objetivo de conexión de la Figura 2 cuando está siendo leído para generar una dirección objetivo predicha.
La FIGURA 4 que ilustra el funcionamiento del aparato de predicción de direcciones objetivo de conexión de
la Figura 2 cuando está siendo actualizado en respuesta a una instrucción de conexión resuelta.

DESCRIPCIÓN DETALLADA

60 Con referencia ahora a la Figura 1, se muestra un diagrama de bloques de un microprocesador 100 de acuerdo con
el presente invento. El microprocesador 100 comprende un microprocesador canalizado. En una realización el
microprocesador 100 comprende un microprocesador cuyo conjunto de instrucciones se corresponde
sustancialmente con el conjunto de instrucciones de estructura x86.

65 El microprocesador 100 incluye un captador 102 de instrucciones. Dicho captador 102 de instrucciones controla
también un multiplexor 136 de direcciones de captación que genera una dirección actual 162 de captación de
memoria caché de instrucciones. La dirección actual 162 de captación especifica la dirección de la siguiente línea de
memoria caché de los octetos de instrucción del programa actualmente en ejecución para ser buscados para
ejecución por el microprocesador 100. Si la dirección de captación 162 acierta en memoria caché de instrucciones

104, entonces dicha captación de instrucciones 104 genera la línea en memoria caché de instrucciones especificada por la dirección de captación 162. De otro modo, el captador de instrucciones 102 capta las instrucciones que faltan de una memoria, tal como una memoria del sistema, acoplado al microprocesador 100, y la memoria caché de instrucciones 104 coloca en memoria caché las instrucciones captadas de la memoria para un posterior uso por el microprocesador 100. En particular, la línea en memoria caché captada de la memoria caché de instrucciones 104 puede incluir cero, una, dos, o más instrucciones de conexión. En una realización la memoria caché de instrucciones 104 comprende una memoria caché asociativa de nivel 1 de conjuntos de 64 KB de cuatro vías; aunque el presente invento puede ser configurado para ser usado en conjunción con memorias caché de instrucciones de diversos tamaños y asociatividades.

El microprocesador 100 incluye también un aparato 142 de predicción de direcciones objetivo de conexión, que será discutido posteriormente con más detalle. Dicho aparato 142 de predicción de direcciones objetivo de conexión coloca en memoria caché información sobre las instrucciones de conexión previamente ejecutadas. Cuando el captador de instrucciones 102 capta una línea en memoria caché de la colocación en memoria caché de instrucciones 104, el aparato 142 de predicción de direcciones objetivo de conexión predice si una o más instrucciones de conexión están presentes en la línea en memoria caché sobre la base de la información puesta en memoria caché en el aparato 142 de predicción de direcciones objetivo de conexión y proporciona una dirección objetivo predicha 164 de una de las instrucciones de conexión al multiplexor 136. Si se ha predicho que la instrucción de conexión va a ser tomada, el multiplexor 136 selecciona la dirección objetivo predicha 164 como la dirección de captación 162 en el siguiente ciclo temporal a fin de cumplir una conexión del microprocesador 100 a la dirección objetivo predicha 164.

En particular, el aparato 142 de predicción de direcciones objetivo de conexión coloca en memoria caché la dirección objetivo de las instrucciones de conexión previamente ejecutadas, el desplazamiento de la instrucción de conexión dentro de la línea en memoria caché, una predicción de si se tomará la instrucción de conexión, una etiqueta de la línea en memoria caché que contiene la instrucción de conexión, y un indicador válido. Como se describirá posteriormente con más detalle el aparato 142 de predicción de direcciones objetivo de conexión comprende unas memorias caché de direcciones objetivo de conexión de conjuntos múltiples asociativos y una lógica de sustitución. La lógica de sustitución controla la sustitución de las memorias caché múltiples como un total de un modo que varía dinámicamente la asociatividad efectiva de cada grupo de índices de forma que algunos grupos en los que están presentes varias instrucciones de conexión en una línea en memoria caché de la memoria caché de instrucciones 104 la asociatividad es menor para acomodar las múltiples conexiones, y la asociatividad es mayor para algunos grupos en los que solamente está presente una única instrucción de conexión en la correspondiente línea en memoria caché. Un grupo de índices, o grupo, comprende todas las entradas en todos los conjuntos de todas las memorias caché seleccionados por la parte de índice de la dirección de captación 162, como se muestra en la Figura 2.

Ventajosamente, al igual que algunos predictores de conexión convencionales, el aparato 142 de predicción de direcciones objetivo de conexión puede proporcionar múltiples direcciones objetivo si una línea en memoria caché captada de la memoria caché de instrucciones 104 contiene instrucciones de conexión múltiples, aunque, al contrario que los predictores de conexión múltiple convencionales por línea en memoria caché, cada entrada en el aparato 142 de predicción de direcciones objetivo de conexión del presente invento incluye el almacenamiento para colocar en memoria caché solamente una única dirección objetivo de conexión y su información relacionada más que incluir un almacenamiento para colocar en memoria caché direcciones múltiples objetivo de conexión como los predictores convencionales, en cuyo caso el espacio de almacenamiento adicional es consumido por un porcentaje sustancial de líneas en memoria caché. Por lo tanto, el aparato 142 de predicción de direcciones objetivo de conexión del presente invento hace un uso más eficiente del espacio de almacenamiento y proporciona una mayor asociatividad, mejorando potencialmente de este modo la precisión de predicción de conexión.

Se sobreentiende que el uso del término línea en memoria caché, o línea, aquí, a menos que se indique en sentido contrario, se refiere al quantum de octetos de instrucción que el captador de instrucciones 102 capta de la memoria caché de instrucciones 104 cada ciclo temporal, el cual puede ser un subconjunto del número de octetos realmente transferidos entre la memoria caché de instrucciones 104 y la memoria principal. Por ejemplo, en la realización de la Figura 1 el microprocesador 100 puede transferir 32 octetos de instrucciones a un tiempo entre la memoria del sistema y la memoria caché de instrucciones 104; aunque el captador de instrucciones 102 solamente capta 16 octetos de la memoria caché de instrucciones 104 cada ciclo temporal. Como se discute más adelante, en una realización el aparato 142 de predicción de direcciones objetivo de conexión predice si está presente una o más instrucciones de conexión en una línea de memoria caché, o un quantum de captación de 16 octetos cada ciclo temporal.

El microprocesador 100 incluye también una memoria intermedia 106 de instrucciones acoplada a la memoria caché de instrucciones 104. La memoria intermedia de instrucciones 106 recibe líneas en memoria caché de octetos de instrucción desde la memoria caché de instrucciones 104 y coloca en la memoria intermedia las líneas en memoria caché hasta que puedan ser formateadas en instrucciones distintas para ser ejecutadas por el microprocesador 100. En una realización la memoria intermedia de instrucción 106 comprende cuatro entradas para almacenar hasta cuatro líneas en memoria caché.

- 5 El microprocesador 100 incluye también un formateador de instrucciones 108 acoplado a la memoria intermedia de instrucciones 106. El formateador de instrucciones 108 recibe los octetos de instrucciones de la memoria intermedia de instrucciones 106 y genera desde ella instrucciones formateadas. Esto es, el formateador de instrucciones 108 examina una cadena de octetos de instrucciones en la memoria intermedia de instrucciones 106, determina qué octetos comprenden la siguiente instrucción y su longitud, y genera la siguiente instrucción y su longitud. En una realización las instrucciones formateadas comprenden unas instrucciones que conforman sustancialmente el conjunto de instrucciones de la estructura x86.
- 10 El microprocesador 100 incluye también una cola de instrucciones formateadas 112 acoplada al formateador de instrucciones 108. Dicha cola de instrucciones formateadas 112 recibe instrucciones formateadas del formateador de instrucciones 108 y coloca en la memoria intermedia las instrucciones formateadas hasta que puedan ser traducidas en microinstrucciones. En una realización la cola de instrucciones formateadas 112 comprende unas entradas para almacenar hasta doce instrucciones formateadas.
- 15 El microprocesador 100 incluye también un traductor de instrucciones 114 acoplado a la cola de instrucciones formateadas 112. Dicho traductor de instrucciones 114 traduce las macroinstrucciones formateadas almacenadas en la cola de instrucciones formateadas 112 en macroinstrucciones. En una realización el microprocesador 100 incluye un núcleo de ordenador del conjunto reducido de instrucciones (RISC) que ejecuta las microinstrucciones del conjunto de instrucciones reducido o propio.
- 20 El microprocesador 100 incluye también una cola de instrucciones traducidas 116 acoplada al traductor de instrucciones 114. La cola de instrucciones traducidas 116 recibe unas microinstrucciones traducidas del traductor de instrucciones 114 y coloca en la memoria intermedia las microinstrucciones hasta que puedan ser ejecutadas por el resto de la canalización del microprocesador.
- 25 El microprocesador 100 incluye también una etapa de registro 118 acoplada a la cola de instrucciones traducidas 116. Dicha etapa de registro 118 comprende una pluralidad de registros para almacenar operandos y resultados de instrucciones. La etapa de registro 118 incluye un fichero de registros visibles por el usuario para almacenar el estado visible por el usuario del microprocesador 100.
- 30 El microprocesador 100 incluye también una etapa de direcciones 112 acoplada a la etapa de registro 118. Dicha etapa de direcciones 112 incluye una lógica de generación de direcciones para generar direcciones de memoria para instrucciones que acceden a la memoria tales como las instrucciones de carga o almacenamiento e instrucciones de conexión.
- 35 El microprocesador 100 incluye también unas etapas de datos 124 acopladas a la etapa de direcciones 122. Las etapas de datos 124 incluyen una lógica para cargar datos desde la memoria y una o más colocaciones en memoria caché para colocar en memoria caché los datos cargados desde la memoria.
- 40 El microprocesador 100 incluye también unas etapas de ejecución 126 acopladas a la etapa de datos 124. Dichas etapas de ejecución 126 incluyen unas unidades de ejecución para ejecutar instrucciones, tales como unidades de aritmética y de lógica para ejecutar instrucciones aritméticas y lógicas. En una realización las etapas de ejecución 126 incluyen una unidad de ejecución con enteros, una unidad de ejecución de coma flotante, una unidad de ejecución MMX, y una unidad de ejecución SSE. Las etapas de ejecución 126 incluyen también una lógica para resolver instrucciones de conexión. En particular, las etapas de ejecución 126 determinan si se ha tomado una instrucción de conexión y la dirección objetivo real de la instrucción de conexión.
- 45 El microprocesador 100 incluye también una etapa de almacenamiento 128 acoplada a las etapas de ejecución 126. La etapa de almacenamiento 128 incluye una lógica para almacenar datos en la memoria en respuesta a las microinstrucciones de almacenamiento. Adicionalmente, la etapa de almacenamiento 128 genera una solicitud de actualización 176 para actualizar el aparato 142 de predicción de direcciones objetivo de conexión con la dirección objetivo de instrucciones de conexión resuelta y la información relacionada en respuesta a las etapas de ejecución 126 que resuelven las instrucciones de conexión. La solicitud de actualización 176 incluye, entre otras cosas, la dirección de la instrucción de conexión resuelta y la dirección objetivo resuelta, cada una de las cuales es 32 bits en una realización. La solicitud de actualización de la BTAC 176 incluye también información (discutida más detalladamente después con respecto a la Figura 2) que está canalizada en sentido descendente con la instrucción de conexión que fue obtenida cuando se accedió al aparato 142 de predicción de direcciones objetivo de conexión a la vez con la captación de la línea en memoria caché que contiene la instrucción de conexión a partir de la memoria caché de instrucciones 104.
- 50 El microprocesador 100 incluye también una etapa de respuesta 132 acoplada a la etapa de almacenamiento 128. Dicha etapa de respuesta 132 incluye una lógica para escribir un resultado de instrucción en la etapa de registro 118.
- 55
- 60
- 65

Además de recibir la dirección objetivo predicha 164, el multiplexor 136 recibe la dirección de captación 162 y una siguiente dirección de captación secuencial 166. Un adicionador 134 genera la siguiente dirección de captación secuencial 166 incrementando la dirección de captación actual 162 en el tamaño de una línea en memoria caché. Después de una captación normal de una línea en memoria caché de la memoria caché de instrucciones 104 el multiplexor 136 selecciona la siguiente dirección de captación secuencial 166 para ser generada como la dirección de captación actual 162 en el siguiente ciclo temporal. Si la memoria intermedia de instrucciones 106 está llena, el multiplexor 136 selecciona las direcciones de captación 162 antes que la siguiente dirección de captación secuencial 166. Como se ha descrito antes, si el aparato 142 de predicción de direcciones objetivo de conexión indica que ha proporcionado una dirección objetivo predicha válida 164 para una instrucción de conexión en la línea en memoria caché actualmente captada de la memoria caché de instrucciones 104 y se ha predicho que ha de tomarse la instrucción de captación, el multiplexor 136 selecciona la dirección objetivo predicha 164 como la dirección de captación 162 en el siguiente ciclo temporal. Aunque no se ha mostrado, el multiplexor 136 recibe también una dirección correcta de la etapa de almacenamiento 128. Si dicha etapa de almacenamiento 128 indica que una instrucción de conexión fue incorrectamente predicha, entonces el multiplexor 136 selecciona la dirección correcta para la conexión incorrectamente predicha.

Con referencia ahora a la Figura 2, se muestra un diagrama de bloques que ilustra el aparato 142 de predicción de direcciones objetivo de conexión de la Figura 1. Dicho aparato 142 de predicción de direcciones objetivo de conexión incluye una lógica de control 202 que controla los diversos aspectos del funcionamiento del aparato 142 de predicción de direcciones objetivo de conexión tales como la lectura y la escritura de las BTAC 208 y una matriz LRU 212 que se describe más adelante. La lógica de control 202 recibe un indicador de instrucción 222 del microprocesador 100 que especifica la dirección de instrucciones del programa que está siendo captada para ejecución.

El aparato 142 de predicción de direcciones objetivo de conexión incluye también un multiplexor 216 de direcciones de doble entrada. Dicho multiplexor 216 de direcciones recibe las direcciones de captación 162 de la memoria caché de instrucciones 104 de la Figura 1 en una entrada y recibe una dirección de actualización 232 generada por la lógica de control 202 en la otra entrada. La lógica de control 202 controla el multiplexor 216 de direcciones para generar la dirección de captación 162 cuando las BTAC y/o la matriz LRU 212 están siendo leídas, y controla el multiplexor 216 de direcciones para seleccionar la dirección de actualización 232 cuando la BTAC 208 y/o la matriz LRU 212 están siendo escritas.

El aparato 142 de predicción de direcciones objetivo de conexión incluye también dos memorias de memoria caché de direcciones objetivo de conexión (BTAC), indicadas como BTAC A 208 y BTAC B 208B. Dichas BTAC A y BTAC B son referidas genéricamente de forma individual como BTAC 208 y colectivamente como BTACs 208. Las BTAC A 208A y BTAC B 208B también están referidas aquí como lado A y lado B. Cada BTAC 208 está acoplada para recibir una parte del índice 274 de la salida de direcciones por el multiplexor 216. En una realización el índice 274 comprende los bits 4 a 13 de la salida de direcciones por el multiplexor 216. Cada BTAC 208 es asociativa de conjuntos de dos vías. Cada valor de índice único 274 selecciona un conjunto diferente de dos vías (indicadas como vía 0 y vía 1 en la Figura 2) de cada una de las BTACs 208. Cada una de las vías 0 y 1 tiene una entrada 264 configurada para colocar en memoria caché unas direcciones objetivo 254 de una instrucción de conexión previamente ejecutada; un indicador de validez 238 que indica si la entrada 264 es válida; un desplazamiento 266 que especifica el lugar, o desplazamiento de octeto de comienzo de la instrucción de conexión previamente ejecutada dentro de la correspondiente línea en memoria caché captada de la memoria caché de instrucciones 104; una predicción tomar/no tomar (T/NT) 276 sobre si se tomará la instrucción de conexión previamente ejecutada; y una etiqueta 242 de la dirección de la línea en memoria caché que contiene la instrucción de conexión previamente ejecutada. Las BTACs 208 son actualizables de forma independiente; de aquí que la lógica de control 202 genera unas señales de escritura independientes de cada una de las BTACs 208.

Las cuatro entradas 264 seleccionadas por un valor del índice 274 (dos entradas 264 de cada una de las dos BTACs 208) son referidas aquí de forma colectiva como un grupo de índices 262, o grupo 262, como se muestra en la Figura 2. Dicha Figura 2 ilustra tres grupos representativos 262, indicados como 262A, 262B, y 262C. En una realización el aparato 142 de predicción de direcciones objetivo de conexión tiene 1.024 grupos 262. Cada vez que el captador 102 capta una línea en memoria caché de la memoria caché de instrucciones 104 las BTACs 208 generan la información 252 en memoria caché en las cuatro entradas 264 del grupo 262 seleccionadas por el índice 274 de la dirección de captación 162.

El grupo 262A es un ejemplo de un subconjunto de grupos 262 en el aparato 142 de predicción de direcciones objetivo de conexión que están colocando en memoria caché una dirección objetivo de conexión y la información relacionada de una única instrucción de conexión previamente ejecutada en cada una de cuatro líneas en memoria caché de instrucciones diferentes. Las cuatro direcciones objetivo diferentes se denominan W, X, Y, Z en el grupo 262A. Esto es, la etiqueta en memoria caché de cada una de las cuatro diferentes líneas en memoria caché es única. Así, aunque cada una de las dos BTACs 208 sea solamente un conjunto asociativo de dos vías, examinando las dos BTACs 208 colectivamente, el grupo 262A es efectivamente un grupo asociativo de cuatro vías 262, puesto que para el mismo valor del índice 274 coloca en memoria caché una dirección objetivo para una única instrucción de conexión en cuatro líneas en memoria caché diferentes.

5 El grupo 262B es un subconjunto de grupos 262 en el aparato 142 de predicción de direcciones objetivo de conexión que están colocando en memoria caché una dirección objetivo de conexión y la información relacionada para una única instrucción de conexión previamente ejecutada en cada una de las dos líneas en memoria caché de instrucción diferentes y para dos instrucciones de conexión previamente ejecutadas en una
10 tercera línea en memoria caché de instrucción diferente. Las cuatro direcciones objetivo diferentes están indicadas como W1, X, Y, W2 en el grupo 262B. W1 y W2 significan direcciones objetivo para dos instrucciones de conexión diferentes en la misma línea en memoria caché. Esto es, la etiqueta en memoria caché asociada con las direcciones objetivo W1 y W2 es idéntica, pero es la única etiqueta asociada con las direcciones X e Y. De este modo, examinando las dos BTACs 208 a la vez, el grupo 262B es efectivamente un grupo asociativo 262 de tres vías puesto que para el mismo valor del índice 274 coloca en memoria caché una dirección objetivo de una única instrucción de conexión en dos líneas en memoria caché de instrucción diferentes y coloca en memoria caché dos direcciones objetivo de dos instrucciones de conexión diferentes en una tercera línea en memoria caché de instrucciones diferente.

15 El grupo 262C ejemplifica un subconjunto de grupos 262 en el aparato 142 de predicción de direcciones objetivo de conexión que están colocando en memoria caché una dirección objetivo de conexión y la información relacionada con dos instrucciones de conexión previamente ejecutadas en cada una de dos líneas en memoria caché de instrucción diferentes. Las cuatro direcciones objetivo diferentes se denominan W1, X1, X2, W2 en el grupo 262C. W1 y W2 indican las direcciones objetivo de dos instrucciones de conexión diferentes en una primera línea en memoria caché, y X1 y X2 indican las direcciones objetivo de dos instrucciones de conexión diferentes en una segunda línea en memoria caché. Esto es, las etiquetas asociadas con las direcciones objetivo W1 y W2 son idénticas, las etiquetas en memoria caché asociadas con las direcciones objetivo X1 y X2 son idénticas, y las etiquetas en memoria caché asociadas con las direcciones objetivo W1 y W2 son las únicas etiquetas en memoria caché asociadas con las direcciones objetivo X1 y X2. De este modo, examinando las dos BTACs 208 a la vez, el grupo 262C es efectivamente un grupo asociativo de dos vías 262 ya que para el mismo valor del índice 274 coloca en memoria caché una dirección objetivo de dos instrucciones de conexión diferentes en cada una de las dos líneas en memoria caché diferentes.

30 Si un grupo 262 de índice dado en el aparato 142 de predicción de direcciones objetivo de conexión cae en el subconjunto de los grupos asociativos de índice 262 de dos vías, tres vías o cuatro vías depende de la distribución de las instrucciones de conexión previamente ejecutadas dentro de las líneas en memoria caché que almacenan las instrucciones de los programas actualmente en ejecución, y en particular, tras la distribución de las instrucciones de conexión previamente ejecutadas dentro de las líneas en memoria caché que almacenan las instrucciones de los programas actualmente en ejecución. Ventajosamente, cuando el microprocesador 100 ejecuta y finalmente resuelve una nueva instrucción de conexión y actualiza el aparato 142 de predicción de direcciones objetivo de conexión con la nueva dirección objetivo de la instrucción de conexión y la información asociada, el aparato 142 de predicción de direcciones objetivo de conexión puede sustituir una entrada existente 264 en el grupo seleccionada 262 para variar la asociatividad del grupo 262 si es necesario. En particular, el aparato 142 de predicción de direcciones objetivo de conexión puede reducir el nivel de asociatividad para acomodar una distribución de instrucciones de conexión para un índice dado 274 que tiene dos instrucciones de conexión en una línea en memoria caché o incluso dos instrucciones de conexión en dos líneas en memoria caché; por el contrario, el aparato 142 de predicción de direcciones objetivo de conexión puede incrementar el nivel de asociatividad para acomodar una distribución de instrucciones de conexión de un índice dado 274 que solamente tiene una única instrucción de conexión en cada línea en memoria caché.

50 El aparato 142 de predicción de direcciones objetivo de conexión incluye también una matriz de memoria (LRU) 212 usada recientemente. La matriz LRU 212 recibe también el índice 274, el cual selecciona una entrada en la matriz LRU 212. Cada entrada en dicha matriz LRU 212 almacena información de sustitución de uno de los grupos 262 correspondiente en las BTACs 208 seleccionadas por el índice 274. De este modo, la matriz LRU 212 es un recurso global compartido entre las dos BTACs 208. En una realización la información de sustitución incluye un bit para indicar si la BTAC A 208A o la BTAC B 208B ha sido la menos usada recientemente con respecto al grupo seleccionado 262; un bit para indicar si la vía 0 o la vía 1 de BTAC B 208B ha sido la menos usada recientemente con respecto al conjunto en BTAC B 208B seleccionado por el índice 274. Cada vez que el captador de instrucciones 102 busca una línea en memoria caché de la memoria caché de instrucciones 104, la matriz TRU 212 genera la información de sustitución 236 de la entrada seleccionada por el índice 274. La lógica de control 202 genera unos datos de actualización 234 proporcionados como entrada a las BTACs 208 y a la matriz LRU 212. La lógica de control 202 hace que el multiplexor 216 de selección de direcciones seleccione la dirección de actualización 232 cuando actualice las BTACs 208 y/o la matriz LRU 212 con los datos de actualización 234. En una realización los datos de actualización 234 pueden incluir una información LRU actualizada, direcciones objetivo, etiquetas, bits válidos, desplazamientos de instrucciones de conexión y predicciones T/NT. La lógica de control 202 usa la información de sustitución 236 para determinar qué entrada 264 sustituir en un grupo 262 cuando se resuelva una instrucción de conexión, y la canalización genera una solicitud de actualización 176, como se describe posteriormente con más detalle, particularmente con respecto a la Figura 4. La lógica de control 202 actualiza también la información de sustitución en la matriz LRU 212 basada en el uso de la información almacenada en las BTACs 208. En una realización, una entrada 264 en las BTACs 208 se considera usada para los fines menos

usados recientemente si ha sido asignada para sustitución y también si su instrucción asociada es válida, vista, y predicha tomada cuando las BTACs 208 son leídas.

5 El aparato 142 de predicción de direcciones objetivo de conexión incluye también cuatro comparadores 214 que ayudan a la detección de si la dirección de captación 162 acierta en las BTACs 208. Cada uno de los comparadores 214 recibe una etiqueta 242 generada por las BTACs 208 de una respectiva de las entradas 264 del grupo 262 seleccionado por la parte del índice 274 de la dirección de captación 162 generada por el multiplexor 216 como la dirección 274. Cada uno de los comparadores 214 compara su etiqueta respectiva 242 con la parte de etiqueta 272 de la dirección de captación 162 y genera un valor verdadero en un indicador de coincidencia respectivo 244 si la
10 etiqueta respectiva 242 coincide con la etiqueta 272 de la dirección de captación 162. Los indicadores de coincidencia 244 son proporcionados a la lógica de control 202.

15 La lógica de control 202 recibe también un indicador válido 238, un desplazamiento de instrucción de conexión 266, y la lógica de control de predicción T/NT generada por las BTACs 208 de una respectiva de las entradas 264 del grupo 262 seleccionado por el índice 274. La lógica de control 202 genera cuatro indicadores de acierto 258 correspondientes a las cuatro entradas 264 del grupo 262. La lógica de control 202 genera un valor verdadero en un indicador de acierto 258 si el indicador válido correspondiente 238 y la señal de coincidencia 244 son verdaderos. Los indicadores de acierto 258 están canalizados en sentido descendente hacia la canalización del microprocesador 100 junto con la instrucción de conexión para uso en la decisión de qué entrada 264 sustituir en un grupo 262
20 cuando se haya resuelto la instrucción de conexión.

25 El aparato 142 de predicción de direcciones objetivo de conexión incluye también un multiplexor A 206A de selección de vía con dos entradas y un multiplexor B 206B de selección de vía con dos entradas. El multiplexor A 206A de selección de vía recibe la dirección objetivo 254 desde cada una de las entradas 264 del BTAC A 208A en el grupo 262 seleccionado por el índice 274. La lógica de control 202, por medio de las señales de acierto 258, hace que el multiplexor A 206A de selección de vía seleccione para salida como dirección objetivo de lado 256A la dirección objetivo 254 de vía 0 o vía 1 en la que la dirección de captación 162 acierta. De igual manera, el multiplexor B 206B recibe la dirección objetivo 254 de cada una de las entradas 264 de la BTAC B 208B en el grupo 262 seleccionado por el índice 274, y la lógica de control 202 hace que el multiplexor B 206B de selección de vía
30 seleccione para salida como dirección objetivo de lado 256B la dirección objetivo 254 de vía 0 o vía 1 en la que la dirección de captación 162 acierta.

35 El aparato 142 de predicción de direcciones objetivo de conexión incluye también un multiplexor 204 de selección de lado de dos entradas que recibe una dirección objetivo de lado 256A y la dirección objetivo de lado 256B de los multiplexores 206 de selección de vía. La lógica de control 202, por medio de una señal de selección 278, hace que el multiplexor 204 de selección de lado genere como la dirección objetivo 164 predicha de la Figura 1 la dirección objetivo 256 de la primera instrucción de conexión vista, tomada, válida en el grupo seleccionado 262, como se describirá posteriormente más detalladamente con respecto a la Figura 3.

40 La lógica de control 202 recibe la solicitud de actualización 176 de la Figura 1. Dicha solicitud de actualización 176 incluye una información sobre la instrucción de conexión resuelta, tal como su dirección y dirección objetivo. La solicitud de actualización 176 incluye también los bits válidos 238, los desplazamientos 266, las predicciones T/NT 276, los indicadores de coincidencia 244, y la información LRU 236 generada cuando se accedió al aparato 142 de predicción de direcciones objetivo de conexión cuando la instrucción de conexión fue inicialmente captada de la memoria caché de instrucciones 104 y que fue canalizada en sentido descendente a través de la canalización del microprocesador 100 junto con la instrucción de conexión. La solicitud de actualización 176 incluye también una indicación de cuál de las BTACs 208 y cuál de las dos vías dentro de esa BTAC 208 proporcionó la información de predicción de la instrucción de conexión resuelta si dicha instrucción de conexión resuelta no era una nueva instrucción de conexión, es decir si el aparato 142 de predicción de direcciones objetivo de conexión estaba ya
45 colocando en memoria caché la información de predicción de la instrucción de conexión resuelta.
50

55 En una realización cada una de los BTACs 208 comprende matrices de memoria independientes para colocar en memoria caché la información de predicción de conexión. En una realización, por ejemplo, las direcciones objetivo de conexión 254 y los desplazamientos de instrucción de conexión 266 están puestos en memoria caché en una primera matriz de memoria, las etiquetas 242 y los bits válidos 238 están puestos en memoria caché en una segunda matriz de memoria, y las predicciones T/NT 276 están almacenadas en una tercera matriz de memoria. En una realización, los elementos de almacenamiento de las matrices de almacenamiento independientes T/NT son contadores ascendentes/descendentes de saturación de dos bits para indicar una predicción tomada fuertemente, tomada, no tomada, o fuertemente no tomada. En otra realización, las predicciones T/NT 276 son realizadas por un predictor de conexión completamente independiente distinto de las BTACs 208, tal como un cuadro de historia de conexiones.
60

65 Como puede ser observado de la Figura 2 y de las otras Figuras, el aparato 142 de predicción de direcciones objetivo de conexión del presente invento hace un uso más eficiente del espacio de almacenamiento que los predictores convencionales de conexión múltiple por línea en memoria caché al incluir un almacenamiento para colocar en memoria caché solamente una dirección objetivo única y su información relacionada por entrada más

bien que incluir estáticamente un almacenamiento para colocar en memoria caché direcciones objetivo múltiples de conexión por entrada. No obstante, la eficiencia del espacio de almacenamiento se obtiene a costa de colocar en memoria caché las etiquetas de cada BTAC 208, que en la realización de la Figura 2 tiene el doble de etiquetas que una única BTAC convencional de línea de conexión múltiple de línea en memoria caché. Sin embargo, las etiquetas tienen sustancialmente menores bits que la dirección objetivo de conexión y que la información de predicción relacionada (en una realización los 20 bits de etiqueta están puestos en memoria caché por entrada, en tanto que los 42 bits de información de predicción de conexión están puestos en memoria caché por entrada); por lo tanto, ventajosamente, el tamaño total del aparato 142 de predicción de direcciones objetivo de conexión proporciona ventajosamente una asociatividad variable por grupo, lo que potencialmente mejora su calidad de funcionamiento con respecto a una BTAC convencional.

Con referencia ahora a la Figura 3, se muestra un diagrama de flujos que ilustra el funcionamiento del aparato 142 de predicción de direcciones objetivo de conexión de la Figura 2 cuando está siendo leído para generar una dirección objetivo 164 predicha. El flujo comienza en el bloque 302.

En el bloque 302 el captador de instrucciones 102 genera la dirección de captación 162 para buscar una línea en memoria caché de instrucciones de la memoria caché de instrucciones 104 de la Figura 1. La dirección de captación 162 es también provista para acceder al aparato 142 de predicción de direcciones objetivo de conexión de la Figura 1. En respuesta a la dirección de captación 162, la lógica de control 202 controla el multiplexor de direcciones 216 para seleccionar la dirección de captación 162 para generarla como dirección 274 de la Figura 2. La parte del índice 274 de la dirección de captación 162 selecciona uno de los grupos 262 de las BTACs 208 de la Figura 2. Como se ha descrito antes, el grupo 262 comprende una entrada 264 de cada vía 0 y 1 de cada BTAC A 208A y BTAC B 208B. El flujo prosigue hacia el bloque 304.

En el bloque 304 las BTACs 208 generan la etiqueta 242, los bits válidos 238, el desplazamiento 266, la predicción T/NT 276, y la dirección objetivo 254 de la Figura 2 de cada entrada del grupo 262 seleccionado en el bloque 302. El flujo prosigue hacia el bloque 306.

En el bloque 306 los comparadores 214 comparan la etiqueta 272 de la dirección de captación 162 con cada etiqueta 242 del grupo seleccionado 262 para generar los indicadores de coincidencia 244 de la Figura 2 para cada entrada 264 en el grupo 262. El flujo prosigue hacia el bloque 308.

En el bloque 308 la lógica de control 202 genera los indicadores de acierto 258 para cada entrada 264 del grupo seleccionado 262 basándose en sus correspondientes indicadores de coincidencia 244 y en los indicadores válidos 238. La lógica de control 202 controla también los multiplexores 206 de selección de vía para seleccionar la dirección objetivo 254 de la vía en la que la dirección de coincidencia 162 acierta, como está indicado por los indicadores 258. El flujo prosigue hacia el bloque 312.

En el bloque 312 el multiplexor de selección de lado 204 selecciona la BTAC 208 que tiene la primera instrucción de conexión vista, tomada y válida, basada en el indicador de instrucciones 222, en los indicadores de acierto 258, en las predicciones T/NT 276, y en los valores de desplazamiento 266. La lógica de control 202 determina a partir de las predicciones T/NT 276 si se toma una instrucción de conexión. En una realización la instrucción de conexión se toma si su predicción T/NT 276 es tomada o fuertemente tomada. Una instrucción de conexión es vista si su valor de desplazamiento 266 es mayor que o igual al valor de los correspondientes bits menos significativos del indicador de instrucción actual 222. Una instrucción de conexión es válida si su bit válido correspondiente 238 es verdadero. Una instrucción de conexión está primero en su línea en memoria caché si es la primera en la línea en memoria caché, es decir si tiene el valor de desplazamiento 266 más bajo. Por lo tanto, si la dirección de captación 162 acierta en la BTAC A 208A y en la BTAC B 208B (es decir, si el aparato 142 de predicción de direcciones objetivo de conexión contiene una dirección objetivo válida para cada una de dos instrucciones de conexión en la línea en memoria caché actualmente captada), y se ha predicho que ambas instrucciones de conexión han de ser tomadas, y el desplazamiento 266 de ambas instrucciones de conexión es mayor que el indicador de instrucciones 222 (es decir, ambas conexiones son vistas), entonces la lógica de control 202 hace que el multiplexor 204 de selección de lado seleccione la dirección objetivo 256 de la instrucción de conexión con el menor valor de desplazamiento 266. Si la dirección de captación 162 acierta en sólo una de las BTAC A 208A y BTAC B 208B (es decir, si el aparato 142 de predicción de direcciones objetivo de conexión contiene una dirección objetivo válida para sólo una instrucción de conexión en la línea en memoria caché actualmente captada), o se ha predicho que solamente ha de ser tomada una instrucción de conexión, o el desplazamiento 266 de solamente una de las instrucciones de conexión es menor que el indicador de instrucciones 222, entonces la lógica de control 202 hace que el multiplexor 204 de selección de lado seleccione la dirección objetivo 256 de la instrucción de conexión válida, tomada, vista. El flujo termina en el bloque 312.

Con referencia ahora a la Figura 4, se muestra un diagrama de flujos que ilustra el funcionamiento del aparato 142 de predicción de direcciones objetivo de conexión de la Figura 1 cuando es actualizado en respuesta a una instrucción de conexión resuelta. El flujo comienza en el bloque 402.

- 5 En el bloque 402 la canalización del microprocesador 100 resuelve una instrucción de conexión y en respuesta genera una solicitud de actualización 176 de la Figura 1, la cual incluye la dirección de la instrucción de conexión resuelta, la dirección objetivo resuelta de la instrucción de conexión, y la información canalizada en sentido descendente generada cuando el aparato 142 de predicción de direcciones objetivo de conexión generó potencialmente una dirección objetivo predicha 164 para la instrucción de conexión. El flujo prosigue hacia el bloque de decisión 404.
- 10 En el bloque de decisión 404 la lógica de control 202 examina la información canalizada en sentido descendente en la solicitud de actualización 176 para determinar si la instrucción de conexión resuelta es una nueva instrucción de conexión, es decir si ninguna de las BTACs 208 está ya colocando en memoria caché una información de predicción válida para la instrucción de conexión resuelta. Si dicha instrucción de conexión resuelta es nueva, el flujo prosigue hacia el bloque de decisión 408, de lo contrario prosigue hacia el bloque 406.
- 15 En el bloque 406 la lógica de control 202 actualiza la vía en la BTAC A 208A o la BTAC B 208B que ya está colocando en memoria caché información de predicción válida para la instrucción de conexión resuelta, como está indicada por la información canalizada en sentido descendente en la solicitud de actualización 176. Por ejemplo, si la información canalizada en sentido descendente indica que la vía 1 de la BTAC B 208B está colocando en memoria caché una información de predicción para la instrucción de conexión resuelta, entonces la lógica de control 202 actualiza la entrada en la vía 1 de la BTAC B 208B del grupo 262 seleccionado por el índice 274 de la dirección de instrucción de conexión en la solicitud de actualización 176 que es proporcionada como dirección de actualización 232 al multiplexor 216 durante la actualización del aparato 142 de predicción de direcciones objetivo de conexión. El flujo termina en el bloque 406.
- 20 En el bloque de decisión 408 la lógica de control 202 examina la información canalizada en sentido descendente en la solicitud de actualización 176 para determinar si la parte de la dirección de captación de la instrucción de conexión resuelta acertó solamente en la BTAC A 208A. Esto es, la lógica de control 202 determina si el aparato 142 de predicción de direcciones objetivo de conexión está prediciendo que la BTAC A 208A pero no la BTAC B 208B está colocando en memoria caché información de predicción válida para una instrucción de conexión en la línea en memoria caché que contiene la instrucción de conexión resuelta, pero que no es la instrucción de conexión resuelta. Si no, el flujo prosigue hacia el bloque de decisión 414, por el contrario, el flujo prosigue hacia el bloque 412.
- 25 En el bloque 412 la lógica de control 202 sustituye la vía menos usada recientemente en la BTAC B 208B del grupo 262 seleccionado por el índice 274 de la dirección de instrucción de conexión en la solicitud de actualización 176, que es proporcionada como la dirección de actualización 232 al multiplexor 216. Esto es, la lógica de control 202 examina la información LRU 236 para el grupo seleccionado 262 para determinar si la vía 0 o la vía 1 fue recientemente la menos usada y sustituye esa vía en la BTAC B 208B con la información de predicción de la instrucción de conexión resuelta. De este modo, ventajosamente, el grupo seleccionado 262 estará colocando en memoria caché la información de predicción de conexión para dos instrucciones de conexión en la misma línea en memoria caché, que hace que sea un grupo 262 de dos vías asociativo o de tres vías asociativo dependiendo de los contenidos de las otras dos entradas 264 en el grupo 262. El flujo termina en el bloque 412.
- 35 En el bloque de decisión 414 la lógica de control 202 examina la información canalizada en sentido descendente en la solicitud de actualización 176 para determinar si la parte de dirección de captación de la instrucción de conexión resuelta acertó solamente en la BTAC B 208B. Esto es, la lógica de control 202 determina si el aparato 142 de predicción de direcciones objetivo de conexión está prediciendo que la BTAC B 208B pero no la BTAC A 208A está colocando en memoria caché una información de predicción válida para una instrucción de conexión en la línea en memoria caché que contiene la instrucción de conexión resuelta, pero que no es la instrucción de conexión resuelta. Si no, el flujo prosigue hacia el bloque de decisión 418, por el contrario, el flujo prosigue hacia el bloque 416.
- 40 En el bloque 416 la lógica de control 202 sustituye la vía menos usada recientemente en la BTAC A 208A del grupo 262 seleccionado por el índice 274 de la dirección de instrucciones de conexión en la solicitud de actualización 176, que es provista como dirección de actualización 232 al multiplexor 216. Esto es, la lógica de control 202 examina la información LRU 236 para el grupo seleccionado 262 para determinar si la vía 0 o la vía 1 fue la menos usada recientemente y sustituye esa vía en la BTAC A 208A con la información de predicción de la instrucción de conexión resuelta. De este modo, ventajosamente, el grupo seleccionado 262 estará colocando en memoria caché una información de predicción de conexión para dos instrucciones de conexiones en la misma línea en memoria caché, que hace que sea un grupo de dos vías asociativo o de tres vías asociativo dependiendo de los contenidos de las otras dos entradas 264 en el grupo 262. El flujo termina en el bloque 416.
- 45 En el bloque de decisión 418 la lógica de control 202 examina la información canalizada en sentido descendente en la solicitud de actualización 176 para determinar si la parte de dirección de captación de la instrucción de conexión resuelta acertó en la BTAC A 208A y en la BTAC B 208B. Esto es, la lógica de control 202 determina si el aparato 142 de predicción de direcciones objetivo de conexión está prediciendo que BTAC B 208B y BTAC A 208A está cada una colocando en memoria caché una información de predicción válida para una instrucción de conexión diferente en la línea en memoria caché que contiene la instrucción de conexión resuelta, pero que no es la
- 50
- 55
- 60
- 65

instrucción de conexión resuelta. Si no, el flujo prosigue hacia el bloque de decisión 424, por el contrario, el flujo prosigue hacia el bloque 422.

5 En el bloque 422 la lógica de control 202 sustituye la vía acertada en la BTAC A 208A menos usada recientemente del grupo 262 seleccionado por el índice 274 de la dirección de instrucción de conexión en la solicitud de actualización 176, que es provista como dirección de actualización 232 al multiplexor 216. Esto es, la lógica de control 202 examina la información LRU 236 para el grupo seleccionado 262 para determinar si la BTAC A 208A o la BTAC B 208B fue la menos usada recientemente dentro del grupo seleccionado 262; entonces la lógica de control 10 202 examina la información canalizada en sentido descendente en la solicitud de actualización 176 para determinar si la vía 0 o la vía 1 acierta en la BTAC 208 menos usada recientemente y sustituye esa vía en dicha BTAC 208 menos usada recientemente con la información de predicción de la instrucción de predicción de la instrucción de conexión resuelta. De este modo, ventajosamente, el grupo seleccionado 262 estará todavía colocando en memoria caché una información de predicción de conexión para dos instrucciones de conexión en la misma línea en memoria caché, que hace que sea un grupo asociativo de dos vías o asociativo de tres vías 262 dependiendo de los 15 contenidos de las otras dos entradas 264 en el grupo 262. El flujo termina en el bloque 422.

En el bloque 424, no acierta ninguna BTAC 208, es decir la información canalizada en sentido descendente 176 indica que la parte de dirección de captación de la instrucción de conexión resuelta no acierta en la BTAC A 208A ni en la BTAC B 208B. Es decir, ni la BTAC B 208B ni la BTAC A 208A están colocando en memoria caché una 20 información de predicción válida para una instrucción de conexión en la línea en memoria caché que contiene la instrucción de conexión resuelta. Por lo tanto, la lógica de control 202 elige una BTAC 208 y una vía para sustituir basándose en el número de entradas válidas en el grupo seleccionado 262 y basándose en la BTAC 208 menos usada recientemente. En particular, la lógica de control 202 elige la BTAC 208 menos usada recientemente del grupo 262 a menos que sean válidas ambas vías de una BTAC 208 y no sean válidas ambas vías de la otra BTAC 25 208, en cuyo caso la lógica de control 202 sustituye la otra BTAC 208 como se describe más adelante en el código que viene a continuación. El flujo termina en el bloque 424.

El código que sigue describe el método de sustitución usado por la lógica de control 202, la cual se resume en el 30 diagrama de flujos de la Figura 4.

30

35

40

45

50

55

60

65

```

//
// Btac update logic
//

// Define some signals needed below

wire [1:0] xbpBtacRdHitA_W, xbpBtacRdHitB_W;
rregs #(2) rhaw (xpbBtacRdHitA_W, xbpBtacRdHitA_S, clk);
rregs #(2) rnbw (xpbBtacRdHitB_W, xbpBtacRdHitB_S, clk);

wire xcfBtacAHit_W = | xbpBtacRdHitA_W;
wire xcfBtacBHit_W = | xbpBtacRdHitB_W;

wire xcfBtacHitAB_W = xcfBtacAHit_W & xcfBtacBHit_W;

wire [1:0] xbpBtacRdValA_W, xbpBtacRdValB_W;
rregs #(2) rvaw (xpbBtacRdValA_W, xbpBtacRdValA_S, clk);
rregs #(2) rvbw (xpbBtacRdValB_W, xbpBtacRdValB_S, clk);

wire xcfBtacAFull_W = & xbpBtacRdValA_W;
wire xcfBtacBFull_W = & xbpBtacRdValB_W;

// Definition of what the 3 bits in the lru mean:

// lru data
// bit 2 - side A mru
// bit 1 - A way 1 mru
// bit 0 - B way 1 mru

//
// For this 16B
// New Branch   HitA   HitB   Method
// 0             -      -      Use staged way/side
// 1             0      0      Use 3b mru
// 1             0      1      Use 1b A mru
// 1             1      0      Use 1b B mru
// 1             1      1      Use 1b side mru to choose side, then replace way that
hit

// For case of new branch, no hits for this 16B. To choose side A vs. B:
//
//
//           Valid
//           Side A   Side B   Method
//           2         2       A/B mru
//           2         1       Choose B
//           1         2       Choose A
//           2         0       Choose B
//           0         2       Choose A
//           1         1       A/B mru
//           1         0       A/B mru
//           0         1       A/B mru
//           0         0       A/B mru
//
// The mru bit is used for the last four cases for proper behavior for case of 2
branches
// in the same 16B seen close together. The btac valid bits staged down for the
second
// branch may not include the write of the first branch. Using the A/B mru bit
allows
// for each branch to be correctly placed on opposite btac sides.
//

```

```

// Note that if, for instance, side A is marked as having both ways valid, while side
B
// has no ways valid, then if the mru bit indicates B was mru, one of 3 cases has
// occurred:
// 1) 2 branches in the same 16B were seen close together. The first branch was
written
// to side B, so the second branch should be written to side A, even though it
will
// displace another branch.
// 2) A branch on side B was mru, but it has since been invalidated due to aliasing
or
// self-modifying code.
// 3) 2 branches with the same index, not in the same 16B, were seen close together.
The
// first branch was written to side B, but the second branch should be also
written to
// side B, to avoid displacing another branch.
// Case 1 should be more common than case 2, but not more common than case 3. So
// should choose the side that is not already full.

// lru read addr from E, lru write addr 3 cycles later
// E - read address to lru
// S - lru read, capture in xcfetch
// W - use lru data to determine replacement way, capture new lru write data
// Z - write lru

wire [2:0] xcfBtacLruRdData_W;
rregs_io # (3) lrurd (xcfBtacLruRdData_W, btacLruRdData_P, clk);

wire xcfBtacSideAMRU_W = xcfBtacLruRdData_W[2];
wire xcfBtacAWay1MRU_W = xcfBtacLruRdData_W[1];
wire xcfBtacBWay1MRU_W = xcfBtacLruRdData_W[0];

// if this 16B has no hits in either A or B, use normal lru
wire xcfBtacAReplaceWay0_W = (xcfBtacAWay1MRU_W & xbpBtacRdValA_W[1]) |
~xbpBtacRdValA_W[0];
wire xcfBtacBReplaceWay0_W = (xcfBtacBWay1MRU_W & xbpBtacRdValB_W[1]) |
~xbpBtacRdValB_W[0];

// Choose side to write based on mru bit and valids
wire xcfBtacLruSelSideA_W = (~xcfBtacAFull_W & xcfBtacBFull_W) |
(~xcfBtacSideAMRU_W & ~ (xcfBtacAFull_W &
~xcfBtacBFull_W));

wire xcfBtacBaseReplace0_W = xcfBtacLruSelSideA_W ? xcfBtacAReplaceWay0_W :
xcfBtacBReplaceWay0_W;

// if this 16B already has a hit in either A or B, must write to opposite side
wire xcfBtacForceSideA_W = ~xcfBtacAHit_W & xcfBtacBHit_W;
wire xcfBtacForceSideB_W = xcfBtacAHit_W & ~xcfBtacBHit_W;

// if this 16B already has a hit in both A and B, must replace one
wire xcfBtacReplaceHitSideA_W = xcfBtacHitAB_W & ~xcfBtacSideAMRU_W;
wire xcfBtacReplaceHitSideB_W = xcfBtacHitAB_W & xcfBtacSideAMRU_W;

wire xcfBtacUseBaseReplace_W = ~xcfBtacAHit_W & ~xcfBtacBHit_W;

wire xcfBtacReplaceWay0_W = (xcfBtacForceSideA_W & xcfBtacAReplaceWay0_W) |
(xcfBtacForceSideB_W & xcfBtacBReplaceWay0_W) |
(xcfBtacReplaceHitSideA_W & xbpBtacRdHitA_W[0]) |
(xcfBtacReplaceHitSideB_W & xbpBtacRdHitB_W[0]) |
(xcfBtacUseBaseReplace_W & xcfBtacBaseReplace0_W);

wire [1:0] xcfBtacReplaceWay_W = {~xcfBtacReplaceWay0_W, xcfBtacReplaceWay0_W};

wire xcfBtacReplaceA_W = xcfBtacForceSideA_W | xcfBtacReplaceHitSideA_W |
(~xcfBtacForceSideB_W & ~xcfBtacHitAB_W &
xcfBtacLruSelSideA_W);

//
// Determine if this branch is already in the btac.
// if so, rewrite using the staged way and side, not the lru-chosen victim:

```

```

// Choose replacement side only for real new branches. Must qualify WrNew with
// -(Valid and MatchAB), which indicates we are actually re-writing an existing
// branch due to cache miss, bad target, etc. xbpBtacSela_W handles these cases.
wire xcfBtacValidMatch_W = xbpBtacValid_W & xbpBtacMatch_W;
wire xcfBtacWrNewReal_W = xcfBtacWrNew_W & ~xcfBtacValidMatch_W;

// Choose replacement side for new branch

wire xcfBtacWrQA_W = xcfBtacWrNewReal_W ? xcfBtacReplaceA_W :
                    xbpBtacSela_W;

// If btac was valid for the 16B containing the ins, replace same way, else use
// lru-chosen victim.

wire [1:0] xcfBtacStagedWay_W = xbpBtacSela_W ? xbpBtacRdHitA_W :
                                xbpBtacRdHitB_W;

wire [1:0] xcfBtacWrQWay_W = xcfBtacWrNewReal_W ? xcfBtacReplaceWay_W :
                            xcfBtacStagedWay_W;

// lru write

// lru update on both allocate and use

// write the lru if the branch was seen and predicted taken
// or when initializing
wire xcfBtacLruWrEn_W = xcfBranchT_W | xcfInitBtac_P;
rregs lrup (xcfBtacLruWrEn_P, xcfBtacLruWrEn_W, clk);

// lru data
// bit 2 - side B mru
// bit 1 - A way 1 mru
// bit 0 - B way 1 mru

wire [2:0] xcfBtacLruWrData_W;

assign xcfBtacLruWrData_W[2] = ~xcfBtacWrQA_W;
assign xcfBtacLruWrData_W[1] = ( xcfBtacWrQA_W & ~xcfBtacReplaceWay0_W ) |
                                ( ~xcfBtacWrQA_W & btacLruRdData_P[1] );
assign xcfBtacLruWrData_W[0] = ( ~xcfBtacWrQA_W & ~xcfBtacReplaceWay0_W ) |
                                ( xcfBtacWrQA_W & btacLruRdData_P[0] );

// force 000 when initializing
rregs #(3) lrupd (xcfBtacLruWrData_P, xcfBtacLruWrData_W & {3{~xcfInitBtac_P}}, clk);

```

- 5 Aunque el presente invento y sus fines, características, y ventajas han sido descritas con detalle, otras realizaciones caen dentro del alcance del invento. Por ejemplo, aunque se ha descrito una realización en la que el aparato de predicción de conexión tiene dos lados y cada lado es asociativo de un conjunto de dos vías, se consideran otras realizaciones. Por ejemplo, se considera una realización en la que el aparato tiene cuatro lados y cada lado es una memoria caché de correspondencia directa. Una ventaja de esta realización es que permite que algunos grupos predigan direcciones objetivo para tres instrucciones de conexión en la misma línea en memoria caché y para una instrucción de conexión en una línea caché diferente para obtener de forma efectiva una asociatividad de dos vías del grupo, y permite a algunos grupos predecir direcciones objeto para cuatro instrucciones de conexión en la misma línea en memoria caché para obtener de forma efectiva una asociatividad de una vía del grupo. Esta realización puede ser útil para captaciones de líneas en memoria caché relativamente grandes. Sin embargo, una desventaja de esta realización consiste en que la lógica de control requiere más tiempo para seleccionar la primera instrucción de conexión vista, tomada, válida de dos instrucciones de conexión. El tiempo adicional podría requerir una reducción en la frecuencia temporal del procesador o unas etapas de canalización adicionales. El coste del tiempo adicional asociado a esta realización tiene que ser valorado en relación con las ventajas basadas en la probabilidad de que tres o cuatro instrucciones de conexión estén contenidas en la misma línea en memoria caché, lo cual puede aumentar con el aumento del tamaño de la línea en memoria caché.

- Además, aunque se han descrito realizaciones en las que el número de entradas en un grupo es cuatro, se consideran otras realizaciones en las que cada grupo contiene otro número de entradas. Por ejemplo, se considera una realización en la que el aparato tiene dos lados y cada lado es una memoria caché con correspondencia directa de forma que cada grupo contiene dos entradas. En otro ejemplo se considera una realización en la que el aparato tiene dos lados y cada lado es una memoria caché asociativa de conjunto de cuatro vías, de forma que cada grupo contiene ocho entradas. En otro ejemplo se considera una realización en la que el aparato tiene cuatro lados y cada lado es una memoria caché asociativa de conjunto de dos vías, de forma que cada grupo contiene ocho entradas. Más generalmente, se consideran realizaciones en las que el aparato tiene N lados y cada lado es una memoria caché asociativa de M vías, de forma que cada grupo contiene MxN entradas. De este modo algunos grupos pueden

5 obtener de forma efectiva una asociatividad de (MxN) vías y predecir una dirección objetivo para solamente una
 única instrucción de conexión en MxN líneas en memoria caché diferentes, otros grupos pueden obtener de forma
 efectiva una asociatividad de (MxN-1) vías y predecir una dirección objetivo para solamente una única instrucción de
 conexión en MxN-1 líneas en memoria caché diferentes y predecir una dirección objetivo para dos instrucciones de
 10 conexión en una segunda línea en memoria caché diferente; otros grupos pueden de forma efectiva obtener una
 asociatividad de (MxN-2) vías y predecir una dirección objetivo para solamente una única instrucción de conexión en
 MxN-2 líneas en memoria caché diferentes y predecir una dirección objetivo para dos instrucciones de conexión en
 una segunda línea en memoria caché diferente y predecir una dirección objetivo para dos instrucciones de conexión
 en una tercera línea en memoria caché, y así sucesivamente hasta que finalmente otros grupos que puedan de
 15 forma efectiva obtener una asociatividad de N vías y predecir una dirección objetivo para M instrucciones de
 conexión en cada una de las N líneas en memoria caché diferentes.

Además, pueden conseguirse diversas combinaciones de números de instrucciones de conexión por línea en
 memoria caché dentro de un nivel de asociatividad de grupos dado. Por ejemplo, se supone que un aparato con
 20 cuatro lados y cada lado es una memoria caché asociativa de conjunto de dos vías. Un grupo puede de forma
 efectiva obtener una asociatividad de cuatro vías prediciendo para: 1) cuatro conexiones en una primera línea en
 memoria caché, dos conexiones en una segunda línea en memoria caché, y una conexión en las tercera y cuarta
 líneas en memoria caché; 2) tres conexiones en una primera línea en memoria caché, dos conexiones en una
 segunda y una tercera líneas en memoria caché, y una conexión en una cuarta línea en memoria caché; 3) tres
 25 conexiones en una primera línea en memoria caché, tres conexiones en una segunda línea en memoria caché, y
 una conexión en una tercera y cuarta líneas en memoria caché; o 4) dos conexiones en cada una de las cuatro
 líneas en memoria caché.

En tanto que se han descrito diversas realizaciones del presente invento, se sobreentiende que han sido
 30 presentadas a modo de ejemplo, y no una limitación. Para las personas expertas en las técnicas de cálculo será
 evidente que en ellas se pueden realizar diversos cambios en la forma y detalle sin apartarse del espíritu y alcance
 del invento.

Por ejemplo, además de usar equipos físicos (por ejemplo, dentro o acoplados a una Unidad de Procesamiento
 Central ("CPU"), microprocesador, microcontrolador, procesador de señales digitales, núcleo del procesador,
 Sistema en el microcircuito ("SOC"), o cualquier otro dispositivo programable), se pueden también incorporar en el
 soporte lógico aplicaciones (por ejemplo, códigos que pueden ser leídos por un ordenador, código de programa,
 instrucciones y/o datos dispuestos en cualquier modo, tal como lenguaje fuente, objeto o máquina) dispuestos, por
 35 ejemplo, en un medio utilizable por un ordenador configurado para almacenar el soporte lógico. Tal soporte lógico
 puede permitir, por ejemplo, la función, fabricación, modelización, simulación, descripción y/o ensayo del aparato y
 de los métodos aquí descritos. Por ejemplo, esto puede conseguirse mediante el uso de lenguajes de programación
 general (por ejemplo, C, C++), bases de datos GDSII, lenguajes de descripción del equipo físico (HDL) entre los que
 están Verilog HDL, VHDL, y así sucesivamente, y otros programas disponibles, bases de datos, y/o herramientas de
 40 captura de circuitos (es decir, esquemáticos). Tal soporte lógico puede estar dispuesto en cualquier medio usable
 por ordenador entre los que están semiconductores, discos magnéticos, discos ópticos (por ejemplo, CD-ROM,
 DVD-ROM, etc.) y como una señal de datos para ordenador en un medio de transmisión que puede ser utilizado por
 un ordenador (es decir, que puede ser leído) (por ejemplo, una onda portadora o cualquier otro medio que incluye
 los medios digitales, ópticos, o de base analógica). Como tal, el soporte lógico puede ser transmitido sobre redes de
 45 comunicación que incluyen las Internet e intranets.

Se sobreentiende que el aparato y método descritos aquí pueden ser incluidos en un núcleo de propiedad intelectual
 a base de semiconductores, tal como un núcleo de microprocesador (por ejemplo, incorporado en HDL) y
 transformado en equipo físico en la producción de circuitos integrados. Adicionalmente, los aparatos y métodos aquí
 descritos pueden ser realizados como una combinación de equipo físico y de soporte lógico. Así, el presente invento
 50 no estaría limitado por cualquiera de las realizaciones de ejemplos antes descritas, sino que estarían definidas
 solamente de acuerdo con las siguientes reivindicaciones y sus equivalentes.

REIVINDICACIONES

- 5 1. Un aparato en un microprocesador (100) para predecir una dirección objetivo para un número variable de instrucciones de conexión en una línea en memoria caché captada de una memoria caché de instrucciones (104) en una dirección de captación, estando el aparato **caracterizado por**:
- 10 M memorias caché asociativas (208) de un conjunto de N vías, teniendo cada una una entrada de índices acoplada para recibir una parte de la dirección de captación de la memoria caché de instrucciones, en el que dicho índice selecciona una de una pluralidad de grupos de MxN entradas, comprendiendo dicho grupo una entrada en cada vía de cada una de dichas M memorias caché (208), en el que cada una de dichas entradas está configurada para colocar en memoria caché una dirección objetivo de una instrucción de conexión previamente ejecutada, en el que dicha M es mayor que 1; y
- 15 una lógica de sustitución, acoplada a dichas M memorias caché (208), configurada para seleccionar una de dichas entradas en respuesta a dos resoluciones de una instrucción de conexión, de forma que durante el funcionamiento del microprocesador:
- 20 a) para un primer subconjunto de dicha pluralidad de grupos dichas MxN entradas están colocando en memoria caché direcciones objetivo para una instrucción de conexión en cada una de las MxN líneas en memoria caché diferentes para obtener una asociatividad de grupos de MxN vías, y
- b) para un segundo subconjunto de dicha pluralidad de grupos dichas MxN entradas están colocando en memoria caché direcciones objetivo para una instrucción de conexión en cada una de (MxN-1) líneas en memoria caché diferentes y dos instrucciones de conexión en una línea en memoria caché diferente MxN-ésima para obtener de forma efectiva una asociatividad de grupos de (MxN-1) vías.
- 25 2. El aparato mencionado en la reivindicación 1, en el que para dicho segundo subconjunto de dicha pluralidad de grupos, si la dirección de captación de memorias caché de instrucciones acierta en dos de dichas memorias caché, dichas M memorias caché están configuradas para proporcionar dichas direcciones objetivo de dichas dos instrucciones de conexión en dicha línea en memoria caché MxN-ésima.
- 30 3. El aparato mencionado en la reivindicación 2, que además comprende:
- un multiplexor de selección de lado acoplado a dichas M memorias caché, configurado para seleccionar una de dichas direcciones objetivo de dichas dos instrucciones de conexión en dicha tercera línea en memoria caché basándose en una situación de cada una de dichas dos instrucciones de conexión dentro de dicha
- 35 línea en memoria caché MxN-ésima relativa a un indicador de instrucción del microprocesador.
4. El aparato mencionado en la reivindicación 3, en el que dicho multiplexor de selección de lado está configurado para seleccionar una de dichas direcciones objetivo de una primera válida, tomada, vista de dichas dos instrucciones de conexión relativas a dicho indicador de instrucción.
- 40 5. El aparato mencionado en la reivindicación 1, en el que dicha lógica de sustitución está además configurada para seleccionar para sustitución una de dichas entradas en respuesta a la resolución de una instrucción de conexión, de forma que durante el funcionamiento del microprocesador:
- 45 c) para un tercer subconjunto de dicha pluralidad de grupos, dichas MxN entradas están colocando en memoria caché direcciones objetivo de una instrucción de conexión en cada una de (MxN-2) líneas en memoria caché diferentes y dos instrucciones de conexión en cada una de dos líneas en memoria caché diferentes para obtener una asociatividad de grupos de (MxN-2) vías.
- 50 6. El aparato mencionado en la reivindicación 1, en el que dicha lógica de sustitución está además configurada para seleccionar para sustitución una de dichas entradas en respuesta a la resolución de una instrucción de conexión, de forma que durante el funcionamiento del microprocesador:
- 55 c) para un tercer subconjunto de dicha pluralidad de grupos, dichas MxN entradas están colocando en memoria caché direcciones objetivo de M instrucciones de conexión en cada una de N líneas en memoria caché diferentes para obtener una asociatividad de grupos de N vías.
7. El aparato mencionado en la reivindicación 1, en el que dicha M es 2 y dicha N es 2.
- 60 8. Un método en un microprocesador (100) para predecir una dirección objetivo para un número variable de instrucciones de conexión en una línea en memoria caché captada de una memoria caché de instrucciones (104) en una dirección de captación, estando el aparato **caracterizado por** los pasos de:
- 65 proporcionar un índice a M memorias caché asociativas (208) de conjuntos de N vías para seleccionar una de la pluralidad de grupos de MxN entradas, comprendiendo cada grupo una entrada en cada vía de cada una de las M memorias caché (208), colocando en memoria caché cada una de las entradas una dirección

objetivo de una instrucción de conexión previamente ejecutada, siendo el índice una parte de la dirección de captación de la memoria caché de instrucciones, en el que M es mayor que 1, y seleccionando para sustitución, en respuesta a la resolución de una instrucción de conexión, una de las entradas de forma que durante el funcionamiento del microprocesador:

- 5
- a) para un primer subconjunto de la pluralidad de grupos las MxN entradas están colocando en memoria caché direcciones objetivo para una instrucción de conexión en cada una de las MxN líneas en memoria caché diferentes para obtener una asociatividad de grupos de MxN vías, y
- 10 b) para un segundo subconjunto de dicha pluralidad de grupos, las MxN entradas están colocando en memoria caché direcciones objetivo para una instrucción de conexión en cada una de las (MxN-1) líneas en memoria caché diferentes y dos instrucciones de conexión en una línea en memoria caché diferente MxN-ésima para obtener de forma efectiva una asociatividad de grupos de (MxN-1) vías.

15 9. El método mencionado en la reivindicación 8, que además comprende:

- para el segundo subconjunto de la pluralidad de grupos, determinar si la dirección de captación en memoria caché de instrucciones acierta en dos de las M memorias caché;
- proporcionar por cada una de las dos o las M memorias caché las direcciones objetivo de las dos instrucciones de conexión en la línea en memoria caché MxN-ésima; y
- 20 seleccionar una de las direcciones objetivo de las dos instrucciones de conexión en la memoria caché MxN-ésima basándose en una situación de cada una de las dos instrucciones de conexión dentro de la línea en memoria caché MxN-ésima uno y la correspondiente dos un indicador de instrucción del microprocesador, en el que dicha selección de una de las direcciones objetivo comprende seleccionar una de las direcciones objetivo de una primera válida, tomada, vista una de las dos instrucciones de conexión relativa al indicador de instrucción.
- 25

10. El método mencionado en la reivindicación 8, que además comprende:

- 30 almacenar una información de sustitución asociada con cada uno de la pluralidad de grupos para uso en dicha selección para sustitución de una de las entradas, en respuesta a la resolución de la instrucción de conexión.

11. El método mencionado en la reivindicación 10, en el que si la instrucción de conexión resuelta no tiene su dirección objetivo ya en memoria caché en las M memorias caché, y si la dirección de captación de la instrucción de conexión resuelta no acierta en al menos una de las M memorias caché, dicha selección para sustitución comprende la selección para sustituir de una de las vías de al menos una de las M memorias caché.

35

12. El método mencionado en la reivindicación 11, en el que la información de sustitución comprende, para cada uno de los M conjuntos de cada grupo, una indicación de cuál de las N vías del conjunto fue usada recientemente, en el que dicha selección de sustitución comprende seleccionar para sustitución la última vía recientemente usada.

40

13. El método mencionado en la reivindicación 10, en el que la información de sustitución comprende una indicación de cuál de las M memorias caché fue la menos usada recientemente, en el que si la instrucción de conexión resuelta no tiene su dirección objetivo ya colocada en memoria caché en las M memorias caché, y si la dirección de captación de la instrucción de conexión resuelta acierta en todas las M memorias caché, dicha selección para sustitución comprende la selección para sustitución de la menos recientemente usada de las M memorias caché.

45

14. El método mencionado en la reivindicación 10, en el que la información de sustitución comprende una indicación de cuál de las M memorias caché fue la menos usada recientemente, en el que si la instrucción de conexión resuelta no tiene su dirección objetivo ya colocada en memoria caché en las M memorias caché, y si la dirección de captación de la instrucción de conexión resuelta no acierta en ninguna de las M memorias caché, dicha selección para sustitución comprende la selección para sustitución de la menos recientemente usada de las M memorias caché.

50

55 15. El método mencionado en la reivindicación 8, en el que M es 2 y N es 2.

Fig. 1

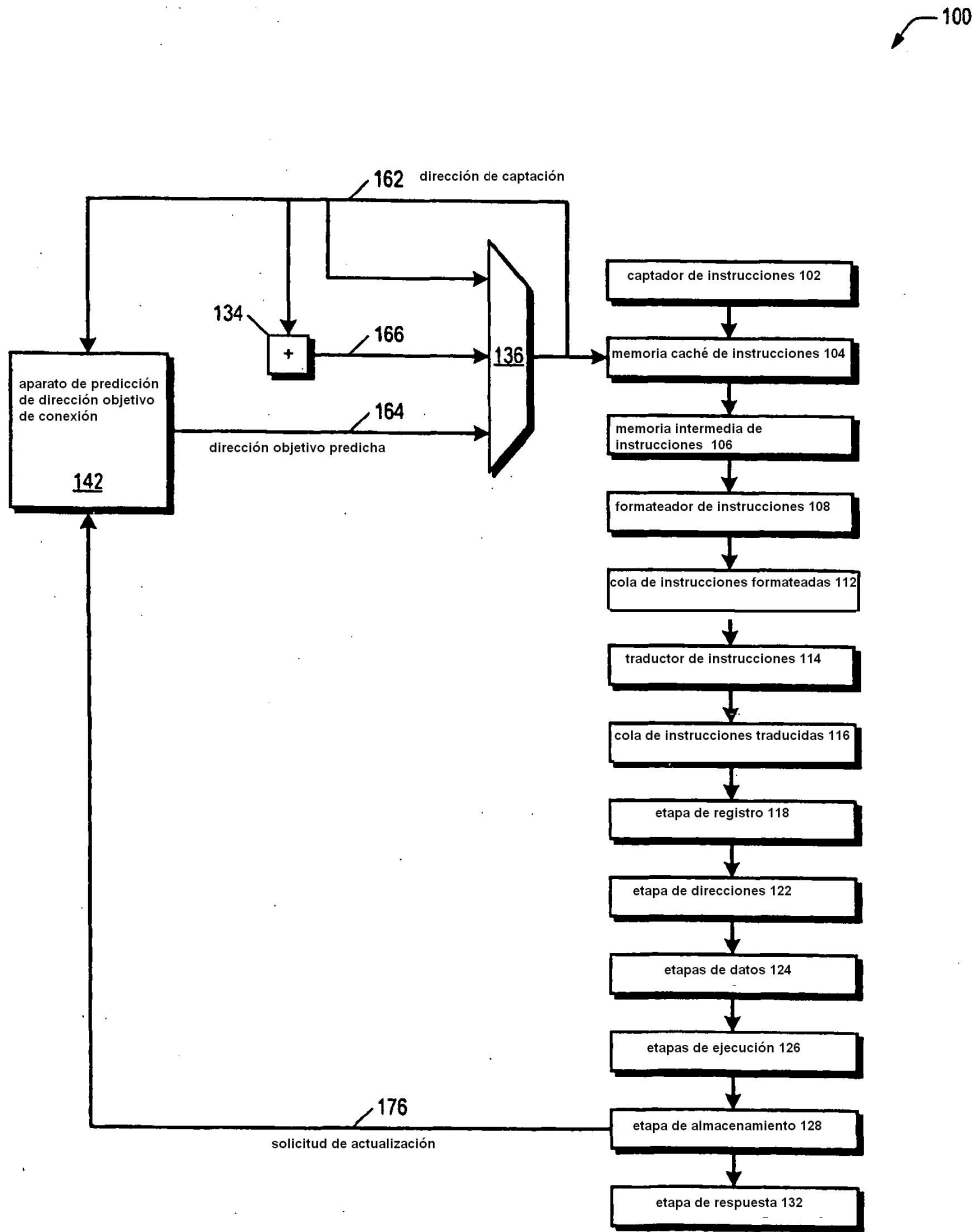


Fig. 2

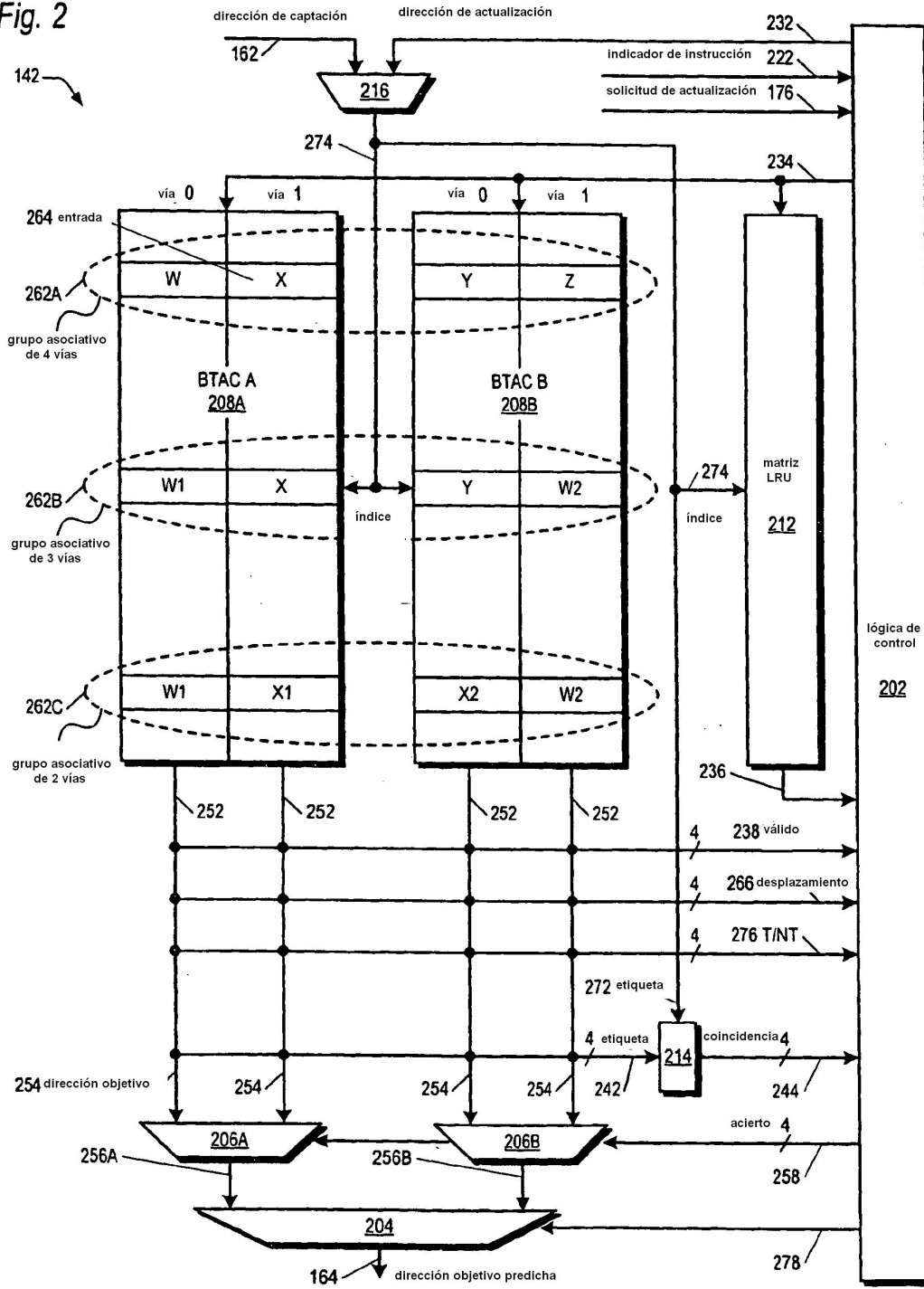


Fig. 3

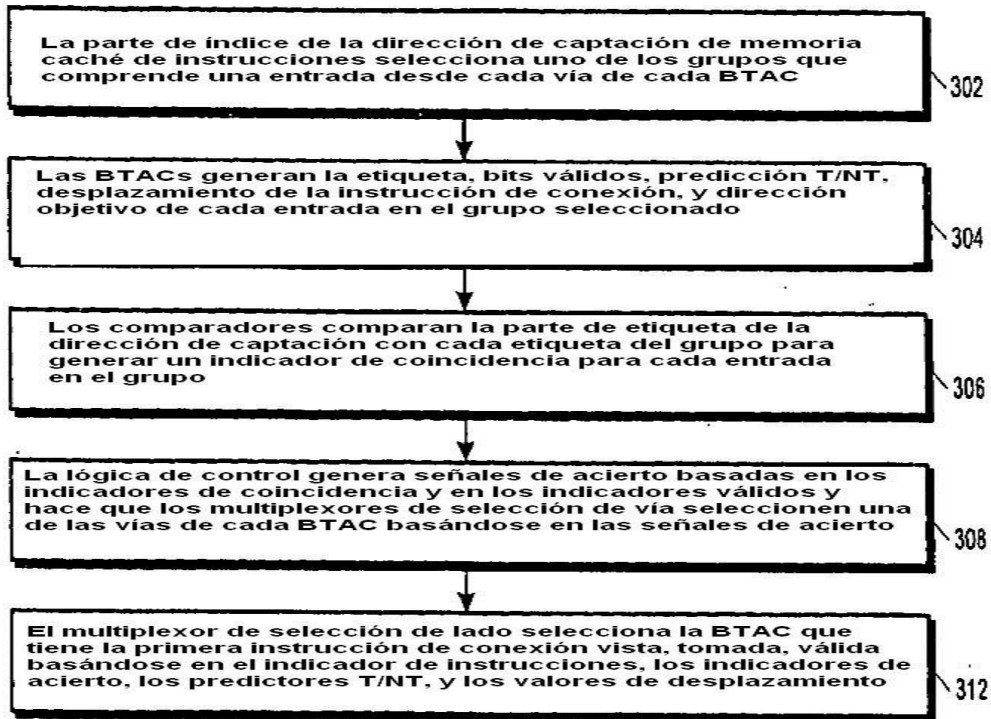


Fig. 4

