

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 378 821**

51 Int. Cl.:
H03M 3/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **04710707 .3**
- 96 Fecha de presentación: **12.02.2004**
- 97 Número de publicación de la solicitud: **1604458**
- 97 Fecha de publicación de la solicitud: **14.12.2005**

54 Título: **Modulador sigma-delta con pasabanda LC de tecnología mixta MEMS/BICMOS para muestreo de RF directo**

30 Prioridad:
19.03.2003 US 391991

45 Fecha de publicación de la mención BOPI:
18.04.2012

45 Fecha de la publicación del folleto de la patente:
18.04.2012

73 Titular/es:
**RAYTHEON COMPANY
870 WINTER STREET
02451-1449 WALTHAM, MASSACHUSETTS
02451-1449, US**

72 Inventor/es:
LINDER, Lloyd F.

74 Agente/Representante:
de Elzaburu Márquez, Alberto

ES 2 378 821 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Modulador sigma-delta con pasabanda LC de tecnología mixta MEMS/BICMOS para muestreo de RF directo.

5 La presente invención se refiere a un modulador sigma-delta, que comprende una primera unión aditiva, una segunda unión aditiva, un amplificador de transconductancia conectado eléctricamente a una salida de la primera unión aditiva y a una entrada de la segunda unión aditiva y por lo menos un conversor digital-a-analógico.

10 Se conoce un modulador sigma-delta de este tipo a partir del documento US 5.729.230.

Campo de la Invención

La presente invención se refiere además a moduladores sigma-delta y, más particularmente, a un modulador sigma-delta de un solo chip que utiliza la tecnología de sistemas electromecánicos (MEMS) y la tecnología BiCMOS para proporcionar un modulador flexible de baja potencia.

15 Antecedentes de la Invención
Existen dos técnicas básicas para realizar la conversión analógica-a-digital. Un conversor analógico-a-digital (ADC) que usa la primera técnica, conocida como la técnica de la velocidad de Nyquist, genera una señal digital directamente en respuesta a una señal de entrada analógica. El ADC de velocidad de Nyquist muestrea la señal de entrada analógica a dos veces la frecuencia (conocida como la frecuencia de Nyquist) del componente de frecuencia más alto esperado de la señal de entrada. El ADC de velocidad de Nyquist usa una serie de componentes adaptados de manera precisa para digitalizar la señal de entrada. La resolución y la precisión del ADC de velocidad de Nyquist dependen de la adaptación de estos componentes. No obstante, los componentes de alta precisión resultan difíciles de lograr en el procesado convencional de circuitos integrados.

20 Un ADC que usa la siguiente técnica, conocida como la técnica sigma-delta, representa la señal de entrada analógica generando un flujo continuo de muestras digitales cuya densidad de impulsos es una medida del voltaje en la entrada del ADC. El ADC sigma-delta incluye un modulador sigma-delta y un diezmador. El modulador incluye un cuantificador que genera una señal de salida digital en respuesta a una diferencia filtrada entre la señal de entrada analógica y una señal de realimentación. La señal de realimentación es la señal de salida digital reconvertida en una señal analógica en un conversor digital-a-analógico (DAC). El modulador está sobremuestreado, lo cual significa que la velocidad de muestreo está por encima de la velocidad de Nyquist. El diezmador remuestrea la salida del modulador y proporciona una palabra de datos de N bites a la velocidad de Nyquist. La técnica sigma-delta logra una alta resolución mediante una temporización precisa en lugar de los componentes adaptados de manera precisa (resistores y condensadores) que requiere el ADC de velocidad de Nyquist.

25 Un ADC sigma-delta sencillo usa un modulador de primer orden con un único integrador que realiza la función de filtro, un cuantificador de un bite, y un DAC de un bite. Puesto que el cuantificador puede proporcionar la salida del modulador en solamente uno de dos niveles, su funcionamiento es necesariamente lineal. El modulador sigma-delta de primer orden tiene un ruido de cuantificación alto a la frecuencia de muestreo. La acción del filtro en el modulador conforma el ruido de cuantificación de manera que es mayor a frecuencias más altas. De este modo, al conversor se le hace referencia como ADC conformador de ruido. El diezmador incluye también un filtro que presenta una característica de pasabajo con una frecuencia de corte a la frecuencia de Nyquist. Puesto que la frecuencia de muestreo es mucho mayor que la frecuencia de Nyquist, habitualmente el filtro puede atenuar de manera suficiente este ruido de cuantificación fuera-de-banda.

30 Un ADC de segundo orden que tiene dos filtros en el bucle del modulador presenta un ruido de cuantificación fuera-de-banda mayor pero un ruido dentro-de-banda menor que el ADC de primer orden. De este modo, si el ruido fuera-de-banda se puede filtrar de manera suficiente, el modulador sigma-delta de segundo orden presenta un mejor rendimiento. La atenuación necesaria se puede lograr si el filtro de diezmado es un orden mayor que el orden del modulador. Se pueden lograr aumentos adicionales del rendimiento usando moduladores de orden superior, aunque los moduladores de orden superior tienden a resultar más difíciles de estabilizar.

35 Típicamente, los moduladores sigma-delta se implementan diseñando el integrador o bien en el dominio del tiempo discreto (por ejemplo, usando filtros de condensadores conmutados) o bien en el dominio del tiempo continuo (por ejemplo, usando filtros de RC, de transconductores-C, y de LC). Un inconveniente de los moduladores en tiempo discreto es que en general son más lentos que sus homólogos en tiempo continuo. Por otro lado, los moduladores de tiempo continuo se implementan típicamente con inductores fuera del chip, aunque se han intentado diseños que usan inductores en el chip. No obstante, los diseños con inductores en el chip padecen las limitaciones de la Q disponible para inductores en el chip en silicio y requieren circuitos activos de mejora de la Q, los cuales introducen ruido y distorsión. Los inductores en el chip tienen además un intervalo de frecuencias limitado, para un valor de inductancia dado, sobre el cual se produce cualquier valor significativo de Q. Adicionalmente, la sintonización de la frecuencia central se logra usando unos circuitos activos, lo cual deteriora como resultado el suelo del ruido térmico global del modulador a medida que la frecuencia central se ajusta. Además, dichos diseños carecen de flexibilidad (por ejemplo, la capacidad de ajustar dinámicamente las características del modulador) en las frecuencias de

radiocomunicaciones, y, por lo tanto, no incluyen capacidades de salto de frecuencias de banda ancha.

5 Por consiguiente, existe en la técnica una necesidad de un modulador sigma-delta de un solo chip que pueda ajustar dinámicamente sus características para proporcionar una capacidad de salto de frecuencias en la banda de las radiofrecuencias (RF). Adicionalmente, resultaría ventajoso proporcionar un modulador sigma-delta que tuviese un número reducido de circuitos activos de mejora de la Q, y con un valor de inductancia que tenga una capacidad de Q elevada en un ancho de banda amplio.

10 El documento US 5.729.230, según se menciona en el comienzo, da a conocer una arquitectura sintonizable de tiempo continuo para un modulador sigma-delta que incluye un resonador sintonizable y un cuantificador de baja velocidad de bites, alta velocidad de muestreo, conectado en el bucle de realimentación. El resonador conforma el espectro del ruido de cuantificación de manera que la mayor parte del ruido de cuantificación se produce fuera del espectro de la señal. Una celda de Gm sintonizable sintoniza la frecuencia de resonancia del resonador para maximizar la SNR del modulador. La celda de Gm sintonizable incluye una celda de Gm fija que tiene una transconductancia, un divisor de corriente y un circuito de recombinación que permiten una multiplicación sin afectar a la corriente en modo común de la celda.

15 El documento GB 2 378 831 A muestra un conversor analógico a digital de radiofrecuencia, que comprende amplificadores de alta ganancia que incorporan filtros pasabanda en forma de resonadores sintonizables individuales sintonizados de manera que sus frecuencias de resonancia se sitúan sustancialmente a la frecuencia de la señal, conectados para implementar el equivalente pasabanda de los integradores en el trayecto directo de un conversor analógico a digital sigma delta. Se dice que el conversor propuesto digitaliza señales hasta en la región de las microondas con una alta precisión.

20 El documento WO 00/03538 da a conocer un sintonizador de televisión con un dispositivo de sintonización que utiliza circuitos de sintonización conmutables. Cada uno de los circuitos de sintonización incluye una matriz de sintonización conmutada compuesta por una pluralidad de conmutadores electromecánicos microelectrónicos y un sistema de condensadores y/o inductores. Cada uno de los circuitos de sintonización conmutables recibe una señal de control de sintonización que controla la pluralidad respectiva de conmutadores micro-electro-mecánicos para seleccionar uno de los condensadores y/o inductores de entre el sistema de condensadores y/o inductores.

25 Sumario de la Invención

Es un objetivo de la presente invención proporcionar un modulador sigma-delta con características mejoradas, especialmente en relación con el cambio de la frecuencia central del modulador.

30 Este objetivo se logra con el modulador sigma-delta según la reivindicación 1.

35 Para lograr las finalidades anteriores y otras relacionadas, la invención comprende por lo tanto las características que se describen totalmente en lo sucesivo en el presente documento y que particularmente se señalan en las reivindicaciones. La siguiente descripción y los dibujos adjuntos exponen detalladamente ciertas realizaciones ilustrativas de la invención. No obstante, estas realizaciones son indicativas de solamente unas pocas de las diversas maneras según las cuales se pueden utilizar los fundamentos de la invención. Otros objetivos, ventajas y características novedosas de la invención se pondrán de manifiesto a partir de la siguiente descripción detallada de la invención cuando la misma se considere conjuntamente con los dibujos.

40 Breve descripción de los dibujos

45 La Figura 1 es un diagrama de bloques de un modulador sigma-delta según una realización de la invención.
 La Figura 2A es un diagrama esquemático de una red LC resonante usada en el modulador sigma-delta según una realización de la invención.
 50 La Figura 2B es un diagrama esquemático de una red LC resonante usada en el modulador sigma-delta según otra realización de la invención.
 La Figura 3 es un diagrama de bloques de un conversor analógico-a-digital sigma-delta según una realización de la invención.

55 Descripción de la Invención

La siguiente es una descripción detallada de la presente invención en referencia a los dibujos adjuntos, en donde los números de referencia iguales se referirán a los mismos elementos en todo el documento.

60 En referencia a la Figura 1, se ilustra un modulador sigma-delta 100 de cuarto orden de acuerdo con una realización de la presente invención. Se observa que el modulador 100 de cuarto orden es meramente ejemplificativo, y se pueden implementar moduladores de orden superior o inferior sin desviarse con respecto al alcance de la presente invención. Además, en aras de una mayor claridad, en el modulador 100 no se muestran varios componentes y circuitos (por ejemplo, señales de reloj y conexiones de alimentación). No obstante, la implementación de dichos componentes y los circuitos resultarán evidentes para aquellos expertos en la materia sobre la base de la descripción en el presente documento.

- 5 El modulador sigma-delta 100 se implementa en un sustrato semiconductor 102, tal como, por ejemplo, un sustrato de silicio-germanio (SiGe). Un terminal 104 de entrada recibe señales analógicas para su conversión por parte del modulador sigma-delta 100 a formato digital. Por ejemplo, al terminal 104 de entrada se puede conectar una antena o sistema de antenas (no mostrado) para recibir una señal de radiocomunicaciones compuesta. El terminal 104 de entrada está conectado eléctricamente a un amplificador de bajo ruido (LNA) 106 en el sustrato. El LNA 106 es un amplificador de transconductancia y convierte un voltaje en el terminal 104 de entrada en una corriente, la cual se suministra a una primera unión aditiva 108.
- 10 La primera unión aditiva 108 también está conectada eléctricamente a una primera red LC resonante 110 y a un primer nodo 112. La primera red LC resonante 110 se describirá de forma más detallada posteriormente. Una salida de la primera unión aditiva 108 está conectada eléctricamente a una entrada de un amplificador 114 de transconductancia. El amplificador de transconductancia convierte un voltaje generado en la red LC resonante 110 en una corriente, la cual se suministra a una segunda unión aditiva 116.
- 15 La segunda unión aditiva 116 está conectada eléctricamente a una segunda red LC resonante 118 y a un segundo nodo 120. Una salida de la segunda unión aditiva 116 está conectada eléctricamente a la entrada de un amplificador excitador 122. La salida del amplificador excitador 122 está conectada eléctricamente a una entrada de un comparador 124, y la salida del comparador 124 está conectada eléctricamente a un tercer nodo 126. El comparador 124 compara la salida del amplificador excitador 122 con un voltaje preestablecido y produce un flujo continuo de datos de 1 bite, el cual se suministra a un terminal 128 de salida a través del tercer nodo 126. El tercer nodo 126 también está conectado eléctricamente a una entrada de un primer circuito 130 de retención. Una salida del primer circuito 130 de retención está conectada eléctricamente a un cuarto nodo 132.
- 20 El cuarto nodo 132 está conectado eléctricamente a la entrada de un primer convertor digital-a-analógico (DAC) 134, la entrada de un segundo DAC 136, y a la entrada de un segundo circuito 138 de retención. La salida del primer DAC está conectada eléctricamente al segundo nodo 120, y la salida del segundo DAC 136 está conectada eléctricamente al primer nodo 112.
- 25 La salida del segundo circuito 138 de retención está conectada eléctricamente a un quinto nodo 140. El quinto nodo 140 está conectado a la entrada de un tercer DAC 142 y a la entrada de un cuarto DAC 144. La salida del tercer DAC 142 está conectada eléctricamente al segundo nodo 120, y la salida del cuarto DAC 144 está conectada eléctricamente al primer nodo 112. Un primer bucle 146 de realimentación está formado por el primer circuito 130 de realimentación y el primer DAC 134. Un segundo bucle 148 de realimentación está formado por el primer circuito 130 de retención y el segundo DAC 136. Un tercer bucle 146' de realimentación está formado por el primer circuito 130 de retención, el segundo circuito 138 de retención y el tercer DAC 142. Un cuarto bucle 148' de realimentación está formado por el primer circuito 130 de retención, el segundo circuito 138 de retención y el cuarto DAC 144.
- 30 El modulador sigma-delta 100 utiliza preferentemente una tecnología mixta, que incluye la tecnología de Sistemas Micro-Electro-Mecánicos (MEMS) y, por ejemplo, la tecnología BiCMOS en un único sustrato 102. En particular, las redes LC resonantes 110, 118 se implementan usando la tecnología MEMS, mientras que el LNA 106, el amplificador 114 de transconductancia, el amplificador excitador 122, el comparador 122, los circuitos 130, 138 de retención y los DACs 134, 136, 142, 144 se pueden implementar usando, por ejemplo, la tecnología BiCMOS de SiGe. Las ventajas de un planteamiento de tecnología mixta incluyen una reducción en el tamaño y en el consumo de potencia, en el ruido, y en la distorsión del modulador sigma-delta 100. La reducción del tamaño es un resultado de la integración de muchas funciones diferentes en un único chip. Los ahorros de potencia son el resultado del uso de un proceso BiCMOS de SiGe eficiente en cuanto a energía, de la reducción y/o la eliminación de circuitos activos de mejora de la Q, y de la tecnología MEMS. Esto es un resultado del hecho de que la Q de la red LC MEMS resonante será mucho mayor que la se puede lograr con una red LC en el chip.
- 35 A continuación se describirá brevemente el funcionamiento del modulador sigma-delta 100. Continuando con la referencia a la Figura 1, una señal analógica, tal como, por ejemplo, una señal de radiofrecuencia (RF), entra en el modulador sigma-delta 100 por el terminal 104 de entrada. La señal de RF es acondicionada por el LNA 106 y proporciona una señal analógica ajustada en cuanto a ganancia, como salida en respuesta a ello. Tal como se ha mencionado anteriormente, el LNA 106 es un amplificador de transconductancia y convierte la señal de voltaje (V_{in}) aplicada a la entrada del LNA 106 en una señal de corriente (I_1), que se proporciona en la salida del LNA. En una realización, el LNA realiza una conversión de un solo extremo a diferencial, lo cual permite que el modulador 100 sea completamente diferencial, proporcionando de este modo un buen rechazo con respecto a la fuente de alimentación, un rechazo en modo común, y la cancelación de productos de segundo orden. La salida del LNA 106 se suministra a la entrada positiva de la primera unión aditiva 108. A la entrada negativa de la primera unión aditiva 108 se le suministra una señal de corriente (I_2) del segundo DAC 136 y el cuarto DAC 144. El segundo DAC 136 y el cuarto DAC 144 se describirán de forma detallada posteriormente. La primera unión aditiva 108 suma las dos señales (una positiva y una negativa) y proporciona la señal resultante a la primera red LC resonante 110.
- 40 Tal como se describirá de forma más detallada posteriormente, la primera red LC resonante 110 incluye

componentes capacitivos e inductivos variables, que proporcionan la capacidad de ajustar la frecuencia central y el intervalo de sintonización del modulador 100. La primera red LC resonante 110 convierte la señal de corriente sumada en la primera unión aditiva 108 en una señal de voltaje (V_1), la cual se suministra al amplificador 114 de transconductancia. El amplificador 114 de transconductancia convierte la señal de voltaje de nuevo en una señal de corriente (I_3) (la función de transferencia es $I = G_M * V$, donde "I" es la corriente de salida, " G_M " es la ganancia del amplificador 114, y " V " es el voltaje en la entrada del amplificador 114). La señal de corriente del amplificador 114 de transconductancia se suministra a la entrada positiva de una segunda unión aditiva 116. A la entrada negativa de la segunda unión aditiva 116 se le suministra una señal de corriente (I_4) del primer DAC 134 y el tercer DAC 142. El primer DAC 134 y el tercer DAC 142 se describirán de forma más detallada posteriormente. La segunda unión aditiva suma las dos señales (una positiva, una negativa) y proporciona la señal resultante a la segunda LC red resonante 118.

De forma similar a la primera red LC resonante 110, la segunda red LC resonante 118 incluye también componentes capacitivos e inductivos variables. La segunda red LC resonante 118 convierte la señal de corriente sumada en la segunda unión aditiva 116 en una señal de voltaje (V_2), la cual se suministra a la entrada del amplificador excitador 122. El amplificador excitador 122 es efectivamente un amplificador separador que tiene una ganancia predeterminada "A" y facilita el escalado de la señal de voltaje proporcionada al comparador 124. El comparador 124 compara el nivel de voltaje de la señal analógica filtrada y ajustada en cuanto a ganancia (V_3) del amplificador excitador 122 con un voltaje de referencia predeterminado (V_{ref}) a intervalos de tiempo predeterminados. Los intervalos de tiempo predeterminados se determinan por la velocidad con la que se activa por impulsos de reloj el comparador 124. El comparador 124 da salida a una señal digital de 1 bite (V_{out}) (por ejemplo, un cuantificador de 1 bite) hacia el terminal 128 de salida del modulador 100. El flujo continuo digital de 1 bite representa un umbral de referencia que se corresponde con la señal analógica (V_{in}) en un intervalo de tiempo predeterminado. La salida de voltaje del comparador 124 se suministra también a la entrada de un primer circuito 130 de retención.

La salida del primer circuito 130 de retención es una señal de voltaje (V_4) que se suministra al primer DAC 134, el segundo DAC 136 y el segundo circuito 138 de retención. El primer circuito 130 de retención introduce un retardo de un ciclo para configurar correctamente los datos para el primer y el segundo DACs 134, 136 de realimentación. El primer DAC 134 convierte la señal de voltaje del primer circuito 130 de retención en una señal de corriente "conmutada" (I_4) que se suministra al segundo nodo 120. De forma similar, el segundo DAC 136 convierte la señal de voltaje del primer circuito 130 de retención en una señal de corriente conmutada (I_2), que se suministra al primer nodo 112.

El segundo circuito 138 de retención vuelve a retener la salida de voltaje del comparador 124 para proporcionar un voltaje retenido (V_5) antes de que se activen el tercer y el cuarto DACs 142, 144, e introduce un retardo adicional de un semiciclo (en total 1,5 ciclos) en el trayecto de realimentación del comparador que se compensa mediante el tercer y el cuarto DACs 142, 144. Uno de los efectos del segundo circuito 138 de retención es que elimina el retardo de fluctuación dependiente de la señal. En la patente U.S. n.º. 6.414.615, cuya descripción se incorpora al presente documento a título de referencia en su totalidad, se pueden encontrar detalles adicionales referentes al primer y el segundo circuitos 130, 138 de retención y a su uso en un modulador sigma-delta.

El tercer DAC 142 convierte la señal de voltaje del segundo circuito 138 de retención en una señal de corriente conmutada (I_4'), que se suministra al segundo nodo 120. De modo similar, el cuarto DAC 144 convierte la señal de voltaje del segundo circuito 138 de retención en una señal de corriente conmutada (I_2'), que se suministra al primer nodo 112. Las ganancias de conformación de los impulsos de realimentación para cada DAC 134, 136, 142, 144 se ajustan sintonizando las corrientes de conmutación de los DAC para lograr un buen comportamiento de conformación del ruido y para proporcionar una compensación parcial de las no idealidades en el dominio del tiempo.

La salida de corriente del primer DAC 134 (I_4) y la salida de corriente del tercer DAC 142 (I_4') se suman en el segundo nodo 120 para producir una corriente de realimentación (I_4), que se suministra a la entrada negativa de la segunda unión aditiva 116. De modo similar, la salida de corriente del segundo DAC 136 (I_2) y la salida de corriente del cuarto DAC 144 (I_2') se suman en el primer nodo 112 para producir una corriente de realimentación (I_2), que se suministra a la entrada negativa de la primera unión aditiva 108.

En referencia a continuación a la Figura 2A, se ilustra la primera red LC resonante 110. En aras de una mayor brevedad, en este caso se describirá solamente la primera red LC resonante 110. No obstante, debe apreciarse que la segunda red LC resonante 118 es similar a la primera red LC resonante 110. La segunda red LC resonante puede tener valores de componentes diferentes, por ejemplo, la capacidad y la inductancia de cada componente, con respecto a la primera red LC resonante 110, o puede tener los mismos valores de los componentes que la primera red LC resonante 110.

La red LC resonante 110 incorpora conmutadores MEMS para seleccionar las características de L y C de la red 110. Los conmutadores MEMS, los inductores y los condensadores se forman en el sustrato 102. Un conmutador MEMS proporciona varias ventajas con respecto a un conmutador de semiconductor (por ejemplo, transistores de

semiconductor, diodos pin). En particular, un conmutador MEMS tiene unas pérdidas de inserción muy bajas (por ejemplo, menores que 0,2 dB a 45 GHz) y un aislamiento elevado cuando está abierto (por ejemplo, mayor que 30 dB). Adicionalmente, el conmutador tiene una respuesta en frecuencia grande y un ancho de banda grande en comparación con transistores de semiconductores y diodos pin. Estas ventanas proporcionan un rendimiento y un control mejorado cuando se usan en diseños de filtros sintonizables. En la patente U.S. n.º 6.046.659, cuya descripción se incorpora al presente documento a título de referencia en su totalidad, se pueden encontrar detalles adicionales referentes a conmutadores MEMS.

La capacidad de la red LC resonante 110 se puede ajustar continuamente añadiendo y/o eliminando capacidad del circuito. Adicionalmente, la inductancia de la red LC 110 se puede cambiar añadiendo y/o eliminando inductancia de la red LC. La capacidad y la inductancia se añaden y/o eliminan a través del uso de los conmutadores MEMS antes mencionados. En una realización, la red LC 110 incluye conmutadores MEMS para sintonizar tanto la inductancia como la capacidad de la red LC. En otra realización, la red LC 110 incluye conmutadores MEMS para sintonizar solamente la capacidad de la red.

La red LC resonante 110 incluye un primer terminal 200 y un segundo terminal 202. Un primer conmutador MEMS 204 tiene un extremo conectado al primer terminal 200 y el otro extremo conectado a un extremo de un primer condensador 206. El otro extremo del primer condensador está conectado al segundo terminal 202. Un segundo conmutador MEMS 208 tiene un extremo conectado al primer terminal 200 y el otro extremo conectado a un extremo de un segundo condensador 210. El otro extremo del segundo condensador está conectado al segundo terminal 202. Un tercer conmutador MEMS 212 tiene un extremo conectado al primer terminal 200 y el otro extremo conectado a un extremo de un tercer condensador 214. El otro extremo del tercer condensador está conectado al segundo terminal 202.

Un cuarto conmutador MEMS 220 tiene un extremo conectado al primer terminal 200 y el otro extremo conectado a un extremo de un primer inductor 222. El otro extremo del primer inductor está conectado al segundo terminal 202. Un quinto conmutador MEMS 224 tiene un extremo conectado al primer terminal 200 y el otro extremo conectado a un extremo de un segundo inductor 226. El otro extremo del segundo inductor está conectado al segundo terminal 202. Un sexto conmutador MEMS 228 tiene un extremo conectado al primer terminal 200 y el otro extremo conectado a un extremo de un tercer inductor 230. El otro extremo del tercer inductor está conectado al segundo terminal 202.

Debe apreciarse que, aunque se muestran tres condensadores MEMS y tres inductores MEMS, se pueden implementar más o menos condensadores y/o inductores sin desviarse con respecto al alcance de la invención. Además, se observa que en los diagramas no se muestran líneas de control para ordenar a cada conmutador MEMS que "se abra" y "se cierre". No obstante, estas líneas de control resultarán evidentes para un experto en la materia.

La acción de abertura y cierre de cada conmutador MEMS se logra aplicando un voltaje de polarización a uno o más terminales de control del conmutador MEMS. Por ejemplo, un conmutador MEMS unipolar puede tener cuatro terminales, dos terminales para el contacto del conmutador aislado, y dos terminales para una conexión de "control", por ejemplo, con el fin de ordenar al conmutador que se abra y se cierre. Cuando se aplica un voltaje a los terminales de control del conmutador MEMS, una fuerza electrostática tira de una armadura hacia el sustrato. Si el conmutador tiene una configuración normalmente abierta (N.O.), entonces el contacto del conmutador aislado se cerrará al producirse la aplicación del voltaje. En cambio, si el conmutador es un conmutador normalmente cerrado (N.C.), entonces el contacto del conmutador aislado se abrirá al producirse la aplicación del voltaje.

A continuación se describirá brevemente el funcionamiento de la red LC resonante 110 ilustrada en la Figura 2A. Inicialmente, se supone que el primer conmutador MEMS 204 y el cuarto conmutador MEMS 220 están cerrados, y se supone que la totalidad de los conmutadores MEMS restantes están abiertos. En este estado, la capacidad total en la red 110 se determina por la capacidad del primer condensador 206 y la inductancia total en la red 110 se determina por la inductancia del primer inductor 222. Se puede añadir capacidad adicional cerrando uno de los conmutadores MEMS abiertos 208, 212. Por ejemplo, si el segundo conmutador MEMS 208 está cerrado, la capacidad total en la red LC resonante 110 se determina sumando la capacidad del primer condensador 206 y la capacidad del segundo condensador 210. De modo similar, si el segundo y el tercer conmutadores MEMS 208, 212 están cerrados, la capacidad total en el circuito se determina sumando la capacidad del primer condensador 206, el segundo condensador 210 y el tercer condensador 214. Se puede eliminar capacidad abriendo cualquiera de los tres primeros conmutadores MEMS 204, 208, 212.

De una manera similar, se puede modificar la inductancia de la red LC resonante 110. La inductancia se puede reducir cerrando uno de los conmutadores MEMS abiertos 224, 228. Por ejemplo, si el quinto conmutador MEMS 224 está cerrado, la inductancia total en la red LC resonante 110 se determina por la combinación en paralelo del primer inductor 222 y el segundo inductor 226. De modo similar, si el quinto y el sexto conmutadores MEMS 224, 228 están cerrados, la inductancia total en el circuito se determina por la combinación en paralelo del primer inductor 222, el segundo inductor 226 y el tercer inductor 230.

En referencia a continuación a la Figura 2B, se ilustra una realización alternativa de la red LC 110'. La realización alternativa se puede usar en lugar de la primera y la segunda redes LC 110, 118 antes descritas. La red LC 110' es similar a la red LC 110 en que incluye un banco de inductores que se conmutan entrando y saliendo de la red a través de conmutadores MEMS. No obstante, el banco de condensadores no está presente. En su lugar, se usa un condensador variable MEMS para proporcionar una capacidad variable a la red 110'. Un condensador variable MEMS puede proporcionar un intervalo continuo de capacidad dentro de un valor mínimo y máximo dado de capacidad.

Debe apreciarse que, aunque en la red LC 110' se muestra solamente un condensador variable MEMS 232, se pueden implementar múltiples condensadores variables MEMS sin desviarse con respecto al alcance de la invención.

Un primer extremo del condensador variable MEMS 232 está conectado al primer terminal 200. El otro extremo del condensador variable MEMS está conectado al segundo terminal 202. La capacidad del condensador variable MEMS 232 se puede hacer variar continuamente ajustando un voltaje analógico aplicado (no mostrado). De este modo, el condensador variable MEMS 232 permite cambiar continuamente, de una manera no discreta, la frecuencia resonante de la red LC 110', lo cual permite la flexibilidad del salto de frecuencias en pasos no discretos.

Tal como es sabido en la técnica, para cada combinación de L y C de un circuito LC existe solamente una frecuencia (en los circuitos tanto en serie como en paralelo) que provoca que la reactancia del componente L (X_L) sea exactamente igual a la reactancia del componente C (X_C). Esta frecuencia se conoce como frecuencia de resonancia. Cuando se suministra la frecuencia de resonancia a un circuito LC en serie o paralelo, X_L se hace igual a X_C , y se dice que el circuito entra en resonancia a esa frecuencia. Para una red LC, la frecuencia de resonancia se

determina mediante la fórmula $f = \frac{1}{2\pi\sqrt{LC}}$, donde f es la frecuencia de resonancia en Hercios, L es la inductancia total del circuito en Henrios, y C es la capacidad total del circuito en Faradios.

Cada circuito LC responde a la frecuencia de resonancia de manera diferente a la que lo hace a cualquier otra frecuencia. Debido a esto, un circuito LC tiene la capacidad de discriminar frecuencias. De este modo, una red LC sintonizable se puede sintonizar para permitir que pase una frecuencia particular al mismo tiempo que rechaza la totalidad del resto de frecuencias. Un incremento del valor o bien de L o bien de C, o tanto de L como de C, hará que disminuya la frecuencia de resonancia de un circuito dado. Una disminución del valor de L o C, o tanto de L como de C, hará que aumente la frecuencia de resonancia de un circuito dado.

A partir de la descripción anterior, aquellos expertos en la materia apreciarán que la frecuencia central del modulador 100 se puede cambiar, por ejemplo, sintonizando la capacidad de las redes LC resonantes 110, 118. De modo similar, se puede cambiar el intervalo de sintonización del modulador, por ejemplo, sintonizando la inductancia de las redes LC resonantes 110, 118. La capacidad de sintonizar las redes LC resonantes permite usar el modulador 100 en aplicaciones de receptores con saltos de frecuencia, por ejemplo, aplicaciones que transmiten y reciben información sobre una frecuencia que cambia o "salta" desde una de varias frecuencias. Además, el uso de la tecnología de silicio de alta frecuencia, por ejemplo, SiGe, permitirá un muestreo directo en RF. Puesto que el modulador 100 combina una etapa de conversión descendente y una etapa de digitalización en una función muestreando directamente la señal en la frecuencia de RF entrante, en aplicaciones de receptores de RF se elimina una etapa de conversión descendente.

Otra ventaja de la presente invención es que el uso de conmutadores MEMS produce valores de Q (Q entre 20 y 50 a una frecuencia de entre 1 y 2 GHz) para los componentes LC externos en las redes LC resonantes 110, 118 que son mayores que los conmutadores de semiconductores. Los valores más altos de Q relajan o eliminan la necesidad de unos circuitos activos de mejora de la Q, reduciendo de este modo las necesidades de coste, tamaño y potencia de la red LC resonante. Por otra parte, la eliminación de los circuitos activos de mejora de la Q da como resultado una reducción de la distorsión y el ruido, siendo ambos elementos un componente inherente de los circuitos activos de mejora de la Q.

Los valores más altos de Q de la red LC resonante también mejoran la forma inherente del filtro dentro de los bucles 146, 146', 148, 148' de realimentación del modulador sigma-delta 100. Esto tiene el efecto de reducir la distorsión de componentes activos dentro de los bucles de realimentación. Además, se puede implementar un control adaptativo digital 150 en el chip (por ejemplo, en CMOS) para permitir que el modulador sigma-delta 100 cambie las frecuencias centrales al mismo tiempo que ajustando parámetros de los bucles para mantener la estabilidad. Adicionalmente, el modulador sigma-delta 100 puede aprovecharse de las mejoras digitales para comportarse como un receptor rápido con saltos de frecuencia. Estas mejoras incluyen, por ejemplo, variar las frecuencias de resonancia de las redes LC a través del control adaptativo digital 150, de tal manera que el modulador 100 actúe como un receptor con saltos de frecuencia. La frecuencia de resonancia de las redes LC se puede ajustar digitalmente, permitiendo que el modulador reciba una señal de RF que esté saltando en frecuencia, o cambiando la frecuencia con el tiempo, mediante el cambio de las frecuencias de resonancia de las redes LC para adaptarse a la recepción de estas frecuencias que van saltando, a alguna velocidad preestablecida de salto de frecuencia. Esto

permite que el modulador esencialmente siga los desplazamientos de frecuencia de la señal entrante con el tiempo.

5 En referencia a la Figura 3, se ilustra un ADC sigma-delta 250. Un diezmador 252 está acoplado al modulador sigma-delta 100 para constituir un ADC sigma-delta completo 250 en un único chip. Por ejemplo, usando la tecnología BiCMOS de SiGe, el flujo continuo de salida de 1 bite del modulador sigma-delta 100 se conecta eléctricamente a una entrada de un diezmador digital 252, el cual se forma en el mismo sustrato 102 que el modulador 100. La salida del diezmador 252 se conecta eléctricamente a un terminal 254 de salida del ADC sigma-delta 250. El diezmador 252 convierte la señal sobremuestreada del modulador sigma-delta 100 en una señal de salida a la frecuencia de Nyquist. Los diezmadores son bien conocidos en la técnica y no se describirán en el presente documento.

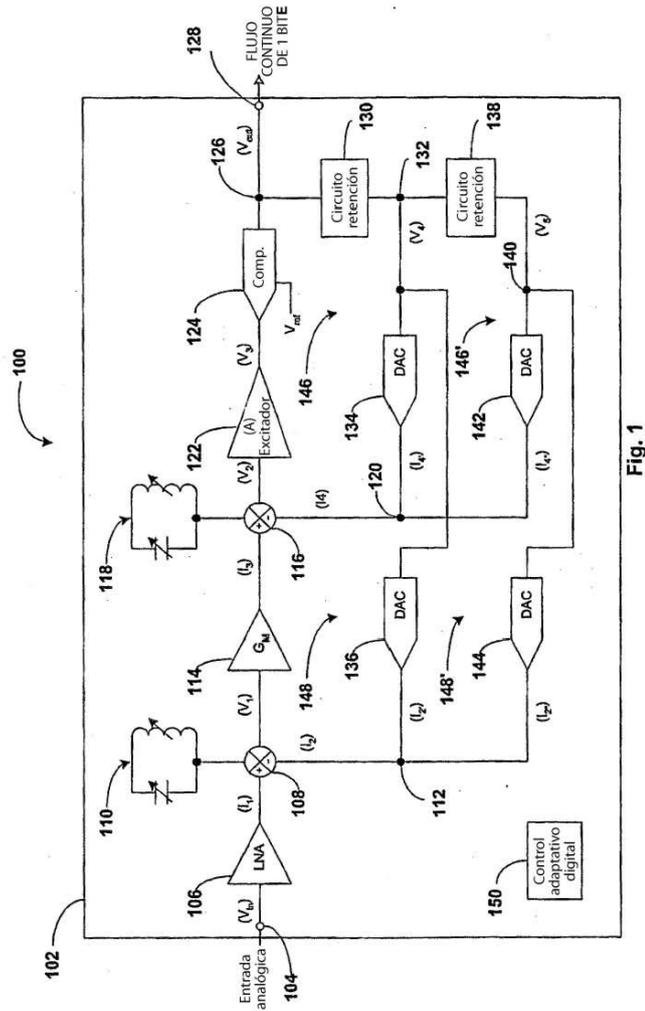
10 La integración conjunta del diezmador 252 con el modulador sigma-delta 100 minimizará el número de interconexiones de chip-a-chip requeridas, al mismo tiempo que reducirá la pérdida de potencia asociada a las interconexiones de chip-a-chip. La transferencia de datos digitales desde el modulador sigma-delta 100 al diezmador 252 se puede producir a la velocidad máxima del reloj, por ejemplo, el 100 % de la velocidad del reloj, con un consumo bajo de potencia.

15 Aunque se han descrito detalladamente realizaciones particulares de la invención, se entiende que la misma no está limitada de manera correspondiente en cuanto a alcance, sino que incluye todos los cambios, modificaciones y equivalentes que acompañan a los términos de las reivindicaciones adjuntas a la misma.

20

REIVINDICACIONES

1. Modulador sigma-delta (100), que comprende:
- 5 un primer DAC (134) comprendido en un primer bucle (146) de realimentación y un segundo DAC (136) comprendido en un segundo bucle (148) de realimentación;
 una primera unión aditiva (108) adaptada para sumar una primera corriente (I_1) y una corriente (I_2) de realimentación del segundo bucle (148) de realimentación;
 10 una segunda unión aditiva (116) adaptada para sumar una tercera corriente (I_3) y una corriente (I_4) de realimentación del primer bucle (146) de realimentación;
 un amplificador (114) de transconductancia conectado eléctricamente a una salida de la primera unión aditiva (108) y a una entrada de la segunda unión aditiva (116); y
caracterizado por
 15 una primera red LC resonante (110) conectada eléctricamente a la primera unión aditiva (108) y adaptada para convertir una señal de corriente sumada en la primera unión aditiva (108) en una señal de voltaje; y
 una segunda red LC resonante (118) conectada eléctricamente a la segunda unión aditiva (116) y adaptada para convertir una señal de corriente sumada en la segunda unión aditiva (108) en una señal de voltaje,
 20 en donde una frecuencia central del modulador sigma-delta se modifica usando por lo menos uno de una pluralidad de conmutadores (204, 208, 212, 220, 224, 228) de un sistema microelectromecánico, MEMS, que forman parte de las redes LC resonantes (110, 118), y
 en donde las uniones aditivas (108, 116), el amplificador (114) de transconductancia, el DAC (134, 136, 142, 144), las redes LC resonantes (110, 118) y la pluralidad de conmutadores MEMS (204, 208, 212, 220, 224, 228) están en un sustrato (102).
- 25 2. Modulador sigma-delta según la reivindicación 1, en el que por lo menos una red LC (110, 118) incluye una pluralidad de condensadores (206, 210, 214), y la frecuencia central del modulador (100) se modifica añadiendo y eliminando por lo menos uno de la pluralidad de condensadores (206, 210, 214) de la red LC (110, 118) que usa por lo menos uno de la pluralidad de conmutadores MEMS (204, 208, 212).
- 30 3. Modulador sigma-delta según la reivindicación 1 ó 2, en el que por lo menos una red LC (110, 118) incluye una pluralidad de inductores (222, 226, 230), y un intervalo de sintonización del modulador (100) se modifica añadiendo y eliminando por lo menos uno de la pluralidad de inductores (222, 226, 230) de la red LC (110, 118) que usa por lo menos uno de la pluralidad de conmutadores MEMS (220, 224, 228).
- 35 4. Modulador sigma-delta según cualquiera de las reivindicaciones 1 a 3, en el que el por lo menos un amplificador (114) de transconductancia y el por lo menos un DAC (134, 136, 142, 144) se implementan usando tecnología BiCMOS.
- 40 5. Modulador sigma-delta según cualquiera de las reivindicaciones 1 a 4, que comprende además un sistema digital (150) de control adaptativo.
6. Modulador sigma-delta según la reivindicación 5, en el que el sistema digital (150) de control adaptativo ajusta por lo menos un parámetro del bucle para mantener la estabilidad del modulador sigma-delta (100).
- 45 7. Modulador sigma-delta según la reivindicación 5 ó 6, en el que el sistema digital (150) de control adaptativo ajusta la frecuencia central del modulador (100).
8. Modulador sigma-delta según la reivindicación 7, en el que la frecuencia central se ajusta para saltar desde una de una pluralidad de frecuencias.
- 50 9. Modulador sigma-delta según cualquiera de las reivindicaciones 1 a 8, en el que el modulador sigma-delta (100) realiza un muestreo directo a radiofrecuencias.
10. Modulador sigma-delta según cualquiera de las reivindicaciones 1 a 9, que comprende además un amplificador de bajo ruido (LNA) (106), un amplificador excitador (122), un comparador (124), y por lo menos un circuito (130, 138) de retención.
- 55 11. Modulador sigma-delta según cualquiera de las reivindicaciones 1 a 10, en el que el modulador sigma-delta (100) se implementa usando una arquitectura diferencial.
- 60 12. Modulador sigma-delta según cualquiera de las reivindicaciones 1 a 11, que comprende además un diezmador (252) en el sustrato (102), en donde el diezmador (252) está acoplado operativamente a una salida (128) del modulador sigma-delta (100).



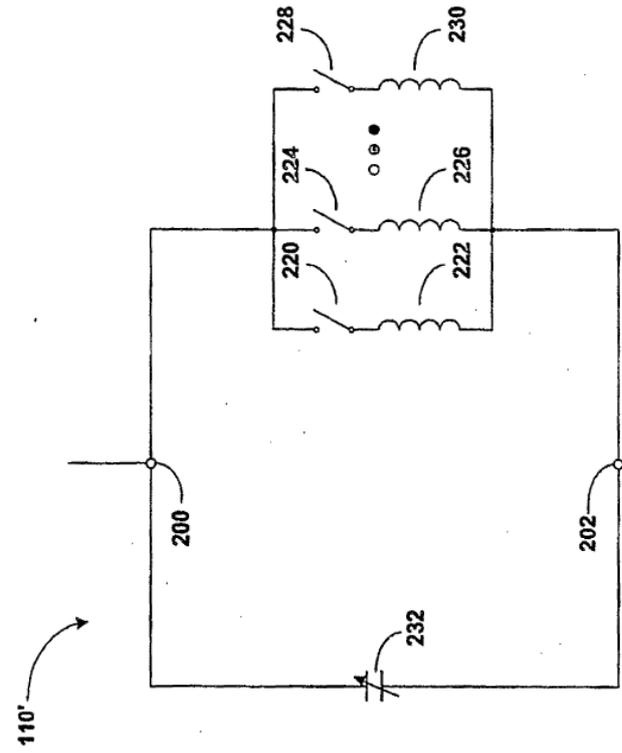


Fig. 2B

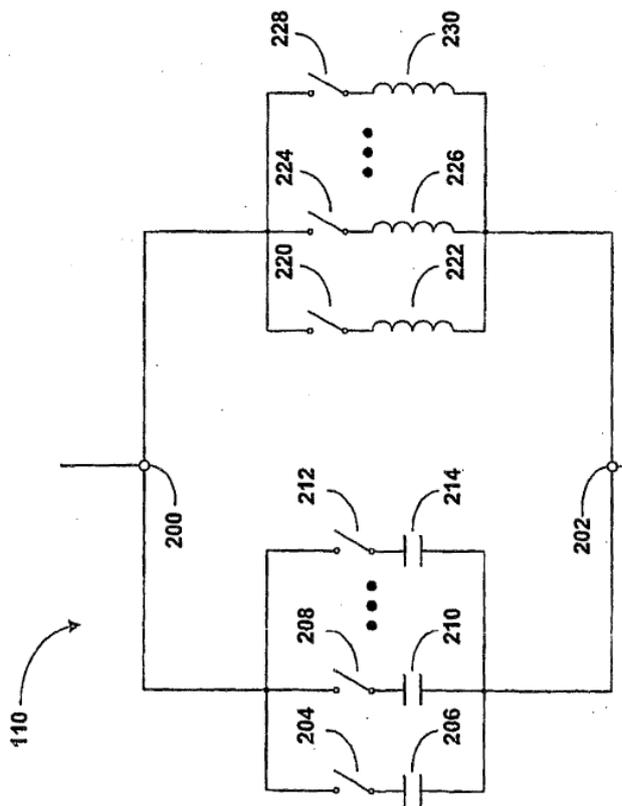


Fig. 2A

