

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 381 012**

51 Int. Cl.:

H03M 13/00 (2006.01)

H04L 1/00 (2006.01)

H03M 13/11 (2006.01)

H03M 13/15 (2006.01)

H03M 13/25 (2006.01)

H03M 13/29 (2006.01)

H04L 27/20 (2006.01)

H04L 27/34 (2006.01)

H04L 27/36 (2006.01)

H04H 40/90 (2008.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **10001217 .8**
- 96 Fecha de presentación: **03.07.2003**
- 97 Número de publicación de la solicitud: **2190123**
- 97 Fecha de publicación de la solicitud: **26.05.2010**

54 Título: **Procedimiento y sistema para generar códigos de comprobación de paridad de baja densidad (LDPC)**

30 Prioridad:

03.07.2002 US 393457 P 26.07.2002 US 398760 P

25.10.2002 US 421505 P 04.11.2002 US 423710 P

29.10.2002 US 421999 P 15.01.2003 US 440199 P

15.08.2002 US 403812 P 14.02.2003 US 447641 P

20.03.2003 US 456220 P 09.05.2003 US 469356 P

24.06.2003 US 482112 P 24.06.2003 US 482107 P

45 Fecha de publicación de la mención BOPI:
22.05.2012

45 Fecha de la publicación del folleto de la patente:
22.05.2012

73 Titular/es:

DTVG LICENSING, INC
2230 EAST IMPERIAL HIGHWAY
EL SEGUNDO CA 90245, US

72 Inventor/es:

Eroz, Mustafa;
Sun, Feng-Wen y
Lee, Lin-Nan

74 Agente/Representante:

Carpintero López, Mario

ES 2 381 012 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento y sistema para generar códigos de comprobación de paridad de baja densidad (LDPC).

Campo de la invención

La presente invención se refiere a sistemas de comunicaciones, y más particularmente a sistemas codificados

5 Antecedentes de la invención

Los sistemas de comunicaciones emplean la codificación para asegurar unas comunicaciones fiables a través de canales de comunicación ruidosos. Estos canales de comunicación exhiben una capacidad fija que puede expresarse en términos de bits por símbolo para una cierta proporción de señal a ruido (SNR), que define un límite superior teórico (conocido como el límite de Shannon). Como resultado, el diseño de la codificación tiene por objetivo
10 conseguir tasas que se aproximan al límite de Shannon. Los sistemas de comunicación codificados convencionales han tratado separadamente los procedimientos de codificación y modulación. Además, Se ha prestado poca atención al etiquetado de las constelaciones de señales.

Una constelación de señales proporciona un conjunto de posibles símbolos a transmitir, mediante el cual los símbolos correspondientes a las palabras de código salen de un codificador. Una elección del etiquetado de la constelación involucra el etiquetado del código Gray. Con el etiquetado del código Gray, los puntos de señal vecinos difieren exactamente en una posición de bit. La vista convencional predominante de la modulación dicta que puede utilizarse cualquier esquema razonable de etiquetado, lo cual en parte es responsable de la escasez de investigación en esta área.
15

Con respecto a la codificación, una clase de códigos que se aproximan al límite de Shannon es la de los códigos de Comprobación de Paridad de Baja Densidad (LDPC). Tradicionalmente, los códigos LDPC no se han desplegado ampliamente debido a varios inconvenientes. Un inconveniente es que la técnica de codificación LDPC es altamente compleja. La codificación de un código LDPC que usa su matriz de generador requeriría un almacenamiento muy grande, una matriz no poco densa. Adicionalmente, los códigos LDPC requieren grandes bloques para ser eficaces; consecuentemente, incluso aunque las matrices de comprobación de paridad de los códigos LDPC sean poco densas, el almacenamiento de estas matrices es problemático.
20

A partir de una perspectiva de implementación, se confrontan varios retos. Por ejemplo, el almacenamiento es una razón importante por la que los códigos LDPC no se han extendido en la práctica. También, un reto clave en la implementación del código LDPC ha sido cómo conseguir la red de conexión entre dos diversos motores de procesamiento (nodos) en el decodificador. Además, la carga de cálculo en el procedimiento de decodificación, específicamente las operaciones de los nodos de comprobación, plantea un problema.
25

El documento "Construcción de Códigos de Comprobación de Paridad de Baja Densidad" de J.W Bond y otros (Procc. IEEE / AFCEA Sistemas de Información para una Seguridad y Protección Públicas Mejoradas, EUROCOMM 2000, 17 de Mayo de 2000) describe la construcción de códigos LDPC potentes con tasas de código de 1/2 y 4/7.
30

Hay una necesidad de usar códigos LDPC de forma eficaz para soportar altas tasas de datos, sin la introducción de una mayor complejidad. Hay también una necesidad de mejorar el funcionamiento de los codificadores y decodificadores LDPC.
35

Sumario de la invención

Estas y otras necesidades se resuelven por la presente invención que se define en las reivindicaciones adjuntas. Un codificador, tal como un decodificador de Comprobación de Paridad de Baja Densidad (LDPC), genera señales codificadas por la transformación de un mensaje de entrada en una palabra de código representada por una pluralidad de conjuntos de bits.
40

De acuerdo con un aspecto de una realización de la presente invención, se desvela un procedimiento para la generación de señales codificadas. El procedimiento incluye la recepción de uno de una pluralidad de conjuntos de bits de una palabra de código desde un codificador para la transformación de un mensaje de entrada en la palabra de código.
45

De acuerdo con otro aspecto de una realización de la presente invención, se desvela un codificador para la generación de señales codificadas. El codificador B configurado para transformar un mensaje de entrada en una palabra de código representada por una pluralidad de conjuntos de bits.

Otros aspectos más, características y ventajas de la presente invención son fácilmente evidentes a partir de la siguiente descripción detallada, simplemente por la ilustración de varias realizaciones e implementaciones particulares, incluyendo el mejor modo contemplado para la realización de la presente invención. La presente invención también es capaz de otras y diferentes realizaciones, y pueden modificarse varios de sus detalles en diversos aspectos obvios, todos sin apartarse del alcance de la presente invención. Por consiguiente, los dibujos y la descripción deben considerarse como ilustrativos por naturaleza, y no como restrictivos.
50

Breve descripción de los dibujos

La presente invención se ilustra a modo de ejemplo, y no a modo de limitación, en las figuras de los dibujos adjuntos y en los que las mismas referencias numéricas se refieren a elementos similares y en los que:

- 5 la FIG. 1 es un diagrama de un sistema de comunicaciones configurado para utilizar códigos de Comprobación de Paridad de Baja Densidad (LDPC);
- la FIG. 2A y 2B son diagramas de codificadores LDPC de ejemplo, desplegados en el transmisor de la FIG. 1;
- la FIG. 3 es un diagrama de un receptor de ejemplo en el sistema de la FIG. 1;
- la FIG. 4 es un diagrama de una matriz de comprobación de paridad de baja densidad;
- la FIG. 5 es un diagrama de un gráfico bipartito de un código LDPC de la matriz de la FIG. 4;
- 10 la FIG. 6 es un diagrama de una sub-matriz de una matriz de comprobación de paridad de baja densidad, en donde, la sub-matriz contiene valores de comprobación de paridad restringidos a la región triangular inferior;
- la FIG. 7 es un gráfico que muestra el funcionamiento entre códigos que utilizan una matriz de comprobación de paridad no restringida (matriz H) frente a una matriz H restringida que tiene una sub-matriz como en la FIG. 6;
- 15 las FIG. 8A y 8B son, respectivamente, un diagrama de un esquema de modulación de 8-PSK no Gray, y una modulación de 8-PSK Gray, cada una de las cuales puede usarse en el sistema de la FIG. 1;
- la FIG. 8C es un diagrama de un procedimiento para el etiquetado de bits para una constelación de señales de mayor orden;
- la FIG. 8D es un diagrama de ejemplo de constelaciones 16-APSK (Codificación por Desplazamiento de Fase y de Amplitud)
- 20 la FIG. 8E es un gráfico de la Tasa de Errores de Paquetes (PER) frente a la proporción de señal a ruido para las constelaciones de la FIG. 8D;
- la FIG. 8F es un diagrama de constelaciones para símbolos de la Codificación por Desplazamiento de Fase en Cuadratura (QPSK), 8-PSK, 16-APSK y 32-APSK;
- la FIG. 8G es un diagrama de constelaciones alternativas para símbolos 8-PSK, 16-APSK y 32-APSK;
- 25 la FIG. 8H es un gráfico de la Tasa de Errores de Paquetes (PER) frente a la proporción de señal a ruido para las constelaciones de la FIG. 8F;
- la FIG. 9 es un gráfico que muestra el funcionamiento entre códigos que utilizan el etiquetado Gray frente a un etiquetado no Gray;
- la FIG. 10 es un diagrama de flujo de la operación del decodificador LDPC que usa un mapeo no Gray;
- 30 la FIG. 11 es un diagrama de flujo de la operación del decodificador LDPC de la FIG. 3 que usa un mapeo Gray;
- las FIG. 12A-12C son diagramas de las interacciones entre los nodos de comprobación y los nodos de bits en un procedimiento de decodificación;
- las FIG. 13A y 13B son diagramas de flujo de procedimientos para el cálculo de mensajes salientes entre los nodos de comprobación y los nodos de bits que usan, respectivamente, un enfoque de directo – inverso y un enfoque paralelo;
- 35 las FIG. 14A – 14C son gráficos que muestran los resultados de la simulación de códigos LDPC generados;
- las FIG. 15A y 15B son diagramas del borde superior y el borde inferior, respectivamente, de la memoria organizada para soportar el acceso estructurado para realizar la aleatorización en la codificación LDPC; y
- 40 la FIG. 16 es un diagrama de un sistema de ordenador que puede realizar los procedimientos de codificación y decodificación de los códigos LDPC.

Descripción de la realización preferida

- 45 En la siguiente descripción, para los propósitos de explicación, se muestran numerosos detalles específicos para proporcionar un completo entendimiento de la presente invención. Es evidente, sin embargo, para los expertos en la materia que la presente invención puede ponerse en práctica sin estos detalles específicos o con una disposición equivalente. En otros ejemplos, se muestran estructuras y dispositivos bien conocidos en la forma de un diagrama

de bloques para evitar el oscurecimiento innecesario de la presente invención.

La FIG. 1 es un diagrama de un sistema de comunicaciones configurado para utilizar códigos de Comprobación de Paridad de Baja Densidad (LDPC), de acuerdo con una realización de la presente invención. Un sistema de comunicaciones digital 100 incluye un transmisor 101 que genera formas de onda de señales a través de un canal de comunicaciones 103 para un receptor 105. En este sistema de comunicaciones discretas 100, el transmisor 101 tiene una fuente de mensajes que produce un conjunto discreto de posibles mensajes; cada uno de posibles mensajes tiene una forma de onda de señal correspondiente. Estas formas de onda de las señales se atenúan, o de otro modo se alteran, por el canal de comunicaciones 103. Para combatir el canal con ruido 103, se utilizan los códigos LDPC.

Los códigos LDPC que se generan por el transmisor 101 posibilitan la implementación de altas velocidades sin incurrir en ninguna pérdida de funcionamiento. Estos códigos LDPC estructurados salen desde el transmisor 101 evitan la asignación de un pequeño número de nodos de comprobación para los nodos de bit ya vulnerables a los errores de canal en virtud del esquema de modulación (por ejemplo, 8-PSK).

Tales códigos LDPC tienen un algoritmo de decodificación que puede ponerse en paralelo (a diferencia de los códigos turbo), lo que ventajosamente involucra operaciones simples tales como la suma, la comparación y la búsqueda de tablas. Además, los códigos LDPC diseñados cuidadosamente no exhiben ninguna señal de suelo de error.

De acuerdo con una realización de la presente invención, el transmisor 101 genera, usando una técnica de codificación relativamente simple, los códigos LDPC en base a matrices de comprobación de paridad (que facilitan el acceso a memoria eficaz durante la decodificación) para comunicar con el receptor 105. El transmisor 101 emplea códigos LDPC que pueden superar los códigos turbo + RS (Reed – Solomon) concatenados, suponiendo que la longitud del código sea lo suficientemente grande.

Las FIG. 2A y 2B son diagramas de ejemplo de codificadores LDPC desplegados en el transmisor de la FIG. 1. Como se ve en la FIG. 2A, un transmisor 200 está equipado con un codificador LDPC 203 que acepta la entrada desde una fuente de información 201 y saca un flujo codificado de redundancia más elevada adecuada para el procesamiento de la corrección de errores en el receptor 105. La fuente de información 201 genera k señales a partir de un alfabeto discreto, X . Los códigos LDPC se especifican con matrices de comprobación de paridad. Por el contrario, la codificación de códigos LDPC requiere, en general, la especificación de matrices de generador. Incluso aunque es posible obtener matrices de generador a partir de las matrices de comprobación de paridad usando la eliminación Gaussiana, la matriz resultante ya no es una matriz de baja densidad y el almacenamiento de una gran matriz de generador puede ser complejo.

El codificador 203 genera señales a partir del alfabeto Y para un dispositivo de mapeo de señales 206, que proporciona un mapeo del alfabeto Y a símbolos de la constelación de señales correspondientes al esquema de modulación empleado por un modulador 205. Este mapeo sigue un esquema no secuencial, tal como de intercalado. Mapeos de ejemplo se describen más completamente más adelante con respecto a las FIG. 8C. El codificador 203 usa una técnica de codificación simple que hace uso de sólo la matriz de comprobación de paridad imponiendo la estructura sobre la matriz de comprobación de paridad. Específicamente, se sitúa una restricción sobre la matriz de comprobación de paridad restringiendo cierta porción de la matriz para que sea triangular. La construcción de tal matriz de comprobación de paridad se describe más completamente más adelante en la FIG. 6. Tal restricción da como resultado una pérdida de funcionamiento despreciable, y por lo tanto, constituye un compromiso atractivo.

El modulador 205 modula los símbolos de la constelación de señal a partir del dispositivo de mapeo 206 a formas de onda de señal que se transmiten a una antena de transmisión 207, que emite estas formas de onda sobre el canal de comunicaciones 103. Las transmisiones desde la antena de transmisión 207 se propagan a un receptor, como se trata más adelante.

La FIG. 2B muestra un codificador LDPC utilizado con un codificador Bose Chaudhuri Hocquenghen (BCH) y un codificador de comprobación de redundancia cíclica (CRC). Bajo este escenario, los códigos generados por el codificador LDPC 203, junto con el codificador de CRC 209 y el codificador BCH 211, tienen un código exterior BCH concatenado y un código interior de comprobación de paridad de baja densidad (LDPC). Además, la detección de errores se consigue usando códigos de comprobación de redundancia cíclica (CRC). El codificador de CRC 209, en una realización de ejemplo, codifica usando un código de CRC de 8 bits con un polinomio generador $(x^5 + x^4 + x^3 + x^2 + 1)(x^2 + x + 1)(x + 1)$.

El codificador LDPC 203 codifica sistemáticamente un bloque de información de tamaño k_{ldpc} , $i = (i_0, i_1, \dots, i_{k_{ldpc}-1})$ sobre una palabra de código de tamaño n_{ldpc} , $c = (i_0, i_1, \dots, i_{k_{ldpc}-1}, p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$. La transmisión de la palabra de código comienza en el orden determinado desde i_0 y termina con $p_{n_{ldpc}-k_{ldpc}-1}$. Los parámetros del código LDPC (n_{ldpc} , k_{ldpc}) se dan en la Tabla 1 a continuación por lo cual los códigos LDPC con tasas 2/3, 4/5, 3/5, 8/9 y 9/10 son ejemplos que no son parte de la invención.

Tabla 1

Parámetros de Código LDPC (n_{ldpc} , k_{ldpc})		
Tasa de Código	Longitud de Bloque no Codificado de LDPC K_{ldpc}	Longitud de Bloque Codificado de LDPC n_{ldpc}
1/2	32400	64800
2/3	43200	64800
3/4	48600	64800
4/5	51840	64800
5/6	54000	64800
3/5	38880	64800
8/9	57600	64800
9/10	58320	64800

La tarea del codificador LDPC 203 es determinar los $n_{ldpc} - k_{ldpc}$ bits de paridad ($p_0, p_1, \dots, p_{n_{ldpc} - k_{ldpc} - 1}$) para cada bloque de k_{ldpc} bits de información, ($i_0, i_1, \dots, i_{k_{ldpc} - 1}$). El procedimiento es como sigue. En primer lugar, se inicializan los bits de paridad; $p_0 = p_1 = p_2 = \dots = p_{n_{ldpc} - k_{ldpc} - 1} = 0$. El primer bit de información, i_0 , se acumula en la dirección del bit de paridad especificado en la primera fila de las Tablas 3 hasta 10. Por ejemplo, para una tasa de 2/3 (Tabla 3), resulta lo siguiente:

$$\begin{aligned}
 p_0 &= p_0 \oplus i_0 \\
 p_{10491} &= p_{10491} \oplus i_0 \\
 p_{16043} &= p_{16043} \oplus i_0 \\
 p_{506} &= p_{506} \oplus i_0 \\
 p_{12826} &= p_{12826} \oplus i_0 \\
 p_{8065} &= p_{8065} \oplus i_0 \\
 p_{8226} &= p_{8226} \oplus i_0 \\
 p_{2767} &= p_{2767} \oplus i_0 \\
 p_{240} &= p_{240} \oplus i_0 \\
 p_{18673} &= p_{18673} \oplus i_0 \\
 p_{9279} &= p_{9279} \oplus i_0 \\
 p_{10579} &= p_{10579} \oplus i_0 \\
 p_{20928} &= p_{20928} \oplus i_0
 \end{aligned}$$

(Todas las sumas están en GF(2)).

A continuación, para los siguientes 359 bits de información, i_m , $m = 1, 2, \dots, 359$, estos bits se acumulan en las direcciones de los bits de paridad $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - k_{ldpc})$, donde x denota la dirección del acumulador de bit de paridad correspondiente al primer bit i_0 , y q es una constante dependiente de la tasa de código especificada en la Tabla 2. Continuando con el ejemplo, $q = 60$ para la tasa 2/3. A modo de ejemplo, para el bit de información i_1 , se realizan las siguientes operaciones:

$$\begin{aligned}
 p_{60} &= p_{60} \oplus i_1 \\
 p_{10551} &= p_{10551} \oplus i_1
 \end{aligned}$$

5

$$p_{16103} = p_{16103} \oplus i_1$$

$$p_{566} = p_{566} \oplus i_1$$

$$p_{12886} = p_{12886} \oplus i_1$$

$$p_{8125} = p_{8125} \oplus i_1$$

$$p_{8286} = p_{8286} \oplus i_1$$

$$p_{2827} = p_{2827} \oplus i_0$$

$$p_{300} = p_{300} \oplus i_0$$

$$p_{18733} = p_{18733} \oplus i_0$$

$$p_{9339} = p_{9339} \oplus i_0$$

10

$$p_{10639} = p_{10639} \oplus i_0$$

$$p_{20988} = p_{20988} \oplus i_0$$

15

Para el bit de información 361º, i_{360} , la dirección de los acumuladores de los bits de paridad se dan en la segunda fila de las Tablas 3 hasta 10. De forma similar la dirección de los acumuladores del bit de paridad para los siguientes 359 bits de información i_m , $m = 361, 362, \dots, 719$ se obtienen usando la fórmula $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - k_{ldpc})$, donde x denota la dirección del acumulador del bit de paridad correspondiente al bit de información i_{360} , es decir, las entradas en la segunda fila de las tablas 3-10. De forma similar, para cada grupo de 360 nuevos bits de información, se usa una nueva fila de las tablas 3 hasta 10 para encontrar la dirección de los acumuladores del bit de paridad.

20

Después de que se agotan todos los bits de información, los bits de paridad final se obtienen como sigue. En primer lugar, se realizan las siguientes operaciones, comenzando con $i = 1$

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$$

Contenido final de p_i , $i = 0, 1, \dots, n_{ldpc} - k_{ldpc} - 1$ es igual al bit de paridad p_i .

Tabla 2

Tasa de Código	q
2/3	60
5/6	30
1/2	90
3/4	45
4/5	36
3/5	72
8/9	20
9/10	18

25

30

ES 2 381 012 T3

Tabla 3

Dirección de los Acumuladores de Bits de Paridad (Tasa 2/3)												
0	10491	16043	506	12826	8065	8226	2767	240	18673	9279	10579	20928
1	17819	8313	6433	6224	5120	5824	12812	17187	9940	13447	13825	18483
2	17957	6024	8681	18628	12794	5915	14576	10970	12064	20437	4455	7151
3	19777	6183	9972	14536	8182	17749	11341	15556	4379	17434	15477	18532
4	4651	19689	1608	659	16707	14335	6143	3058	14618	17894	20684	5306
5	9778	2552	12096	12369	15198	16890	4851	3109	1700	18725	1997	15882
6	486	6111	13743	11537	5591	7433	15227	14145	1483	3887	17431	12430
7	20647	14311	117344	180	8110	5525	12141	15761	18661	18441	10569	8192
8	37911	14759	15264	19918	10132	9062	10010	12786	10675	9682	19246	5454
9	19525	9485	7777	19999	8378	9209	3163	20232	6690	16518	716	7353
10	4588	6709	20202	10905	915	4317	11073	13576	16433	368	3508	21171
11	14072	4033	19959	12608	631	19494	14160	8249	10223	21504	12395	4322
12	13800	14161										
13	2948	9647										
14	14693	16027										
15	20506	11082										
16	11439	020										

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 2/3)
17 135014014
18 1548 2190
19 12216 21556
20 2095 19897
21 4189 7958
22 15940 10048
23 515 12614
24 8501 8450
25 17595 16784
26 5913 8495
27 16394 10423
28 7409 6981
29 6678 15939
30 20344 12987
31 2510 14588
32 17918 6655
33 6703 19451
34 496 4217
35 7290 5766
36 10521 8925
37 20379 11905
38 4090 5838
39 19082 17040
40 20233 12352
41 19365 19546
42 6249 19030
43 11037 19193
44 19760 11772
45 19644 7428
46 16076 3521
47 11779 21062
48 13062 9682
49 8934 5217
50 11087 3319

ES 2 381 012 T3

51 18892 4356
52 7894 3898
53 5963 4360
54 7346 11726
55 5182 5609
56 2412 17295
57 9845 20494
58 6687 1864
59 20564 5216
0 18226 17207
1 9380 8266
2 7073 3065
3 18252 13437
4 916115642
5 10714 10153
6 11585 9078
7 5359 9418
8 9024 9515
9 1206 16354
10 14994 1102

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 2/3)
11 9375 20796
12 15964 6027
13 14789 6452
14 8002 18591
15 14742 14089
16 253 3045
17 1274 19286
18 14777 2044
19 13920 9900
20 452 7374
21 18206 9921
22 61315414
23 10077 9726
24 12045 5479
25 4322 7990
26 15616 5550
27 15561 10661
28 20718 7387
29 2518 18804
30 8984 2600
31 6516 17909
32 11148 98
33 20559 3704
34 7510 1569
35 16000 11692
36 9147 10303
37 16650 191
38 15577 18685
39 17167 20917
40 4256 3391
41 20092 17219
42 9218 5056
43 18429 8472
44 12093 20753

ES 2 381 012 T3

45 16345 12748

46 16023 11095

47 5048 17595

48 18995 4817

49 16483 3536

50 1439 16148

51 36613039

52 19010 18121

53 8968 11793

54 13427 18003

55 5303 3083

56 531 16668

57 47716722

58 5695 7960

59 3589 14630

ES 2 381 012 T3

Tabla 4

Dirección de los Acumuladores de Bits de Paridad (Tasa 5/6)
0 4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1 2479 1786 8978 30114339 9313 6397 2957 7288 5484 6031 10217
2 10175 9009 9889 30914985 7267 4092 8874 56712777 2189 8716
3 9052 4795 3924 3370 10058 1128 999610165 9360 4297 434 5138
4 2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5 3435 7871348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6 3917 3111 3476 1304 103315939 5199 1611 1991699 8316 9960
7 68833237 171710752 78919764 47453888 10009417646141567
8 10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9 3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10 85481848 103724585 73136536 63791766 9462245656069975
11 8204 10593 7935 3636 3882 394 59688561 2395 7289 9267 9978
12 7795 74 1633 9542 6867 7352 6417 7568 10623 725 25319115
13 71512482 42605003 101057419 9203 66918798 20928263 3755
14 3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15 6304 7621
16 6498 9209
17 7293 6786
18 5950 1708
19 8521 1793
20 6174 7854
21 9773 1190
22 9517 10268
23 2181 9349
24 1949 5560
25 1556 555
26 8600 3827
27 5072 1057
28 7928 3542
29 3226 3762
0 7045 2420
1 9645 2641
2 2774 2452
3 5331 2031

Dirección de los Acumuladores de Bits de Paridad (Tasa 5/6)	
4	9400 7503
5	1850 2338
6	10456 9774
7	1692 9276
8	10037 4038
9	3964 338
10	2640 5087
11	858 3473
12	5582 5683
13	9523 916
14	4107 1559
15	4506 3491
16	81914182
17	10192 6157
18	5668 3305
19	3449 1540
20	4766 2697
21	4069 6675
22	1117 1016

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 5/6)
23 5619 3085
24 8483 84 00
25 8255 394
26 6338 5042
27 6174 5119
28 7203 1989
29 1781 5174
01464 3559
1 3376 4214
2 7238 67
3 10595 8831
4 1221 6513
5 5300 4652
6 1429 9749
778785131
8 4435 10284
9 6331 5507 1066624941
11 9614 10238
12 8400 8025
13 9156 5630
14 7067 8878
15 9027 3415
16 1690 3866
17 2854 8469
18 6206 630
18 1516 9195
19 8062 9064
20 2095 8968
21 753 7326
22 62913833
23 2614 7844
24 2303 646
25 2075 611
26 4687 362

ES 2 381 012 T3

27 8684 9940

28 4830 2065

29 7038 1363

0 1769 7837

1 3801 1689

2 10070 2359

3 3667 9918

4 1914 6920

5 4244 5669

6 10245 7821

7 7648 3944

8 33105488

9 6346 9666

10 7088 6122

11 1291 7827

12 10592 8945

13 3609 7120

14 91689112

15 6203 8052

16 3330 2895

17 4264 10563

18 10556 6496

19 8807 7645

ES 2 381 012 T3

(Continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 5/6)
20 1999 4530
21 9202 6818
22 3403 1734
23 2106 9023
24 6881 3883
25 3895 2171
26 4062 6424
27 3755 9536
28 4683 2131
29 7347 8027

Tabla 5

Dirección de los Acumuladores de Bits de Paridad (Tasa 1/2)
54 9318 14392 2756126909 10219 2534 8597
55 7263 4635 2530 28130 3033 23830 3651
56 2473123583 26036 17299 5750 792 9169
57 5811 26154 18653 11551 15447 13685 16264
58 12610 11347 28768 2792 3174 29371 12997
59 16789 16018 21449 6165 21202 15850 3186
60 31016 21449 17618 6213 12166 8334 18212
61 22836 14213 11327 5896 718 11727 9308
62 2091 24941 29966 23634 9013 15587 5444
63 22207 3983 16904 28534 21415 27524 25912
64 25687 450122193 14665 14798 16158 5491
65 4520 17094 23397 4264 22370 16941 21526
66 10490 6182 32370 9597 3084125954 2762
67 22120 2286529870 15147 13668 1495519235

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 1/2)							
68	6689	18408	18346	9918	25746	5443	20645
69	29982	12529	13858	4746	30370	10023	24828
70	1262	28032	29888	13063	24033	21951	7863
71	6594	29642	31451	148319509	9335	31552	
72	1358	6454	16633	20354	24598	624	5265
73	19529	295	18011	3080	13364	8032	15323
74	11981	1510	7960	21462	9129	11370	25741
75	9276	29656	4543	30699	20646	21921	28050
76	15975	25634	5520	31119	13715	21949	19605
77	18688	4608	31755	30165	13103	10706	29224
78	21514	2311712245	26035	31656	2563130699		
79	9674	24966	31285	29908	17042	24588	31857
80	21856	27777	29919	27000	14897	11409	7122
81	29773	23310	263	4877	28622	20545	22092
82	15605	5651	21864	3967	14419	22757	15896
83	30145	1759	10139	29223	26086	10556	5098
84	18815	16575	2936	24457	26738	6030	505
85	30326	22298	27562	2013126390	6247	24791	
86	928	29246	21246	12400	15311	32309	18608
87	20314	6025	26689	16302	2296	3244	19613
88	6237	11943	22851	15642	23857	15112	20947
89	26403	25168	19038	18384	8882	12719	7093
0	14567	24965					
1	3908	100					
2	10279	240					
3	24102	764					
4	12383	4173					
5	1386115918						
6	21327	1046					
7	5288	14579					
8	28158	8069					
9	16583	11098					
10	16681	28363					
11	13980	24725					

ES 2 381 012 T3

12	32169	17989
13	10907	2767
14	21557	3818
15	26676	12422
16	7676	8754
17	14905	20232
18	15719	24646
19	31942	8589
20	19978	27197
21	27060	15071
22	6071	26649
23	10393	11176
24	9597	13370
25	7081	17677
26	1433	19513
27	26925	9014
28	19202	8900
29	18152	30647
30	20803	1737
31	11804	25221

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 1/2)
32 31683 17783
33 29694 9345
34 12280 26611
35 6526 26122
36 26165 11241
37 7666 26962
38 16290 8480
39 11774 10120
40 30051 30426
41 1335 15424
42 6865 17742
43 31779 12489
44 32120 21001
45 14508 6996
46 979 25024
47 4554 21896
48 7989 21777
49 4972 20661
50 66122730
51 12742 4418
52 29194 595
53 19267 20113

Tabla 6

Dirección de los Acumuladores de Bits de Paridad (Tasa 3/4)
0 6385 7901 14611 13389 11200 3252 5243 2504 2722 8217374
1 11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2 7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3 1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4 7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5 1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6 4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7 4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8 6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563

ES 2 381 012 T3

9	3232	6625	4795	546	9781	2071	7312	3399	7250	4932	12652
10	8820	10088	11090	7069	6585	13134	10158	7183	488	7455	9238
11	1903	10818	119	215	7558	11046	10615	11545	14784	7961	15619
12	3655	8736	4917	15874	5129	2134	15944	14768	7150	2692	1469
13	8316	3820	505	8923	6757	806	7957	4216	15589	13244	2622
14	14463	4852	157333041	11193	12860	13673	81526551	1510	88758		
15	3149	11981									
16	13416	6906									
17	13098	13352									
18	2009	14460									
19	72074314										
20	3312	3945									
21	4418	6248									
22	2669	13975									
23	7571	9023									
24	14172	2967									
25	7271	7138									
26	6135	13670									

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 3/4)
27 7490 14559
28 8657 2466
29 8599 12834
30 3470 3152
31 13917 4365
32 6024 13730
33 10973 14182
34 246413167
35 5281 15049
36 11031849
37 2058 1069
38 9654 6095
39 14311 7667
40 15617 8146
41 4588 11218
42 13660 6243
43 8578 7874
44 11741 2686
0 1022 1264
1 12604 9965
2 8217 2707
3 3156 11793
4 354 1514
5 6978 14058
6 7922 16079
7 15087 12138
8 5053 6470
9 12687 14932
10 15458 1763
11 8121 1721
12 12431 549
13 4129 7091
14 1426 8415
15 9783 7604

ES 2 381 012 T3

16 6295 11329
17 1409 12061
18 8065 9087
19 2918 8438
20 1293 14115
21 3922 13851
22 3851 4000
23 5865 1768
24 2655 14957
25 5565 6332
26 4303 12631
27 11653 12236
28 16025 7632
29 4655 14128
30 9584 13123
31 13987 9597
32 15409 12110
33 8754 15490
34 7416 15325
35 2909 15549

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 3/4)
36 2995 8257
37 94064791
36 2995 8257
37 94064791
38 111114854
39 28128521
40 847614717
41 7820 15360
42 1179 7939
43 2357 8678
44 7703 6216
0 3477 7067
1 3931 13845
2 7675 12899
3 1754 8187
4 7785 1400
5 9213 5891
6 2494 7703
7 2576 7902
8 4821 15682
9 10426 11935
10 1810 904
11 11332 9264
12 11312 3570
13 14916 2650
14 7679 7842
15 6089 13084
16 3938 2751
17 8509 4648
18 12204 8917
19 5749 12443
20 12613 4431
21 1344 4014
22 8488 13850

ES 2 381 012 T3

23	1730	14896
24	14942	7126
25	14983	8863
26	6578	8564
27	4947	396
28	297	12805
29	13878	6692
30	11857	11186
31	14395	11493
32	16145	12251
33	13462	7428
34	14526	13119
35	2535	11243
36	6465	12690
37	6872	9334
38	15371	14023
39	8101	10187
40	11963	4848
41	15125	6119
42	8051	14465
43	11139	5167
44	2883	14521

ES 2 381 012 T3

Tabla 7

Dirección de los Acumuladores de Bits de Paridad (Tasa 4/5)										
0	149	11212	5575	6360	12559	8108	8505	408	10026	12828
1	5237	490	10677	4998	3869	3734	3092	3509	7703	10305
2	8742	5553	2820	7085	12116	10485	564	7795	2972	2157
3	2699	4304	8350	712	28413250	4731	10105	517	7516	
4	12067	1351	11992	12191	11267	5161537	6166	4246	2363	
5	6828	7107	2127	3724	5743	11040	10756	4073	1011	3422
6	11259	1216	9526	1466	10816	940	37442815	11506	11573	
7	4549	11507	1118	1274	11751	5207	785412803	4047	6484	
8	8430	4115	9440	413	4455	2262	7915	12402	8579	7052
9	3885	9126	5665	4505	2343	253	4707	3742	4166	1556
10	1704	8936	6775	8639	8179	7954	8234	7850	8883	8713
11	1171643449087	112642274	8832914711930	60545455						
12	7323	3970	10329	2170	8262	3854	208712899	949711700		
13	4418	1467	2490	5841	817	11453	533	11217	11962	5251
14	15414525	7976	3457	9536	7725	3788	2982	6307	5997	
15	11484	2739	4023	12107	6516	5512572	6628	8150	9852	
16	6070	1761	4627	6534	7913	3730	11866	1813	12306	8249
17	1244154898748	78377660	2102	113412936	6712	11977				
18	10155	4210								
19	1010	10483								
20	8900	10250								
21	10243	12278								
22	7070	4397								
23	12271	3887								
24	11980	6836								
25	9514	4356								
26	7137	10281								
27	11881	2526								
28	1969	11477								
29	3044	10921								
30	2236	8724								
31	9104	6340								
32	7342	8582								

ES 2 381 012 T3

33 11675 10405
34 6467 12775
35 3186 12198
0 9621 11445
1 7486 5611
2 4319 4879
3 2196 344
4 75276650
5 10693 2440
6 6755 2706
7 5144 5998
8 110438033
9 4846 4435
10 41579228
11 12270 6562
12 11954 7592
13 7420 2592
14 8810 9636
15 689 5430

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 4/5)
16 920 1304
17 1253 11934
18 9559 6016
19 312 7589
20 4439 4197
21 4002 9555
22 12232 7779
23 1494 8782
24 10749 3969
25 4368 3479
26 6316 5342
27 2455 3493
28 12157 7405
29 6598 11495
30 11805 4455
31 9625 2090
32 4731 2321
33 3578 2608
34 8504 1849
35 4027 1151
0 5647 4935
1 4219 1870
2 10968 8054
3 6970 5447
4 3217 5638
5 8972 669
6 5618 12472
7 1457 1280
8 8868 3883
9 8866 1224
10 8371 5972
11 266 4405
12 3706 3244
13 6039 5844

ES 2 381 012 T3

14 7200 3283
15 1502 11282
16 12318 2202
17 4523 965
18 9587 7011
19 25522051
20 12045 10306
21 11070 5104
22 6627 6906
23 9889 2121
24 829 9701
25 2201 1819
26 6689 12925
27 2139 8757
28 12004 5948
29 8704 3191
30 8171 10933
31 6297 7116
32 616 7146

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 4/5)
33 51429761
34 10377 8138
35 76165811
0 7285 9863
1 7764 10867
2 12343 9019
3 4414 8331
4 3464 642
5 6960 2039
6 786 3021
7 7102086
8 7423 5601
9 81204885
10 12385 11990
11 9739 10034
12 424 10162
13 1347 7597
14 1450 112
15 7965 8478
16 8945 7397
17 6590 8316
18 68389011
19 6174 9410
20 255 113
21 6197 5835
22 12902 3844
23 4377 3505
24 5478 8672
25 4453 2132
26 9724 1380
27 12131 11526
28 12323 9511
29 8231 1752
30 497 9022
31 9288 3080
32 24817515
33 2696 268
34 4023 12341
35 7108 5553

ES 2 381 012 T3

Tabla 8

Dirección de los Acumuladores de bits de Paridad (Tasa 3/5)											
22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179											
25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463											
11049 22853 25706 14388 550019245 8732 2177 13555 11346 17265 3069											
16581 2222512563 1971723577 11555 254966853 254035218 1592521766											
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620											
5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243											
18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802											
8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826											
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206											
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777											
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791											
6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004											
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837											
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 826122944											
9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019											
7575 7455 25244 4736 14400 229815543 8006 24203 13053 1120 5128											
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670											
15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157											
24896 16365 16423 13461 16615 8107 247413604 25904 8716 9604 20365											
3729 17245 18448 9862 2083125326 20517 24618 13282 5099 14183 8804											
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490											
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360											
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040											
377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108											
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125											
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552											
18839 2113220119 15214 14705 7096 10174 5663 1865119700 1252414033											
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797											
1065124471 14325 40817258 4949 7044 1078 797 22910 20474 4318											
21374 1323122985 5056 3821 23718 14178 9978 19030 23594 8895 25358											
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442											
7978 12177 2893 20778 3175 8645 11863 24623 1031125767 17057 3691											
20473 11294 9914 22815 2574 8439 3699 543124840 21908 16088 18244											
8208 5755 19059 854124924 6454 11234 10492 16406 10831 11436 9649											

ES 2 381 012 T3

16264	11275	24953	2347	12667	19190	7257	7174	24819	2938	2522	11749
3627	5969	13862	1538	23176	6353	2855	17720	2472	7428	573	15036
0	18539	18661									
1	10502	3002									
2	9368	10761									
3	12299	7828									
4	15048	13362									
5	18444	24640									
6	20775	19175									
7	18970	10971									
8	5329	19982									
9	11296	18655									
10	15046	20659									
11	7300	22140									
12	22029	14477									
13	11129	742									
14	13254	13813									
15	19234	13273									
16	6079	21122									
17	22782	5828									

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de bits de Paridad (Tasa 3/5)
18 19775 4247
19 1660 19413
20 4403 3649
21 13371 25851
22 22770 21784
23 10757 14131
24 16071 21617
25 6393 3725
26 597 19968
27 5743 8084
28 6770 9548
29 4285 17542
30 13568 22599
31 1786 4617
32 23238 11648
33 19627 2030
34 13601 13458
35 13740 17328
36 25012 13944
37 22513 6687
38 4934 12587
39 21197 5133
40 22705 6938
41 7534 24633
42 24400 12797
43 21911 25712
44 12039 1140
45 24306 1021
46 14012 20747
47 11265 15219
48 4670 15531
49 9417 14359
50 2415 6504
51 24964 24690

52 14443 8816
53 6926 1291
54 6209 20806
55 13915 4079
56 24410 13196
57 13505 6117
58 9869 8220
59 15706044
60 25780 17387
61 20671 24913
62 24558 20591
63 12402 3702
64 8314 1357
65 20071 14616
66 17014 3688
67 19837 946
68 15195 12136
69 7758 22808
70 3564 2925
71 3434 7769

Tabla 9

Dirección de los Acumuladores de Bits de Paridad (Tasa 8/9)
0 6235 2848 3222
1 5800 3492 5348
2 2757 927 90
3 696145164739
4 1172 3237 6264
5 1927 2425 3683
6 3714 6309 2495
7 3070 6342 7154
8 2428 613 3761
9 2906 264 5927
10 1716 1950 4273
11 4613 6179 3491
12 4865 3286 6005
13 1343 5923 3529
14 4589 4035 2132
15 1579 3920 6737
16 1644 1191 5998
17 1482 23814620
18 67916014 6596

ES 2 381 012 T3

19 2738 5918 3786

0 51566166

1 1504 4356

2130 1904

3 6027 3187

4 6718 759

5 6240 2870

6 2343 1311

7 1039 5465

8 66172513

9 1588 5222

10 6561535

11 4765 2054

12 5966 6892

13 1969 3869

14 3571 2420

15 4632 981

16 3215 4163

17 9733117

18 3802 6198

19 3794 3948

0 31966126

1 573 1909

2 850 4034

3 5622 1601

4 6005 524

5 5251 5783

6172 2032

7 1875 2475

8 497 1291

9 2566 3430

10 1249 740

11 29441948

12 6528 2899

13 2243 3616

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 8/9)
14 867 3733
15 1374 4702
16 4698 2285
17 4760 3917
18 1859 4058
19 6141 3527
0 2148 5066
1 1306 145
2 2319 871
3 3463 1061
4 5554 6647
5 5837 339
6 5821 4932
7 6356 4756
8 3930 418
9 211 3094
10 1007 4928
11 3584 1235
12 6982 2869
13 1612 1013
14 953 4964
15 4555 4410
16 4925 4842
17 5778 600
18 6509 2417
19 1260 4903
0 3369 3031
1 3557 3224
2 3028 583
3 3258 440
4 6226 6655
5 4895 1094
6 1481 6847
7 4433 1932

ES 2 381 012 T3

8	2107	1649
9	21192065	
10	4003	6388
11	6720	3622
12	3694	4521
13	1164	7050
14	1965	3613
15	433166	
16	29701796	
17	4652	3218
18	1762	4777
19	5736	1399
0	970	2572
1	20626599	
2	4597	4870
3	1228	6913
4	41591037	
5	2916	2362
6	395	1226
7	6911	4548

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa 8/9)
8 4618 2241
9 41204280
10 5825 474
11 2154 5558
12 3793 5471
13 5707 1595
14 1403 325
15 6601 5183
16 6369 4569
17 4846 896
18 70926184
19 6764 7127
0 63581951
1 3117 6960
2 27107062
3 1133 3604
4 3694 657
5 1355 110
6 3329 6736
7 2505 3407
8 2462 4806
9 4216 214
10 5348 5619
11 6627 6243
12 2644 5073
13 4212 5088
14 3463 3889
15 5306 478
16 4320 6121
17 3961 1125
18 5699 1195
19 6511792
0 3934 2778
1 3238 6587

ES 2 381 012 T3

2	1111 6596
3	1457 6226
4	1446 3885
5	3907 4043
6	6839 2873
7	1733 5615
8	5202 4269
9	3024 4722
10	5445 6372
11	370 1828
12	4695 1600
13	680 2074
14	1801 6690
15	2669 1377
16	2463 1681
17	5972 5171
18	5728 4284
19	1696 1459

Tabla 10

Dirección de los Acumuladores de bits de Paridad (Tasa 9/10)
0 56112563 2900
1 5220 3143 4813
2 2481 834 81
3 6265 4064 4265
4 1055 2914 5638
5 1734 2182 3315
6 3342 5678 2246
7 2185 552 3385
8 2615 236 5334
9 1546 1755 3846
10 4154 55613142
11 4382 2957 5400
12 1209 5329 3179
13 1421 3528 6063
14 1480 1072 5398
15 3843 1777 4369
16 1334 2145 4163
17 2368 5055 260
0 6118 5405
1 2994 4370
2 3405 1669
3 4640 5550
4 1354 3921
5 117 1713
6 5425 2866
7 6047 683
8 5616 2582
9 21081179
10 933 4921
11 5953 2261
1214304699
13 5905 480
14 4289 1846

ES 2 381 012 T3

15 5374 6208

16 1775 3476

17 3216 2178

0 4165884

1 2896 3744

2 874 2801

3 3423 5579

4 3404 3552

5 28765515

6 5161719

7 765 3631

8 5059 1441

9 5629 598

10 5405 473

11 4724 5210

12 155 1832

13 1689 2229

14 449 1164

15 2308 3088

16 1122669

17 2268 5758

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de bits de Paridad (Tasa 9/10)
0 5878 2609
1 782 3359
2 12314231
3 4225 2052
4 4286 3517
5 5531 3184
6 1935 4560
7 1174 131
8 3115 956
9 3129 1088
10 5238 4440
11 57224280
12 3540375
13 191 2782
14 906 4432
15 3225 1111
16 6296 2583
17 1457 903
0 855 4475
1 4097 3970
2 4433 4361
3 5198 541
4 11464426
5 3202 2902
6 2724 525
7 1083 4124
8 2326 6003
9 5605 5990
10 4376 1579
11 4407 984
12 1332 6163
13 5359 3975
14 1907 1854
15 3601 5748

ES 2 381 012 T3

16 6056 3266

17 3322 4085

0 1768 3244

1 2149 144

2 1589 4291

3 5154 1252

4 1855 5939

5 4820 2706

6 1475 3360

7 4266 693

8 41562018

9 2103 752

10 37103853

11 5123931

12 6146 3323

13 1939 5002

14 51401437

15 1263 293

16 5949 4665

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de bits de Paridad (Tasa 9/10)
17 4548 6380
0 31714690
1 52042114
2 6384 5565
3 5722 1757
4 2805 6264
5 1202 2616
6 1018 3244
7 4018 5289
8 2257 3067
9 2483 3073
10 1196 5329
11 649 3918
12 37914581
13 5028 3803
14 31193506
15 4779 431
16 38885510
17 4387 4084
0 5836 1692
1 5126 1078
2 5721 6165
3 3540 2499
4 2225 6348
5 1044 1484
6 6323 4042
7 1313 5603
8 1303 3496
9 3516 3639
10 5161 2293
11 46823845
12 3045 643
13 2818 2616
14 3267 649

ES 2 381 012 T3

15 6236 593
16 646 2948
17 4213 1442
0 5779 1596
1 2403 1237
2 22171514
3 5609 716
4 5155 3858
5 1517 1312
6 2554 3158
7 5280 2643
8 4990 1353
9 5648 1170
10 11524366
11 35615368
12 3581 1411
13 5647 4661
1415425401
15 5078 2687
16 316 1755
17 33921991

En cuanto al codificador BCH 211, los parámetros del código BCH se enumeran en la Tabla 11

Tabla 11

Tasa de código LDPC	Longitud de Bloque sin Codificar BCH k_{bch}	Longitud de Bloque Codificado BCH n_{bch}	Corrección de Errores de BCH (bits)
1/2	32208	32400	12
2/3	43040	43200	10
3/4	48408	48600	12
4/5	51648	51840	12
5/6	53840	54000	10
3/5	38688	38880	12
8/9	57472	57600	8
9/10	58192	58320	8

Se observa que en la tabla anterior $n_{bch} = k_{ldpc}$.

5 El polinomio generador del codificador BCH de corrección de t errores 211 es obtiene multiplicando los primeros t polinomios en la siguiente lista de la Tabla 12:

Tabla 12

$g_1(x)$	$1 + x^2 + x^3 + x^5 + x^{16}$
$g_2(x)$	$1 + x + x^4 + x^5 + x^6 + x^8 + x^{16}$
$g_3(x)$	$1 + x^2 + x^3 + x^4 + x^5 + x^7 + x^8 + x^9 + x^{10} + x^{11} + x^{11} + x^{16}$
$g_4(x)$	$1 + x^2 + x^4 + x^6 + x^9 + x^{11} + x^{12} + x^{14} + x^{16}$
$g_5(x)$	$1 + x + x^2 + x^3 + x^4 + x^5 + x^8 + x^9 + x^{10} + x^{11} + x^{12}$
$g_6(x)$	$1 + x^2 + x^4 + x^5 + x^7 + x^8 + x^9 + x^{10} + x^{12} + x^{13} + x^{14} + x^{15} + x^{16}$
$g_7(x)$	$1 + x^2 + x^5 + x^6 + x^8 + x^9 + x^{10} + x^{11} + x^{13} + x^{15} + x^{16}$
$g_8(x)$	$1 + x + x^2 + x^5 + x^6 + x^8 + x^9 + x^{12} + x^{13} + x^{14} + x^{16}$
$g_9(x)$	$1 + x^5 + x^7 + x^9 + x^{10} + x^{11} + x^{16}$
$g_{10}(x)$	$1 + x + x^2 + x^5 + x^7 + x^8 + x^{10} + x^{12} + x^{13} + x^{14} + x^{16}$
$g_{11}(x)$	$1 + x^2 + x^3 + x^5 + x^9 + x^{11} + x^{12} + x^{13} + x^{16}$
$g_{12}(x)$	$1 + x + x^5 + x^6 + x^7 + x^9 + x^{11} + x^{12} + x^{16}$

10 La codificación BCH de los bits de información $m = (m_{kbch-1}, m_{kbch-2}, \dots, m_1, m_0)$ sobre una palabra de código $c = (m_{kbch-1}, m_{kbch-2}, \dots, m_1, m_0, d_{nbch-kbch-1}, d_{nbch-kbch}, \dots, d_1, d_0)$ se consigue como sigue. El polinomio del mensaje $m(x) = m_{kbch-1} x^{kbch-1} + m_{kbch-2} x^{kbch-2} + \dots + m_1 x + m_0$ se multiplica por $x^{nbch-kbch}$. A continuación, $x^{nbch-kbch} m(x)$ se divide por $g(x)$. Con $d(x) = d_{nbch-kbch-1} x^{nbch-kbch-1} + \dots + d_1 x + d_0$ como resto. El polinomio de la palabra de código se consigue como sigue: $c(x) = x^{nbch-kbch} m(x) + d(x)$.

15 Los códigos LDPC anteriores, en una realización de ejemplo, puede usarse para una diversidad de aplicaciones de video digital, tales como la transmisión de paquetes MPEG (Grupo de Expertos de Imágenes en Movimiento).

La FIG. 3 es un diagrama de un receptor de ejemplo en el sistema de la FIG. 1. En el lado de recepción, un receptor

300 incluye un demodulador 301 que realiza la demodulación de las señales recibidas a partir del transmisor 200. Estas señales se reciben en una antena de recepción 303 para la demodulación. Después de la demodulación, las señales recibidas se retransmiten a un decodificador 305, que intenta reconstruir los mensajes fuente originales generando mensajes, X' ; en conjunción con un generador de métrica de bit 307. Con un mapeo no Gray, el generador de métrica de bit 307 intercambia la información de probabilidad con el decodificador 305 inversa y directa (de forma iterativa) durante el procedimiento de decodificación, que se detalla en la FIG. 10. Como alternativa, si se usa el mapeo de Gray, es suficiente una pasada del generador de métrica de bit, en el cual intentos adicionales de la generación de métrica de bit después de cada iteración del decodificador LDPC es probable que se obtenga una mejora del funcionamiento limitada; este enfoque se describe más completamente con respecto a la FIG. 11. Para apreciar las ventajas ofrecidas por la presente invención, es instructivo examinar cómo se generan los códigos LDPC, como se trata en la FIG. 4.

La FIG. 4 es un diagrama de una matriz de comprobación de paridad de baja densidad. Los códigos LDPC son largos, códigos de bloque lineales con una matriz de comprobación de paridad de baja densidad $H_{(n-k) \times n}$. Típicamente, la longitud del bloque, n , varía desde miles a decenas de miles de bits. Por ejemplo, una matriz de comprobación de paridad para un código LDPC de longitud $n = 8$ y tasa $\frac{1}{2}$ se muestra en la FIG. 4. El mismo código puede representarse de forma equivalente por el gráfico bipartito, por la FIG. 5.

La FIG. 5 es un diagrama de gráfico bipartito de un código LDPC de la matriz de la FIG. 4. Las ecuaciones de comprobación de paridad implican que para cada uno de los nodos de comprobación, la suma (sobre GF (Campo de Galois) (2)) de los nodos de bits adyacentes es igual a cero. Como se ve en la figura, los nodos de bit ocupan el lado izquierdo del gráfico y están asociados con uno o más nodos de comprobación, de acuerdo con una relación predeterminada. Por ejemplo, correspondiente al nodo de comprobación m_1 , existe la siguiente expresión $n_1 + n_4 + n_5 + n_8 = 0$ con respecto a los nodos de bits.

Volviendo al receptor 303, el decodificador LDPC 305 se considera un decodificador de paso de mensajes, por lo que el decodificador 305 trata de encontrar los valores de los nodos de bits. Para cumplir esta tarea, los nodos de bits y los nodos de comprobación comunican de forma iterativa entre sí. La naturaleza de esta comunicación se describe a continuación.

Desde los nodos de comprobación a los nodos de bits, cada uno de los nodos de comprobación proporciona a un nodo de bit adyacente una estimación ("opinión") respecto al valor de ese nodo de bits en base a la información procedente de otros nodos de bits adyacentes. Por ejemplo, en el ejemplo anterior, en el ejemplo anterior si la suma de $n_4, n_5, y n_8$ "se parece" a 0 para m_1 , entonces m_1 indicaría a n_1 que el valor de n_1 se cree que es 0 (ya que $n_1 + n_4 + n_5 + n_8 = 0$); de lo contrario m_1 indica a n_1 que el valor de n_1 se cree que es 1. Adicionalmente, para la decodificación de decisión flexible, se añade una medida de fiabilidad.

Desde los nodos de bits a los nodos de comprobación, cada uno de los nodos de bits retransmite a un nodo de comprobación adyacente una estimación acerca de su propio valor en base a la retroalimentación procedente de sus otros nodos de comprobación adyacentes. En el ejemplo anterior n_1 tiene sólo dos nodos de comprobación adyacentes m_1 y m_3 . Si la retroalimentación que viene desde m_3 a n_1 indica que el valor de n_1 probablemente es 0, entonces n_1 notificaría a m_1 que una estimación del valor propio de n_1 es 0. Para el caso en el que el nodo de bit tiene más de dos nodos de comprobación adyacentes, el nodo de bit realiza un voto de mayoría (decisión flexible) sobre la retroalimentación procedente de sus otros nodos de comprobación adyacentes antes de reportar esa decisión al nodo de comprobación con el que comunica. El procedimiento anterior se repite hasta se considera que todos los nodos de bits están correctos (es decir, se satisfacen todas las ecuaciones de comprobación de paridad) o hasta que se alcanza un número máximo predeterminado de iteraciones, por lo que se declara un fallo de la decodificación.

La FIG. 6 es un diagrama de una sub-matriz de una matriz de comprobación de paridad de baja densidad, en el que la sub-matriz contiene valores de comprobación de paridad restringidos a la región triangular inferior, de acuerdo con una realización de la presente invención. Como se ha descrito anteriormente, el decodificador 203 (de la FIG. 2) puede emplear una simple técnica de codificación restringiendo los valores del área triangular inferior de la matriz de comprobación de paridad. De acuerdo con una realización de la presente invención, la restricción impuesta sobre la matriz de paridad es de la forma:

$$H_{(n-k) \times n} = [A_{(n-k) \times k} B_{(n-k) \times (n-k)}]$$

Donde B es triangular inferior.

Cualquier bloque de información $i = (i_0, i_1, \dots, i_{k-1})$ se codifica a una palabra de código $c = (i_0, i_1, i_{k-1}, p_0, p_1, \dots, p_{n-k-1})$ usando $Hc^T = 0$, y resolviendo de forma recurrente para los bits de paridad; por ejemplo,

$$a_{00}i_0 + a_{01}i_1 + \dots + a_{0, k-1}i_{k-1} + p_0 = 0 \rightarrow \text{Resolver } p_0$$

$$a_{10}i_0 + a_{11}i_1 + \dots + a_{1, k-1}i_{k-1} + b_{10}p_0 + p_1 = 0 \rightarrow \text{Resolver } p_1$$

y lo mismo para $p_2, p_3, \dots, p_{n-k-1}$.

La FIG. 7 es un gráfico que muestra el funcionamiento entre códigos que utilizan la matriz de comprobación de paridad sin restricción (matriz H) frente a la matriz H restringida de la FIG. 6. El gráfico muestra la comparación de funcionamiento entre dos códigos LDPC: uno con una matriz de comprobación de paridad general y la otra con una matriz de comprobación de paridad restringida a ser una matriz triangular inferior para simplificar la codificación. El esquema de modulación, para esta simulación, es de 8-PSK. La pérdida de funcionamiento está dentro de 0,1 dB. Por lo tanto, la pérdida de funcionamiento es despreciable en base a la restricción de las matrices H triangulares inferiores, mientras que la ganancia en simplicidad de la técnica de codificación es significativa. Por consiguiente, cualquier matriz de comprobación de paridad es equivalente a una matriz triangular inferior o una matriz triangular superior siempre que pueda usarse una permutación de filas y/o columnas para el mismo propósito.

Las Fig. 8A y 8B son respectivamente, un diagrama de un esquema de modulación de 8-PSK no Gray, y una modulación de 8-PSK Gray, cada uno de los cuales puede usarse en el sistema de la FIG. 1. El esquema de 8-PSK no Gray de la FIG. 8 puede utilizarse en el receptor de la FIG. 3 para proporcionar un sistema que requiere muy baja Tasa de Borrado de Trama (FER). Este requisito se puede también satisfacer usando un esquema 8-PSK Gray como se muestra en la FIG. 8B, en conjunción con un código exterior, tal como los códigos Bose, Chaudhuri, y Hocquenghem (BCH), Hamming, o Reed-Solomon (RS).

Bajo este esquema, no hay necesidad de iterar entre el decodificador LDPC 305 (FIG. 3) y el generador de métrica de bit 307, que puede emplear una modulación 8-PSK. En ausencia de un código exterior, el decodificador 305 que usa el etiquetado de Gray exhibe un suelo de error más temprano, como se muestra en la parte inferior de la FIG. 9.

La FIG. 8C muestra un diagrama de un procedimiento para el etiquetado de bits para una constelación de señal de orden superior. Una palabra de código se saca del codificador LDPC 203 (FIG. 2A y 2B), y se mapea a un punto de constelación en una constelación de señal de orden superior (como se muestra en las FIG. 8D y 8F), por las etapas 801, 803. Este mapeo no se realiza de forma secuencial como en los sistemas tradicionales, sino que en cambio se ejecuta en una base no secuencial, tal como el intercalado. Tal mapeo se detalla adicionalmente más adelante con respecto a la FIG. 8F. El modulador 205 modula a continuación, como en la etapa 805, la señal basada en el mapeo. La señal modulada se transmite después de esto (etapa 807).

La FIG. 8D muestra un diagrama de constelaciones de ejemplo de 16-APSK (Codificación por Desplazamiento de Fase y Amplitud). Las constelaciones A y B son constelaciones de 16-APSK. La única diferencia entre las dos constelaciones A y B es que los símbolos del círculo interior de la Constelación A están girados 15 grados en el sentido contrario a las agujas del reloj con respecto a los símbolos del círculo interior de la Constelación B, de modo que los símbolos del círculo interior caen dentro de los símbolos del círculo exterior para maximizar las distancias inter-símbolos. Por lo tanto, la Constelación A es intuitivamente más atractiva si el decodificador de Corrección Directa de Errores (FEC) 305 usa un algoritmo de decodificación orientado a símbolos. Por otra parte, dada la multiplicidad de tasas de código y las diferentes constelaciones, el uso de un código FEC adaptado hacia la decodificación orientada a bits es más flexible. En tal caso, no es evidente qué constelación funcionaría mejor, ya que mientras que la Constelación A maximiza las distancias orientadas a símbolos, la Constelación B es una "codificación Gray más amigable". Se realizaron simulaciones de AWGN (Ruido Gaussiano Blanco Aditivo), con una tasa de código de 3/4, donde esa decodificación orientada a bits (los resultados de la cual se muestran en la FIG. 8E), la Constelación B funciona ligeramente mejor.

La FIG. 8F es un diagrama de constelaciones para la Codificación por Desplazamiento de Fase en Cuadratura (QPSK), de 8-PSK, 16-APSK y 32-APSK símbolos;

Las Fig. 8F muestran constelaciones simétricas para QPSK, de 8-PSK, 16-APSK y 32-APSK símbolos, respectivamente. Con QPSK, los dos bits codificados LDPC del codificador LDPC 203 se mapean a un símbolo QPSK. Esto es, los bits $2i$ y $2i + 1$ determinan el símbolo QPSK de orden i , donde $i = 0, 1, 2, \dots, N/2 - 1$, y N es el tamaño de bloque de LDPC codificado. Para 8-PSK, los bits $N/3 + i$, $2N/3 + i$, e i determinan el símbolo 8-PSK de orden i , donde $i = 0, 1, 2, \dots, N/3 - 1$. Para 16-APSK, los bits $N/2$, $+ 2i$, $2i$, $N/2 + 2i + 1$, y $2i + 1$ especifican el símbolo 16-APSK de orden i , donde $i = 0, 1, 2, \dots, N/4 - 1$. Además, para 32-APSK, los bits $N/5 + i$, $2N/5 + i$, $4N/5 + i$, $3N/5 + i$ e i determinan el símbolo de orden i , donde $i = 0, 1, 2, \dots, N/5 - 1$.

Como alternativa, puede elegirse el etiquetado de la constelación 8-PSK, 16-APSK, y 32-APSK como se muestra en la FIG. 8G. Con este etiquetado, los N bits codificados LDPC se pasan en primer lugar a través de un dispositivo de intercalado de bits. La tabla del intercalado de bits, en una realización de ejemplo, es una disposición de 2 dimensiones con $N/3$ filas y 3 columnas para 8-PSK, $N/4$ filas y 4 columnas para 16-APSK y $N/5$ filas y 5 columnas para 32-APSK. Los bits codificados LDPC se escriben en la tabla de intercalado columna por columna, y se leen fila por fila. Se observa que para el caso de 8-PSK y 32-APSK, esta estrategia de intercalado de bits de fila/columna con etiquetado como se muestra en la FIG. 8G, es exactamente equivalente a la estrategia de intercalado de bits descrita anteriormente con respecto al etiquetado mostrado en la FIG. 8F. Para el caso de 16-APSK, estas dos estrategias son funcionalmente equivalentes; eso es, exhiben el mismo funcionamiento sobre un canal AWGN.

La FIG. 8H ilustra los resultados de la simulación (sobre el canal AWGN) de las constelaciones de símbolos

anteriores. La Tabla 13 resume el funcionamiento esperado para una $PER = 10^{-6}$ y una distancia desde la capacidad restringida.

Tabla 13

Código	Es/No (dB)	Distancia a Capacidad (dB)
2/3, 8-PSK	6,59	0,873
3/4, 8-PSK	7,88	0,690
5/6, 8-PSK	9,34	0,659
8/9, 8-PSK	10,65	0,750
9/10, 8-PSK	10,95	0,750
1/2, QPSK	0,99	0,846
3/5, QPSK	2,20	0,750
2/3, QPSK	3,07	0,760
3/4, QPSK	4,02	0,677
4/5, QPSK	4,66	0,627
5/6, QPSK	5,15	0,600
7/8, QPSK	5,93	0,698
8/9, QPSK	6,17	0,681
9/10, QPSK	6,39	0,687
3/4, 16-APSK	10,19	0,890
4/5, 16-APSK	11,0	0,850
5/6, 16-APSK	11,58	0,800
7/8, 16-APSK	12,54	0,890
4/5, 32-APSK	13,63	1,100
5/6, 32-APSK	14,25	1,050
8/9, 32-APSK	15,65	1,150

5 La FIG. 9 es un gráfico que muestra el funcionamiento entre códigos que utilizan etiquetado de Gray frente al etiquetado no Gray de las FIG. 8A y 8B. El suelo de error deriva del hecho de asumir una retroalimentación correcta desde el decodificador LDPC 305, la regeneración de las métricas de bits de 8-PSK es más precisa con el etiquetado no Gray ya que los dos símbolos 8-PSK con dos bits conocidos están más apartados con el etiquetado no Gray. Esto se puede ver equivalente a funcionar con una proporción de Señal a Ruido (SNR) mayor. Por lo tanto, incluso aunque las asíntotas de error del mismo código LDPC usando etiquetado Gray y no Gray tienen la misma pendiente (es decir, son paralelas entre sí), la asíntota con etiquetado no Gray pasa a través de una FER más baja para cualquier SNR.

15 Por otra parte, para los sistemas que no requieren una FER muy baja, el etiquetado de Gray sin ninguna iteración entre el decodificador LDPC 305 y el generador de métrica de bits 8-PSK 307 puede ser más adecuado porque la regeneración de las métricas de bits 8-PSK antes de cada iteración del decodificador LDPC causa una complejidad adicional. Además, cuando se usa el etiquetado de Gray, la regeneración de las métricas de bits 8-PSK antes de cada iteración del decodificador LDPC consigue sólo una mejora del funcionamiento muy ligera. Como se ha mencionado anteriormente, el etiquetado de Gray sin iteración puede usarse para sistemas que requieren una FER muy baja, suponiendo que se implementa un código exterior.

La elección entre el etiquetado Gray y el etiquetado no Gray depende también de las características del código LDPC. Típicamente, cuando más altos son el grado del bit o el nodo de comprobación, mejor es para el etiquetado de Gray, debido a que para grados de nodos más altos, la retroalimentación inicial desde el decodificador LDPC 305 al generador de métrica de bits 307 de 8-PSK (o una modulación similar de mayor orden) se deteriora más con el etiquetado no Gray.

Cuando se utiliza la modulación 8-PSK (o similar de orden superior) con un decodificador binario, se reconoce que los tres (o más) bits de un símbolo no se reciben "igualmente ruidosos". Por ejemplo con un etiquetado 8-PSK de Gray, el tercer bit de un símbolo se considera más ruidoso para el decodificador que los otros dos bits. Por lo tanto, el diseño del código LDPC no asigna un pequeño número bordes a los nodos de bit representados por los terceros bits "más ruidosos" del símbolo 8-PSK de modo que esos bits no se penalizan dos veces.

La FIG. 10 es un diagrama de flujo de la operación del decodificador LDPC que usa un mapeo no Gray. Bajo este enfoque, el decodificador LDPC y el generador de métrica de bit iteran uno tras otro. En este ejemplo se utiliza una modulación 8-PSK; sin embargo, se aplican también los mismos principios a los esquemas de modulación más altos. Bajo este escenario, se asume que el demodulador 301 saca un vector de distancias, d , que denota las distancias entre puntos de símbolo ruidosos recibidos y los puntos de símbolo 8-PSK para el generador de métrica de bits 307, por lo que las componentes del vector son los siguientes:

$$\frac{E_s}{N_0} d_i = - \{(r_x - s_{i,x})^2 + (r_y - s_{i,y})^2\} \quad i = 0, 1, \dots, 7$$

El generador de métrica de bits 8-PSK 307 comunica con el decodificador LDPC 305 para intercambiar una información de probabilidad *a priori* y una información de probabilidad *a posteriori*, que se representan respectivamente como u y a . Esto es, los vectores u y a representan respectivamente unas probabilidades *a priori* y *a posteriori* de los logaritmos de las proporciones de probabilidad de los bits codificados.

El generador de métrica de bits 8-PSK 307 genera las proporciones de probabilidad *a priori* para cada grupo de tres bits como sigue. En primer lugar, se obtiene la información extrínseca sobre los bits codificados:

$$e_j = a_j - u_j \quad j = 0, 1, 2.$$

A continuación se determinan las probabilidades de símbolo de 8-PSK p_i , $i = 0, 1, \dots, 7$.

$$y_j = -f(0, e_j) \quad j = 0, 1, 2$$

donde $f(a, b) = \max(a, b) + LUT_f(a, b)$ con

$$LUT_f(a, b) = \ln(1 + e^{-|a-b|})$$

$$x_j = y_j + e_j \quad j = 0, 1, 2$$

$$p_0 = x_0 + x_1 + x_2 \quad p_4 = y_0 + x_1 + x_2$$

$$p_1 = x_0 + x_1 + y_2 \quad p_5 = y_0 + x_1 + y_2$$

$$p_2 = x_0 + y_1 + x_2 \quad p_6 = y_0 + y_1 + x_2$$

$$p_3 = x_0 + y_1 + y_2 \quad p_7 = y_0 + y_1 + y_2$$

A continuación, el generador de métrica de bits 307 determina el logaritmo de las proporciones de probabilidad de los bits codificados como entrada al decodificador LDPC 305, como sigue:

$$u_0 = f(d_0 + p_0, d_1 + p_1, d_2 + p_2, d_3 + p_3) - f(d_4 + p_4, d_5 + p_5, d_6 + p_6, d_7 + p_7) - e_0$$

$$u_1 = f(d_0 + p_0, d_1 + p_1, d_4 + p_4, d_5 + p_5) - f(d_2 + p_2, d_3 + p_3, d_6 + p_6, d_7 + p_7) - e_1$$

$$u_2 = f(d_0 + p_0, d_2 + p_2, d_4 + p_4, d_6 + p_6) - f(d_1 + p_1, d_3 + p_3, d_5 + p_5, d_7 + p_7) - e_2$$

Se observa que la función $f(\cdot)$ con más de dos variables puede evaluarse de forma recursiva; por ejemplo, $f(a, b, c) = f(f(a, b), c)$.

El funcionamiento del decodificador de LDPC 305 que utiliza mapeo no Gray se describe ahora. En la etapa 1001, el decodificador LDPC 305 inicializa las proporciones de logaritmos de probabilidad de los bits codificados, v , antes de la iteración de acuerdo con lo siguiente (y como se muestra en la FIG. 12A):

$$v_{n \rightarrow k_j} = u_n, \quad n = 0, 1, \dots, N-1, \quad i = 1, 2, \dots, \text{grado (nodo de bit } n)$$

En este punto $v_{n \rightarrow k_i}$ denota el mensaje que va desde el nodo de bit n a su nodo de comprobación adyacente k_i , u_n denota la salida del demodulador para el bit n y N es el tamaño de la palabra de código.

En la etapa 1003, se actualiza un nodo de comprobación, k , por lo que la entrada v obtiene la salida w . Como se ve en la FIG. 12B, los mensajes entrantes para el nodo de comprobación k desde sus nodos de bit adyacentes d_c se denotan por $v_{n1 \rightarrow k}$, $v_{n2 \rightarrow k}$, ..., $v_{ndc \rightarrow k}$. El objetivo es calcular los mensajes salientes a partir del nodo de comprobación k de vuelta a los nodos de bits adyacentes d_c . Estos mensajes se denotan por $w_{k \rightarrow n1}$, $w_{k \rightarrow n2}$, $w_{k \rightarrow ndc}$, donde

$$w_{k \rightarrow n_i} = g (v_{n1 \rightarrow k}, v_{n2 \rightarrow k}, \dots, v_{n_{i-1} \rightarrow k}, v_{n_{i+1} \rightarrow k}, \dots, v_{ndc \rightarrow k}).$$

La función $g()$ se define como sigue:

$$g(a, b) = \text{sign}(a) \times \text{sig}(b) \times \{ \min(|a|, |b|) \} + LUT_g(a, b),$$

donde $LUT_g(a, b) = \ln(1 + e^{-|a+b|}) - \ln(1 + e^{-|a-b|})$. De forma similar a la función f , la función g con más de dos variables puede evaluarse de forma recursiva.

A continuación, el decodificador 305, por la etapa 1205, saca una información de probabilidad *a posteriori* (FIG. 12C), tal como:

$$a_n = u_n + \sum_j w_{kj \rightarrow n}$$

Por la etapa 1007, se determina si se satisfacen todas las ecuaciones de comprobación de paridad. Si no se satisfacen estas ecuaciones de comprobación de paridad, a continuación el decodificador 305, como en la etapa 1009, re-deriva las métricas de bits de 8-PSK y la entrada de canal u_n . A continuación, se actualiza el nodo de bit, como en la etapa 1011. Como se muestra en la FIG. 14C, los mensajes entrantes al nodo de bit n desde sus nodos de comprobación adyacentes d_v se denotan por $w_{k1 \rightarrow n}$, $w_{k2 \rightarrow n}$, ..., $w_{kdv \rightarrow n}$. Los mensajes salientes desde el nodo de bit n se calculan de vuelta a los nodos de comprobación adyacentes; tales mensajes se denotan por $v_{n \rightarrow k1}$, $v_{n \rightarrow k2}$, ..., $v_{n \rightarrow kd_v}$, y se calculan como sigue:

$$v_{n \rightarrow k_i} = u_n + \sum_{j \neq i} w_{kj \rightarrow n}$$

En la etapa 1013, el decodificador 305 saca la decisión firme (en el caso de que se satisfagan las ecuaciones de comprobación de paridad).

$$\hat{c}_n = \begin{cases} 0, & a_n \geq 0 \\ 1, & a_n < 0 \end{cases} \quad \text{Parar si } H\hat{c}^T = 0$$

El enfoque anterior es apropiado cuando se utiliza el etiquetado no Gray. Sin embargo, cuando se implementa el etiquetado Gray, se ejecuta el procedimiento de la FIG. 11.

La FIG. 11 es un diagrama de flujo del funcionamiento del decodificador LDPC de la FIG. 3 usando el mapeo de Gray. Cuando se usa el etiquetado de Gray, las métricas de bits se generan ventajosamente sólo una vez antes que el decodificador LDPC, como se regeneran las métricas de bit después de cada iteración del decodificador LDPC se puede obtener una mejora del funcionamiento nominal. Como con las etapas 1001 y 1003 de la FIG. 10, se realiza la inicialización de los logaritmos de las proporciones de probabilidad de los bits codificados, v , y se actualiza el nodo de comprobación por las etapas 1101 y 1103. A continuación, se actualiza el nodo de bit n , como en la etapa 1105. Después de esto, el decodificador saca la información de probabilidad *a posteriori* (etapa 1107). En la etapa 1109, se hace una determinación de si se satisfacen todas las ecuaciones de comprobación de paridad. Si es así, el decodificador saca la decisión firme (etapa 1111). De lo contrario, se repiten las etapas 1103 – 1107.

La FIG. 13A es un diagrama de flujo del procedimiento para el cálculo de los mensajes salientes entre los nodos de comprobación y los nodos de bit usando un enfoque directo - inverso. Para un nodo de comprobación con bordes adyacentes d_c , se realizan el cálculo de $d_c(d_c - 1)$ y las numerosas funciones $g(., .)$. Sin embargo, el enfoque directo - inverso reduce la complejidad del cálculo para $3(d_c - 2)$, en el que se almacenan las variables $d_c - 1$.

Con referencia a la FIG. 12B, los mensajes entrantes al nodo de comprobación k desde los nodos de bits adyacentes d_c se denotan por $v_{n1 \rightarrow k}$, $v_{n2 \rightarrow k}$, ..., $v_{ndc \rightarrow k}$. Es deseable que los mensajes salientes se calculen a partir del nodo de comprobación k de vuelta a los nodos de bits adyacentes, estos mensajes salientes se denotan por $w_{k \rightarrow n1}$, $w_{k \rightarrow n2}$, ..., $w_{k \rightarrow ndc}$.

Bajo el enfoque de directo - inverso para calcular estos mensajes salientes, las variables directas f_1, f_2, \dots, f_{dc} , se definen como sigue:

$$\begin{aligned}
 f_1 &= v_{1 \rightarrow k} \\
 f_2 &= g(f_1, v_{2 \rightarrow k}) \\
 f_3 &= g(f_2, v_{3 \rightarrow k}) \\
 &\cdot \quad \cdot \\
 f_{dc} &= g(f_{dc-1}, v_{dc \rightarrow k})
 \end{aligned}$$

En la etapa 1301, se calculan estas variables directas y se almacenan, por la etapa 1303.

De forma similar, las variables inversas b_1, b_2, \dots, b_{dc} , se definen por lo siguiente:

$$\begin{aligned}
 b_{dc} &= v_{dc \rightarrow k} \\
 b_{dc-1} &= g(b_{dc}, v_{dc-1 \rightarrow k}) \\
 &\cdot \quad \cdot \\
 b_1 &= g(b_2, v_{1 \rightarrow k})
 \end{aligned}$$

En la etapa 1305, estas variables inversas se calculan a continuación. Después de esto, se calculan los mensajes salientes, como en la etapa 1307, en base a las variables directas almacenadas y las variables inversas calculadas. Los mensajes salientes se calculan como sigue:

$$\begin{aligned}
 W_{k \rightarrow 1} &= b_2 \\
 W_{k \rightarrow i} &= g(f_{i-1}, b_{i+1}) \quad i = 2, 3, \dots, dc - 1 \\
 &\cdot \quad \cdot \\
 W_{k \rightarrow dc} &= f_{dc-1}
 \end{aligned}$$

Bajo este enfoque, sólo se requiere almacenar las variables directas f_2, f_3, \dots, f_{dc} . A medida que se calculan las variables inversas b_i , se calculan simultáneamente los mensajes salientes $w_{k \rightarrow i}$, negando por lo tanto la necesidad de almacenamiento de las variables inversas.

La carga de cálculo puede mejorarse adicionalmente por un enfoque en paralelo, como se trata a continuación.

La FIG. 13B es un diagrama de un procedimiento para calcular los mensajes salientes entre los nodos de comprobación y los nodos de bit usando un enfoque en paralelo. Para un nodo de comprobación k con entradas $v_{n1 \rightarrow k}, v_{n2 \rightarrow k}, \dots, v_{ndc \rightarrow k}$, desde los nodos adyacentes d_c , se calcula el siguiente parámetro, como en la etapa 1311:

$$\gamma_k = g(v_{n1 \rightarrow k}, v_{n2 \rightarrow k}, \dots, v_{ndc \rightarrow k})$$

Se observa que la función $g(\cdot, \cdot)$ también puede expresarse como sigue

$$g(a, b) = \ln \frac{1 + e^{a+b}}{e^a + e^b}$$

Explotando la naturaleza recursiva de la función $g(\cdot, \cdot)$, resulta la siguiente expresión

$$\gamma_k = \ln \frac{1 + e^{g(v_{n1 \rightarrow k}, \dots, v_{ni-1 \rightarrow k}) + v_{ni \rightarrow k} + v_{ni+1 \rightarrow k}, \dots, v_{ndc \rightarrow k}) + v_{ni \rightarrow k}}{e^{g(v_{n1 \rightarrow k}, \dots, v_{ni-1 \rightarrow k}) + v_{ni+1 \rightarrow k}, \dots, v_{ndc \rightarrow k})} + e^{v_{ni \rightarrow k}}} = \ln \frac{1 + e^{w_{k \rightarrow ni} + v_{ni \rightarrow k}}}{e^{w_{k \rightarrow ni}} + e^{v_{ni \rightarrow k}}}$$

Por consiguiente, $w_{k \rightarrow ni}$ puede resolverse de la siguiente forma:

$$w_{k \rightarrow ni} = \ln \frac{e^{v_{ni \rightarrow k} + \gamma_k} - 1}{e^{v_{ni \rightarrow k} - \gamma_k} - 1} - \gamma_k$$

El término $\ln(\cdot)$ de la ecuación anterior puede obtenerse usando una tabla de búsqueda LUT_x que representa la función en $\ln|e^x - 1|$ (etapa 1313). A diferencia de las tablas de búsqueda LUT_1 o LUT_g , la tabla LUT_x requeriría probablemente tantas entradas como el número de niveles de cuantificación. Una vez que se obtiene γ_k , el cálculo de $w_k \rightarrow n_i$ para todos los n_i puede producirse en paralelo usando la ecuación anterior, por la etapa 1315.

5 La latencia del cálculo de γ_k es ventajosamente $\log_2(d_c)$.

Las FIG. 14A – 14C son gráficos que muestran los resultados de la simulación de los códigos LDPC generados de acuerdo con diversas realizaciones de la presente invención. En particular, las FIG. 14A – 14C muestran el funcionamiento de los códigos LDPC con un orden de modulación más alto y tasas de código de 3/4 (QPSK, 1,485 bits/símbolo), 2/3 (8-PSK, 1,980 bits/símbolo) y 5/6 (8-PSK, 2,474 bits/símbolo).

10 Existen dos enfoques generales para realizar las interconexiones entre los nodos de comprobación y los nodos de bits: (1) un enfoque completo en paralelo, y (2) un enfoque parcialmente en paralelo. En la arquitectura en paralelo completo, todos los nodos y sus interconexiones se implementan físicamente. La ventaja de esta arquitectura es la velocidad.

15 La arquitectura en paralelo completo, sin embargo, puede involucrar una mayor complejidad en la realización de todos los nodos y sus conexiones. Por lo tanto con la arquitectura de paralelo completo se puede requerir un tamaño de bloque más pequeño para reducir la complejidad. En ese caso, para la misma frecuencia de reloj, puede resultar una reducción proporcional en la tasa de transferencia y alguna degradación en la FER frente al funcionamiento de Es/No.

20 El segundo enfoque para la implementación de códigos LDPC es realizar físicamente un subconjunto del número total de nodos y usar sólo este número limitado de nodos "físicos" para procesar todos los nodos "funcionales" del código. Incluso aunque las operaciones del decodificador LDPC pueden hacerse de forma extremadamente simple y pueden realizarse en paralelo, el reto adicional en el diseño es cómo se establece la comunicación entre los nodos de bits distribuidos "aleatoriamente" y los nodos de comprobación. El decodificador 305 (de la FIG. 3) resuelve este problema accediendo a la memoria en un modo estructurado, como para realizar un código aparentemente aleatorio.
25 Este enfoque se explica con respecto a las FIG. 15A y 15B.

Las FIG. 15A y 15B son diagramas del borde superior y del borde inferior respectivamente, de la memoria organizada para soportar el acceso estructurado como para realizar la aleatorización en la codificación LDPC, de acuerdo con una realización de la presente invención. El acceso estructurado puede conseguirse sin comprometer el funcionamiento de un verdadero código aleatorio centrándose en la generación de la matriz de comprobación de paridad. En general, puede especificarse una matriz de comprobación de paridad por las conexiones de los nodos de comprobación con los nodos de bits. Por ejemplo, los nodos de bits pueden dividirse en grupos de un tamaño fijo, que para propósitos ilustrativos es de 392. Adicionalmente, asumiendo los nodos de comprobación conectados al primer nodo de bit de grado 3, por ejemplo, se numeran como a , b , y c , a continuación los nodos de comprobación conectados al segundo nodo de bit se numeran como $a + p$, $b + p$ y $c + p$, los nodos de comprobación conectados al tercer nodo de bit se numeran como $a + 2p$, $b + 2p$ y $c + 2p$, etc.; donde $p = (\text{número de nodos de comprobación}) / 392$. Para el siguiente grupo de 392 nodos de bits, los nodos de comprobación conectados al primer nodo de bit son diferentes de a , b y c de modo que con una elección adecuada de p , todos los nodos de comprobación tienen el mismo grado. Se realiza una búsqueda aleatoria sobre las constantes libres de modo que el código LDPC resultante está libre del ciclo-4 y el ciclo-6. Debido a las características estructurales de la matriz del control de paridad de la presente invención, la información de bordes puede almacenarse para permitir el acceso concurrente a un grupo de valores de bordes relevantes durante la decodificación.
30
35
40

En otras palabras el enfoque facilita el acceso a memoria durante el procesamiento de los nodos de comprobación y los nodos de bit. Los valores de los bordes en el gráfico bipartito pueden almacenarse en un medio de almacenamiento, tal como una memoria de acceso aleatorio (RAM). Se observa que para un código LDPC aleatorio verdadero durante el procesamiento de los nodos de comprobación y los nodos de bits, se necesitaría acceder a los valores de los bordes uno por uno de forma aleatoria. Sin embargo, tal esquema de acceso convencional sería lento para una aplicación de alta tasa de bits. La RAM de las FIG. 15A y 15B está organizada de una forma por la que un gran grupo de bordes relevantes puede buscarse en un ciclo de reloj; por consiguiente, estos valores se colocan "juntos" en la memoria, de acuerdo con un esquema o disposición predeterminados. Se observa que, en realidad, incluso con un código aleatorio verdadero, para un grupo de nodos de comprobación (y los nodos de bits respectivos), los bordes relevantes pueden colocarse próximos entre sí en la RAM, pero entonces los bordes relevantes adyacentes al grupo de nodos de bits (nodos de comprobación respectivamente) se dispersarán aleatoriamente en la RAM. Por lo tanto la "unión" se deriva del diseño de las propias matrices de comprobación de paridad. Esto es, el diseño de la matriz de comprobación asegura que los bordes relevantes para un grupo de nodos de bits y nodos de comprobación se colocan simultáneamente juntos en la RAM.
45
50
55

Como se aprecia en las FIG. 15A y 15B, cada caja contiene el valor de un borde, que es de múltiples bits (por ejemplo, 6). La RAM de bordes está dividida en dos partes: la parte superior de la RAM de bordes 1501 (FIG. 15A) y la parte inferior de la RAM de bordes 1503 (FIG. 15B). La parte inferior de la RAM de bordes contiene los bordes entre los nodos de bits de grado 2, por ejemplo, y los nodos de comprobación. La parte superior de la RAM de

bordes 1501 contiene los bordes entre los nodos de bit de grado mayor que 2 y los nodos de comprobación. Por lo tanto, para cada nodo de comprobación, se almacenan 2 bordes adyacentes en la parte inferior de la RAM 1503, y el resto de bordes se almacenan en la parte superior de la RAM de bordes 1501. Por ejemplo, en la Tabla 14 se da el tamaño de la parte superior de la RAM de bordes 1501 y la parte inferior de la RAM de bordes 1503 para diversas tasas de código:

Tabla 14

	1/2	2/3	3/4	5/6
Parte superior de la RAM de bordes	400 x 392	440 x 392	504 x 392	520 x 392
Parte inferior de la RAM de bordes	160 x 392	110 x 392	72 x 392	52 x 392

En base a la Tabla 14, una RAM de bordes de tamaño 576 x 392 es suficiente para almacenar las métricas de bordes para todas las tasas de 1/2, 2/3, 3/4, y 5/6.

Como se observa, bajo este escenario de ejemplo, se selecciona un grupo 392 nodos de bits y 392 nodos de comprobación para procesar al tiempo. Para el procesamiento de los 392 nodos de comprobación, se acceden $q = d_c - 2$ filas consecutivas desde la parte superior de la RAM de bordes 1501, y dos filas consecutivas de la parte inferior de la RAM de bordes 1503. El valor de d_c depende del código específico, por ejemplo $d_c = 7$, para la tasa de 1/2, $d_c = 10$ para la tasa de 2/3, $d_c = 16$ para la tasa de 3/4 y $d_c = 22$ para la tasa 5/6 para los códigos anteriores. Por supuesto son posibles otros valores de d_c para otros códigos. En este ejemplo, $q + 2$ es el grado de cada uno de los nodos de comprobación.

Para el procesamiento de los nodos de bit, si el grupo de 392 nodos de bits tiene un grado 2, sus bordes se localizan en 2 filas consecutivas de la parte inferior de la RAM de bordes 1503. Si los nodos de bits tienen grado $d > 2$, sus bordes están localizados en algunas de las filas d de la parte superior de la RAM de bordes 1501. La dirección de estas d filas puede almacenarse en memoria no volátil, tal como una Memoria de Sólo Lectura (ROM). Los bordes en una de las filas corresponde a los primeros bordes de los 392 nodos de bits, los bordes en otra fila corresponden a los segundos bordes de los 392 nodos de bits, etc. Además, para cada fila, el índice de columna del borde que pertenece al primer nodo de bit en el grupo de 392 también puede estar almacenado en la ROM. Los bordes que corresponden al segundo, tercero, etc. nodos de bits siguen el índice de la columna de comienzo en una forma "envueltos alrededor". Por ejemplo, si el borde de orden j en la fila pertenece al primer nodo de bit, entonces el borde de orden $(j + 1)$ pertenece al segundo nodo de bit, el borde de orden $(j + 2)$ pertenece al tercer nodo de bit, ..., y el borde de orden $(j - 1)$ pertenece al nodo de bit de orden 392.

Con la organización mostrada en las FIG. 15A y 15B, la velocidad del acceso a memoria se mejora enormemente durante la codificación LDPC.

La FIG. 16 ilustra un sistema de ordenador bajo el cual puede implementarse una realización de acuerdo con la presente invención. El sistema de ordenador 1600 incluye un bus 1601 u otro mecanismo de comunicación para la comunicación de información, y un procesador 1603 acoplado al bus 1601 para el procesamiento de información. El sistema de ordenador 1600 también incluye memoria principal 1605, tal como una memoria de acceso aleatorio (RAM) u otro dispositivo de almacenamiento dinámico, acoplado al bus 1601 para el almacenamiento de información y de las instrucciones a ejecutar por el procesador 1603. La memoria principal 1605 puede usarse también para el almacenamiento de variables temporales o de otra información intermedia durante la ejecución de las instrucciones a ejecutar por el procesador 1603. El sistema de ordenador 1600 incluye además una memoria de sólo lectura (ROM) 1607 u otro dispositivo de almacenamiento estático acoplado al bus 1601 para el almacenamiento de información estática e instrucciones para el procesador 1603. Un dispositivo de almacenamiento 1609, tal como un disco magnético o un disco óptico, está acoplado adicionalmente al bus 1601 para el almacenamiento de información y de instrucciones.

El sistema de ordenador 1600 puede estar acoplado a través del bus 1601 a la pantalla 1611, tal como un tubo de rayos catódicos (CRT), una pantalla de cristal líquido, una pantalla de matriz activa, o una pantalla de plasma, para la representación de información a un usuario de ordenador. Un dispositivo de entrada 1613, tal como un teclado incluyendo teclas alfanuméricas y otras, está acoplado al bus 1601 para la comunicación de información y selecciones de comandos al procesador 1603. Otro tipo de dispositivo de entrada de usuario es un control del cursor 1615, tal como un ratón, una bola de control u otras teclas de dirección del cursor para la comunicación de la información de dirección y selecciones de comandos al procesador 1603 y para el control del movimiento del cursor sobre la pantalla 1611.

De acuerdo con una realización de la invención, se proporciona la generación de códigos LDPC por el sistema de ordenador 1600 en respuesta al procesador 1603 que ejecuta una disposición de instrucciones contenidas en la memoria principal 1605. Tales instrucciones pueden leerse en la memoria principal 1605 a partir de otro medio

legible por ordenador, tal como el dispositivo de almacenamiento 1609. La ejecución de la disposición de instrucciones contenida en la memoria principal 1605 causa que el procesador 1603 realice las etapas de procedimiento descritas en este documento. También pueden emplearse uno o más procesadores en una disposición de multi-procesamiento para ejecutar las instrucciones contenidas en la memoria principal 1605. En realizaciones alternativas, puede usarse una circuitería cableada en lugar de o en combinación con las instrucciones software para implementar la realización de la presente invención. De este modo, las realizaciones de la presente invención no están limitadas a ninguna combinación específica de circuitería hardware y software.

El sistema de ordenador 1600 también incluye una interfaz de comunicación 1617 acoplada al bus 1601. La interfaz de comunicación 1617 proporciona una comunicación de datos de dos direcciones que se acopla a un enlace de red 1619 conectado a una red local 1621. Por ejemplo, la interfaz de comunicaciones 1617 puede ser una tarjeta o módem de la línea de abonado digital (DSL), una tarjeta de la red digital de servicios integrados (ISDN), un módem de cable, o un módem de teléfono para proporcionar una conexión de comunicación de datos a un tipo correspondiente de línea telefónica. Como otro ejemplo, la interfaz de comunicaciones 1617 puede ser una tarjeta de la red de área local (LAN) (por ejemplo, para la Ethernet™ o una red del Modelo de Transferencia Asíncrona (ATM)) para proporcionar una conexión de comunicación de datos a una LAN compatible. También pueden implementarse enlaces inalámbricos. En cualquiera de tales implementaciones, la interfaz de comunicaciones 1617 envía y recibe señales eléctricas, electromagnéticas, u ópticas que transportan flujos de datos digitales que representan diversos tipos de información. Además, la interfaz de comunicaciones 1617 puede incluir dispositivos de interfaz periféricos, tales como una interfaz del Bus Serie Universal (USB), una interfaz PCMCIA (Asociación Internacional de Tarjetas de Memoria para Ordenadores Personales), etc.

El enlace de red 1619 típicamente proporciona una comunicación de datos a través de una o más redes con otros dispositivos de datos. Por ejemplo, el enlace de red 1619 puede proporcionar una conexión a través de la red local 1621 a un ordenador central 1623, que tiene conectividad con la red 1625 (por ejemplo una red de área ancha (WAN) o la red de comunicación de paquetes de datos global ahora denominada comúnmente como la "Internet"), o con un equipo de datos operado por un proveedor de servicios. La red local 1621 y la red 1625 usan ambas señales eléctricas, electromagnéticas u ópticas para conducir información e instrucciones. Las señales a través de las diversas redes y las señales sobre el enlace de red 1619 y a través de la interfaz de comunicaciones 1617, que comunica datos digitales con el sistema de ordenador 1600, son formas de ejemplo de ondas portadoras que transportan información e instrucciones.

El sistema de ordenador 1600 puede enviar mensajes y recibir datos, incluyendo código de programa, a través de la red, el enlace de red 1619, y la interfaz de comunicaciones 1617. En el ejemplo de la Internet, un servidor (no mostrado) podría transmitir un código solicitado perteneciente a un programa de aplicación para la implementación de una realización de la presente invención a través de la red 1625, la red local 1621 y la interfaz de comunicaciones 1617. El procesador 1603 puede ejecutar el código transmitido mientras que se recibe y se almacena el código en el dispositivo de almacenamiento 169, u otro almacenamiento no volátil para la ejecución posterior. De este modo, el sistema de ordenador 1600 puede obtener un código de aplicación en la forma de una onda portadora.

El término "medio legible por ordenador" como se usa en este documento se refiere a cualquier medio que participa en la provisión de instrucciones al procesador 1603 para su ejecución. Tal medio puede tomar muchas formas, incluyendo pero sin limitarse a estos, un medio no volátil, un medio volátil, y un medio de transmisión. El medio no volátil incluye, por ejemplo, discos ópticos o magnéticos, tales como el dispositivo de almacenamiento 1609. El medio volátil incluye la memoria dinámica, tal como la memoria principal 1605. El medio de transmisión incluye cables coaxiales, cable de cobre y fibras ópticas, incluyendo los cables que comprenden el bus 1601. El medio de transmisión también puede tomar la forma de ondas acústicas, ópticas o electromagnéticas, tales como las generadas durante las comunicaciones de datos de radiofrecuencia (RF) y de infrarrojos (IR). Las formas comunes de medios legibles por ordenador incluyen por ejemplo, un disco flexible, un disco duro, una cinta magnética, cualquier otro medio magnético, un CD-ROM, CDRW, DVD cualquier medio óptico, tarjetas perforadas, cinta de papel, hojas de marcas ópticas, cualquier otro medio físico con patrones de agujeros u otros indicios reconocibles óptimamente, una RAM, una PROM, una EPROM, una FLASH EPROM, cualquier otro chip o cartucho de memoria, una onda portadora, o cualquier otro medio desde el cual pueda leer un ordenador.

Diversas formas de medios legibles por ordenador pueden estar involucradas en la provisión de instrucciones a un procesador para su ejecución. Por ejemplo, las instrucciones para realizar al menos una parte de la presente invención pueden tenerse inicialmente sobre un disco magnético de un ordenador remoto. En tal escenario, el ordenador remoto carga las instrucciones dentro de la memoria principal y envía las instrucciones sobre una línea telefónica usando un módem. Un módem de un sistema de ordenador local recibe los datos sobre la línea telefónica y usa el transmisor de infrarrojos para convertir los datos en una señal de infrarrojos y transmitir la señal de infrarrojos a un dispositivo de computación portátil, tal como un asistente digital personal (PDA) y un ordenador portátil. Un detector de infrarrojos sobre el dispositivo de computación portátil recibe la información y las instrucciones portadas por la señal de infrarrojos y coloca los datos sobre un bus. El bus conduce los datos a la memoria principal, desde la cual un procesador recupera y ejecuta las instrucciones. Las instrucciones recibidas por la memoria principal pueden almacenarse opcionalmente sobre un dispositivo de almacenamiento bien antes o después de la ejecución por el procesador.

Por consiguiente, las diversas realizaciones de la presente invención proporcionan un codificador, que es un codificador de Comprobación de Paridad de Baja Densidad (LDPC), que genera señales codificadas transformando un mensaje de entrada en una palabra de código representada por una pluralidad de conjuntos de bits.

5 Aunque la presente invención se ha descrito en conexión con varias realizaciones e implementaciones, la presente invención no está limitada sino que cubre diversas modificaciones obvias y disposiciones equivalentes, comprendidas en el alcance de las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un procedimiento para la codificación de señales, comprendiendo el procedimiento:

codificar un mensaje de entrada en una palabra de código con un codificador de Comprobación de Paridad de Baja Densidad (LDPC) (203), en el que la etapa de codificación comprende:

5 recibir bits de información $i_0, i_1, \dots, i_m, \dots, i_{k_{ldpc}-1}$;

inicializar los bits de paridad $p_0, p_1, \dots, p_j, \dots, p_{n_{ldpc}-k_{ldpc}-1}$, de un código de Comprobación de Paridad de Baja Densidad (LDPC) que tiene una tasa de código de 1/2, 5/6, o 3/4 de acuerdo con $p_0 = p_1 = \dots = p_{n_{ldpc}-k_{ldpc}-1} = 0$;

10 generar, en base a los bits de información, los bits de paridad acumulando los bits de información realizando las operaciones para cada uno de los bits de información, $i_m, p_j = p_j \oplus i_m$ para cada valor correspondiente de j , y posteriormente realizar la operación, comenzando con $j = 1, p_j = p_j \oplus p_{j-1}$, para $j = 1, 2, n_{ldpc} - k_{ldpc} - 1$; y

generar la palabra de código, c , de tamaño n_{ldpc} como $c = (i_0, i_1, i_{k_{ldpc}-1}, p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$ donde p_j , para $j = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$ es el contenido final de p_j .

15 en el que j es una dirección del bit de paridad igual a $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - k_{ldpc})$, n_{ldpc} es un tamaño de palabra de código que es igual a 64800, k_{ldpc} es un tamaño de bloque de información que es igual a la tasa de código multiplicada por n_{ldpc} , m es un número entero que corresponde a un bit de información particular, y x denota una dirección del bit de paridad, en el que cada una de las filas de las siguientes tablas especifica la dirección x para una tasa particular de las tasas de código de 1/2, 5/6, y 3/4 correspondientes a una en particular de las tablas, en el que q se especifica en la tabla siguiente para cada una de las tasas de código en particular de 1/2, 5/6, y 3/4, por lo que cada una de las filas sucesivas de la tabla correspondiente para la tasa de código particular proporciona todas las direcciones de los bit de paridad j para el primer bit de información en cada uno de los grupos sucesivos de 360 bits de información, y cada una de las filas sucesivas de la tabla proporciona todas las direcciones x usadas en el cálculo de las direcciones de los bit de paridad, j , para los siguientes bits de información de acuerdo con $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - k_{ldpc})$ en cada uno de los grupos sucesivos de 360 bits de información:

25

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 5/6, q = 30)	
0	4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1	2479 1786 8978 3011 4339 9313 63972957 7288 5484 6031 10217
2	10175 9009 9889 3091 4985 7267 40928874 5671 2777 2189 8716
3	9052 4795 3924 3370 10058 1128 999610165 9360 4297 434 5138
4	2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5	3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6	3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7	6883 3237 171710752 78919764 47453888 10009 41764614 1567
8	10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9	3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10	8548 1848 103724585 73136536 63791766 9462 2456 5606 9975
11	8204 10593 7935 3636 3882 394 59688561 2395 7289 9267 9978
12	7795 74 1633 9542 6867 7352 6417 7568 10623 725 2531 9115
13	7151 2482 42605003 101057419 92036691 87982092 8263 3755
14	3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15	6304 7621

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 5/6, q = 30)
16 6498 9209
17 7293 6786
18 5950 1708
19 8521 1793
20 6174 7854
21 9773 1190
22 5117 10268
23 2181 9349
24 1949 5560
25 1556 555

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 5/6, q = 30)
26 8600 3827
27 5072 1057
28 7928 3542
29 3226 3762
0 7045 2420
1 9645 2641
2 2774 2452
3 5331 2031
4 9400 7503
5 18502338
6 10456 9774
7 1692 9276
8 100374038
9 3964 338
10 2640 5087
11 858 3473
12 5582 5683
13 9523 916
14 4107 1559
15 4506 3491
16 8191 4182
17 10192 6157
18 5668 3305
19 3449 1540
20 4766 2697
21 4069 6675
22 1117 1016
23 5619 3085
24 8483 8400
25 8255 394
26 6338 5042
27 6174 5119
28 7203 1989
29 1781 5174

ES 2 381 012 T3

0	1464 3559
1	3376 4214
2	7238 67
3	10595 8831
4	1221 6513
5	5300 4652
6	1429 9749
7	7878 5131
8	4435 10284
9	6331 5507
10	6662 4941
11	9614 10238
12	8400 8025
13	9156 5630
14	7067 8878
15	90273415
16	16903866
17	2854 8469
18	6206 630

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 5/6, q = 30)
19 363 5453
20 4125 7008
21 16126702
22 9069 9226
23 5767 4060
24 3743 9237
25 7018 5572
26 8892 4536
27 853 6064
28 8069 5893
29 2051 2885
0 10691 3153
1 3602 4055
2 328 1717
3 22199299
4 1939 7898
5 617206
6 8544 1374
7 10676 3240
8 6672 9489
9 31707457
10 78685731
11 6121 10732
12 48439132
13 580 9591
14 6267 9290
15 3009 2268
16 195 2419
17 8016 1557
18 15169195
19 8062 9064
20 2095 8968
21 753 7326
22 6291 3833

ES 2 381 012 T3

23	26147844
24	2303 646
25	2075611
26	4687 362
27	8684 9940
28	4830 2065
29	7038 1363
0	1769 7837
1	3801 1689
2	10070 2359
3	3667 9918
4	1914 6920
5	4244 5669
6	10245 7821
7	7648 3944
8	3310 5488
9	6346 9666
10	70886122
11	1291 7827

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 5/6, q = 30)
12 10592 8945
13 36097120
14 91689112
15 6203 8052
16 33302895
17 4264 10563
18 10556 6496
19 8807 7645
20 1999 4530
21 92026818
22 3403 1734
23 21069023
24 6881 3883
25 3895 2171
26 4062 6424
27 3755 9536
28 4683 2131
29 7347 8027

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 1/2, q = 90)
54 9318 14392 27561 26909 10219 2534 8597
55 7263 4635 2530 28130 3033 23830 3651
56 24731 23583 26036 17299 5750 792 9169
57 5811 26154 18653 11551 15447 13685 16264
58 12610 11347 28768 2792 3174 29371 12997
59 16789 16018 21449 6165 21202 15850 3186
60 31016 21449 17618 6213 12166 8334 18212
61 22836 14213 11327 5896 718 11727 9308
62 2091 24941 29966 23634 9013 15587 5444
63 22207 3983 16904 28534 21415 27524 25912
64 25687 4501 22193 14665 14798 16158 5491
65 4520 17094 23397 4264 22370 16941 21526
66 10490 6182 32370 9597 30841 25954 2762
67 22120 22865 29870 15147 13668 14955 19235

ES 2 381 012 T3

68	6689	18408	18346	9918	25746	5443	20645
69	29982	12529	13858	4746	30370	10023	24828
70	1262	28032	29888	13063	24033	21951	7863
71	6594	29642	31451	14831	9509	9335	31552
72	1358	6454	16633	20354	24598	624	5265
73	19529	295	18011	3080	13364	8032	15323
74	11981	1510	7960	21462	9129	11370	25741
75	9276	29656	4543	30699	20646	21921	28050
76	15975	25634	5520	31119	13715	21949	19605
77	18688	4608	31755	30165	13103	10706	29224
78	21514	23117	12245	26035	31656	25631	30699
79	9674	24966	31285	29908	17042	24588	31857
80	21856	27777	29919	27000	14897	11409	7122
81	29773	23310	263	4877	28622	20545	22092
82	15605	5651	21864	3967	14419	22757	15896
83	30145	1759	10139	29223	26086	10556	5098

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 1/2, q = 90)

84 18815 16575 2936 24457 26738 6030 505
85 30326 22298 27562 20131 26390 6247 24791
86 928 29246 21246 12400 15311 32309 18608
87 20314 6025 26689 16302 2296 3244 19613
88 6237 11943 22851 15642 23857 15112 20947
89 26403 25168 19038 18384 8882 12719 7093
0 14567 24965
1 3908 100
2 10279 240
3 24102 764
4 12383 4173
5 13861 15918
6 21327 1046
7 5288 14579
8 281588069
9 16583 11098
10 16681 28363
11 13980 24725
12 32169 17989
13 10907 2767
14 21557 3818
15 26676 12422
16 7676 8754
17 14905 20232
18 15719 24646
19 31942 8589
20 19978 27197
21 27060 15071
22 6071 26649
23 10393 11176
24 9597 13370
25 7081 17677
26 1433 19513
27 26925 9014

ES 2 381 012 T3

28 19202 8900
29 18152 30647
30 20803 1737
31 11804 25221
32 31683 17783
33 29694 9345
34 12280 26611
35 6526 26122
36 26165 11241
37 7666 26962
38 16290 8480
39 11774 10120
40 30051 30426
41 1335 15424
42 6865 17742
43 31779 12489
44 32120 21001
45 14508 6996
46 979 25024
47 4554 21896
48 7989 21777
49 4972 20661
50 66122730
51 12742 4418
52 29194 595
53 19267 20113

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 3/4, q = 45)

0 6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1 11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2 7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3 1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4 7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5 1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6 4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7 4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8 6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9 3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10 8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11 1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12 3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13 8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14 144634852 157333041 11193 1286013673 81526551 151088758
15 3149 11981
16 13416 6906
17 13098 13352
18 2009 14460
19 72074314
20 33123945
21 4418 6248
22 2669 13975
23 7571 9023
24 14172 2967
25 7271 7138
26 6135 13670
27 7490 14559
28 8657 2466
29 8599 12834
30 34703152
31 13917 4365
32 6024 13730
33 10973 14182

ES 2 381 012 T3

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 3/4, q = 45)

34	2464	13167
35	5281	15049
36	1103	1849
37	2058	1069
38	9654	6095
39	14311	7667
40	15617	8146
41	4588	11218
42	13660	6243
43	8578	7874
44	117412686	
0	1022	1264
1	12604	9965
2	8217	2707
3	3156	11793
4	354	1514
5	6978	14058
6	7922	16079
7	15087	12138

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 3/4, q = 45)
8 5053 6470
9 12687 14932
10 15458 1763
11 8121 1721
12 12431 549
13 4129 7091
14 1426 8415
15 9783 7604
16 6295 11329
17 1409 12061
18 8065 9087
19 29188438
20 1293 14115
21 3922 13851
22 3851 4000
23 5865 1768
24 2655 14957
25 5565 6332
26 4303 12631
27 11653 12236
28 16025 7632
29 4655 14128
30 9584 13123
31 13987 9597
32 15409 12110
33 8754 15490
34 7416 15325
35 2909 15549
36 2995 8257
37 94064791
38 11111 4854
39 28128521
40 8476 14717
41 7820 15360

ES 2 381 012 T3

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 3/4, q = 45)
4211797939
43 2357 8678
44 77036216
0 3477 7067
1 3931 13845
2 7675 12899
3 1754 8187
4 7785 1400
5 9213 5891
6 2494 7703
7 2576 7902
8 4821 15682
9 10426 11935
10 1810 904
11 11332 9264
12 11312 3570
13 14916 2650
14 7679 7842
15 6089 13084

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 3/4, q = 45)
16 3938 2751
17 8509 4648
18 12204 8917
19 5749 12443
20 12613 4431
21 13444014
22 8488 13850
23 1730 14896
24 14942 7126
25 14983 8863
26 6578 8564
27 4947396
28 297 12805
29 13878 6692
30 11857 11186
31 14395 11493
32 16145 12251
33 13462 7428
34 14526 13119
35 2535 11243
36 6465 12690
37 6872 9334
38 15371 14023
39 8101 10187
40 11963 4848
41 15125 6119
42 8051 14465
43 11139 5167
44 2883 14521

2. Un codificador de Comprobación de Paridad de Baja Densidad (LDPC) (203) para la generación de señales codificadas, que comprende:

5 un medio configurado para recibir bits de información $i_0, i_1, \dots, i_m, \dots, i_{kldpc-1}$;

un medio configurado para inicializar los bits de paridad $p_0, p_1, \dots, p_j, \dots, p_{nldpc - kldpc - 1}$, de un código de Comprobación de Paridad de Baja Densidad (LDPC) que tiene una tasa de código de 1/2, 5/6, o 3/4 de acuerdo con $p_0 = p_1 = \dots = p_{nldpc - kldpc - 1} = 0$;

un medio configurado para generar, en base a los bits de información, los bits de paridad acumulando los bits de información realizando las operaciones para cada bit de información, $i_m, p_j = p_j \oplus i_m$ para cada valor correspondientes de j , y posteriormente realizando la operación, comenzando con $j = 1, p_j = p_j \oplus p_{j-1}$, para $j = 1, 2, n_{ldpc} - k_{ldpc} - 1$; y \oplus

- 5 un medio configurado para generar la palabra de código, c , de tamaño n_{ldpc} como $c = (i_0, i_1, i_{k_{ldpc}-1}, p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$ donde p_j , para $j = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$ es el contenido final de p_j .

en el que j es una dirección del bit de paridad igual a $\{x + m \text{ mod } 360 \times q\} \text{ mod } (n_{ldpc} - k_{ldpc})$, n_{ldpc} es un tamaño de palabra de código que es igual a 64800, k_{ldpc} es un tamaño de bloque de información que es igual a la tasa de código multiplicada por n_{ldpc} , m es un número entero que corresponde a un bit de información particular, y x denota una dirección del bit de paridad, en el que cada una de las filas de las siguientes tablas especifica la dirección x para una tasa particular de las tasas de código de 1/2, 5/6, y 3/4 correspondientes a una en particular de las tablas, en el que q se especifica en la tabla siguiente para cada una de las tasas de código en particular de 1/2, 5/6, y 3/4, por lo que cada una de las filas sucesivas de la tabla correspondiente para la tasa de código particular proporciona todas las direcciones de los bit de paridad j para el primer bit de información en cada uno de los grupos sucesivos de 360 bits de información, y cada una de las filas sucesivas de la tabla proporciona todas las direcciones x usadas en el cálculo de las direcciones de los bit de paridad, j , para los siguientes bits de información de acuerdo con $\{x + m \text{ mod } 360 \times q\} \text{ mod } (n_{ldpc} - k_{ldpc})$ en cada uno de los grupos sucesivos de 360 bits de información:

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 5/6, q = 30)	
0	4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1	2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2	10175 9009 9889 3091 4985 7267 40928874 5671 2777 2189 8716
3	9052 4795 3924 3370 10058 1128 999610165 9360 4297 434 5138
4	2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5	3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6	3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7	68833237 171710752 78919764 47453888 10009417646141567
8	10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9	3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10	8548 1848 10372 4585 7313 6536 6379 1766 9462 2456 5606 9975
11	8204 10593 7935 3636 3882 394 59688561 2395 7289 9267 9978
12	7795 74 1633 9542 6867 7352 6417 7568 10623 725 2531 9115
13	71512482 42605003 10105 7419 9203 6691 8798 2092 8263 3755
14	3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15	6304 7621
16	6498 9209
17	7293 6786
18	5950 1708
19	8521 1793
20	6174 7854
21	9773 1190
22	5117 10268

ES 2 381 012 T3

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 5/6, q = 30)

23 2181 9349

24 1949 5560

25 1556 555

26 8600 3827

27 5072 1057

28 7928 3542

29 3226 3762

0 7045 2420

1 9645 2641

2 2774 2452

3 5331 2031

4 9400 7503

5 1850 2338

6 10456 9774

7 1692 9276

8 100374038

9 3964 338

10 2640 5087

11 858 3473

12 5582 5683

13 9523 916

14 4107 1559

15 4506 3491

16 8191 4182

17 10192 6157

18 5668 3305

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 5/6, q = 30)
19 3449 1540
20 4766 2697
21 4069 6675
22 1117 1016
23 5619 3085
24 8483 8400
25 8255 394
26 6338 5042
27 6174 5119
28 7203 1989
29 1781 5174
0 1464 3559
1 3376 4214
2 7238 67
3 10595 8831
4 1221 6513
5 5300 4652
6 1429 9749
7 7878 5131
8 4435 10284
9 6331 5507
10 6662 4941
11 9614 10238
12 8400 8025
13 9156 5630
14 7067 8878
15 90273415
16 16903866
17 2854 8469
18 6206 630
19 363 5453
20 4125 7008
21 16126702
22 9069 9226

ES 2 381 012 T3

23 5767 4060

24 3743 9237

25 7018 5572

26 8892 4536

27 853 6064

28 8069 5893

29 2051 2885

0 10691 3153

1 3602 4055

2 328 1717

3 22199299

4 1939 7898

5 617206

6 8544 1374

7 10676 3240

8 6672 9489

9 31707457

10 78685731

11 6121 10732

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 5/6, q = 30)
12 48439132
13 580 9591
14 6267 9290
15 3009 2268
16 195 2419
17 8016 1557
18 15169195
19 8062 9064
20 2095 8968
21 753 7326
22 6291 3833
23 26147844
24 2303 646
25 2075 611
26 4687 362
27 8684 9940
28 4830 2065
29 7038 1363
0 1769 7837
1 3801 1689
2 10070 2359
3 3667 9918
4 1914 6920
5 4244 5669
6 10245 7821
7 7648 3944
8 3310 5488
9 6346 9666
10 70886122
11 1291 7827
12 10592 8945
13 3609 7120
14 91689112
15 6203 8052

ES 2 381 012 T3

16 33302895

17 4264 10563

18 10556 6496

19 8807 7645

20 1999 4530

21 9202 6818

22 3403 1734

23 21069023

24 6881 3883

25 3895 2171

26 4062 6424

27 3755 9536

28 4683 2131

29 7347 8027

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 1/2, q = 90)
54 9318 14392 27561 26909 10219 2534 8597
55 7263 4635 2530 28130 3033 23830 3651
56 24731 23583 26036 17299 5750 792 9169
57 5811 26154 18653 11551 15447 13685 16264
58 12610 11347 28768 2792 3174 29371 12997
59 16789 16018 21449 6165 21202 15850 3186
60 31016 21449 17618 6213 12166 8334 18212
61 22836 14213 11327 5896 718 11727 9308
62 2091 24941 29966 23634 9013 15587 5444
63 22207 3983 16904 28534 21415 27524 25912
64 25687 4501 22193 14665 14798 16158 5491
65 4520 17094 23397 4264 22370 16941 21526
66 10490 6182 32370 9597 30841 25954 2762
67 22120 22865 29870 15147 13668 14955 19235
68 6689 18408 18346 9918 25746 5443 20645
69 29982 12529 13858 4746 30370 10023 24828
70 1262 28032 29888 13063 24033 21951 7863
71 6594 29642 31451 14831 9509 9335 31552
72 1358 6454 16633 20354 24598 624 5265
73 19529 295 18011 3080 13364 8032 15323
74 11981 1510 7960 21462 9129 11370 25741
75 9276 29656 4543 30699 20646 21921 28050
76 15975 25634 5520 31119 13715 21949 19605
77 18688 4608 31755 30165 13103 10706 29224
78 21514 23117 12245 26035 31656 25631 30699
79 9674 24966 31285 29908 17042 24588 31857
80 21856 27777 29919 27000 14897 11409 7122
81 29773 23310 263 4877 28622 20545 22092
82 15605 5651 21864 3967 14419 22757 15896
83 30145 1759 10139 29223 26086 10556 5098
84 18815 16575 2936 24457 26738 6030 505
85 30326 22298 27562 20131 26390 6247 24791
86 928 29246 21246 12400 15311 32309 18608
87 20314 6025 26689 16302 2296 3244 19613

ES 2 381 012 T3

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 1/2, $q = 90$)

88 6237 11943 22851 15642 23857 15112 20947

89 26403 25168 19038 18384 8882 12719 7093

0 14567 24965

1 3908 100

2 10279 240

3 24102 764

4 12383 4173

5 13861 15918

6 21327 1046

7 5288 14579

8 281588069

9 16583 11098

10 16681 28363

11 13980 24725

12 32169 17989

13 10907 2767

14 21557 3818

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 1/2, q = 90)	
15	26676 12422
16	7676 8754
17	14905 20232
18	15719 24646
19	31942 8589
20	19978 27197
21	27060 15071
22	6071 26649
23	10393 11176
24	9597 13370
25	7081 17677
26	1433 19513
27	26925 9014
28	19202 8900
29	18152 30647
30	20803 1737
31	11804 25221
32	31683 17783
33	29694 9345
34	12280 26611
35	6526 26122
36	26165 11241
37	7666 26962
38	16290 8480
39	11774 10120
40	30051 30426
41	1335 15424
42	6865 17742
43	31779 12489
44	32120 21001
45	14508 6996
46	979 25024
47	4554 21896
48	7989 21777
49	4972 20661
50	66122730
51	12742 4418
52	29194 595
53	19267 20113

ES 2 381 012 T3

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 3/4, q = 45)

0 6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1 11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2 7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3 1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4 7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5 1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6 4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7 4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8 6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9 3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10 8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11 1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12 3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13 8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14 144634852 157333041 11193 1286013673 81526551 151088758
15 3149 11981
16 13416 6906
17 13098 13352
18 2009 14460
19 72074314
20 33123945
21 4418 6248
22 2669 13975
23 7571 9023
24 14172 2967
25 7271 7138
26 6135 13670
27 7490 14559
28 8657 2466
29 8599 12834
30 34703152
31 13917 4365
32 6024 13730
33 10973 14182

ES 2 381 012 T3

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 3/4, q = 45)	
34	2464 13167
35	5281 15049
36	1103 1849
37	2058 1069
38	9654 6095
39	14311 7667
40	15617 8146
41	4588 11218
42	13660 6243
43	8578 7874
44	1174 12686
0	1022 1264
1	12604 9965
2	8217 2707
3	3156 11793
4	354 1514
5	6978 14058
6	7922 16079
7	15087 12138

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 3/4, q = 45)
8 5053 6470
9 12687 14932
10 15458 1763
11 8121 1721
12 12431 549
13 4129 7091
14 1426 8415
15 9783 7604
16 6295 11329
17 1409 12061
18 8065 9087
19 2918 8438
20 1293 14115
21 3922 13851
22 3851 4000
23 5865 1768
24 2655 14957
25 5565 6332
26 4303 12631
27 11653 12236
28 16025 7632
29 4655 14128
30 9584 13123
31 13987 9597
32 15409 12110
33 8754 15490
34 7416 15325
35 2909 15549
36 2995 8257
37 94064791
38 11111 4854
39 28128521
40 8476 14717
41 7820 15360

ES 2 381 012 T3

421179 7939

43 2357 8678

44 77036216

0 3477 7067

1 3931 13845

2 7675 12899

3 1754 8187

4 7785 1400

5 9213 5891

6 2494 7703

7 2576 7902

8 4821 15682

9 10426 11935

10 1810 904

11 11332 9264

12 11312 3570

13 14916 2650

14 7679 7842

15 6089 13084

ES 2 381 012 T3

(continuación)

Dirección de los Acumuladores de Bits de Paridad (Tasa de código 3/4, q = 45)
16 3938 2751
17 8509 4648
18 12204 8917
19 5749 12443
20 12613 4431
21 13444014
22 8488 13850
23 1730 14896
24 14942 7126
25 14983 8863
26 6578 8564
27 4947 396
28 297 12805
29 13878 6692
30 11857 11186
31 14395 11493
32 16145 12251
33 13462 7428
34 14526 13119
35 2535 11243
36 6465 12690
37 6872 9334
38 15371 14023
39 8101 10187
40 11963 4848
41 15125 6119
42 8051 14465
43 11139 5167
44 2883 14521

FIG. 1

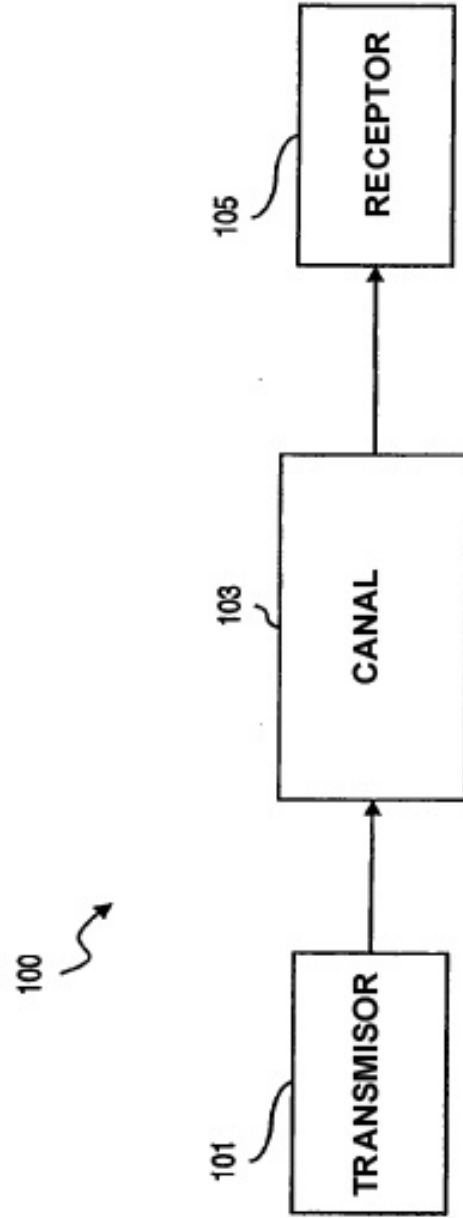


FIG. 2A

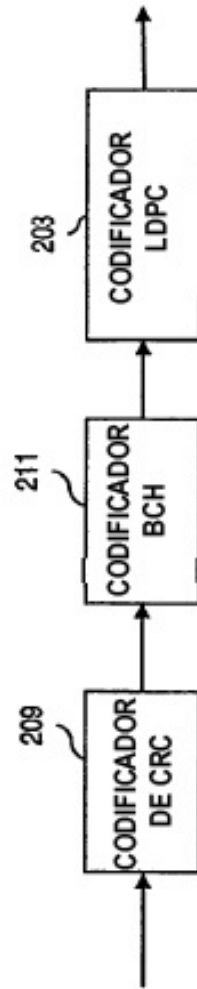
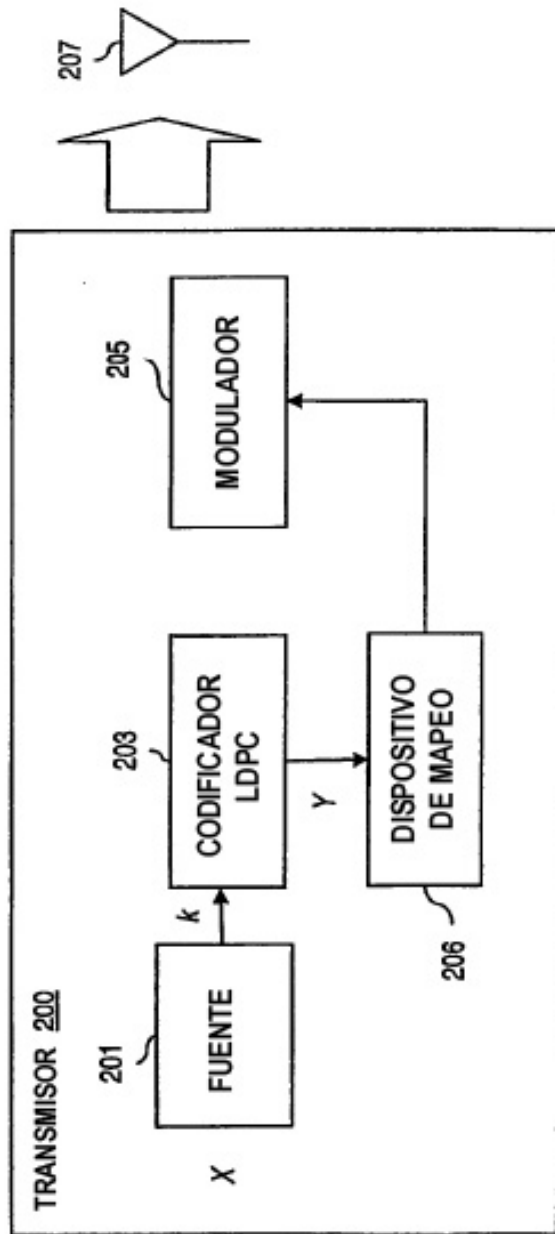


FIG. 2B

FIG. 3

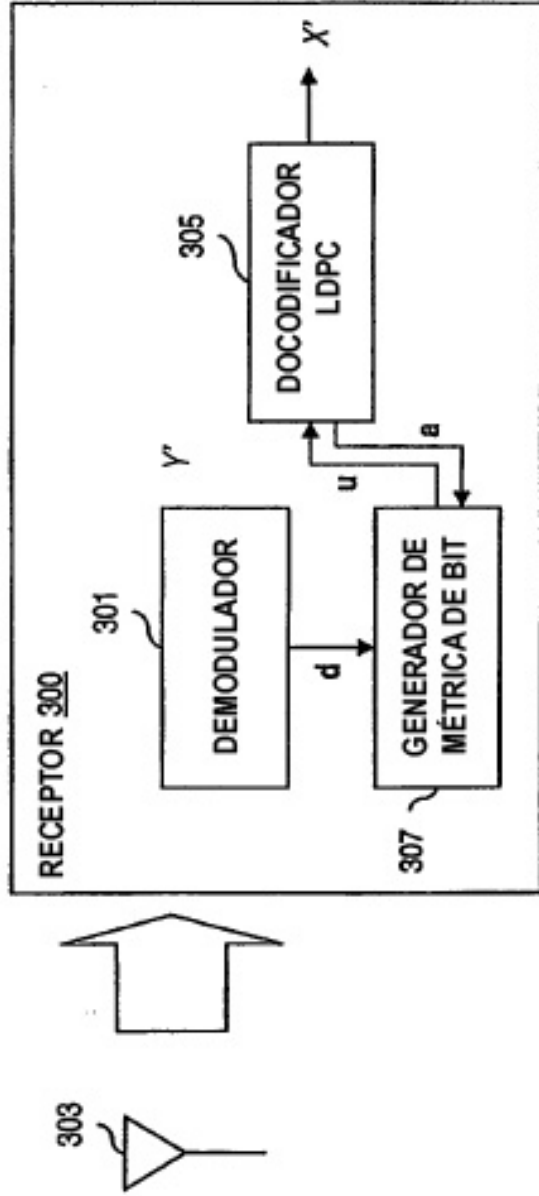


FIG. 7

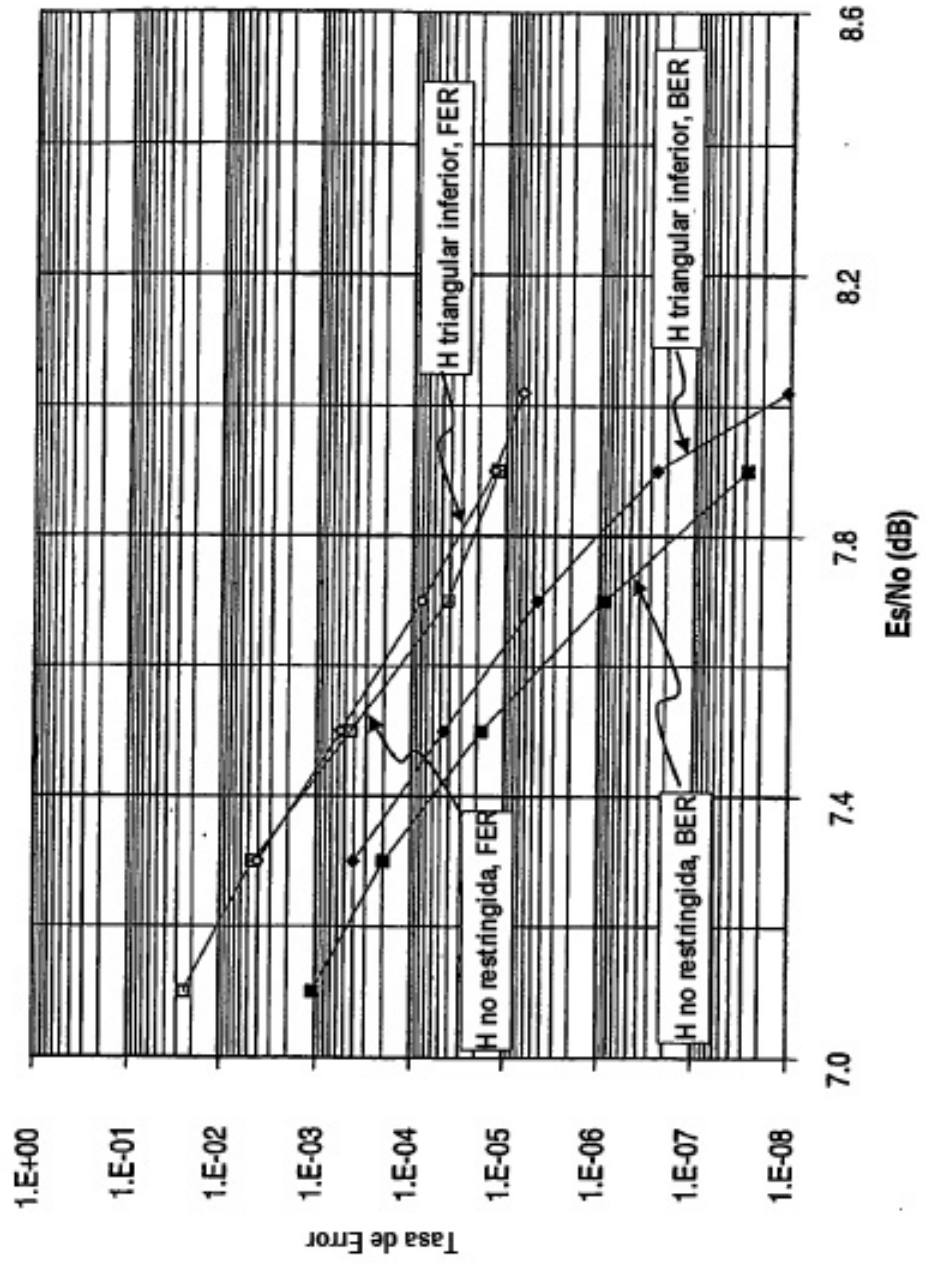


FIG. 8A

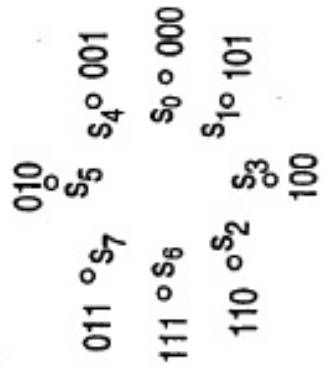
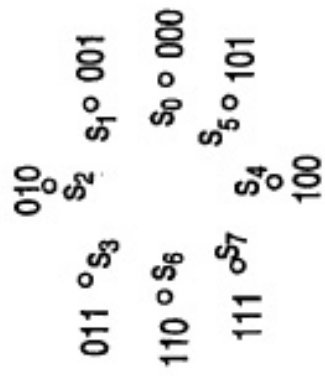


FIG. 8B

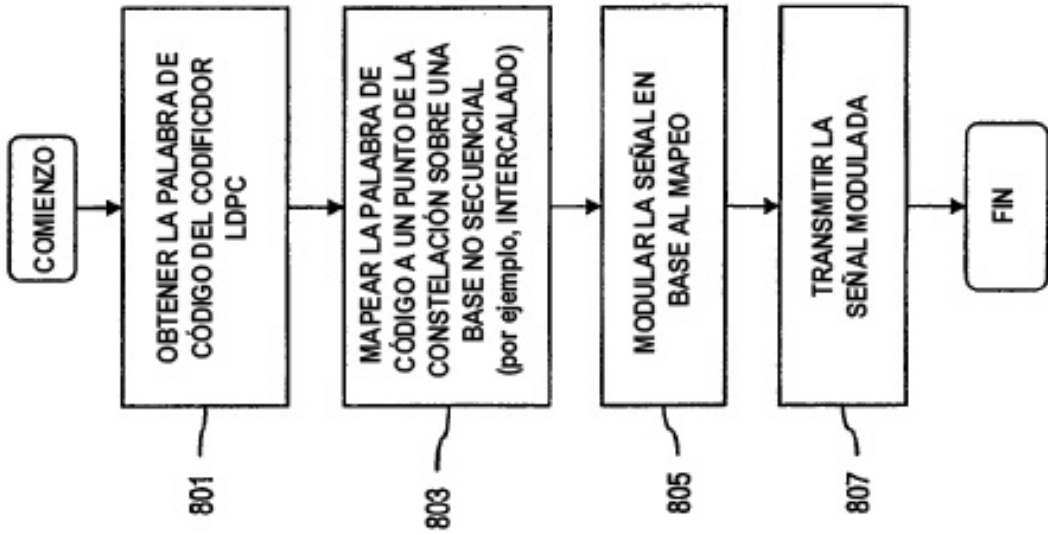


FIG. 8C

FIG. 8D

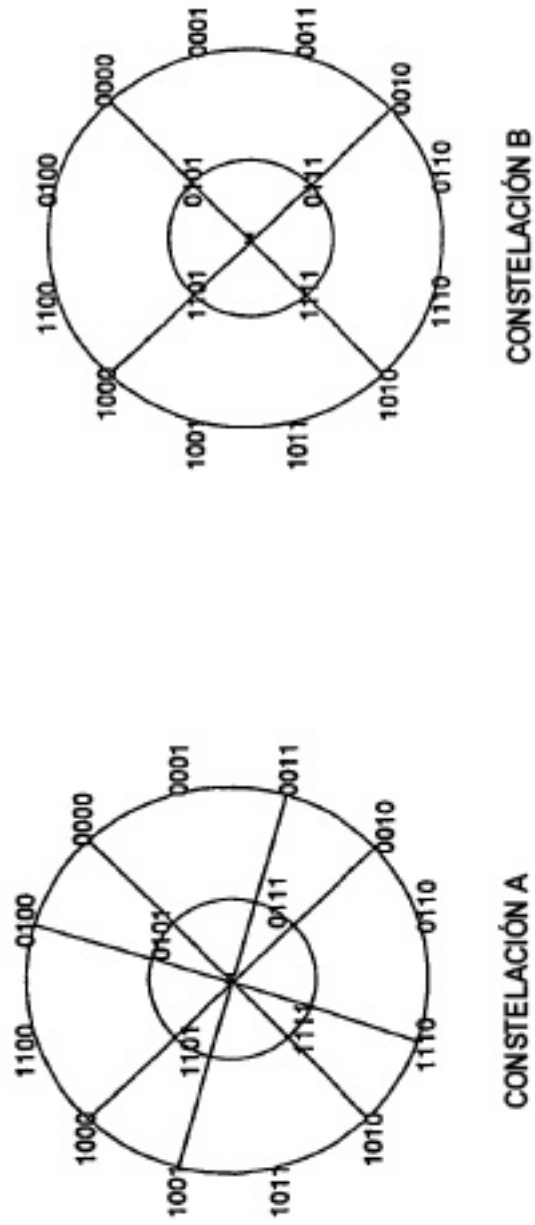


FIG. 8E

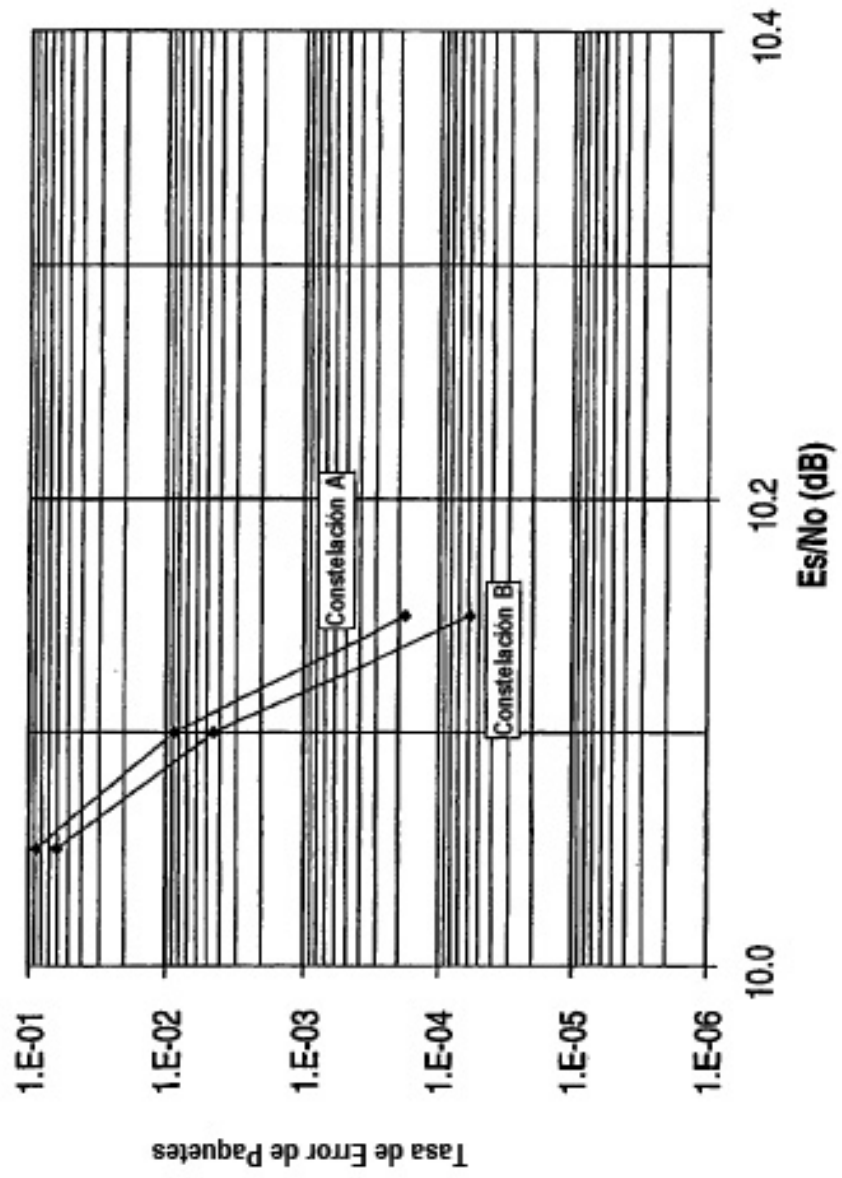


FIG. 8F

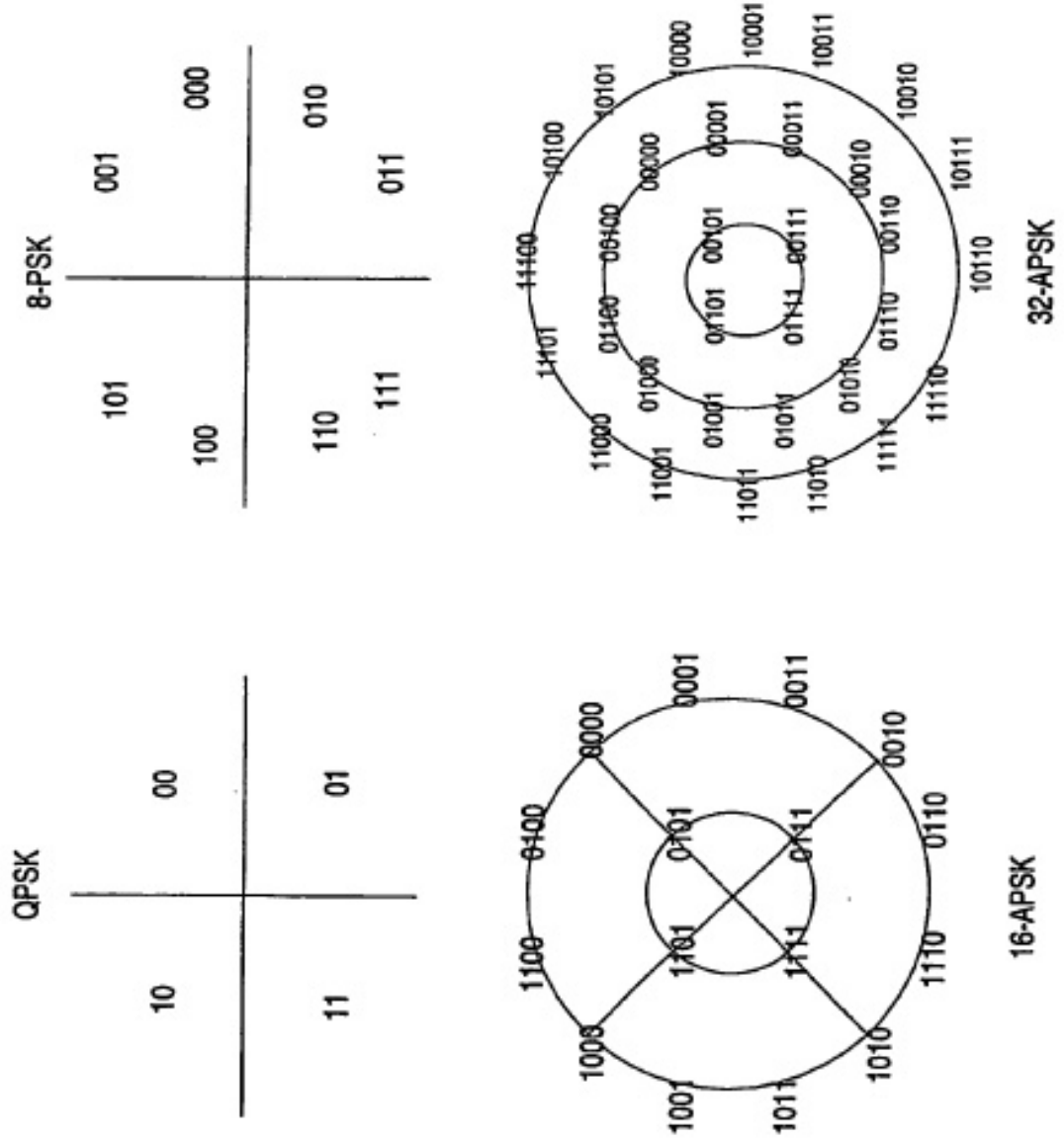


FIG. 8G

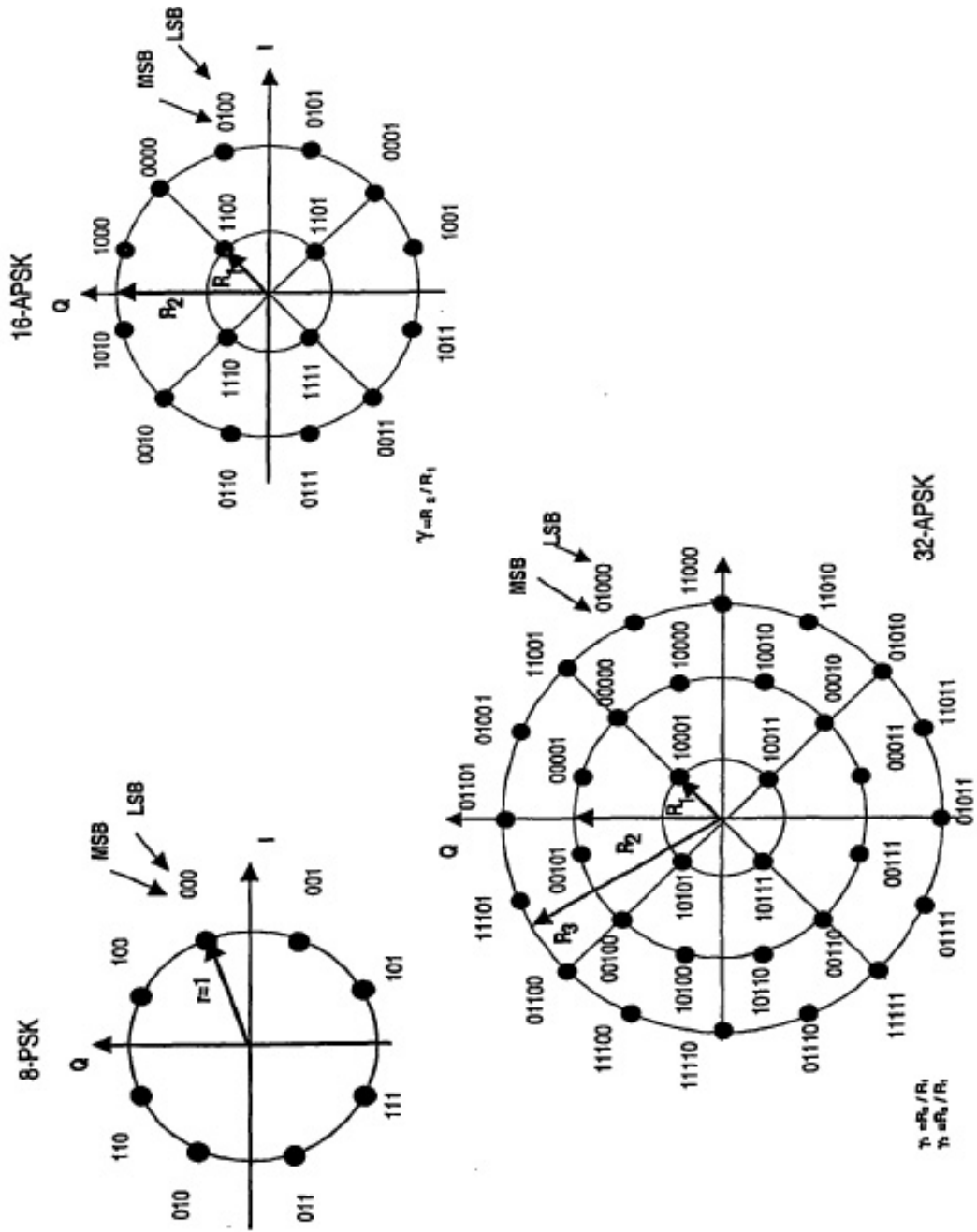


FIG. 8H

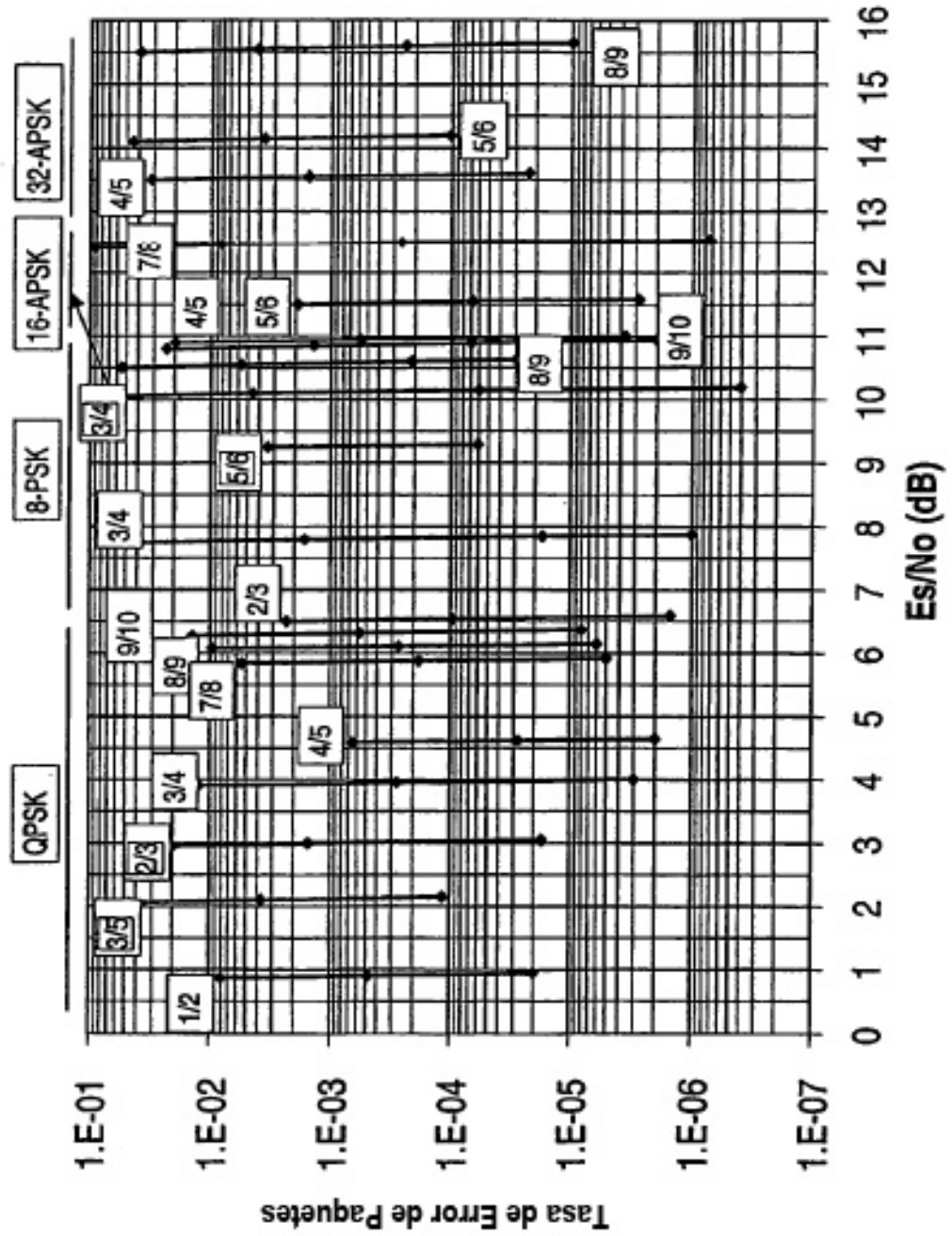
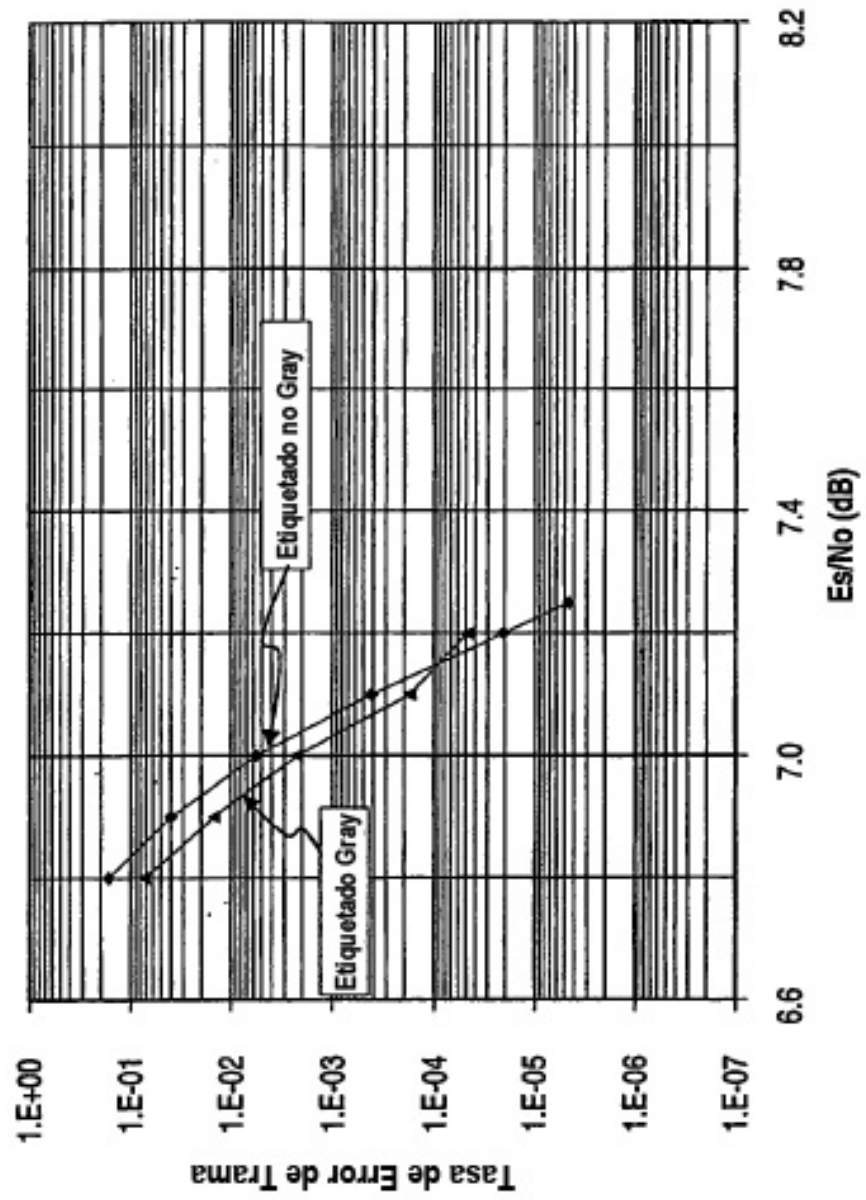


FIG. 9



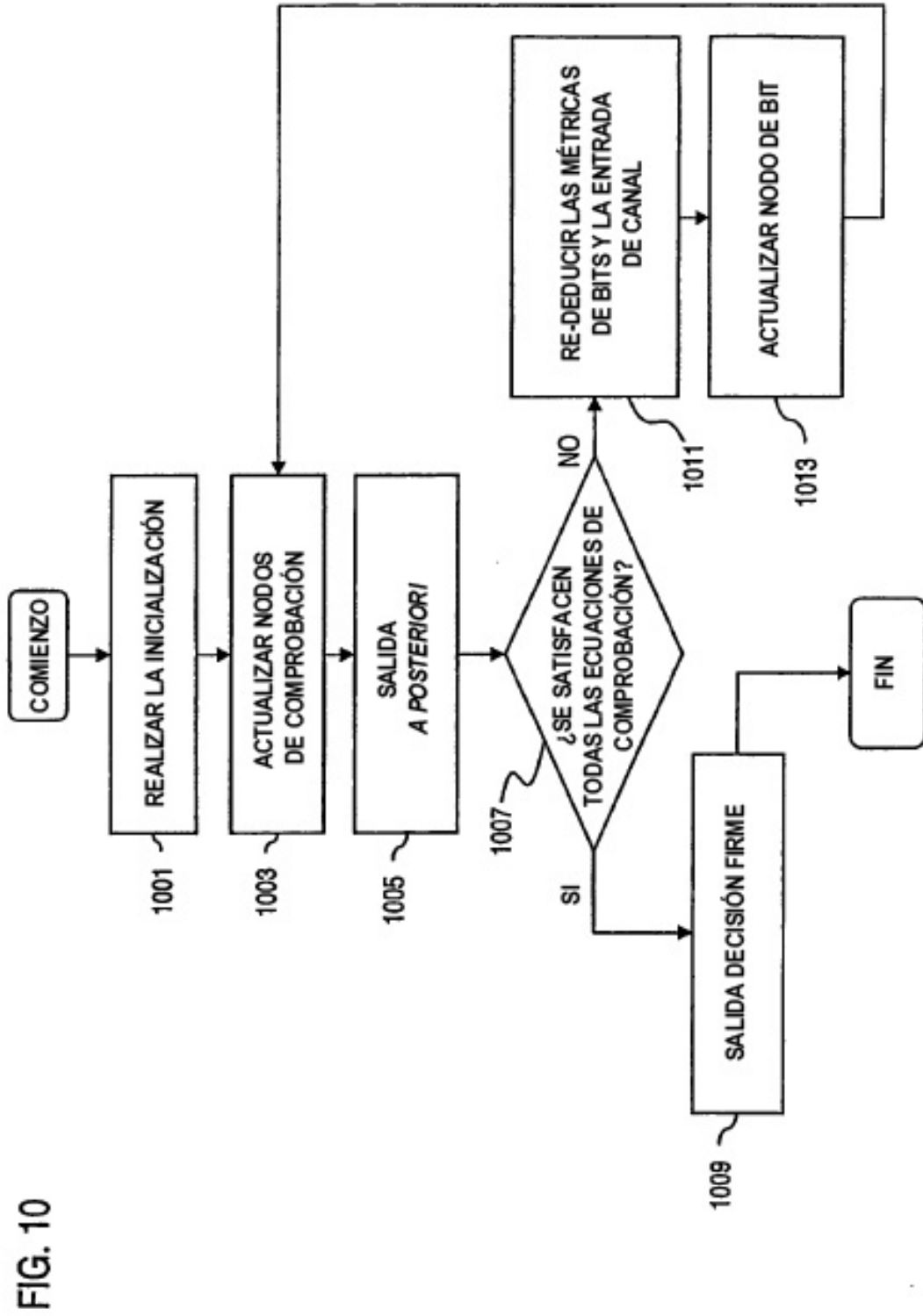


FIG. 10

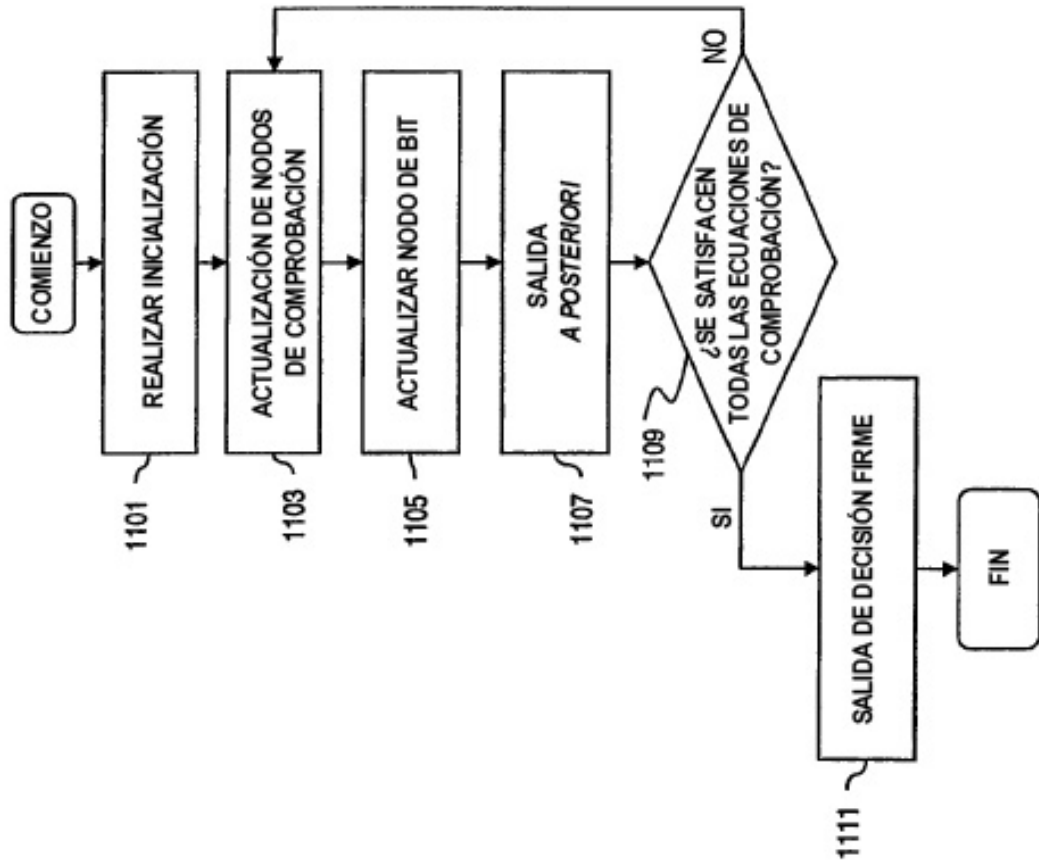


FIG. 11

FIG. 12A

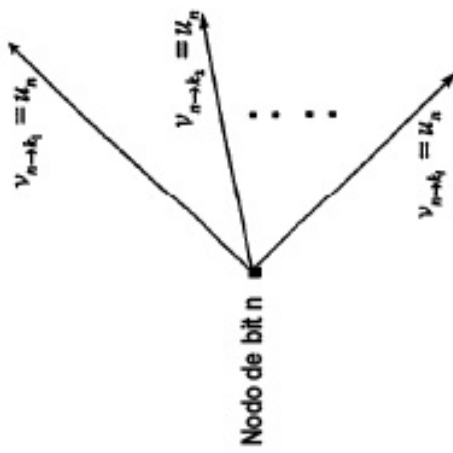


FIG. 12C

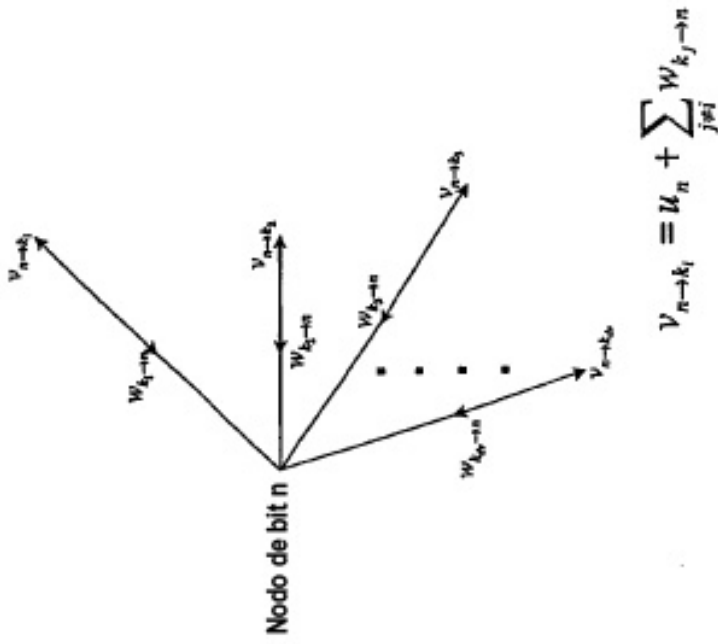


FIG. 12B

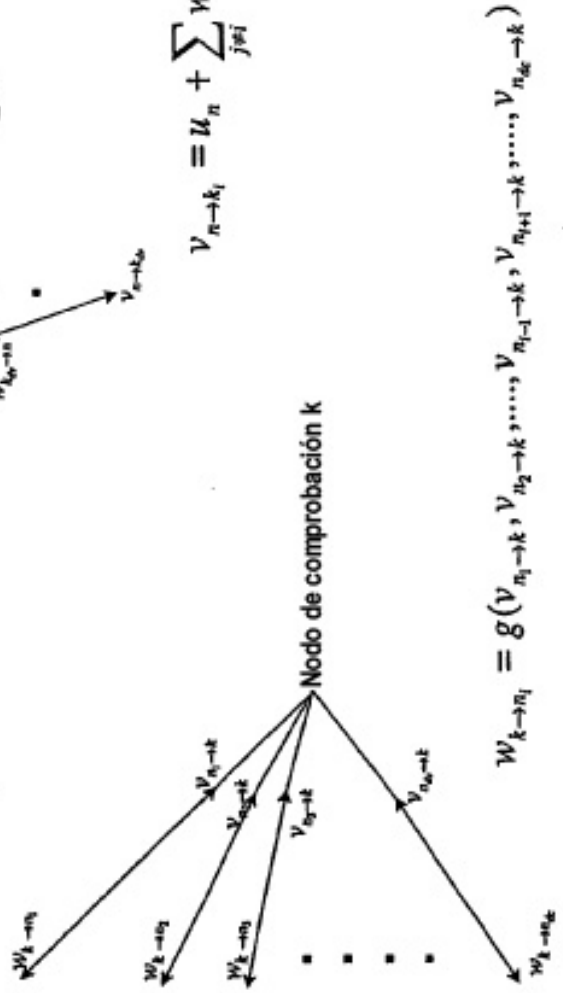


FIG. 13A

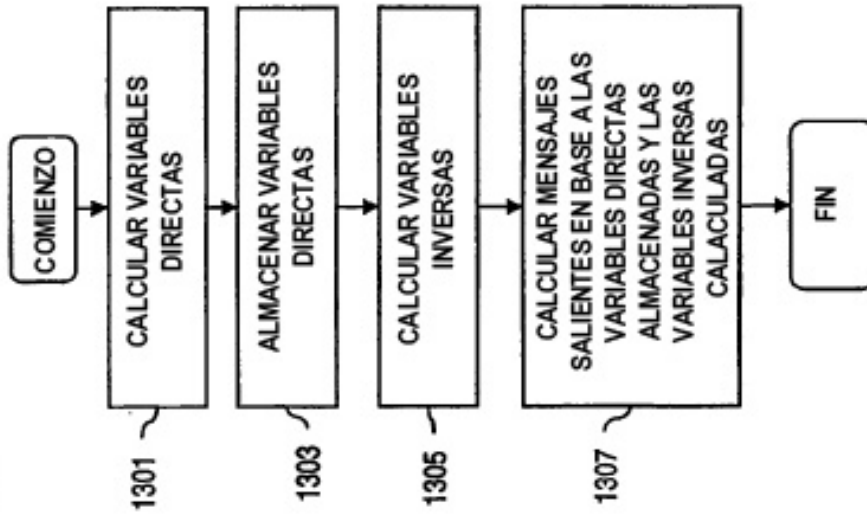


FIG. 13B

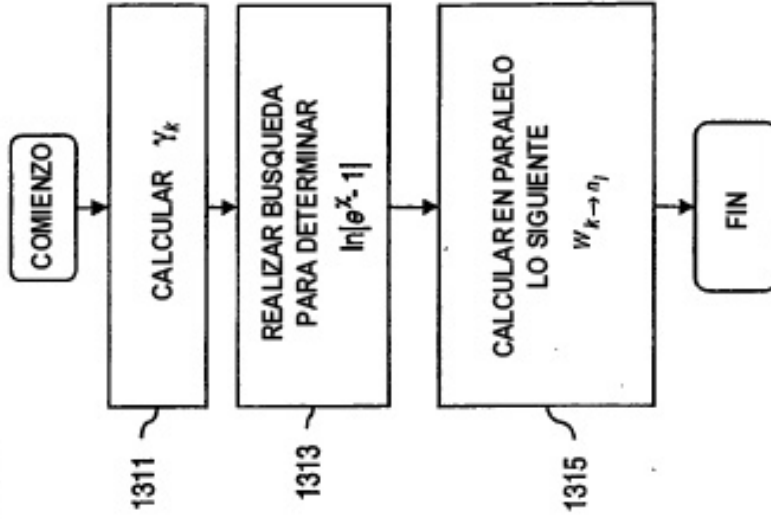


FIG. 14A

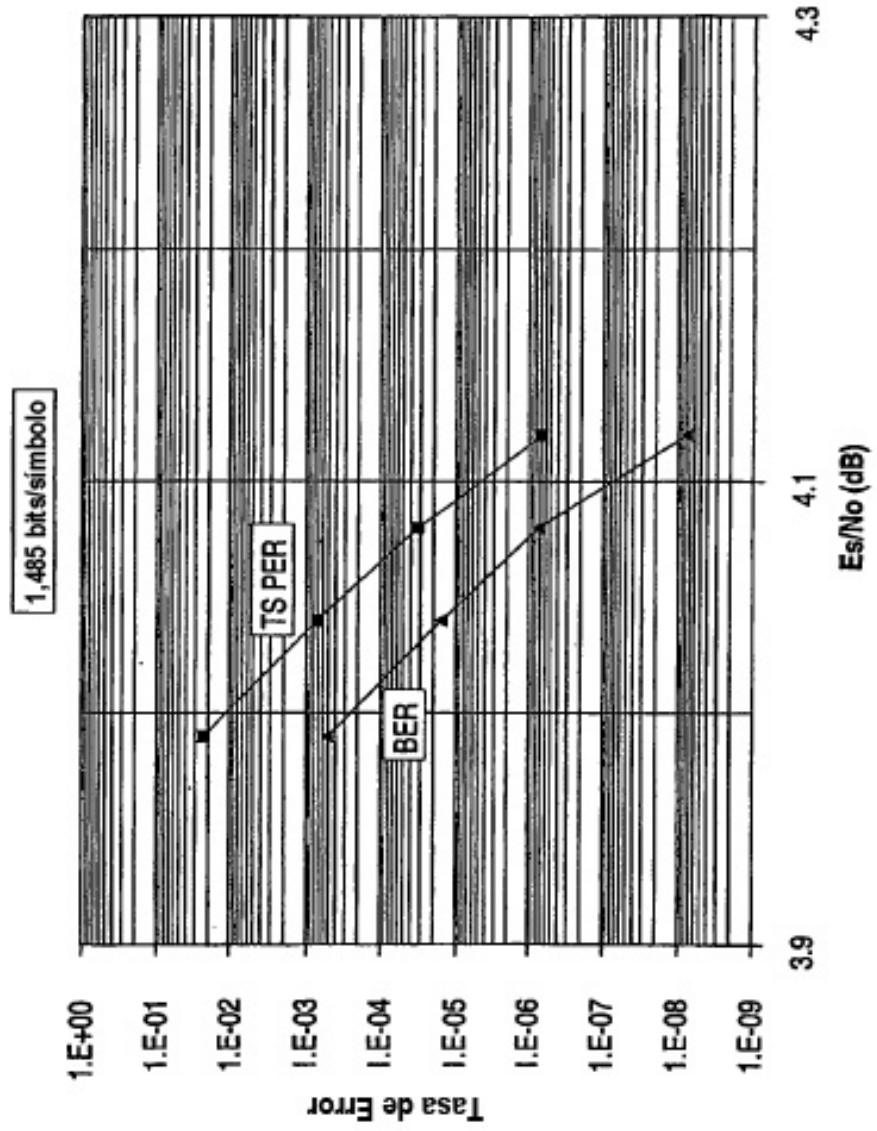


FIG. 14B

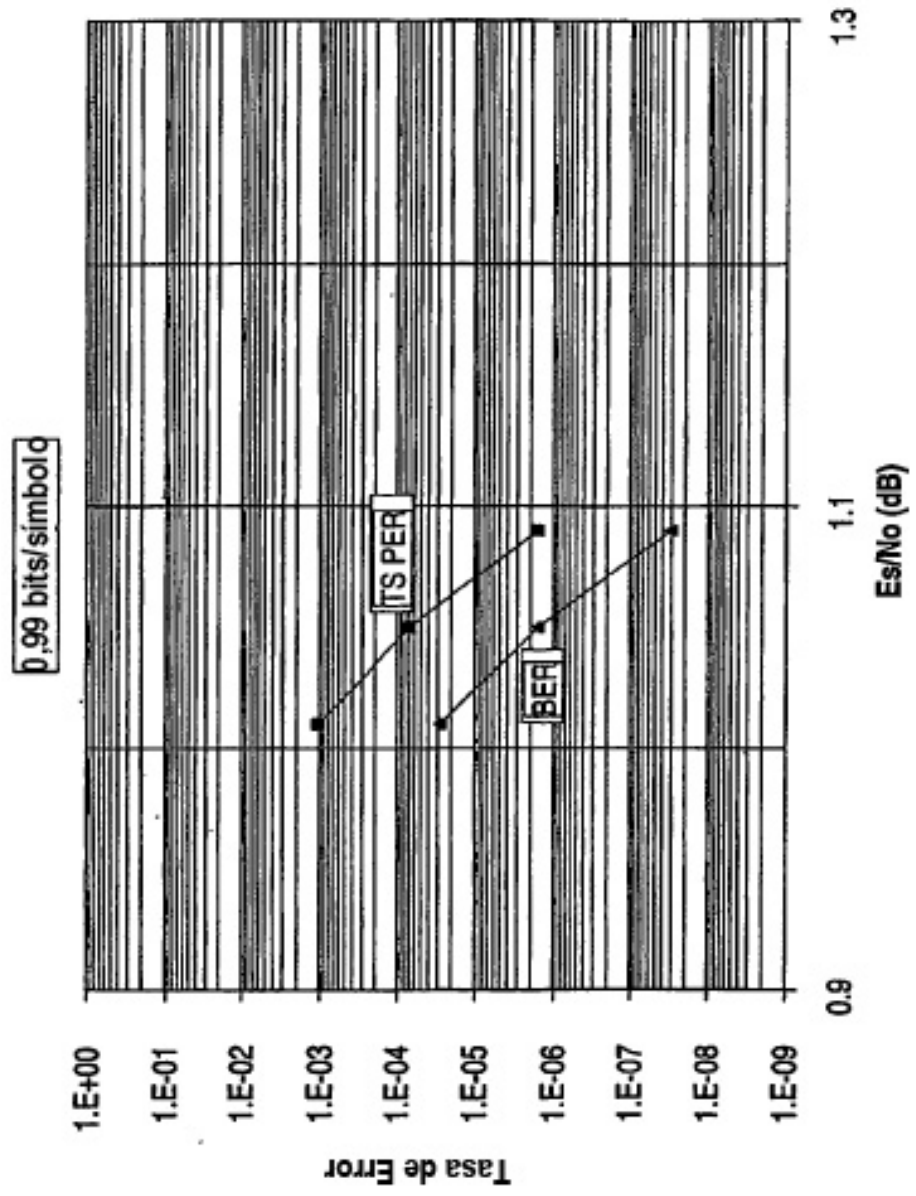


FIG. 14C

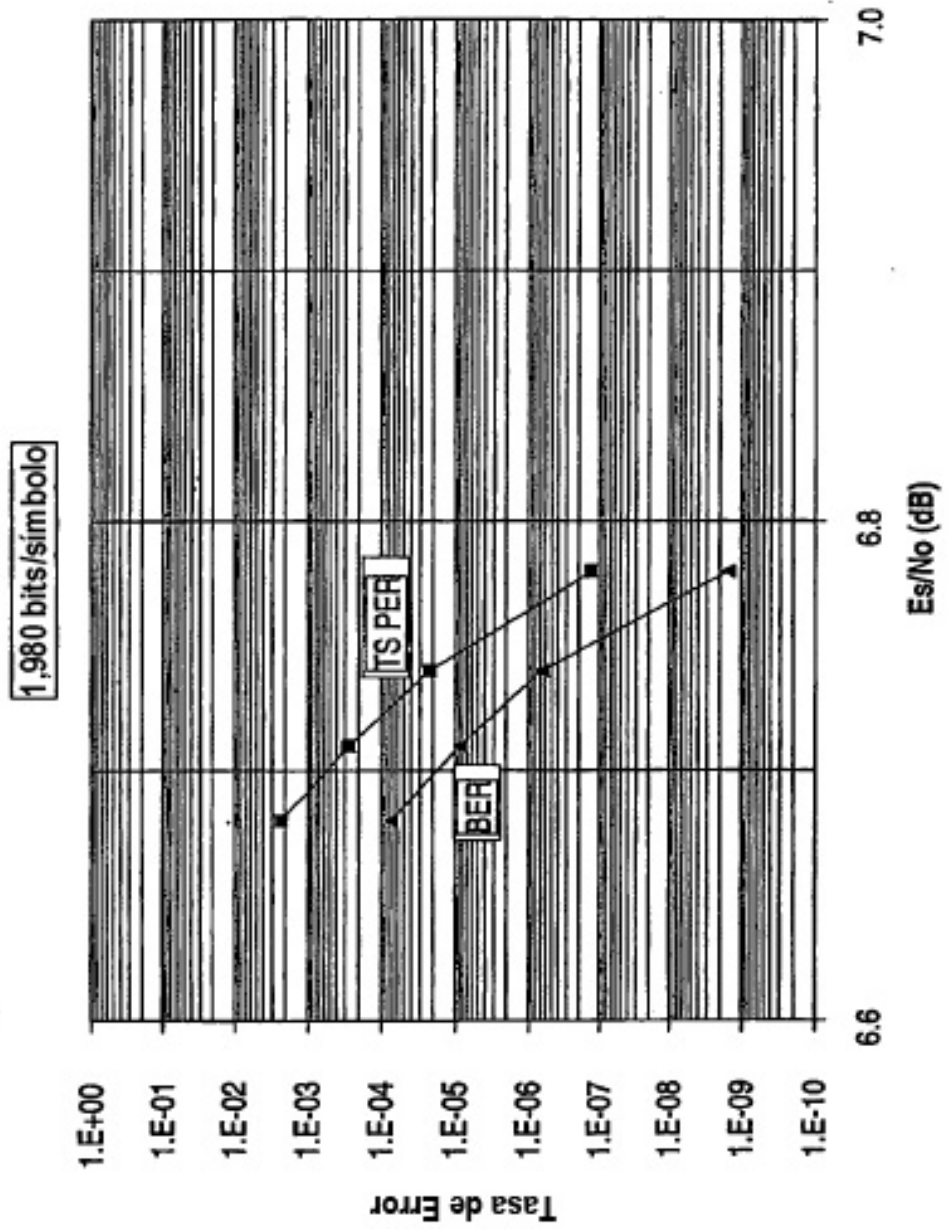


FIG. 15A

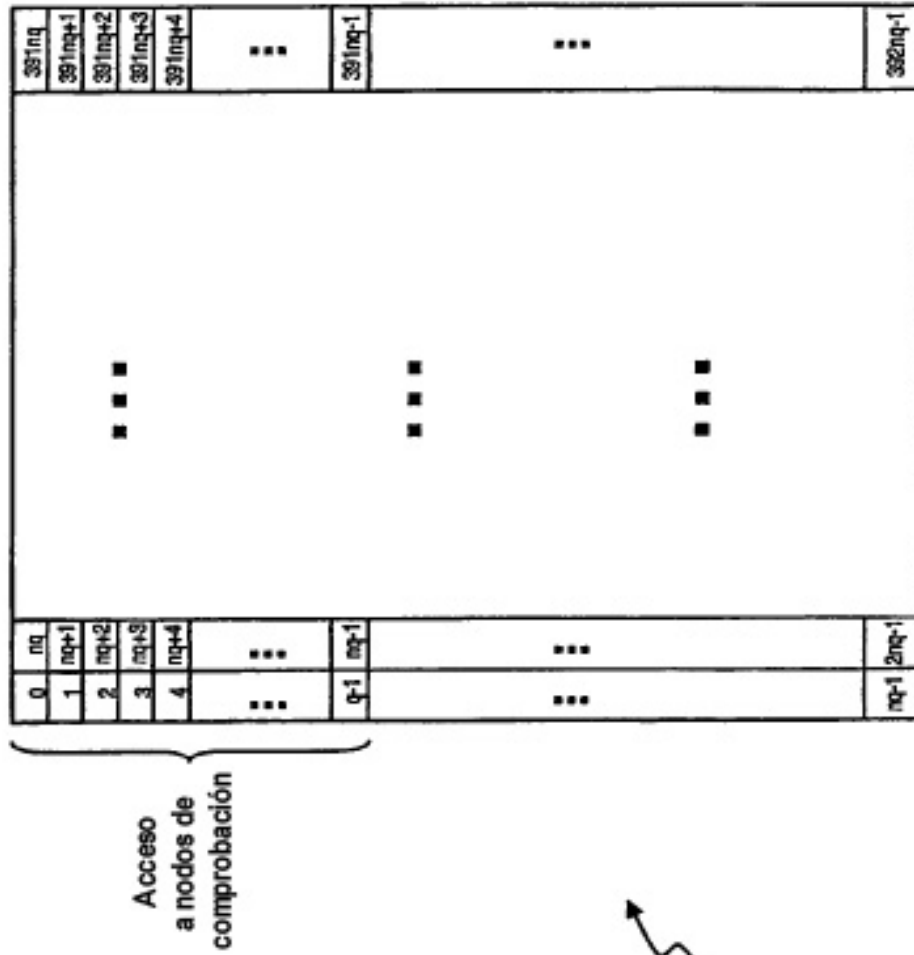


FIG. 15B

