

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 381 855**

51 Int. Cl.:  
**H04L 29/06** (2006.01)  
**H04L 12/56** (2006.01)  
**H04N 7/26** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **06701062 .9**  
96 Fecha de presentación: **26.01.2006**  
97 Número de publicación de la solicitud: **1844593**  
97 Fecha de publicación de la solicitud: **17.10.2007**

54 Título: **Señalización de los parámetros de la memoria intermedia indicativos de una arquitectura de memoria intermedia del receptor**

30 Prioridad:  
**03.02.2005 US 649995 P**

45 Fecha de publicación de la mención BOPI:  
**01.06.2012**

45 Fecha de la publicación del folleto de la patente:  
**01.06.2012**

73 Titular/es:  
**NOKIA CORPORATION  
KEILALAHDENTIE 4  
02150 ESPOO, FI**

72 Inventor/es:  
**WANG, Ru-shang;  
CURCIO, Igor Danilo Diego y  
HANNUKSELA, Miska**

74 Agente/Representante:  
**López Bravo, Joaquín Ramón**

ES 2 381 855 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Señalización de los parámetros de la memoria intermedia indicativos de una arquitectura de memoria intermedia del receptor

### **Campo de la invención**

- 5 La presente invención se refiere a las comunicaciones multimedia y más específicamente a la señalización de los parámetros de la memoria intermedia indicativos del estado de la memoria intermedia del receptor.

### **Antecedente de la técnica**

- 10 Durante la reunión de la DLNA (Digital Living Network Alliance) RTP-TF (Real Time Protocol-Task Force) F2F (Face to Face), celebrada el 26 de enero de 2005, se identificaron problemas al discutir los esquemas para la adaptación de la velocidad de bits. La conclusión fue que podría ser necesario considerar los diferentes modelos de memoria intermedia del receptor a fin de que la retroalimentación de recepción tenga sentido para el remitente, y para que el remitente lleve a cabo una adaptación eficiente.

- 15 Se proporciona la técnica anterior sobre este tema, por ejemplo, en lo que respecta al esquema de adaptación de la velocidad especificada para la transmisión en el 3GPP (3d Generation Partnership Project - Proyecto de Asociación de 3ª Generación ) y en el 3GPP2 (3d Generation Partnership Project 2 - Proyecto 2 de Asociación de 3ª Generación) de especificaciones tal como se describe en la especificación técnica 26.234 v.6.2.0 "Transparent End-to-end Packet Switched Streaming Service (PSS) Protocols and Codecs", y en la Especificación Técnica C.P0046 v.0.1.7 "3G Multimedia Streaming Services".

- 20 El modelo de memoria intermedia actual definido en los proyectos 3GPP/3GPP2 es una única memoria intermedia, y contiene una cabecera de RTP (Real Time Protocol – Protocolo en Tiempo Real) y una carga útil. Con el fin de soportar los diferentes modelos de memoria intermedia, (por ejemplo, los que contienen más de una memoria intermedia) los actuales esquemas de señalización de la técnica anterior no son suficientes para garantizar una solución factible y eficaz, por ejemplo, para la adaptación de la velocidad adecuada.

- 25 Una publicación "3G Multimedia Streaming Service, 3rd Generation Partnership Project 2, 3GPP2 Specifications, vol. TSG-C, no. WG 1, C.P0046, 10 de diciembre de 2004, páginas 1-50, Kauai, HI, USA, XP002650116" por Keith Miller desvela parámetros de la memoria intermedia que comprenden información sobre el tamaño de la memoria intermedia.

- 30 De manera similar, una publicación "3rd Generation Partnership Project; Technical Specification Group Service and System Aspects; Transparent end-to-end Packet-switched Streaming Service (PSS); Protocols and codecs (Release 6), 3GPP STANDARD; 3GPP TS 26.234, 3RD GENERATION PARTNERSHIP PROJECT (3GPP), MOBILE COMPETENCE CENTRE; 650, ROUTE DES LUCIOLES; F-06921 SOPHIA-ANTIPOLIS CEDEX; FRANCIA, no. V6.2.0, 1 de diciembre de 2004, páginas 1-124, XP050370103" desvela parámetros de la memoria intermedia en relación con el tamaño de la memoria intermedia.

- 35 Las figuras 1-3 muestran diversas arquitecturas de memoria intermedia que se pueden emplear de acuerdo con la técnica anterior.

### **Divulgación de la invención**

- 40 Se presentan un nuevo procedimiento, un sistema, un aparato y un producto de software para la señalización de parámetros de las memorias intermedias múltiples por un terminal para un servidor y la determinación del estado de la memoria intermedia múltiple del terminal por el servidor que usa estos parámetros, por ejemplo, para una adaptación de velocidad adecuada de los servicios de transmisión multimedia proporcionados por el servidor al terminal.

- 45 De acuerdo con un primer aspecto de la invención, un procedimiento para la señalización de los parámetros de la memoria intermedia, comprende las etapas de: el envío de los parámetros de la memoria intermedia desde un terminal a un servidor, en el que los parámetros de la memoria intermedia se refieren al menos a dos memorias intermedias del terminal de N, y N es un número entero de al menos un valor de dos; la recepción de los parámetros de la memoria intermedia desde el terminal al servidor; y la determinación de un estado de al menos las dos memorias intermedias por el servidor usando los parámetros de la memoria intermedia, en el que los parámetros de la memoria intermedia comprenden al menos un índice del mecanismo de transferencia de la memoria intermedia para indicar un mecanismo de transferencia entre al menos las dos memorias intermedias.

- 50 De acuerdo además con el primer aspecto de la invención, los parámetros de la memoria intermedia pueden comprender al menos uno de: a) un número de al menos las dos memorias intermedias, b) los tamaños de la memoria intermedia de al menos las dos memorias intermedias, c) las unidades de tamaño de la memoria intermedia de al menos las dos memorias intermedias; d) un tamaño de cabecera parcial al menos en las dos memorias intermedias. Además, los parámetros de la memoria intermedia pueden comprender adicionalmente una

unidad de retraso de difusión, para modificar una unidad de tiempo.

Además, de acuerdo con el primer aspecto de la invención, los parámetros de la memoria intermedia pueden comprender: un indicador de la memoria intermedia previa al decodificador de video; y un indicador de la memoria intermedia posterior al decodificador de video.

- 5 Aún más de acuerdo con el primer aspecto de la invención, al menos las dos memorias intermedias pueden estar fuera de: a) una memoria intermedia de oscilación, b) una memoria intermedia previa al decodificador, y c) una memoria intermedia posterior al decodificador.

De acuerdo además con el primer aspecto de la invención, al menos las dos memorias intermedias pueden comprender todas las N memorias intermedias del terminal.

- 10 De acuerdo con un segundo aspecto de la invención, un producto de programa de ordenador comprende: una estructura de almacenamiento legible por ordenador que contiene en ella el código del programa de ordenador para su ejecución por un procesador del ordenador con el código del programa de ordenador caracterizado por que incluye las instrucciones para llevar a cabo las etapas del primer aspecto de la invención, indicado para realizarse por cualquier componente o una combinación de los componentes del terminal o del servidor.

- 15 De acuerdo con un tercer aspecto de la invención, un sistema de comunicación, que se comprende de: un terminal, para proporcionar y enviar los parámetros de la memoria intermedia, en el que los parámetros de la memoria intermedia se relacionan al menos con dos memorias intermedias de las N memorias intermedias del terminal del terminal, en el que N es un número entero de al menos un valor de dos; y un servidor, para la recepción de los parámetros de la memoria intermedia desde el terminal y para determinar un estado de al menos las dos memorias intermedias usando los parámetros de la memoria intermedia, en el que los parámetros de la memoria intermedia comprenden al menos un índice del mecanismo de transferencia de la memoria intermedia para indicar un mecanismo de transferencia entre al menos las dos memorias intermedias.

- 20 De acuerdo además con el tercer aspecto de la invención, los parámetros de la memoria intermedia pueden comprender al menos uno de: a) un número de al menos las dos memorias intermedias, b) los tamaños de la memoria intermedia de al menos las dos memorias intermedias, c) las unidades de tamaño de la memoria intermedia de al menos las dos memorias intermedias d) un tamaño de cabecera parcial en al menos las dos memorias intermedias. Además, los parámetros de la memoria intermedia pueden comprender adicionalmente una unidad de retraso de difusión, para modificar una unidad de tiempo.

- 25 De acuerdo además con el tercer aspecto de la invención, los parámetros de la memoria intermedia pueden comprender: un indicador de la memoria intermedia anterior al decodificador de video; y un indicador de la memoria intermedia posterior al decodificador de video.

Además, de acuerdo con el tercer aspecto de la invención, al menos dos memorias intermedias pueden estar fuera de: a) una memoria intermedia de oscilación, b) una memoria intermedia previa al decodificador, y c) una memoria intermedia posterior al decodificador.

- 30 Además, de acuerdo con el tercer aspecto de la invención, al menos las dos memorias intermedias pueden comprender todas las N memorias intermedias del terminal.

- 35 De acuerdo con un cuarto aspecto de la invención, un terminal, comprende: N memorias intermedias del terminal, en el que N es un número entero de al menos un valor de dos; un bloque de control del terminal para proporcionar los parámetros de la memoria intermedia relacionados al menos con dos memorias intermedias de las N memorias intermedias del terminal, y un bloque del terminal de entrada/salida, para el envío de los parámetros de la memoria intermedia desde el terminal a un servidor, para la determinación del estado de al menos las dos memorias intermedias por el servidor usando los parámetros de la memoria intermedia, en el que los parámetros de la memoria intermedia comprenden al menos un índice del mecanismo de transferencia de la memoria intermedia para indicar un mecanismo de transferencia entre al menos las dos memorias intermedias.

- 40 De acuerdo además con el cuarto aspecto de la invención, el terminal puede ser un ordenador, un dispositivo de comunicación, un dispositivo de comunicación inalámbrico, un dispositivo electrónico portátil, un dispositivo electrónico móvil o un teléfono móvil.

Además, de acuerdo con el cuarto aspecto de la invención, se pueden combinar el bloque del terminal de entrada/salida y el bloque del terminal de entrada/salida.

- 45 De acuerdo con un quinto aspecto de la invención, un servidor, comprende: un bloque de entrada/salida para la recepción de los parámetros de la memoria intermedia desde un terminal, en el que los parámetros de la memoria intermedia se refieren al menos a dos memorias intermedias de N memorias intermedias del terminal, en el que N es un número entero de un valor de al menos dos, y un bloque de control del servidor para determinar un estado de al menos las dos memorias intermedias usando los parámetros de la memoria intermedia, en el que los parámetros de la memoria intermedia comprenden al menos un índice del mecanismo de transferencia de la memoria intermedia

para indicar un mecanismo de transferencia entre al menos las dos memorias intermedias.

De acuerdo además con el quinto aspecto de la invención, el bloque de control del servidor puede adaptar una velocidad de transmisión de acuerdo con el estado y usando un criterio predeterminado, y en el que el bloque de entrada/salida envía contenido de los medios desde el servidor al terminal usando la velocidad de transmisión adaptada.

Las ventajas de la invención incluyen, pero sin limitación, lo siguiente:

- El receptor usa la señalización para informar de los parámetros de la memoria intermedia al remitente, de esta manera el remitente puede entender mejor el estado de la memoria intermedia del receptor, y
- La señalización permite que la información de retroalimentación de la memoria intermedia sea escalable.

### **Breve descripción de los dibujos**

Para un mejor entendimiento de la naturaleza y de los objetos de la presente invención, se hace referencia a la siguiente descripción detallada considerada en conjunto con los dibujos siguientes, en los cuales:

las figuras 1-3 son diagramas esquemáticos que muestran diversas posibles arquitecturas de memorias intermedias del receptor, de acuerdo con la técnica anterior;

la figura 4 es un diagrama de bloques que ilustra la señalización de los parámetros de la memoria intermedia indicativos de la arquitectura de la memoria intermedia enviados desde un receptor (terminal) a un emisor (servidor), de acuerdo con una realización de la presente invención, y

la figura 5 es un diagrama de flujo que ilustra la señalización de los parámetros de la memoria intermedia indicativos de la arquitectura de la memoria intermedia enviados desde un receptor (terminal) a un emisor (servidor), de acuerdo con una realización de la presente invención.

### **Modos de llevar a cabo la invención**

Se presentan un nuevo procedimiento, sistema, aparato y producto de software para la señalización de parámetros de memorias intermedias múltiples por un terminal para un servidor y la determinación del estado de la memoria intermedia múltiple del terminal por el servidor usando estos parámetros, por ejemplo, para una adaptación de velocidad adecuada de los servicios de transmisión multimedia proporcionados al terminal por el servidor. El terminal puede ser (pero no se limita a) un ordenador, un dispositivo de comunicación, un dispositivo de comunicación inalámbrico, un dispositivo electrónico portátil, un dispositivo electrónico móvil, un teléfono móvil, etc.

De acuerdo con una realización de la presente invención, cuando un receptor de transmisión multimedia (por ejemplo, un cliente DMP, tal como se define en la DLNA) se conecta al emisor (por ejemplo, un servidor DMS (DEKSI Modem Pooling – Asociación del Módem DEKSI) tal como se define en la DLNA), el receptor envía al menos uno de los siguientes parámetros de la memoria intermedia (o de los parámetros de la memoria intermedia múltiple) indicativos de, pero no limitados a, un número de memorias intermedias (por ejemplo, una memoria intermedia de oscilación, una memoria intermedia previa al decodificador, una memoria intermedia posterior al decodificador, etc.), los tamaños de la memoria intermedia, las unidades de tamaño de la memoria intermedia, un tamaño de cabecera parcial (por ejemplo, parte de la cabecera del RTP, véase IETF RFC 3550, "RTP: A Transport Protocol for Real-time applications", julio de 2003), y el mecanismo de transferencia entre las dos memorias intermedias. Además, de acuerdo con una realización adicional de la presente invención, el receptor también envía la unidad de tiempo para el retraso de difusión tal como se define en la especificación técnica 26.234 v.6.2.0 "Transparent End-to-end Packet Switched Streaming Service (PSS) Protocols and Codecs".

El modelo de memoria intermedia actual definido en los proyectos 3GPP/3GPP2 es una única memoria intermedia que contiene una cabecera del RTP (Real Time Protocol – Protocolo de Tiempo Real) y una carga útil. Si se usa un modelo de dos memorias intermedias, en el que el receptor expone al servidor al menos dos memorias intermedias en lugar de una (por ejemplo, la memoria intermedia de oscilación y la memoria intermedia previa al decodificador), y se desconoce el mecanismo de gestión de las dos memorias intermedias por parte del emisor, entonces, la señalización de la memoria intermedia del receptor actualmente definida en el 3GPP y en el 3GPP2 será irrelevante. Al informar los parámetros de la memoria intermedia desde el receptor al emisor, de acuerdo con las realizaciones de la presente invención, el remitente puede deducir el estado correcto de la memoria intermedia del receptor, por ejemplo, para la adaptación de velocidad adecuada.

De acuerdo con una realización de la presente invención, los parámetros de la memoria intermedia pueden, por ejemplo, definirse (pero no se limitan a) de la siguiente manera:

- Número de memorias intermedias, es decir, para indicar el número de memorias intermedias del receptor;
- Los tamaños de la memoria intermedia, es decir, un número de bloques para cada una de las memorias intermedias;
- Las unidades de tamaño de la memoria intermedia, es decir, los tamaños de bloques para las memorias intermedias. El campo FBS (Free Buffer Space - espacio de memoria intermedia libre) actual en el 3GPP, (véase, por ejemplo, la especificación técnica 26.234 v.6.2.0 "Transparent End-to-end Packet Switched

Streaming Service (PSS) Protocols and Codecs ") define un bloque que comprende 64 bytes; este parámetro (es decir, el campo FBS) puede modificar la unidad indicando que cada bloque indica cualquier número arbitrario de bytes (por ejemplo, un bloque puede definirse en unidades de 128 bytes);

- 5 • Un tamaño de la cabecera parcial, es decir, el tamaño de cabecera del RTP (Real Time Protocol – Protocolo de Tiempo Real) parcial en las memorias intermedias;
- El índice del mecanismo de transferencia de datos (o del mecanismo de transferencia de memoria intermedia): el índice indica qué tipo de mecanismo de transferencia se usa entre las memorias intermedias;
- La unidad de retraso de difusión, es decir, la unidad de tiempo del retraso de difusión; el retraso actual de difusión del 3GPP se define en milisegundos; esta señal se usa para modificar la unidad de tiempo, etc.

10 De acuerdo con una realización adicional de la presente invención, la señalización puede llevarse a cabo usando una pluralidad de protocolos que pueden ser (pero no se limitan a) el RTSP (real time streaming protocol – protocolo de transmisión en tiempo real), el SDP (session description protocol – protocolo de descripción de sesión), el XML (Extensible Markup Language – lenguaje de marcado extensible), el RTCP (real time conferencing protocol – protocolo de conferencia en tiempo real), por ejemplo, un paquete APP (application - aplicación) o RTP/AVPF (audio visual profile feedback - retroalimentación del perfil audio visual), etc.

15 Como alternativa, de acuerdo con una realización adicional de la presente invención, se pueden hacer suposiciones implícitas en las relaciones de las memorias intermedias y algunos de los parámetros anteriores pueden, por lo tanto, combinarse. Por ejemplo, los parámetros de la memoria intermedia pueden incluir los indicadores binarios siguientes:

- 20 • Indicador de la memoria intermedia anterior al decodificador de video:
  - a) cuando el indicador de la memoria intermedia anterior al decodificador es 1, el receptor contiene una memoria intermedia anterior al decodificador que funciona idénticamente a la memoria intermedia de la imagen codificada (CPB) en el decodificador de referencia hipotético (DRH) de la codificación de vídeo convencional en uso;
  - 25 b) cuando el indicador de la memoria intermedia anterior al decodificador es 0, la memoria intermedia anterior al decodificador de video no está presente (es decir, se combina con la memoria intermedia de des-oscilación) o el funcionamiento de la memoria intermedia anterior al decodificador no se especifica; e
- Indicador de la memoria intermedia posterior al decodificador de video:
  - a) cuando el indicador de la memoria intermedia posterior al decodificador es 1, el receptor contiene una memoria intermedia posterior al decodificador que funciona idénticamente a la memoria intermedia de la imagen decodificada (DPB) en el decodificador de referencia hipotético (DRH) de la codificación de vídeo estándar en uso, si no hay DPB especificado en el HRD, entonces el receptor contiene una memoria intermedia de reordenamiento mínima especificada como sigue: la memoria intermedia de reordenamiento mínima es inexistente si la orden de decodificación de imágenes es la misma que su orden de salida, o la memoria intermedia de reordenamiento mínima contiene una imagen de B imágenes, de acuerdo con las normas MPEG (Moving Pictures Experts Group - Grupo de Expertos de Imágenes en movimiento) tales como, por ejemplo, MPEG-2, MPEG-4 Parte 2, o de acuerdo con las normas H.263 que están presentes en la transmisión recibida;
  - 30 b) cuando el indicador de la memoria intermedia posterior al decodificador es 0, la presencia y funcionamiento de la memoria intermedia posterior al decodificador no se especifica.

35 Cuando estos indicadores binarios están presentes, entonces se supone que el tamaño indicado de la memoria intermedia abarca la recepción, la desoscilación, y, si se usa(n), la(s) memoria(s) intermedia(s) de des-entrelazado, y tiene esta cantidad de espacio determinada para las unidades de datos de aplicación (ADU) completas, incluyendo la siguiente cabecera del RTP y los campos de cabecera de carga útil del RTP. Cualquier memoria intermedia anterior al decodificador que no puede usarse como un desoscilador, un des-entrelazador o una memoria intermedia de retransmisión no se incluye en el tamaño de la memoria intermedia indicada. Cuando los indicadores binarios son iguales a 1, entonces el tamaño de las memorias intermedias previas y/o posteriores al decodificador se determina por el perfil de codificación de vídeo y el nivel en uso.

45 A continuación se ilustra un ejemplo, de acuerdo con las realizaciones de la presente invención, usando el RTSP (real tiempo de streaming protocol – protocolo de transmisión en tiempo real) para dos memorias intermedias con los siguientes parámetros:

url="rtsp://server.example.com/media.mp4";  
NB=2;

- 55 BF1 (1<sup>er</sup> tamaño de la memoria intermedia) = 5000;
- BSU1 (1<sup>a</sup> unidad de tamaño de la memoria intermedia) = 1024;
- BF2 (2<sup>o</sup> tamaño de la memoria intermedia) = 800;
- BSU2 (2<sup>a</sup> unidad de tamaño de la memoria intermedia) = 512;
- PHS (tamaño de la cabecera parcial) = 12;

BTM (mecanismo de transferencia de la memoria intermedia) = 0; y  
 PDU (unidad de retraso de difusión) = 10.

Memoria Intermedia # (NB)	Tamaño de la memoria intermedia (BF, Bloque)	Unidad de la memoria intermedia (BSU, byte)	Cabecera Parcial (PHS, byte)
1	5000	1024	0
2	800	512	12

5 El tamaño de la primera memoria intermedia es de 5000\* 1024 bytes y el tamaño de la segunda memoria intermedia es 800\* 512 bytes. La primera memoria intermedia contiene la totalidad de la cabecera y de la carga útil del RTP por lo que el tamaño de la cabecera parcial no se señala. La segunda memoria intermedia contiene 12 bytes de las cabeceras parciales. El tamaño de la cabecera del RTP parcial es importante cuando se usa la paquetización de entrelazado en la carga útil de RTP de H.264 (véase el IETF RFC 3984, "RTP payload format for H.264 video", enero de 2005).

10 La unidad de tamaño de la memoria intermedia puede, por ejemplo, expresarse solamente por unos pocos bits. Si el valor es 0, se usan entonces bloques de memoria intermedia de 64 bytes. Si el valor es 1, se usan entonces bloques de memoria intermedia de 128 bytes. Si el valor es 2, se usan entonces bloques de memoria intermedia de 256 bytes, y así sucesivamente.

El mecanismo de transferencia de la memoria intermedia (BTM) puede definirse de la siguiente manera:

- 15
- 0: cuando la segunda memoria intermedia tiene un espacio vacío, entonces la primera memoria intermedia (por ejemplo, la desoscilación) transferirá los datos inmediatamente;
  - 1: los datos se transfieren de acuerdo con la marca de tiempo del paquete.
  - 2: los datos se transfieren de acuerdo con la velocidad de trama, por ejemplo, en el vídeo puede ser de 30fps y en el audio puede ser de 50fps;

20

  - 3: los datos se transfieren a la segunda memoria intermedia solamente cuando la primera memoria intermedia está llena;
  - 4: otro mecanismo de transferencia que no sea el anterior.

La definición anterior del BTM representa sólo un ejemplo y otras definiciones de BTM son también posibles usando diferentes números de opciones.

25 El modificador de la unidad de retraso de difusión (PDU) en el ejemplo anterior es 10x, lo que significa que la unidad de tiempo es ahora de 10 ms. Por ejemplo, si el retraso de difusión es originalmente de 200ms, entonces el nuevo valor es de 2000ms. Otro ejemplo sería usar únicamente un bit. Si el bit es 1 la unidad se expresa en 1/100 de un segundo. Si el bit es 0, entonces la unidad se expresa en milisegundos.

30 Se observa que, de acuerdo con una realización de la presente invención, los parámetros de la memoria intermedia múltiple pueden relacionarse al menos con dos memorias intermedias fuera de las N memorias intermedias del terminal, en el que N es un número entero de al menos un valor de dos. Además, al menos las dos memorias intermedias pueden comprender todas las N memorias intermedias del terminal o las memorias intermedias seleccionadas fuera de las N memorias intermedias del terminal.

35 La figura 4 muestra un ejemplo, entre otros, de un diagrama de bloques que ilustra la señalización de los parámetros de la memoria intermedia indicativos de la arquitectura de la memoria intermedia enviada desde un receptor (terminal) **12** a un emisor (servidor) **14** en un sistema de comunicación **11**, de acuerdo con la realización de la presente invención. El terminal **12** se denomina receptor para los fines de la presente invención porque es el destinatario de una señal **22** (contenida) de los medios comprendiendo, por ejemplo, servicios multimedia desde el servidor **14**. El receptor/terminal **12** tiene N memorias intermedias **16-1**, **16-2**, ... **16-N1** conectadas a un bloque de control del terminal **18** que, a su vez, se conecta a un bloque del terminal de entrada/salida **20**. El servidor puede verse como que tiene una estructura interna similar que comprende un bloque del servidor de entrada/salida **24**, un bloque de control del servidor **26** y un bloque de memoria intermedia del servidor **28**, como se muestra al menos para los fines de la presente invención.

40

45 El bloque de control del terminal **18** en la Figura 4 proporciona los parámetros de la memoria intermedia relacionados al menos con dos memorias intermedias de las N memorias intermedias del terminal (**16-1**, **16-2**, ... **16-N**), de acuerdo con las realizaciones de la presente invención, como se ha descrito anteriormente, para el bloque **20**, que envía los parámetros de la memoria intermedia (señal **10**) al bloque correspondiente **24** del servidor **14**. La información de la memoria intermedia se reenvía entonces al bloque de control del servidor **26** del servidor **14**. El bloque **26** determina el estado de al menos las dos memorias intermedias del terminal **12** usando los parámetros de la memoria intermedia recibidos. Basado en el estado, el servidor **14** (usando el bloque de control del servidor **26**) puede adaptar una velocidad de transmisión usando un criterio predeterminado y enviar la señal de contenido de los

50

medios **22** usando la velocidad de transmisión adoptada desde el servidor **14** (usando el bloque **24**) al terminal **12**.

De acuerdo con una realización de la presente invención, los bloques **20,18, 24, 26, 16-1, 16-2, ... ,16-N y 28** pueden implementarse como un software, un bloque de hardware o una combinación de los mismos. Además, cada uno de los bloques **20,18, 24, 26, 16-1, 16-2, ... 16-N y 28** pueden implementarse como un bloque separado o pueden combinarse con cualquier otro bloque convencional del terminal **12** o del servidor **14**, o puede dividirse en varios bloques de acuerdo con su funcionalidad.

La figura 5 muestra un diagrama de flujo que ilustra la señalización de los parámetros de la memoria intermedia indicativos de la arquitectura de la memoria intermedia enviados desde el receptor (terminal) **12** al remitente (servidor) **14** en un sistema de comunicación **11**, de acuerdo con una realización de la presente invención.

El diagrama de flujo de la figura 5 representa sólo un escenario posible, entre otros. En un procedimiento de acuerdo con la primera realización de la presente invención, en una primera etapa **40**, el terminal **12** genera los parámetros de la memoria intermedia de al menos las dos memorias intermedias de acuerdo con las realizaciones de la presente invención, y envía estos parámetros (la señal **10**) al servidor **14**. En una etapa siguiente **42**, el servidor **14** recibe los parámetros de la memoria intermedia desde el terminal **12**. En una etapa siguiente **44**, el servidor **14** determina el estado de al menos las dos memorias intermedias usando los parámetros de la memoria intermedia. En una etapa siguiente **46**, el servidor **14** adapta una velocidad de transmisión de acuerdo con el estado y usando el criterio predeterminado. Finalmente, en una etapa siguiente **48**, el servidor **14** envía el contenido de los medios (la señal **22**) al terminal **12** usando la velocidad de transmisión adaptada.

Como se ha explicado anteriormente, la invención proporciona tanto un procedimiento como el equipo correspondiente que consta de varios módulos que proporcionan la funcionalidad para realizar las etapas del procedimiento. Los módulos pueden implementarse como hardware, o pueden implementarse como software o firmware para su ejecución por un procesador del ordenador. En particular, en el caso del firmware o del software, la invención puede proporcionarse como un producto de programa de ordenador que incluye una estructura de almacenamiento legible por ordenador que contiene en ella el código del programa de ordenador (es decir, el software o firmware) para la ejecución por el procesador del ordenador.

Debe entenderse que las disposiciones anteriormente descritas son sólo ilustrativas de la aplicación de los principios de la presente invención. Los expertos en la materia pueden diseñar numerosas modificaciones y disposiciones alternativas sin apartarse del alcance de la presente invención, y las reivindicaciones adjuntas tienen por objeto incluir tales modificaciones y disposiciones.

30

**REIVINDICACIONES**

1. Un procedimiento para la señalización de los parámetros de la memoria intermedia, que comprende:

5 el envío (40) de los parámetros de la memoria intermedia desde un terminal (12) a un servidor (14), en el que dichos parámetros de la memoria intermedia se relacionan al menos con dos memorias intermedias de N memorias intermedias del terminal (16-1, 16-2, ... 16-N), y N es un número entero de al menos un valor de dos para la determinación (44) de un estado de al menos las dos memorias intermedias usando los parámetros de la memoria intermedia **caracterizado porque** dichos parámetros de la memoria intermedia comprenden al menos un índice del mecanismo de transferencia de la memoria intermedia para indicar un mecanismo de transferencia entre al menos las dos memorias intermedias.

10 2. Un procedimiento para la señalización de los parámetros de la memoria intermedia, que comprende:

la recepción (42) de los parámetros de la memoria intermedia, en el que dichos parámetros de la memoria intermedia se relacionan al menos con dos de las memorias intermedias de N memorias intermedias (16-1, 16-2, ... 16-N) del terminal, y N es un número entero de al menos un valor de dos, y la determinación (44) de un estado de al menos las dos memorias intermedias usando los parámetros de la memoria intermedia,

15 **caracterizado porque** dichos parámetros de la memoria intermedia comprenden al menos un índice del mecanismo de transferencia de la memoria intermedia para indicar un mecanismo de transferencia entre al menos las dos memorias intermedias.

20 3. Un procedimiento de acuerdo con la reivindicación 1 o 2, **caracterizado porque** los parámetros de la memoria intermedia comprenden además al menos uno de:

- un número de al menos las dos memorias intermedias;
- los tamaños de la memoria intermedia de al menos las dos memorias intermedias;
- las unidades de tamaño de la memoria intermedia de al menos las dos memorias intermedias, y
- un tamaño de la cabecera parcial en al menos las dos memorias intermedias.

25 4. Un procedimiento de acuerdo con la reivindicación 3, **caracterizado porque** los parámetros de la memoria intermedia comprenden además una unidad de retraso de difusión, para modificar una unidad de tiempo.

5. Un procedimiento de acuerdo con cualquier reivindicación precedente, **caracterizado porque** los parámetros de la memoria intermedia comprenden:

- 30 un indicador de la memoria intermedia anterior al decodificador de video; y  
un indicador de la memoria intermedia posterior al decodificador de video.

6. Un procedimiento de acuerdo con cualquier reivindicación precedente, **caracterizado porque** al menos las dos memorias intermedias están fuera de:

- 35 una memoria intermedia de des- oscilación;  
una memoria intermedia anterior al decodificador, y  
una memoria intermedia posterior al decodificador.

7. Un procedimiento de acuerdo con cualquier reivindicación precedente, **caracterizado porque** al menos las dos memorias intermedias comprenden todas las N memorias intermedias (16-1, 16-2, ... 16-N) del terminal.

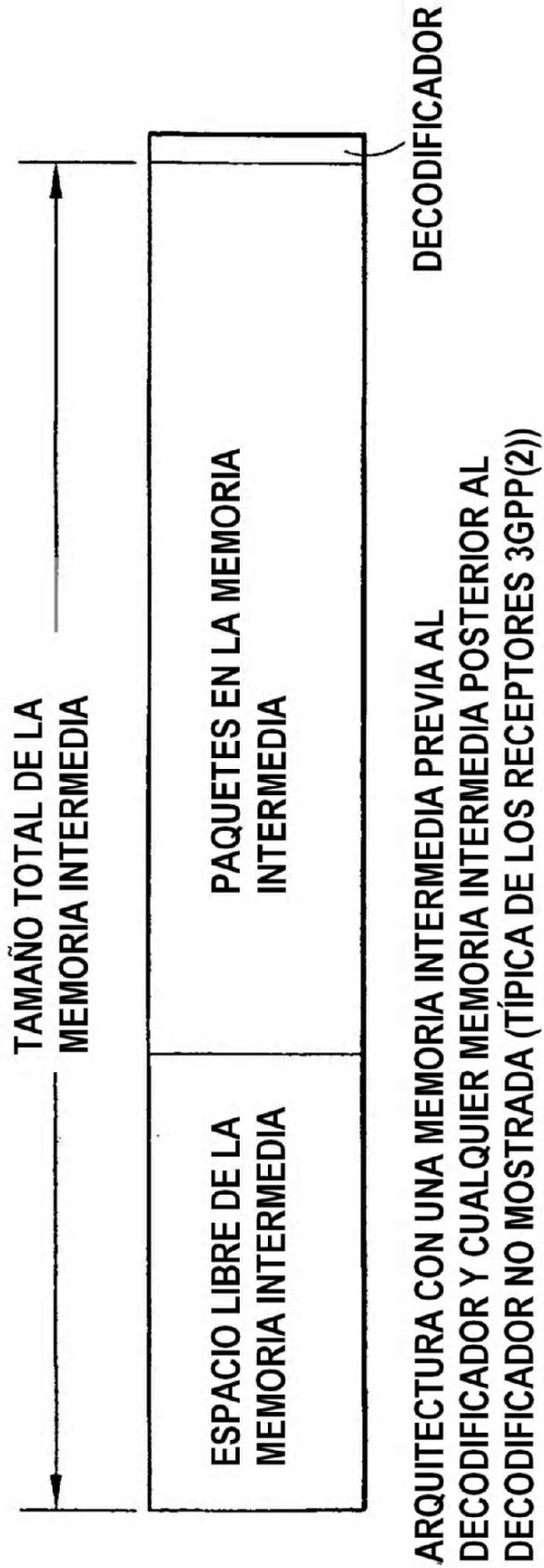
40 8. Un producto de programa de ordenador que comprende: una estructura de almacenamiento legible por ordenador que contiene en su interior el código del programa de ordenador para su ejecución por un procesador del ordenador con dicho código del programa de ordenador, en el que dicho código del programa de ordenador comprende instrucciones para realizar un procedimiento de la reivindicación 1.

9. Un terminal (12) que comprende

45 N memorias intermedias (16-1, 16-2, ... 16-N) del terminal, en el que N es un número entero de al menos un valor de dos;  
un bloque de control del terminal (18) configurado para proporcionar los parámetros de la memoria intermedia relacionados al menos con dos memorias intermedias de las N memorias intermedias del terminal; y  
un bloque del terminal de entrada/salida (20) configurado para enviar los parámetros de la memoria intermedia del terminal (12) a un servidor (14), para determinar un estado de al menos las dos memorias intermedias por el servidor (14) usando los parámetros de la memoria intermedia, **caracterizado porque** dichos parámetros de la memoria intermedia comprenden al menos un índice del mecanismo de transferencia de la memoria intermedia para indicar un mecanismo de transferencia entre al menos las dos memorias intermedias.

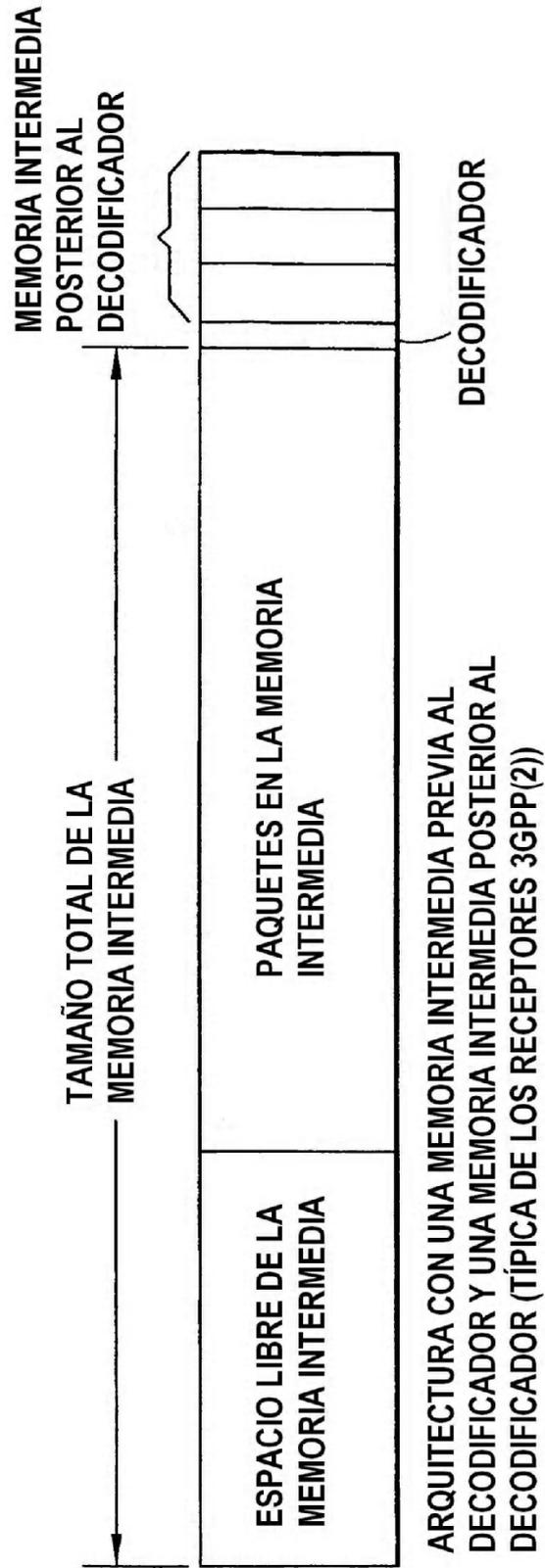
50

10. Un terminal (12) de acuerdo con la reivindicación 9, **caracterizado porque** los parámetros de la memoria intermedia comprenden al menos uno de:
- un número de al menos las dos memorias intermedias;
  - los tamaños de la memoria intermedia de al menos las dos memorias intermedias;
  - 5 las unidades de tamaño de la memoria intermedia de al menos las dos memorias intermedias, y
  - un tamaño de la cabecera parcial al menos en las dos memorias intermedias.
11. Un terminal (12) de acuerdo con la reivindicación 10, **caracterizado porque** los parámetros de la memoria intermedia comprenden además una unidad de retraso de difusión, para modificar una unidad de tiempo.
12. Un terminal (12) de acuerdo con la reivindicación 9 o 10, **caracterizado porque** los parámetros de la memoria intermedia comprenden:
- 10 un indicador de la memoria intermedia anterior al decodificador de video; y
  - un indicador de la memoria intermedia posterior al decodificador de video.
13. Un terminal (12) de acuerdo con una cualquiera de las reivindicaciones 9 a 12, **caracterizado porque** al menos las dos memorias intermedias están fuera de:
- 15 una memoria intermedia de des-oscilación;
  - una memoria intermedia anterior al decodificador, y
  - una memoria intermedia posterior al decodificador.
14. Un terminal (12) de acuerdo con una cualquiera de las reivindicaciones 9 a 13, **caracterizado porque** al menos las dos memorias intermedias comprenden todas las N memorias intermedias (16-1, 16-2, ... 16-N) del terminal.
- 20 15. Un terminal (12) de acuerdo con una cualquiera de las reivindicaciones 9 a 14, **caracterizado porque** dicho terminal (12) es un dispositivo de comunicación para comunicaciones inalámbricas.
16. Un terminal (12) de acuerdo con la reivindicación 9, **caracterizado porque** se combinan el bloque del terminal de entrada/salida (20) y el bloque del terminal de entrada/salida (20).
17. Un servidor (14), que comprende:
- 25 un bloque de entrada/salida (24) configurado para recibir los parámetros de la memoria intermedia desde un terminal (12), en el que dichos parámetros de la memoria intermedia se refieren al menos a dos memorias intermedias de las N memorias intermedias (16-1, 16-2, ... 16-N) del terminal del terminal (12), en el que N es un número entero de al menos un valor de dos, y
  - 30 un bloque de control del servidor (26) configurado para determinar un estado de al menos las dos memorias intermedias usando los parámetros de la memoria intermedia, **caracterizado porque** dichos parámetros de la memoria intermedia comprenden al menos un índice del mecanismo de transferencia de la memoria intermedia para indicar un mecanismo de transferencia entre al menos las dos memorias intermedias.
18. Un servidor (14) de acuerdo con la reivindicación 17, **caracterizado porque** el bloque de control del servidor (26) está configurado además para adaptar una velocidad de transmisión de acuerdo con dicho estado y usando un criterio predeterminado, y en el que el bloque de entrada/salida (24) está configurado además para enviar el contenido de los medios desde el servidor (14) al terminal (12) usando dicha velocidad de transmisión adaptada.
- 35 19. Un sistema de comunicación (11) que comprende:
- un terminal (12) de acuerdo con una cualquiera de las reivindicaciones 9 a 16, y
  - 40 un servidor (14) de acuerdo con una cualquiera de las reivindicaciones 17 a 18.

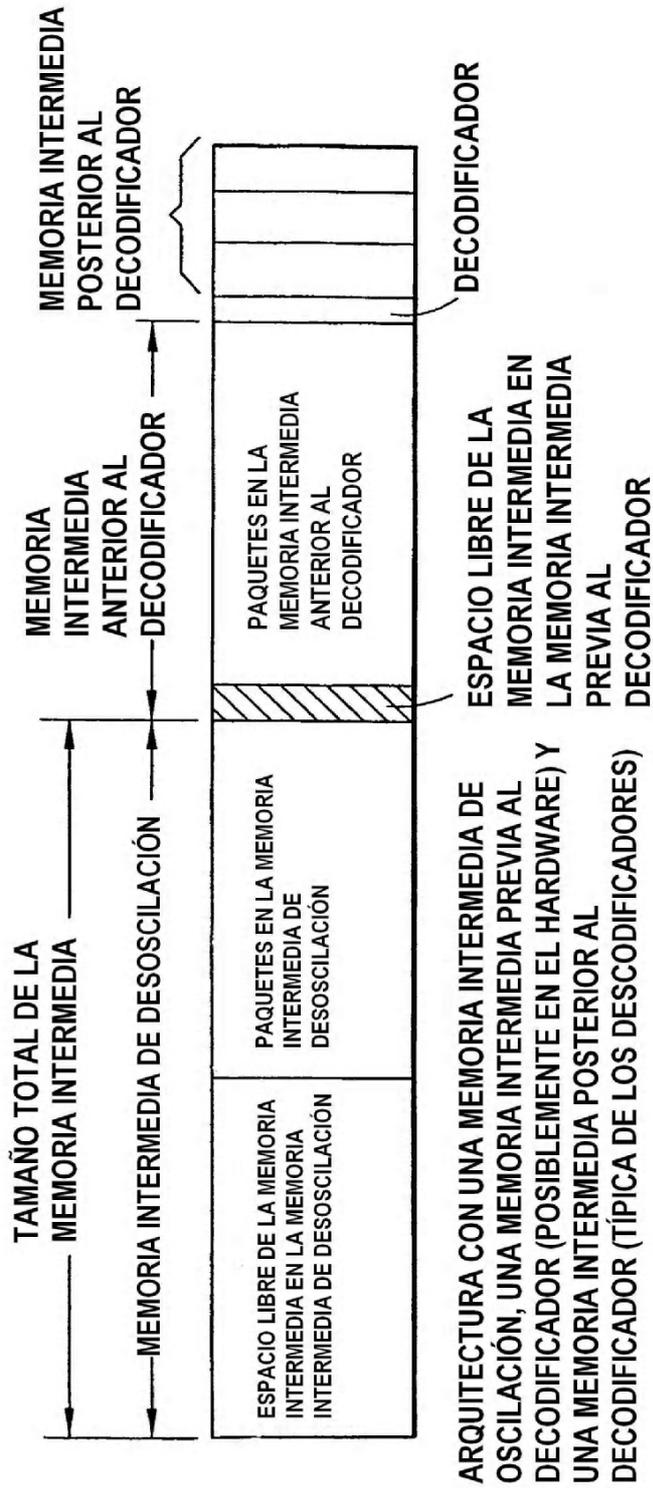


**FIG.1**

TÉCNICA ANTERIOR



**FIG.2**  
TÉCNICA ANTERIOR



**FIG.3**

TÉCNICA ANTERIOR

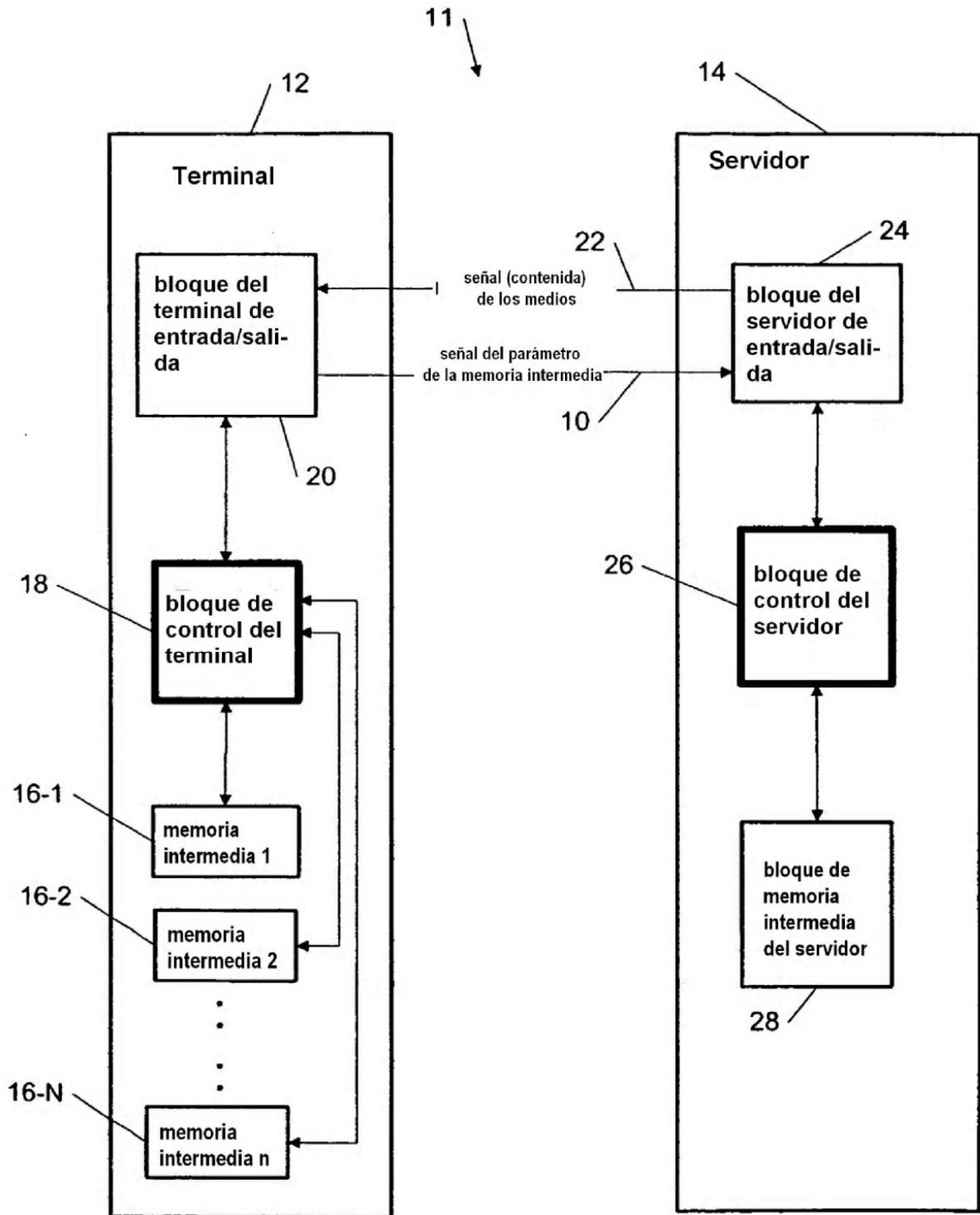


Figura 4

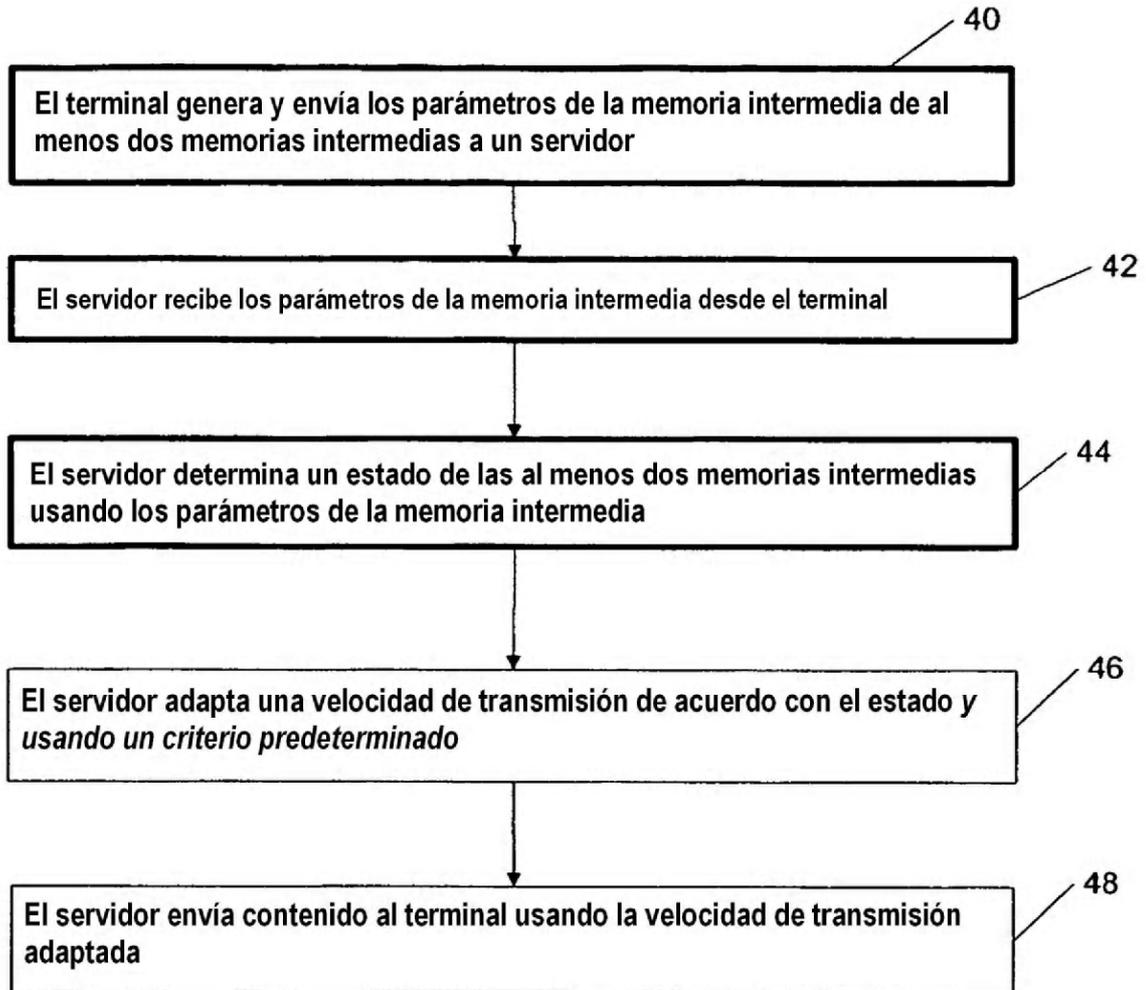


Figura 5