

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 382 168**

51 Int. Cl.:
H03M 1/06 (2006.01)
H03M 1/46 (2006.01)
H03M 1/20 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **09761502 .5**
96 Fecha de presentación: **12.06.2009**
97 Número de publicación de la solicitud: **2286515**
97 Fecha de publicación de la solicitud: **23.02.2011**

54 Título: **Convertidor analógico/digital con una topología de SAR así como procedimiento correspondiente**

30 Prioridad:
12.06.2008 DE 102008027939

45 Fecha de publicación de la mención BOPI:
06.06.2012

45 Fecha de la publicación del folleto de la patente:
06.06.2012

73 Titular/es:
**Rutronik Elektronische Bauelemente GmbH
Industriestrasse 2
75228 Ispringen, DE**

72 Inventor/es:
MANGLER, Andreas

74 Agente/Representante:
Ungría López, Javier

ES 2 382 168 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Convertidor analógico/digital con una topología de SAR así como procedimiento correspondiente

- 5 La invención se refiere a un convertidor analógico/digital para la determinación de valor de medición absoluto, con una topología de SAR de acuerdo con el preámbulo de la reivindicación 1, o a un procedimiento para la determinación de valores de acuerdo con el preámbulo de la reivindicación 9. Particularmente, la invención se basa en un proceso CMOS y una tecnología de base de SAR.
- 10 Además de la tendencia hacia velocidades crecientes de procesamiento en el procesamiento de señal analógica, en paralelo existen con frecuencia requisitos para una precisión cada vez mayor de las mediciones. Se busca la flexibilidad en aspectos de resolución, velocidad y capacidad de cambio de escala del sistema en convertidores analógicos/digitales integrados monolíticamente.
- 15 La aproximación de un valor comparativo al valor de partida analógico es característica de la función básica de la Aproximación Sucesiva de los convertidores analógicos/digitales de SAR. A este respecto, una aproximación sucesiva sencilla transforma por etapa un bit binario. Se puede conseguir una transformación mucho más precisa y rápida realizándose la transformación de forma redundante, es decir, transformándose por etapa solamente una parte de un bit. Un ADU (transformador/convertidor analógico/digital) o ADC (Convertidor Analógico Digital) que trabaja de acuerdo con el procedimiento de la aproximación sucesiva (es decir, aproximación por etapas) limita la señal entrante mediante intervalos encajados. Para esto posee, tal como está representado en la Figura 9, en el caso más sencillo un registro de datos (registro de aproximación sucesiva (successive approximation register), SAR) 11, en el que se encuentra al final el valor digital establecido, un transformador digital-analógico 12, que genera una tensión de referencia analógica correspondiente al valor digital momentáneo del registro de datos, un comparador 13, que compara la tensión de referencia generada con la señal de tensión de entrada y un mecanismo de control (microcontrolador 10). Para cada bit de precisión, un ADU sencillo necesita respectivamente una frecuencia de reloj de tiempo de transformación. La Figura 9 muestra un convertidor analógico/digital de SAR de este tipo con multiplexor de entrada de la empresa ZMD de acuerdo con el estado de la técnica. Tales transformadores consiguen resoluciones de aproximadamente 16 bits con una velocidad de transformación de aproximadamente 1 MHz.
- 20
- 25
- 30 El documento US 6.927.717 B1 muestra un convertidor analógico/digital delta-sigma basado en interruptor periódico (chopper) con función integradora y retardo de grupo (tiempo de latencia, elemento de tiempo muerto) mediante los dos decimadores y el filtro FIR digital. La señal pasa generalmente a lo largo de varios pasos 52, 54, 56, 58 a través del filtro FIR y los dos decimadores. El sistema describe un sistema de medición para la técnica de medición de tensión continua (medición de CC). El sistema no tiene capacidad de trabajo en tiempo real en circuitos de regulación digitales.
- 35
- 40 McCartney, D et al: A Low-Noise Low-Drift Transducer ADC en: IEEE Journal of Solid State Circuits Vol. 32 N° 7, julio de 1997, pág. 959 - 967 describe una cadena de señales para la conversión analógica/digital lenta sin capacidad de trabajo en tiempo real basada en un principio delta/sigma.
- 45 La Solicitud de Patente US 2007/0252747 As describe un sistema con un filtro Sinc de varios pasos con una función de ruido aleatorio (dither), que en esta configuración descrita no tiene capacidad de trabajo en tiempo real. Está previsto un convertidor A/D de SAR, sin embargo, con el objetivo de evitar durante la conversión códigos faltantes (missing codes). Debido al filtro digital de cuatro pasos, el sistema no tiene capacidad de trabajo en tiempo real. En la Figura 14a se describe una cadena de señales con cuatro filtros Sinc conectados sucesivamente. De este modo, el procedimiento solamente es adecuado para la técnica de medición de CC. El objetivo es mejorar la falta de linealidad diferencial (desviación del peldaño de escalera ideal del cuantificador) mediante una mayor resolución útil del convertidor A/D mediante varios filtros digitales.
- 50
- 55 La Patente de Estados Unidos US 7.049.989 B2 describe una función PGA sencilla con topología diferencial mediante conexión en paralelo y en serie de resistores que determinan la amplificación, que se realizó mediante un potenciómetro digital (DAC) y conmutadores analógicos. En ese documento, el objetivo es utilizar de forma óptima el intervalo dinámico (intervalo de modulación) de un convertidor posterior analógico/digital y adaptar mediante el amplificador (programable) ajustable de forma digital. En este caso se trata de una técnica de medición aplicada conocida, que, sin embargo, en la práctica apenas se aplica debido al uso de resistores de alta precisión. El artículo especializado Andreas Mangler, "Temperaturen präzise messen" en Wekaverlag Elektronik Distribution, Sonderheft junio 2009, pág. 16-21 muestra el estado actual de la técnica.
- 60
- 65 Por YAZICIOGLU R F ET AL: "A 200 μ W Eight-Channel Acquisition ASIC for AMBULATORY EEG Systems" 3 de febrero de 2008 (03-02-2008), SOLID-STATE CIRCUITS CONFERENCE, 2008. ISSCC 2008. DIGEST OF TECHNICAL PAPERS. IEEE INTERNATIONAL, IEEE, PISCATAWAY, NJ, USA, PÁGINA(S) 164-603, XP031440499 ISBN: 9781424450100 se conoce un amplificador de instrumentación acoplado a CA, estabilizado con interruptor periódico (ACCIA) combinado con un paso de filtro de paso alto amplio posterior. De esta forma, la solución está ajustada al fin de utilización previsto en ese documento de la detección de los valores de medición de electroencefalogramas, sin embargo, mediante el acoplamiento de CA se eliminan las señales de tensión continua

requeridas para una medición de valor absoluto, de tal forma que no es posible un acoplamiento de señal de tensión continua para la medición precisa de CC.

5 El documento US 6.448.912 B1 desvela en un sensor de píxeles activo una formación de valor medio con ayuda de un sobre-muestreo y una señal de ruido aleatorio. Las señales de modo común o las interferencias de modo común no se suprimen con este método, sino que se añaden al resultado de la conversión. Ya que tales fotosensores se acoplan de forma capacitiva (acoplamiento de CA) al convertidor analógico/digital posterior, no es posible una medición precisa de tensión continua. Falta un procedimiento de medición de correlación para la supresión de señal interferente.

10 Por Analog Devices: "CMOS, +1,8 V to +5,5 V / $\pm 2,5$ V, 2,5 Ohm Low-voltage, 8-/16-Channel Multiplexers ADG706/ADG707" 31 de mayo de 2002 (31-05-2002), XP002556474 hallado en internet URL: http://www.analog.com/static/imported-files/Data_Sheets/ADG706_7007.pdf [hallado el 20-11-2009] se conoce la estructura generalmente discreta de multiplexores. La ficha de datos describe dos configuraciones diferentes de multiplexores, concretamente un multiplexor 16a1 y un multiplexor 8a1 diferencial.

20 Los convertidores analógicos/digitales delta-sigma desvelados en estos documentos tienen principalmente una función integradora, por tanto, el comportamiento de un filtro de paso bajo de baja frecuencia con un tiempo de respuesta definido. Todos estos procedimientos en la forma descrita son adecuados para mediciones de CC o de forma limitada en la técnica de medición de CA lenta. El posterior perfilador de ruido (noise-shaper) y el filtro digital generan adicionalmente un denominado tiempo de latencia o retardo de grupo. En la técnica de regulación, la función resultante del convertidor analógico/digital delta-sigma es una combinación de filtro de paso bajo y tiempo muerto. Por tanto no se pueden realizar sistemas de regulación en tiempo real complejos rápidos con convertidores analógicos/digitales delta sigma. Si se tienen distintos circuitos de regulación superpuestos, tal como en controles de motor o en sistemas multiteje, habitualmente el sistema de regulación digital se inestabiliza.

Son propiedades de los convertidores analógicos/digitales delta sigma:

- comportamiento de salto limitado, función de filtro de paso bajo
- 30 • trabaja de forma eficaz solamente con señales continuas en la entrada
- tiempo de latencia/retardo de grupo del sistema conducen a tiempos muertos en un circuito de regulación cerrado o a reacciones ralentizadas en un control
- la velocidad de ciclo tiene una influencia directa sobre la función de transmisión del filtro digital

35 Son otras topologías de convertidor analógico/digital

- transformadores por pasos (procedimiento de recuento)
- transformadores de una pendiente (single-slope) (procedimiento de dientes de sierra/procedimiento de una pendiente/procedimiento de recuento)
- 40 • transformadores de dos, cuatro y múltiples pendientes (dual-, quad- y multislope) (procedimiento de varias pendientes)
- procedimiento delta-sigma (procedimiento de equilibrio de carga (charge-balance), transformador de 1 bit)
- transformadores seguidores (tracking)
- 45 • procedimiento de ponderación
- transformadores redundantes
- transformadores paralelos (transformadores flash)
- transformadores en cascada (pipeline)
- transformadores híbridos

50 Cada una de estas topologías de convertidor conocidas tiene diferentes ventajas y desventajas. La selección del procedimiento en la práctica depende muy decisivamente del caso de aplicación. Existen solamente pocas soluciones que se puedan utilizar universalmente y soluciones al mismo tiempo razonables económicamente. Si se añaden requisitos técnicos muy concretos a la topología y función del transformador analógico/digital, esto generalmente siempre está asociado a compromisos. Entonces, el usuario tiene que contentarse con distintas especificaciones con parámetros malos o no suficientes.

Los siguientes parámetros de los convertidores analógicos/digitales son decisivos para esto:

- relación señal-ruido
- 60 • total harmonic distortion (THD) - distorsiones armónicas
- spurious free dynamic range (SFDR) - intervalo dinámico útil
- cantidad efectiva de bits (ENOB)
- tiempo de latencia
- monotonía

- función integradora/comportamiento de filtro de paso bajo
 - supresión de modo común
 - linealidad diferencial
 - linealidad integral
- 5
- actividad de calibración
 - funciones de filtro digitales

10 Partiendo de este estado de la técnica, la presente invención se basa en el objetivo de proporcionar un convertidor analógico/digital que se pueda utilizar universalmente con capacidad de trabajo en tiempo real que combine, de distintos procedimientos de transformación o conversión, las propiedades positivas en un elemento constituyente.

Este objetivo se resuelve con un convertidor analógico/digital con las características de la reivindicación o mediante un procedimiento con las características de la reivindicación 9.

15 Mediante una combinación de un filtro de entrada diferencial con una topología de SAR, un paso de interruptor periódico y un muestreo sincrónico se crea un convertidor analógico/digital que se puede utilizar universalmente con claramente menos compromisos. De esta forma, el mismo convertidor puede utilizarse para diferentes usos y aplicaciones. La topología usa un proceso CMOS económico. Son posibles mayores lotes y agrupamiento de volúmenes de compra así como una limpieza de la diversificación del mercado. De esta manera es posible una

20 transformación analógica/digital eficaz, universal y al mismo tiempo específica con una buena relación precio/rendimiento. La tecnología de conmutación y la topología en la interacción correcta evitan posibles errores de medición y problemas que se producen a partir de esto en toda la cadena de procesamiento de señal analógica.

25 La señal de tensión de entrada analógica se conduce en primer lugar a través de la entrada diferencial del multiplexor directamente al microcontrolador. En la práctica se salva para esto el filtro de entrada. Esta primera medición rápida y conversión analógica/digital de la señal trabaja de acuerdo con el principio de conversión de SAR. Para la capacidad de trabajo en tiempo real en circuitos de regulación digitales, esto es la transmisión rápida y directa de esta señal al procesador. De esta manera es posible una medición individual rápida en tiempo real con una velocidad de muestreo máxima del convertidor de SAR. La segunda y todas las mediciones sucesivas se

30 conducen a través del filtro de entrada y el paso de interruptor periódico. De esta manera, el usuario de acuerdo con los requisitos puede comenzar y procesar muy rápidamente con precisión de 12 bits la primera medición y recoger después de, por ejemplo, 20 ms (tiempo para la formación de valor medio) un resultado de valor medio de 16 bits a 20 bits en el microcontrolador. De esta manera se posibilita la combinación de técnica de medición de tensión alterna (medición de CA) rápida y técnica de medición de tensión continua (medición de CC) precisa.

35 Se obtienen otras ventajas a partir de las reivindicaciones dependientes y la siguiente descripción de un ejemplo de realización.

40 A continuación se describe con más detalle la invención mediante un ejemplo de realización representado en las figuras adjuntas. Se muestra:

- En la Figura 1, un diagrama de bloques de un paso de interruptor periódico en la topología total de un convertidor de SAR,
- 45 En la Figura 2, la topología de interruptor periódico de un convertidor analógico/digital con detalle con filtro de modo común,
- En la Figura 3, la estructura de un filtro de modo común,
- 50 En la Figura 4, una estructura de entrada equivalente de un multiplexor convencional con diagrama de sustitución de los capacitores de entrada y del condensador de muestreo/retención (sample/hold),
- En la Figura 5, una función $\sin x/x$ de la formación de valor medio,
- 55 En la Figura 6, una observación de la formación de valor medio en el intervalo de tiempo,
- En la Figura 7, una observación normalizada en el intervalo de frecuencias,
- En la Figura 8, relaciones entre una frecuencia interferente de, por ejemplo, 50 Hz y una señal útil,
- 60 En la Figura 9, un convertidor analógico/digital de SAR con multiplexores de entrada de acuerdo con el estado de la técnica,
- En la Figura 10, las funciones de cálculo del microcontrolador con función de ruido aleatorio conectable,
- 65

En la Figura 11, el principio de SAR en comparación con el principio delta-sigma,

En la Figura 12, el comportamiento de tiempo de respuesta de la topología de SAR en comparación con la topología delta-sigma sin tener en cuenta el filtro digital,

5 En la Figura 13, el comportamiento en el tiempo de la topología de SAR en comparación con la topología delta-sigma teniendo en cuenta una velocidad de conversión idéntica con el procesamiento de diez resultados de conversión en el filtro digital,

10 En la Figura 14, el comportamiento en el tiempo de la topología de SAR en comparación con la topología delta-sigma teniendo en cuenta la topología de SAR basada en interruptor periódico rápida y el procesamiento de diez resultados de conversión en el filtro digital,

15 En la Figura 15, la topología de interruptor periódico de un convertidor analógico/digital con detalle y con filtro de modo común y la guía de conducción rápida directa a través de la posición de conmutador 3 del multiplexor y del paso de interruptor periódico.

Descripción de ejemplos de realización preferentes

20 Análisis de la cadena de señal y de influencias interferentes externas sobre una detección de datos de medición analógica

Mientras que en la técnica digital pura las señales interferentes de varios 100 mV todavía no representan ningún problema, por el contrario, las señales interferentes deben moverse solamente en el intervalo de μV en el lado analógico. Con una señal de tensión de entrada de, por ejemplo, $\pm 1\text{ V}$ y una resolución de 16 bits, el valor de tensión de 1 LSB asciende a $2\text{ V}/2^{16} = 30,5\ \mu\text{V}$. Para que todavía quede garantizada la resolución completa se tienen que limitar todas las interferencias a 0,5 LSB. Esto se corresponde en este ejemplo con $15,25\ \mu\text{V}$. Con una resolución eficaz de 12 bits, en cualquier caso esto todavía son $488\ \mu\text{V}$.

30 Este requisito en la práctica se puede cumplir solamente de forma muy difícil, ya que los componentes tanto digitales como analógicos de la detección de datos representan fuentes interferentes masivas. En el lado digital, estas fuentes interferentes están causadas, por ejemplo, por:

- 35 • sincronización de alta frecuencia de procesadores
- memorias externas
- lógica programable
- 40 • osciladores
- fracciones interferentes de alta frecuencia en señales de bus de PC u otros controles externos
- tensiones onduladas de la alimentación de tensión

45 Las fuentes interferentes en el lado analógico son:

- ruido del sensor
- ruido del convertidor A/D
- 50 • procesos de conmutación de multiplexores externos
- procesos de conmutación de amplificadores programables, en caso de que los mismos se usen delante del convertidor A/D
- picos interferentes de alta frecuencia en la tensión de alimentación provocados por reguladores de conmutación usados

55 De todos los bloques funcionales de la cadena de señales pueden partir interferencias e introducirse mediante acoplamiento interferencias en el sistema (fuente interferente, víctima de interferencias) que influyen entonces negativamente en la función del convertidor analógico/digital.

60 Supresión de influencias interferentes por un filtro de entrada diferencial

Para la eliminación de tales interferencias está previsto de acuerdo con la invención en primer lugar un filtro de entrada diferencial. La señal a medir se conduce de acuerdo con las Figuras 2, 4 a través de las conexiones 16 y 17. Durante la medición de diferencia, estas conexiones se configuran para cada fuente de señal como línea de señal 16 y línea de referencia de señal 17 y se conducen a través de un canal de multiplexor diferencial 18. La tensión de

modo común en las entradas diferenciales del ADC se refiere a la conducción de masa relativamente no crítica. De este modo pueden fluir las corrientes de compensación entre el sistema de detección de datos y las fuentes de señal solamente a través de esta línea de masa no crítica. Una influencia mutua de los canales de señal de este modo se suprime de forma eficaz. Con esta estructura de entrada diferencial "real" del ADC es posible suprimir mediante el muestreo (sampling) al mismo tiempo (simultáneo) de la entrada más (+) y de la entrada menos (-) de forma muy eficaz interferencias de modo común.

Descripción de la estructura de filtro de entrada

La Figura 3 muestra la estructura del filtro de entrada. Los resistores R1, R2, R3, R4 forman junto con los condensadores C2, C3, C4 un filtro de entrada 15, que está antepuesto al paso de interruptor periódico 19 de acuerdo con la Figura 1. La señal de tensión de entrada alcanza a través de un filtro de paso bajo pasivo una de las entradas diferenciales del multiplexor interno 14. Mediante el filtro se suprimen tanto las fracciones interferentes de alta frecuencia como las interferencias de modo común acopladas que están superpuestas a la señal útil y, por tanto, la señal presente en el multiplexor tiene menos ruido.

El cálculo de las resistencias de entrada para la corriente de polarización del multiplexor se basa en la siguiente consideración. Una entrada diferencial abierta de alta resistencia no tiene ninguna referencia con la masa y derivaría inevitablemente de forma indefinida. La denominada "polarización" (biasing) proporciona una ayuda. Esto se refiere a resistores de alta resistencia delante de las dos entradas hacia la masa 20 (por ejemplo, canal 1 R3, R4). En los pasos de entrada con una corriente de polarización de diferencia típica definida del multiplexor, esta corriente causa en los resistores de polarización una tensión de diferencia. Por este motivo tiene que seleccionarse el tamaño de los resistores de tal forma que la tensión de diferencia sea menor que la precisión de medición deseada del sistema. Para limitar esta tensión, por ejemplo, hasta como máximo 500 µV, el valor de resistencia de R3 y R4 debe ascender como mucho a 500 µV/corriente de polarización de diferencia. Típicamente, estos resistores se dotan de 1 MΩ. En este contexto, la tensión de diferencia es una tensión en entradas con respecto a la masa o diferenciales que no es parte de la señal de tensión de entrada. Se habla también de una tensión de error.

Con el uso, por ejemplo, de conexiones en puente de baja resistencia se pueden omitir los resistores R3 y R4, ya que en este caso la corriente de polarización fluye a través de los resistores de puente de baja resistencia. Sin embargo, si se debe conectar una fuente de tensión a la parte de entrada que no tiene ninguna referencia de masa con la placa, se tiene que dotar al menos uno de estos dos resistores. Si se tienen que usar los dos resistores depende de la resistencia interna de la fuente a medir. Si la misma es pequeña se puede omitir, por ejemplo, R3. Las corrientes de entrada fluyen en este caso directamente a través de R4 con respecto a masa y en el otro caso en primer lugar a través de la fuente y después a través de R4 con respecto a masa. Para la mejor comprensión de la topología de entrada interna del ADC, la Figura 4 muestra el diagrama de sustitución equivalente con el capacitor de entrada durante un proceso de muestreo.

Los dos resistores R1 y R2 forman junto con el condensador C2 un filtro de paso bajo para la tensión de señal de entrada, pudiéndose calcular la frecuencia límite según la siguiente fórmula.

$$f_{3dB} = \frac{1}{2 \cdot \pi \cdot (R_1 + R_2) \cdot (C_2 + \frac{C_{3,4}}{2})}$$

$$f_{3dB} = \frac{1}{2 \cdot \pi \cdot (309\Omega + 309\Omega) \cdot (1\mu F + \frac{47nF}{2})} = 252Hz$$

El filtro se dimensionó en el ejemplo de realización para una frecuencia límite de 252 Hz. De acuerdo con la anterior fórmula se puede detectar de esta forma una frecuencia de aproximadamente 1 Hz todavía con una precisión de 16 bits (con respecto a una tensión de entrada normalizada de ±2,5 V).

La frecuencia límite puede calcularse según la fórmula

$$f_g = \frac{f_{Bit}}{\sqrt{\left(\frac{2^{n+1}}{2^{n+1}-1}\right)^2 - 1}}$$

Son a este respecto

f_{Bit} = frecuencia límite a la que se garantiza todavía una resolución correspondiente a la precisión,

5 n = resolución en bits,

f_g = 3 dB de frecuencia límite del filtro de paso bajo de RC pasivo.

Con los valores usados para este circuito se obtiene una frecuencia límite de:

$$f_g = \frac{1Hz}{\sqrt{\left(\frac{2^{16+1}}{2^{16+1}-1}\right)^2 - 1}} = 256Hz$$

10

Los condensadores C3, C4 del filtro de entrada 15 forman junto con los resistores R1, R2 un filtro de HF simétrico para señales de modo común de alta frecuencia. La frecuencia límite de la disposición de filtro seleccionada se encuentra en 10,9 kHz. Ambas entradas del ADC deben estar cerradas simétricamente. De esta forma se pueden detectar señales incluso en el intervalo de mV todavía con una alta precisión.

15

La supresión de modo común del ADC disminuye con la frecuencia creciente de las señales de modo común. Por tanto, en el ADC debe haber solamente interferencias de modo común de baja frecuencia. El ADC tiene con señales de modo común de baja frecuencia (hasta 50 Hz/60 Hz) una supresión de típicamente 100 dB con respecto a la V_{Ref} . Mediante el filtro de HF simétrico se suprimen ya las señales de modo común de mayor frecuencia incluso en la entrada del ADC con 20 dB/década. De esta forma, la supresión de modo común de todo el sistema permanece siempre por encima de 75 dB.

20

Se pueden obtener valores superiores si se continúa disminuyendo la frecuencia límite del filtro de HF. A este respecto, sin embargo, deben ampliarse solamente los valores de los condensadores C3 y C4, ya que con una modificación de los resistores R1 y R2 se modificaría también la frecuencia límite del filtro de paso bajo de señal. Sin embargo, se tiene que tener en cuenta que tanto los condensadores como los resistores están sometidos a determinadas tolerancias. En los condensadores por motivos económicos apenas es realizable usar tolerancias por debajo del 1%. Gracias a estas tolerancias se obtienen frecuencias límite que ya se desvían para las dos entradas diferenciales. Esto tiene como consecuencia que la señal de modo común presente genera niveles de tensión diferentes en los condensadores C3 y C4. La tensión de diferencia que se genera por esto aparece como tensión de error en la salida del ADC.

25

30

La mayor tensión de diferencia se produce en la zona de la frecuencia límite del filtro de HF simétrico (10,9 kHz). Sin embargo, esta tensión se cortocircuita por el condensador C2, que se encuentra en paralelo con respecto a la fuente de tensión de diferencia generada. Por este motivo, C2 debería ser mucho mayor que C3 y C4. En el ejemplo de realización se seleccionó C2 mayor que C3 y C4 en el factor 20. La tensión de diferencia en la entrada del multiplexor depende con una asimetría del filtro de HF muy intensamente del condensador C1.

35

En principio también se podrían usar condensadores con una tolerancia de $\pm 10\%$, siempre que exista la posibilidad de una selección. El valor absoluto de los elementos de construcción en este caso es relativamente poco crítico, ya que los dos condensadores no tienen que medirse hasta un valor absoluto. El emparejamiento es decisivo. Una selección "pura en carga" del fabricante de los elementos de construcción podría suministrar resultados similares en ciertas circunstancias. Sin embargo, es suficiente que los valores de capacitancia de ambas piezas de construcción tengan una desviación relativa entre sí de $\pm 1\%$. Si los condensadores son todos de una carga, se pueden conseguir con frecuencia desviaciones de las capacitancias de menos del 1%, a pesar de que la desviación absoluta de la capacitancia con respecto al valor impreso puede ascender al igual que antes a $\pm 10\%$. En la técnica de medición de 16 bits se recomienda de forma ideal una selección al 1% pura en carga.

40

45

50 Influencia del resultado de medición por las capacitancias parasitarias del multiplexor durante la conmutación de los canales individuales.

Los resultados de la medición pueden verse perjudicados adicionalmente durante la conmutación de los canales del multiplexor. Durante la conmutación de los canales de entrada con el multiplexor (MUX) 14 se tienen que recargar los condensadores internos (típicamente 4 pF) en la salida del multiplexor a la respectiva nueva tensión de entrada. El tiempo de recarga de los condensadores de salida parasitarios depende de las resistencias eficaces y de la magnitud del salto de tensión. Por lo tanto, el tiempo de respuesta más largo es de esperar durante la conmutación entre un canal en el que están aplicados -1,25 V y otro canal en el que están aplicados +1,25 V (Figura 4).

Ya que tanto las dos resistencias de conexión ($R_{MUX}=1,5 \text{ k}\Omega$) como la capacitancia de salida interna del multiplexor son conocidas, se puede calcular el tiempo de respuesta t según la fórmula

$$t = -R_{MUX} \cdot C_{MUX} \cdot \ln\left(\frac{u_2(t) - u_1(0)}{u_2(0) - u_1(0)}\right)$$

con

$u_1(0)$ = tensión de entrada del multiplexor en el momento de conmutación,

$u_2(0)$ = tensión en C_{MUX} en el momento de conmutación,

$u_2(t)$ = tensión en el condensador después del tiempo t .

Con los valores seleccionados en el ejemplo de realización

$R_{MUX} = 1,5 \text{ k}\Omega$,

$C_{MUX} = 4 \text{ pF}$,

salto de tensión de -1,25 V a +1,25 V,

precisión = 16 bits con 2,5 V. $(2,5 \text{ V}/(2^{16})) = 38,15 \text{ }\mu\text{V}$

se obtiene el tiempo de respuesta t para:

$$t = -(2 \cdot 1,5 \text{ k}\Omega) \cdot \frac{4 \text{ pF}}{2} \cdot \ln\left(\frac{1,24996185 \text{ V} - 1,25 \text{ V}}{-1,25 \text{ V} - 1,25 \text{ V}}\right) = 66,54 \text{ ns}$$

El tiempo de respuesta se calculó desde el punto de vista de que la tensión de entrada del multiplexor se alimenta desde una fuente de tensión de baja resistencia. Sin embargo, esto no está garantizado mediante los resistores R1 y R2 que se tienen que usar para el filtro de entrada. Además se descarga el condensador C2, que se encuentra en paralelo con respecto a los dos capacitores de multiplexor CMUX conectados en serie.

Por tanto, C2 con una precisión deseada de 16 bits debe ser mayor en el factor 2^{16} que los dos capacitores de multiplexor CMUX conectados en serie. La capacitancia de multiplexor eficaz asciende mediante la conexión en serie a 2 pF (4 pF/2). Como consecuencia, tiene que ser $C2 > 0,13 \text{ }\mu\text{F}$ ($2^{16} \cdot 2 \text{ pF}$). Con la capacitancia de entrada usada en el ejemplo de realización de $1 \text{ }\mu\text{F}$, esto está garantizado. Con una menor capacitancia de la requerida en el ejemplo de $0,13 \text{ }\mu\text{F}$ tiene que estar previsto para el filtro de entrada entre el momento de la conmutación del multiplexor y el momento del muestreo del convertidor A/D un tiempo de retraso para que quede suficiente tiempo para que el filtro responda.

En un caso de este tipo se da, por ejemplo, un salto de tensión de -1,25 V a +1,25 V con una capacitancia de entrada C2 disminuida de $0,1 \text{ }\mu\text{F}$. En el canal 1 hay un nivel de -1,25 V. El multiplexor 14 está unido desde hace algún tiempo con este canal. Por tanto, se puede considerar estabilizado el sistema. La tensión de salida diferencial del multiplexor, por tanto, asimismo es -1,25 V. Bajo este punto de vista, los condensadores de salida internos se encuentran en serie y se obtiene una capacitancia total de 2 pF (4 pF/2). En estos 2 pF se encuentra ahora una tensión de -1,25 V. Esto se corresponde con una carga de $-1,25 \text{ V} \cdot 2 \text{ pF} = -2,5 \text{ pC}$.

Si se conmuta el multiplexor al canal 0, cuya tensión de entrada se encuentra en +1,25 V, en el primer momento hay en la salida del multiplexor todavía -1,25 V. El condensador C2 al igual que los capacitores C3 y C4 conectados en serie, sin embargo, se encuentran en +1,25 V. Esto se corresponde con una carga de $1,25 \text{ V} \cdot (0,1 \text{ }\mu\text{F} + (47 \text{ nF}/2)) = 154,37 \text{ nC}$. Por tanto, el capacitor del multiplexor descarga el filtro de entrada hasta el valor de tensión de

$$U_{tot} = \frac{(154 \text{ nC} - 2,5 \text{ pC})}{(0,1 \text{ }\mu\text{F} + (47 \text{ nF}/2) + 4 \text{ pF}/2)} = 1,2498989787 \text{ V}$$

Esto significa una desviación de: $1,25 \text{ V} - 1,2498989787 \text{ V} = 101,1 \text{ }\mu\text{V}$.

Para una resolución de 16 bits con un intervalo de tensión de entrada de $\pm 1,25$ V, sin embargo, la desviación no debe ser mayor que $2,5 \text{ V} / 2^{16} = 38,15 \mu\text{V}$. Por este motivo no debe comenzarse la conversión A/D directamente después de la conmutación del multiplexor. Según la anterior fórmula se puede calcular el tiempo de retraso del siguiente modo:

5

$$t = -(2 \cdot 309\Omega) \cdot (0,1\mu\text{F} + 23,5\text{nF} + 2\text{pF}) \cdot \ln\left(\frac{1,24996185\text{V} - 1,25\text{V}}{1,249898787\text{V} - 1,25\text{V}}\right) = 74,47\mu\text{s}$$

Entre la conmutación del multiplexor 14 y la medición posterior por el convertidor A/D, por tanto, tiene que esperarse en este caso $74,47 \mu\text{s}$ para que el sistema esté estabilizado con una precisión de 16 bits. Sin embargo, este tiempo de retraso solamente se cumple para fuentes de tensión con una resistencia interna $R \ll R1 + R2$. Para fuentes con una resistencia interna mayor tiene que sumarse la misma a los resistores de entrada R1, R2. De esto se deduce que se aumenta adicionalmente el tiempo de respuesta del sistema. En este caso puede ayudar solamente un convertidor de impedancia (buffer amp) en la entrada del filtro de paso bajo o un mayor condensador de entrada C2 $> 0,39 \mu\text{F}$.

15

Para la comparación se indica la modificación de la tensión en condiciones modificadas, teniendo ahora el condensador de entrada C2 una capacitancia de $1 \mu\text{F}$.

20

Carga de C2, C3 y C4:

$$Q_2 = 1,25\text{V} \cdot (1\mu\text{F} + (47\text{nF} / 2)) = 1,2794\mu\text{C}$$

Carga de C_{MUX}

25

$$Q_{\text{MUX}} = -2,5\text{pC}$$

El capacitor del multiplexor descarga el filtro de entrada 15 hasta el valor de tensión de

$$U_{\text{tot}} = \frac{(1,274\mu\text{C} - 2,5\text{pC})}{(1\mu\text{F} + (47\text{nF} / 2) + 4\text{pF} / 2)} = 1,24999511\text{V}$$

30

Esto se corresponde con una desviación de $1,25 \text{ V} - 1,2499951 = 4,885 \mu\text{V}$. De esta forma, la desviación del valor ideal es $2,5 \text{ V}$ mayor que $38 \mu\text{V}$ y se mueve en el intervalo de la resolución de 16 bits. El convertidor A/D puede comenzar directamente con una conversión.

35

¿Dónde se encuentra ahora el límite de la máxima resolución? Con la siguiente suposición se calcula la máxima resolución utilizable del siguiente modo:

40

Si se elije C2 = $2,2 \mu\text{F}$

=> Q2 = $2,7793 \mu\text{C}$

=> $U_{\text{tot}} = 1,24999775 \text{ V}$

=> $U_{\text{error}} = 2,2487 \mu\text{V}$

$U_{20\text{BIT}} = 2,384 \mu\text{V}$

$U_{20\text{BIT}}$ se corresponde con la tensión de error U_{error} ,

es decir, la topología permite con un sistema estabilizado una resolución eficaz de 20 bits de precisión con

45

C2 = $2,2 \mu\text{F}$.

Este conocimiento proporciona las condiciones ideales para usar el elemento constituyente en una topología de interruptor periódico y formadora de valor medio.

50

Teniendo en cuenta la cadena de señales completa, la impedancia de fuente del sensor o de la fuente de señal es muy decisiva para la recarga de los capacitores hasta el estado estabilizado. Por tanto, las conexiones en puente de baja resistencia se pueden hacer funcionar sin problemas directamente en el ADC. Entonces, las impedancias de fuente mayores de 1 kohm requieren en ciertas circunstancias un paso de amplificador (buffer) en la entrada.

La formación de valor medio (promediado (averaging))

Una formación de valor medio aumenta la resolución y conduce a valores intermedios adicionales en el resultado de la medición. El concepto básico contiene un convertidor A/D que sobre-muestrea (oversampling) con una frecuencia de muestreo muy alta la señal de tensión de entrada. El flujo de los datos que se produce a este respecto se reduce mediante una formación de valor medio (promedio) digital y se puede usar por tanto para velocidades normales de controlador. La Figura 5 muestra la curva de filtro.

Ventajas:

- El filtro anti-solapamiento se puede estructurar de forma sencilla y económica, ya que la máxima frecuencia límite del filtro es considerablemente menor de lo que puede ser la mitad de la frecuencia de muestreo del convertidor.
- Las fracciones de ruido de alta frecuencia de la señal de tensión de entrada se amortiguan intensamente por la formación de valor medio.
- Supresión dirigida de una frecuencia interferente determinada y sus ondas armónicas mediante adaptación de la ventana temporal de valor medio a un múltiplo de la duración de periodo de la fuente de interferencias.
- Mediante modificación de la cantidad de las conversiones utilizadas para el promediado se pueden realizar distintos tiempos de medición.

Se deben tener en cuenta los siguientes puntos:

- uso de un convertidor A/D rápido
- La formación de valor medio digital de los datos de convertidor necesita una adición rápida, para la que se consideran solamente microcontroladores rápidos.

La formación de valor medio (promediado) tiene el objetivo de transformar las palabras de 12 bits emitidas por el convertidor A/D hasta una palabra de 16 bits o incluso 20 bits. Esto se realiza con ayuda del controlador 10. Para esto se introduce mediante lectura una cantidad determinada de valores de medición, se suman y después se divide por la cantidad de los valores de medición. Si con un convertidor A/D se parte de que el transformador con una señal de tensión de entrada constante no suministra ningún patrón constante de bits, sino una distribución de Gauß de los códigos, mediante una formación de valor medio se puede aumentar la resolución del transformador. A este respecto se cumple de forma general: $\Sigma(\text{valores de medición introducidos mediante lectura}) / (\text{cantidad de valores de medición})$.

Si se determinan, por ejemplo, en dos mediciones sucesivas los siguientes valores: medición 1 = 100 mV, medición 2 = 101 mV, la diferencia asciende a 1 mV. Si ahora se suman los dos valores y se divide por dos, se obtiene una cifra con un decimal. $(100 \text{ mV} + 101 \text{ mV}) / 2 = 100,5 \text{ mV}$. La ganancia de esta "cifra de un decimal" representa por tanto una resolución aumentada.

Adición de una señal de ruido aleatorio al valor de medición digitalizado

Quando se procesan señales analógicas particularmente pequeñas, existe la posibilidad de superponer o añadir antes de la formación del valor medio en el microcontrolador a la señal digital una señal de ruido aleatorio. Esto es una opción que puede conectarse de acuerdo con la Figura 10.

El principio de la tecnología de ruido aleatorio se conoce en gran medida y es popular en el procesamiento digital de señales dinámicas.

La aplicación de ruido aleatorio indica una técnica para minimizar los errores de cuantificación adicionales que se producen durante la transformación de secuencias de datos ya cuantificadas en otro formato de datos cuantificado. La aplicación de ruido aleatorio es un procedimiento del ámbito del procesamiento estadístico de señal.

En una conversión de formato digital, es decir, la transformación de datos ya digitales de un formato digital a otro, aparecen dependiendo de la señal de tensión de entrada digital y, en ese caso, particularmente con niveles de señal pequeños, distorsiones no lineales. Además, ya no se dan las condiciones para la descripción de este error como ruido clásico de cuantificación, tal como se presenta durante la transformación de señales analógicas en secuencias de señal digitales. Para la reducción de estos efectos no lineales, sobre todo con amplitudes de señal pequeñas, por tanto, es necesaria una linealización de la curva característica del recuantificador. Esto se consigue mediante un procedimiento estadístico, en el que antes de la recuantificación se suma a la señal de entrada digital una señal aleatoria, un ruido. Esta señal de ruido adicional se denomina señal de ruido aleatorio y otorga su nombre a este

procedimiento.

5 Con este procedimiento se consigue con una señal de ruido aleatorio elegida correspondientemente como media a lo largo de una secuencia de señal más larga un afinamiento del escalonado durante la recuantificación, por lo que se linealiza la curva característica de transmisión y se minimizan los efectos interferentes. El error de recuantificación se manifiesta de forma similar a un ruido de cuantificación, un ruido de banda ancha de forma similar al ruido, por ejemplo, de un amplificador analógico -con una señal dinámicamente completamente modulada esto no es particularmente importante, ya que se agota la posible dinámica y el ruido de cuantificación se representa como "ruido blanco" de banda ancha, que, en comparación con la señal máxima, es muy pequeño. Sin embargo, se convierte en problemático cuando la señal utiliza solamente una parte de los pasos de cuantificación -por ejemplo, niveles de señal extremadamente pequeños, que, en lugar de, por ejemplo, de 12 a 16 bits, usan solamente de 1 a 8 bits. En este caso, la distancia de señal/ruido es por tanto menor. Sin embargo, todavía es peor la correlación del error de cuantificación -se genera pareciéndose las curvas de ondas mediante la cuantificación en un patrón de cuantificación de paso reducido siempre cada vez más a una forma rectangular.

15 Para liberar (para descorrelacionar) las señales particularmente pequeñas, que ya no se representan correctamente, de este error de cuantificación se añade a la señal un ruido aleatorio. De este modo aumenta la energía de ruido en la señal, sin embargo, ahora las partes de señal muy pequeñas se perciben mejor que antes. Esto se debe a que mediante la superposición con ruidos, la onda rectangular se reconoce de nuevo antes que la forma de onda original. En el principio de una modulación de amplitud de impulsos se descorrelaciona ahora la señal de onda, cuanto más próxima se encuentre al respectivo paso de cuantificación, mediante el ruido y se asigna de forma más alterna a los respectivos pasos de cuantificación. Mediante esta asignación alterna (por tanto "dither" = "temblor") se evita la onda rectangular.

25 Mediante un cálculo del valor medio se consigue de este modo un aumento de la resolución. Expresado de otro modo: en un sistema de 1 bit (0 y 1) se asigna una onda sinusoidal a los pasos de cuantificación, por ejemplo, del siguiente modo: 000011110000111100001111. Por esto se produce una onda rectangular. Mediante adición de ruido aleatorio se produce una imitación más precisa de la forma sinusoidal: aproximadamente 001100110011001100110011. Los efectos de distorsión negativos de la onda rectangular ya no aparecen, la señal original se reconoce más claramente. ¡De esta forma se pueden representar incluso señales que son menores que el menor intervalo de cuantificación!

35 El ruido aleatorio se corresponde aproximadamente al ruido blanco, sin embargo, con la diferencia de que estadísticamente está repartido de otro modo. Se diferencian distintos tipos de ruido aleatorio debido a la función de densidad de probabilidad de su distribución de amplitudes -los más conocidos son el ruido aleatorio distribuido de forma triangular (ruido aleatorio de función de densidad de probabilidad triangular (Triangular Probability Density Function), ruido aleatorio de TPDF), ruido aleatorio distribuido de forma rectangular (ruido aleatorio de RPDF) y ruido aleatorio distribuido de forma gaussiana (ruido aleatorio de función de densidad de probabilidad gaussiana (Gaussian Probability Density Function)).

40 Una señal digital sin aplicación de ruido aleatorio puede ser inferior a una señal analógica con respecto a la distancia de ruido -por el contrario, una señal digital con aplicación correcta de ruido aleatorio es superior a un sistema analógico con respecto a la distancia de ruido. La tecnología de ruido aleatorio se aplica también en el procesamiento de señal digital, donde se reducen los datos del bus de datos interno de procesadores (microcontroladores) hasta la anchura del bus de datos externo. En lugar de simplemente recortar ("truncation") los bits "sobrantes" cuando se convierte, por ejemplo, una señal de 32 bits (anchura de bus del microcontrolador) en una señal de 20 bits, se debe añadir ruido aleatorio, debido a que de lo contrario vuelve a aparecer la problemática que se ha descrito anteriormente del error de cuantificación. Los aparatos en el procesamiento de señal dinámico trabajan también de forma interna con ruido aleatorio, ya que debido al cálculo con coma flotante en el interior del microcontrolador aparecen otros errores de cuantificación.

Consideración teórica de la formación de valor medio y "técnica de interruptor periódico"

55 El valor medio temporal de una señal analógica se calcula como:

$$m(t) = \frac{1}{T_m} \int_{t-T_m}^t u(t) dt$$

60 El espectro del valor medio continuo en el tiempo analógico se corresponde con el del filtro de característica en peine conocido función (sen x) / x (Figura 5):

$$\left| \frac{M(f)}{U(f)} \right| = \left| \frac{\text{sen}(\pi \cdot T_m \cdot f)}{\pi \cdot T_m \cdot f} \right|$$

T_m = ventana temporal de la formación de valor medio

- 5 Con una observación en el intervalo de tiempo se obtiene una imagen de acuerdo con la Figura 6 y una observación normalizada en el intervalo de frecuencias se muestra en la Figura 7.

De este modo se eliminan completamente la frecuencia $1/T_m$ y sus ondas armónicas. Los máximos disminuyen con 20 dB/década. En el microcontrolador 10 se calcula el valor medio a partir de N valores de muestreo que se generan por el convertidor A/D en intervalos temporales T equidistantes. El espectro del valor medio discreto en el tiempo de N valores de muestreo se calcula con ayuda de la transformación Z hasta:

$$M(z) = X(z) \cdot [1 + z^{-1} + \dots + z^{-(n-1)}]$$

$$\frac{M(z)}{X(z)} = \frac{1}{N} \sum_{x=0}^{N-1} z^{-x} = \frac{1}{N} \cdot \frac{1 - z^{-N}}{1 - z^{-1}}$$

$$z = e^{-j\omega T}$$

$$\left| \frac{M(f)}{U(f)} \right| = \left| \frac{\text{sen}(N \cdot \pi \cdot f \cdot T)}{\pi \cdot T_m \cdot f} \right|$$

- 15 El espectro del valor medio discreto en el tiempo muestra también la similitud con filtro de característica en peine descrita, sin embargo, los máximos aumentan por encima de la frecuencia de muestreo media $1/2T$ de nuevo. Esto se produce a partir de la infracción del teorema de muestreo de Shannon. Dice que la máxima frecuencia en la entrada analógica del convertidor A/D tiene que ser menor que la mitad de la frecuencia de muestreo.

- 20 El cumplimiento del teorema de Shannon puede conseguirse en sistemas que sobre-muestran de forma relativamente sencilla mediante un filtro unipolar. El valor medio discreto en el tiempo calculado es el "valor medio flotante", es decir, la corriente de muestreo de resultado $M(z)$ tiene la misma velocidad de datos que la corriente de muestreo de ADC $X(z)$. Esto se corresponde con un filtro FIR con N tomas (taps), cuyos N coeficientes son igual a 1. Se tienen que almacenar de forma temporal siempre los últimos N valores de muestreo. Para esto se necesita un microcontrolador de alto rendimiento o un FPGA (Field Programable Gate Array) o PLD (Programable Logic Device).

- 25 En el microcontrolador se forma a partir de los N valores de muestreo un valor medio y después un valor medio a partir de los siguientes N valores de muestreo. La corriente de muestreo de resultado es ahora N veces menor que la corriente de muestreo de ADC. Este "valor medio de bloque" a lo largo de N valores de muestreo se corresponde con un valor medio flotante (promedio móvil (moving average)) a lo largo de N valores de muestreo y una reducción de datos (decimación) posterior de N.
- 30

Resolución eficaz durante el "funcionamiento de promediado" de formación de valor medio

- 35 Mientras que se obtiene con 16 bits en el intervalo de 2,5 V ($\pm 1,25$ V) una resolución de $2,5/2^{16}=38,14 \mu\text{V}$ para 1 LSB, la resolución con 20 bits asciende a $2,5/2^{20}=2,384 \mu\text{V}$ por 1 LSB. La resolución mediante "promediado" con 20 bits no se aparta de un transformador A/D de 20 bits ideal, sin embargo, sí el "intervalo de escala completa". En el entorno de ensayo se encuentra un convertidor de 12 bits, cuyos datos de entrada durante el "promediado" se resumen mediante adición de 2048 (o 1024, 512, 256, 128, 64) valores hasta una palabra de salida en el microcontrolador. A condición de que en este convertidor de 12 bits estén disponibles $2^{12}-1$ valores, se puede
- 40 calcular el máximo valor de entrada digital con un "promediado" de 2048 veces hasta:

$$4096 \cdot 2048 = 8388608 = 00800000_{\text{HEX}}$$

la semionda negativa de la frecuencia interferente. Después de 40 ms se han introducido mediante lectura todos los 2048 valores de medición en el microcontrolador y está formado su valor medio aritmético. A este respecto se calcula naturalmente también el valor medio aritmético de las señales interferentes. Este es en señales simétricas, tales como, por ejemplo, en el seno, cero. La frecuencia interferente de 25 Hz por lo tanto se suprime. Esto significa que una frecuencia interferente superpuesta a la señal útil de 25 Hz (o un múltiplo de esta frecuencia: 50 Hz, 75 Hz, 100 Hz, 125 Hz, etc.) en las condiciones que se han mencionado anteriormente no tiene ningún efecto indeseado sobre la propia medición.

En la función de transmisión sobre la frecuencia se reconocen las posiciones cero con 25 Hz, 50 Hz, 75 Hz, 100 Hz, etc. Este tipo de filtro con varias posiciones de cero (ranura) también se conoce con la denominación filtro de característica en peine. (función $\text{sen}x/x$). Con una observación más exacta se puede reconocer que las señales de tensión de entrada se amortiguan a partir de aproximadamente 10 Hz con 20 dB/década mediante el "promediado". Se muestra que con frecuencias altas ya no es muy importante si se mide ahora exactamente a lo largo de una cantidad de número entero de periodos de seno.

Supresión de desplazamiento mediante la "función de interruptor periódico"

Muchas señales de sensor en el intervalo de mV están sometidas a un desplazamiento de tensión continua que falsifica la medición absoluta. Además de este error de desplazamiento, la deriva del desplazamiento y el ruido $1/f$ de baja frecuencia son factores de influencia que modifican el resultado de la medición. Esto limita considerablemente la reproducibilidad y la resolución que se pueden conseguir. Para reducir estas magnitudes de error está integrada una denominada "función de interruptor periódico" en el convertidor analógico/digital.

La tensión a medir se aplica como señal de tensión de entrada en una entrada y con polaridad inversa en la segunda entrada del multiplexor. Ahora se introduce mediante lectura el primer cuarto de todos los valores de toda la medición, por ejemplo, mediante la posición de conmutador 0. El segundo cuarto de los valores de medición alcanza a través de la posición de conmutador 1 (con polaridad inversa) el convertidor A/D. El tercer cuarto se introduce mediante lectura de nuevo a través del canal 0 y el último cuarto de nuevo a través del canal 1. Esto tiene como consecuencia que la tensión de medición $X(z)$ se suma en las dos posiciones de conmutador de forma positiva al resultado $M(z)$.

La magnitud interferente $y(z)$ comprende todas las tensiones interferentes que se superponen durante el procesamiento de señal y conversión A/D a la tensión de medición. La tensión interferente se hace positiva en la posición de conmutador superior, en la inferior se suma de forma negativa al resultado $M(z)$. Las tensiones interferentes que durante un periodo de medición completo son constantes se eliminan de esta forma. Las fuentes de interferencia de CC tales como errores de desplazamiento de multiplexor y del ADC de SAR de esta forma se suprimen. Después de que la suma total se haya dividido por la cantidad de los valores de medición se puede determinar el resultado correcto con la fórmula:

$$\Sigma(\text{valores de medición canal 1}) - \Sigma(\text{valores de medición canal 2}) / (\text{cantidad de los valores de medición})$$

Si se determina, por ejemplo, un valor de medición de +1 V, se mediría de forma falseada durante una medición sencilla por un desplazamiento. Con la "función de interruptor periódico" se aplica la tensión de +1 V al igual que habitualmente en el primer conmutador (posición de conmutador 0) del multiplexor. Al segundo conmutador (posición de conmutador 1) se conecta ahora la misma tensión, sin embargo, con polaridad inversa. Con la suposición de que la tensión compensadora resultante de todos los constituyentes asciende a +1 mV se introducen mediante lectura los siguientes valores:

$$\text{Canal 1} = +1,0001 \text{ V}, \text{ Canal 2} = -0,999 \text{ V}.$$

Estos valores de medición se suman en el microcontrolador según la fórmula que se ha indicado anteriormente y se vuelven a dividir por la cantidad de los valores de medición.

$$[+1,0001V - (-0,999V)] / 2 = 1V$$

Esto conduce por tanto a un resultado de medición que en el caso ideal está libre de cualquier tensión compensadora. Por lo demás se suprime intensamente también la deriva del desplazamiento (causada por temperatura, etc.) con esta "técnica de interruptor periódico". Se disminuyen todas las tensiones interferentes constantes que se superponen entre el conmutador analógico y el microcontrolador a la tensión de medición. Sin embargo, también el ruido $1/f$, especialmente del amplificador de entrada, experimenta con "frecuencia de interruptor periódico" creciente (es decir, conmutación múltiple en un ciclo de medición) un amortiguamiento mayor.

Por tanto, en este procedimiento se suprimen las tensiones compensadoras que se generan por los constituyentes. En este punto todavía se señala que la "función de interruptor periódico" naturalmente no es posible sin formación de valor medio, ya que durante la "interrupción periódica" se tienen que introducir mediante lectura varios valores de medición de la señal idéntica. En el "interruptor periódico" se necesitan para una señal de tensión de entrada dos canales de multiplexor.

El otro canal se usa para mediciones individuales rápidas con resolución de 12 bits. Si se invierte la polaridad cuatro veces durante un tiempo de medición de 40 ms (25 Hz) de la señal de tensión de entrada, entonces también la duración de periodo del "interruptor periódico" es cuatro veces menor (10 ms). Esto se corresponde con una "frecuencia de interruptor periódico" de 100 Hz.

La Figura 2 muestra la topología de interruptor periódico del convertidor analógico/digital con detalle con filtro de modo común.

La pieza central en el lado digital se forma por un microcontrolador 10 (MCU) de alto rendimiento. Este se configura mediante una E²-PROM interno. El MCU controla por un lado el secuenciador de sincronización del interruptor periódico y procesa la corriente de datos de la pluralidad de las muestras y calcula el valor medio. Con la utilización de la posición inferior del conmutador de S5 y S6 y la conmutación de polaridad opuesta de los conmutadores de entrada S1, S2 o S3, S4 se activa la medición individual rápida con una velocidad de muestreo máxima del convertidor de SAR. De esta forma, el usuario puede comenzar y procesar de acuerdo con los requisitos muy rápidamente con precisión de 12 bits la primera medición y recoger después de 20 ms un resultado de valor medio de 16 bits a 20 bits en el MCU.

Descripción del flujo de señal del sistema total

La señal de tensión de entrada analógica se conduce en primer lugar a través de la entrada diferencial 25 en la Figura 2 y la posición de conmutador 3 del multiplexor 14 hacia el microcontrolador. En la práctica se unen las conexiones 16, 17 y 25 en la Figura 2 y, por tanto, en la posición del conmutador 3 del multiplexor 14 en la Figura 2 se salva el filtro de entrada 15. La Figura 15 muestra la configuración de conexión. Esta primera medición rápida y conversión analógica/digital de la señal trabaja según el principio de conversión de SAR. Para la capacidad de trabajo en tiempo real en circuitos de regulación digitales, esto es la transmisión rápida y directa de esta señal al procesador. Este resultado de conversión se corresponde con la medición 1 en la Figura 13. De esta forma es posible una medición individual rápida en tiempo real con velocidad de muestreo máxima del convertidor de SAR.

La segunda y todas las siguientes mediciones se conducen a través de las conexiones 16 y 17 y a través del filtro de entrada 15 en la Figura 2 y la posición del conmutador 1 y 2 del multiplexor 14 en la Figura 2, que trabaja como paso de interruptor periódico. De esta forma, el usuario puede comenzar y procesar de acuerdo con los requisitos muy rápidamente con precisión de 12 bits la primera medición y recoger después de, por ejemplo, 20 ms (tiempo para la formación de valor medio) un resultado de valor medio de 16 bits a 20 bits en el microcontrolador. De esta forma se posibilita la combinación de técnica de medición de tensión alterna rápida (medición de CA) y técnica de medición de tensión continua precisa (medición de CC).

La señal a medir se conduce de acuerdo con las Figuras 2, 4 a través de las conexiones 16 y 17. Durante la medición de la diferencia, estas conexiones se configuran para cada fuente de señal como línea de señal 16 y línea de referencia de señal 17 y se conducen a través del canal de multiplexor de diferencia 18. La tensión de modo común en las entradas de diferencia del ADC se refiere a la línea de masa. Los resistores R1, R2, R3, R4 forman junto con los condensadores C2, C3, C4 el filtro de entrada 15. La señal de tensión de entrada alcanza a través del filtro de paso bajo pasivo una de las entradas diferenciales del multiplexor interno 14.

Mediante los conmutadores de interruptor periódico S5 y S6 se muestrea y convierte la señal a medir en la posición del conmutador 1 tal como se ha descrito anteriormente. En la posición del conmutador 2 se mide la señal a medir con polaridad cambiada (se cambian las conexiones). El control del conmutador de interruptor periódico lo asume el microcontrolador 10, que controla el paso de interruptor periódico 19 mediante el mecanismo de control 24. En la posición del conmutador 3 es posible convertir sin el uso del filtro de entrada 15 y sin el uso de la función de interruptor periódico las señales con velocidad máxima (máxima velocidad de muestreo). Este es el modo de muestreo rápido para la detección de señales dinámicas.

Las señales a medir alcanzan a través de los resistores en serie R del multiplexor los dos condensadores de retención (hold) 21. Ahora tiene lugar la formación de diferencia. La carga de C_{HOLD+} se resta de C_{HOLD-}. Esta carga de diferencia se corresponde con una tensión proporcional que se procesa en el convertidor de SAR.

De la función es característica la aproximación de un valor comparativo al valor analógico de la señal a medir. Se consigue una transformación precisa y rápida realizándose la transformación de forma redundante, es decir, transformándose por etapa solamente una parte de un bit. El convertidor analógico/digital ADC limita la señal entrante mediante intervalos encajados. Para esto posee un registro de datos (SAR) 11 en el que al final se encuentra el valor digital establecido, el transformador digital-analógico 12, que genera una tensión de referencia

analógica correspondiente al valor digital momentáneo del registro de datos, un comparador 13 que compara la tensión de referencia 23 generada con la señal de tensión de entrada y el mecanismo de control 24. Para cada bit de precisión, un ADU sencillo necesita respectivamente una frecuencia de reloj de tiempo de transformación.

5 El mecanismo de control 24 empuja los datos al microcontrolador 10, que tiene las siguientes funciones:

- En caso necesario, adición de una señal de ruido aleatorio digital de acuerdo con la Figura 10 para el aumento de la resolución con señales digitales, el ruido aleatorio se puede conectar mediante un conmutador.
- Control sincrónico en el tiempo del paso de interruptor periódico 19 teniendo en cuenta el tiempo de respuesta de los filtros de entrada y constantes temporales de RC del sistema de acuerdo con la Figura 8.
- Adición de los valores digitales (en el presente documento en el ejemplo 1024 valores de medición) en el intervalo de la mitad de un periodo (semionda negativa) de la tensión interferente.
- Adición de los valores digitales (en el presente documento en el ejemplo 1024 valores de medición) en el intervalo de la mitad de un periodo (semionda positiva) de la tensión interferente.
- Cálculo de una palabra digital como resultado de medición de alta resolución mediante formación de diferencia a partir de las dos semiondas.
- Conmutación del paso de interruptor periódico 19 al modo de muestreo rápido.
- Salida del resultado de medición con una resolución de 20 bits y más.

20 Son datos característicos típicos y especificaciones del sistema representado en el ejemplo de realización:

- Intervalo de tensión de entrada $\pm V_{REF} / 2$
- Uso de una tensión de referencia interna o externa
- Resolución 12, 16, 18, 20 bits
- Linealidad integral de 12 bits o más
- 4 canales de entrada diferenciales
- Alta supresión de modo común mediante entradas diferenciales
- Filtro de paso bajo simétrico de 256 Hz
- Filtración digital mediante formación de valor medio a partir de 64, 128, 256, 512, 1024, 2048 valores (con supresión simultánea de la frecuencia de red de 50 Hz/60 Hz y sus múltiplos)
- Alta frecuencia de muestreo (≥ 200 KHz) en el modo monodisparo (single shot) (medición individual), capacidad de trabajo en tiempo real, por ejemplo, en circuitos de regulación
- Bajo tiempo de latencia durante la medición individual
- Técnica de interruptor periódico para la supresión del desplazamiento de señal en el marco del intervalo de modo común del convertidor A/D
- Control de la ejecución sincrónico en el tiempo del paso de entrada del interruptor periódico
- Mediciones de alta resolución reproducibles
- Relación excelente de precio/rendimiento de la topología

40 La invención basada en un convertidor analógico/digital de SAR tiene las siguientes propiedades:

- Varias señales de tensión de entrada pueden medirse mediante multiplexores
- Detecta en tiempo real una "instantánea" de la señal a medir
- Puede sincronizarse con señales de sincronización externas
- El tiempo de respuesta se determina mediante el tamaño del condensador de MSB (paso de muestro y retención)
- Respuesta de salto rápida ideal para sistemas regulados digitalmente rápidos sin tiempo muerto

50 Las Figuras 11 a 14 ilustran la diferencia entre una solución con un convertidor delta sigma de acuerdo con el estado y la solución de acuerdo con la invención con una topología de SAR. En la Figura 11 se representa el principio delta-sigma en comparación con el principio de SAR. En la Figura 11 está representado en la parte superior el funcionamiento de un convertidor de SAR, en la Figura 11 en la parte inferior, el funcionamiento de un convertidor delta-sigma. Se puede observar claramente que la conversión analógica/digital de SAR trabaja con un inicio definido y una señal de conversión que depende del mismo. La conversión analógica/digital delta-sigma trabaja de forma continua en el modo de muestreo/conversión, sin embargo, se necesita un intervalo de tiempo más largo para la conversión.

60 Esto también es evidente cuando en la Figura 12 se observa el comportamiento del tiempo de respuesta de la topología de SAR en comparación con la topología delta-sigma sin tener en cuenta un filtro digital. Si la señal de tensión de entrada en el momento t_1 se encuentra en el convertidor, entonces en la Figura 12 en la parte superior el convertidor de SAR convierte esta señal temporalmente en una señal digital. Ya después de la primera conversión 26, la señal digital es válida con una alta precisión, ya que el convertidor de SAR puede detectar en cualquier momento de un acontecimiento definido la señal y convertirla en una señal digital. Si se compara esto con el convertidor delta-sigma en la Figura 12 en la parte inferior, entonces se realizan, cuando se aplica la señal de

entrada en el momento t_1 , varias conversiones inválidas 27 en las que la señal de salida digital no se corresponde con la señal de tensión de entrada antes de que exista un primer resultado de conversión 28 estabilizado. El convertidor delta-sigma necesita varios ciclos de conversión como tiempo de respuesta.

- 5 Si de acuerdo con la Figura 13 se tiene en cuenta en el comportamiento en el tiempo una velocidad de conversión idéntica con el procesamiento de diez resultados de conversión en el filtro digital, se obtiene en la comparación entre los dos convertidores un tiempo de latencia L_t . Si, además, de acuerdo con la invención se tiene en cuenta la topología de SAR basada en interruptor periódico rápida en los diez resultados de conversión en el filtro digital, este tiempo de latencia L_t se hace claramente mayor, es decir, el convertidor delta-sigma es claramente más lento que la solución de acuerdo con la invención.

10 Un ámbito de aplicación es el desarrollo de un nuevo asistente de frenado electrónico con capacidad de trabajo en tiempo real para vehículos motorizados basado en un sistema regulado de forma completamente digital. Con la inclusión de sistemas de bus en tiempo real digitales en vehículos para el control y la regulación de los componentes, el comportamiento en el tiempo y de frecuencias de un convertidor analógico/digital es una magnitud decisiva para la estabilidad y de la respuesta en régimen transitorio en circuitos de regulación cerrados y especialmente en superpuestos. Durante una regulación de frenado, por ejemplo, se regulan al mismo tiempo los cuatro frenos digitalmente. Asimismo están presentes otros circuitos de regulación superpuestos para la estabilización de vehículo durante el proceso de frenado.

15 El asistente de frenado tiene el objetivo de reaccionar rápidamente con una ligera presión sobre el pedal o con un cambio de presión sobre el acelerador y aplicar los pistones de freno ligeramente sobre el disco de freno. Para esto se necesita una respuesta de salto extremadamente rápida del sistema de regulación con una precisión de media a buena (primera medición rápida sin retraso y sin tiempo muerto). Si después se produce el propio proceso de frenado, se lleva a cabo el frenado con un ajuste extremadamente sensible y dosificación fina con alta precisión (alta resolución, alta precisión, bajo desplazamiento). Un sistema basado en un convertidor A/D delta-sigma no puede cumplir ese objetivo. Los mismos planteamientos de problema están presentes en general en funciones de colocación de la robótica regulada digitalmente (accionamientos multieje) o en controles de motor, por ejemplo, robots de soldadura.

20

Lista de referencias

10	Microcontrolador
35	11 Topología de SAR
	12 Convertidor digital/analógico
	13 Comparador
40	14 Multiplexor
	15 Filtro de entrada diferencial
45	16 Línea de señal
	17 Línea de referencia de señal
	18 Canal de multiplexor
50	19 Paso de interruptor periódico
	20 Masa
55	21 Condensadores de retención
	22 Elemento de retraso
	23 Tensión de referencia
60	24 Paso de adición para señal de ruido aleatorio
	25 Entrada diferencial
65	26 Conversión

	27	Conversión inválida
	28	Resultado de conversión estabilizado
5	C2, C3, C4	Condensadores
	Lt	Tiempo de latencia
	S5, S6	Conmutador periódico
10	R1, R2, R3, R4	Resistores

REIVINDICACIONES

1. Convertidor analógico/digital para la determinación del valor de medición absoluto con

- 5 - un microcontrolador (10),
 - una topología de SAR (11) para la generación de un valor digital momentáneo como consecuencia de una señal de tensión de entrada mediante intervalos encajados.
 - un convertidor digital/analógico (12) que genera una tensión de referencia correspondiente al valor digital momentáneo,
 10 - un comparador (13) para la comparación de la tensión de referencia con la señal de tensión de entrada del convertidor analógico/digital,
 - un multiplexor (14, 18) para el funcionamiento del tipo múltiplex de varias fuentes de señal,

15 **caracterizado por que** está previsto un filtro de entrada diferencial (15), suministrándose la señal de tensión de entrada como una señal de tensión de entrada sobre-muestreada y como señal de entrada diferencial para cada fuente de señal mediante una línea de señal (16) y una línea de referencia de señal (17) al multiplexor con canales de entrada diferenciales, por que está previsto un paso de interruptor periódico (19) formado por el multiplexor (14), dispuesto detrás del filtro de entrada diferencial, estando aplicada la señal de tensión de entrada en una primera entrada del multiplexor y de forma invertida en una segunda entrada del multiplexor (14) para la disminución o
 20 eliminación de partes de desplazamiento de tensión continua de la señal de tensión de entrada mediante el uso del paso de interruptor periódico (19), y por que está previsto un formador de valor medio digital para la formación de valor medio de la señal de tensión de entrada sobre-muestreada, estando prevista una entrada diferencial (25) adicional, mediante la cual la señal de tensión de entrada para al menos una conversión analógica/digital (26) de un primer valor de muestreo salva el filtro de entrada (15).

25 2. Convertidor analógico/digital de acuerdo con la reivindicación 1, **caracterizado por que** está previsto un paso de adición (24) para la adición de una señal de ruido aleatorio al valor digital.

30 3. Convertidor analógico/digital de acuerdo con la reivindicación 1 o 2, **caracterizado por que** las entradas de diferencia del filtro de entrada diferencial (15) se refieren a la masa (20), estando previsto preferentemente al menos un resistor (R3, R4) de alta resistencia de al menos una de las dos entradas del filtro de entrada diferencial (15) para la masa (20), estando seleccionado el tamaño del al menos un resistor de tal manera que la tensión de diferencia es menor que la precisión de medición deseada del sistema.

35 4. Convertidor analógico/digital de acuerdo con una de las reivindicaciones precedentes, **caracterizado por que** al filtro de entrada diferencial (15) está asignado un filtro de HF simétrico que comprende al menos dos condensadores (C3, C4) preferentemente con respecto a masa (20).

40 5. Convertidor analógico/digital de acuerdo con la reivindicación 4, **caracterizado por que** está previsto al menos un condensador (C2), que está dispuesto en paralelo con respecto a una fuente de diferencia para la señal de entrada diferencial, siendo el valor del condensador (C2) mucho mayor que el valor de los condensadores (C3, C4) del filtro de HF simétrico y/o siendo el condensador (C2) con una precisión deseada de X bits mayor en un factor 2^X que los capacitores de multiplexor C_{MUX} (21) conectados en serie.

45 6. Convertidor analógico/digital de acuerdo con una de las reivindicaciones precedentes, **caracterizado por que** está previsto un elemento de retraso para el retraso en el tiempo entre el momento de la conmutación del multiplexor y el momento del muestreo del convertidor analógico/digital.

50 7. Convertidor analógico/digital de acuerdo con una de las reivindicaciones precedentes, **caracterizado por que** está previsto un filtro de característica en peine para el ajuste o la regulación de la frecuencia de muestreo de interruptor periódico que controla o regula para la supresión dirigida de frecuencias interferentes el tiempo de respuesta del multiplexor.

55 8. Convertidor analógico/digital de acuerdo con una de las reivindicaciones precedentes, **caracterizado por que** está determinado para un asistente de frenado electrónico con capacidad de trabajo en tiempo real para vehículos motorizados basado en un sistema regulado digitalmente.

60 9. Procedimiento para la determinación de valores de medición absolutos con un convertidor analógico/digital con un microcontrolador (10), un multiplexor (14, 18) y una topología de SAR (11), que genera un valor digital momentáneo debido a una señal de tensión de entrada mediante intervalos encajados, así como con un convertidor digital/analógico (12) que genera una tensión de referencia correspondiente al valor digital momentáneo, que se compara en un comparador (13) con la señal de tensión de entrada del convertidor analógico/digital, **caracterizado por que** para un filtro de entrada diferencial (15) la señal de tensión de entrada se suministra como señal de tensión de entrada sobre-muestreada y como una señal de entrada diferencial para cada fuente de señal mediante una línea de señal (16) y una línea de referencia de señal (17) al multiplexor con canales de entrada diferenciales, por que la
 65 señal de tensión de entrada se aplica en un paso de interruptor periódico (19) formado por el multiplexor (14, 18),

- 5 dispuesto detrás del filtro de entrada diferencial, aplicándose la señal de tensión de entrada en una primera entrada del multiplexor y de forma invertida en una segunda entrada del multiplexor para la disminución o eliminación de partes de desplazamiento de tensión continua de la señal de tensión de entrada, por que a partir de la señal de tensión de entrada sobre-muestreada se forma un valor medio digital de la señal de tensión de entrada y por que se salva el filtro de entrada (15) para la señal de tensión de entrada mediante una entrada diferencial (25) adicional para al menos una conversión analógica/digital (26) de un primer valor de muestreo.
- 10 10. Procedimiento de acuerdo con la reivindicación 9, **caracterizado por que** se añade una señal de ruido aleatorio al valor digital.
- 10 11. Procedimiento de acuerdo con la reivindicación 9 o 11, **caracterizado por que** las entradas de diferencia del filtro de entrada diferencial (15) se refieren a la masa (20).
- 15 12. Procedimiento de acuerdo con una de las reivindicaciones precedentes 9 a 11, **caracterizado por que** está dispuesto al menos un resistor (R3, R4) de alta resistencia de al menos una de las dos entradas del filtro de entrada diferencial (15) con respecto a la masa (20), seleccionándose el tamaño del al menos un resistor de tal manera que la tensión de diferencia es menor que la precisión de medición deseada del sistema.
- 20 13. Procedimiento de acuerdo con una de las reivindicaciones precedentes 9 a 12, **caracterizado por que** el tiempo entre el momento de la conmutación del multiplexor y el momento del muestreo del convertidor analógico/digital se retrasa mediante un elemento de retraso.
- 25 14. Procedimiento de acuerdo con una de las reivindicaciones precedentes 9 a 13, **caracterizado por que** un filtro de característica en peine para influir en la frecuencia de muestreo del interruptor periódico controla o regula el tiempo de respuesta del multiplexor.
- 30 15. Procedimiento de acuerdo con una de las reivindicaciones precedentes 9 a 14, **caracterizado por que** se usa en un asistente de frenado electrónico con capacidad de trabajo en tiempo real para vehículos motorizados basado en un sistema regulado digitalmente.

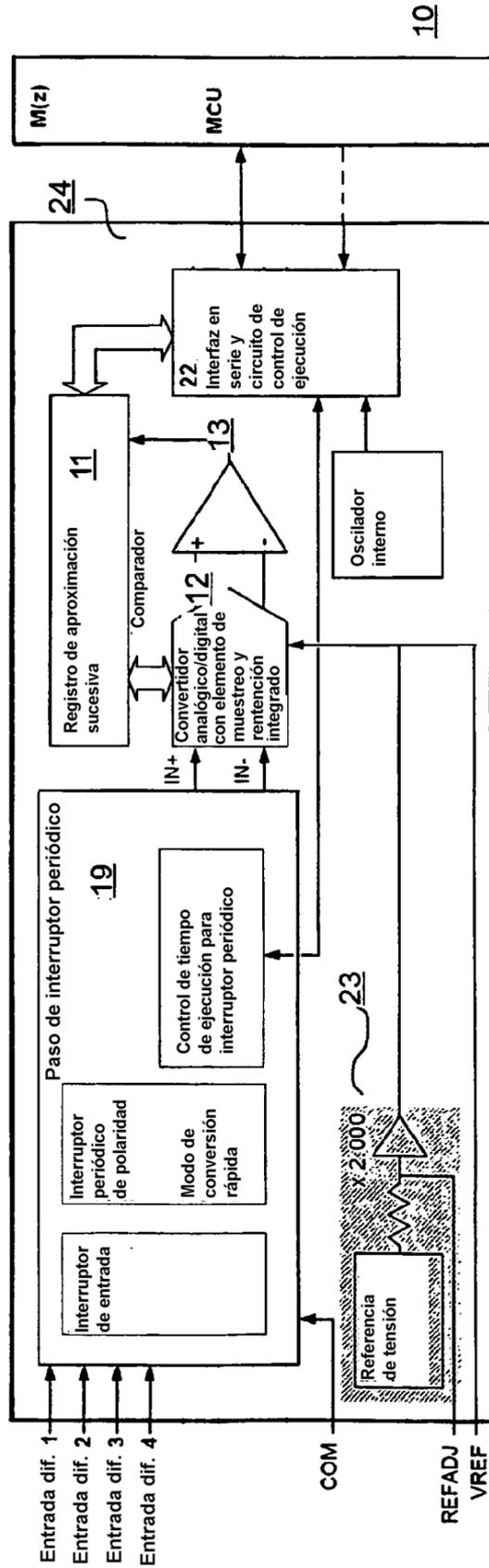
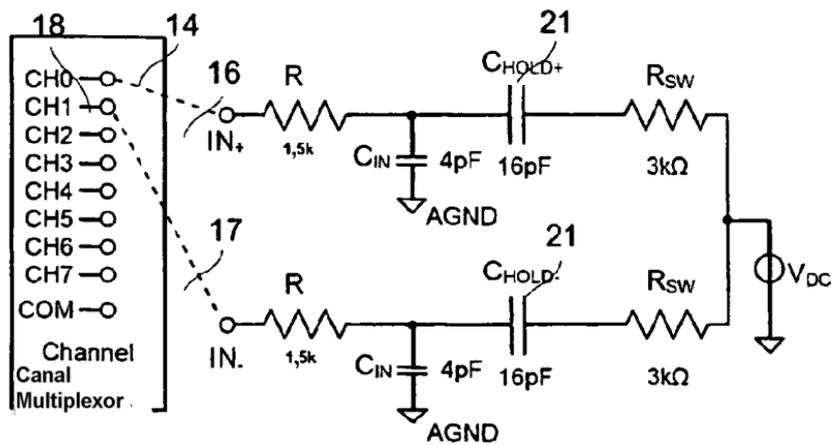
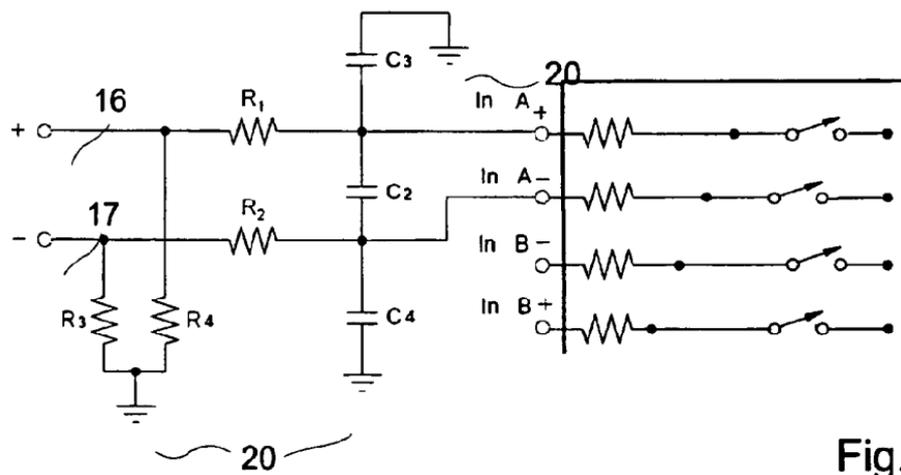
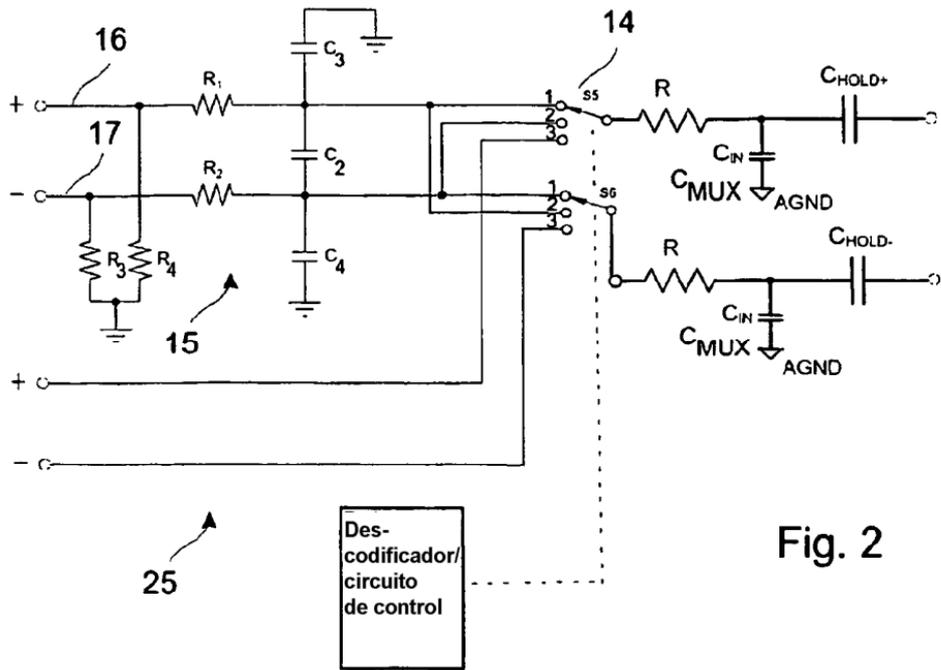


Fig.1



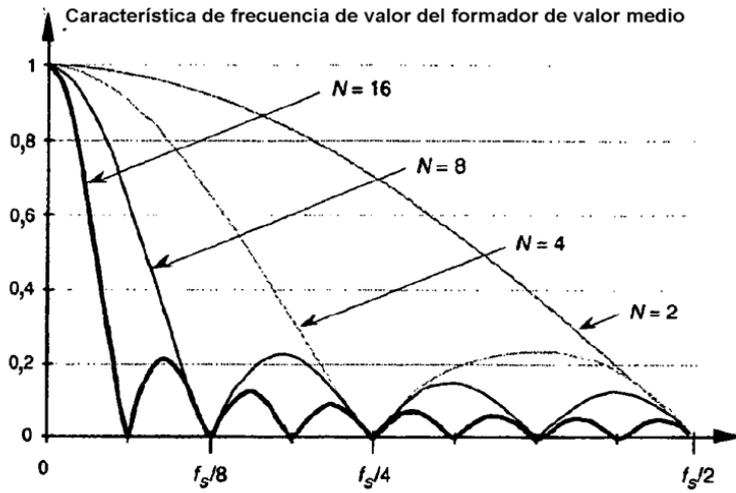


Fig. 5

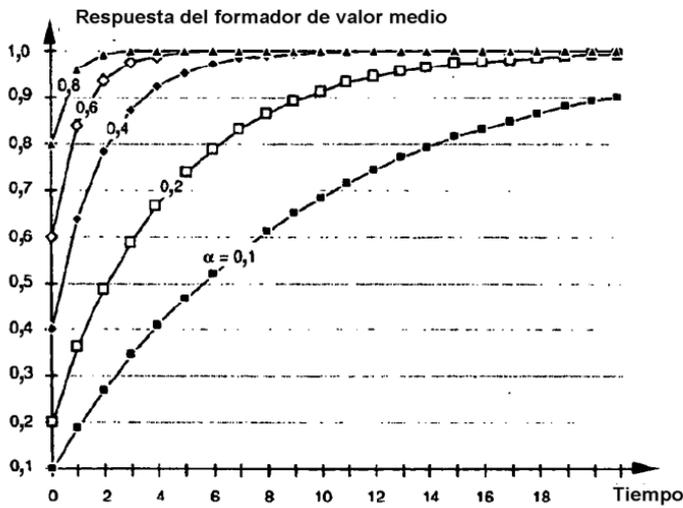


Fig. 6

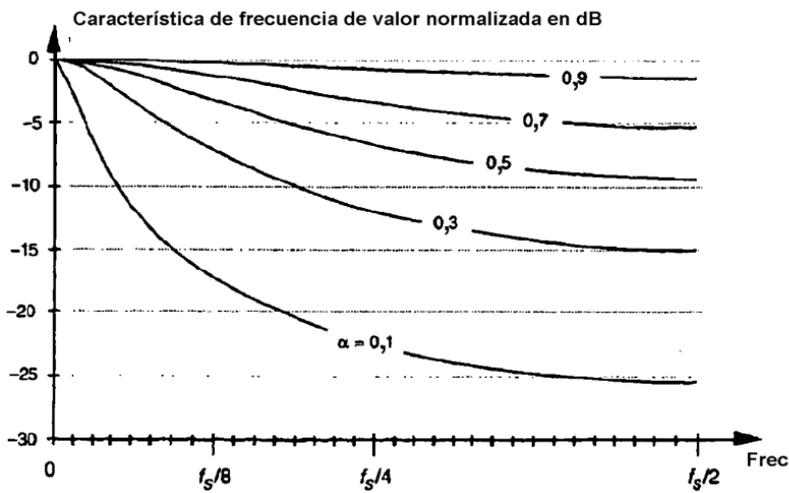


Fig. 7

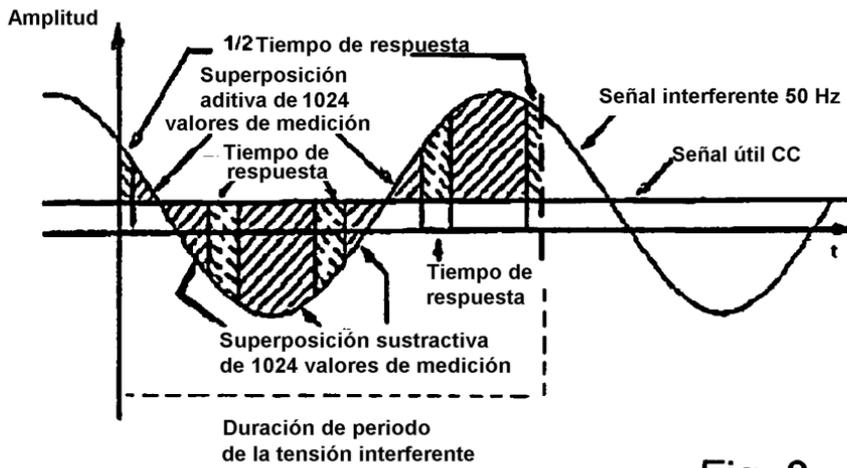
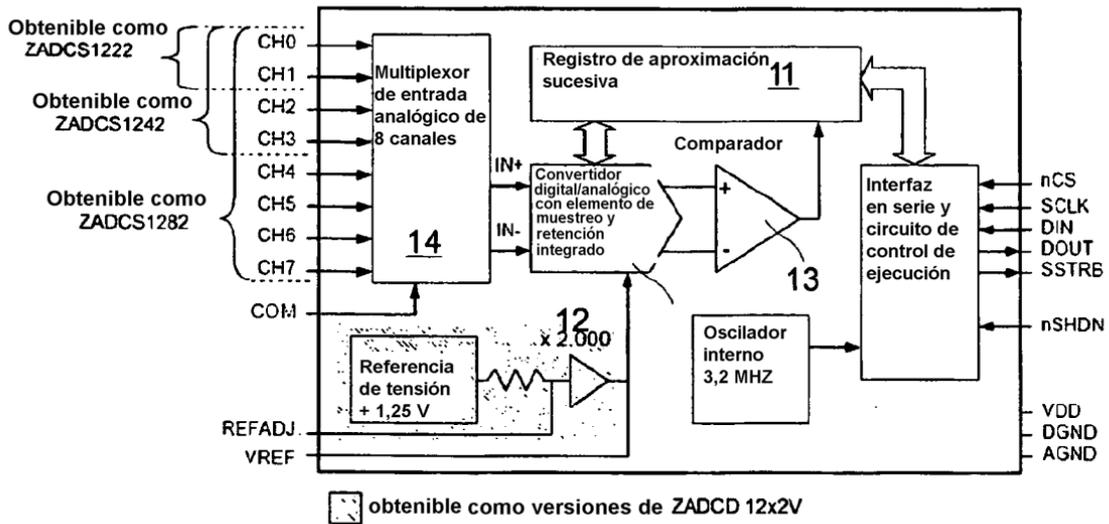


Fig. 8



(Estado de la Técnica) Fig. 9

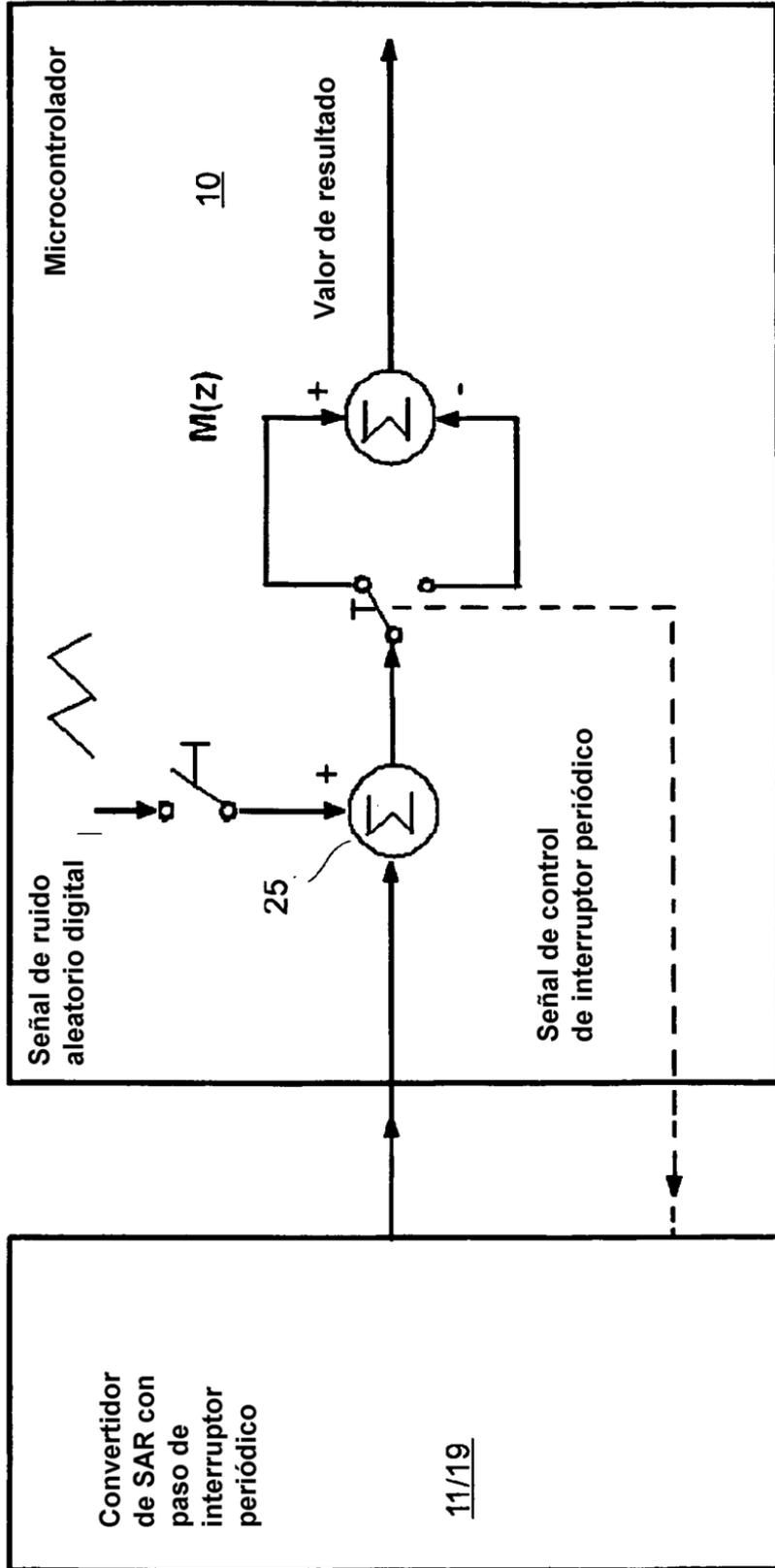
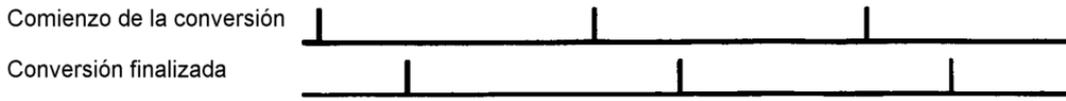


Fig. 10

Convertidor analógico/digital de SAR



Convertidor delta-sigma

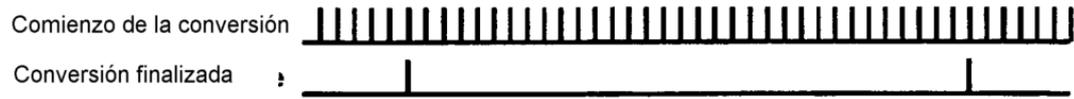
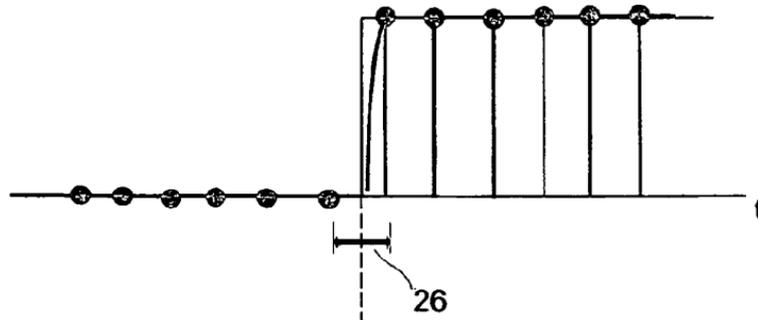


Fig. 11

Convertidor analógico/digital de SAR



Convertidor delta-sigma

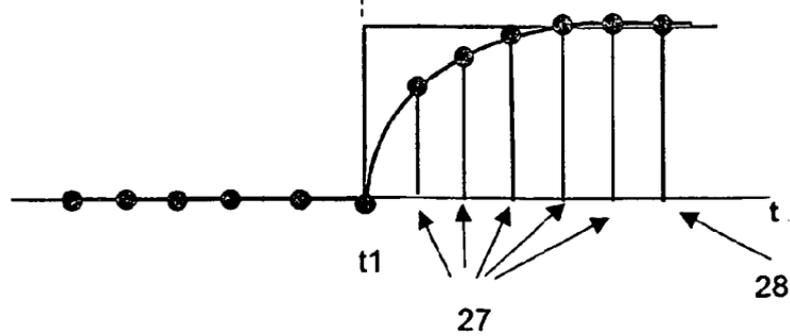


Fig. 12

Convertidor analógico/digital de SAR

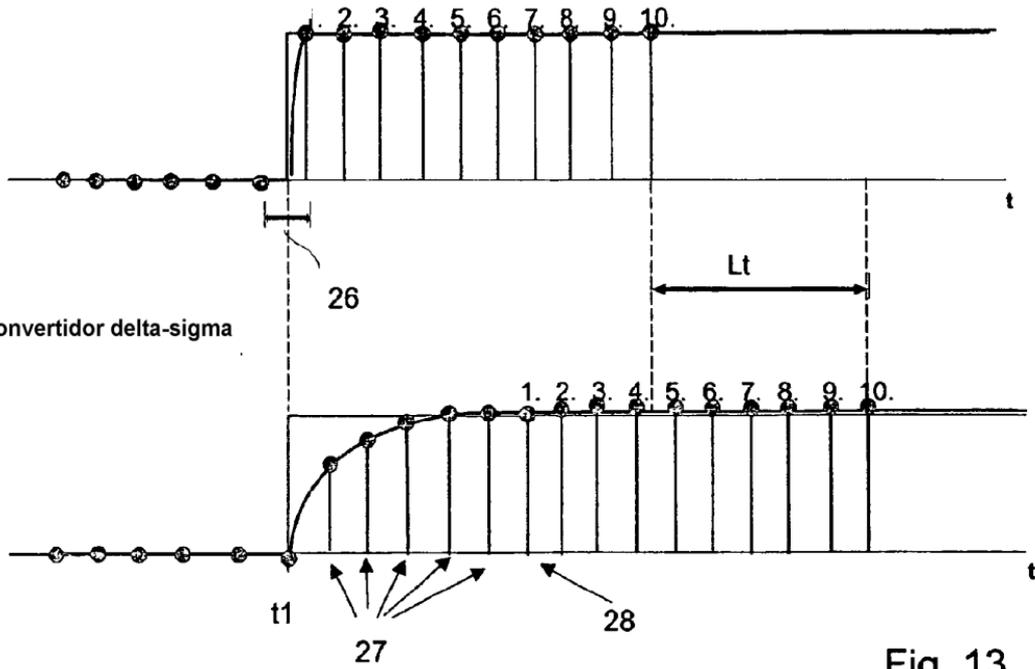


Fig. 13

Convertidor analógico/digital de SAR

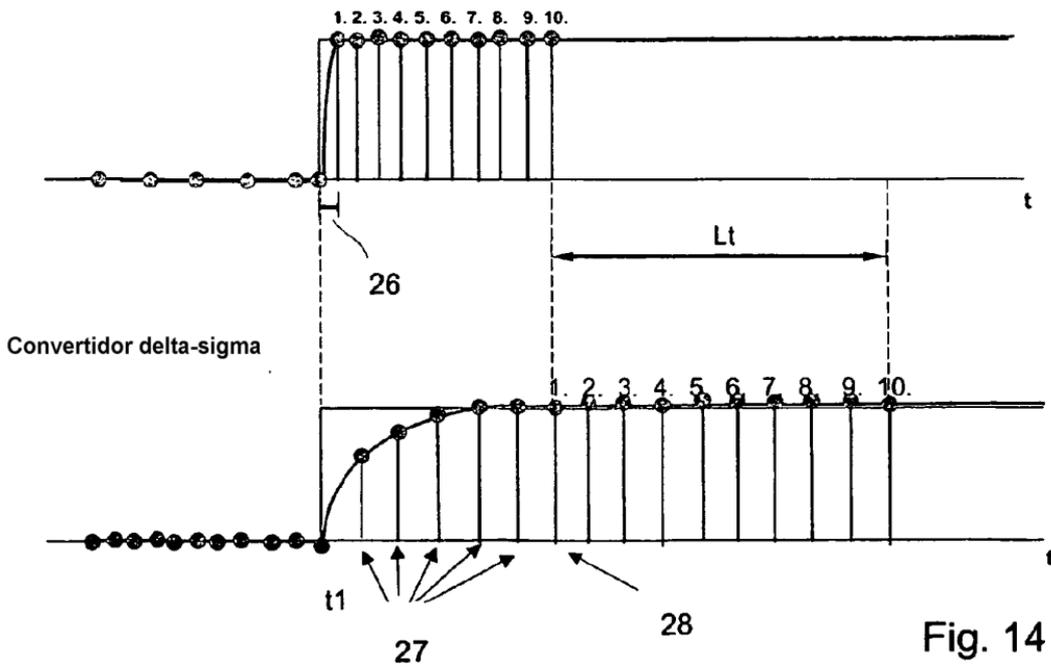


Fig. 14

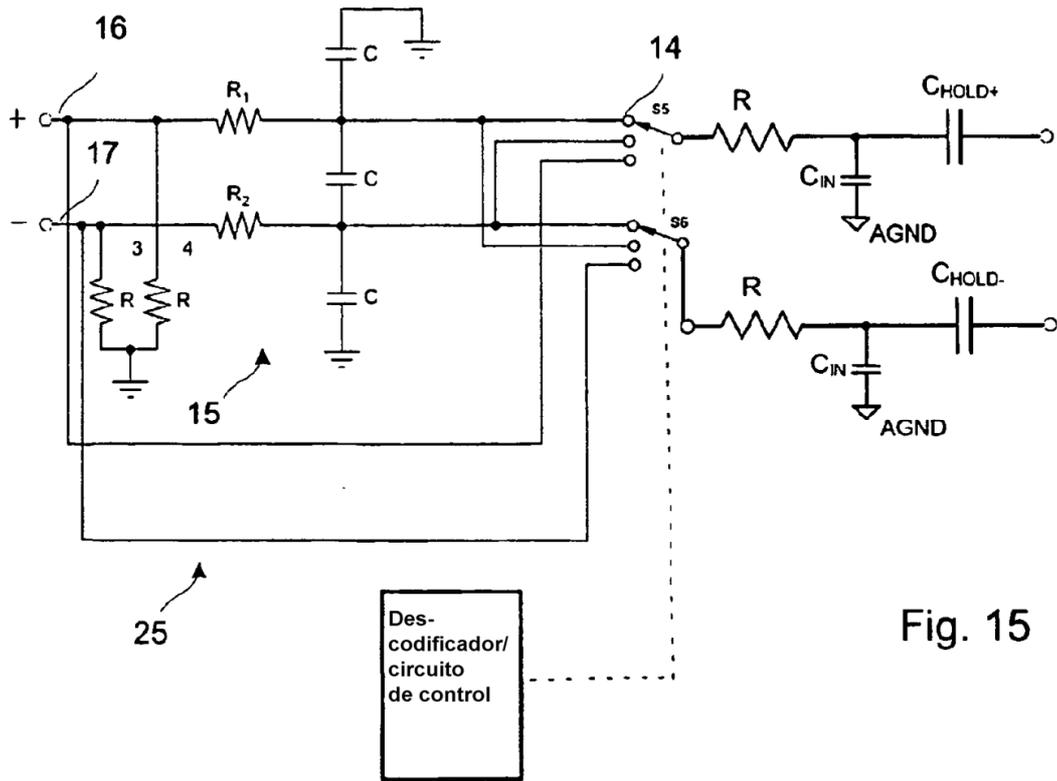


Fig. 15