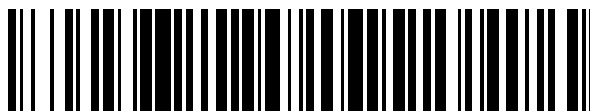


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 383 120**

51 Int. Cl.:

**B41J 2/05**

(2006.01)

**G06K 15/10**

(2006.01)

12

## TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **05732007 .9**

96 Fecha de presentación: **06.04.2005**

97 Número de publicación de la solicitud: **1737667**

97 Fecha de publicación de la solicitud: **03.01.2007**

54 Título: **Dispositivo para la expulsión de fluido**

30 Prioridad:  
**19.04.2004 US 827142**

45 Fecha de publicación de la mención BOPI:  
**18.06.2012**

45 Fecha de la publicación del folleto de la patente:  
**18.06.2012**

73 Titular/es:  
**HEWLETT-PACKARD DEVELOPMENT  
COMPANY, L.P.  
INTELLECTUAL PROPERTY ADMINISTRATION  
20555 S.H. 249  
HOUSTON TX 77070, US**

72 Inventor/es:  
**BENJAMIN, Trudy L.**

74 Agente/Representante:  
**de Elzaburu Márquez, Alberto**

ES 2 383 120 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Dispositivo para la expulsión de fluido

5 Referencia a solicitudes relacionadas

Esta solicitud se refiere a la Solicitud de Patente Número de Serie (no asignado todavía), referencia de su representante nº 200209168-1, titulada "dispositivo para la expulsión o eyección de fluido", Solicitud de Patente Número de Serie (todavía no asignado), referencia de su representante nº 200208780-1, titulada "dispositivo para la expulsión o eyección de fluido con generador de dirección", Solicitud de Patente Número de Serie (todavía no asignado), nº 200311485-1, titulada "dispositivo con puertas configurado en estructura en bucle", Solicitud de Patente Número de Serie (todavía no asignado), nº 200210152-1, titulada "dispositivo de expulsión o eyección de fluido" y la Solicitud de Patente Número de Serie (todavía no asignado), referencia de representante nº 200209237-1 titulada "dispositivo de expulsión o eyección de fluido con células de identificación", cada una de las cuales están cedidas al cesionario de esta solicitud y son solicitadas en la misma fecha, adjuntas.

15 Antecedentes

Un sistema de impresión por inyección de tinta, como una forma de realización de un sistema de expulsión o eyección de fluido, puede incluir un cabezal de impresión, un suministrador de tinta, que proporciona tinta líquida al cabezal de impresión, y un controlador electrónico, que controla el cabezal de impresión. El cabezal de impresión, como una forma de realización de un sistema de expulsión o eyección de fluido, inyecta gotas de tinta a través de una pluralidad de orificios o boquillas. La tinta es proyectada hacia el medio de impresión, como una hoja de de papel, para imprimir una imagen sobre el medio de impresión. Las boquillas están, típicamente, dispuestas en una o más matrices, de forma que la expulsión o eyección adecuada de tinta desde las boquillas, cause la impresión de caracteres u otras imágenes sobre el medio de impresión, al moverse el cabezal de impresión y el medio de impresión, con referencia uno al otro.

En un sistema térmico típico de inyección de tinta, el cabezal de impresión inyecta gotas de tinta a través de las boquillas, mediante el calentamiento rápido de pequeños volúmenes de tinta localizados en cámaras de evaporación. La tinta es calentada con pequeños calentadores eléctricos, como resistencias de film finas, referidas aquí como resistencias de disparo. El calentamiento de la tinta causa la evaporación de la tinta y su expulsión o eyección a través de las boquillas.

Para inyectar una gota de tinta, el controlador eléctrico, que controla el cabezal de tinta, activa una corriente eléctrica, desde el suministrador de corriente exterior al cabezal de tinta. La corriente eléctrica pasa a través de una resistencia de disparo seleccionada, para calentar la tinta en una correspondiente cámara de evaporación seleccionada e inyecta la tinta a través de la correspondiente boquilla. Los generadores de gotas conocidos incluyen una resistencia de disparo, una cámara correspondiente de vaporización y una correspondiente boquilla.

Al ir evolucionando los cabezales de impresión por inyección de tinta, el número de generadores de gotas en un cabezal de impresión se ha incrementado para mejorar la velocidad y/o calidad de impresión. El incremento del número de generadores de gotas por cabezal de impresión, ha dado como resultado un correlativo incremento en el número de pads de entrada necesarios en la base de un cabezal de impresión, para energizar el número incrementado de resistencias de disparo. En un tipo de cabezal de impresión, cada resistencia de disparo es conectada con un correspondiente pad de entrada, para proporcionar electricidad que energice la resistencia de disparo. Al incrementarse el número de resistencias de disparo, un pad de entrada por resistencia de disparo resulta impráctico.

El número de generadores de gotas por pad de entrada es incrementado, significativamente, en otro tipo de cabezal de impresión que tiene unidades primitivas. Un único cable de energía proporciona electricidad a todas las resistencias de disparo de una unidad primitiva. Cada resistencia de disparo es conectada, en serie, con el cable de energía y la trayectoria de la fuente de drenaje de un correlativo transistor de efecto de campo (FET). La puerta de cada FET en una unidad primitiva, esta conectada a un cable de dirección, energizable separadamente, que es compartido por múltiples unidades primitivas.

Los fabricantes continúan reduciendo el número de pads de entrada e incrementando el número de generadores de gotas, sobre las base de un cabezal de impresión. Un cabezal de impresión con menos pads de entrada, típicamente, cuesta menos, que un cabezal de impresión con más pads de entrada. También, un cabezal de impresión con más generadores de gotas, típicamente, imprime con mayor calidad y/o velocidad de impresión. Para mantener los costes y proporcionar una particular franja de altura de impresión, el tamaño de la base de un cabezal de impresión no puede cambiar significativamente, con un número incrementado de generadores de gotas. Al incrementarse la densidad de generadores de gotas y descender el numero de pads de entrada, puede resultar cada vez más complejo el diseño de las bases de los cabezales de tinta.

La Patente Europea con número de publicación 1128324 revela un cabezal de impresión, el cual puede acelerar la transferencia de datos de imagen y la conducción de los elementos de impresión, sin incrementar el número de

líneas de señales y terminales de conexión. Una señal de datos de imagen, separada por una señal de selección, suministrada al cabezal de impresión, tiene un formato de bus de 4-bits, que contiene datos de selección de bloque en su cabeza.

5 Por estas y otras razones, existe una necesidad para la presente invención.

#### Breve descripción de los dibujos

La Figura 1, ilustra una forma de realización de un sistema de impresión por inyección de tinta.

10 La Figura 2, es un diagrama que ilustra una parte de una forma de realización de la base de un cabezal de impresión.

La Figura 3, es un diagrama que ilustra un diseño de generadores de gotas, situados a lo largo de una ranura de alimentación de tinta, en una forma de realización de la base de un cabezal de impresión.

La Figura 4, es un diagrama que ilustra una forma de realización de una célula de disparo, empleada en una forma de realización de una base de un cabezal de impresión.

15 La Figura 5, es un diagrama esquemático que ilustra una forma de realización de una matriz de células de un cabezal de impresión por inyección de tinta.

La Figura 6, es un diagrama esquemático que ilustra una forma de realización de una célula de disparo precargada.

20 La Figura 7, es un diagrama esquemático que ilustra una forma de realización de una matriz de células de disparo de un cabezal de impresión por inyección de tinta.

La Figura 8, es un diagrama de temporización que ilustra el funcionamiento de una forma de realización de una matriz de células de disparo.

La Figura 9, es un diagrama que ilustra una forma de realización de un generador de dirección en la base de un cabezal de impresión.

25 La Figura 10A, es un diagrama que ilustra una célula de registro de desplazamiento, en un registro de desplazamiento.

La Figura 10B, es un diagrama que ilustra un circuito de dirección.

La Figura 11, es un diagrama de temporización que ilustra el funcionamiento de un generador de dirección en dirección hacia delante.

30 La Figura 12, es un diagrama de temporización que ilustra el funcionamiento de un generador de dirección en dirección reversa.

La Figura 13, es un diagrama de bloque que ilustra una forma de realización de dos generadores de dirección y seis grupos de disparo, en la base de un cabezal de impresión.

35 La Figura 14, es un diagrama de temporización que ilustra el funcionamiento hacia delante y hacia atrás de los generadores de dirección, en la base de un cabezal de impresión.

La Figura 15, es un diagrama de bloque que ilustra una forma de realización de un generador de dirección, un circuito de cierre y seis grupos de disparo, en la base de un cabezal de impresión.

La Figura 15, es un diagrama que ilustra una forma de realización de un generador de dirección de selección de banco, en la base de un cabezal de impresión.

40 La figura 16, es un diagrama que ilustra una forma de realización de un circuito de dirección.

La Figura 17, es un diagrama de temporización que ilustra el funcionamiento de una forma de realización de un generador de dirección de selección de banco en la dirección hacia delante.

La Figura 18, es un diagrama de temporización que ilustra el funcionamiento de una forma de realización de un generador de dirección de selección de banco en la dirección reversa.

45 La Figura 19, es un diagrama que ilustra una forma de realización de dos generadores de selección de dirección de banco y seis grupos de disparo, en la base de un cabezal de impresión.

La Figura 20, es un diagrama de temporización que ilustra el funcionamiento hacia delante y reverso de una forma de realización de dos generadores de banco de selección de dirección, en la base de un cabezal de impresión.

#### 50 Descripción detallada

En la siguiente descripción detallada, se hace referencia a los dibujos que se acompañan, los cuales forman parte de esta y en los cuales se muestra, a modo de ilustración, formas específicas de realización, en las cuales la invención puede ser llevada a la práctica. A este respecto, terminología direccional, tal como "parte superior", "parte inferior", "parte delantera", "parte trasera", "principal", "borde", etc., es utilizada con referencia a la orientación de las Figura(s) que se describen. Debido a que los componentes y formas de realización de la presente invención, pueden ser colocados en un número de orientaciones diferentes, la terminología direccional es utilizada con propósito de ilustración y no es, en ningún caso, limitativa. Debe ser entendido, que pueden ser utilizadas otras formas de realización y pueden ser realizados cambios estructurales o lógicos, sin que se aparten del ámbito de protección de la presente invención. Por tanto, la siguiente descripción detallada no debe ser tomada en sentido limitativo y el campo de protección de la presente invención se define por las reivindicaciones que se acompañan.

La Figura 1, ilustra una forma de realización de un sistema de impresión por inyección de tinta 20. El sistema de impresión por inyección de tinta 20, constituye una forma de realización de un sistema de expulsión o eyección de fluido, que incluye un dispositivo de expulsión o eyección de fluido, tal como un ensamblaje de cabezal de impresión

de tinta 22 y un ensamblaje de suministro de fluido, tal como un ensamblaje de suministro de tinta 24. El sistema de impresión por inyección de tinta 20, también incluye un ensamblaje de base 26, un ensamblaje de medios de transporte 28 y un controlador electrónico 30. Al menos un suministrador de energía 32, proporciona electricidad a los diferentes componentes eléctricos del sistema de impresión por inyección de tinta 20.

En una forma de realización, el ensamblaje de cabezal de impresión por inyección de tinta 22, incluye, al menos, un cabezal de impresión o una base de cabezal de impresión 40, que inyecta gotas de tinta a través de una pluralidad de orificios o boquillas 34, hacia un medio de impresión 36, de tal forma que imprime sobre el medio de impresión 36. El cabezal de impresión, es una forma de realización de un dispositivo de expulsión o eyección de fluido. El medio de impresión 36, puede ser cualquier tipo de hoja de material adecuado, como papel, cartulina, transparencias, Mylar, tela y parecidos. Típicamente, las boquillas 34 están dispuestas en una o más columnas o matrices, de tal forma que la expulsión o eyección secuenciada apropiada de tinta desde las boquillas 34, hace que caracteres, símbolos y/o otros gráficos o imágenes, sean impresos sobre el medio de impresión 36, al ser movidos, uno con relación al otro, el ensamblaje de cabezal de impresión por inyección de tinta 22 y el medio de impresión 36. Mientras la siguiente descripción se refiere a la inyección de tinta desde el ensamblaje del cabezal de impresión 22, se entiende que otros líquidos, fluidos o materiales fluidificables, incluyendo fluido transparente, pueden ser inyectados desde el ensamblaje del cabezal de impresión 22.

El ensamblaje de suministro de tinta 24, como una forma de realización de un ensamblaje de suministro de fluido, proporciona tinta al ensamblaje del cabezal de impresión 22 e incluye un depósito 38 para el almacenaje de tinta. Como tal, la tinta fluye desde el depósito 38 al ensamblaje del cabezal de impresión por inyección de tinta 22. El ensamblaje de suministro de tinta 24 y el ensamblaje del cabezal de impresión por inyección de tinta 22, pueden formar, bien un sistema de suministro de tinta de un solo sentido o un sistema de suministro de tinta recirculante. En un sistema de suministro de tinta de un solo sentido, sustancialmente, toda la tinta proporcionada al ensamblaje del cabezal de impresión por inyección de tinta 22, es consumida durante la impresión. En un sistema de suministro de tinta recirculante, solo una porción de la tinta proporcionada al ensamblaje del cabezal de impresión por inyección de tinta 22, es consumida durante la impresión. Como tal, la tinta no consumida durante la impresión, es devuelta al ensamblaje de suministro de tinta 24.

En una forma de realización, el ensamblaje del cabezal de impresión por inyección de tinta 22 y el ensamblaje de suministro de tinta 24, están albergados juntos en un cartucho de inyección de tinta pluma. El cartucho de inyección de tinta o pluma, es una forma de realización de un dispositivo de expulsión o eyección de fluido. En otras forma de realización, el ensamblaje de suministro de tinta 24, esta separado del ensamblaje del cabezal de impresión por inyección de tinta 22 y proporciona tinta al ensamblaje del cabezal de impresión por inyección de tinta 22, a través de una conexión interfaz, como un tubo de suministro (no mostrado). En cualquiera las dos formas de realización, el depósito 38 del ensamblaje de suministro de tinta 24, puede ser extraído, reemplazado y/o rellenado. En una forma de realización, en donde el ensamblaje del cabezal de impresión por inyección de tinta 22 y el ensamblaje de suministro de tinta 24, están albergados juntos en un cartucho de inyección de tinta, el depósito 38 incluye un depósito local, situado dentro del cartucho y puede también incluir un depósito más grande, situado separadamente del cartucho. Como tal, el depósito más grande separado, sirve para rellenar el depósito local. Correlativamente, el depósito más grande separado y/o el depósito local, pueden ser extraídos, reemplazados y/o rellenados.

El ensamblaje de base 26 sitúa el ensamblaje del cabezal de impresión por inyección de tinta 22, en relación al ensamblaje de medios de transporte 28 y el ensamblaje de medios de transporte 28 sitúa el medio de impresión 36, en relación al ensamblaje del cabezal de impresión por inyección de tinta 22. Así, es definida una zona de impresión 37, como adyacente a las boquillas 34, en un área entre el ensamblaje del cabezal de impresión por inyección de tinta 22 y el medio de impresión 36. En una forma de realización, el ensamblaje del cabezal de impresión por inyección de tinta 22, es un ensamblaje de cabezal de impresión de tipo escáner. Como tal, el ensamblaje de base 26 incluye un cartucho (no mostrado), para el movimiento del ensamblaje del cabezal de impresión por inyección de tinta 22 con relación al ensamblaje de medios de transporte 28, para escanear el medio de impresión 36. En otra forma de realización, el ensamblaje del cabezal de impresión por inyección de tinta 22, es un ensamblaje de cabezal de impresión de tipo no escáner. Como tal, el ensamblaje de base 26 fija el ensamblaje del cabezal de impresión por inyección de tinta 22 en una posición prescrita, relativa al ensamblaje de medios de transporte 28. Así, el ensamblaje de medios de transporte 28 coloca el medio de impresión 36, en relación al ensamblaje del cabezal de impresión por inyección de tinta 22.

El controlador electrónico o el controlador de impresión 30, típicamente, incluye un procesador, firmware y otros electrónicos, o cualquier combinación de los mismos, para comunicar con y controlar el ensamblaje del cabezal de impresión por inyección de tinta 22, el ensamblaje de base 26 y el ensamblaje de medios de transporte 28. El controlador electrónico 30 recibe los datos 39 de un sistema de servidor, como un ordenador y, usualmente, incluye memoria para almacenar temporalmente los datos 39. Típicamente, los datos 39 son enviados al sistema de impresión por inyección de tinta 20, a lo largo de un sendero de transmisión de información electrónico, de infrarrojos, óptico u otros. Los datos 39 representan, por ejemplo, un documento y/o archivo a ser impreso. Como tal, los datos 39 forman un trabajo de impresión para el sistema de impresión por inyección de tinta 20 e incluyen uno o más comandos de trabajos de impresión y/o comandos de parámetros.



En una forma de realización, el controlador electrónico 30, controla el ensamblaje del cabezal de impresión por inyección de tinta 22, para la expulsión o eyección de gotas de tinta desde las boquillas 34. Como tal, el controlador electrónico 30 define un patrón de gotas de tinta expulsadas o eyectadas, que forman caracteres, símbolos y/u otros gráficos o imágenes, sobre el medio de impresión 36. El patrón de gotas de gotas de tinta expulsadas o eyectadas, está determinado por los comandos de los trabajos de impresión y/o los parámetros de los comandos.

En una forma de realización, el ensamblaje del cabezal de impresión por inyección de tinta 22, incluye un cabezal de impresión 40. En otra forma de realización, el ensamblaje del cabezal de impresión por inyección de tinta 22, es un ensamblaje de matriz amplia o de cabezal de impresión multicabezas. En una forma de realización de una matriz amplia, el ensamblaje del cabezal de impresión por inyección de tinta 22 incluye un carro transportador, que transporta las bases de los cabezales de impresión 40, proporciona comunicación eléctrica entre las bases de los cabezales de impresión 40 y el controlador electrónico 30 y proporciona comunicación de fluidos entre las bases de los cabezales de impresión 40 y el ensamblaje de suministro de tinta 24.

La Figura 2, es un diagrama que ilustra una porción de una forma de realización de una base de un cabezal de impresión 40. La base del cabezal de impresión 40 incluye una matriz de impresión o de elementos de expulsión o eyección de fluido 42. Los elementos de impresión 42 están formados sobre un sustrato 44, el cual tiene una ranura de alimentación de tinta 46, formada en el mismo. Como tal, la ranura de alimentación de tinta 46 proporciona un suministro de tinta líquida a los elementos de impresión 42. La ranura de alimentación de tinta, es una forma de realización de una fuente de alimentación de fluido. Otras formas de realización de fuentes de alimentación de fluido, incluyen pero no se limitan, a los correspondientes agujeros individuales de alimentación de tinta, que alimentan las correspondientes cámaras de vaporización y las zanjas múltiples de alimentación de tinta más cortas, que alimentan, cada una, los correspondientes grupos de elementos de expulsión o eyección de fluido. Una estructura de película delgada 48 tiene un canal de alimentación de tinta 54 formado en la misma, el cual se comunica con la ranura de alimentación de tinta 46, formada en el sustrato 44. Una capa de orificios 50 tiene una cara frontal 50a y una abertura de boquilla 34 formada en la cara frontal 50a. La capa de orificios 50 también tiene una cámara de boquilla o cámara de vaporización 56, formada en la misma, la cual se comunica con la abertura de boquilla 34 y el canal de alimentación de tinta 54 de la estructura de película delgada 48. Una resistencia de disparo 52 esta situada dentro de la cámara de vaporización 56 y lleva 58 la resistencia de disparo 52 conectada eléctricamente con los circuitos que controlan la aplicación de corriente eléctrica a través de las resistencias de disparo seleccionadas. Un generador de gotas 60, como se indica aquí, incluye la resistencia de disparo 52, la cámara de boquilla o cámara de vaporización 56 y la abertura de boquilla 34.

Durante la impresión, la tinta fluye desde la ranura de alimentación de tinta 46 a la cámara de vaporización 56, a través del canal de alimentación de tinta 54. La abertura de la boquilla 34, esta asociada operativamente con la resistencia de disparo 52, de forma que, las gotitas de tinta que están dentro de la cámara de vaporización 56, son expulsadas o eyectadas a través de la abertura de la boquilla 34 (por ejemplo, sustancialmente normal al plano de la resistencia de disparo 52) y hacia el medio de impresión 36, mediante la energización de la resistencia de disparo 52.

Formas de realización ejemplares de las bases de los cabezales de impresión 40, incluyen un cabezal de impresión térmico, un cabezal de impresión piezoeléctrico y un cabezal de impresión electrostático o cualquier otro tipo de dispositivo de expulsión o eyección de fluido, conocido en el estado de la técnica, que pueda ser integrado en una estructura multicapas. El sustrato 44 esta formado, por ejemplo, de silicona, cristal, cerámica o un polímero estable y la estructura de película delgada 48 esta formada para incluir uno o más sustratos de pasivación o aislamiento de dióxido de silicona, carburo de silicona, nitruro de silicona, tantalio, cristal polisilicio u otro material adecuado. La estructura de película delgada 48 también incluye, al menos, un sustrato conductivo, el cual define la resistencia de disparo 52 y los cables 58. En una forma de realización, el sustrato conductivo comprende, por ejemplo, aluminio, oro, tantalio, aluminio tantalio u otro metal o aleación de metal. En una forma de realización, el circuito de células de disparo, como se describe en detalle abajo, es implementado en capas de sustrato y de película delgada, como el sustrato 44 y la estructura de película delgada 48.

En una forma de realización, la capa de orificios 50 comprende una resina epoxi foto impresionable, por ejemplo, un epoxi referido como SU8 comercializado por Micro-Chem, Newton, MA. Técnicas ejemplares para la fabricación de la capa de orificios 50, con SU8 u otros polímeros, se describen en detalle en la Patente USA Número 6162589. En una forma de realización, la capa de orificios 50 esta formada por dos capas separadas, referidas como una capa de barrera (por ejemplo, una capa barrera de film seco foto resistente) y una capa metálica de orificios (por ejemplo una capa de níquel, cobre, aleaciones hierro/níquel, paladio, oro o rodio) formada sobre la capa de barrera. Sin embargo, para formar la capa de orificios 50 pueden ser empleados otros materiales adecuados.

La Figura 3, es un diagrama que ilustra los generadores de gotas 60, situados a lo largo de la ranura de alimentación de tinta 46, en una forma de realización de la base del cabezal de impresión 40. La ranura de alimentación de tinta 46 incluye lados opuestos de la ranura de alimentación de tinta 46a y 46b. Los generadores de gotas 60 están dispuestos a lo largo de cada uno de los lados opuestos de la ranura de alimentación de tinta 46a y 46b. Un total de

n generadores de gotas 60 están situados a lo largo de la ranura de alimentación de tinta 46, con m generadores de gotas 60 situados a lo largo del lado de la ranura de alimentación de tinta 46a y n – m generadores de gotas 60 situados a lo largo del lado de la ranura de alimentación de tinta 46b. En una forma de realización, n equivale a 200 generadores de gotas 60 situados a lo largo de la ranura de alimentación de tinta 46 y m equivale a 100 generadores de gotas 60 situados a lo largo de cada uno de los lados opuestos de la ranura de alimentación de tinta 46a y 46b. En otras formas de realización, cualquier número adecuado de generadores de gotas 60, puede ser dispuesto a lo largo de la ranura de alimentación de tinta 46.

La ranura de alimentación de tinta 46, proporciona tinta a cada uno de los n generadores de gotas 60 dispuestos a lo largo de la ranura de alimentación de tinta 46. Cada uno de los n generadores de gotas 60 incluye una resistencia de disparo 52, una cámara de vaporización 56 y una boquilla 34. Cada una de las n cámaras de vaporización 56 está conectada fluidamente con la ranura de alimentación de tinta 46, a través de, al menos, un canal de alimentación de tinta 54. Las resistencias de disparo 52 de los generadores de gotas 60, son energizadas en una secuencia controlada, para expulsar o eyectar fluido desde las cámaras de vaporización 56 y a través de las boquillas 34, para imprimir una imagen sobre el medio de impresión 36.

La Figura 4, es un diagrama que ilustra una forma de realización de una célula de disparo 70, empleada en una forma de realización de la base del cabezal de impresión 40. La célula de disparo 70 incluye una resistencia de disparo 52, un interruptor de accionamiento de resistencia 72 y un circuito de memoria 74. La resistencia de disparo 52 es parte del generador de gotas 60. El interruptor de accionamiento 72 y el circuito de memoria 74, son parte de los circuitos que controlan la aplicación de corriente eléctrica a través de la resistencia de disparo 52. La célula de disparo 70 esta formada en la estructura de película delgada 48 y sobre el sustrato 44.

En una forma de realización, la resistencia de disparo 52 es una resistencia de película delgada y el interruptor de accionamiento 72 es un transistor de efecto de campo (FET). La resistencia de disparo 52 esta conectada eléctricamente con la línea de disparo 76 y la trayectoria de la fuente de drenaje del interruptor de accionamiento 72. La trayectoria de la fuente de drenaje del interruptor de accionamiento 72 esta también conectada eléctricamente con la línea de referencia 78, que esta conectada con un voltaje de referencia, como tierra. La puerta del interruptor de accionamiento 72 está conectada eléctricamente con el circuito de memoria 74, que controla el estado del interruptor de accionamiento 72.

El circuito de memoria 74 esta conectado eléctricamente con una línea de datos 80 y las líneas de activación 82. La línea de datos 80 recibe una señal de datos que representa parte de una imagen y las líneas de activación 82 reciben señales de activación para controlar el funcionamiento del circuito de memoria 74. El circuito de memoria 74 almacena un bite de datos, como sea habilitado por las señales de activación. El nivel lógico de los bites de datos almacenados, fija el estado (por ejemplo, encendido o apagado, conduciendo o no conduciendo) del interruptor de accionamiento 72. Las señales de habilitación pueden incluir una o más señales de selección y una o más señales de dirección.

La línea de disparo 76 recibe una señal de energía, que comprende pulsaciones de energía y proporciona una pulsación de energía a la resistencia de disparo 52. En una forma de realización, las pulsaciones de energía son proporcionadas por un controlador electrónico 30, para tener tiempos de encendido temporizados y duración temporizada, para proporcionar una cantidad apropiada de energía para calentar y vaporizar el fluido, en la cámara de vaporización 56 del generador de gotas 60. Si el interruptor de accionamiento 72 esta encendido (conduciendo), la pulsación de energía calienta la resistencia de disparo 52 para calentar y expulsar o eyectar fluido desde el generador de gotas 60. Si el interruptor de accionamiento 72 esta apagado (no conduciendo), la pulsación de energía no calienta la resistencia de disparo 52 y el fluido permanece en el generador de gotas 60.

La Figura 5, es un diagrama esquemático que ilustra una forma de realización de una matriz de células de disparo de un cabezal de impresión por inyección de tinta, indicado como 100. La matriz de células de disparo 100 incluye una pluralidad de células de disparo 70, dispuestas en n grupos de disparo 102a-102n. En una forma de realización, las células de disparo 70 están dispuestas en seis grupos de disparo 102a-102n. En otras formas de realización, las células de disparo 70 pueden estar dispuestas en cualquier número adecuado de grupos de disparo 102a-102n, como cuatro o más grupos de disparo 102a-102n.

Las células de disparo 70 en la matriz 100, están dispuestas esquemáticamente en L filas y m columnas. Las L filas de células de disparo 70 están conectadas eléctricamente con las líneas de activación 104, que reciben las señales de habilitación. Cada fila de células de disparo 70, referidas aquí como un subgrupo de filas o subgrupo de células de disparo 70, esta conectada eléctricamente con un set de líneas de activación de subgrupo 106a-106L. Las líneas de activación de subgrupo 106a-106L reciben las señales de activación de subgrupo SG1, SG2, ... SGL, que habilitan el correspondiente subgrupo de células de disparo 70.

Las m columnas, están conectadas eléctricamente con las m líneas de datos 108a-108m, que reciben las señales de datos D1, D2 ... Dm, respectivamente. Cada una de las m columnas incluye las células de disparo 70, en cada uno de los n grupos de disparo 102a-102n y cada columna de células de disparo 70, referida aquí como un grupo de

línea de datos o grupo de datos, esta conectada eléctricamente con una de las líneas de datos 108a-108m. En otras palabras, cada una de las líneas de datos 108a-108m, esta conectada eléctricamente con cada una de las células de disparo 70 en una columna, incluyendo las células de disparo 70 en cada uno de los grupos de disparo 102a-102n. Por ejemplo, la línea de datos 108a esta conectada eléctricamente con cada una de las células de disparo 70, en la última columna de la izquierda, incluyendo las células de disparo 70 en cada uno de los grupos de disparo 102a-102n. La línea de datos 108b esta conectada eléctricamente con cada una de las células de disparo 70, en la columna adyacente y, así sucesivamente, sobre e incluyendo la línea de datos 108m, que esta conectada eléctricamente con cada una de las células de disparo 70 de la ultima columna de la derecha, incluyendo las células de disparo 70 de cada uno de los grupos de disparo 102a-102n.

En una forma de realización, la matriz 100 esta dispuesta en seis grupos de disparo 102a-102n y cada uno de los seis grupos de disparo 102a-102n incluye 13 subgrupos y ocho grupos de línea de datos. En otras formas de realización, la matriz 100 puede estar dispuesta en cualquier número adecuado de grupos de disparo 102a-102n y en de cualquier número adecuado de subgrupos y grupos de línea de datos. En cualquier forma de realización, los grupos de disparo 102a-102n no se encuentran limitados por tener el mismo número de subgrupos y de grupos de línea de datos. En cambio, cada uno de los grupos de disparo 102a-102n puede tener un número diferente de subgrupos y/o de grupos de línea de datos, en comparación con cualquier otro grupo de disparo 102a-102n. Además, cada subgrupo puede tener un número diferente de células de disparo 70, en comparación con cualquier otro subgrupo y cada grupo de línea de datos puede tener un número diferente de células de disparo 70, en comparación con cualquier otro grupo de línea de datos.

Las células de disparo 70 en cada uno de los grupos de disparo 102a-102n, están conectadas eléctricamente con una de las líneas de disparo 110a-110n. En un grupo de disparo 102a, cada una de las células de disparo 70 esta conectada eléctricamente con la línea de disparo 110a, que recibe la señal de disparo o señal de energía FUEGO1. En el grupo de disparo 102b, cada una de las células de disparo 70 esta conectada eléctricamente con la línea de disparo 110b, que recibe la señal de disparo o la señal de energía FUEGO2 y, así en sucesivamente, hasta e incluyendo el grupo de disparo 102n, en donde cada una de las células de disparo 70 esta conectada eléctricamente con la línea de disparo 110n, que recibe la señal de disparo o la señal de energía FUEGOn. Además, cada una de las células de disparo 70, en cada uno de los grupos de disparo 102a-102n, esta conectada eléctricamente con una línea de referencia común 112, que esta unida a tierra.

En funcionamiento, los subgrupos de señales de activación SG1, SG2, ... SGL son proporcionados sobre las líneas de activación de subgrupo 106a-106L, para habilitar un subgrupo de células de disparo 70. Las células de disparo habilitadas 70 almacenan las señales de datos D1, D2 ... Dm proporcionadas sobre las líneas de datos 108a-108m. Las señales de datos D1, D2 ... Dm son almacenadas en los circuitos de memoria 74 de las células de disparo habilitadas 70. Cada una de las señales de datos almacenadas D1, D2 ... Dm, fija el estado del interruptor de accionamiento 72 en una de las células de disparo habilitadas 70. El interruptor de accionamiento 72 es fijado para conducir o no conducir, basado en el valor de señal de los datos almacenada.

Después de que los estados de los interruptores de accionamiento seleccionados 72 están fijados, es proporcionada una señal de energía FUEGO1-FUEGOn, sobre la línea de disparo 110a-110n que se corresponde con el grupo de disparo 102a-102n, que incluye el subgrupo seleccionado de células de disparo 70. La señal de energía FUEGO1-FUEGOn incluye una pulsación de energía. La pulsación de energía es proporcionada sobre la línea de disparo seleccionada 110a-110n, para energizar las resistencias de disparo 52, en las células de disparo 70 que tienen los interruptores de accionamiento 72 conductores. Las resistencias de disparo 52 energizadas, calientan y expulsan o eyectan tinta sobre el medio de impresión 36, para imprimir una imagen representada por las señales de datos D1, D2 ... Dm. El proceso de habilitar a un subgrupo de células de disparo 70, almacenar las señales de datos D1, D2 ... Dm en el subgrupo habilitado y proporcionar una señal de energía FUEGO1-FUEGOn para energizar las resistencias de disparo 52 en el subgrupo habilitado, continua hasta que la impresión se detiene.

En una forma de realización, como se proporciona una señal de energía FUEGO1-FUEGOn a un grupo de disparo seleccionado 102a-102n, los subgrupos de señales de activación SG1, SG2, ... SGL cambian, para seleccionar y habilitar otro subgrupo en un grupo de disparo diferente 102a-102n. El subgrupo nuevamente habilitado, almacena las señales de datos D1, D2 ... Dm proporcionadas sobre las líneas de datos 108a-108m y una señal de energía FUEGO1-FUEGOn es proporcionada sobre una de las líneas de disparo 110a-110n, para energizar las resistencias de disparo 52 en las células de disparo nuevamente habilitadas 70. En cada momento, solo un subgrupo de células de disparo 70 es habilitado, por el subgrupo de señales de activación SG1, SG2, ... SGL, para almacenar las señales de datos D1, D2 ... Dm proporcionadas en las líneas de datos 108a-108m. A este respecto, las señales de datos D1, D2 ... Dm sobre las líneas de datos 108a-108m, son señales de datos de división multiplicada temporizada. También, solo un subgrupo en un grupo de disparo seleccionado 102a-102n, incluye los interruptores de accionamiento 72, que están fijados para conducir mientras una señal de energía FUEGO1-FUEGOn es proporcionada al grupo de disparo seleccionado 102a-102n. Sin embargo, las señales de energía FUEGO1-FUEGOn proporcionadas a los diferentes grupos de disparo 102a-102n, pueden y de hecho se superponen.

La Figura 6, es un diagrama esquemático que ilustra una forma de realización de una célula de disparo precargada 120. La célula de disparo precargada 120 es una forma de realización de la célula de disparo 70. La célula de disparo precargada 120, incluye un interruptor de accionamiento 172 conectado eléctricamente con una resistencia de disparo 52. En una forma de realización, el interruptor de accionamiento 172 es un FET que incluye una trayectoria de fuente de drenaje, conectada eléctricamente, en un extremo, con un terminal de la resistencia de disparo 52 y, en el otro, con una línea de referencia 122. La línea de referencia 122 está unida a un voltaje de referencia, como tierra. El otro terminal de la resistencia de disparo 52 está conectado eléctricamente con una línea de disparo 124, que recibe una señal de disparo o una señal de energía FUEGO que incluye pulsaciones de energía. Las pulsaciones de energía energizan la resistencia de disparo 52, si el interruptor de accionamiento 172 está encendido (conduciendo).

La puerta del interruptor de accionamiento 172 forma una capacidad de nodo de almacenaje 126, que funciona como un elemento de memoria para almacenar datos, debido a la activación secuencial de un transistor de precarga 128 y un transistor de selección 130. La trayectoria de la fuente de drenaje y la puerta del transistor de precarga 128, están conectadas eléctricamente con una línea de precarga 132 que recibe una señal de precarga. La puerta del interruptor de accionamiento 172 está conectada eléctricamente con la trayectoria de la fuente de drenaje del transistor de precarga 128 y la trayectoria de la fuente de drenaje del transistor de selección 130. La puerta del transistor de selección 130 está conectada eléctricamente con una línea de selección 134, que recibe una señal de selección. La capacidad del nodo de almacenaje 126 se muestra en líneas de guiones, ya que es parte del interruptor de accionamiento 172. Alternativamente, puede ser utilizado como un elemento de memoria, un condensador de capacidad separado del interruptor de accionamiento 172.

Un transistor de datos 136, un transistor de primera dirección 138 y un transistor de segunda dirección 140, incluyen trayectorias de fuentes de drenaje que están conectadas eléctricamente en paralelo. La combinación paralela del transistor de datos 136, el transistor de primera dirección 138 y el transistor de segunda dirección 140, está conectada eléctricamente, entre la trayectoria de la fuente de drenaje del transistor de selección 130 y la línea de referencia 122. El circuito en serie que incluye el transistor de selección 130, conectado a la combinación paralela del transistor de datos 136, el transistor de primera dirección 138 y el transistor de segunda dirección 140, está conectado eléctricamente a través de la capacidad del nodo 126 del interruptor de accionamiento 172. La puerta del transistor de datos 136 está conectada eléctricamente con la línea de datos 142, que recibe las señales de datos ~DATOS. La puerta del transistor de primera dirección 138 está conectada eléctricamente con una línea de dirección 144, que recibe las señales de dirección ~DIRECCION1 y la puerta del transistor de segunda dirección 140 está conectada eléctricamente con una línea de segunda dirección 146, que recibe las señales de dirección ~DIRECCION2. Las señales de datos ~DATOS y las señales de dirección ~DIRECCION1 y ~DIRECCION2, están activas cuando son bajas, como se indica por la tilde (-) al principio del nombre de la señal. La capacidad del nodo 126, el transistor de precarga 128, el transistor de selección 130, el transistor de datos 136 y los transistores de dirección 138 y 140, forman una célula de memoria.

En funcionamiento, la capacidad del nodo 126 es precargada a través del transistor de precarga 128, mediante el suministro de una pulsación de voltaje de nivel alto sobre la línea de precarga 132. En una forma de realización, después de la pulsación de voltaje de nivel alto sobre la línea de precarga 132, es proporcionada una señal de datos ~DATOS sobre la línea de datos 142 para fijar el estado del transmisor de datos 136 y las señales de dirección ~DIRECCION1 y ~DIRECCION2 son proporcionadas sobre las líneas de dirección 144 y 146, para fijar los estados del transistor de primera dirección 138 y del transmisor de segunda dirección 140. Una pulsación de voltaje de suficiente magnitud es proporcionada sobre la línea de selección 134, para encender el transistor de selección 130 y la capacidad del nodo 126 descarga, si el transistor de datos 136, el transistor de primera dirección 138 y/o el transistor de segunda dirección 140, están encendidos. Alternativamente, la capacidad del nodo 126 permanece cargada si el transistor de datos 136, el transistor de primera dirección 138 y el transistor de segunda dirección 140, están todos apagados.

La célula de disparo precargada 120 es una célula de disparo dirigida, si ambas señales de dirección ~DIRECCION1 y ~DIRECCION2 están bajas y la capacidad del nodo 126 bien descarga, si la señal de datos ~DATOS es alta, o permanece cargada, si la señal de datos ~DATOS es baja. La célula de disparo precargada 120, no es una célula de disparo dirigida, si al menos una de las señales de dirección ~DIRECCION1 y ~DIRECCION2 es alta y la capacidad del nodo 126 descarga, independientemente del nivel de voltaje de la señal de datos ~DATOS. Los transistores de primera y segunda dirección 136 y 138 comprenden un decodificador de dirección y el transistor de datos 136 controla el nivel de voltaje sobre la capacidad del nodo 126, si la célula de disparo precargada 120 está dirigida.

La célula de disparo precargada 120 puede utilizar cualquier número de otras topologías o disposiciones, siempre que las relaciones operativas descritas arriba se mantengan. Por ejemplo, una puerta OR puede estar conectada con las líneas de dirección 144 y 146, estando la salida de la misma conectada con un único transistor.

La Figura 7, es un diagrama esquemático que ilustra una forma de realización de una matriz de una célula de disparo de cabezal de impresión por inyección de tinta 200. La matriz de la célula de disparo 200 incluye una pluralidad de células de disparo precargadas 120, dispuestas dentro de seis grupos de disparo 202a-202f. Las

células se disparo precargadas 120 en cada grupo de disparo 202a-202f, están dispuestas esquemáticamente en 13 filas y ocho columnas. Los grupos de disparo 202a-202f y las células de disparo precargadas 120 en la matriz 200, estas dispuestas esquemáticamente en 78 filas y ocho columnas, aunque el número de células de disparo precargadas y su distribución puede variar como se desee.

5 Las ocho columnas de células de disparo precargadas 120 están conectadas eléctricamente con ocho líneas de datos 208a-208h, que reciben las señales de datos ~D1, ~D2 ... ~D8, respectivamente. Cada una de las ocho columnas, referidas aquí como un grupo de línea de datos o grupo de datos, incluye células de disparo precargadas 120 en cada uno de los seis grupos de disparo 202a-202f. Cada una de las células de disparo 120, en cada columna  
10 de células de disparo precargadas 120, está conectada eléctricamente con una de las líneas de datos 208a-208h. Todas las células de disparo precargadas 120 en un grupo de línea de datos, están conectadas eléctricamente con la misma línea de datos 208a-208h, que está conectada eléctricamente con las puertas de los transistores de datos 136 en las células de disparo precargadas 120 de la columna.

15 La línea de datos 208a asta conectada eléctricamente con cada una de las células de disparo precargadas 120 de la última columna de la izquierda, incluyendo las células de disparo precargadas en cada uno de los grupos de disparo 202a-202f. La línea de datos 208b esta conectada eléctricamente con cada una de las células de disparo precargadas 120 de la columna adyacente y, así sucesivamente, sobre e incluyendo la línea de datos 208h, que esta conectada eléctricamente con cada una de las células de disparo precargadas 120 de la última columna de la  
20 derecha, incluyendo las células de disparo precargadas 120 en cada uno de los grupos de disparo 202a-202f.

Las filas de las células de disparo precargadas 120, están conectadas eléctricamente con las líneas de dirección 206a-206g, que reciben las señales de dirección ~A1, ~A2 ... ~A7, respectivamente. Cada célula de disparo precargada 120, en una fila de células de disparo precargadas 120, referidas aquí como un subgrupo de filas o  
25 subgrupo de células de disparo precargadas 120, esta conectada eléctricamente con dos de las líneas de dirección 206a-206g. Todas las células de disparo precargadas 120 de un subgrupo de filas, están conectadas eléctricamente con las mismas dos líneas de dirección 206a-206g.

Los subgrupos de los grupos de disparo 202a-202f están identificados como los subgrupos SG1-1, a través de SG1-13 en el grupo de disparo uno (FG1) 202a, los subgrupos SG2-1 a través de SG2-13 en el grupo de disparo dos (FG2) 202b y, así sucesivamente, hasta e incluyendo los subgrupos SG6-1 a través de SG6-13 en el grupo de disparo seis (FG6) 202f. En otras formas de realización, cada grupo de disparo 202a-202f puede incluir cualquier  
30 número adecuado de subgrupos, como 14 o más subgrupos.

35 Cada subgrupo de células de disparo precargadas 120 esta conectado eléctricamente con dos líneas de dirección 206a-206g. Las dos líneas de dirección 206a-206g que se corresponden con un subgrupo, están conectadas eléctricamente con los transistores de dirección primera y segunda 138 y 140, en todas las células de disparo precargadas 120 del subgrupo. Una línea de dirección 206a-206g está conectada eléctricamente con la puerta de uno de los transistores de dirección primera y segunda 138 y 140 y otra línea de dirección 206a-206g esta  
40 conectada eléctricamente con la puerta del otro de los transistores de dirección primera y segunda 138 y 140. Las líneas de dirección 206a-206g reciben las señales de dirección ~A1, ~A2 ...~A7 y están conectadas para proporcionar las señales de dirección ~A1, ~A2 ...~A7 a los subgrupos de la matriz 200 como sigue:

Señales de Dirección de Subgrupo de filas	Subgrupos de Fila
~A1, ~A2	SG1-1, SG2-1 ... SG6-1
~A1, ~A3	SG1-2, SG2-2 ... SG6-2
~A1, ~A4	SG1-3, SG2-3 ... SG6-3
~A1, ~A5	SG1-4, SG2-4 ... SG6-4
~A1, ~A6	SG1-5, SG2-5 ... SG6-5
~A1, ~A7	SG1-6, SG2-6 ... SG6-6
~A2, ~A3	SG1-7, SG2-7 ... SG6-7
~A2, ~A4	SG1-8, SG2-8 ... SG6-8
~A2, ~A5	SG1-9, SG2-9 ... SG6-9
~A2, ~A6	SG1-10, SG2-10 ... SG6-10
~A2, ~A7	SG1-11, SG2-11 ... SG6-11
~A3, ~A4	SG1-12, SG2-12 ... SG6-12
~A3, ~A5	SG1-13, SG2-13 ... SG6-13

5

Los subgrupos de células de disparo precargadas 120 son dirigidos mediante el suministro de las señales de dirección ~A1, ~A2 ... ~A7 sobre las líneas de dirección 206a-206g. En una forma de realización, las líneas de dirección 206a-206g están conectadas eléctricamente con uno o más generadores de dirección, proporcionados sobre la base del cabezal de impresión 140.

10

Las líneas de precarga 210a-210f reciben las señales de precarga PRE1, PRE2 ... PRE6 y proporcionan las señales de precarga PRE1, PRE2 ... PRE6 a los correspondientes grupos de disparo 202a-202f. La línea de precarga 210a está conectada eléctricamente con todas las células de disparo precargadas 120 en FG1 202a. La línea de precarga 210b está conectada eléctricamente con todas las células de disparo precargadas 120 en FG2 202b y, así sucesivamente, hasta e incluyendo la línea de precarga 210f, que está conectada eléctricamente con todas las células de disparo precargadas 120 en FG6 202f. Cada una de las líneas de precarga 210a-210f está conectada eléctricamente con la puerta y la trayectoria de la fuente de drenaje de todos los transistores de precarga 128 en el correspondiente grupo de disparo 202a-202f y todas las células de disparo precargadas 120 en un grupo de disparo 202a-202f, están conectadas eléctricamente con solo una línea de precarga 210a-210f. Así, las capacidades del nodo 126 de todas las células de disparo precargadas 120 en un grupo de disparo 202a-202f, son cargadas mediante el suministro de la correspondiente señal de precarga PRE1, PRE2 ... PRE6 a la correspondiente línea de precarga 210a-210f.

15

20

25

Las líneas de selección 212a-212f reciben las señales de selección SEL1, SEL2 ... SEL6 y proporcionan las señales de selección SEL1, SEL2 ... SEL6 a los correspondientes grupos de disparo 202a-202f. La línea de selección 212a está conectada eléctricamente con todas las células de disparo precargadas 120 en FG1 202a. La línea de selección 212b está conectada eléctricamente con todas las células de disparo precargadas 120 en FG2 202b y, así sucesivamente, hasta e incluyendo la línea de selección 212f que está conectada eléctricamente con todas las células de disparo precargadas 120 en FG6 202f. Cada una de las líneas de selección 212a-212f está conectada eléctricamente con la puerta de todos los transistores de selección 130, en el grupo de disparo correspondiente 202a-202f y todas las células de disparo precargadas 120 en un grupo de disparo 202a-202f están conectadas eléctricamente con solo una línea de selección 212a-212f.

30

35

Las líneas de disparo 214a-214f reciben las señales de disparo o señales de energía FUEGO1, FUEGO2, ... FUEGO6 y proporcionan las señales de energía FUEGO1, FUEGO2, ... FUEGO6 a los correspondientes grupos de disparo 202a-202f. La línea de disparo 214a está conectada eléctricamente con todas las células de disparo precargadas 120 en FG1 202a. La línea de disparo 214b está conectada eléctricamente con todas las células de disparo precargadas 120 en FG2 202b y, así sucesivamente, hasta e incluyendo la línea de disparo 214f que está conectada eléctricamente con todas las células de disparo precargadas 120 en FG6 202f. Cada una de las líneas de disparo 214a-214f está conectada eléctricamente con todas las resistencias de disparo 52 en el correspondiente grupo de disparo 202a-202f y todas las células de disparo precargadas 120, en un grupo de disparo 202a-202f, están conectadas eléctricamente con solo una línea de disparo 214a-214f. Las líneas de disparo 214a-214f están conectadas eléctricamente con un circuito externo de suministro, mediante los pads de interfaz apropiados (véase la

40

Figura 25). Todas las células de disparo precargadas 120, en la matriz 200, están conectadas eléctricamente con una línea de referencia 216 que esta unida a un voltaje de referencia, como tierra. Así, las células de disparo precargadas 120 en un subgrupo de filas de células de disparo precargadas 120, están conectadas eléctricamente con las mismas líneas de dirección 206a-206g, línea de precarga 210a-210f, línea de selección 212a-212f y línea de disparo 214a-214f.

En funcionamiento, en una forma de realización, los grupos de disparo 202a-202f son seleccionados para disparar en sucesión. FG1 202a es seleccionado antes que FG2 202b, el cual es seleccionado antes que FG3 y, así sucesivamente, hasta FG6 202f. Después de FG6 202f, el ciclo de grupo de disparo empieza de nuevo con FG1 202a. Sin embargo, pueden utilizarse otras secuencias y selecciones no secuenciales.

Las señales de dirección ~A1, ~A2 ... ~A7 circulan hasta las direcciones de subgrupos de filas 13 antes de repetir una dirección del subgrupo de filas. Las señales de dirección ~A1, ~A2 ... ~A7 proporcionadas sobre las líneas de dirección 206a-206g, son fijadas a una dirección del subgrupo de filas durante cada ciclo, a través de los grupos de disparo 202a-202f. Las señales de dirección ~A1, ~A2 ... ~A7 seleccionan un subgrupo de filas en cada uno de los grupos de disparo 202a-202f para un ciclo, a través de los grupos de disparo 202a-202f. Para el siguiente ciclo, a través de los grupos de disparo 202a-202f, las señales de dirección ~A1, ~A2 ... ~A7 son cambiadas, para seleccionar otro subgrupo de filas en cada uno de los grupos de disparo 202a-202f. Esto continúa hasta que las señales de dirección ~A1, ~A2 ... ~A7 seleccionan el último subgrupo de filas en los grupos de disparo 202a-202f. Después del último subgrupo de filas, las señales de dirección ~A1, ~A2 ... ~A7 seleccionan el primer subgrupo de filas para empezar el ciclo de dirección otra vez.

En otro aspecto del funcionamiento, uno de los grupos de disparo 202a-202f es puesto en funcionamiento, mediante la aportación de una señal de precarga PRE1, PRE2 ... PRE6 sobre la línea de precarga 210a-210f de un grupo de disparo 202a-202f. La señal de precarga PRE1, PRE2 ... PRE6 define un intervalo de tiempo de precarga o periodo de tiempo durante el cual la capacidad del nodo 126 en cada interruptor de accionamiento 172 en el grupo de disparo uno 202a-202f, es cargada hasta un nivel de voltaje alto, para precargar el grupo de disparo uno 202a-202f.

Las señales de dirección ~A1, ~A2 ... ~A7 son proporcionadas sobre las líneas de dirección 206a-206g para dirigir el subgrupo de filas uno, en cada uno de los grupos de disparo 202a-202f, incluyendo el subgrupo de filas uno en el grupo de disparo precargado 202a-202f. Las señales de datos ~D1, ~D2 ... ~D8 son proporcionadas sobre las líneas de datos 208a-208h para proporcionar datos a todos los grupos de disparo 202a-202f, incluyendo la dirección del subgrupo de filas en el grupo de disparo precargado 202a-202f.

A continuación, una señal de selección SEL1, SEL2 ... SEL6 es proporcionada sobre la línea de selección 212a-212f del grupo de disparo precargado 202a-202f, para seleccionar el grupo de disparo precargado 202a-202f. La señal de selección SEL1, SEL2 ... SEL6 define un intervalo de tiempo de descarga, para descargar la capacidad del nodo 126 en cada uno de los interruptores de accionamiento 172 en una célula de disparo precargada 120, que, o bien no está en el subgrupo de filas dirigido en el grupo de disparo seleccionado 202a-202f o está dirigida en el grupo de disparo seleccionado 202a-202f y que recibe una señal de datos de nivel alto ~D2, ~D2 ... ~D8. La capacidad del nodo 126 no descarga en las células de disparo precargadas 120, que están dirigidas en el grupo de disparo seleccionado 202a-202f y que reciben una señal de datos de nivel bajo ~D1, ~D2 ... ~D8. Un nivel de voltaje alto en la capacidad del nodo 126 enciende el interruptor de accionamiento 172 (conduciendo).

Después de que los interruptores de accionamiento en el grupo de disparo seleccionado 202a-202f, son fijados para conducir o no conducir, se proporciona una pulsación de energía o pulsación de voltaje sobre la línea de disparo 214a-214f del grupo de disparo seleccionado 202a-202f. Las células de disparo precargadas 120, que tienen interruptores de accionamiento conductores 172, conducen la corriente a través de la resistencia de disparo 52, para calentar tinta y expulsar o eyectar tinta desde correspondiente generador de gotas 60.

Con los grupos de disparo 202a-202f funcionando en sucesión, la señal de selección SEL1, SEL2 ... SEL6 para un grupo de disparo 202a-202f, es utilizada como señal de precarga PRE1, PRE2 ... PRE6 para el siguiente grupo de disparo 202a-202f. La señal de precarga PRE1, PRE2 ... PRE6 para un grupo de disparo 202a-202f, precede a la señal de selección SEL1, SEL2 ... SEL6 y la señal de energía FUEGO1, FUEGO2 ... FUEGO6 para el grupo de disparo uno 202a-202f. Después de la señal de precarga PRE1, PRE2 ... PRE6, las señales de datos ~D1, ~D2 ... ~D8 se multiplican en el tiempo y se almacenan en el subgrupo de filas dirigido de uno de los grupos de disparo 202a-202f, mediante la señal de selección SEL1, SEL2 ... SEL6. La señal de selección SEL1, SEL2 ... SEL6 para el grupo de disparo seleccionado 202a-202f, es también la señal de precarga PRE1, PRE2 ... PRE6 para el siguiente grupo de disparo 202a-202f. Después de que la señal de selección SEL1, SEL2 ... SEL6 para el grupo de disparo seleccionado 202a-202f es completa, se proporciona la señal de selección SEL1, SEL2 ... SEL6 para el siguiente grupo de disparo 202a-202f. Las células de disparo precargadas 120 en el grupo de disparo seleccionado, disparan o calientan tinta basadas en la señal de datos almacenada ~D2, ~D2 ... ~D8, como las señales de energía FUEGO1, FUEGO2, ..., FUEGO6, incluyendo una pulsación de energía, que es proporcionada al grupo de disparo seleccionado 202a-202f.

La Figura 8, es un diagrama de temporización que ilustra el funcionamiento de una forma de realización de la matriz de células de disparo 200. Los grupos de disparo 202a-202f son seleccionados en sucesión para energizar células de disparo precargadas 120, basados en las señales de datos ~D1, ~D2 ... ~D8, indicadas en 300. Las señales de datos ~D1, ~D2 ... ~D8 en 300, son cambiadas dependiendo de las boquillas que deben expulsar o eyectar fluido, indicadas en 302, para cada combinación de dirección del subgrupo de filas y grupo de disparo 202a-202f. Las señales de dirección ~A1, ~A2 ... ~A7 en 304, son proporcionadas a las líneas de dirección 206a-206g, para dirigir un subgrupo de filas de cada uno de los grupos de disparo 202a- 202f. Las señales de dirección ~A1, ~A2 ... ~A7 en 304, son fijadas en una dirección, indicada en 306, para un ciclo, a través de los grupos de disparo 202a- 202f. Después de que el ciclo se haya completado, las señales de dirección ~A1, ~A2 ... ~A7 en 304, son cambiadas en 308, para dirigir un subgrupo de filas diferente de cada uno de los grupos de disparo 202a-202f. Las señales de dirección ~A1, ~A2 ... ~A7 en 304, se incrementan a través de los subgrupos de filas, para dirigir los subgrupos de filas en orden secuencial, desde uno hasta 13 y hacia atrás hasta uno. En otras formas de realización, las señales de dirección ~A1, ~A2 ... ~A7 en 304, pueden ser fijadas para dirigir los subgrupos de filas en cualquier orden adecuado.

Durante un ciclo, a través de los grupos de disparo 202a-202f, la línea de selección 212f conectada con FG6 202f y la línea de precarga 210a conectada con FG1 202a, reciben la señal SEL6/PRE1, 309, incluyendo la pulsación de señal SEL6/PRE1 310. En una forma de realización, la línea de selección 212f y la línea de precarga 210a están conectadas juntas eléctricamente, para recibir la misma señal. En otra forma de realización, la línea de selección 212f y la línea de precarga 210a no están conectadas juntas eléctricamente, pero reciben señales similares.

La pulsación de señal SEL6/PRE1 en 310, sobre la línea de precarga 210a, precarga todas las células de disparo 120 en FG1 202a. La capacidad del nodo 126 para cada una de las células de disparo precargadas 120 en FG1 202a, es cargada en un alto nivel de voltaje. La capacidad del nodo 126 para las células de disparo precargadas 120 en un subgrupo de filas SG1-K, indicado en 311, son precargadas a un nivel de voltaje alto en 312. La dirección del subgrupo de filas en 306, selecciona el subgrupo SG1-K y una señal de datos fijada en 314, es proporcionada a los transistores de datos 136, en todas las células de disparo precargadas 120 de todos los grupos de disparo 202a-202f, incluyendo la dirección seleccionada del subgrupo de filas SG1-K.

La línea de selección 212a para FG1 202a y la línea de precarga 210b para FG2 202b, reciben la señal SEL1/PRE2 315, incluyendo la pulsación de la señal SEL1/PRE2 316. La pulsación de la señal SEL1/PRE2 316, sobre la línea de selección 212a, enciende el transistor de selección 130 en cada una de las células de disparo precargadas 120 en FG1 202a. La capacidad del nodo 126 es descargada en todas las células de disparo precargadas 120 en FG1 202a, que no están en la dirección seleccionada del subgrupo de filas SG1-K. En la dirección seleccionada del subgrupo de filas SG1-K, los datos en 314 son almacenados, indicados en 318, en la capacidad del nodo 126 de los interruptores de accionamiento 172 en el subgrupo de filas SG1-K, para bien encender el interruptor de accionamiento (conduciendo) o apagarlo (no conduciendo).

La pulsación de señal SEL1/PRE2, en 316 sobre la línea de precarga 210b precarga todas las células de disparo 120 en FG2 202b. La capacidad del nodo 126 para cada una de las células de disparo precargadas 120 en FG2 202b, es cargada a un nivel de voltaje alto. Las capacidades de nodo 126 para las células de disparo precargadas 120 en un subgrupo de filas SG2-K, indicado en 319, son precargadas hasta un nivel de voltaje alto en 320. La dirección del subgrupo de filas en 306 selecciona el subgrupo SG2-K y una señal de datos fijada en 328 es proporcionada a los transistores de datos 136 en todas las células de disparo precargadas 120 de todos los grupos de disparo 202a-202f, incluyendo la dirección del subgrupo de filas seleccionado SG2-K.

La línea de disparo 214a recibe la señal de energía FUEGO1, indicada en 323, incluyendo una pulsación de energía en 322, para energizar las resistencias de disparo 52 de las células de disparo precargadas 120, que tienen interruptores de accionamiento conductores 172 en FG1 202a. La pulsación de energía FUEGO1 322 va alta, mientras la pulsación de señal SEL1/PRE2 316 es alta y mientras la capacidad del nodo 126 en los interruptores de accionamientos no conductores 172, han sido activamente arrastradas bajas, indicadas en la señal de energía FUEGO1 323 en 324. Desplazando la pulsación de energía 322 alta mientras las capacidades de nodo 126 están activamente arrastradas bajas, se evita que las capacidades de nodo 126 se carguen de forma inadvertida a través del interruptor de accionamiento 172, al ir alta la pulsación de energía 322. La señal SEL1/PRE2 315 va baja y la pulsación de energía 322 es proporcionada a FG1 202a por un tiempo predeterminado, para calentar tinta y expulsar o eyectar tinta a través de las boquillas 34 que se corresponden con las células de disparo precargadas conductoras 120.

La línea de selección 212b para FG2 202b y la línea de precarga 210c para FG3 202c, reciben la señal SEL2/PRE3 325, incluyendo la pulsación de señal SEL2/PRE3 326. Después la pulsación de señal SEL1/PRE2 316 va baja y mientras la pulsación de energía 322 es alta, la pulsación de señal SEL2/PRE3 326, sobre la línea de selección 212b, enciende el transistor de selección 130 en cada una de las células de disparo precargadas 120 en FG2 202b. La capacidad del nodo 126 es descargada en todas las células de disparo precargadas 120 en FG2 202b, que no están en la dirección del subgrupo de filas seleccionado SG2-K. La señal de datos fijada 328 para el subgrupo SG2-K, es almacenada en las células de disparo precargadas 120 del subgrupo SG2-K, indicada en 330, para, o bien



encender los interruptores de accionamiento 172 (conduciendo) o apagarlos (no conduciendo). La pulsación de señal SEL2/PRE3 sobre la línea de precarga 210c, precarga todas las células de disparo precargadas 120 en FG3 202c.

La línea de disparo 214b recibe la señal de energía FUEGO2, indicada en 331, incluyendo la pulsación de energía 332, para energizar las resistencias de disparo 52 en las células de disparo precargadas 120 de FG2 202b, que tienen interruptores de accionamiento conductores 172. La pulsación de energía FUEGO2 332 va alta mientras la pulsación de señal SEL2/PRE3 326 es alta, indicada en 334. La pulsación de señal SEL2/PRE3 326 va baja y la pulsación de energía FUEGO2 332 permanece alta, para calentar y expulsar o eyectar tinta desde el correspondiente generador de gotas 60.

Después la pulsación de señal SEL2/PRE3 326 va baja y mientras la pulsación de energía 332 es alta, una señal SEL3/PRE4 es proporcionada para seleccionar FG3 202c y precargar FG4 202d. El proceso de precarga, selección y suministro de una señal de energía, que incluye una pulsación de energía, continua hasta e incluyendo FG6 202f.

La pulsación de señal SEL5/PRE6 sobre la línea de precarga 210f, precarga todas las células de disparo 120 en FG6 202f. La capacidad del nodo 126 de cada una de las células de disparo precargadas 120 en FG6 202f, es cargada a un alto nivel de voltaje. Las capacidades del nodo 126 para las células de disparo precargadas 120 en el subgrupo de filas uno SG6-K, indicado en 339, son precargadas a un nivel de voltaje alto en 341. La dirección del subgrupo de filas en 306 selecciona el subgrupo SG6-K y la señal de datos fijada 338 es proporcionada a los transistores de datos 136, en todas las células de disparo precargadas 120 de todos los grupos de disparo 202a-202f, incluyendo la dirección del subgrupo de filas seleccionado SG6-K.

La línea de selección 212f de FG6 202f y la línea de precarga 210a para FG1 202a, reciben una segunda pulsación de señal SEL6/PRE1 en 336. La segunda pulsación de señal SEL6/PRE1 sobre la línea de selección 212f, enciende el transistor de selección 130 en cada una de las células de disparo precargadas 120 en FG6 202f. La capacidad del nodo 126 es descargada, en todas las células de disparo precargadas 120 en FG6 202f, que no están en la dirección del subgrupo de filas seleccionado SG6-K. En la dirección del subgrupo de filas seleccionado SG6-K, los datos 338 son almacenados en 340, en la capacidad del nodo 126 de cada interruptor de accionamiento 172, para bien encender o apagar el interruptor de accionamiento.

La señal SEL6/PRE1 sobre la línea de precarga 210a, precarga las capacidades de nodo 126 en todas las células de disparo 120 en FG1 202a, incluyendo las células de disparo 120 en el subgrupo de filas SG1-K, indicado en 342, a un nivel de voltaje alto. Las células de disparo 120 en FG1 202a están precargadas mientras las señales de dirección ~A1, ~A2 ... ~A7 304 seleccionan los subgrupos de filas SG1-K, SG2- K y en adelante, hasta el subgrupo de filas SG6-K.

La línea de disparo 214f recibe la señal de energía FUEGO6, indicada en 343, incluyendo una pulsación de energía en 344 para energizar las resistencias de disparo 52 en las células de disparo precargadas 120, que tienen los interruptores de accionamiento conductores 172 en FG6 202f. La pulsación de energía 344 va alta mientras la pulsación de señal SEL6/PRE1 336 es alta y las capacidades de nodo 126 en los interruptores de accionamiento no conductores 172 han sido activamente arrastrados bajos, indicados en 346. Desplazando la pulsación de energía 344 alta, mientras las capacidades de nodo 126 son activamente arrastradas bajas, evita que las capacidades de nodo 126 sean inadvertidamente cargadas a través del interruptor de accionamiento 172 al ir alta la pulsación de energía 344. La pulsación de señal SEL6/PRE1, 336 va baja y la pulsación de energía 344 es mantenida alta por un tiempo predeterminado, para calendar tinta y expulsar o eyectar tinta a través de las boquillas 34 que se corresponden con las células de disparo precargadas conductoras 120.

Después la pulsación de señal SEL6/PRE1 336 va baja y mientras la pulsación de energía 344 es alta, las señales de dirección ~A1, ~A2 ... ~A7 304 son cambiadas en 308 para seleccionar otro set de subgrupos SG1-K+1, SG2-K+1 y, así sucesivamente, hasta SG6-K+1. La línea de selección 212a para FG1 202a y la línea de precarga 210b para FG2 202b, reciben una pulsación de señal SEL1/PRE2, indicada en 348. La pulsación de señal SEL1/PRE2 348, sobre la línea de selección 212a, enciende el transistor de selección 130 en cada una de las células de disparo precargadas 120 en FG1 202a. La capacidad del nodo 126 es descargada en todas las células de disparo precargadas 120 en FG1 202a que no están en la dirección del subgrupo seleccionado SG1-K+1. La señal de datos fijada 350 para el subgrupo de filas SG1-K+1, es almacenada en las células de disparo precargadas 120 del subgrupo SG1-K+1, para bien encender o apagar los interruptores de accionamiento 172. La pulsación de señal SEL1/PRE2 348, sobre la línea de precarga 210b precarga todas las células de disparo 120 en FG2 202b.

La línea de disparo 214a recibe la pulsación de energía 352, para energizar las resistencias de disparo 52 y las células de disparo precargadas 120 de FG1 202a, que tienen interruptores de accionamiento conductores 172. La pulsación de energía 352 va alta mientras la pulsación de señal SEL1/PRE2 en 348 es alta. La pulsación de señal SEL1/PRE2 348 va baja y la pulsación de energía 352 permanece alta, para calentar y expulsar o eyectar tinta desde los correspondientes generadores de gotas 60. El proceso continua hasta que la impresión está completada.

La Figura 9, es un diagrama que ilustra una forma de realización de un generador de dirección 400 en la base de un cabezal de impresión 40. El generador de dirección 400 incluye un registro de desplazamiento 402, un circuito de dirección 404 y una matriz lógica 406. El registro de desplazamiento 402 está conectado eléctricamente con el circuito de dirección 404, a través de las líneas de control de dirección 408. También, el registro de transmisión 402 está conectado eléctricamente con la matriz lógica 406, a través de las líneas de salida del registro de desplazamiento 410a-410m.

En las formas de realización descritas abajo, el generador de dirección 400 proporciona señales de dirección a las células de disparo 120. En una forma de realización, el generador de dirección 400 recibe señales externas, véase la Figura 25, incluyendo una señal de control CSYNC y seis señales de temporización T1-T6 y, en respuesta, proporciona siete señales de dirección ~A1, ~A2, ... ~A7. Las señales de dirección ~A1, ~A2, ... ~A7 están activas cuando las mismas están en el nivel de voltaje bajo, como se indica por las tildes que preceden a cada nombre de señal. En una forma de realización, las señales de temporización T1-T6 son proporcionadas sobre las líneas de selección (por ejemplo, las líneas de selección 212a-212f mostradas en la Figura 7). El generador de dirección 400 es una forma de realización de un circuito de control configurado para responder a una señal de control (por ejemplo, CSYNC), para iniciar una secuencia (por ejemplo, una secuencia de direcciones ~A1, ~A2 ... ~A7, en orden hacia delante o reverso), para habilitar la activación de las células de disparo 120.

El generador de dirección 400 incluye redes de resistencia de segmentación 412, 414 y 416, que reciben las señales de temporización T2, T4 y T6. La red de resistencia de segmentación 412 recibe la señal de temporización T2 a través de la línea de señal de temporización 418 y divide el nivel de voltaje de la señal de temporización T2, para proporcionar una señal de temporización de nivel de voltaje reducido T2 sobre la línea de señal de primera evaluación 420. La red de resistencia de segmentación 414 recibe la señal de temporización T4, a través de la línea de señal de temporización 422 y divide el nivel de voltaje de la señal de temporización T4, para proporcionar una la señal de temporización de nivel de voltaje reducido T4, sobre la línea de señal de segunda evaluación 424. La red de resistencia de segmentación 416 recibe la señal de temporización T6, a través de la línea de señal de temporización 426 y divide el nivel de voltaje de la señal de temporización T6, para proporcionar una señal de temporización de nivel de voltaje reducido T6 sobre la línea de señal de tercera evaluación 428.

El registro de desplazamiento 402 recibe la señal de control CSYNC, a través de la línea de señal de control 430 y las señales de dirección, a través de las líneas de señal de dirección 408. También, el registro de desplazamiento 402 recibe la señal de temporización T1, a través de la línea de señal de temporización 432, como primera señal de precarga PRE1. La señal de temporización de nivel de voltaje reducido T2 es recibida a través de la línea de señal de primera evaluación 420, como primera señal de evaluación EVAL1. La señal de temporización T3 es recibida a través de la línea de señal de temporización 434, como segunda señal de precarga PRE2 y la señal de temporización de nivel reducido de voltaje T4 es recibida a través de la línea de señal de segunda evaluación EVAL2. El registro de desplazamiento 402 proporciona las señales de salida del registro de desplazamiento SO1-SO13 en las líneas de salida del registro de desplazamiento 410a-410m.

El registro de desplazamiento 402 incluye trece células del registro de desplazamiento 403a-403m que proporcionan las trece señales de salida del registro de desplazamiento SO1-SO13. Cada célula del registro de desplazamiento 403a-403m proporciona una de las señales de salida del registro de desplazamiento SO1-SO13. Las trece células del registro de desplazamiento 403a-403m están conectadas eléctricamente en serie, para proporcionar el desplazamiento en la dirección hacia delante y la dirección inversa. En las otras formas de realización, el registro de desplazamiento 402 puede incluir cualquier número adecuado de células del registro de desplazamiento 403, para proporcionar cualquier número adecuado de señales de salida del registro de desplazamiento, para proporcionar cualquier número deseado de señales de dirección.

La célula del registro de desplazamiento 403a proporciona la señal de salida del registro de desplazamiento SO1, sobre la línea de salida del registro de desplazamiento 410a. La célula del registro de desplazamiento 403b proporciona la señal de salida del registro de desplazamiento SO2 sobre la línea de salida del registro de desplazamiento 410b. La célula del registro de desplazamiento 403c proporciona la señal de salida del registro de desplazamiento SO3 sobre la línea de salida del registro de desplazamiento 410c. La célula del registro de desplazamiento 403d proporciona la señal de salida del registro de desplazamiento SO4 sobre la línea de salida del registro de desplazamiento 410d. La célula del registro de desplazamiento 403e proporciona la señal de salida del registro de desplazamiento SO5 sobre la línea de salida del registro de desplazamiento 410e. La célula del registro de desplazamiento 403f proporciona la señal de salida del registro de desplazamiento SO6 sobre la línea de salida del registro de desplazamiento 410f. La célula del registro de desplazamiento 403g proporciona la señal de salida del registro de desplazamiento SO7 sobre la línea de salida del registro de desplazamiento 410g. La célula del registro de desplazamiento 403h proporciona la señal de salida del registro de desplazamiento SO8 sobre la línea de salida del registro de desplazamiento 410h. La célula del registro de desplazamiento 403i proporciona la señal de salida del registro de desplazamiento SO9 sobre la línea de salida del registro de desplazamiento 410i. La célula del registro de desplazamiento 403j proporciona la señal de salida del registro de desplazamiento SO10 sobre la línea de salida del registro de desplazamiento 410j. La célula del registro de desplazamiento 403k proporciona la señal de salida del registro de desplazamiento SO11 sobre la línea de salida del registro de desplazamiento 410k. La célula

del registro de desplazamiento 403l proporciona la señal de salida del registro de desplazamiento SO12 sobre la línea de salida del registro de desplazamiento 410l. La célula del registro de desplazamiento 403m proporciona la señal de salida del registro de desplazamiento SO13 sobre la línea de salida del registro de desplazamiento 410m.

5 El circuito de dirección 404 recibe la señal de control CSYNC sobre la línea de señal de control 430. La señal de temporización T3 es recibida en la línea de señal de temporización 434, como cuarta señal de precarga PRE4. La señal de temporización de nivel de voltaje reducido T4 es recibida en la línea de señal de evaluación 424, como cuarta señal de evaluación EVAL4. La señal de temporización T5 es recibida en la línea de señal de temporización 436, como tercera señal de precarga PRE3 y la señal de temporización de nivel de voltaje reducido T6 es recibida  
10 en la línea de señal de evaluación 428, como tercera señal de evaluación EVAL3. El circuito de dirección 404 proporciona señales de dirección al registro de desplazamiento 402, a través de las líneas de señal de dirección 408.

La matriz lógica 406 incluye los transistores de precarga de la línea de dirección 438a-438g, los transistores de evaluación de dirección 440a-440m, los transistores de prevención de evaluación 442a y 442b y el transistor de precarga de evaluación lógica 444. También, la matriz lógica 406 incluye los pares de transistores de dirección 446, 448, ... 470, que decodifican las señales de salida del registro de desplazamiento SO1-SO13 en las líneas de salida del registro de desplazamiento 410a-410m, para proporcionar las señales de dirección ~A1, ~A2, ... ~A7. La matriz lógica 406 incluye los transistores de dirección uno 446a y 446b, los transistores de dirección dos 448a y 448b, los transistores de dirección tres 450a y 450b, los transistores de dirección cuatro 452a y 452b, los transistores de  
15 dirección cinco 454a y 454b, los transistores de dirección seis 456a y 456b, los transistores de dirección siete 458a y 458b, los transistores de dirección ocho 460a y 460b, los transistores de dirección nueve 462a y 462b, los transistores de dirección diez 464a y 464b, los transistores de dirección once 466a y 466b, los transistores de dirección doce 468a y 468b y los transistores de dirección trece 470a y 470b.

25 Los transistores de precarga de la línea de dirección 438a-438g están conectados eléctricamente con la línea de señal T3 434, y las líneas de dirección 472a-472g. La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438a, están conectados eléctricamente con la línea de señal T3 434. El otro lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438a, está conectado eléctricamente con la línea de dirección 472a. La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438b, están conectados eléctricamente con la línea de  
30 señal T3 434. El otro lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438b, está conectado eléctricamente con la línea de dirección 472b. La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438c, están conectados eléctricamente con la línea de señal T3 434. El otro lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438c, está conectado eléctricamente con la línea de dirección 472c. La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438d, están conectados eléctricamente con la línea de señal T3, 434. El otro lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438d, está conectado eléctricamente con la línea de dirección 472d. La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438e, están  
35 conectados eléctricamente con la línea de señal T3 434. El otro lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438e, está conectado eléctricamente con la línea de dirección 472e. La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438f, están conectados eléctricamente con la línea de señal T3 434. El otro lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438f, está conectado eléctricamente con la línea de dirección 472f. La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438g, están conectados eléctricamente con la línea de señal T3, 434. El otro lateral de la trayectoria de la fuente de drenaje del transistor de precarga de la línea de dirección 438g, está conectado eléctricamente con la línea de dirección 472g. En una forma de realización, los transistores de precarga de la línea de dirección 438a-438g, están conectados eléctricamente con la línea de señal T4 422, en lugar de la línea de señal T3 434. La línea de  
40 de señal T4 422 está conectada eléctricamente con la puerta y un lateral de la trayectoria de la fuente de drenaje de cada uno de los transistores de precarga de la línea de dirección 438a-438g.

La puerta de cada uno de los transistores de evaluación de dirección 440a-440m está conectada eléctricamente con la línea de señal de evaluación lógica 474. Un lateral de la trayectoria de la fuente de drenaje de cada uno de los transistores de evaluación de dirección 440a-440m, está conectado eléctricamente con tierra. Además, la trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440a está conectada eléctricamente con la línea de evaluación 476a. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440b, está conectada eléctricamente con la línea de evaluación 476b. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440c, está conectada eléctricamente con la línea de evaluación 476c. La trayectoria de la  
55 fuente de drenaje del transistor de evaluación de dirección 440d, está conectada eléctricamente con la línea de evaluación 476d. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440e, está conectada eléctricamente con la línea de evaluación 476e. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440f, está conectada eléctricamente con la línea de evaluación 476f. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440g, está conectada eléctricamente con la línea de evaluación 476g. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440h, está  
60 conectada eléctricamente con la línea de evaluación 476h. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440i, está conectada eléctricamente con la línea de evaluación 476i. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440j, está conectada eléctricamente con la línea de evaluación 476j. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440k, está conectada eléctricamente con la línea de evaluación 476k. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440l, está conectada eléctricamente con la línea de evaluación 476l. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440m, está conectada eléctricamente con la línea de evaluación 476m.

- conectada eléctricamente con la línea de evaluación 476h. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440i, está conectada eléctricamente con la línea de evaluación 476i. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440j, está conectada eléctricamente con la línea de evaluación 476j. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440k, está conectada eléctricamente con la línea de evaluación 476k. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440l, está conectada eléctricamente con la línea de evaluación 476l. La trayectoria de la fuente de drenaje del transistor de evaluación de dirección 440m, está conectada eléctricamente con la línea de evaluación 476m.
- La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de precarga de evaluación lógica 444, están conectados eléctricamente con la línea de señal T5 436 y el otro lateral de la trayectoria de la fuente de drenaje, está conectado eléctricamente con la línea de señal de evaluación lógica 474. La puerta del transistor de prevención de evaluación 442a está conectada eléctricamente con la línea de señal T3 434. La trayectoria de la fuente de drenaje del transistor de prevención de evaluación 442a está conectada eléctricamente con un lateral de la línea de señal de evaluación lógica 474 y, por el otro lado, a la referencia en 478. La puerta del transistor de prevención de evaluación 442b está conectada eléctricamente con la línea de señal T4 422. La trayectoria de la fuente de drenaje del transistor de prevención de evaluación 442b está conectada eléctricamente con un lateral de la línea de señal de evaluación lógica 474 y, por el otro lado, a la referencia en 478.
- La trayectorias de las fuentes de drenaje de las parejas de transistores de dirección 446, 448, ... 470, están conectadas eléctricamente, entre las líneas de dirección 472a-472g y las líneas de evaluación 476a-476m. La puertas de las parejas de transistores de dirección 446, 448, ... 470 son conducidas por las señales de salida del registro de desplazamiento SO1-SO13, a través de las líneas de señal de salida del registro de desplazamiento 410a-410m.
- Las puertas de los transistores de dirección uno 446a y 446b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410a. La trayectoria de la fuente de drenaje del transistor de dirección uno 446a, está conectada eléctricamente, por un lado, con la línea de dirección 472a y, por el otro, con la línea de evaluación 476a. La trayectoria de la fuente de drenaje del transistor de dirección uno 446b, está conectada eléctricamente, por un lado, con la línea de dirección 472b y, por el otro, con la línea de evaluación 476a. Una señal de salida del registro de desplazamiento de nivel alto SO1, sobre la línea de señal de salida del registro de desplazamiento 410a, enciende los transistores de dirección uno 446a y 446b, al ser encendido el transistor de evaluación de dirección 440a, mediante una señal de evaluación de nivel de voltaje alto LEVAL, sobre la línea de señal de evaluación lógica 474. El transistor de dirección uno 446a y el transistor de evaluación de dirección 440a, conducen para tirar activamente de la línea de dirección 472a hasta un nivel de voltaje bajo. El transistor de dirección uno 446b y el transistor de evaluación de dirección 440a, conducen para tirar activamente de la línea de dirección 472b hasta un nivel de voltaje bajo.
- Las puertas de los transistores de dirección dos 448a y 448b están conectadas eléctricamente con la línea de salida del registro de desplazamiento 410b. La trayectoria de la fuente de drenaje del transistor de dirección dos 448a está conectada eléctricamente, por un lado, con línea de dirección 472a y, por el otro lado, con la línea de evaluación 476b. La trayectoria de la fuente de drenaje del transistor de dirección dos 448b está conectada eléctricamente, por un lado, con la línea de dirección 472c y, por el otro lado, con la línea de evaluación 476b. Una señal de salida del registro de desplazamiento de nivel alto de SO2, sobre la línea de señal de salida del registro de desplazamiento 410b, enciende los transistores de dirección dos 448a y 448b, al ser encendido el transistor de evaluación de dirección 440b, mediante una señal de evaluación de nivel de voltaje alto LEVAL, sobre la línea de señal de evaluación lógica 474. El transistor de dirección dos 448a y el transistor de evaluación de dirección 440b, conducen para tirar activamente de la línea de dirección 472a hasta un nivel de voltaje bajo. El transistor de dirección dos 448b y el transistor de evaluación de dirección 440b, conducen para tirar activamente de la línea de dirección 472c hasta un nivel de voltaje bajo.
- Las puertas de los transistores de dirección tres 450a y 450b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410c. La trayectoria de la fuente de drenaje del transistor de dirección tres 450a está conectada eléctricamente, por un lado, con la línea de dirección 472a y, por el otro lado, con la línea de evaluación 476c. La trayectoria de la fuente de drenaje del transistor de dirección tres 450b está conectada eléctricamente, por un lado, con la línea de dirección 472d y, por el otro lado, con la línea de evaluación 476c. Una señal de los salida del registro de desplazamiento de nivel alto SO3, sobre la línea de señal de salida del registro de desplazamiento 410c, enciende los transistores de dirección tres 450a y 450b, al ser encendido el transistor de evaluación de dirección 440c, mediante una señal de evaluación de nivel de voltaje alto LEVAL, sobre la línea de señal de evaluación lógica 474. El transistor de dirección tres 450a y el transistor de evaluación de dirección 440c, conducen para tirar activamente de la línea de dirección 472a hasta un nivel de voltaje bajo. El transistor de dirección tres 450b y el transistor de evaluación de dirección 440c, conducen para tirar activamente de la línea de dirección 472d hasta un nivel de voltaje bajo.

Las puertas de los transistores de dirección cuatro 452a y 452b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410d. La trayectoria de la fuente de drenaje del transistor de dirección cuatro 452a está conectada eléctricamente, por un lado, con la línea de dirección 472a y, por el otro lado, con la línea de evaluación 476d. La trayectoria de la fuente de drenaje del transistor de dirección cuatro 452b está conectada eléctricamente, por un lado, con la línea de dirección 472e y, por el otro lado, con la línea de evaluación 476d. Una señal de salida del registro de desplazamiento de nivel alto SO4, sobre la línea de señal de salida del registro de desplazamiento 410d, enciende los transistores de dirección cuatro 452a y 452b, al ser encendido el transistor de evaluación de dirección 440d, mediante una señal de evaluación de nivel de voltaje alto LEVAL sobre la línea de señal de evaluación lógica 474. El transistor de dirección cuatro 452a y el transistor de evaluación de dirección 440d, conducen para tirar activamente de la línea de dirección 472a hasta un nivel de voltaje bajo. El transistor de dirección cuatro 452b y el transistor de evaluación de dirección 440d, conducen para tirar activamente de la línea de dirección 472e hasta un nivel de voltaje bajo.

Las puertas de los transistores de dirección cinco 454a y 454b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410e. La trayectoria de la fuente de drenaje del transistor de dirección cinco 454a está conectada eléctricamente, por un lado, con la línea de dirección 472a y, por el otro lado, con la línea de evaluación 476e. La trayectoria de la fuente de drenaje del transistor de dirección cinco 454b está conectada eléctricamente, por un lado, con la línea de dirección 472f y, por el otro lado, con la línea de evaluación 476e. Una señal de salida del registro de desplazamiento de nivel alto SO5 sobre la línea de señal de salida del registro de desplazamiento 410e, enciende los transistores de dirección cinco 454a y 454b, al ser encendido el transistor de evaluación de dirección 440e, mediante una señal de evaluación de nivel de voltaje alto LEVAL. El transistor de dirección cinco 454a y el transistor de evaluación de dirección 440e, conducen para tirar activamente de la línea de dirección 472a hasta un nivel de voltaje bajo. El transistor de dirección cinco 454b y el transistor de evaluación de dirección 440e, conducen para tirar activamente de la línea de dirección 472f hasta un nivel de voltaje bajo.

Las puertas de los transistores de dirección seis 456a y 456b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410f. La trayectoria de la fuente de drenaje del transistor de dirección seis 456a está conectada eléctricamente, por un lado, con la línea de dirección 472a y, por el otro lado, con la línea de evaluación 476f. La trayectoria de la fuente de drenaje del transistor de dirección seis 456b está conectada eléctricamente, por un lado, con la línea de dirección 472g y, por el otro lado, con la línea de evaluación 476f. Una señal de salida del registro de desplazamiento de nivel alto SO6 sobre la línea de señal de salida del registro de desplazamiento 410f, enciende los transistores de dirección seis 456a y 456b para conducir, al ser encendido el transistor de evaluación de dirección 440f mediante una señal de evaluación de nivel de voltaje alto LEVAL. El transistor de dirección seis 456a y el transistor de evaluación de dirección 440f, conducen para tirar activamente de la línea de dirección 472a hasta un nivel de voltaje bajo. El transistor de dirección seis 456b y el transistor de evaluación de dirección 440f, conducen para tirar activamente de la línea de dirección 472g hasta un nivel de voltaje bajo.

Las puertas de los transistores de dirección siete 458a y 458b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410g. La trayectoria de la fuente de drenaje del transistor de dirección siete 458a está conectada eléctricamente, por un lado, con la línea de dirección 472b y, por el otro lado, con la línea de evaluación 476g. La trayectoria de la fuente de drenaje del transistor de dirección siete 458b está conectada eléctricamente, por un lado, con la línea de dirección 472c y, por el otro lado, con la línea de evaluación 476g. Una señal de salida del registro de desplazamiento de nivel alto SO7 sobre la línea de señal de salida del registro de desplazamiento 410g, enciende los transistores de dirección siete 458a y 458b, al ser encendido el transistor de evaluación de dirección 440g, mediante una señal de evaluación de nivel de voltaje alto LEVAL. El transistor de dirección siete 458a y el transistor de evaluación de dirección 440g, conducen para tirar activamente de la línea de dirección 472b hasta un nivel de voltaje bajo. El transistor de dirección siete 458b y el transistor de evaluación de dirección 440g, conducen para tirar activamente de la línea de dirección 472c hasta un nivel de voltaje bajo.

Las puertas de los transistores de dirección ocho 460a y 460b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410h. La trayectoria de la fuente de drenaje del transistor de dirección ocho 460a está conectada eléctricamente, por un lado, con la línea de dirección 472b y, por el otro lado, con la línea de evaluación 476h. La trayectoria de la fuente de drenaje del transistor de dirección ocho 460b está conectada eléctricamente, por un lado, con la línea de dirección 472d y, por el otro lado, con la línea de evaluación 476h. Una señal de salida del registro de desplazamiento de nivel alto SO8 sobre la línea de señal de salida del registro de desplazamiento 410h, enciende los transistores de dirección ocho 460a y 460b, al ser encendido el transistor de evaluación de dirección 440h, mediante una señal de evaluación de nivel de voltaje alto LEVAL. El transistor de dirección ocho 460a y el transistor de evaluación de dirección 440h, conducen para tirar activamente de la línea de dirección 472b hasta un nivel de voltaje bajo. El transistor de dirección ocho 460b y el transistor de evaluación de dirección 440h, conducen para tirar activamente de la línea de dirección 472d hasta un nivel de voltaje bajo.

Las puertas de los transistores de dirección nueve 462a y 462b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410i. La trayectoria de la fuente de drenaje del transistor de dirección nueve 462a está conectada eléctricamente, por un lado, con la línea de dirección 472b y, por el otro lado, con la

línea de evaluación 476i. La trayectoria de la fuente de drenaje del transistor de dirección nueve 462b está conectada eléctricamente, por un lado, con la línea de dirección 472e y, por el otro lado, con la línea de evaluación 476i. Una señal de salida del registro de desplazamiento de nivel alto SO9 sobre la línea de señal de salida del registro de desplazamiento 410i, enciende los transistores de dirección nueve 462a y 462b para conducir, al ser encendido el transistor de evaluación de dirección 440i, mediante una señal de evaluación de nivel de voltaje alto LEVAL. El transistor de dirección nueve 462a y el transistor de evaluación de dirección 440i, conducen para tirar activamente de la línea de dirección 472b hasta un nivel de voltaje bajo. El transistor de dirección nueve 462b y el transistor de evaluación de dirección 440i, conducen para tirar activamente de la línea de dirección 472e hasta un nivel de voltaje bajo.

Las puertas de los transistores de dirección diez 464a y 464b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410j. La trayectoria de la fuente de drenaje del transistor de dirección diez 464a está conectada eléctricamente, por un lado, con la línea de dirección 472b y, por el otro lado, con la línea de evaluación 476j. La trayectoria de la fuente de drenaje del transistor de dirección diez 464b está conectada eléctricamente, por un lado, con la línea de dirección 472f y, por el otro lado, con la línea de evaluación 476j. Una señal de salida del registro de desplazamiento de nivel alto SO10 sobre la línea de señal de salida del registro de desplazamiento 410j, enciende los transistores de dirección diez 464a y 464b, al ser encendido el transistor de evaluación de dirección 440j, mediante una señal de evaluación de nivel de voltaje alto LEVAL. El transistor de dirección diez 464a y el transistor de evaluación de dirección 440j, conducen para tirar activamente de la línea de dirección 472b hasta un nivel de voltaje bajo. El transistor de dirección diez 464b y el transistor de evaluación de dirección 440j, conducen para tirar activamente de la línea de dirección 472f hasta un nivel de voltaje bajo.

Las puertas de los transistores de dirección once 466a y 466b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410k. La trayectoria de la fuente de drenaje del transistor de dirección once 466a está conectada eléctricamente, por un lado, con la línea de dirección 472b y, por el otro lado, con la línea de evaluación 476k. La trayectoria de la fuente de drenaje del transistor de dirección once 466b está conectada eléctricamente, por un lado, con la línea de dirección 472g y, por el otro lado, con la línea de evaluación 476k. Una señal de salida del registro de desplazamiento de nivel alto SO11 sobre la línea de señal de salida del registro de desplazamiento 410k, enciende los transistores de dirección once 466a y 466b, al ser encendido el transistor de evaluación de dirección 440k, mediante una señal de evaluación de voltaje alto LEVAL. El transistor de dirección once 466a y el transistor de evaluación de dirección 440k, conducen para tirar activamente de la línea de dirección 472b hasta un nivel de voltaje bajo. El transistor de dirección once 466b y el transistor de evaluación de dirección 440k, conducen para tirar activamente de la línea de dirección 472g hasta un nivel de voltaje bajo.

Las puertas de los transistores de dirección doce 468a y 468b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410l. La trayectoria de la fuente de drenaje del transistor de dirección doce 468a está conectada eléctricamente, por un lado, con la línea de dirección 472c y, por el otro lado, con la línea de evaluación 476l. La trayectoria de la fuente de drenaje del transistor de dirección doce 468b está conectada eléctricamente, por un lado, con la línea de dirección 472d y, por el otro lado, con la línea de evaluación 476l. Una señal de salida del registro de desplazamiento de nivel alto SO12 sobre la línea de señal de salida del registro de desplazamiento 410l, enciende los transistores de dirección doce 468a y 468b, al ser encendido el transistor de evaluación de dirección 440l, mediante una señal de evaluación de nivel de voltaje alto LEVAL. El transistor de dirección doce 468a y el transistor de evaluación de dirección 440l, conducen para tirar activamente de la línea de dirección 472c hasta un nivel de voltaje bajo. El transistor de dirección doce 468b y el transistor de evaluación de dirección 440l, conducen para tirar activamente de la línea de dirección 472d hasta un nivel de voltaje bajo.

Las puertas de los transistores de dirección trece 470a y 470b están conectadas eléctricamente con la línea de señal de salida del registro de desplazamiento 410m. La trayectoria de la fuente de drenaje del transistor de dirección trece 470a está conectada eléctricamente, por un lado, con la línea de dirección 472c y, por el otro lado, con la línea de evaluación 476m. La trayectoria de la fuente de drenaje del transistor de dirección trece 470b está conectada eléctricamente, por un lado, con la línea de dirección 472e y, por el otro lado, con la línea de evaluación 476m. Una señal de salida del registro de desplazamiento de nivel alto SO13 sobre la línea de señal de salida del registro de desplazamiento 410m, enciende los transistores de dirección trece 470a y 470b, al ser encendido el transistor de evaluación de dirección 440m, mediante una señal de evaluación de nivel de voltaje alto LEVAL. El transistor de dirección trece 470a y el transistor de evaluación de dirección 440m, conducen para tirar activamente de la línea de dirección 472c hasta un nivel de voltaje bajo. El transistor de dirección trece 470b y el transistor de evaluación de dirección 440m, conducen para tirar activamente de la línea de dirección 472e hasta un nivel de voltaje bajo.

El registro de desplazamiento 402 desplaza una única señal de salida de nivel de voltaje alto, desde una línea de señal de salida del registro de desplazamiento 410a-410m, hasta la siguiente línea de señal de salida del registro de desplazamiento 410a-410m. El registro de desplazamiento 402, recibe una pulsación de control, en la señal de control CSYNC, de la línea de control 430 y una serie de pulsaciones de temporización desde las señales de temporización T1-T4, para desplazar la pulsación de control recibida hacia dentro del registro de desplazamiento 402. En contestación, el registro de desplazamiento 402 proporciona una única señal de salida del registro de desplazamiento de nivel de voltaje alto SO1 o SO13. Todas las otras señales de salida del registro de

desplazamiento SO1-SO13, son proporcionadas a niveles de voltaje bajo. El registro de desplazamiento 402 recibe otra serie de pulsaciones de temporización desde las señales de temporización T1-T4 y desplaza la única señal de salida del registro de desplazamiento de nivel de voltaje alto desde una señal de salida del registro de desplazamiento SO1-SO13 a la siguiente señal de salida del registro de desplazamiento SO1-SO13, con todas las otras señales de salida del registro de desplazamiento SO1-SO13, proporcionadas a niveles de voltaje bajo. El registro de desplazamiento 402 recibe una serie repetida de pulsaciones de temporización y, en respuesta a cada una de las series de pulsaciones de temporización, el registro de desplazamiento 402 desplaza una única señal de salida del registro de desplazamiento de nivel de voltaje alto, para proporcionar una serie de hasta trece señales de salida del registro de desplazamiento de nivel de voltaje alto SO1-SO13. Cada señal de salida del registro de desplazamiento de nivel de voltaje alto SO1-SO13, enciende dos pares de transistores de dirección 446, 448, ... 470, para proporcionar las señales de dirección ~A1, ~A2, ... ~A7 a las células de disparo 120. Las señales de dirección ~A1, ~A2, ... ~A7 son proporcionadas en trece espacios de tiempo dirección, que se corresponden con las trece señales de salida del registro de desplazamiento SO1-SO13. En otra forma de realización, el registro de desplazamiento 402 puede incluir cualquier número adecuado de señales de salida del registro de desplazamiento, como catorce, para proporcionar las señales de dirección ~A1, ~A2, ... ~A7, en cualquier número adecuado de espacios de tiempo dirección, como catorce espacios de tiempo dirección.

El registro de desplazamiento 402 recibe las señales de dirección desde el circuito de dirección 404, a través de las líneas de señal de dirección 408. Las señales de dirección establecen la dirección de desplazamiento en el registro de desplazamiento 402. El registro de desplazamiento 402 puede ser fijado para desplazar la señal de salida del registro de desplazamiento de nivel de voltaje alto, en dirección hacia delante, desde la señal de salida del registro de desplazamiento SO1 hasta la señal de salida del registro de desplazamiento SO13, o, en dirección inversa, desde la señal de salida del registro de desplazamiento SO13 hasta la señal de salida del registro de desplazamiento SO1.

En dirección hacia delante, el registro de desplazamiento 402 recibe la señal de pulsación de control CSYNC y proporciona una señal de salida del registro de desplazamiento de nivel de voltaje alto SO1. Todas las otras señales de salida del registro de desplazamiento SO2-SO13, son proporcionadas a niveles de voltaje bajo. El registro de desplazamiento 402 recibe la siguiente serie de pulsaciones de temporización y proporciona una señal de salida del registro de desplazamiento de nivel de voltaje alto SO2, con todas las otras señales de salida del registro de desplazamiento SO1 y SO3-SO13, proporcionadas a niveles de voltaje bajo. El registro de desplazamiento 402 recibe la siguiente serie de pulsaciones de temporización y proporciona una señal de salida del registro de desplazamiento de nivel de voltaje alto SO3, con todas las otras señales de salida del registro de desplazamiento SO1, SO2 y SO4-SO13 proporcionadas a niveles de voltaje bajo. El registro de desplazamiento 402 continua desplazando la señal de salida de nivel de voltaje alto, en respuesta a cada serie de pulsaciones de temporización, hasta e incluyendo el suministro de una señal de salida del registro de desplazamiento de nivel de voltaje alto SO13, con todas las otras señales de salida del registro de desplazamiento SO1-SO12 proporcionadas a niveles de voltaje bajo. Después de proporcionar la señal de salida del registro de desplazamiento de nivel de voltaje alto SO13, el registro de desplazamiento 402 recibe la siguiente serie de pulsaciones de temporización y proporciona señales de nivel de voltaje bajo para todas las señales de salida del registro de desplazamiento SO1-SO13. Otra pulsación de control, en la señal de control CSYNC, es proporcionada para empezar o iniciar el registro de desplazamiento 402, desplazando en dirección hacia delante series de señales de salida de nivel de voltaje alto, desde la señal de salida el registro de desplazamiento SO1 hasta la señal de salida del registro de desplazamiento SO13.

En dirección reversa, el registro de desplazamiento 402 recibe una pulsación de control en la señal de control CSYNC y proporciona una señal de salida del registro de desplazamiento de nivel de voltaje alto SO13. Todas las otras señales de salida del registro de desplazamiento SO1-SO12, son proporcionadas a niveles de voltaje bajo. El registro de desplazamiento 402 recibe la siguiente serie de pulsaciones de temporización y proporciona una señal de salida del registro de desplazamiento de nivel de voltaje alto SO12, con todas las otras señales de salida del registro de desplazamiento SO1-SO10, SO12 y SO13 proporcionadas a niveles de voltaje bajo. El registro de desplazamiento 402 continua desplazando la señal de salida de nivel de voltaje alto, en respuesta a cada serie de pulsaciones de temporización, hasta e incluyendo el suministro de una señal de salida del registro de desplazamiento de nivel de voltaje alto SO1, con todas las otras señales de salida del registro de desplazamiento SO2-SO13 proporcionadas a niveles de voltaje bajo. Después de proporcionar la señal de salida del registro de desplazamiento de nivel de voltaje alto SO1, el registro de desplazamiento 402 recibe la siguiente serie de pulsaciones de temporización y proporciona señales de nivel de voltaje bajo, para todas las señales de salida del registro de desplazamiento SO1-SO13. Otra pulsación de control, en la señal de control CSYNC, es proporcionada para empezar o iniciar el registro de desplazamiento 402, desplazando en dirección reversa series de señales de salida de nivel de voltaje alto, desde la señal de salida el registro de desplazamiento SO13 hasta la señal de salida del registro de desplazamiento SO1.

El circuito de dirección 404, proporciona dos señales de dirección a través de las líneas de señal de dirección 408. Las señales de dirección fijan la dirección de desplazamiento hacia delante/reversa en el registro de desplazamiento

402. También, las señales de dirección pueden ser utilizadas para limpiar la señal de salida de nivel de voltaje alto del registro de desplazamiento 402.

El circuito de dirección 404 recibe una serie repetida de pulsaciones de temporización desde las señales de temporización T3-T6. Además, el circuito de dirección 404 recibe las pulsaciones de control, en la señal de control CSYNC sobre la línea de control 430. El circuito de dirección 404 proporciona señales de dirección hacia delante, en respuesta a la recepción de una pulsación de control coincidente con una pulsación de temporización desde la señal de temporización T4. Las señales de dirección hacia delante fijan el registro de desplazamiento 402 para el desplazamiento en dirección hacia delante, desde la señal de salida del registro de desplazamiento SO1, hasta la señal de salida del registro de desplazamiento SO13. El circuito de dirección 404 proporciona señales de dirección reversa, en respuesta a la recepción de una pulsación de control coincidente con una pulsación de temporización desde la señal de temporización T6. Las señales de dirección reversa fijan el registro de desplazamiento 402 para el desplazamiento en dirección reversa, desde la señal de salida del registro de desplazamiento SO13, hasta la señal de salida del registro de desplazamiento SO1. El circuito de dirección 404 proporciona señales de dirección que limpian el registro de desplazamiento 402, en respuesta al circuito de dirección 404, recibiendo pulsaciones de control coincidentes con tanto una pulsación de temporización desde la señal de temporización T4 y una pulsación de temporización desde la señal de temporización T6.

La matriz lógica 406 recibe las señales de salida del registro de desplazamiento SO1-SO13, en las líneas de señal de salida del registro de desplazamiento 410a- 410m y las pulsaciones de temporización desde las señales de temporización T3-T5, en las líneas de señal de temporización 434, 422 y 436. En respuesta a una única señal de salida de nivel de voltaje alto en las señales de salida del registro de desplazamiento SO1-SO13 y las pulsaciones de temporización desde las señales de temporización T3- T5, la matriz lógica 406 proporciona dos señales de dirección de nivel de voltaje bajo, de entre las siete señales de dirección ~A1, ~A2, ... ~A7.

La matriz lógica 406 recibe una pulsación de temporización desde la señal de temporización T3, que enciende el transistor de prevención de evaluación 442a para tirar de la línea de señal de evaluación 474 hasta un nivel de voltaje bajo y apagar los transistores de evaluación de dirección 440. También, la pulsación de temporización desde la señal de temporización T3, carga las líneas de dirección 472a-472g hasta niveles de voltaje alto, a través de los transistores de precarga de la línea de dirección 438. En una forma de realización, la pulsación de temporización desde la señal de temporización T3, es reemplazada por la pulsación de temporización desde la señal de temporización T4, para cargar las líneas de dirección 472a-472g hasta niveles de voltaje alto, a través de los transistores de precarga de la línea de dirección 438.

La pulsación de temporización desde la señal de temporización T4, enciende el transistor de prevención de evaluación 442b, para tirar de la línea de señal de evaluación 474, hasta un nivel de voltaje bajo y apaga los transistores de evaluación de dirección 440. Las señales de salida del registro de desplazamiento SO1- SO13, establecen señales de salida validas, durante la pulsación de temporización desde la señal de temporización T4. Una única señal de salida de nivel de voltaje alto en las señales de salida del registro de desplazamiento SO1-SO13, es proporcionada a las puertas de un par de transistores de dirección 446, 448, ... 470, en la matriz lógica 406. Una pulsación de temporización desde la señal de temporización T5, carga la línea de señal de evaluación 474, hasta un nivel de voltaje alto, para encender los transistores de evaluación de dirección 440. Como los transistores de evaluación de dirección 440 están encendidos, un par de transistores de dirección 446, 448, ... o 470, en la matriz lógica 406, que recibe una señal de salida del registro de desplazamiento de nivel de voltaje alto SO1-SO13, conducen para descargar las correspondientes líneas de dirección 472. Las correspondientes líneas de dirección 472, son activamente arrastradas bajas, a través de pares de transistores de dirección conductores 446, 448, ... 470 y un transistor de evaluación de dirección conductor 440. Las otras líneas de dirección 472 permanecen cargadas a un nivel de voltaje alto.

La matriz lógica 406, proporciona dos señales de dirección de nivel de voltaje bajo, de entre las siete señales de dirección ~A1, ~A2, ... ~A7, en cada ranura de tiempo de dirección. Si la señal de salida del registro de desplazamiento SO1 está a un nivel de voltaje alto, los transistores de dirección uno 446a y 446b conducen para tirar de las líneas de dirección 472a y 472b hasta niveles de voltaje bajo y proporcionan las señales de dirección activamente bajas ~A1 y ~A2. Si la señal de salida del registro de desplazamiento SO2 está a un nivel de voltaje alto, los transistores de dirección dos 448a y 448b conducen para tirar de las líneas de dirección 472a y 472c hasta niveles de voltaje bajo y proporcionan las señales de dirección activamente bajas ~A1 y ~A3. Si la señal de salida del registro de desplazamiento SO3 está en un nivel de voltaje alto, los transistores de dirección tres 450a y 450b conducen para tirar de las líneas de dirección 472a y 472d hasta niveles de voltaje bajo y proporcionan las señales de dirección activamente bajas ~A1 y ~A4, y, así sucesivamente, para cada señal de salida del registro de desplazamiento SO4-SO13. Las señales de dirección ~A1, ~A2, ... ~A7 para cada uno de los trece espacios tiempo dirección, las cuales son correlativas a las señales de salida del registro de desplazamiento SO1-SO13, son expuestas en la siguiente tabla:



Ranura de tiempo de dirección	Señales de dirección activas
1	~A1 y ~A2
2	~A1 y ~A3
3	~A1 y ~A4
4	~A1 y ~A5
5	~A1 y ~A6
6	~A1 y ~A7
7	~A2 y ~A3
8	~A2 y ~A4
9	~A2 y ~A5
10	~A2 y ~A6
11	~A2 y ~A7
12	~A3 y ~A4
13	~A3 y ~A5

En otra forma de realización, la matriz lógica 406 puede proporcionar las señales de dirección activas ~A1, ~A2, ... ~A7 para cada uno de los trece espacios tiempo dirección, como se expone en la siguiente tabla:

Ranura de tiempo de dirección	Señales de dirección activas
1	~A1 y ~A3
2	~A1 y ~A4
3	~A1 y ~A5
4	~A1 y ~A6
5	~A2 y ~A4
6	~A2 y ~A5
7	~A2 y ~A6
8	~A2 y ~A7
9	~A3 y ~A5
10	~A3 y ~A6
11	~A3 y ~A7
12	~A4 y ~A6
13	~A4 y ~A7

5

También en otras formas de realización, la matriz lógica 406 puede incluir transistores de dirección que proporcionan cualquier número adecuado de señales de dirección de nivel de voltaje bajo ~A1, ~A2, ... ~A7, para cada señal de salida del registro de desplazamiento de nivel de voltaje alto SO1-SO13 y en cualquier secuencia adecuada de señales de dirección de nivel de voltaje bajo ~A1, ~A2, ... ~A7. Esto puede ser realizado mediante, por ejemplo, la colocación apropiada de cada par de transistores 446, 448, ... 470, para descargar cualesquiera dos líneas de dirección deseadas 672a-g.

10

Además, en otras formas de realización, la matriz lógica 406 puede incluir cualquier número adecuado de líneas de dirección, para proporcionar cualquier número adecuado de señales de dirección, en cualquier número adecuado de espacios tiempo dirección.

15

En funcionamiento, es proporcionada una serie repetida de seis pulsaciones de temporización desde las señales de temporización T1-T6. Cada una de las señales de temporización T1-T6, proporciona una pulsación de temporización en cada serie de seis pulsaciones de temporización. La pulsación de temporización desde la señal de temporización T1, es seguida por la pulsación de temporización desde la señal de temporización T2, seguida por la pulsación de temporización desde la señal de temporización T3, seguida por la pulsación de temporización desde la señal de temporización T4, seguida por la pulsación de temporización desde la señal de temporización T5, la cual es seguida por la pulsación de temporización desde la señal de temporización T6. La serie de seis pulsaciones de temporización es repetida en la serie repetida de seis pulsaciones de temporización.

20

25

En una serie de seis pulsaciones de temporización, el circuito de dirección 404 recibe una pulsación de temporización desde la señal de temporización T3, en la señal cuarta de precarga PRE4. La pulsación de temporización en la cuarta señal de precarga PRE4, carga una primera de las líneas de dirección 408 hasta un nivel de voltaje alto. El circuito de dirección 404 recibe una pulsación de temporización de voltaje de nivel reducido desde la señal de temporización T4, en la cuarta señal de evaluación EVAL4. Si el circuito de dirección 404 recibe una pulsación de control, en la señal de control CSYNC, coincidente con (al mismo tiempo que) la cuarta señal de evaluación EVAL4, el circuito de dirección 404 descarga la primera línea de dirección 408. Si la dirección 404 recibe una señal de control de nivel de voltaje bajo CSYNC, coincidente con la pulsación de temporización en la cuarta señal de evaluación EVAL4, la primera línea de dirección 408 permanece cargada a un nivel de voltaje alto.

A continuación, el circuito de dirección 404 recibe una pulsación de temporización desde la señal de temporización T5, en la tercera señal de precarga PRE3. La pulsación de temporización en la tercera señal de precarga PRE3 carga una segunda de las líneas de dirección 408. El circuito de dirección 404 recibe una pulsación de temporización de nivel de voltaje reducido desde la señal de temporización T6, en la tercera señal de evaluación EVAL3. Si el circuito de dirección 404 recibe una pulsación de control, en la señal de control CSYNC, coincidente con una pulsación de temporización en la tercera señal de evaluación EVAL3, el circuito de dirección 404 descarga la segunda línea de dirección 408 hasta un nivel de voltaje bajo. Si el circuito de dirección 404 recibe una señal de control de nivel de voltaje bajo CSYNC, coincidente con la pulsación de temporización en la tercera señal de evaluación EVAL3, la segunda línea de dirección 408 permanece cargada en un nivel de voltaje alto.

Si la primera línea de dirección 408 es descargada hasta un nivel de voltaje bajo y la segunda línea de dirección 408 permanece a un nivel de voltaje alto, los niveles de señal en la primera y la segunda líneas de dirección 408 fijan el registro de desplazamiento 402 para el desplazamiento en dirección hacia delante. Si la primera línea de dirección 408 permanece a un nivel de voltaje alto y la segunda línea de dirección 408 es descargada hasta un nivel de voltaje bajo, los niveles de señal de las líneas de dirección 408 fijan el registro de desplazamiento 402 para el desplazamiento en la dirección reversa. Si ambas líneas de dirección primera y segunda 408 son descargadas hasta niveles de voltaje bajo, se impide que el registro de desplazamiento 402 proporcione una señal de salida del registro de desplazamiento de nivel de voltaje alto SO1-SO13. Las señales de dirección en las líneas de dirección 408 son fijadas durante cada serie de seis pulsaciones de temporización.

Para empezar, la dirección es fijada en una serie de seis pulsaciones de temporización y el registro de tiempo 402 es iniciado en la siguiente serie de seis pulsaciones de temporización. Para iniciar el registro de desplazamiento 402, el registro de desplazamiento 402 recibe una pulsación de temporización desde la señal de temporización T1, en la primera señal de precarga PRE1. La pulsación de temporización en la primera señal de precarga PRE1, precarga un nodo interno en cada una de las trece células del registro de desplazamiento, indicadas en 403a-403m. El registro de desplazamiento 402 recibe una pulsación de temporización de nivel de voltaje reducido T2, en la primera señal de evaluación EVAL1. Si una pulsación de control, en la señal de control CSYNC, es recibida por el registro de desplazamiento 402, coincidente con la pulsación de temporización en la primera señal de evaluación EVAL1, el registro de desplazamiento 402 descarga el nodo interno de una de las trece células del registro de desplazamiento, para proporcionar un nivel de voltaje bajo en el nodo interno descargado. Si la señal de control CSYNC permanece a un nivel de voltaje bajo, coincidente con la pulsación de temporización en la primera señal de evaluación EVAL1, el nodo interno en cada una de las trece células del registro de desplazamiento, permanece a un nivel de voltaje alto.

El registro de desplazamiento 402 recibe una pulsación de temporización desde la señal de temporización T3, en la segunda señal de precarga PRE2. La pulsación de temporización en la segunda señal de precarga PRE2, precarga cada una de las trece líneas de salida del registro de desplazamiento 410a-410m, para proporcionar las señales de salida del registro de desplazamiento de nivel de voltaje alto SO1-SO13. El registro de desplazamiento 402 recibe una pulsación de temporización de nivel de voltaje reducido, desde la señal de temporización T4, en la segunda señal de evaluación EVAL2. Si el nodo interno en una célula del registro de desplazamiento 403 está a un nivel de voltaje bajo, tal como esta después de recibir la pulsación de control desde la señal de control CSYNC, coincidente con la pulsación de temporización en la primera señal de evaluación EVAL1, el registro de desplazamiento 402 mantiene la señal de salida del registro de desplazamiento SO1-SO13 a un nivel de voltaje alto. Si el nodo interno de una célula del registro de desplazamiento 403 está en un nivel de voltaje alto, tal como está en todas las otras células del registro de desplazamiento 403, el registro de desplazamiento 402 descarga la línea de salida del registro de desplazamiento 410a-410m para proporcionar las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO1- SO13. El registro de desplazamiento 402 es iniciado en una serie de las seis pulsaciones de temporización. Las señales de salida del registro de desplazamiento SO1-SO13 se hacen validas durante la pulsación de temporización desde la señal de temporización T4, en la segunda señal de evaluación EVAL2 y permanecen validas hasta la pulsación de temporización desde la señal de temporización T3, en la siguiente serie de seis pulsaciones de temporización. En cada serie subsecuente de seis pulsaciones de temporización, el registro de desplazamiento 402 desplaza la señal de salida del registro de desplazamiento de nivel de voltaje alto SO1-SO13, desde una célula del registro de desplazamiento 403 hasta la siguiente célula del registro de desplazamiento 403.

La matriz lógica 406 recibe las señales de salida del registro de desplazamiento SO1-SO13. En una forma de realización, la matriz lógica 406 recibe la pulsación de temporización desde la señal de temporización T3 para precargar las líneas de dirección 472 y apaga los transistores de evaluación de dirección 440. En una forma de realización, la matriz lógica 406 recibe la pulsación de temporización desde la señal de temporización T3, para apagar los transistores de evaluación de dirección 440 y una pulsación de temporización desde la señal de temporización T4 para precargar las líneas de dirección 472.

La matriz lógica 406 recibe la pulsación de temporización desde la señal de temporización T4, para apagar los transistores de evaluación de dirección 440, al establecerse las señales de salida del registro de desplazamiento SO1-SO13 como señales de salida del registro de desplazamiento validas SO1-SO13. Si el registro de desplazamiento 402 es iniciado, una señal de salida del registro de desplazamiento SO1-SO13 permanece a un nivel de voltaje alto después de la pulsación de temporización desde la señal de temporización T4. La matriz lógica 406 recibe la pulsación de temporización desde la señal de temporización T5, para cagar la línea de señal de evaluación 474 y encender el transistor de evaluación de dirección 440. El par de transistores de dirección 446, 448, ... 470, que recibe la señal de salida del registro de desplazamiento de nivel de voltaje alto SO1-SO13, son encendidos para tirar de dos de las siete líneas de dirección 472a-472g hasta niveles de voltaje bajo. Las dos señales de dirección de nivel de voltaje bajo en las señales de dirección ~A1, ~A2, ... ~A7 son utilizadas para habilitar la activación de las células de disparo 120 y de los subgrupos de células de disparo. Las señales de dirección ~A1, ~A2, ... ~A7 se hacen validas durante la pulsación de temporización desde la señal de temporización T5 y permanecen validas hasta la pulsación de temporización desde la señal de temporización T3 en la siguiente serie de seis pulsaciones de temporización.

Si el registro de desplazamiento 402 no es iniciado, todas las líneas de salida del registro de desplazamiento 410 están descargadas, para proporcionar las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO1-SO13. Las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO1-SO13 apagan los pares de transistores de dirección 446, 448, ... 470 y las líneas de dirección 472 permanecen cargadas para proporcionar las señales de dirección de nivel de voltaje alto ~A1, ~A2, ... ~A7. Las señales de dirección de nivel de voltaje alto ~A1, ~A2, ... ~A7 evitan que las células de disparo 120 y los subgrupos de células de disparo estén habilitadas para su activación.

Mientras la Figura 9 describe una forma de realización de un circuito de dirección, pueden ser utilizadas otras formas de realización que empleen diferentes elementos y componentes lógicos. Por ejemplo, puede ser utilizado un controlador que recibe las señales de salida descritas arriba, por ejemplo la señal T1-T6 y que proporciona las señales de dirección ~A1, ~A2, ... ~A7.

La Figura 10A, es un diagrama que ilustra una célula del registro de desplazamiento 403a, en el registro de desplazamiento 402. El registro de desplazamiento 402 incluye trece células del registro de desplazamiento 403a-403m, que proporcionan las trece señales de salida del registro de desplazamiento SO1-SO13. Cada célula del registro de desplazamiento 403a-403m proporciona una de las señales de salida del registro de desplazamiento SO1-SO13 y cada célula del registro de desplazamiento 403a-403m es similar a la célula del registro de desplazamiento 403a. Las trece células del registro de desplazamiento 403 están conectadas eléctricamente en serie para proporcionar el desplazamiento en las direcciones hacia delante y reversa. En otras formas de realización, el registro de desplazamiento 402 puede incluir cualquier número adecuado de células del registro de desplazamiento 403 para proporcionar cualquier número adecuado de señales de salida del registro de desplazamiento.

La célula del registro de desplazamiento 403a, incluye una primera fase, que es una fase de entrada, indicada con líneas de guiones en 500 y, una segunda fase, que es una fase de salida, indicada con líneas de guiones en 502. La primera fase 500 incluye un transistor de primera precarga 504, un transistor de primera evaluación 506, un transistor de entrada hacia delante 508, un transistor de entrada reversa 510, un transistor de dirección hacia delante 512 y un transistor de dirección reversa 514. La segunda fase 502 incluye un transistor de segunda precarga 516, un transistor de segunda evaluación 518 y un transistor de nodo interno 520.

En la primera fase 500, la puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de primera precarga 504 están conectados eléctricamente con la línea de señal de temporización 432. La línea de señal de temporización 432 proporciona la señal de temporización T1 al registro de desplazamiento 402, como primera señal de precarga PRE1. El otro lateral de la trayectoria de la fuente de drenaje del transistor de primera precarga 504, está conectado eléctricamente con un lateral de la trayectoria de la fuente de drenaje del transistor de primera evaluación 506 y la puerta del transistor de nodo interno 520, a través del nodo interno 522. El nodo interno 522 proporciona la señal de nodo interno del registro de desplazamiento SN1, entre las fases 500 y 502, a la puerta del transistor de nodo interno 520.

La puerta del transistor de primera evaluación 506 está conectada eléctricamente con la línea de señal de primera evaluación 420. La línea de señal de primera evaluación 420, proporciona una señal de temporización de nivel reducido de voltaje T2, al registro de desplazamiento 402, como primera señal de evaluación EVAL1. El otro lateral

de la trayectoria de la fuente de drenaje del transistor de primera evaluación 506, está conectado eléctricamente, con un lateral de la trayectoria de la fuente de drenaje del transistor de entrada hacia delante 508 y un lateral de la trayectoria de la fuente de drenaje del transistor de entrada reversa 510 a través de la trayectoria interna 524.

El otro lateral de la trayectoria de la fuente de drenaje del transistor de entrada hacia delante 508, está conectado eléctricamente con un lateral de la trayectoria de la fuente de drenaje del transistor de dirección hacia delante 512 en 526 y el otro lateral de la trayectoria de la fuente de drenaje del transistor de entrada reversa 510 está conectado eléctricamente con un lateral de la trayectoria de la fuente de drenaje del transistor de dirección reversa 514 en 528. Las trayectorias de la fuente de drenaje del transistor de dirección hacia delante 512 y el transistor de dirección reversa 514, están conectadas eléctricamente con una referencia, como tierra, en 530.

La puerta del transistor de dirección hacia delante 512 está conectada eléctricamente con la línea de dirección 408a, que recibe la señal de dirección hacia delante DIRF desde el circuito de dirección 404. La puerta del transistor de dirección reversa 514 está conectada eléctricamente con la línea de dirección 408b, que recibe la señal de dirección reversa DIRR desde el circuito de dirección 404.

En la segunda fase 502, la puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de segunda precarga 516 están conectados eléctricamente con la línea de señal de temporización 434. La línea de señal de temporización 434 proporciona la señal de temporización T3 al registro de desplazamiento 402, como segunda señal de precarga PRE2. El otro lateral de la trayectoria de la fuente de drenaje del transistor de segunda precarga 516, está conectado eléctricamente con un lateral de la trayectoria de la fuente de drenaje del transistor de segunda evaluación 518 y la línea de salida del registro de desplazamiento 410a. El otro lateral de la trayectoria de la fuente de drenaje del transistor de segunda evaluación 518, está conectado eléctricamente con un lateral de la trayectoria de la fuente de drenaje del transistor de nodo interno 520 en 532. La puerta del transistor de segunda evaluación 518 está conectada eléctricamente con la línea de señal de segunda evaluación 424, para proporcionar la señal de temporización de nivel de voltaje reducido T4 al registro de desplazamiento 402, como segunda señal de evaluación EVAL2. La puerta del transistor de nodo interno 520 y el otro lateral de la trayectoria de la fuente de drenaje del transistor de nodo interno 520, están conectados eléctricamente con una referencia, como tierra, en 534. La puerta del transistor de nodo interno 520 incluye un elemento de capacidad en 536, para almacenar la señal de nodo interno de la célula del registro de desplazamiento SN1. La línea de señal de salida del registro de desplazamiento 410a incluye un elemento de capacidad en 538, para almacenar la señal de salida del registro de desplazamiento SO1.

Cada célula del registro de desplazamiento 403a-403m, en la serie de trece células del registro de desplazamiento 403, es similar a la célula del registro de desplazamiento 403a. La puerta del transistor de dirección hacia delante 508, en cada célula del registro de desplazamiento 403a-403m, está conectada eléctricamente con la línea de control 430 o una de las líneas de salida del registro de desplazamiento 410a-410l, para el desplazamiento en la dirección hacia delante. La puerta del transistor de dirección reversa 510, en cada una de las células del registro de desplazamiento 403a-403m, está conectada eléctricamente con la línea de control 430 o una de las líneas de salida del registro de desplazamiento 410b-410m, para el desplazamiento en la dirección reversa. Las líneas de señal de salida del registro de desplazamiento 410, están conectadas eléctricamente con un transistor hacia delante 508 y un transistor reverso 510, excepto las líneas de señal de salida del registro de desplazamiento 410a y 410m. La línea de señal de salida del registro de desplazamiento 410a está conectada eléctricamente con un transistor de dirección hacia delante 508, en la célula del registro de desplazamiento 403b, pero no con un transistor de dirección reversa 510. La línea de señal de salida del registro de desplazamiento 410m está conectada eléctricamente con un transistor de dirección reversa 510, en la célula del registro de desplazamiento 403l, pero no con un transistor de dirección hacia delante 508.

La célula del registro de desplazamiento 403a en el primer registro de desplazamiento 403, en la serie de trece registros de desplazamiento 403, cuando el registro de desplazamiento 402 desplaza en la dirección hacia delante. La puerta del transistor de entrada hacia delante 508, en la célula del registro de desplazamiento 403a, está conectada eléctricamente con la línea de señal de control 430, para recibir la señal de control CSYNC. La segunda célula del registro de desplazamiento 403b, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410a, para recibir la señal de salida del registro de desplazamiento SO1. La tercera célula del registro de desplazamiento 403c, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410b, para recibir la señal de salida del registro de desplazamiento SO2. La cuarta célula del registro de desplazamiento 403d, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410c, para recibir la señal de salida del registro de desplazamiento SO3. La quinta célula del registro de desplazamiento 403e, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410d, para recibir la señal de salida del registro de desplazamiento SO4. La sexta célula del registro de desplazamiento 403f, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410e, para recibir la señal de salida del registro de desplazamiento SO5. La séptima célula del registro de desplazamiento 403g, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de

desplazamiento 410f, para recibir la señal de salida del registro de desplazamiento SO6. La octava célula del registro de desplazamiento 403h, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410g, para recibir la señal de salida del registro de desplazamiento SO7. La novena célula del registro de desplazamiento 403i, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410h, para recibir la señal de salida del registro de desplazamiento SO8. La décima célula del registro de desplazamiento 403j, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410i, para recibir la señal de salida del registro de desplazamiento SO9. La décimo primera célula del registro de desplazamiento 403k, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410j, para recibir la señal de salida del registro de desplazamiento SO10. La décimo segunda célula del registro de desplazamiento 403l, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410k, para recibir la señal de salida del registro de desplazamiento SO11. La décimo tercera célula del registro de desplazamiento 403m, incluye la puerta del transistor de entrada hacia delante, conectada eléctricamente con la línea de salida del registro de desplazamiento 410l, para recibir la señal de salida del registro de desplazamiento SO12.

La célula del registro de desplazamiento 403a es la última célula del registro de desplazamiento 403 en la serie de trece células del registro de desplazamiento 403, cuando el registro de desplazamiento 402 desplaza en la dirección reversa. La puerta del transistor de entrada reversa 510, en la célula del registro de desplazamiento 403a, está conectada eléctricamente con la línea de salida del registro de desplazamiento precedente 410b, para recibir la señal de salida del registro de desplazamiento SO2. La célula del registro de desplazamiento 403b incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410c, para recibir la señal de salida del registro de desplazamiento SO3. La célula del registro de desplazamiento 403c incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410d, para recibir la señal de salida del registro de desplazamiento SO4. La célula del registro de desplazamiento 403d, incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410e, para recibir la señal de salida del registro de desplazamiento SO5. La célula del registro de desplazamiento 403e incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410f, para recibir la señal de salida del registro de desplazamiento SO6. La célula del registro de desplazamiento 403f incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410g, para recibir la señal de salida del registro de desplazamiento SO7. La célula del registro de desplazamiento 403g incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410h, para recibir la señal de salida del registro de desplazamiento SO8. La célula del registro de desplazamiento 403h incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410i, para recibir la señal de salida del registro de desplazamiento SO9. La célula del registro de desplazamiento 403i incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410j, para recibir la señal de salida del registro de desplazamiento SO10. La célula del registro de desplazamiento 403j incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410k, para recibir la señal de salida del registro de desplazamiento SO11. La célula del registro de desplazamiento 403k, incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410l, para recibir la señal de salida del registro de desplazamiento SO12. La célula del registro de desplazamiento 403l, incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de salida del registro de desplazamiento 410m, para recibir la señal de salida del registro de desplazamiento SO13. La célula del registro de desplazamiento 403m, incluye la puerta del transistor de entrada reversa, conectada eléctricamente con la línea de señal de control 430 para recibir la señal de control CSYNC. Las líneas de salida del registro de desplazamiento 410a-410m también están conectadas eléctricamente con la matriz lógica 406.

El registro de desplazamiento 402 recibe una pulsación de control en la señal de control CSYNC y proporciona una única señal de salida de nivel de voltaje alto. Como se describe arriba y se describe en detalle a continuación, la dirección de desplazamiento del registro de desplazamiento 402 es fijada en respuesta a las señales de dirección DIRF y DIRR, las cuales son generadas durante las pulsaciones de temporización en las señales de temporización T3-T6, basadas en la señal de control CSYNC, sobre la línea de señal de control 430. Si el registro de desplazamiento 402 está desplazando en la dirección hacia delante, el registro de desplazamiento 402 fija la línea de salida del registro de desplazamiento 410a y desplaza la señal de salida del registro de desplazamiento SO1 hasta un nivel de voltaje alto, en respuesta a la pulsación de control y las pulsaciones de temporización en las señales de temporización T1-T4. Si el registro de desplazamiento 402 está desplazando en la dirección reversa, el registro de desplazamiento 402 fija la línea de salida del registro de desplazamiento 410m y la señal de salida del registro de desplazamiento SO13 a un nivel de voltaje alto, en respuesta a la pulsación de control y las pulsaciones de temporización en la señal de temporización T1-T4. La señal de salida de nivel de voltaje alto SO1 o SO13, es desplazada a través del registro de desplazamiento 402 desde una célula del registro de desplazamiento 403 hasta la siguiente célula del registro de desplazamiento 403, en respuesta a las pulsaciones de temporización en las señales de temporización T1-T4.

El registro de desplazamiento 402 desplaza en la pulsación de control y desplaza la única señal de salida de nivel de voltaje alto, desde una célula del registro de desplazamiento 403 hasta la siguiente célula del registro de desplazamiento 403, utilizando dos operaciones de precarga y dos operaciones de evaluación. La primera fase 500 de cada célula del registro de desplazamiento 403, recibe la señal de dirección hacia delante DIRF y la señal de dirección reversa DIRR. También, la primera fase 500 de cada célula del registro de desplazamiento 403, recibe una señal de entrada del registro de desplazamiento hacia delante SIF y una señal de entrada del registro de desplazamiento reversa SIR. Todas las células del registro de desplazamiento 403, en el registro de desplazamiento 402, son fijadas para desplazar en la misma dirección y al mismo tiempo, al ser recibidas las pulsaciones de temporización en las señales de temporización T1-T4.

La primera fase 500 de cada célula del registro de desplazamiento 403, desplaza en bien la señal de entrada del registro de desplazamiento hacia delante SIF o la señal de entrada del registro de desplazamiento reversa SIR. El voltaje alto o bajo de la señal de entrada del registro de desplazamiento seleccionada SIF o SIR, es proporcionado como la señal de salida del registro de desplazamiento SO1-SO13. La primera fase 500 de cada célula del registro de desplazamiento 403, precarga el nodo interno 522, durante una pulsación de temporización desde la señal de temporización T1 y evalúa la señal de entrada del registro de desplazamiento seleccionada SIF o SIR, durante una pulsación de temporización desde la señal de temporización T2. La segunda fase 502 en cada una de las células del registro de desplazamiento 403, precarga las líneas de salida del registro de desplazamiento 410a-410m, durante una pulsación de temporización desde la señal de temporización T3 y evalúa la señal de nodo interno SN (por ejemplo, SN1), durante una pulsación de temporización desde la señal de temporización T4.

Las señales de dirección DIRF y DIRR fijan la dirección hacia delante o reversa de desplazamiento, en la célula del registro de desplazamiento 403a y todas las otras células del registro de desplazamiento 403, en el registro de desplazamiento 402. El registro de desplazamiento 402 desplaza en dirección hacia delante, si la señal de dirección hacia delante DIRF está a un nivel de voltaje alto y la señal de dirección reversa DIRR está a un nivel de voltaje bajo. El registro de desplazamiento 402 desplaza en la dirección reversa, si la señal de dirección reversa DIRR está a un nivel de voltaje alto y la señal de dirección hacia delante DIRF está a un nivel de voltaje bajo. Si ambas señales de dirección DIRF y DIRR están en niveles de voltaje bajo, el registro de desplazamiento 402 no se desplaza en ninguna dirección y todas las señales de salida del registro de desplazamiento SO1-SO13 son limpiadas hasta niveles de voltaje bajo inactivos.

En operación de desplazamiento en la dirección hacia delante de la célula del registro de desplazamiento 403a, la señal de dirección hacia delante DIRF es fijada a un nivel de voltaje alto y la señal de dirección reversa DIRR es fijada a un nivel de voltaje bajo. La señal de dirección hacia delante de nivel de voltaje alto DIRF enciende el transistor de dirección hacia delante 512 y la señal de dirección reversa de nivel de voltaje bajo DIRR apaga el transistor de dirección reversa 514. Una pulsación de temporización desde la señal de temporización T1, es proporcionada al registro de desplazamiento 402, en la primera señal de precarga PRE1, para cargar el nodo interno 522 hasta un nivel de voltaje alto, a través del transistor de primera precarga 504. A continuación, una pulsación de temporización desde la señal de temporización T2, es proporcionada a la red de resistencia de segmentación 412 y una pulsación de temporización de nivel de voltaje reducido T2 es proporcionada al registro de desplazamiento 402, en la primera señal de evaluación EVAL1. La pulsación de temporización en la primera señal de evaluación EVAL1, enciende el transistor de primera evaluación 506. Si la señal de entrada del registro de desplazamiento hacia delante SIF está a un nivel de voltaje alto, el transistor de entrada hacia delante 508 es encendido y con el transistor de dirección hacia delante 512 ya encendido, el nodo interno 522 es descargado para proporcionar una señal de nodo interno de nivel de voltaje bajo SN1. El nodo interno 522 es descargado a través del transistor de primera evaluación 506, el transistor de entrada hacia delante 508 y el transistor de dirección hacia delante 512. Si la señal de entrada del registro de desplazamiento hacia delante SIF está a un nivel de voltaje bajo, el transistor de entrada hacia delante 508 es apagado y el nodo interno 522 permanece cargado, para proporcionar una señal de nodo interno de nivel de voltaje alto SN1. La señal de entrada del registro de desplazamiento reversa SIR controla el transistor de entrada reversa 510. Sin embargo, el transistor de dirección reversa 514 está apagado, de forma que el nodo interno 522 no puede ser descargado a través del transistor de entrada reversa 510.

La señal de nodo interno SN1 en el nodo interno 522, controla el transistor de nodo interno 520. Una señal de nodo interno de nivel de voltaje bajo SN1 apaga el transistor de nodo interno 520 y una señal de nodo interno de nivel de voltaje alto SN1 enciende el transistor de nodo interno 520.

Una pulsación de temporización desde la señal de temporización T3, es proporcionada al registro de desplazamiento 402, como segunda señal de precarga PRE2. La pulsación de temporización en la segunda señal de precarga PRE2, carga la línea de salida del registro de desplazamiento 410a a un nivel de voltaje alto, a través del transistor de segunda precarga 516. A continuación, una pulsación de temporización desde la señal de temporización T4, es proporcionada a la red de resistencia de segmentación 414 y una pulsación de temporización de nivel de voltaje reducido T4, es proporcionada al registro de desplazamiento 402, como segunda señal de evaluación EVAL2. La pulsación de temporización en la segunda señal de evaluación EVAL2, enciende el transistor de segunda evaluación 518. Si el transistor de nodo interno 520 está apagado, la línea de salida del registro de desplazamiento 410a

permanece cargada a un nivel de voltaje alto. Si el transistor de nodo interno 520 está encendido, la línea de salida del registro de desplazamiento 410a es descargada hasta un nivel de voltaje bajo. La señal de salida del registro de desplazamiento SO1 es alta/baja de forma inversa a la señal del nodo interno SN1, la cual fue alta/baja de forma inversa a la señal de entrada del registro de desplazamiento hacia delante SIF. El nivel de la señal de entrada del registro de desplazamiento hacia delante SIF, fue desplazado hasta la señal de salida del registro de desplazamiento SO1.

En la célula del registro de desplazamiento 403a, la señal de entrada del registro de desplazamiento hacia delante SIF es la señal de control CSYNC sobre la línea de control 430. Para descargar el nodo interno 522 hasta un nivel de voltaje bajo, es proporcionada una pulsación de control, en la señal de control CSYNC, al mismo tiempo que una pulsación de temporización, en la primera señal de evaluación EVAL1. La pulsación de control en la señal de control CSYNC, que es coincidente con la pulsación de temporización desde la señal de temporización T2, inicia el registro de desplazamiento 402 para el desplazamiento en dirección hacia delante.

En operación de desplazamiento de la célula del registro de desplazamiento 403a en la dirección reversa, la señal de dirección hacia delante DIRF, es fijada a un nivel de voltaje bajo y la señal de dirección reversa DIRR es fijada a un nivel de voltaje alto. La señal de dirección hacia delante de nivel de voltaje bajo DIRF apaga el transistor de dirección hacia delante 512 y la señal de dirección reversa de nivel de voltaje alto DIRR enciende el transistor de dirección reversa 514. Una pulsación de temporización desde la señal de temporización T1, es proporcionada en la primera señal de precarga PRE1, para cargar el nodo interno 522 hasta un nivel de voltaje alto, a través del transistor de primera precarga 504. A continuación, una pulsación de temporización desde la señal de temporización T2, es proporcionada a la red de resistencia de segmentación 412 y una pulsación de temporización de nivel de voltaje reducido T2, es proporcionada en la primera señal de evaluación EVAL1. La pulsación de temporización en la primera señal de evaluación EVAL1, enciende el transistor de primera evaluación 506. Si la señal de entrada del registro de desplazamiento reversa SIR esta a un nivel de voltaje alto, el transistor de entrada reversa 510 es encendido y con el transistor de dirección reversa 514 ya encendido, el nodo interno 522 es descargado para proporcionar una señal de nodo interno de nivel de voltaje bajo SN1. El nodo interno 522 es descargado, a través del transistor de primera evaluación 506, el transistor de entrada reversa 510 y el transistor de dirección reversa 514. Si la señal de entrada del registro de desplazamiento reversa SIR esta a un nivel de voltaje bajo, el transistor de entrada reversa 510 es apagado y el nodo interno 522 permanece cargado para proporcionar una señal de nodo interno de nivel de voltaje alto SN1. La señal de entrada del registro de desplazamiento hacia delante SIF controla el transistor de entrada hacia delante 508. Sin embargo, el transistor de dirección hacia delante 512 es apagado, de forma que el nodo interno 522 no pueda ser descargado a través del transistor de entrada hacia delante 508.

Una pulsación de temporización desde la señal de temporización T3, es proporcionada en la segunda señal de precarga PRE2. La pulsación de temporización en la segunda señal de precarga PRE2, carga la línea de salida del registro de desplazamiento 410a hasta un nivel de voltaje alto, a través del transistor de segunda precarga 516. A continuación, una pulsación de temporización desde la señal de temporización T4, es proporcionada a la red de resistencia de segmentación 414 y una pulsación de temporización de nivel de voltaje reducido T4, es proporcionada en la segunda señal de evaluación EVAL2. La pulsación de temporización en la segunda señal de evaluación EVAL2, enciende el transistor de segunda evaluación 518. Si el transistor de nodo interno 520 está apagado, la línea de salida del registro de desplazamiento 410a permanece cargada a un nivel de voltaje alto. Si el transistor de nodo interno 520 está encendido, la línea de salida del registro de desplazamiento 410a es descargada hasta un nivel de voltaje bajo. La señal de salida del registro de desplazamiento SO1 es alta/baja de forma inversa a la señal del nodo interno SN1, la cual fue alta/baja de forma inversa a la señal de entrada del registro de desplazamiento reversa SIR. El nivel de la señal de entrada del registro de desplazamiento reversa SIR fue desplazado hasta la señal de salida del registro de desplazamiento SO1.

En la célula del registro de desplazamiento 403a, la señal de entrada del registro de desplazamiento reversa SIR es la señal de salida del registro de desplazamiento SO2, sobre la línea de salida del registro de desplazamiento 410b. En la célula del registro de desplazamiento 403m, la señal de entrada del registro de desplazamiento reversa SIR, es la señal de control CSYNC sobre la línea de control 430. Para descargar el nodo interno 522 en la célula del registro de desplazamiento 403m hasta un nivel de voltaje bajo, es proporcionada una pulsación de control en la señal de control CSYNC, al mismo tiempo que una pulsación de temporización en la primera señal de evaluación EVAL1. La pulsación de control en la señal de control CSYNC, que es coincidente con la pulsación de temporización desde la señal de temporización T2, inicia el registro de desplazamiento 402, para el desplazamiento en la dirección reversa, desde la célula del registro de desplazamiento 403m hacia la célula del registro de desplazamiento 403a.

En operación de limpieza de la célula del registro de desplazamiento 403a y todas las células del registro de desplazamiento 403 en el registro de desplazamiento 402, las señales de dirección DIRF y DIRR son fijadas a niveles de voltaje bajo. Una señal de dirección hacia delante de voltaje bajo DIRF apaga el transistor de dirección hacia delante 512 y una señal de dirección reversa de nivel de voltaje bajo DIRR apaga el transistor de dirección reversa 514. Una pulsación de temporización desde la señal de temporización T1, es proporcionada en la primera señal de precarga PRE1, para cargar el nodo interno 522 y proporcionar una señal de nodo interno de nivel de voltaje alto SN1. Una pulsación de temporización desde la señal de temporización T2, es proporcionada como una

pulsación de temporización de nivel de voltaje reducido T2, en la primera señal de evaluación EVAL1, para encender el transistor de primera evaluación 506. Ambos, el transistor de dirección hacia delante 512 y el transistor de dirección reversa 514, están apagados, de forma tal, que el nodo interno 522 no es descargado a través de bien el transistor de entrada hacia delante 508 o el transistor de entrada reversa 510.

La señal de nodo interno de nivel de voltaje alto SN1 enciende el transistor de nodo interno 520. Una pulsación de temporización desde la señal de temporización T3, es proporcionada en la segunda señal de precarga PRE2, para cargar la línea de señal de salida del registro de desplazamiento 410a y todas las líneas de señal de salida del registro de desplazamiento 410. A continuación, una pulsación de temporización desde la señal de temporización T4, es proporcionada, como una pulsación de temporización de nivel de voltaje reducido T4 en la segunda señal de evaluación EVAL2, para encender el transistor de segunda evaluación 518. La línea de salida del registro de desplazamiento 410a es descargada, a través del transistor de segunda evaluación 518 y el transistor de nodo interno 520, para proporcionar una señal de salida del registro de desplazamiento de nivel de voltaje bajo SO1. También, todas las otras líneas de salida del registro de desplazamiento 410, son descargadas para proporcionar las señales de salida del registro de desplazamiento de nivel de voltaje bajo inactivas SO2-SO13.

La Figura 10B, es un diagrama que ilustra el circuito de dirección 404. El circuito de dirección 404 incluye un circuito de señal de dirección hacia delante 550 y un circuito de señal de dirección reversa 552. El circuito de señal de dirección hacia delante 550, incluye un transistor de tercera precarga 554, un transistor de tercera evaluación 556 y un transistor de primer control 558. El circuito de señal de dirección reversa 552, incluye un transistor de cuarta precarga 560, un transistor de cuarta evaluación 562 y un transistor de segundo control 564.

La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de tercera precarga 554, están conectados eléctricamente con una línea de señal de temporización 436. La línea de señal de temporización 436, proporciona la señal de temporización T5, al circuito de dirección 404, como tercera señal de precarga PRE3. El otro lateral de la trayectoria de la fuente de drenaje del transistor de tercera precarga 554, esta conectado eléctricamente con un lateral de la trayectoria de la fuente de drenaje del transistor de tercera evaluación 556, a través de la línea de señal de dirección 408a. La línea de señal de dirección 408a, proporciona la señal de dirección hacia delante DIRF a la puerta del transistor de dirección hacia delante, en cada una de las células del registro de desplazamiento 403, en el registro de desplazamiento 402, como la puerta del transistor de dirección hacia delante 512, en la célula del registro de desplazamiento 403a. La puerta del transistor de tercera evaluación 556, esta conectada eléctricamente con la línea de señal de tercera evaluación 428, que proporciona la señal de temporización de nivel de voltaje reducido T6, al circuito de dirección 404. El otro lateral de la trayectoria de la fuente de drenaje del transistor de tercera evaluación 556, esta conectado eléctricamente con la trayectoria de la fuente de drenaje del transistor de control 558, en 566. La trayectoria de la fuente de drenaje del transistor de control 558, está también conectada eléctricamente con una referencia, como tierra, en 568. La puerta del transistor de control 558 esta conectada eléctricamente con la línea de control 430, para recibir la señal de control CSYNC.

La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de cuarta precarga 560, están conectados eléctricamente con una línea de señal de temporización 434. La línea de señal de temporización 434, proporciona la señal de temporización T3 al circuito de dirección 404, como cuarta señal de precarga PRE4. El otro lateral de la trayectoria de la fuente de drenaje del transistor de cuarta precarga 560, esta conectado eléctricamente con un lateral de la trayectoria de la fuente de drenaje del transistor de cuarta evaluación 562, a través de la línea de señal de dirección 408b. La línea de señal de dirección 408b, proporciona la señal de dirección reversa DIRR a la puerta del transistor de dirección reversa, en cada una de las células del registro de desplazamiento 403, en el registro de desplazamiento 402, como la puerta del transistor de dirección reversa 514 en la célula del registro de desplazamiento 403a. La puerta del transistor de cuarta evaluación 562, esta conectada eléctricamente con la línea de señal de cuarta evaluación 424, que proporciona la señal de temporización de nivel de voltaje reducido T4, al circuito de dirección 404. El otro lateral de la trayectoria de la fuente de drenaje del transistor de cuarta evaluación 562, esta conectado eléctricamente con la trayectoria de la fuente de drenaje del transistor de control 564, en 570. La trayectoria de la fuente de drenaje del transistor de control 564, está también conectada eléctricamente con una referencia, como tierra, en 572. La puerta del transistor de control 564 esta conectada eléctricamente con la línea de control 430, para recibir la señal de control CSYNC.

Las señales de dirección DIRF y DIRR fijan la dirección de desplazamiento del registro de desplazamiento 402. Si la señal de dirección hacia delante DIRF es fijada a un nivel de voltaje alto y la señal de dirección reversa DIRR es fijada a un nivel de voltaje bajo, los transistores de dirección hacia delante, como el transistor de dirección hacia delante 512, son encendidos y los transistores de dirección reversa, como el transistor de dirección reversa 514, son apagados. El registro de desplazamiento 402 desplaza en dirección hacia delante. Si la señal de dirección hacia delante DIRF es fijada a un nivel de voltaje bajo y la señal de dirección reversa DIRR es fijada a un nivel de voltaje alto, los transistores de dirección hacia delante, como el transistor de dirección hacia delante 512, son apagados y los transistores de dirección reversa, como el transistor de dirección reversa 514, son encendidos. El registro de desplazamiento 402 desplaza en la dirección reversa. Las señales de dirección DIRF y DIRR son fijadas durante cada serie de pulsaciones de temporización desde las señales de temporización T3-T6, al desplazar activamente el registro de desplazamiento 402, bien en la dirección hacia delante o reversa. Para terminar con el desplazamiento o



prevenir el desplazamiento del registro de desplazamiento 402, las señales de dirección DIRF y DIRR, son fijadas en niveles de voltaje bajo. Esto limpia la única señal de nivel de voltaje alto de las señales de salida del registro de desplazamiento SO1-SO13, de forma que todas las señales de salida del registro de desplazamiento SO1-SO13 están a niveles de voltaje bajo. Las señales de salida del registro de desplazamiento a nivel de voltaje bajo SO1-SO13, apagan todos los pares de transistores de dirección 446, 448, ... 470 y las señales de dirección ~A1, ~A2, ... ~A7 permanecen a niveles de voltaje alto que no habilitan a las células de disparo 120.

En funcionamiento, la línea de señal de temporización 434 proporciona una pulsación de temporización desde la señal de temporización T3, al circuito de dirección 404, en la cuarta señal de precarga PRE4. La pulsación de temporización en la cuarta señal de precarga PRE4, carga la línea de señal de dirección reversa 408b hasta un nivel de voltaje alto. Una pulsación de temporización desde la señal de temporización T4, es proporcionada a la red de resistencia de segmentación 414, que proporciona una señal de temporización de nivel de voltaje reducido T4 al circuito de dirección 404, en la cuarta señal de evaluación EVAL4. La pulsación de temporización en la cuarta señal de evaluación EVAL4, enciende el transistor de cuarta evaluación 562. Si es proporcionada una pulsación de control de la señal de control CSYNC a la puerta del transistor de control 564, al mismo tiempo que la pulsación de temporización en la cuarta señal de evaluación EVAL4 es proporcionada al transistor de cuarta evaluación 562, la línea de señal de dirección reversa 408b descarga hasta un nivel de voltaje bajo. Si la señal de control CSYNC permanece a un nivel de voltaje bajo, al ser proporcionada la pulsación de temporización en la cuarta señal de evaluación EVAL4 al transistor de cuarta evaluación 562, la línea de señal de dirección reversa 408b permanece cargada a un nivel de voltaje alto.

La línea de señal de temporización 436 proporciona una pulsación de temporización desde la señal de temporización T5 al circuito de dirección 404, en la tercera señal de precarga PRE3. La pulsación de temporización en la tercera señal de precarga PRE3, carga la línea de señal de dirección hacia delante 408a hasta un nivel de voltaje alto. Una pulsación de temporización desde la señal de temporización T6, es proporcionada a la red de resistencia de segmentación 416, que proporciona una pulsación de temporización de nivel de voltaje reducido T6 al circuito de dirección 404, en la tercera señal de evaluación EVAL3. La pulsación de temporización en la tercera señal de evaluación EVAL3, enciende el transistor de tercera evaluación 556. Si una pulsación de control de la señal de control CSYNC, es proporcionada a la puerta del transistor de control 558, al mismo tiempo que la pulsación de temporización en la tercera señal de evaluación EVAL3 es proporcionada al transistor de tercera evaluación 556, la línea de señal de dirección hacia delante 408a descarga hasta un nivel de voltaje bajo. Si la señal de control CSYNC permanece a un nivel de voltaje bajo, al ser proporcionada la pulsación de temporización en la tercera señal de evaluación EVAL3 al transistor de tercera evaluación 556, la línea de señal de dirección hacia delante 408a permanece cargada a un nivel de voltaje alto.

La Figura 11, es un diagrama de temporización que ilustra el funcionamiento del generador de dirección 400 en la dirección hacia delante. Las señales de temporización T1-T6 proporcionan una serie de seis pulsaciones repetidas. Cada una de las señales de temporización T1-T6 proporciona una pulsación en la serie de seis pulsaciones.

En una serie de seis pulsaciones, la señal de temporización T1 en 600 incluye la pulsación de temporización 602, la señal de temporización T2 en 604 incluye la pulsación de temporización 606, la señal de temporización T3 en 608 incluye la pulsación de temporización 610, la señal de temporización T4 en 612 incluye la pulsación de temporización 614, la señal de temporización T5 en 616 incluye la pulsación de temporización 618 y la señal de temporización T6 en 620 incluye la pulsación de temporización 622. La señal de control CSYNC en 624 incluye pulsaciones de control que fijan la dirección de desplazamiento en el registro de desplazamiento 402 e inician el registro de desplazamiento 402 para que genere las señales de dirección ~A1, ~A2, ... ~A7, indicadas en 625.

La pulsación de temporización 602 de la señal de temporización T1 en 600, es proporcionada al registro de desplazamiento 402, en la primera señal de precarga PRE1. Durante la pulsación de temporización 602, el nodo interno 522, en cada una de las células del registro de desplazamiento 403a-403m, carga para proporcionar las señales de nodo interno de nivel de voltaje alto SN1-SN13. Todas las señales de nodo interno del registro de desplazamiento SN, indicadas en 626, son fijadas a niveles de voltaje alto en 628. Las señales de nodo interno de nivel de voltaje alto SN 626, encienden el transistor de nodo interno 520, en cada una de las células del registro de desplazamiento 403a-403m. En este ejemplo, la serie de seis pulsaciones de temporización ha sido proporcionada antes que la pulsación de temporización 602 y el registro de desplazamiento 402 no ha sido iniciado, de forma que todas las señales de salida del registro de desplazamiento SO, indicadas en 630, están descargadas hasta niveles de voltaje bajo, indicados en 632, y todas las señales de dirección ~A1, ~A2, ... ~A7 en 625, permanecen a niveles de voltaje alto, indicados en 633.

La pulsación de temporización 606 de la señal de temporización T2 en 604, es proporcionada al registro de desplazamiento 402 en la primera señal de evaluación EVAL1. La pulsación de temporización 606, enciende el transistor de primera evaluación 506 en cada una de las células del registro de desplazamiento 403a-403m. Mientras la señal de control CSYNC 624 permanece a un nivel de voltaje bajo en 634 y todas las señales de salida del registro de desplazamiento SO 630 permanecen a niveles de voltaje bajo en 636, el transistor de entrada hacia delante 508 y el transistor de entrada reversa 510, en cada una de las células del registro de desplazamiento 403a-

403m, están apagados. Los transistores de entrada hacia delante no conductores 508 y los transistores de entrada reversa no conductores 510, evitan que el nodo interno 522 de cada una de las células del registro de desplazamiento 403a-403m, descargue hasta un nivel de voltaje bajo. Todas las señales de nodo interno del registro de desplazamiento SN 626 permanecen a niveles de voltaje alto en 638.

La pulsación de temporización 610 de la señal de temporización T3 en 608, es proporcionada al registro de desplazamiento 402 en la segunda señal de precarga PRE2, al circuito de dirección 404 en la cuarta señal de precarga PRE4 y a los transistores de precarga de la línea de dirección 438 y el transistor de prevención de evaluación 422a en la matriz lógica 406. Durante la pulsación de temporización 610 en la segunda señal de precarga PRE2, todas las señales de salida del registro de desplazamiento SO 630 cargan hasta niveles de voltaje alto en 640. También, durante la pulsación de temporización 610 en la cuarta señal de precarga PRE4, la señal de dirección reversa DIRR 642 carga hasta un nivel de voltaje alto en 644. Además, la pulsación de temporización 610 carga todas las señales de dirección 625 hasta un nivel de voltaje alto en 646 y enciende el transistor de prevención de evaluación 422a, para tirar de la señal de evaluación lógica LEVAL 648 hasta un nivel de voltaje bajo en 650.

La pulsación de temporización 614 en la señal de temporización T4 en 612, es proporcionada al registro de desplazamiento 402, en la segunda señal de evaluación EVAL2, al circuito de dirección 404, en la cuarta señal de evaluación EVAL4 y al transistor de prevención de evaluación 422b, en la matriz lógica 406. La pulsación de temporización 614 en la segunda señal de evaluación EVAL2, enciende el transistor de segunda evaluación 518, en cada una de las células del registro de desplazamiento 403a-403m. Con las señales de nodo interno SN 626 a niveles de voltaje alto, habiendo encendido el transistor de nodo interno 520 en cada una de las células del registro de desplazamiento 403a-403m, todas las señales de salida del registro de desplazamiento SO 630 descargan hasta niveles de voltaje bajo en 652. También, la pulsación de temporización 614 en la cuarta señal de evaluación EVAL4, enciende el transistor de cuarta evaluación 562. Una pulsación de control en 654 de la señal de control CSYNC 624, enciende el transistor de control 564. Con el transistor de cuarta evaluación 562 y el transistor de control 564 encendidos, la señal de dirección DIRR 642 es descargada hasta un nivel de voltaje bajo en 656. Además, la pulsación de temporización 614 enciende el transistor de prevención de evaluación 442b, para sostener la señal de evaluación lógica LEVAL 648 a un nivel de voltaje bajo en 658. La señal de evaluación lógica de nivel de voltaje bajo LEVAL 648, apaga los transistores de evaluación de dirección 440.

La pulsación de temporización 618 de la señal de temporización T5 en 616, es proporcionada al circuito de dirección 404 en la tercera señal de precarga PRE3 y al transistor de precarga de evaluación lógica 444 en la matriz lógica 406. Durante la pulsación de temporización 618 en la tercera señal de precarga PRE3, la señal de dirección hacia delante DIRF 658 carga hasta un nivel de voltaje alto en 660. La señal de dirección hacia delante de nivel de voltaje alto DIRF 658, enciende el transistor de dirección hacia delante 512, en cada una de las células del registro de desplazamiento 403a-403m, para fijar el registro de desplazamiento 402, para el desplazamiento en la dirección hacia delante. También, durante la pulsación de temporización 618, la señal de evaluación lógica LEVAL 648 carga hasta un nivel de voltaje alto en 662, el cual enciende todos los transistores de evaluación lógica 440. Con todas las señales de salida del registro de desplazamiento SO 630 a niveles de voltaje bajo, todos los pares de transistores de dirección 446, 448, ... 470 son apagados y todas las señales de dirección ~A1, ~A2, ... ~A7 en 625 permanecen a niveles de voltaje alto.

La pulsación de temporización 622 desde la señal de temporización T6 en 620, es proporcionada al circuito de dirección 404 como tercera señal de evaluación EVAL3. La pulsación de temporización 622 enciende el transistor de tercera evaluación 556. Dado que la señal de control CSYNC 624 permanece a un nivel de voltaje bajo en 664, el transistor de control 558 se apaga y la señal de dirección hacia delante DIRF 658 permanece a un nivel de voltaje alto. La señal de dirección hacia delante de nivel de voltaje alto DIRF 658 y la señal de dirección reversa de nivel de voltaje bajo DIRR 642, preparan cada una de las células del registro de desplazamiento 403a-403m, para el desplazamiento en dirección hacia delante.

En la próxima serie de seis pulsaciones de temporización, la pulsación de temporización 666 carga todas las señales de nodo interno SN 626 hasta niveles de voltaje alto. La pulsación de temporización 668 enciende el transistor de primera evaluación 506, en cada una de las células del registro de desplazamiento 403a-403m. La señal de control CSYNC 624 proporciona una pulsación de control en 670, al transistor de entrada hacia delante 508 en la célula del registro de desplazamiento 403a. Con el transistor de dirección hacia delante 512 ya encendido, la señal de nodo interno SN1 en la célula del registro de desplazamiento 403a, descarga hasta un nivel de voltaje bajo, indicado en 672. Las señales de salida del registro de desplazamiento SO 630 están a niveles de voltaje bajo en 674, lo cual apaga el transistor de entrada hacia delante en las células del registro de desplazamiento 403b-403m. Con los transistores de entrada hacia delante apagados, cada una de las otras señales de nodo interno SN2-SN13, en las células del registro de desplazamiento 403b-403m, permanecen a niveles de voltaje alto, indicados en 676.

Durante la pulsación de temporización 678, todas las señales de salida del registro de desplazamiento SO 630 son cargadas hasta niveles de voltaje alto en 680 y la señal de dirección reversa DIRR 642 es cargada hasta un nivel de voltaje alto en 682. Además, durante la pulsación de temporización 678, todas las señales de dirección ~A1, ~A2, ... ~A7 625 son cargadas hasta niveles de voltaje alto en 684 y la señal de evaluación lógica LEVAL 648 es descargada

hasta un nivel de voltaje bajo en 686. La señal de evaluación lógica de nivel de voltaje bajo LEVAL 648, apaga los transistores de evaluación de dirección 440, lo cual evita que los pares de transistores de dirección 446, 448, ... 470 tiren de las señales de dirección ~A1, ~A2, ... ~A7 625 hasta niveles de voltaje bajo.

5 Durante la pulsación de temporización 688, las señales de salida del registro de desplazamiento SO2-SO13 descargan hasta niveles de voltaje bajo en 690. La señal de salida del registro de desplazamiento SO1 permanece a un nivel de voltaje alto, indicado en 692, debido a que la señal de nodo interno SN1 en 672, apaga el transistor de nodo interno 520 de la célula del registro de desplazamiento 403a. También, la pulsación de temporización 688 enciende el transistor de segunda evaluación 562 y la pulsación de control pulso 694 enciende el transistor de control 564, para descargar la señal de dirección reversa DIRR 642, hasta un nivel de voltaje bajo, en 696. Además, la pulsación de temporización 688 enciende el transistor de prevención de evaluación 442b, para tirar de la señal de evaluación lógica LEVAL 648, hasta un nivel de voltaje bajo, en 698 y mantener los transistores de evaluación 440 apagados.

15 Durante la pulsación de temporización 700, la señal de dirección hacia delante DIRF 658, es mantenida a un nivel de voltaje alto y la señal de evaluación lógica LEVAL 648 es cargada hasta un nivel de voltaje alto en 702. La señal de evaluación lógica de nivel de voltaje alto LEVAL 648 en 702, enciende los transistores de evaluación 440. La señal de salida del registro de desplazamiento de alto nivel SO1 en 692, enciende los pares de transistores de dirección 446a y 446b y las señales de dirección ~A1 y ~A2 en 625 son activamente arrastradas hasta niveles de voltaje bajo en 704. Las otras señales de salida del registro de desplazamiento SO2-SO13, son arrastradas hasta niveles de voltaje bajo en 690, de forma que son apagados los transistores de dirección 448, 450, ... 470 y las señales de dirección ~A3- ~A7 permanecen a niveles de voltaje alto, indicados en 706. Las señales de dirección ~A1, ~A2, ... ~A7 en 625, se hacen válidas durante la pulsación de temporización 700 en la señal de temporización T5 en 616. La pulsación de temporización 708 enciende el transistor de tercera evaluación 556. Sin embargo, la señal de control CSYNC 624 está a un nivel de voltaje bajo en 710 y la señal de dirección hacia delante DIRF 658 permanece a un nivel de voltaje alto en 712.

En la siguiente serie de seis pulsaciones de temporización, la pulsación de temporización 714 carga todas las señales de nodo interno SN 626 hasta niveles de voltaje alto en 716. La pulsación de temporización 718 enciende el transistor de primera evaluación 506, en cada una de las células del registro de desplazamiento 403a-403m, para permitir la descarga del nodo 522, si la señal de entrada hacia delante SIF, en cada una de las células del registro de desplazamiento 403a-403m, está a un nivel de voltaje alto. La señal de entrada hacia delante SIF, en la célula del registro de desplazamiento 403a, es la señal de control CSYNC 624, la cual está a un nivel de voltaje bajo en 720. La señal de entrada hacia delante SIF, en cada una de las otras células del registro de desplazamiento 403b-403m, es la señal de salida del registro de desplazamiento SO 630 de la célula del registro de desplazamiento precedente 403. La señal de salida del registro de desplazamiento SO1 está a un nivel de voltaje alto en 692 y es la señal de entrada hacia delante SIF de la segunda célula del registro de desplazamiento 403b. Las señales de salida del registro de desplazamiento SO2-SO13 están todas a niveles de voltaje bajo en 690.

40 Las células del registro de desplazamiento 403a y 403c-403m, reciben las señales de entrada hacia delante de nivel de voltaje bajo SIF, que apagan el transistor de entrada hacia delante 508, en cada una de las células del registro de desplazamiento 403a y 403c-403m, de forma que las señales de nodo interno SN1 y SN3- SN13 permanecen altas en 722. La célula del registro de desplazamiento 403b recibe la señal de salida del registro de desplazamiento de nivel de voltaje alto SO1, como una señal de entrada hacia delante SIF, que enciende el transistor de entrada hacia delante, para descargar la señal de nodo interno SN2 en 724.

50 Durante la pulsación de temporización 726, todas las señales de salida del registro de desplazamiento SO 630 son cargadas a niveles de voltaje alto en 728 y la señal de dirección reversa DIRR 642 hasta un nivel de voltaje alto en 730. También, la pulsación de temporización 726 carga todas las señales de dirección ~A1, ~A2, ... ~A7, 625 hacia un nivel de voltaje alto en 732 y enciende el transistor de prevención de evaluación 442a, para tirar de LEVAL 648 hasta un nivel de voltaje bajo en 734.

55 La señales de dirección ~A1, ~A2, ... ~A7 625 fueron válidas, desde que las señales de dirección tiempo ~A1 y ~A2 fueron arrastradas bajas en 704, hasta que todas las señales de dirección ~A1, ~A2, ... ~A7 625 son arrastradas altas en 732. La señales de dirección ~A1, ~A2, ... ~A7 625 son válidas, durante la pulsación de temporización 708 desde la señal de temporización T6 en 620, de la serie precedente de seis pulsaciones de temporización y las pulsaciones de temporización 714 y 718 desde las señales de temporización T1 en 600 y T2 en 604, de la presente serie de seis pulsaciones de temporización.

60 La pulsación de temporización 736 enciende el transistor de segunda evaluación 518, en cada una de las células del registro de desplazamiento 403a-403m, para evaluar las señales de nodo interno SN 626. Las señales de nodo interno SN1 y SN3-SN13 están a niveles de voltaje alto en 722 y descargan las señales de salida del registro de desplazamiento SO1 y SO3-SO13 hasta niveles de voltaje bajo en 738. La señal de nodo interno SN2 está a un nivel de voltaje bajo en 724, que apaga el transistor de nodo interno de la célula del registro de desplazamiento 403b y mantiene la señal de salida del registro de desplazamiento SO2 a un nivel de voltaje alto en 740.

Cuando el transistor de cuarta evaluación 562 es encendido por la pulsación de temporización 736 y la pulsación de control 742 en CSYNC 624 enciende el transistor de control 564, la señal de dirección reversa DIRR 642 descarga hasta un nivel de voltaje bajo en 744. Las señales de dirección DIRR 642 y DIRF 658, son fijadas durante cada serie de seis pulsaciones de temporización. Además, la pulsación de temporización 736 enciende el transistor de prevención de evaluación 442b, para mantener LEVAL 648 a un nivel de voltaje bajo en 746.

Durante la pulsación de temporización 748 la señal de dirección hacia delante DIRF 658 es mantenida a un nivel de voltaje alto en 750 y LEVAL 648 carga hasta un nivel de voltaje alto en 752. La señal de evaluación lógica de nivel de voltaje alto LEVAL 678 en 752, enciende los transistores de evaluación 440. La señal de salida del registro de desplazamiento de nivel de voltaje alto SO2 en 740, enciende los transistores de dirección 448a y 448b, para tirar de las señales de dirección ~A1 y ~A3, hasta niveles de voltaje bajo en 754. Las otras señales de dirección ~A2 y ~A4-~A7, son mantenidas a niveles de voltaje alto en 756.

La pulsación de temporización 758 enciende el transistor de tercera evaluación 556. La señal de control CSYNC 624 permanece a un nivel de voltaje bajo en 760, para apagar el transistor de control 558 y mantener la señal de dirección hacia delante DIRF 642 a un nivel de voltaje alto.

La siguiente serie de seis pulsaciones de temporización desplaza la señal de salida del registro de desplazamiento de nivel de voltaje alto SO2, hasta la siguiente célula del registro de desplazamiento 403c, que proporciona una señal de salida del registro de desplazamiento de nivel de voltaje alto SO3. El desplazamiento continúa con cada serie de seis pulsaciones de temporización, hasta que cada señal de salida del registro de desplazamiento SO1-SO13 haya sido alta una vez. Después de que la señal de salida del registro de desplazamiento SO13 haya sido alta, la serie de señales de salida del registro de desplazamiento de nivel de voltaje alto SO 630 para. El registro de desplazamiento 402 puede ser iniciado otra vez, mediante el suministro de una pulsación de control, en la señal de control CSYNC, como la pulsación de control 670, coincidente con una pulsación de temporización desde la señal de temporización T2 en 604.

En funcionamiento en dirección hacia delante, es proporcionada una pulsación de control, en la señal de control CSYNC 624, coincidente con una pulsación de temporización desde la señal de temporización T4 en 612, para fijar la dirección de desplazamiento en la dirección hacia delante. También, es proporcionada una pulsación de control desde la señal de control CSYNC 624, coincidente con una pulsación de temporización desde la señal de temporización T2 en 604, para empezar o iniciar el registro de desplazamiento 402, desplazando una señal de voltaje alto, a través de las señales de salida del registro de desplazamiento SO1-SO13.

La Figura 12, es un diagrama de temporización, que ilustra el funcionamiento del generador de dirección 400 en la dirección reversa. Las señales de temporización T1-T6 proporcionan la serie repetida de seis pulsaciones. Cada una de las señales de temporización T1-T6, proporciona una pulsación en una serie de seis pulsaciones. En una serie de seis pulsaciones, la señal de temporización T1 en 800 incluye la pulsación de temporización 802, la señal de temporización T2 en 804 incluye la pulsación de temporización 806, la señal de temporización T3 en 808 incluye la pulsación de temporización 810, la señal de temporización T4 en 812 incluye la pulsación de temporización 814, la señal de temporización T5 en 816 incluye la pulsación de temporización 818 y la señal de temporización T6 en 820 incluye la pulsación de temporización 822. La señal de control CSYNC en 824 incluye las pulsaciones de control que fijan la dirección de desplazamiento del registro de desplazamiento 402 e inician el registro de desplazamiento 402 para generar las señales de dirección ~A1, ~A2, ... ~A7, indicadas en 825.

La pulsación de temporización 802 es proporcionada al registro de desplazamiento 402, en la primera señal de precarga PRE1. Durante la pulsación de temporización 802, el nodo interno 522, en cada una de las células del registro de desplazamiento 403a-403m, carga para proporcionar las correspondientes señales de nodo interno de nivel de voltaje alto SN1-SN13. Las señales de nodo interno del registro de desplazamiento SN 826 son fijadas a niveles de voltaje alto en 828. Las señales de nodo interno de nivel de voltaje alto SN 826, encienden los transistores de nodo interno 520 de las células del registro de desplazamiento 403. En este ejemplo, una serie de seis pulsaciones de temporización, ha sido proporcionada antes de la pulsación de temporización 802 y sin iniciar el registro de desplazamiento 402, de forma que todas las señales de salida del registro de desplazamiento SO 830 son descargadas a niveles de voltaje bajo, indicados en 832, y todas las señales de dirección ~A1, ~A2, ... ~A7 en 825, permanecen a niveles de voltaje alto, indicados en 833.

A pulsación de temporización 806 es proporcionada al registro de desplazamiento 402, en la primera señal de evaluación EVAL1. La pulsación de temporización 806 enciende el transistor de primera evaluación 506, en cada una de las células del registro de desplazamiento 403a-403m. La señal de control CSYNC 824, permanece a un nivel de voltaje bajo en 834 y todas las señales de salida del registro de desplazamiento SO 830, permanecen a niveles de voltaje bajo en 836, para apagar el transistor de entrada hacia delante 508 y el transistor de entrada reversa 510, en cada una de las células del registro de desplazamiento 403a-403m. Los transistores de entrada hacia delante y reversa no conductores 508 y 510, evitan que el nodo interno 522, en cada una de las células del

registro de desplazamiento 403a-403m, se descargue hasta un nivel de voltaje bajo. Todas las señales de nodo interno del registro de desplazamiento SN 826 permanecen a niveles de voltaje alto en 838.

La pulsación de temporización 810 es proporcionada al registro de desplazamiento 402, en la segunda señal de precarga PRE2, al circuito de dirección 404, en la cuarta señal de precarga PRE4 y a los transistores de precarga de la línea de dirección 438 y el transistor de prevención de evaluación 422a, en la matriz lógica 406. Durante la pulsación de temporización 810, todas las señales de salida del registro de desplazamiento SO 830 están cargadas a niveles de voltaje alto en 840. También, durante la pulsación de temporización 810, la señal de dirección reversa DIRR 842 carga hasta un nivel de voltaje alto en 844. Además, la pulsación de temporización 810 mantiene todas las señales de dirección 825 a niveles de voltaje alto y enciende el transistor de prevención de evaluación 422a, para tirar de la señal de evaluación lógica LEVAL 848, hasta un nivel de voltaje bajo en 850.

La pulsación de temporización 814 es proporcionada al registro de desplazamiento 402, en la segunda señal de evaluación EVAL2, al circuito de dirección 404, en la cuarta señal de evaluación EVAL4 y al transistor de prevención de evaluación 422b, en la matriz lógica 406. La pulsación de temporización 814, enciende el transistor de segunda evaluación 518, en cada una de las células del registro de desplazamiento 403a-403m. Con las señales de nodo interno SN 826 a niveles de voltaje alto, que encienden el transistor de nodo interno 520, en cada una de las células del registro de desplazamiento 403a-403m, todas las señales de salida del registro de desplazamiento SO 830 descargan hasta niveles de voltaje bajo en 852. También, la pulsación de temporización 814 enciende el transistor de cuarta evaluación 562 y la señal de control CSYNC 824 proporciona un voltaje bajo, para apagar el transistor de control 564. Con el transistor de control 564 apagado, la señal de dirección reversa DIRR 842 permanece cargada a un nivel de voltaje alto. Además, la pulsación de temporización 814 enciende el transistor de prevención de evaluación 442b, para sostener la señal de evaluación lógica LEVAL 848 a un nivel de voltaje bajo en 858. La señal de evaluación lógica de nivel de voltaje bajo LEVAL 848, apaga los transistores de evaluación de dirección 440.

La pulsación de temporización 818 es proporcionada al circuito de dirección 404, en la tercera señal de precarga PRE3 y al transistor de precarga de evaluación lógica 444, en la matriz lógica 406. Durante la pulsación de temporización 818, la señal de dirección hacia delante DIRF 858 carga hasta un nivel de voltaje alto en 860. También, durante la pulsación de temporización 818, la señal de evaluación lógica LEVAL 848 carga hasta un nivel de voltaje alto en 862, para encender todos los transistores de evaluación lógica 440. Con todas las señales de salida del registro de desplazamiento SO 830 a niveles de voltaje bajo, todos los pares de transistores de dirección 446, 448, ... 470 son apagados y todas las señales de dirección ~A1, ~A2, ... ~A7 en 825 permanecen a niveles de voltaje alto.

La pulsación de temporización 822 es proporcionada al circuito de dirección 404, como tercera señal de evaluación EVAL3. La pulsación de temporización 822 enciende el transistor de tercera evaluación 556. La señal de control CSYNC 824 proporciona una pulsación de control 864, para encender el transistor de control 558 y la señal de dirección hacia delante DIRF 858 es descargada hasta un nivel de voltaje bajo en 865. La señal de dirección hacia delante de nivel de voltaje bajo DIRF 858 y la señal de dirección reversa de nivel de voltaje alto DIRR 842, fijan cada una de las células del registro de desplazamiento 403a-403m, para el desplazamiento en la dirección reversa.

En la siguiente serie de seis pulsaciones de temporización, durante la pulsación de temporización 866, todas las señales de nodo interno SN 826 son cargadas hasta niveles de voltaje alto. La pulsación de temporización 868 enciende el transistor de primera evaluación 506, en cada una de las células del registro de desplazamiento 403a-403m. Una pulsación de control 870, la cual puede estar en la señal de control CSYNC, es proporcionada para encender el transistor de entrada reversa, en la célula del registro de desplazamiento 403m y con el transistor de dirección reversa encendido, la señal de nodo interno SN13 descarga hasta un nivel de voltaje bajo, indicado en 872. Las señales de salida del registro de desplazamiento SO 830 están a niveles de voltaje bajo en 874, lo cual apaga el transistor de entrada reversa en las células del registro de desplazamiento 403a-403l. Con los transistores de entrada reversa apagados, cada una de las otras señales de nodo interno SN1-SN12, permanecen a niveles de voltaje alto, indicados en 876.

Durante la pulsación de temporización 878, todas las señales de salida del registro de desplazamiento SO 830 son cargadas a niveles de voltaje alto en 880 y la señal de dirección reversa DIRR 842 es mantenida a un nivel de voltaje alto en 882. Además, la pulsación de temporización 878 mantiene todas las señales de dirección ~A1, ~A2, ... ~A7 825 a niveles de voltaje alto en 884 y tira de la señal de evaluación lógica LEVAL 848 hasta un nivel de voltaje bajo en 886. La señal de evaluación lógica de nivel de voltaje bajo LEVAL 848, apaga los transistores de evaluación 440, lo cual evita que los pares de transistores de dirección 446, 448, ... 470 tiren de las señales de dirección ~A1, ~A2, ... ~A7 825 hasta niveles de voltaje bajo.

Durante la pulsación de temporización 888, las señales de salida del registro de desplazamiento SO1-SO12 son descargadas hasta niveles de voltaje bajo en 890. La señal de salida del registro de desplazamiento SO13 permanece a un nivel de voltaje alto, indicado en 892, basado en la señal de nodo interno de nivel de voltaje bajo SN13 en 872, que apaga el transistor de nodo interno 520, de la célula del registro de desplazamiento 403m. También, la pulsación de temporización 888 enciende el transistor de segunda evaluación y la señal de control

CSYNC 824 apaga el transistor de control 564, para mantener la señal de dirección reversa DIRR 842 a un nivel de voltaje alto en 896. Además, la pulsación de temporización 888 enciende el transistor de prevención de evaluación 442b, para sostener la señal de evaluación lógica LEVAL 848 a un nivel de voltaje bajo en 898 y conservar los transistores de evaluación 440 apagados. Las señales de salida del registro de desplazamiento SO 830 se fijan durante la pulsación de temporización 888, de forma que la señal de salida del registro de desplazamiento uno SO13 está a un nivel de voltaje alto y todas las otras señales de salida del registro de desplazamiento SO1-SO12 están a niveles de voltaje bajo.

Durante la pulsación de temporización 900, la señal de dirección hacia delante DIRF 858 carga hasta un nivel de voltaje alto en 901 y la señal de evaluación lógica LEVAL 848 carga hasta un nivel de voltaje alto en 902. La señal de evaluación lógica de nivel de voltaje alto LEVAL 848 en 902, enciende los transistores de evaluación 440. La señal de salida del registro de desplazamiento de nivel de voltaje alto SO13 en 892, enciende los transistores de dirección 470a y 470b y las señales de dirección ~A3 y ~A5 son activamente arrastradas hasta niveles de voltaje bajo, indicados en 904. Las otras señales de salida del registro de desplazamiento SO1-SO12 son arrastradas hasta niveles de voltaje bajo en 890, de forma que los pares de transistores de dirección 446, 448, ... 468 son apagados y las señales de dirección ~A1, ~A2, ~A4, ~A6 y ~A7 permanecen a niveles de voltaje alto, indicados en 906. Las señales de dirección ~A1, ~A2, ... ~A7 825 se hacen validas durante la pulsación de temporización 900. La pulsación de temporización 908 enciende el transistor de tercera evaluación 556 y la pulsación de control 910, en la señal de control CSYNC 824, enciende el transistor de control 558, para descargar la señal de dirección hacia delante DIRF 858, hasta un nivel de voltaje bajo en 912.

En la siguiente serie de seis pulsaciones de temporización, durante la pulsación de temporización 914 todas las señales de nodo interno SN 826 son cargadas hasta niveles de voltaje alto en 916. La pulsación de temporización 918 enciende el transistor de primera evaluación 506, en cada una de las células del registro de desplazamiento 403a-403m, para descargar el nodo 522, si la señal de entrada reversa SIR, en cada una de las células del registro de desplazamiento 403a-403m, está a un nivel de voltaje alto. La señal de entrada reversa SIR en la célula del registro de desplazamiento 403m, es la señal de control CSYNC 824, la cual está a un nivel de voltaje bajo en 920. La señal de entrada reversa SIR, en cada una de las otras células del registro de desplazamiento 403a-403l, es la señal de salida del registro de desplazamiento SO 830 de la siguiente célula del registro de desplazamiento 403. La señal de salida del registro de desplazamiento SO13 está a un nivel de voltaje alto en 892 y es la señal de entrada reversa SIR de la célula del registro de desplazamiento 403l. Las señales de salida del registro de desplazamiento SO1- SO12 están todas a niveles de voltaje bajo en 890. Las células del registro de desplazamiento 403a-403k y 403m tienen señales de entrada reversa de nivel de voltaje bajo SIR, que apagan el transistor de entrada reversa 510, de forma que las señales de nodo interno SN1-SN11 y SN13 permanecen a niveles de voltaje alto en 922. La célula del registro de desplazamiento 403l recibe la señal de salida del registro de desplazamiento de nivel de voltaje alto SO13, como la señal de entrada reversa SIR, que enciende el transistor de entrada reversa para descargar la señal de nodo interno SN12 en 924.

Durante la pulsación de temporización 926, todas las señales de salida del registro de desplazamiento SO 830 son cargadas hasta niveles de voltaje alto en 928 y la señal de dirección reversa DIRR 842 es mantenida a un nivel de voltaje alto en 930. También, durante la pulsación de temporización 926, todas las señales de dirección ~A1, ~A2, ... ~A7 825 son cargadas hasta un nivel de voltaje alto en 932 y el transistor de prevención de evaluación 442a es encendido para tirar de LEVAL 848, hasta un nivel de voltaje bajo en 934. Las señales de dirección ~A1, ~A2, ... ~A7 825 fueron validas, desde que las señales dirección tiempo ~A3 y ~A5 fueron arrastradas bajas en 904, hasta que todas las señales de dirección ~A1, ~A2, ... ~A7 825 son arrastradas altas en 932. Las señales de dirección ~A1, ~A2, ... ~A7 825 son validas durante las pulsaciones de temporización 908, 914 y 918.

La pulsación de temporización 936 enciende el transistor de segunda evaluación 518, en cada una de las células del registro de desplazamiento 403a-403m, para evaluar las señales de nodo interno SN 826. Las señales de nodo interno N1-SN11 y SN13 están a niveles de voltaje alto en 922, para descargar las señales de salida del registro de desplazamiento SO1-SO11 y SO13 hasta niveles de voltaje bajo en 938. La señal de nodo interno SN12 está a un nivel de voltaje bajo en 924, que apaga el transistor de nodo interno de la célula del registro de desplazamiento 403l y mantiene la señal de salida del registro de desplazamiento SO12 a un nivel de voltaje alto en 940.

También, la pulsación de temporización 936 enciende el transistor de cuarta evaluación 562 y la señal de control CSYNC 824 está a un nivel de voltaje bajo, para apagar el transistor de control 564, para mantener la señal de dirección reversa DIRR 842 a un nivel de voltaje alto en 944. Además, la pulsación de temporización 936 enciende el transistor de prevención de evaluación 442b, para mantener LEVAL 848 a un nivel de voltaje bajo en 946.

Durante la pulsación de temporización 948, la señal de dirección hacia delante DIRF 858 está cargada a un nivel de voltaje alto en 950 y LEVAL 848 está cargada a un nivel de voltaje alto en 952. La señal de evaluación lógica de nivel de voltaje alto LEVAL 848 en 952, enciende los transistores de evaluación 440. La señal de salida del registro de desplazamiento de nivel de voltaje alto SO12 en 940, enciende los transistores de dirección 468a y 468b, para tirar de las señales de dirección ~A3 y ~A4 hasta niveles de voltaje bajo en 954. Las otras señales de dirección ~A1, ~A2 y ~A5, ~A7 son mantenidas a niveles de voltaje alto en 956.

La pulsación de temporización 958 enciende el transistor de tercera evaluación 556. Una pulsación de control 960, en la señal de control CSYNC 824, enciende el transistor de control 558 y la señal de dirección hacia delante DIRF 842 descarga hasta un nivel de voltaje bajo en 962.

La siguiente serie de seis pulsaciones de temporización, desplaza la señal de salida del registro de desplazamiento de nivel de voltaje alto SO12 hasta la siguiente célula del registro de desplazamiento 403k, que proporciona una señal de salida del registro de desplazamiento de nivel de voltaje alto SO11. El desplazamiento continúa con cada serie de seis pulsaciones de temporización, hasta que cada señal de salida del registro de desplazamiento SO1-SO13 haya sido alta una vez. Después de que la señal de salida del registro de desplazamiento SO1 sea alta, la serie de señales de salida del registro de desplazamiento de nivel de voltaje alto 830 para. El registro de desplazamiento 402 puede ser iniciado otra vez, mediante el suministro de una pulsación de control, como la pulsación de control 870, coincidente con una pulsación de temporización desde la señal de temporización T2 804.

En funcionamiento en dirección reversa, es proporcionada una pulsación de control de CSYNC 824, coincidente con una pulsación de temporización desde la señal de temporización T6 en 820, para fijar la dirección de desplazamiento en la dirección reversa. También, es proporcionada una pulsación de control de CSYNC 824, coincidente con una pulsación de temporización desde la señal de temporización T2 804, para empezar o iniciar el registro de desplazamiento 402, desplazando una señal de nivel de voltaje alto, a través de las señales de salida del registro de desplazamiento SO1-SO13.

La Figura 13, es un diagrama de bloque que ilustra una forma de realización de dos generadores de dirección 1000 y 1002 y seis grupos de disparo 1004a-1004f. Cada uno de los generadores de dirección 1000 y 1002, es similar al generador de dirección 400 de la Figura 9 y los grupos de disparo 1004a-1004f, son similares a los grupos de disparo 202a-202f, ilustrados en la Figura 7. El generador de dirección 1000 está conectado eléctricamente con los grupos de disparo 1004a-1004c, a través de las líneas de primera dirección 1006. Las líneas de dirección 1006 proporcionan las señales de dirección ~A1, ~A2, ... ~A7, desde el generador de dirección 1000 a cada uno de los grupos de disparo 1004a-1004c. También, el generador de dirección 1000 está conectado eléctricamente con la línea de control 1010. La línea de control 1010 recibe la señal de control conductora CSYNC hacia el generador de dirección 1000. En una forma de realización, la señal CSYNC es proporcionada, mediante un controlador externo, a una base de cabezal de impresión, sobre la cual están fabricados los dos generadores de dirección 1000 y 1002 y los seis grupos de disparo 1004a-1004f. Además, el generador de dirección 1000 está conectado eléctricamente con las líneas de selección 1008a-1008f. Las líneas de selección 1008a-1008f son similares a las líneas de selección 212a-212f, ilustradas en la Figura 7. Las líneas de selección 1008a-1008f conducen las señales de selección SEL1, SEL2, ... SEL6 al generador de dirección 1000, así como a los correspondientes grupos de disparo 1004a-1004f (que no se muestran).

La línea de selección 1008a conduce la señal de selección SEL1 al generador de dirección 1000, en una forma de realización, la señal de temporización T3 es la señal de temporización T6. La línea de selección 1008b conduce la señal de selección SEL2 al generador de dirección 1000, en una forma de realización, la señal de temporización T3 es la señal de temporización T1. La línea de selección 1008c conduce la señal de selección SEL3 al generador de dirección 1000, en una forma de realización, la señal de temporización T3 es la señal de temporización T2. La línea de selección 1008d conduce la señal de selección SEL4 al generador de dirección 1000, en una forma de realización, la señal de temporización T3 es la señal de temporización T3. La línea de selección 1008e conduce la señal de selección SEL5 al generador de dirección 1000, en una forma de realización, la señal de temporización T3 es la señal de temporización T4 y la línea de selección 1008f conduce la señal de selección SEL6 al generador de dirección 1000, en una forma de realización, la señal de temporización T3 es la señal de temporización T5.

El generador de dirección 1002 está conectado eléctricamente con los grupos de disparo 1004d-1004f, a través de las líneas de segunda dirección 1012. Las líneas de dirección 1012 proporcionan las señales de dirección ~B1, ~B2, ... ~B7, desde el generador de dirección 1002, hasta cada uno de los grupos de disparo 1004d-1004f. También, el generador de dirección 1002 está conectado eléctricamente con la línea de control 1010, que conduce las señales de control CSYNC al generador de dirección 1002. Además, el generador de dirección 1002 está conectado eléctricamente con las líneas de selección 1008a-1008f. Las líneas de selección 1008a-1008f conducen las señales de selección SEL1, SEL2, ... SEL6, al generador de dirección 1002, así como a los correspondientes grupos de disparo 1004a-1004f (que no se muestran).

La línea de selección 1008a conduce la señal de selección SEL1 al generador de dirección 1002, la cual, en una forma de realización, es la señal de temporización T3. La línea de selección 1008b conduce la señal de selección SEL2 al generador de dirección 1002, la cual, en una forma de realización, es la señal de temporización T4. La línea de selección 1008c conduce la señal de selección SEL3 al generador de dirección 1002, la cual, en una forma de realización, es la señal de temporización T5. La línea de selección 1008d conduce la señal de selección SEL4 al generador de dirección 1002, la cual, en una forma de realización, es la señal de temporización T6. La línea de selección 1008e conduce la señal de selección SEL5 al generador de dirección 1002, la cual, en una forma de

realización, es la señal de temporización T1 y la línea de selección 1008f conduce la señal de selección SEL6 al generador de dirección 1002, la cual en una forma de realización es la señal de temporización T2.

Las señales de selección SEL1, SEL2, ... SEL 6 incluyen una serie de seis pulsaciones que se repite en una serie repetida de seis pulsaciones. Cada una de las señales de selección SEL1, SEL2, ... SEL6 incluye una pulsación, en la serie de seis pulsaciones. En una forma de realización, una pulsación en la señal de selección SEL1, es seguida por una pulsación en la señal de selección SEL2, que es seguida por una pulsación en la señal de selección SEL3, que es seguida por una pulsación en la señal de selección SEL4, que es seguida por una pulsación en la señal de selección SEL5, que es seguida por una pulsación en la señal de selección SEL6. Después de la pulsación en la señal de selección SEL6, la serie se repite empezando con una pulsación en la señal de selección SEL1. La señal de control CSYNC incluye pulsaciones coincidentes con las pulsaciones en las señales de selección SEL1, SEL2, ... SEL6, para iniciar los generadores de dirección 1000 y 1002 y para preparar la dirección de desplazamiento o la generación de dirección, en los generadores de dirección 1000 y 1002, por ejemplo, como se ha indicado con respecto a las Figuras 11 y 12. Para iniciar la generación de dirección desde el generador de dirección 1000, la señal de control CSYNC incluye una pulsación de control, coincidente con una pulsación de temporización en la señal de temporización T2, que se corresponde con la pulsación de temporización en la señal de selección SEL3.

El generador de dirección 1000 genera las señales de dirección ~A1, ~A2, ... ~A7, en respuesta a las señales de selección SEL1, SEL2, ... SEL6 y la señal de control CSYNC. Las señales de dirección ~A1, ~A2, ... ~A7 son proporcionadas, a través de las líneas de primera dirección 1006, a los grupos de disparo 1004a-1004c.

En el generador de dirección 1000, las señales de dirección ~A1, ~A2, ... ~A7 son validas durante las pulsaciones de temporización en las señales de temporización T6, T1 y T2, que se corresponden con las pulsaciones de temporización en las señales de selección SEL1, SEL2 y SEL3. La señal de control CSYNC incluye una pulsación de control, coincidente con una pulsación de temporización en la señal de temporización T4, que se corresponde con la pulsación de temporización en la señal de selección SEL5, para preparar el generador de dirección 1000, para el desplazamiento en la dirección hacia delante. La señal de control CSYNC incluye una pulsación de control, coincidente con una pulsación de temporización en la señal de temporización T6, que se corresponde con la pulsación de temporización en la señal de selección SEL1, para preparar el generador de dirección 1000, para el desplazamiento en la dirección reversa.

Los grupos de disparo 1004a-1004c reciben las señales de dirección validas ~A1, ~A2, ... ~A7 durante las pulsaciones en las señales de selección SEL1, SEL2 y SEL3. Cuando el grupo de disparo (FG1) en 1004a, recibe las señales de dirección ~A1, ~A2, ... ~A7 y la pulsación en la señal de selección SEL1, las células de disparo 120, en los subgrupos de filas seleccionados SG1, son habilitadas para su activación, mediante la señal de disparo FUEGO1. Cuando el grupo de disparo dos (FG2) en 1004b, recibe las señales de dirección ~A1, ~A2, ... ~A7 y la pulsación en la señal de selección SEL2, las células de disparo 120, en los subgrupos de filas seleccionados SG2, son habilitadas para su activación, mediante la señal de disparo FUEGO2. Cuando el grupo de disparo (FG3) en 1004c, recibe las señales de dirección ~A1, ~A2, ... ~A7 y la pulsación en la señal de selección SEL3, las células de disparo 120, en los subgrupos de filas seleccionados SG3, son habilitadas para su activación, mediante la señal de disparo FUEGO3.

El generador de dirección 1002 genera las señales de dirección ~B1, ~B2, ... ~B7, en respuesta a las señales de selección SEL1, SEL2, ... SEL6 y la señal de control CSYNC. Las señales de dirección ~B1, ~B2, ... ~B7 son proporcionadas, a través de las líneas de segunda dirección 1012, a los grupos de disparo 1004d-1004f. En el generador de dirección 1002, las señales de dirección ~B1, ~B2, ... ~B7 son validas durante las pulsaciones de temporización en las señales de temporización T6, T1 y T2, que se corresponden con las pulsaciones de temporización en las señales de selección SEL4, SEL5 y SEL6. La señal de control CSYNC incluye una pulsación de control, coincidente con la pulsación de temporización en la señal de temporización T4, que se corresponde con la pulsación de temporización en la señal de selección SEL2, para preparar el generador de dirección 1002, para el desplazamiento en la dirección hacia delante. La señal de control CSYNC incluye una pulsación de control, coincidente con una pulsación de temporización en la señal de temporización T6, que se corresponde con la pulsación de temporización en la señal de selección SEL4, para preparar el generador de dirección 1002, para el desplazamiento en la dirección reversa. Para iniciar la generación de dirección desde el generador de dirección 1002, la señal de control CSYNC incluye una pulsación de control, coincidente con una pulsación de temporización en la señal de temporización T2, que se corresponde con la pulsación de temporización en la señal de selección SEL6.

Los grupos de disparo 1004d-1004f reciben las señales de dirección validas ~B1, ~B2, ... ~B7 durante las pulsaciones en las señales de selección SEL4, SEL5 y SEL6. Cuando el grupo de disparo cuatro (FG4) en 1004d recibe las señales de dirección ~B1, ~B2, ... ~B7 y la pulsación en la señal de selección SEL4, las células de disparo 120, en los subgrupos de filas seleccionados SG4, son habilitadas para su activación, mediante la señal de disparo FUEGO4. Cuando el grupo de disparo cinco (FG5) en 1004e recibe las señales de dirección ~B1, ~B2, ... ~B7 y la pulsación en la señal de selección SEL5, las células de disparo 120, en los subgrupos de filas seleccionados SG5, son habilitadas para su activación, mediante la señal de disparo FUEGO5. Cuando el grupo de disparo seis (FG6)



en 1004f recibe las señales de dirección ~B1, ~B2, ... ~B7 y la pulsación en la señal de selección SEL6, las células de disparo 120, en los subgrupos de filas seleccionados SG6, son habilitadas para su activación, mediante la señal de disparo FUEGO6.

5 En un ejemplo de funcionamiento, durante una serie de seis pulsaciones, la señal de control CSYNC incluye pulsaciones de control coincidentes con las pulsaciones de temporización en las señales de selección SEL2 y SEL5, para preparar los generadores de dirección 1000 y 1002, para el desplazamiento en la dirección hacia delante. La pulsación de control coincidente con la pulsación de temporización en la señal de selección SEL2, prepara el generador de dirección 1002 para el desplazamiento en la dirección hacia delante. La pulsación de control coincidente con la pulsación de temporización en la señal de selección SEL5, prepara el generador de dirección 1000 para el desplazamiento en la dirección hacia delante.

15 En la siguiente serie de seis pulsaciones, la señal de control CSYNC incluye las pulsaciones de control, coincidentes con las pulsaciones de temporización en las señales de selección SEL2, SEL3, SEL5 y SEL6. Las pulsaciones de control coincidentes con las pulsaciones de temporización en las señales de selección SEL2 y SEL5, fijan la dirección de desplazamiento en la dirección hacia delante, en los generadores de dirección 1000 y 1002. Las pulsaciones de control coincidentes con las pulsaciones de temporización en las señales de selección SEL3 y SEL6, inician los generadores de dirección 1000 y 1002, para generar las señales de dirección ~A1, ~A2, ... ~A7 y ~B1, ~B2, ... ~B7. La pulsación de control coincidente con la pulsación de temporización en la señal de selección SEL3, inicia el generador de dirección 1000 y la pulsación de control coincidente con la pulsación de temporización en la señal de selección SEL6, inicia el generador de dirección 1002.

25 Durante la tercera serie de pulsaciones de temporización, el generador de dirección 1000 genera las señales de dirección ~A1, ~A2, ... ~A7, que son validas durante las pulsaciones de temporización en las señales de selección SEL1, SEL2 y SEL3. Las señales de dirección validas ~A1, ~A2, ... ~A7 son utilizadas para habilitar la activación de las células de disparo 120, en los subgrupos de filas SG1, SG2 y SG3, en los grupos de disparo FG1, FG2 y FG3 en 1004a-1004c. Durante la tercera serie de pulsaciones de temporización, el generador de dirección 1002 genera las señales de dirección ~B1, ~B2, ... ~B7, que son validas durante las pulsaciones de temporización en las señales de selección SEL4, SEL5 y SEL6. Las señales de dirección validas ~B1, ~B2, ... ~B7 son utilizadas para habilitar la activación de las células de disparo 120, en los subgrupos de filas SG4, SG5 y SG6, en los grupos de disparo FG4, FG5 y FG6 en 1004d-1004f.

35 Durante la tercera serie de pulsaciones de temporización, en las señales de selección SEL1, SEL2, ... SEL6, las señales de dirección ~A1, ~A2, ... ~A7 incluyen señales de nivel de voltaje bajo, que se corresponden con una de las trece direcciones y las señales de dirección ~B1, ~B2, ... ~B7 incluyen señales de nivel de voltaje bajo, que se corresponden con la misma de las trece direcciones. Durante cada serie subsecuente de pulsaciones de temporización, desde las señales de selección SEL1, SEL2, ... SEL6, las señales de dirección ~A1, ~A2, ... ~A7 y las señales de dirección ~B1, ~B2, ... ~B7 incluyen señales de nivel de voltaje bajo, que se corresponden con la misma de las trece direcciones. Cada serie de pulsaciones de temporización es una ranura de tiempo de dirección, de forma que una de las trece direcciones es proporcionada durante cada serie de pulsaciones de temporización.

45 En funcionamiento en dirección hacia delante, la dirección uno es proporcionada primero por los generadores de dirección 1000 y 1002, seguida de la dirección dos y, así sucesivamente, hasta la dirección trece. Después de la dirección trece, los generadores de dirección 1000 y 1002 proporcionan todas las señales de dirección de nivel de voltaje alto ~A1, ~A2, ... ~A7 y ~B1, ~B2, ... ~B7. También, durante cada la serie de pulsaciones de temporización, desde las señales de selección SEL1, SEL2, ... SEL6, son proporcionadas pulsaciones de control coincidentes con las pulsaciones de temporización en las señales de selección SEL2 y SEL5, para continuar el desplazamiento en la dirección hacia delante.

50 En otro ejemplo de funcionamiento, durante una serie de seis pulsaciones, la señal de control CSYNC incluye las pulsaciones de control coincidentes con las pulsaciones de temporización en las señales de selección SEL1 y SEL4, para preparar los generadores de dirección 1000 y 1002, para el desplazamiento en la dirección reversa. La pulsación de control coincidente con la pulsación de temporización en la señal de selección SEL1, prepara el generador de dirección 1000, para el desplazamiento en la dirección reversa. La pulsación de control coincidente con la pulsación de temporización en la señal de selección SEL4, prepara el generador de dirección 1002, para el desplazamiento en la dirección reversa.

60 En la siguiente serie de seis pulsaciones, la señal de control CSYNC incluye pulsaciones de control coincidentes con las pulsaciones de temporización en las señales de selección SEL1, SEL3, SEL4 y SEL6. Las pulsaciones de control coincidentes con las pulsaciones de temporización en las señales de selección SEL1 y SEL4, fijan la dirección de desplazamiento en la dirección reversa, en los generadores de dirección 1000 y 1002. Las pulsaciones de control coincidentes con las pulsaciones de temporización en las señales de selección SEL3 y SEL6, inician los generadores de dirección 1000 y 1002, para generar las señales de dirección ~A1, ~A2, ... ~A7 y ~B1, ~B2, ... ~B7. La pulsación de control coincidente con la pulsación de temporización en la señal de selección SEL3, inicia el

generador de dirección 1000 y la pulsación de control coincidente con la pulsación de temporización en la señal de selección SEL6, inicia el generador de dirección 1002.

Durante la tercera serie de pulsaciones de temporización, el generador de dirección 1000 genera las señales de dirección ~A1, ~A2, ... ~A7, que son validas durante las pulsaciones de temporización en las señales de selección SEL1, SEL2 y SEL3. Las señales de dirección validas ~A1, ~A2, ... ~A7 son utilizadas para habilitar la activación de las células de disparo 120, en los subgrupos de filas SG1, SG2 y SG3, en los grupos de disparo FG1, FG2 y FG3, en 1004a- 1004c: El generador de dirección 1002 genera las señales de dirección ~B1, ~B2, ... ~B7, que son validas durante las pulsaciones de temporización en las señales de selección SEL4, SEL5 y SEL6, durante la tercera serie de pulsaciones de temporización. Las señales de dirección validas ~B1, ~B2, ... ~B7 son utilizadas para habilitar la activación de las células de disparo 120, en los subgrupos de filas SG4, SG5 y SG6, en los grupos de disparo FG4, FG5 y FG6, en 1004d-1004f.

Durante la tercera serie de pulsaciones de temporización en las señales de selección SEL1, SEL2, ... SEL6, en funcionamiento en dirección reversa, las señales de dirección ~A1, ~A2, ... ~A7 incluyen señales de niveles de voltaje bajo, que se corresponden con una de las trece direcciones y las señales de dirección ~B1, ~B2, ... ~B7 incluyen señales de niveles de voltaje bajo, que se corresponden con la misma de las trece direcciones. Durante cada serie subsecuente de pulsaciones de temporización desde las señales de selección SEL1, SEL2, ... SEL6, las señales de dirección ~A1, ~A2, ... ~A7 y ~B1, ~B2, ... ~B7 incluyen señales de niveles de voltaje bajo, que se corresponden con la misma de las trece direcciones. Cada serie de pulsaciones de temporización, es una ranura de tiempo de dirección, de forma que una de las trece direcciones es proporcionada durante cada serie de pulsaciones de temporización.

En funcionamiento en dirección reversa, la dirección trece es proporcionada primero por los generadores de dirección 1000 y 1002, seguida de la dirección doce y, así sucesivamente, hasta la dirección uno. Después de la dirección uno, los generadores de dirección 1000 y 1002 proporcionan todas las señales de dirección de nivel de voltaje alto ~A1, ~A2, ... ~A7 y ~B1, ~B2, ... ~B7. También, durante cada serie de pulsaciones de temporización desde las señales de selección SEL2 ... SEL6, son proporcionadas pulsaciones de control, coincidentes con las pulsaciones de temporización en las señales de selección SEL1 y SEL4, para continuar el desplazamiento en la dirección reversa.

Para terminar o evitar la generación de dirección, la señal de control CSYNC incluye pulsaciones de control coincidentes con las pulsaciones de temporización en las señales de selección SEL1, SEL2, SEL4 y SEL5. Esto limpia los registros de desplazamiento, como el registro de desplazamiento 402, en los generadores de dirección 1000 y 1002. Un nivel de voltaje alto constante o una serie de pulsaciones de voltaje alto, en la señal de control CSYNC, también termina o previene la generación de dirección y un nivel de voltaje bajo constante, en la señal de control CSYNC, no iniciará los generadores de dirección 1000 y 1002.

La Figura 14, es un diagrama de temporización que ilustra el funcionamiento hacia delante y reverso de los generadores de dirección 1000 y 1002. La señal de control utilizada para el desplazamiento en la dirección hacia delante es CSYNC(FWD) en 1124 y señal de control utilizada para el desplazamiento en la dirección reversa es CSYNC(REV) en 1126. Las señales de dirección ~A1, ~A2, ... ~A7 en 1128, son proporcionadas por el generador de dirección 1000 e incluyen ambas referencias de funcionamiento hacia delante y reversa. Las señales de dirección ~B1, ~B2, ... ~B7 en 1130, son proporcionadas por el generador de dirección 1002 e incluyen ambas referencias de dirección de funcionamiento hacia delante y reversa.

Las señales de selección SEL1, SEL2, ... SEL6 proporcionan series repetidas de seis pulsaciones. Cada una de las señales de selección SEL1, SEL2, SEL6 incluye una pulsación en la serie de seis pulsaciones. En una serie de las series repetidas de seis pulsaciones, la señal de selección SEL1 en 1100 incluye la pulsación de temporización 1102, la señal de selección SEL2 en 1104 incluye la pulsación de temporización 1106, la señal de selección SEL3 en 1108 incluye la pulsación de temporización 1110, la señal de selección SEL4 en 1112 incluye la pulsación de temporización 1114, la señal de selección SEL5 en 1116 incluye la pulsación de temporización 1118 y la señal de selección SEL6 en 1120 incluye la pulsación de temporización 1122.

En funcionamiento en dirección hacia delante, la señal de control CSYNC(FWD) 1124 incluye la pulsación de control 1132 coincidente con la pulsación de temporización 1106, en la señal de selección SEL2 en 1104. La pulsación de control 1132 prepara el generador de dirección 1002, para el desplazamiento en la dirección hacia delante. También, la señal de control CSYNC(FWD) 1124 incluye la pulsación de control 1134 coincidente con la pulsación de temporización 1118 en la señal de selección SEL5 en 1116. La pulsación de control 1134 prepara el generador de dirección 1000 para el desplazamiento en la dirección hacia delante.

En la siguiente serie repetida de seis pulsaciones, la señal de selección SEL1 en 1100 incluye la pulsación de temporización 1136, la señal de selección SEL2 en 1104 incluye la pulsación de temporización 1138, la señal de selección SEL3 en 1108 incluye la pulsación de temporización 1140, la señal de selección SEL4 en 1112 incluye la

pulsación de temporización 1142, la señal de selección SEL5 en 1116 incluye la pulsación de temporización 1144 y la señal de selección SEL6 en 1120 incluye la pulsación de temporización 1146.

La señal de control CSYNC(FWD) 1124 incluye la pulsación de control 1148, coincidente con la pulsación de temporización 1138, para continuar fijando el generador de dirección 1002 para el desplazamiento en la dirección hacia delante y la pulsación de control 1152, coincidente con la pulsación de temporización 1144, para continuar fijando el generador de dirección 1000 para el desplazamiento en la dirección hacia delante. También, la señal de control CSYNC(FWD) 1124 incluye la pulsación de control 1150, coincidente con la pulsación de temporización 1140 en la señal de selección SEL3 en 1108. La pulsación de control 1150 inicia el generador de dirección 1000, para generar las señales de dirección ~A1, ~A2, ... ~A7 en 1128. Además, la señal de control CSYNC(FWD) 1124 incluye la pulsación de control 1154, coincidente con la pulsación de temporización 1146 en la señal de selección SEL6 en 1120. La pulsación de control 1154 inicia el generador de dirección 1002, para generar las señales de dirección ~B1, ~B2, ... ~B7 en 1130.

En la siguiente o tercera serie de seis pulsaciones, la señal de selección SEL1 en 1100 incluye la pulsación de temporización 1156, la señal de selección SEL2 en 1104 incluye la pulsación de temporización 1158, la señal de selección SEL3 en 1108 incluye la pulsación de temporización 1160, la señal de selección SEL4 en 1112 incluye la pulsación de temporización 1162, la señal de selección SEL5 en 1116 incluye la pulsación de temporización 1164 y la señal de selección SEL6 en 1120 incluye la pulsación de temporización 1166. La señal de control CSYNC(FWD) 1124 incluye la pulsación de control 1168, coincidente con la pulsación de temporización 1158, para continuar fijando el generador de dirección 1002, para el desplazamiento en la dirección hacia delante y la pulsación de control 1170, coincidente con la pulsación de temporización 1164, para continuar fijando el generador de dirección 1000, para el desplazamiento en la dirección hacia delante.

El generador de dirección 1000 proporciona las señales de dirección ~A1, ~A2, ... ~A7 en 1128. Después de ser iniciado en funcionamiento en dirección hacia delante, el generador de dirección 1000 y las señales de dirección ~A1, ~A2, ... ~A7 en 1128, proporcionan la dirección uno en 1172. La dirección uno en 1172 se hace válida, durante la pulsación de temporización 1146 en la señal de selección SEL6 en 1120 y permanece válida hasta la pulsación de temporización 1162 en la señal de selección SEL4 en 1112. La dirección uno en 1172 es válida durante las pulsaciones de temporización 1156, 1158 y 1160, en las señales de selección SEL1, SEL2 y SEL3, en 1100, 1104 y 1108.

El generador de dirección 1002 proporciona las señales de dirección ~B1, ~B2, ... ~B7 en 1130. Después de ser iniciado en funcionamiento en dirección hacia delante, el generador de dirección 1002 y las señales de dirección ~B1, ~B2, ... ~B7 en 1130, proporcionan la dirección uno en 1174. La dirección uno en 1174 se hace válida, durante la pulsación de temporización 1160 en la señal de selección SEL3 en 1108 y permanece válida hasta la pulsación de temporización 1176 en la señal de selección SEL1 en 1100. La dirección uno en 1174 es válida durante las pulsaciones de temporización 1162, 1164 y 1166, en las señales de selección SEL4, SEL5 y SEL6, en 1112, 1116 y 1120.

Las señales de dirección ~A1, ~A2, ... ~A7 en 1128 y ~B1, ~B2, ... ~B7 en 1130, proporcionan la misma dirección, la dirección uno en 1172 y 1174. La dirección uno es proporcionada durante la serie de seis pulsaciones de temporización, empezando con la pulsación de temporización 1156 y terminando con la pulsación de temporización 1166, que es la ranura de tiempo de dirección de la dirección uno. Durante la siguiente serie de seis pulsaciones, empezando con la pulsación de temporización 1176, las señales de dirección ~A1, ~A2, ... ~A7 en 1128, proporcionan la dirección dos en 1178 y las señales de dirección ~B1, ~B2, ... ~B7 en 1130, proporcionan también la dirección dos. De esta forma, los generadores de dirección 1000 y 1002 proporcionan direcciones, desde la dirección uno hasta la dirección trece, en la dirección hacia delante. Después de la dirección trece, los generadores de dirección 1000 y 1002 son reiniciados, para circular a través de las direcciones válidas otra vez de la misma forma.

En funcionamiento en dirección reversa, la señal de control CSYNC(REV) 1126 incluye la pulsación de control 1180, coincidente con la pulsación de temporización 1102 en la señal de selección SEL1 en 1100. La pulsación de control 1180 prepara el generador de dirección 1000 para el desplazamiento en la dirección reversa. También, la señal de control CSYNC(REV) 1126 incluye la pulsación de control 1182, coincidente con la pulsación de temporización 1114 en la señal de selección SEL4 en 1112. La pulsación de control 1182 prepara el generador de dirección 1002, para el desplazamiento en la dirección reversa.

La señal de control CSYNC(REV) 1126 incluye la pulsación de control 1184, coincidente con la pulsación de temporización 1136, para continuar fijando el generador de dirección 1000, para el desplazamiento en la dirección reversa y la pulsación de control 1188, coincidente con la pulsación de temporización 1142, para continuar fijando el generador de dirección 1002, para el desplazamiento en la dirección reversa. También, la señal de control CSYNC(REV) 1126 incluye la pulsación de control 1186, coincidente con la pulsación de temporización 1140 en la señal de selección SEL3 en 1108. La pulsación de control 1186 inicia el generador de dirección 1000, para generar las señales de dirección ~A1, ~A2, ... ~A7 en 1128. Además, la señal de control CSYNC(REV) 1126 incluye la

pulsación de control 1190, coincidente con la pulsación de temporización 1146 en la señal de selección SEL6 en 1120. La pulsación de control 1190 inicia el generador de dirección 1002, para generar las señales de dirección ~B1, ~B2, ... ~B7 en 1130.

5 La señal de control CSYNC(REV) 1126 incluye la pulsación de control 1192, coincidente con la pulsación de temporización 1156, para continuar fijando el generador de dirección 1000, para el desplazamiento en la dirección reversa y la pulsación de control 1194, coincidente con la pulsación de temporización 1162, para continuar fijando el generador de dirección 1002, para el desplazamiento en la dirección reversa.

10 El generador de dirección 1000 proporciona las señales de dirección ~A1~A7 en 1128. Después de ser iniciado el funcionamiento en dirección reversa, el generador de dirección 1000 y las señales de dirección ~A1, ~A2, ... ~A7 en 1128, proporcionan la dirección trece en 1172. La dirección trece en 1172 se hace válida durante la pulsación de temporización 1146 y permanece válida hasta la pulsación de temporización 1162. La dirección trece en 1172 es válida durante las pulsaciones de temporización 1156, 1158 y 1160, en las señales de selección SEL1, SEL2 y  
15 SEL3, en 1100, 1104 y 1108.

El generador de dirección 1002 proporciona las señales de dirección ~B1, ~B2, ... ~B7 en 1130. Después de ser iniciado el funcionamiento en dirección reversa, el generador de dirección 1002 y las señales de dirección ~B1, ~B2, ... ~B7 en 1130, proporcionan la dirección trece en 1174. La dirección trece en 1174 se hace válida durante la pulsación de temporización 1160 y permanece válida hasta la pulsación de temporización 1176. La dirección trece en 1174 es válida durante las pulsaciones de temporización 1162, 1164 y 1166, en las señales de selección SEL4, SEL5 y SEL6, en 1112, 1116 y 1120.

25 Las señales de dirección ~A1, ~A2, ... ~A7 en 1128 y ~B1, ~B2, ... ~B7 en 1130, proporcionan la misma dirección, la dirección trece en 1172 y 1174. La dirección trece es proporcionada durante la serie de seis pulsaciones de temporización, empezando con la pulsación de temporización 1156 y terminando con la pulsación de temporización 1166, lo cual es la ranura de tiempo de dirección de la dirección trece. Durante la siguiente serie de seis pulsaciones, empezando con la pulsación de temporización 1176, las señales de dirección ~A1, ~A2, ... ~A7 en 1128 proporcionan la dirección doce en 1178 y las señales de dirección ~B1, ~B2, ... ~B7 en 1130 proporcionan también la dirección doce. Los generadores de dirección 1000 y 1002 proporcionan direcciones, desde la dirección trece hasta la dirección uno, en la dirección reversa. Después de la dirección uno, los generadores de dirección 1000 y 1002 son reiniciados para proporcionar direcciones válidas otra vez.

35 La Figura 15, es un diagrama que ilustra una forma de realización de un generador de dirección de selección de banco 1200, en la base de un cabezal de impresión 40. El generador de dirección de selección de banco 1200, es una forma de realización del circuito de control en la base del cabezal de impresión 40. El generador de dirección de selección de banco 1200 está configurado para proporcionar veintiséis combinaciones de señales de dirección, referidas como direcciones 1-26, en las ocho señales de dirección ~A1, ~A2 ... ~A8. Los números inferiores de direcciones 1-13, referidos como direcciones banco de inferior 1-13, son proporcionados para habilitar las células de disparo en un primer grupo de células de disparo, referido como células de disparo el banco inferior. Los números superiores de direcciones 14-26, referidos como direcciones de banco superior 14-26, son proporcionados para habilitar las células en un segundo grupo de células de disparo, referido como células de disparo el banco superior. En una forma de realización, dos de las ocho señales de dirección ~A1, ~A2 ... ~A8 están activas al mismo tiempo para proporcionar las veintiséis direcciones 1-26.

45 El generador de dirección de selección de banco 1200 incluye un registro de desplazamiento de banco inferior 1202, un registro de desplazamiento de banco superior 1204, un circuito lógico de banco inferior 1206, un circuito lógico de banco superior 1208 y un circuito de dirección 1210. El registro de desplazamiento de banco inferior 1202 es similar al registro de desplazamiento 402 (mostrado en la Figura 9) y, también, el registro de desplazamiento de banco superior 1204 es similar al registro de desplazamiento 402. El registro de desplazamiento de banco inferior 1202 recibe señales de temporización diferentes a las del registro de desplazamiento 402 y el registro de desplazamiento de banco superior 1204 recibe señales de temporización diferentes a las del registro de desplazamiento 402. El circuito lógico de banco inferior 1206 incluye un transistor lógico, similar al circuito lógico 406 (mostrado en la Figura 9), para proporcionar las direcciones de banco interior 1-13 y el circuito lógico de banco superior 1208 incluye un transistor lógico, similar al circuito lógico 406, para proporcionar las direcciones de banco superior 14-26.

60 El registro de desplazamiento de banco inferior 1202 está conectado eléctricamente con el circuito lógico de banco inferior 1206, a través de las líneas de salida del registro de desplazamiento 1212a-1212m. Las líneas de salida del registro de desplazamiento 1212a-1212m proporcionan las señales de salida del registro de desplazamiento SO1-SO13 al circuito lógico 1206, como las señales de entrada del circuito lógico AI1-AI13, respectivamente. También, el registro de desplazamiento de banco inferior 1202 está conectado eléctricamente con la línea de señal de control 1214, que proporciona la señal de control CSYNC al registro de desplazamiento de banco inferior 1202. Además, el registro de desplazamiento de banco inferior 1202 recibe las pulsaciones de temporización en las señales de temporización de banco BT1, BT4, BT5 y BT6.

El registro de desplazamiento de banco inferior 1202 está conectado eléctricamente con la línea señal de temporización 1216, que proporciona la señal de temporización de banco BT6 al registro de desplazamiento de banco inferior 1202, como primera señal de precarga PRE1. El registro de desplazamiento de banco inferior 1202 está conectado eléctricamente con la red de resistencia de segmentación primera 1218, a través de la línea de señal de primera evaluación 1220. La red de resistencia de segmentación primera 1218 está conectada eléctricamente con la línea de señal de temporización 1222, que proporciona la señal de temporización de banco BT1, a la red de resistencia de segmentación primera 1218. La primera red de resistencia de segmentación 1218 proporciona una señal de temporización de nivel de voltaje reducido BT1, al registro de desplazamiento de banco inferior 1202, sobre la línea de señal de primera evaluación 1220, como primera señal de evaluación EVAL1. El registro de desplazamiento de banco inferior 1202 está conectado eléctricamente con la línea señal de temporización 1224, que proporciona la señal de temporización de banco BT4 al registro de desplazamiento de banco inferior 1202, como segunda señal de precarga PRE2 y el registro de desplazamiento de banco inferior 1202 está conectado eléctricamente con la red de resistencia de segmentación segunda 1226, a través de la línea de señal de segunda evaluación 1228. La red de resistencia de segmentación segunda 1226 está conectada eléctricamente con la línea de señal de temporización 1230, que proporciona la señal de temporización de banco BT5 a la red de resistencia de segmentación segunda 1226. La red de resistencia de segmentación segunda 1226, proporciona una señal de temporización de nivel de voltaje reducido BT5, al registro de desplazamiento de banco inferior 1202, a través de la línea de señal de segunda evaluación 1228, como segunda señal de evaluación EVAL2.

El registro de desplazamiento de banco superior 1204 está conectado eléctricamente con el circuito lógico de banco superior 1208, a través de las líneas de salida del registro de desplazamiento 1232a-1232m. Las líneas de salida del registro de desplazamiento 1232a-1232m proporcionan las señales de salida del registro de desplazamiento SO1-SO13 al circuito lógico 1208, como señales de entrada del circuito lógico AI14-AI26, respectivamente. También, el registro de desplazamiento de banco superior 1204 está conectado eléctricamente con la línea de señal de control 1214, que proporciona la señal de control CSYNC al registro de desplazamiento de banco superior 1204. Además, el registro de desplazamiento de banco superior 1204 recibe las pulsaciones de temporización en las señales de temporización BT3, BT4, BT5 y BT6.

El registro de desplazamiento de banco superior 1204 está conectado eléctricamente con la línea de señal de temporización 1216, que proporciona la señal de temporización de banco BT6 al registro de desplazamiento de banco superior 1204, como primera señal de precarga PRE1. El registro de desplazamiento de banco superior 1204 está conectado eléctricamente con la red de resistencia de segmentación tercera 1227, a través de la línea de señal de primera evaluación 1221. La red de resistencia de segmentación tercera 1227 está conectada eléctricamente con la línea de señal de temporización 1229, que proporciona la señal de temporización de banco BT3 a la red de resistencia de segmentación tercera 1227. La red de resistencia de segmentación tercera 1227 proporciona la señal de temporización de nivel de voltaje reducido BT3 al registro de desplazamiento de banco superior 1204, a través de la línea de señal de primera evaluación 1221, como primera señal de evaluación EVAL1. El registro de desplazamiento de banco superior 1204 está conectado eléctricamente con la línea de señal de temporización 1224, que proporciona la señal de temporización de banco BT4 al registro de desplazamiento de banco superior 1204, como segunda señal de precarga PRE2. El registro de desplazamiento de banco superior 1204 está conectado eléctricamente con la línea de señal de segunda evaluación 1228, que proporciona una señal de temporización de nivel reducido de voltaje BT5 al registro de desplazamiento de banco superior 1204, como segunda señal de evaluación EVAL2.

El circuito de dirección 1210 está conectado eléctricamente con el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, a través de las líneas de señal de dirección 1240. Las líneas de señal de dirección 1240 proporcionan las señales de dirección DIRR y DIRF, desde el circuito de dirección 1210 al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. También, el circuito de dirección 1210 está conectado eléctricamente con la línea de señal de control 1214, que proporciona la señal de control CSYNC al circuito de dirección 1210. Además, el circuito de dirección 1210 recibe las pulsaciones de temporización en las señales de temporización BT4-BT6.

El circuito de dirección 1210 está conectado eléctricamente con la línea de señal de temporización 1224, que proporciona la señal de temporización BT4 al circuito de dirección 1210, como tercera señal de precarga PRE3. El circuito de dirección 1210 está conectado eléctricamente con la línea de señal de segunda evaluación 1228, que proporciona la señal de temporización de nivel de voltaje reducido BT5 al circuito de dirección 1210, como tercera señal de evaluación EVAL3. También, el circuito de dirección 1210 está conectado eléctricamente con la red de resistencia de segmentación cuarta 1246, a través de la línea de señal de evaluación 1248. La red de resistencia de segmentación cuarta 1246 está conectada eléctricamente con la línea de señal de temporización 1216, que proporciona la señal de temporización de banco BT6 a la red de resistencia de segmentación cuarta 1246. La red de resistencia de segmentación cuarta 1246 proporciona una señal de temporización de nivel de voltaje reducido BT6 al circuito de dirección 1210, como cuarta señal de evaluación EVAL4.

El circuito lógico de banco inferior 1206 está conectado eléctricamente con las líneas de salida del registro de desplazamiento 1212a-1212m, para recibir las señales de salida del registro de desplazamiento SO1-SO13, como

señales de entrada AI1-AI13, respectivamente. También, el circuito lógico de banco inferior 1206 está conectado eléctricamente con las líneas de dirección 1252a-1252h, para proporcionar las señales de dirección ~A1, ~A2 ... ~A8, respectivamente. Además, el circuito lógico de banco inferior 1206 está conectado eléctricamente con la línea de señal de temporización 1224, que proporciona la señal de temporización BT4 al circuito lógico de banco inferior 1206, como señal de temporización T3, a la línea de señal de temporización 1230, que proporciona la señal de temporización BT5 al circuito lógico de banco inferior 1206, como señal de temporización T4 y a la línea de señal de temporización 1216, que proporciona la señal de temporización BT6 al circuito lógico de banco inferior 1206, como señal de temporización T5.

El circuito lógico de banco superior 1208 está conectado eléctricamente con las líneas de salida del registro de desplazamiento 1232a-1232m, para recibir las señales de salida del registro de desplazamiento SO1-SO13, como señales de entrada AI14-AI26, respectivamente. También, el circuito lógico de banco superior 1208 está conectado eléctricamente con las líneas de dirección 1252a-1252h para proporcionar las señales de dirección ~A1, ~A2 ... ~A8, respectivamente. Además, el circuito lógico de banco superior 1208 está conectado eléctricamente con la línea de señal de temporización 1224, que proporciona la señal de temporización BT4 al circuito lógico de banco superior 1208, como señal de temporización T3, a la línea de señal de temporización 1230, que proporciona la señal de temporización BT5 al circuito lógico de banco superior 1208, como señal de temporización T4 y a la línea de señal de temporización 1216, que proporciona la señal de temporización BT6 al circuito lógico de banco superior 1208, como señal de temporización T5.

El registro de desplazamiento de banco inferior 1202 y el circuito lógico de banco inferior 1206 proporcionan señales de nivel de voltaje bajo, en las señales de dirección ~A1, ~A2 ... ~A8, para proporcionar las trece direcciones de banco inferior 1-13. El registro de desplazamiento de banco inferior 1202 y el circuito lógico de banco inferior 1206, proporcionan las direcciones de banco inferior 1-13 en dirección hacia delante, desde la dirección uno hasta la dirección trece y, en dirección reversa, desde la dirección trece hasta la dirección uno. El registro de desplazamiento de banco superior 1204 y el circuito lógico de banco superior 1208, proporcionan señales de nivel de voltaje bajo en las señales de dirección ~A1, ~A2 ... ~A8, para proporcionar las trece direcciones de banco superior 14-26. El registro de desplazamiento de banco superior 1204 y el circuito lógico de banco superior 1208, proporcionan las direcciones de banco superior 14-26, en dirección hacia delante, desde la dirección catorce hasta la dirección veintiséis y, en dirección reversa, desde la dirección veintiséis hasta la dirección catorce. El circuito de dirección 1210 proporciona las señales de dirección DIRF y DIRR, que fijan la dirección de funcionamiento hacia delante o reversa, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204.

Cada una de las trece células del registro de desplazamiento, está conectada eléctricamente para recibir la primera señal de precarga PRE1, la primera señal de evaluación EVAL1, la segunda señal de precarga PRE2 y la segunda señal de evaluación EVAL2. El registro de desplazamiento de banco inferior 1202 es iniciado mediante la recepción de una pulsación de control, en la señal de control CSYNC, sustancialmente coincidente con una pulsación de temporización, en la señal de temporización BT1. En respuesta, es proporcionada una señal de nivel de voltaje alto en SO1 o SO13. Durante cada serie subsecuente de seis pulsaciones de temporización, el registro de desplazamiento de banco inferior 1202 desplaza la señal de nivel de voltaje alto, a la siguiente célula del registro de desplazamiento 403 y la señal de voltaje alto, como una de las señales de salida del registro de desplazamiento SO1-SO13. En la dirección hacia delante, la señal de nivel de voltaje alto, es desplazada desde la señal de salida del registro de desplazamiento SO1 hasta la señal de salida del registro de desplazamiento SO2 y, así sucesivamente, hasta e incluyendo la señal de salida del registro de desplazamiento SO13. En la dirección reversa, la señal de nivel de voltaje alto es desplazada, desde la señal de salida del registro de desplazamiento SO13 hasta la señal de salida del registro de desplazamiento SO12 y, así sucesivamente, hasta e incluyendo la señal de salida del registro de desplazamiento SO1. Después de que cada una de las señales de salida del registro de desplazamiento SO1-SO13 haya sido fijada a un nivel de voltaje alto, durante una secuencia, todas las señales de salida del registro de desplazamiento SO1-SO13 son fijadas a niveles de voltaje bajo.

El circuito lógico de banco inferior 1206 incluye un transistor lógico, proporciona las señales de dirección de nivel de voltaje bajo, en las señales de dirección ~A1, ~A2 ... ~A8. El circuito lógico de banco inferior 1206 recibe una señal de nivel de voltaje alto, en una de las señales de entrada de banco inferior AI1-AI13 y proporciona un correspondiente set de señales de dirección de nivel de voltaje bajo, en las señales de dirección ~A1, ~A2 ... ~A8. Las señales de entrada de banco inferior AI1-AI13 se corresponden con las direcciones de banco inferior 1-13, respectivamente. En una forma de realización, en respuesta a una señal de entrada de nivel de voltaje alto AI1, el circuito lógico de banco inferior 1206 proporciona dos señales de dirección de nivel de voltaje bajo, como ~A1 y ~A2, en las señales de dirección ~A1, ~A2 ... ~A8, como la dirección de banco inferior 1. En respuesta a la señal de entrada de nivel de voltaje alto AI2, el circuito lógico de banco inferior 1206 proporciona dos señales de dirección de nivel de voltaje bajo, como ~A1 y ~A3, en las señales de dirección ~A1, ~A2 ... ~A8, como la dirección de banco inferior 2. Esto continua hasta que el circuito lógico de banco inferior 1206 recibe una señal de entrada de nivel de voltaje alto AI13 y proporciona dos señales de dirección de nivel de voltaje bajo, en las señales de dirección ~A1, ~A2 ... ~A8, como la dirección de banco inferior 13.

El registro de desplazamiento de banco superior 1204 incluye trece células del registro de desplazamiento 403, que proporcionan las trece señales de salida del registro de desplazamiento SO1-SO13. Cada una de las trece células del registro de desplazamiento, esta conectada eléctricamente para recibir la primera señal de precarga PRE1, la primera señal de evaluación EVAL1, la segunda señal de precarga PRE2 y la segunda señal de evaluación EVAL2.

El registro de desplazamiento de banco superior 1204 es iniciado mediante la recepción de una pulsación de control, en la señal de control CSYNC, sustancialmente coincidente con una pulsación de temporización, en la señal de temporización BT3. En respuesta, es proporcionada una señal de nivel de voltaje alto en SO1 o SO13. Durante cada serie subsecuente de seis pulsaciones de temporización, el registro de desplazamiento de banco superior 1204 desplaza la señal de nivel de voltaje alto a la siguiente célula del registro de desplazamiento 403 y una de las señales de salida del registro de desplazamiento SO1-SO13. En la dirección hacia delante, la señal de nivel de voltaje alto es desplazada, desde la señal de salida del registro de desplazamiento SO1 hasta la señal de salida del registro de desplazamiento SO2 y, así sucesivamente, hasta e incluyendo la señal de salida del registro de desplazamiento SO13. En la dirección reversa, la señal de nivel de voltaje alto es desplazada, desde la señal de salida del registro de desplazamiento SO13 hasta la señal de salida del registro de desplazamiento SO12 y, así sucesivamente, hasta e incluyendo la señal de salida del registro de desplazamiento SO1. Después de que cada una de las señales de salida del registro de desplazamiento SO1-SO13 haya sido fijada a un nivel de voltaje alto, todas las señales de salida del registro de desplazamiento SO1-SO13 son fijadas a niveles de voltaje bajo.

El circuito lógico de banco superior 1208 incluye el transistor lógico, proporciona señales de dirección de nivel de voltaje bajo en las señales de dirección ~A1, ~A2 ... ~A8. El circuito lógico de banco superior 1208 recibe una señal de nivel de voltaje alto, en una de las señales de entrada de banco superior AI14-AI26 y proporciona un correspondiente set de señales de dirección de nivel de voltaje bajo, en las señales de dirección ~A1, ~A2 ... ~A8. Las señales de entrada de banco superior AI14-AI26 se corresponden con las direcciones de banco superior 14-26, respectivamente. En una forma de realización, en respuesta a una señal de entrada de nivel de voltaje alto AI14, el circuito lógico de banco superior 1208 proporciona dos señales de dirección de nivel de voltaje bajo, en las señales de dirección ~A1, ~A2 ... ~A8, como la dirección de banco superior 14. En respuesta a una señal de entrada de nivel de voltaje alto AI15, el circuito lógico de banco superior 1208 proporciona dos señales de dirección de nivel de voltaje bajo, en las señales de dirección ~A1, ~A2 ... ~A8, como la dirección de banco superior 15. Esto continua hasta que el circuito lógico de banco superior 1208 recibe una señal de entrada de nivel de voltaje alto AI26 y proporciona dos señales de dirección de nivel de voltaje bajo, en las señales de dirección ~A1, ~A2 ... ~A8, como la dirección de banco superior 26.

El circuito de dirección 1210 proporciona las señales de dirección DIRF y DIRR al registro de desplazamiento banco inferior 1202 y el registro de desplazamiento banco superior 1204, para fijar la dirección de desplazamiento. Si el circuito de dirección 1210 recibe una pulsación de control, en la señal de control CSYNC, sustancialmente coincidente con una pulsación de temporización en la señal de temporización BT5, el circuito de dirección 1210 proporciona una señal de dirección de nivel de voltaje bajo DIRR y una señal de dirección de nivel de voltaje alto DIRF, para desplazar y proporcionar direcciones, en la dirección hacia delante. Si el circuito de dirección 1210 no recibe una pulsación de control, sustancialmente coincidente con una pulsación de temporización en la señal de temporización BT5, el circuito de dirección 1210 proporciona una señal de dirección de nivel de voltaje bajo DIRF y una señal de dirección de nivel de voltaje alto DIRR, para desplazar y proporcionar direcciones, en la dirección reversa.

Las señales de temporización de banco BT1-BT6 proporcionan una serie repetida de seis pulsaciones. Cada señal de temporización BT1-BT6 proporciona una pulsación en la serie de seis pulsaciones y las señales de temporización BT1-BT6 proporcionan pulsaciones en orden, desde la señal de temporización BT1 hasta la señal de temporización BT6.

En funcionamiento hacia delante del registro de desplazamiento de banco inferior 1202, el circuito de dirección 1210 recibe una pulsación de temporización, en la señal de temporización BT4, para precargar las señales de dirección DIRR y DIRF hasta niveles de voltaje alto. El circuito de dirección 1210 recibe una pulsación de control, en la señal de control CSYNC, sustancialmente coincidente con una pulsación de temporización en la señal de temporización BT5, para descargar la señal de dirección DIRR hasta un nivel de voltaje bajo. La señal de dirección de nivel de voltaje alto DIRF y la señal de dirección de nivel de voltaje bajo DIRR fijan el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, para el desplazamiento en la dirección hacia delante. La dirección de funcionamiento es fijada durante cada serie de pulsaciones de temporización en las señales de temporización BT1-BT6. También, durante la pulsación de temporización en la señal de temporización BT6, todos los nodos internos SN en las células del registro de desplazamiento 403, son precargados hasta niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204.

Para iniciar el registro de desplazamiento de banco inferior 1202, en la siguiente serie de seis pulsaciones en las señales de temporización BT1-BT6, es proporcionada una pulsación de control, en la señal de control CSYNC, sustancialmente coincidente con la pulsación de temporización en la señal de temporización BT1. Durante la pulsación de control en la señal de control CSYNC, sustancialmente coincidente con la pulsación de temporización

en la señal de temporización BT1, el nodo interno SN1 en el registro de desplazamiento de banco inferior 1202, descarga hasta un nivel de voltaje bajo. Los nodos internos SN2-SN13 en el registro de desplazamiento de banco inferior 1202, permanecen a niveles de voltaje alto y los nodos internos SN1-SN13 en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto. El registro de desplazamiento de banco superior 1204 no es iniciado.

El registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, reciben una pulsación de temporización en la señal de temporización BT4, durante la cual, todas las señales de salida del registro de desplazamiento SO1-SO13 son precargadas hasta niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. El registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, reciben una pulsación de temporización en la señal de temporización BT5, durante la cual las señales de salida del registro de desplazamiento SO2-SO13, en ambos, el registro de desplazamiento de banco inferior 1202 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, descargan. La señal de salida del registro de desplazamiento SO1, en el registro de desplazamiento de banco inferior 1202, permanece a un nivel de voltaje alto, al estar la señal de nodo interno SN1 a un nivel de voltaje bajo. El registro de desplazamiento de banco inferior 1202 proporciona la señal de salida de nivel de voltaje alto SO1 al circuito lógico de banco inferior 1206.

El circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, reciben la pulsación de temporización en la señal de temporización BT4, para precargar las líneas de dirección 1252a-1252h. La pulsación de temporización en la señal de temporización BT5, evita que se enciendan los transistores de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. En una forma de realización, es durante la pulsación de temporización en la señal de temporización BT5 y no la pulsación de temporización en la señal de temporización BT4, cuando son precargadas las líneas de dirección 1252a-1252h.

A continuación, el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208 reciben la pulsación de temporización en la señal de temporización T6, para encender los transistores de evaluación lógica. El circuito lógico de banco inferior 1206 recibe una señal de salida del registro de desplazamiento de nivel de voltaje alto SO1, como la señal de entrada de banco inferior AI1 y las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO2-SO13, como las señales de entrada de banco inferior AI2-AI13, respectivamente. En respuesta, el circuito lógico de banco inferior 1206 tira activamente de las líneas de dirección, que se corresponden con las señales de dirección de nivel de voltaje bajo en la dirección de banco inferior 1, hasta niveles de voltaje bajo. El circuito lógico de banco superior 1208 recibe las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO1-SO13, como las señales de entrada de banco superior AI14-AI26 y no descarga ninguna de las líneas de dirección 1252a-1252h.

Cada serie subsecuente de seis pulsaciones, desplaza la señal de voltaje alto desde una de las señales de salida del registro de desplazamiento SO1-SO13, a una adyacente, de las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202. El circuito lógico de banco inferior 1206 recibe cada señal de salida de nivel de voltaje alto SO1-SO13 y proporciona la correspondiente dirección de banco inferior 1-13, desde la dirección de banco inferior 1 hasta la dirección de banco inferior 13, en las señales de dirección ~A1, ~A2 ... ~A8. Después de que la señal de salida del registro de desplazamiento SO13 haya sido alta, todas las señales de salida del registro de desplazamiento SO1-SO13 son fijadas a niveles de voltaje bajo y las señales de dirección ~A1, ~A2 ... ~A8 permanecen cargadas a niveles de voltaje alto, a menos que el circuito lógico sea iniciado otra vez o las líneas de dirección sean descargadas por el circuito lógico del otro banco.

En el funcionamiento hacia delante del registro de desplazamiento de banco superior 1204, el circuito de dirección 1210 recibe una pulsación de temporización en la señal de temporización BT4, para precargar las señales de dirección DIRR y DIRF hasta niveles de voltaje alto. El circuito de dirección 1210 recibe una pulsación de control en la señal de control CSYNC, sustancialmente coincidente con una pulsación de temporización en la señal de temporización BT5, para descargar la señal de dirección DIRR hasta un nivel de voltaje bajo. El circuito de dirección 1210 recibe una pulsación de temporización en la señal de temporización BT6 y con la señal de dirección DIRR a un nivel de voltaje bajo, la señal de dirección DIRF permanece a un nivel de voltaje alto. La señal de dirección de nivel de voltaje alto DIRF y la señal de dirección de nivel de voltaje bajo DIRR, fijan el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, para el desplazamiento en la dirección hacia delante. La dirección de funcionamiento es fijada durante cada serie de pulsaciones de temporización, en las señales de temporización BT1-BT6. También, durante la pulsación de temporización en la señal de temporización BT6, todos los nodos internos SN en las células del registro de desplazamiento 403, son precargados hasta niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204.

Para iniciar el registro de desplazamiento de banco superior 1204, en la siguiente serie de seis pulsaciones en las señales de temporización BT1-BT6, es proporcionada una pulsación de control en la señal de control CSYNC, sustancialmente coincidente con la pulsación de temporización en la señal de temporización BT3. La pulsación de



control en la señal de control CSYNC, sustancialmente coincidente con la pulsación de temporización en la señal de temporización BT3, durante la cual descarga el nodo interno SN1 hasta un nivel de voltaje bajo, en el registro de desplazamiento de banco superior 1204. Los nodos internos SN2-SN13 en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto y los nodos internos SN1-SN13 en el registro de desplazamiento de banco inferior 1202, permanecen a niveles de voltaje alto. El registro de desplazamiento de banco inferior 1202 no es iniciado.

El registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204 reciben una pulsación de temporización en la señal de temporización BT4, durante la cual las señales de salida del registro de desplazamiento SO1-SO13, son cargadas hasta niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. El registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, reciben una pulsación de temporización en la señal de temporización BT5, durante la cual todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202 y las señales de salida del registro de desplazamiento SO2-SO13, en el registro de desplazamiento de banco superior 1204, descargan. La señal de salida del registro de desplazamiento SO1, en el registro de desplazamiento de banco superior 1204, permanece a un nivel de voltaje alto, debido a que la señal de nodo interno SN1 está a un nivel de voltaje bajo. El registro de desplazamiento de banco superior 1204 proporciona la señal de salida de nivel de voltaje alto SO1 al circuito lógico de banco superior 1208.

El circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208 reciben la pulsación de temporización en la señal de temporización BT4, para precargar las líneas de dirección 1252a-1252h. La pulsación de temporización en la señal de temporización BT5, evita que se enciendan los transistores de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. En una forma de realización, es durante la pulsación de temporización en la señal de temporización BT5 y no la pulsación de temporización en la señal de temporización BT4, cuando las líneas de dirección 1252a-1252h son precargadas.

A continuación, el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208 reciben la pulsación de temporización, en la señal de temporización BT6, para encender los transistores de evaluación lógica. El circuito lógico de banco superior 1208 recibe una señal de salida del registro de desplazamiento de nivel de voltaje alto SO1, como la señal de entrada de banco superior AI14 y las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO2-SO13, como las señales de entrada de banco superior AI15-AI26, respectivamente. En respuesta, el circuito lógico de banco superior 1208 tira activamente de las líneas de dirección, que se corresponden con las señales de dirección de nivel de voltaje bajo, en la dirección de banco superior 14, hasta niveles de voltaje bajo. El circuito lógico de banco inferior 1206 recibe las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO1-SO13, como las señales de entrada de banco inferior AI1-AI13 y no descarga ninguna de las líneas de dirección 1252a-1252h.

Cada serie subsecuente de seis pulsaciones, desplaza la señal de voltaje alto desde una de las señales de salida del registro de desplazamiento SO1-SO13, a la siguiente de las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204. El circuito lógico de banco superior 1208 recibe cada señal de salida de nivel de voltaje alto SO1-SO13 y proporciona la correspondiente dirección de banco superior 14-26, desde la dirección de banco superior 14 hasta la dirección de banco superior 26, en las señales de dirección ~A1, ~A2 ... ~A8. Después de que la señal de salida del registro de desplazamiento SO13 en el registro de desplazamiento de banco superior 1204, haya sido alta, todas las señales de salida del registro de desplazamiento SO1-SO13, son fijadas a niveles de voltaje bajo y las señales de dirección ~A1, ~A2 ... ~A8 permanecen cargadas a niveles de voltaje alto, a menos que el circuito lógico sea iniciado otra vez o las líneas de dirección sean descargadas por el circuito lógico del otro banco.

En el funcionamiento reverso del registro de desplazamiento de banco inferior 1202, en una serie de seis pulsaciones en las señales de temporización BT1-BT6, el circuito de dirección 1210 recibe una pulsación de temporización en la señal de temporización BT4, para precargar las señales de dirección DIRR y DIRF hasta niveles de voltaje alto. El circuito de dirección 1210 recibe una señal de control de nivel de voltaje bajo CSYNC, sustancialmente coincidente con una pulsación de temporización en la señal de temporización BT5, para mantener la señal de dirección DIRR a un nivel de voltaje alto. El circuito de dirección 1210 recibe una pulsación de temporización en la señal de temporización BT6 y con la señal de dirección DIRR a un nivel de voltaje alto y, entonces, la señal de dirección DIRF descarga hasta un nivel de voltaje bajo. La señal de dirección de nivel de voltaje bajo DIRF y la señal de dirección de nivel de voltaje alto DIRR, fijan el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, para el desplazamiento en la dirección reversa. La dirección de funcionamiento, es fijada durante cada serie de pulsaciones de temporización en las señales de temporización BT1-BT6. También, durante la pulsación de temporización en la señal de temporización BT6, todos los nodos internos SN en las células del registro de desplazamiento 403, son precargados hasta niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204.

Para iniciar el registro de desplazamiento de banco inferior 1202 en la siguiente serie de seis pulsaciones en las señales de temporización BT1-BT6, es proporcionada una pulsación de control en la señal de control CSYNC, sustancialmente coincidente con la pulsación de temporización en la señal de temporización BT1. La pulsación de control en la señal de control CSYNC, sustancialmente coincidente con la pulsación de temporización en la señal de temporización BT1, descarga el nodo interno SN13 en el registro de desplazamiento de banco inferior 1202, hasta un nivel de voltaje bajo. Los nodos internos SN1-SN12, en el registro de desplazamiento de banco inferior 1202, permanecen a niveles de voltaje alto y los nodos internos SN1-SN13, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto. El registro de desplazamiento de banco superior 1204 no es iniciado.

El registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204 reciben una pulsación de temporización en la señal de temporización BT4, durante la cual todas las señales de salida del registro de desplazamiento SO1-SO13 precargan hasta niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. El registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, reciben una pulsación de temporización en la señal de temporización BT5, durante la cual las señales de salida del registro de desplazamiento SO1-SO12 descargan, en el registro de desplazamiento de banco inferior 1202 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204. La señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco inferior 1202, permanece a un nivel de voltaje alto, debido a que la señal de nodo interno SN13 está a un nivel de voltaje bajo. El registro de desplazamiento de banco inferior 1202 proporciona la señal de salida de nivel de voltaje alto SO13 al circuito lógico de banco inferior 1206.

El circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, reciben la pulsación de temporización en la señal de temporización BT4, para precargar las líneas de dirección 1252a-1252h. La pulsación de temporización en la señal de temporización BT5, evita que se enciendan los transistores de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. En una forma de realización, es en la pulsación de temporización en la señal de temporización BT5 y no la pulsación de temporización en la señal de temporización BT4, durante la cual precargan las líneas de dirección 1252a-1252h.

A continuación, el circuito lógico de banco inferior 1206 el circuito lógico de banco superior 1208, reciben la pulsación de temporización en la señal de temporización BT6, para encender los transistores de evaluación lógica. El circuito lógico de banco inferior 1206, recibe una señal de salida del registro de desplazamiento de nivel de voltaje alto SO13, como la señal de entrada de banco inferior AI13 y las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO1-SO12, como las señales de entrada de banco inferior AI1-AI12, respectivamente. En respuesta, el circuito lógico de banco inferior 1206 tira activamente de las líneas de dirección, que se corresponden con las señales de dirección de nivel de voltaje bajo en la dirección de banco inferior 13, hasta niveles de voltaje bajo. El circuito lógico de banco superior 1208 recibe las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO1-SO13, como las señales de entrada de banco superior AI14-AI26 y no descarga ninguna de las líneas de dirección 1252a-1252h.

Cada serie subsecuente de seis pulsaciones, desplaza las señal de nivel de voltaje alto, desde una de las señales de salida del registro de desplazamiento SO1-SO13, hasta la siguiente de las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202. El circuito lógico de banco inferior 1206 recibe cada señal de salida de nivel de voltaje alto SO1-SO13 y proporciona la correspondiente dirección de banco inferior 1-13, desde la dirección de banco inferior 13 hasta la dirección de banco inferior 1, en las señales de dirección ~A1, ~A2 ... ~A8. Después de que la señal de salida del registro de desplazamiento SO1 haya sido alta, todas las señales de salida del registro de desplazamiento SO1-SO13 son fijadas a niveles de voltaje bajo y las señales de dirección ~A1, ~A2 ... ~A8 permanecen cargadas a niveles de voltaje alto, a menos que el circuito lógico sea iniciado otra vez o las líneas de dirección sean descargadas por el circuito lógico del otro banco.

En funcionamiento reverso del registro de desplazamiento de banco superior 1204, en una serie de seis pulsaciones en las señales de temporización BT1-BT6, el circuito de dirección 1210 recibe una pulsación de temporización en la señal de temporización BT4, para precargar las señales de dirección DIRR y DIRF hasta niveles de voltaje alto. El circuito de dirección 1210 recibe una señal de control de nivel de voltaje bajo CSYNC, sustancialmente coincidente con la pulsación de temporización en la señal de temporización BT5, para mantener la señal de dirección DIRR a un nivel de voltaje alto. El circuito de dirección 1210 recibe una pulsación de temporización en la señal de temporización BT6 y con la señal de dirección DIRR a un nivel de voltaje alto y la señal de dirección DIRF descarga hasta un nivel de voltaje bajo. La señal de dirección de nivel de voltaje bajo DIRF y la señal de dirección de nivel de voltaje alto DIRR, fijan el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, para el desplazamiento en la dirección reversa. La dirección de funcionamiento es fijada durante cada serie de pulsaciones de temporización en las señales de temporización BT1-BT6. También, la pulsación de temporización en la señal de temporización BT6, todos los nodos internos SN en las células del registro de desplazamiento 403 son precargados hasta niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204.

Para iniciar el registro de desplazamiento de banco superior 1204 en la siguiente serie de seis pulsaciones en las señales de temporización BT1-BT6, es proporcionada una pulsación de control en la señal de control CSYNC, sustancialmente coincidente con la pulsación de temporización en la señal de temporización BT3. La pulsación de control en la señal de control CSYNC, sustancialmente coincidente con la pulsación de temporización en la señal de temporización BT3, descarga el nodo interno SN13 en el registro de desplazamiento de banco superior 1204, hasta un nivel de voltaje bajo. Los nodos internos SN1-SN12 en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto y los nodos internos SN1-SN13 en el registro de desplazamiento de banco inferior 1202, permanecen a niveles de voltaje alto. El registro de desplazamiento de banco inferior 1202 no es iniciado.

El registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, reciben una pulsación de temporización en la señal de temporización BT4, durante la cual todas las señales de salida del registro de desplazamiento SO1-SO13 descargan hasta niveles de voltaje alto en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. El registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, reciben una pulsación de temporización en la señal de temporización BT5, todas las señales de salida del registro de desplazamiento SO1-SO13 en el registro de desplazamiento de banco inferior 1202 y las señales de salida del registro de desplazamiento SO1-SO12 en el registro de desplazamiento de banco superior 1204, descargan. La señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco superior 1204, permanece a un nivel de voltaje alto, debido a que la señal de nodo interno SN13 está a un nivel de voltaje bajo. El registro de desplazamiento de banco superior 1204 proporciona la señal de salida de nivel de voltaje alto SO13 al circuito lógico de banco superior 1208.

El circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, reciben la pulsación de temporización en la señal de temporización BT4 para precargar las líneas de dirección 1252a-1252h. La pulsación de temporización en la señal de temporización BT5, evita que los transistores de evaluación se enciendan, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. En una forma de realización, es durante la pulsación de temporización en la señal de temporización BT5 y no la pulsación de temporización en la señal de temporización BT4, cuando las líneas de dirección 1252a-1252h están precargadas.

A continuación, el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, reciben la pulsación de temporización en la señal de temporización BT6 para encender los transistores de evaluación lógica. El circuito lógico de banco superior 1208 recibe una señal de salida del registro de desplazamiento de nivel de voltaje alto SO13, como la señal de entrada de banco superior AI26 y las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO1-SO12, como señales de entrada de banco superior AI14-AI25, respectivamente. En respuesta, el circuito lógico de banco superior 1208 tira activamente de las líneas de dirección, que se corresponden con las señales de dirección de nivel de voltaje bajo en la dirección de banco superior 26, hasta niveles de voltaje bajo. El circuito lógico de banco inferior 1206 recibe las señales de salida del registro de desplazamiento de nivel de voltaje bajo SO1-SO13, como las señales de entrada de banco inferior AI1-AI13 y no descarga ninguna de las líneas de dirección 1252a-1252h.

Cada serie subsecuente de seis pulsaciones, desplaza la señal de nivel de voltaje alto, desde una de las señales de salida del registro de desplazamiento SO1-SO13, hasta la siguiente de las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204. El circuito lógico de banco superior 1208 recibe cada señal de salida de nivel de voltaje alto SO1-SO13 y proporciona la correspondiente dirección de banco superior 14-26, desde la dirección de banco superior 26 hasta la dirección de banco superior 14, en las señales de dirección ~A1, ~A2 ... ~A8. Después de que la señal de salida del registro de desplazamiento SO1, en el registro de desplazamiento de banco superior 1204, haya sido alta, todas las señales de salida del registro de desplazamiento SO1-SO13, son fijadas a niveles de voltaje bajo y las señales de dirección ~A1, ~A2 ... ~A8, permanecen cargadas a niveles de voltaje alto, a menos que el circuito lógico sea iniciado de nuevo o las líneas de dirección sean descargadas por el circuito lógico del otro banco.

En funcionamiento, el registro de desplazamiento de banco inferior 1202 es iniciado independientemente del registro de desplazamiento de banco superior 1204, para proporcionar las direcciones de banco inferior 1-13, en las señales de dirección ~A1, ~A2 ... ~A8, bien en la dirección hacia delante o reversa y el registro de desplazamiento de banco superior 1204 es iniciado independientemente del registro de desplazamiento de banco inferior 1202, para proporcionar las direcciones de banco superior 14-26, en las señales de dirección ~A1, ~A2 ... ~A8, bien en la dirección hacia delante o reversa. También, puede ser iniciado el registro de desplazamiento de banco inferior 1202, una vez después de otra, para generar repetidamente las direcciones de banco inferior 1-13, en las señales de dirección ~A1, ~A2 ... ~A8 y el registro de desplazamiento de banco superior 1204 puede ser iniciado, una vez después de otra, para generar repetidamente las direcciones de banco superior 14-26, en las señales de dirección ~A1, ~A2 ... ~A8. Además, el registro de desplazamiento de banco inferior 1202 puede ser iniciado, para generar las direcciones de banco inferior 1-13, lo cual puede ir seguido de la iniciación del registro de desplazamiento de banco superior 1204, para generar las direcciones de banco superior 14-26, o viceversa.

Debe ser tenido en cuenta que en ciertas formas de realización, el registro de desplazamiento de banco inferior 1202 y el circuito lógico de banco inferior 1206, y el registro de desplazamiento de banco superior 1204 y el circuito lógico de banco superior 1208, están situados cerca uno del otro, en la base del cabezal de impresión 40. En otras formas de realización, el registro de desplazamiento de banco inferior 1202 y el circuito lógico de banco inferior 1206, y el registro de desplazamiento de banco superior 1204 y el circuito lógico de banco superior 1208, no están situados uno cerca del otro, en la base del cabezal de impresión 40. En estas últimas formas de realización, se proporcionan dos circuitos de dirección 1210, uno cerca de cada uno, del registro de desplazamiento de banco inferior 1202 y el circuito lógico de banco inferior 1206, y el registro de desplazamiento de banco superior 1204 y el circuito lógico de banco superior 1208.

La Figura 16, es un diagrama que ilustra el circuito de dirección 1210. El circuito de dirección 1210 incluye una fase de señal de dirección reversa 1260 y una fase de señal de dirección hacia delante 1262. La fase de señal de dirección reversa 1260 incluye un transistor de precarga 1264, un transistor de evaluación 1266 y un transistor de control 1268. La fase de señal de dirección hacia delante 1262 incluye un transistor de precarga 1270, un transistor de evaluación 1272 y un transistor de control 1274.

La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de precarga 1264 están conectados eléctricamente con la línea de señal de temporización 1224. La línea de señal de temporización 1224 proporciona la señal de temporización BT4 al circuito de dirección 1210, como tercera señal de precarga PRE3. El otro lateral de la trayectoria de la fuente de drenaje del transistor de precarga 1264, está conectado eléctricamente con un lateral de la trayectoria de la fuente de drenaje del transistor de evaluación 1266, por medio de la línea de señal de dirección 1240b. La línea de señal de dirección 1240b, proporciona la señal de dirección reversa DIRR a la puerta del transistor de dirección reversa, en cada célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La puerta del transistor de evaluación 1266 está conectada eléctricamente con la línea de señal de evaluación 1228, que proporciona la señal de temporización de nivel de voltaje reducido BT5, al circuito de dirección 1210, como tercera señal de evaluación EVAL3. El otro lateral de la trayectoria de la fuente de drenaje del transistor de evaluación 1266 está conectado eléctricamente con la trayectoria de la fuente de drenaje del transistor de control 1268 en 1276. La trayectoria de la fuente de drenaje del transistor de control 1268, está también conectada eléctricamente con una referencia, como tierra, en 1278. La puerta del transistor de control 1268 está conectada eléctricamente con la línea de control 1214, para recibir la señal de control CSYNC.

La puerta y un lateral de la trayectoria de la fuente de drenaje del transistor de precarga 1270 están conectados eléctricamente con la línea de señal de temporización 1224. El otro lateral de la trayectoria de la fuente de drenaje del transistor de precarga 1270, está conectado eléctricamente con un lateral de la trayectoria de la fuente de drenaje del transistor de evaluación 1272, por medio de la línea de señal de dirección 1240a. La línea de señal de dirección 1240a proporciona la señal de dirección hacia delante DIRF, a la puerta del transistor de dirección hacia delante, en cada registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La puerta del transistor de evaluación 1272 está conectada eléctricamente con la línea de señal de evaluación 1248, que proporciona la señal de temporización de nivel de voltaje reducido BT6 al circuito de dirección 1210, como cuarta señal de evaluación EVAL4. El otro lateral de la trayectoria de la fuente de drenaje del transistor de evaluación 1272, está conectado eléctricamente con la trayectoria de la fuente de drenaje del transistor de control 1274 en 1280. La trayectoria de la fuente de drenaje del transistor de control 1274 está conectada eléctricamente con una referencia, como tierra, en 1282. La puerta del transistor de control 1274 está conectada eléctricamente con la línea de señal de dirección 1240b, para recibir la señal de dirección reversa DIRR.

Las señales de dirección DIRF y DIRR fijan la dirección de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Si la señal de dirección hacia delante DIRF es fijada a un nivel de voltaje alto y la señal de dirección reversa DIRR es fijada a un nivel de voltaje bajo, los transistores de dirección hacia delante, como el transistor de dirección hacia delante 512, son encendidos y los transistores de dirección reversa, como el transistor de dirección reversa 514, son apagados. El registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, desplazan en la dirección hacia delante. Si la señal de dirección hacia delante DIRF es fijada a un nivel de voltaje bajo y la señal de dirección reversa DIRR es fijada a un nivel de voltaje alto, los transistores de dirección hacia delante, como el transistor de dirección hacia delante 512, son apagados y los transistores de dirección reversa, como el transistor de dirección reversa 514, son encendidos. El registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, desplazan en la dirección reversa. Las señales de dirección DIRF y DIRR son fijadas durante las pulsaciones de temporización, en las señales de temporización BT4, BT5 y BT6.

En funcionamiento, la línea de señal de temporización 1224 proporciona una pulsación de temporización en la señal de temporización BT4, al circuito de dirección 1210, en la tercera señal de precarga PRE3. Durante la pulsación de temporización en la tercera señal de precarga PRE3, la línea de señal de dirección hacia delante 1240a y la línea de señal de dirección reversa 1240b, cargan hasta niveles de voltaje alto. Una pulsación de temporización en la señal

de temporización BT5, es proporcionada a la red de resistencia de segmentación 1226, que proporciona una pulsación de temporización de nivel de voltaje reducido BT5 al circuito de dirección 1210, en la tercera señal de evaluación EVAL3. La pulsación de temporización en la tercera señal de evaluación EVAL3, enciende el transistor de evaluación 1266. Si es proporcionada una pulsación de control, en la señal de control CSYNC, a la puerta del transistor de control 1268, al mismo tiempo que es proporcionada la pulsación de temporización, en la tercera señal de evaluación EVAL3, al transistor de evaluación 1266, la línea de señal de dirección reversa 1240b descarga hasta un nivel de voltaje bajo. Si la señal de control CSYNC permanece a un nivel de voltaje bajo, cuando es proporcionada la pulsación de temporización, en la tercera señal de evaluación EVAL3, al transistor de evaluación 1266, la línea de señal de dirección reversa 1240b permanece cargada a un nivel de voltaje alto.

Una pulsación de temporización en la señal de temporización BT6, es proporcionada a la red de resistencia de segmentación 1246, que proporciona una pulsación de temporización de nivel de voltaje reducido BT6, al circuito de dirección 1210, en la cuarta señal de evaluación EVAL4. La pulsación de temporización en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272. Si la señal de dirección reversa DIRR está a un nivel de voltaje alto, la línea de dirección hacia delante 1240a descarga hasta un nivel de voltaje bajo. Si la señal de dirección reversa DIRR está a un nivel de voltaje bajo, la línea de señal de dirección hacia delante 1240a permanece cargada a un nivel de voltaje alto.

La Figura 17, es un diagrama de temporización que ilustra el funcionamiento del generador dirección de selección de banco 1200 en dirección hacia delante. Las señales de temporización BT1-BT6, proporcionan una serie de seis pulsaciones, que se repite en una serie repetida de seis pulsaciones. Cada una de las señales de temporización BT1-BT6 proporciona una pulsación en la serie de seis pulsaciones.

En una serie de seis pulsaciones, la señal de temporización BT1 en 1300 incluye la pulsación de temporización 1302, la señal de temporización BT2 en 1304 incluye la pulsación de temporización 1306, la señal de temporización BT3 en 1308 incluye la pulsación de temporización 1310, la señal de temporización BT4 en 1312 incluye la pulsación de temporización 1314, la señal de temporización BT5 en 1316 incluye la pulsación de temporización 1318 y la señal de temporización BT6 en 1320 incluye la pulsación de temporización 1322. La señal de control CSYNC en 1324 incluye las pulsaciones de control, que fijan la dirección de desplazamiento en el generador de dirección de selección de banco 1200 e inician el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, para generar las direcciones 1-26.

Para empezar, ni el registro de desplazamiento de banco inferior 1202 ni el registro de desplazamiento de banco superior 1204 está desplazando y el circuito de dirección 1210 no ha sido fijado por una pulsación de control en la señal de control CSYNC 1324. La señal de dirección reversa DIRR en 1326 ha sido cargada hasta un nivel de voltaje alto, que enciende el transistor de control 1274, el cual ha descargado previamente la señal de dirección hacia delante DIRF 1328, hasta un nivel de voltaje bajo. Las señales de nodo interno SN en 1330, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, permanecen cargadas a niveles de voltaje alto, lo cual descarga todas las señales de salida del registro de desplazamiento SO en 1332 hasta niveles de voltaje bajo. Las señales de evaluación lógica LEVAL 1334, en el circuito lógico de banco interno 1206 y el circuito lógico de banco superior 1208, permanecen cargadas a niveles de voltaje alto, desde la pulsación previa en la señal de temporización BT6 en 1320. También, con las señales de salida del registro de desplazamiento SO 1332 a niveles de voltaje bajo, las señales de dirección ~A1, ~A2 ... ~A8 en 1336, permanecen cargadas a niveles de voltaje alto, a menos que el circuito lógico sea iniciado de nuevo o las líneas de dirección sean descargadas por el circuito lógico del otro banco.

La pulsación de temporización 1302 en la señal de temporización BT1 en 1300, es proporcionada al registro de desplazamiento de banco inferior 1202, en la primera señal de evaluación EVAL1. La pulsación de temporización 1302 enciende cada uno de los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. La señal de control CSYNC 1324 permanece a un nivel de voltaje bajo y todas las señales de salida del registro de desplazamiento SO 1332 están a niveles de voltaje bajo, lo cual apaga cada uno de los transistores de entrada hacia delante y cada uno de los transistores de entrada reversa, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Los transistores de entrada hacia delante y reversa no conductores, evitan que las señales de nodo interno SN 1330, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, descarguen hasta un nivel de voltaje bajo. Todas las señales de nodo interno del registro de desplazamiento SN 1330, permanecen a niveles de voltaje alto. La pulsación de temporización 1306, en la señal de temporización BT2 en 1304, no es proporcionada al generador de dirección de selección de banco 1200 y cada señal permanece descargada durante la pulsación de temporización 1306.

A continuación, la pulsación de temporización 1310, en la señal de temporización BT3 en 1308, es proporcionada al registro de desplazamiento de banco superior 1204, en la primera señal de evaluación EVAL1, para encender cada uno de los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204. La señal de control CSYNC 1324 permanece a un nivel de voltaje bajo y todas las señales de salida del registro de

desplazamiento SO 1332 están a niveles de voltaje bajo, lo cual apaga cada uno de los transistores de entrada hacia delante y cada uno de los transistores de entrada reversa, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Los transistores de entrada hacia delante y reversa no conductores, evitan que las señales de nodo interno SN 1330, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, descarguen hasta un nivel de voltaje bajo. Todas las señales de nodo interno del registro de desplazamiento SN 1330 permanecen a niveles de voltaje alto.

La pulsación de temporización 1314, en la señal de temporización BT4 en 1312, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las segundas señales de precarga PRE2, al circuito de dirección 1210 en la tercera señal de precarga PRE3 y al circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. Durante la pulsación de temporización 1314, en las segundas señales de precarga PRE2, todas las señales de salida del registro de desplazamiento SO 1332 cargan hasta niveles de voltaje alto en 1338, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. También, durante la pulsación de temporización 1314, en la tercera señal de precarga PRE3, la señal de dirección hacia delante DIRF 1328 carga hasta un nivel de voltaje alto en 1340 y mantiene la señal de dirección reversa DIRR 1326 a un nivel de voltaje alto. La pulsación de temporización 1314 es proporcionada a cada uno de los transistores de precarga de la línea de dirección y los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La pulsación de temporización 1314 mantiene las señales de dirección ~A1, ~A2 ... ~A8 en 1336 a niveles de voltaje alto y enciende los transistores de prevención de evaluación, para tirar de las señales de evaluación lógica LEVAL 1334 hasta niveles de voltaje bajo en 1342.

La pulsación de temporización 1318, en la señal de temporización BT5 en 1316, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las segundas señales de precarga EVAL2, al circuito de dirección 1210 en la tercera señal de evaluación EVAL3 y al circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La pulsación de temporización 1318, en las segundas señales de evaluación EVAL2, enciende cada uno de los transistores de segunda evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Con las señales de nodo interno SN 1330 a niveles de voltaje alto, para encender cada uno de los transistores de nodo interno, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, todas las señales de salida del registro de desplazamiento SO 1332 descargan hasta niveles de voltaje bajo en 1344. También, la pulsación de temporización 1318, en la tercera señal de evaluación EVAL3, enciende el transistor de evaluación 1266. Una pulsación de control 1346, en la señal de control CSYNC 1324, enciende el transistor de control 1268. Con el transistor de evaluación 1266 y el transistor de control 1268 encendidos, la señal de dirección DIRR 1326 es descargada hasta un nivel de voltaje bajo en 1348. La pulsación de temporización 1318 es proporcionada en cada uno de los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La pulsación de temporización 1318 enciende cada uno de los transistores de prevención de evaluación, para sostener las señales de evaluación lógica LEVAL 1334 a niveles de voltaje bajo. Las señales de evaluación lógica de nivel de voltaje bajo LEVAL 1334 apagan los transistores de evaluación de dirección.

La pulsación de temporización 1322, en la señal de temporización BT6 en 1320, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las primeras señales de precarga PRE1, al circuito de dirección 1210 en la cuarta señal de evaluación EVAL4 y a los transistores de precarga de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La pulsación de temporización 1322 en las primeras señales de precarga PRE1, mantiene todas las señales de nodo interno SN 1330 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La pulsación de temporización 1322 en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272, en el circuito de dirección 1210. La señal de dirección reversa de nivel de voltaje bajo DIRR 1326, apaga el transistor de control 1274. Con el transistor de control 1274 apagado, la señal de dirección DIRF 1328 permanece cargada a un nivel de voltaje alto. Durante la pulsación de temporización 1322, cada una de las señales de evaluación lógica LEVAL 1334, carga hasta niveles de voltaje alto en 1350, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. Con todas las señales de salida del registro de desplazamiento SO 1332 a niveles de voltaje bajo, todos los transistores de dirección, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, son apagados y las señales de dirección ~A1, ~A2 ... ~A8 permanecen a niveles de voltaje alto. La señal de dirección hacia delante de nivel de voltaje alto 1328 y la señal de dirección reversa de nivel de voltaje bajo DIRR 1326, fijan el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, para el desplazamiento en la dirección hacia delante.

En la siguiente serie de seis pulsaciones de temporización, la señal de temporización BT1 en 1300 incluye la pulsación de temporización 1352, la señal de temporización BT2 en 1304 incluye la pulsación de temporización 1354, la señal de temporización BT3 en 1308 incluye la pulsación de temporización 1356, la señal de temporización BT4

en 1312 incluye la pulsación de temporización 1358, la señal de temporización BT5 en 1316 incluye la pulsación de temporización 1396 y la señal de temporización BT6 at 1320 incluye la pulsación de temporización 1362.

La pulsación de temporización 1352 enciende cada uno de los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. Una pulsación de control en 1364, en la señal de control CSYNC 1324, enciende cada uno de los transistores de entrada hacia delante, en la primera célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. También, los transistores de dirección hacia delante, son encendidos por la señal de dirección hacia delante DIRF 1328. Con los transistores de primera evaluación, en el registro de desplazamiento de banco inferior 1202, encendidos, los transistores de entrada hacia delante, en las primeras células del registro de desplazamiento, encendidos y los transistores de dirección hacia delante encendidos, la señal de nodo interno SN1, en la primera célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, descarga hasta un nivel de voltaje bajo, indicado en 1366.

Los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, no son encendidos por la pulsación de temporización 1352 y todas las señales de nodo interno SN 1330 permanecen a niveles de voltaje alto, en el registro de desplazamiento de banco superior 1204. También, las señales de salida del registro de desplazamiento SO 1332 están a niveles de voltaje bajo, lo cual apaga los transistores de entrada hacia delante en todas las otras células del registro de desplazamiento. Con los transistores de entrada hacia delante apagados, cada una de las otras señales de nodo interno SN2-SN13, en el registro de desplazamiento de banco inferior 1202, permanece a niveles de voltaje alto. La pulsación de temporización 1354, en la señal de temporización BT2 en 1304, no es proporcionada al generador de dirección de selección de banco 1200 y cada señal permanece descargada durante la pulsación de temporización 1354.

A continuación, la pulsación de temporización 1356 en la señal de temporización BT3 en 1308, es proporcionada al registro de desplazamiento de banco superior 1204, en la primera señal de evaluación EVAL1, para encender cada uno de los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204. La señal de control CSYNC 1324 permanece a un nivel de voltaje bajo y las señales de salida del registro de desplazamiento SO 1332 están a niveles de voltaje bajo, en el registro de desplazamiento de banco superior 1204, lo cual apaga cada uno de los transistores de entrada hacia delante y cada uno de los transistores de entrada reversa, en el registro de desplazamiento de banco superior 1204. Los transistores de entrada hacia delante y reversa no conductores, evitan que las señales de nodo interno SN 1330, en el registro de desplazamiento de banco superior 1204, descarguen hasta un nivel de voltaje bajo. Todas las señales de nodo interno del registro de desplazamiento SN 1330, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto.

Durante la pulsación de temporización 1358 en la señal de temporización BT4 en 1312, todas las señales de salida del registro de desplazamiento SO 1332 cargan hasta niveles de voltaje alto en 1368. También, durante la pulsación de temporización 1358, la señal de dirección reversa DIRR 1326 carga hasta un nivel de voltaje alto en 1370 y mantiene la señal de dirección hacia delante DIRF 1328 a un nivel de voltaje alto. Además, la pulsación de temporización 1358 mantiene todas las señales de dirección ~A1, ~A2 ... ~A8 1336 a niveles de voltaje alto y tira de las señales de evaluación lógica LEVAL 1334 hasta un nivel de voltaje bajo en 1372. Las señales de evaluación lógica de nivel de voltaje bajo LEVAL 1334 apagan los transistores de evaluación de dirección, para evitar que los transistores de dirección tiren de las señales de dirección ~A1, ~A2 ... ~A8 1336 hasta niveles de voltaje bajo.

La pulsación de temporización 1360, en la señal de temporización BT5 en 1316, enciende los transistores de segunda evaluación, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Con las señales de nodo interno SN2-SN13 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y con las señales de nodo interno SN1-SN13 a niveles de voltaje alto, en el registro de desplazamiento de banco superior 1204 y durante la pulsación de temporización 1360, las señales de salida del registro de desplazamiento SO2-SO13, en el registro de desplazamiento de banco inferior 1202 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, descargan hasta niveles de voltaje bajo en 1374. Con la señal de nodo interno SN1 a un nivel de voltaje bajo, en el registro de desplazamiento de banco inferior 1202, la señal de salida del registro de desplazamiento SO1 permanece a un nivel de voltaje alto, en el registro de desplazamiento de banco inferior 1202, indicado en 1376.

La pulsación de temporización 1360 también enciende el transistor de evaluación 1266 y la pulsación de control 1378, en la señal de control CSYNC 1324, enciende el transistor de control 1268, para descargar la señal de dirección reversa DIRR 1326 hasta un nivel de voltaje bajo en 1380. Además, la pulsación de temporización 1360 enciende los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para mantener las señales de evaluación lógica LEVAL 1334 a un nivel de voltaje bajo, que apague los transistores de evaluación. Las señales de salida del registro de desplazamiento SO 1332, se fijan durante la pulsación de temporización 1360, de forma que, una señal de salida del registro de desplazamiento SO1, en el registro de desplazamiento de banco inferior 1202, se fija a un nivel de voltaje alto y todas las otras señales de salida del registro de desplazamiento SO2-SO13, en el registro de desplazamiento de banco inferior 1202 y todas

las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, se fijan a niveles de voltaje bajo.

La pulsación de temporización 1362 en la señal de temporización BT6 en 1320, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las primeras señales de precarga PRE1, al circuito de dirección 1210, en la cuarta señal de evaluación EVAL4, y a los transistores de precarga de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. Durante la pulsación de temporización 1362 en las primeras señales de precarga PRE1, la señal de nodo interno SN1 en el registro de desplazamiento de banco inferior 1202, carga hasta un nivel de voltaje alto en 1382 y mantiene todas las otras señales de nodo interno SN 1330 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La pulsación de temporización 1362 en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272 en el circuito de dirección 1210. La señal de dirección reversa de nivel de voltaje bajo DIRR 1326 apaga el transistor de control 1274 y la señal de dirección DIRF 1328 permanece cargada a un nivel de voltaje alto. También, durante la pulsación de temporización 1362, cada una de las señales de evaluación lógica LEVAL 1334 carga hasta un nivel de voltaje alto en 1384, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La señal de salida del registro de desplazamiento de nivel de voltaje alto SO1, en el registro de desplazamiento de banco inferior 1202, es recibida como la señal de entrada AI1, en el circuito lógico de banco inferior 1206. La señal de entrada de nivel de voltaje alto AI1, enciende los transistores de dirección, en el circuito lógico de banco inferior 1206, para tirar activamente de las señales de dirección, en las señales de dirección ~A1, ~A2 ... ~A8, para proporcionar la dirección de banco inferior 1 en 1386. Las otras señales de salida del registro de desplazamiento SO2-SO13, en el registro de desplazamiento de banco inferior 1202 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, están a niveles de voltaje bajo, que apagan los transistores de dirección, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para no descargar las señales de dirección ~A1, ~A2 ... ~A8. Las señales de dirección ~A1, ~A2 ... ~A8 se fijan en valores válidos, durante la pulsación de temporización 1362.

En la siguiente serie de seis pulsaciones de temporización, la señal de temporización BT1 en 1300 incluye la pulsación de temporización 1388, la señal de temporización BT2 en 1304 incluye la pulsación de temporización 1390, la señal de temporización BT3 en 1308 incluye la pulsación de temporización 1392, la señal de temporización BT4 en 1312 incluye la pulsación de temporización 1394, la señal de temporización BT5 en 1316 incluye la pulsación de temporización 1396 y la señal de temporización BT6 en 1320 incluye la pulsación de temporización 1398.

La pulsación de temporización 1388 enciende cada uno de los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, para evaluar cada una de las señales de entrada hacia delante SIF (mostradas en la Figura 10A), en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. La señal de entrada hacia delante SIF de la primera célula del registro de desplazamiento, es la señal de control CSYNC 1324, la cual está a un nivel de voltaje bajo. La señal de entrada hacia delante SIF, en cada una de las otras células del registro de desplazamiento, es la señal de salida del registro de desplazamiento precedente SO 1332. La señal de salida del registro de desplazamiento SO1, en el registro de desplazamiento de banco inferior 1202, está a un nivel de voltaje alto y es la señal de entrada hacia delante SIF de la segunda célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202.

La señal de salida del registro de desplazamiento SO1 en el registro de desplazamiento de banco inferior 1202 enciende el transistor de entrada hacia delante, en la segunda célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. También, los transistores de dirección hacia delante son encendidos por la señal de dirección hacia delante DIRF 1328. Con los transistores de primera evaluación, en el registro de desplazamiento de banco inferior 1202, encendidos, el transistor de entrada hacia delante en la segunda célula del registro de desplazamiento encendidos y el transistor de dirección hacia delante encendido, la señal de nodo interno SN2 en la segunda célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, descarga hasta un nivel de voltaje bajo, indicado en 1400.

Los transistores de primera evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, no son encendidos por la pulsación de temporización 1388 y todas las señales de nodo interno SN 1330, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto. También, la señal de control CSYNC 1324 y las señales de salida del registro de desplazamiento SO2-SO13, en el registro de desplazamiento de banco inferior 1202, están a niveles de voltaje bajo, lo cual apaga los transistores de entrada hacia delante en las otras células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. Con los transistores de entrada hacia delante apagados, cada una de las otras señales de nodo interno SN1 y SN3-SN13, en el registro de desplazamiento de banco inferior 1202, permanecen a niveles de voltaje alto. La pulsación de temporización 1390, en la señal de temporización BT2 1304, no es proporcionada al generador de dirección de selección de banco 1200 y cada señal permanece descargada durante la pulsación de temporización 1390.



A continuación, la pulsación de temporización 1392, en la señal de temporización BT3 en 1308, es proporcionada al registro de desplazamiento de banco superior 1204, en la primera señal de evaluación EVAL1, para encender cada uno de los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204. La señal de control CSYNC 1324 permanece a un nivel de voltaje bajo y las señales de salida del registro de desplazamiento SO 1332, en el registro de desplazamiento de banco superior 1204, están a niveles de voltaje bajo, lo cual apaga cada uno de los transistores de entrada hacia y cada uno de los transistores de entrada reversa, en el registro de desplazamiento de banco superior 1204. Los transistores de entrada hacia delante y reversa no conductores, evitan que las señales de nodo interno SN 1330, en el registro de desplazamiento de banco superior 1204, descarguen hasta niveles de voltaje bajo. Todas las señales de nodo interno del registro de desplazamiento SN 1330, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto.

Durante la pulsación de temporización 1394, en la señal de temporización BT4 en 1312, las señales de salida del registro de desplazamiento SO 1332 son cargadas y/o mantenidas a niveles de voltaje alto en 1402. También, durante la señal de temporización 1394, la señal de dirección reversa DIRR 1326 carga hasta un nivel de voltaje alto en 1404 y la señal de dirección hacia delante DIRF 1328 es mantenida a un nivel de voltaje alto. Además, durante la pulsación de temporización 1394, las señales de dirección ~A1, ~A2 ... ~A8 1336 son cargadas y/o mantenidas a niveles de voltaje alto en 1406 y las señales de evaluación lógica LEVAL 1334 son arrastradas hasta un nivel de voltaje bajo en 1408. Las señales de evaluación lógica de nivel de voltaje bajo 1334 apagan los transistores de evaluación de dirección, para evitar que los transistores de dirección tiren de las señales de dirección ~A1, ~A2 ... ~A8 1336 hasta niveles de voltaje bajo. Las señales de dirección de la dirección de banco inferior 1, en las señales de dirección ~A1, ~A2 ... ~A8 1336, fueron validas durante las pulsaciones de temporización 1388, 1390 y 1392.

La pulsación de temporización 1396, en la señal de temporización BT5 en 1316, enciende los transistores de segunda evaluación, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Con las señales de nodo interno SN1 y SN3-SN13 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y con las señales de nodo interno SN1-SN13 a niveles de voltaje alto, en el registro de desplazamiento de banco superior 1204, la pulsación de temporización 1396 descarga las señales de salida del registro de desplazamiento SO1 y SO3-SO13, en el registro de desplazamiento de banco inferior 1202 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, hasta niveles de voltaje bajo en 1410. Con la señal de nodo interno SN2 a un nivel de voltaje bajo, en el registro de desplazamiento de banco inferior 1202, la señal de salida del registro de desplazamiento SO2 permanece a un nivel de voltaje alto, en el registro de desplazamiento de banco inferior 1202, indicado en 1412.

La pulsación de temporización 1396 también enciende el transistor de evaluación 1266 y la pulsación de control 1414, en la señal de control CSYNC 1324, enciende el transistor de control 1268, para descargar la señal de dirección reversa DIRR 1326 hasta un nivel de voltaje bajo en 1416. Además, la pulsación de temporización 1360 enciende los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para mantener las señales de evaluación lógica LEVAL 1334 a un nivel de voltaje bajo, que apaga los transistores de evaluación. Las señales de salida del registro de desplazamiento SO 1332 se fijan durante la pulsación de temporización 1396, de forma que señal de salida del registro de desplazamiento uno SO2, en el registro de desplazamiento de banco inferior 1202, se fija a un nivel de voltaje alto y todas las otras señales de salida del registro de desplazamiento SO1 y SO3-SO13, en el registro de desplazamiento de banco inferior 1202 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, se fijan a niveles de voltaje bajo.

La pulsación de temporización 1398, en la señal de temporización BT6 en 1320, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las primeras señales de precarga PRE1, al circuito de dirección 1210, en la cuarta señal de evaluación EVAL4 y a los transistores de precarga de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. Durante la pulsación de temporización 1398 en las primeras señales de precarga PRE1, la señal de nodo interno SN2, en el registro de desplazamiento de banco inferior 1202, carga hasta un nivel de voltaje alto en 1418 y todas las otras señales de nodo interno SN 1330 son mantenidas a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La pulsación de temporización 1398, en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272, en el circuito de dirección 1210. La señal de dirección reversa de nivel de voltaje bajo DIRR 1326 apaga el transistor de control 1274 y la señal de dirección DIRF 1328 permanece cargada a un nivel de voltaje alto. Durante la pulsación de temporización 1398, cada una de las señales de evaluación lógica LEVAL 1334 carga a niveles de voltaje alto en 1420, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La señal de salida del registro de desplazamiento de nivel alto SO2, en el registro de desplazamiento de banco inferior 1202, es recibida como señal de entrada AI2, en el circuito lógico de banco inferior 1206. La señal de entrada de nivel de voltaje alto AI2 enciende los transistores de dirección, en el circuito lógico de banco inferior 1206, para tirar activamente de las señales de dirección bajas, en las señales de dirección ~A1, ~A2 ... ~A8, para proporcionar la dirección de banco inferior 2 en 1422. Las otras señales de salida del registro de desplazamiento SO1 y SO3-SO13, en el registro de desplazamiento de banco inferior 1202 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, están a niveles de voltaje bajo, que apagan los transistores

de dirección, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para no descargar las señales de dirección ~A1, ~A2 ... ~A8. Las señales de dirección ~A1, ~A2 ... ~A8 se fijan como valores validos durante la pulsación de temporización 1398.

La siguiente serie de seis pulsaciones de temporización, en las señales de temporización BT1-BT6, desplaza la señal de salida del registro de desplazamiento de nivel de voltaje alto SO2, a la siguiente célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, para proporcionar una señal de salida del registro de desplazamiento de nivel de voltaje alto SO3, en el registro de desplazamiento de banco inferior 1202 y la dirección de banco inferior 3, en las señales de dirección ~A1, ~A2 ... ~A8 en 1336. El desplazamiento continúa con cada serie de seis pulsaciones de temporización, hasta que cada señal de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, haya sido alta una vez. La serie para después de que la señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco inferior 1202, haya sido alta y la dirección de banco inferior 13 haya sido proporcionada, en las señales de dirección ~A1, ~A2 ... ~A8 en 1336. Para empezar la siguiente serie, el registro de desplazamiento de banco inferior 1202 o el registro de desplazamiento de banco superior 1204 pueden ser iniciados, para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, respectivamente, bien en la dirección hacia delante o reversa. En este ejemplo de funcionamiento, como la dirección de banco inferior 13 es proporcionada en 1424, en las señales de dirección ~A1, ~A2 ... ~A8 en 1336, el registro de desplazamiento de banco superior 1204 es iniciado para proporcionar las direcciones de banco superior 14-26 en la dirección hacia delante.

En la serie de seis pulsaciones de temporización, la señal de temporización BT1 en 1300 incluye la pulsación de temporización 1426, la señal de temporización BT2 en 1304 incluye la pulsación de temporización 1428, la señal de temporización BT3 en 1308 incluye la pulsación de temporización 1430, la señal de temporización BT4 en 1312 incluye la pulsación de temporización 1432, la señal de temporización BT5 en 1316 incluye la pulsación de temporización 1434 y la señal de temporización BT6 en 1320 incluye la pulsación de temporización 1436.

La pulsación de temporización 1426 enciende cada uno de los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y la señal de dirección hacia delante DIRF 1328 enciende cada uno de los transistores de dirección hacia delante, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La señal de control CSYNC 1324 está a un nivel de voltaje bajo, para apagar cada uno de los transistores de entrada hacia delante, en las primeras células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. También, las señales de salida del registro de desplazamiento SO1-SO12, en el registro de desplazamiento de banco inferior 1202, están a niveles de voltaje bajo, lo cual apaga los transistores de entrada hacia delante en todas las otras células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. Con los transistores de entrada hacia delante apagados, cada una de las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco inferior 1202, permanecen a un nivel de voltaje alto. Además, los transistores de primera evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, no son encendidos por la pulsación de temporización 1352 y todas las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto. La pulsación de temporización 1428 en la señal de temporización BT2 en 1304, no es proporcionada al generador de dirección de selección de banco 1200 y cada una de las señales permanece descargada durante la pulsación de temporización 1428.

A continuación, la pulsación de temporización 1430, en la señal de temporización BT3 en 1308, es proporcionada al registro de desplazamiento de banco superior 1204, en la primera señal de evaluación EVAL1, para encender cada uno de los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204. Una pulsación de control en 1438, en la señal de control CSYNC 1324, enciende cada uno de los transistores de entrada hacia delante, en las primeras células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. También, los transistores de dirección hacia delante son encendidos por la señal de dirección hacia delante DIRF 1328. Con los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204, encendidos, los transistores de entrada hacia delante, en las primeras células del registro de desplazamiento, encendidos y los transistores de dirección hacia delante encendidos, la señal de nodo interno SN1, en las primeras células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, descargan hasta un nivel de voltaje bajo, indicado en 1440.

Los transistores de primera evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, no son encendidos por la pulsación de temporización 1430 y todas las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco inferior 1202, permanecen a niveles de voltaje alto. También, las señales de salida del registro de desplazamiento SO1-SO12, en el registro de desplazamiento de banco superior 1204, están a niveles de voltaje bajo, lo cual apaga los transistores de entrada hacia delante, en todas las otras células del registro de desplazamiento. Con los transistores de entrada hacia delante apagados, cada una de las otras señales de nodo interno SN2-SN13, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto.

Durante la pulsación de temporización 1432, en la señal de temporización BT4 en 1312, todas las señales de salida del registro de desplazamiento SO 1332 cargan hasta niveles de voltaje alto en 1442. También, durante la pulsación de temporización 1432, la señal de dirección reversa DIRR 1326 carga hasta un nivel de voltaje alto en 1444 y mantiene la señal de dirección hacia delante DIRF 1328 a un nivel de voltaje alto. Además, durante la pulsación de temporización 1432, las señales de dirección ~A1, ~A2 ... ~A8 1336 cargan y/o son mantenidas a niveles de voltaje alto en 1446 y las señales de evaluación lógica LEVAL 1334 son arrastradas hasta niveles de voltaje bajo en 1448. Las señales de evaluación lógica de nivel de voltaje bajo LEVAL 1334 apagan los transistores de evaluación de dirección, para evitar que los transistores de dirección tiren de las señales de dirección ~A1, ~A2 ... ~A8 1336 hasta niveles de voltaje bajo.

La pulsación de temporización 1434, en la señal de temporización BT5 en 1316, enciende los transistores de segunda evaluación, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Con las señales de nodo interno SN2-SN13 a niveles de voltaje alto, en el registro de desplazamiento de banco superior 1204 y con las señales de nodo interno SN1-SN13 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202, durante la pulsación de temporización 1434, las señales de salida del registro de desplazamiento SO2-SO13, en el registro de desplazamiento de banco superior 1204 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, descargan hasta niveles de voltaje bajo en 1450. Con la señal de nodo interno SN1 a un nivel de voltaje bajo, en el registro de desplazamiento de banco superior 1204, la señal de salida del registro de desplazamiento SO1, en el registro de desplazamiento de banco superior 1204, permanece a un nivel de voltaje alto, indicado en 1452.

La pulsación de temporización 1434 también enciende el transistor de evaluación 1266 y la pulsación de control 1454, en la señal de control CSYNC 1324, enciende el transistor de control 1268, para descargar la señal de dirección reversa DIRR 1326, hasta un nivel de voltaje bajo en 1456. Además, la pulsación de temporización 1434 enciende los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para mantener las señales de evaluación lógica LEVAL 1334 a niveles de voltaje bajo, que apagan los transistores de evaluación. Las señales de salida del registro de desplazamiento SO 1332 se fijan durante la pulsación de temporización 1434, de forma que la señal de salida del registro de desplazamiento uno SO1, en el registro de desplazamiento de banco superior 1204, se fija a un nivel de voltaje alto y todas las otras señales de salida del registro de desplazamiento SO2-SO13, en el registro de desplazamiento de banco superior 1204 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, se fijan a niveles de voltaje bajo.

La pulsación de temporización 1436, en la señal de temporización BT6 en 1320, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las primeras señales de precarga PRE1, al circuito de dirección 1210, en la cuarta señal de evaluación EVAL4 y a los transistores de precarga de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. Durante la pulsación de temporización 1436, en las primeras señales de precarga PRE1, la señal de nodo interno SN1, en el registro de desplazamiento de banco superior 1204, carga hasta un nivel de voltaje alto en 1458 y todas las otras señales de nodo interno SN 1330 son mantenidas a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La pulsación de temporización 1436, en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272, en el circuito de dirección 1210. La señal de dirección reversa de nivel de voltaje bajo DIRR 1326 apaga el transistor de control 1274 y la señal de dirección DIRF 1328 permanece cargada a un nivel de voltaje alto. También, durante la pulsación de temporización 1436, cada una de las señales de evaluación lógica LEVAL 1334 carga a niveles de voltaje alto en 1460, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La señal de salida del registro de desplazamiento de nivel alto SO1, en el registro de desplazamiento de banco superior 1204, es recibida como la señal de entrada AI14, en el circuito lógico de banco superior 1208. La señal de entrada de nivel de voltaje alto AI14 enciende los transistores de dirección, en el circuito lógico de banco superior 1208, para tirar activamente de las señales de dirección bajas, en las señales de dirección ~A1, ~A2 ... ~A8, para proporcionar la dirección de banco superior 14 en 1462. Las otras señales de salida del registro de desplazamiento SO2-SO13, en el registro de desplazamiento de banco superior 1204 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, están a niveles de voltaje bajo, que apagan los transistores de dirección, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para no descargar las señales de dirección ~A1, ~A2 ... ~A8. Las señales de dirección ~A1, ~A2 ... ~A8 están en valores válidos durante la pulsación de temporización 1436.

La pulsación de temporización 1464 enciende cada uno de los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, para evaluar cada una de las señales de entrada hacia delante SIF (mostradas en la Figura 10A), en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. La señal de entrada hacia delante SIF de la primera célula del registro de desplazamiento, es la señal de control CSYNC 1324, la cual está a un nivel de voltaje bajo. La señal de entrada hacia delante SIF, en cada una de las otras células del registro de desplazamiento, es una de las señales de salida del registro de desplazamiento precedentes SO1-SO12, las cuales están a niveles de voltaje bajo. Con la señal de control CSYNC 1324 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de

desplazamiento de banco inferior 1202, a niveles de voltaje bajo, los transistores de entrada hacia delante, en el registro de desplazamiento de banco inferior 1202, son apagados y cada una de las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco inferior 1202, permanece a niveles de voltaje alto. Los transistores de primera evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, no son encendidos por la pulsación de temporización 1464 y las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto. La pulsación de temporización 1466, en la señal de temporización BT2 en 1304, no es proporcionada al generador de dirección de selección de banco 1200 y cada señal permanece descargada durante la pulsación de temporización 1466.

A continuación, la pulsación de temporización 1468 en la señal de temporización BT3 en 1308, es proporcionada al registro de desplazamiento de banco superior 1204, en la primera señal de evaluación EVAL1, para encender cada uno de los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204, para evaluar cada una de las señales de entrada hacia delante SIF (mostradas en la Figura 10A), en las células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204. La señal de entrada hacia delante SIF de la primera célula del registro de desplazamiento, es la señal de control CSYNC 1324, la cual está a un nivel de voltaje bajo. La señal de entrada hacia delante SIF en cada una de las otras células del registro de desplazamiento, es la señal de salida del registro de desplazamiento precedente SO1- SO12. La señal de salida del registro de desplazamiento SO1, en el registro de desplazamiento de banco superior 1204, está a un nivel de voltaje alto y es la señal de entrada hacia delante SIF de la segunda célula del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204.

La señal de salida del registro de desplazamiento SO1, en el registro de desplazamiento de banco superior 1204, enciende el transistor de entrada hacia delante, en la segunda célula del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204. También, los transistores de dirección hacia delante son encendidos por la señal de dirección hacia delante DIRF 1328. Con los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204, encendidos, el transistor de entrada hacia delante en la segunda célula del registro de desplazamiento, encendido y el transistor de dirección hacia delante encendido, la señal de nodo interno SN2, en la segunda célula del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, descarga hasta un nivel de voltaje bajo, indicado en 1476.

Los transistores de primera evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, no son encendidos por la pulsación de temporización 1468 y todas las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco inferior 1202, permanecen a niveles de voltaje alto en 1478. También, la señal de control CSYNC 1324 y las señales de salida del registro de desplazamiento SO2-SO13, en el registro de desplazamiento de banco superior 1204, están a niveles de voltaje bajo, lo cual apaga los transistores de entrada hacia delante, en las otras células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204. Con los transistores de entrada hacia delante apagados, cada una de las otras señales de nodo interno SN1 y SN3-SN13, en el registro de desplazamiento de banco superior 1204, permanece a niveles de voltaje alto en 1478.

Durante la pulsación de temporización 1470 en la señal de temporización BT4 en 1312, las señales de salida del registro de desplazamiento SO 1332 son cargadas y/o mantenidas a niveles de voltaje alto en 1480. También, durante la pulsación de temporización 1470, la señal de dirección reversa DIRR 1326 carga a un nivel de voltaje alto en 1482 y la señal de dirección hacia delante DIRF 1328 es mantenida a un nivel de voltaje alto. Además, durante la pulsación de temporización 1470, las señales de dirección ~A1, ~A2 ... ~A8 1336 son cargadas y/o mantenidas a niveles de voltaje alto en 1484 y las señales de evaluación lógica LEVAL 1334 son arrastradas hasta un nivel de voltaje bajo en 1486. Las señales de evaluación lógica de nivel de voltaje bajo LEVAL 1334 apagan los transistores de evaluación de dirección, para evitar que los transistores de dirección tiren de las señales de dirección ~A1, ~A2 ... ~A8 1336 hasta niveles de voltaje bajo. Las señales de dirección de la dirección de banco superior 14, en las señales de dirección ~A1, ~A2 ... ~A8 1336, fueron validas durante las pulsaciones de temporización 1464, 1466 y 1468.

La pulsación de temporización 1472, en la señal de temporización BT5 en 1316, enciende los transistores de segunda evaluación, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Con las señales de nodo interno SN1 y SN3-SN13 a niveles de voltaje alto, en el registro de desplazamiento de banco superior 1204 y con las señales de nodo interno SN1-SN13 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202, durante la pulsación de temporización 1472, las señales de salida del registro de desplazamiento SO1 y SO3-SO13, en el registro de desplazamiento de banco superior 1204 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, descargan hasta niveles de voltaje bajo en 1488. Con la señal de nodo interno SN2 a un nivel de voltaje bajo, en el registro de desplazamiento de banco superior 1204, la señal de salida del registro de desplazamiento SO2 permanece a un nivel de voltaje alto, en el registro de desplazamiento de banco superior 1204, indicado en 1490.

La pulsación de temporización 1472 también enciende el transistor de evaluación 1266 y la pulsación de control 1492, en la señal de control CSYNC 1324, enciende el transistor de control 1268, para descargar la señal de

dirección reversa DIRR 1326 hasta un nivel de voltaje bajo en 1494. Además, la pulsación de temporización 1472 enciende los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para mantener las señales de evaluación lógica LEVAL 1334 a un nivel de voltaje bajo, que apaga los transistores de evaluación. Las señales de salida del registro de desplazamiento SO 1332, durante la pulsación de temporización 1472, son tales que una señal de salida del registro de desplazamiento SO2, en el registro de desplazamiento de banco superior 1204, está a un nivel de voltaje alto y todas las otras señales de salida del registro de desplazamiento SO1 y SO3-SO13, en el registro de desplazamiento de banco superior 1204 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, están a niveles de voltaje bajo.

La pulsación de temporización 1474 en la señal de temporización BT6 en 1320, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las primeras señales de precarga PRE1, al circuito de dirección 1210, en la cuarta señal de evaluación EVAL4 y a los transistores de precarga de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. Durante la pulsación de temporización 1474, en las primeras señales de precarga PRE1, la señal de nodo interno SN2, en el registro de desplazamiento de banco superior 1204, carga hasta un nivel de voltaje alto en 1496 y todas las otras señales de nodo interno SN 1330 son mantenidas a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La pulsación de temporización 1474, en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272, en el circuito de dirección 1210. La señal de dirección reversa de nivel de voltaje bajo DIRR 1326 apaga el transistor de control 1274 y la señal de dirección DIRF 1328 permanece cargada a un nivel de voltaje alto. Durante la pulsación de temporización 1474, cada una de las señales de evaluación lógica LEVAL 1334 carga hasta un nivel de voltaje alto en 1497, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La señal de salida del registro de desplazamiento de nivel alto SO2, en el registro de desplazamiento de banco superior 1204, es recibida como la señal de entrada AI15 en el circuito lógico de banco superior 1208. La señal de entrada de nivel de voltaje alto AI15 enciende los transistores de dirección, en el circuito lógico de banco superior 1208, para tirar activamente de las señales de dirección hasta un nivel de voltaje bajo, en las señales de dirección ~A1, ~A2 ... ~A8 y proporcionar la dirección de banco superior 15 en 1498. Las otras señales de salida del registro de desplazamiento SO1 y SO3-SO1, en el registro de desplazamiento de banco superior 1204 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, están a niveles de voltaje bajo, que apagan los transistores de dirección, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para no descargar las señales de dirección ~A1, ~A2 ... ~A8 en 1336. Las señales de dirección ~A1, ~A2 ... ~A8 en 1336 se fijan como valores validos durante la pulsación de temporización 1474.

La siguiente serie de seis pulsaciones de temporización, en las señales de temporización BT1-BT6, deslaza la señal de salida del registro de desplazamiento de nivel de voltaje alto SO2 a la siguiente célula del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, para proporcionar una señal de salida del registro de desplazamiento de nivel de voltaje alto SO3, en el registro de desplazamiento de banco superior 1204 y la dirección de banco superior 16, en las señales de dirección ~A1, ~A2 ... ~A8 en 1336. El desplazamiento continúa con cada serie de seis pulsaciones de temporización, hasta que cada una de las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, haya sido alta una vez. La serie para después de que la señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco superior 1204, haya sido alta y la dirección de banco superior 26 haya sido proporcionada, en las señales de dirección ~A1, ~A2 ... ~A8 en 1336. El desplazamiento continúa con cada serie de seis pulsaciones de temporización, hasta que cada señal de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, haya sido alta una vez. La serie para después de que la señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco superior 1204, haya sido alta y la dirección de banco superior 26 haya sido proporcionada, en las señales de dirección ~A1, ~A2 ... ~A8 en 1336. Para empezar la siguiente serie de direcciones, el registro de desplazamiento de banco inferior 1202 o el registro de desplazamiento de banco superior 1204 pueden ser iniciados, para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, respectivamente, bien en la dirección hacia delante o reversa.

En funcionamiento en dirección hacia delante del registro de desplazamiento de banco inferior 1202 y proporcionando las direcciones de banco inferior 1-13, es proporcionada una pulsación de control, en la señal de control CSYNC 1324, sustancialmente coincidente con una pulsación de temporización, en la señal de temporización BT5 en 1316, para fijar la dirección de desplazamiento en la dirección hacia delante. También, es proporcionada una pulsación de control, en la señal de control 1324, sustancialmente coincidente con una pulsación de temporización, en la señal de temporización BT1 en 1300, para empezar o iniciar el registro de desplazamiento de banco inferior 1202, desplazando una señal de voltaje alto a través de las señales de salida del registro de desplazamiento SO1-SO13.

En funcionamiento en dirección hacia delante del registro de desplazamiento de banco superior 1204 y proporcionando las direcciones de banco superior 14-26, es proporcionada una pulsación de control, en la señal de control CSYNC 1324, sustancialmente coincidente con una pulsación de temporización, en la señal de temporización BT5 en 1316, para fijar la dirección de desplazamiento en la dirección hacia delante. También, es proporcionada una

pulsación de control, en la señal de control CSYNC 1324, sustancialmente coincidente con una pulsación de temporización, en la señal de temporización BT3 en 1308, para empezar o iniciar el registro de desplazamiento de banco superior 1204, desplazando una señal de voltaje alto a través de las señales de salida del registro de desplazamiento SO1-SO13.

La Figura 18, es un diagrama de temporización que ilustra el funcionamiento del generador de dirección de selección de banco 1200, en la dirección reversa. Las señales de temporización BT1-BT6 proporcionan una serie de seis pulsaciones, que se repite en una serie repetida de seis pulsaciones. Cada una de las señales de temporización BT1-BT6, proporciona una pulsación en la serie de seis pulsaciones.

En una serie de seis pulsaciones, la señal de temporización BT1 en 1500 incluye la pulsación de temporización 1502, la señal de temporización BT2 en 1504 incluye la pulsación de temporización 1506, la señal de temporización BT3 en 1508 incluye la pulsación de temporización 1510, la señal de temporización BT4 en 1512 incluye la pulsación de temporización 1514, la señal de temporización BT5 en 1516 incluye la pulsación de temporización 1518 y la señal de temporización BT6 en 1520 incluye la pulsación de temporización 1522. La señal de control CSYNC en 1524, incluye las pulsaciones de control que fijan la dirección de desplazamiento en el generador de dirección de selección de banco 1200 e inician el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, para generar las direcciones 1-26.

Para empezar, ni el registro de desplazamiento de banco inferior 1202 ni el registro de desplazamiento de banco superior 1204, está desplazando y el circuito de dirección 1210 no ha sido fijado por una pulsación de control en la señal de control CSYNC 1524. La señal de dirección reversa DIRR en 1526 ha sido cargada a un nivel de voltaje alto, que enciende el transistor de control 1274, el cual ha descargado previamente la señal de dirección hacia delante DIRF en 1528 hasta un nivel de voltaje bajo. Las señales de nodo interno SN en 1530, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, permanecen cargadas a niveles de voltaje alto, lo cual descarga todas las señales de salida del registro de desplazamiento SO en 1532, hasta niveles de voltaje bajo. Las señales de evaluación lógica LEVAL 1534, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, permanecen cargadas a niveles de voltaje alto, desde la pulsación previa en la señal de temporización BT6 en 1520. También, con las señales de salida del registro de desplazamiento SO 1532 a niveles de voltaje bajo, las señales de dirección ~A1, ~A2 ... ~A8 en 1536, permanecen cargadas a niveles de voltaje alto, a menos que sea iniciado otra vez el circuito lógico o las líneas de dirección sean descargadas por el circuito lógico del otro banco.

La pulsación de temporización 1502, en la señal de temporización BT1 en 1500, es proporcionada al registro de desplazamiento de banco inferior 1202, en la primera señal de evaluación EVAL1. La pulsación de temporización 1502 enciende cada uno de los transistores de primera evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. La señal de control CSYNC 1524 permanece a un nivel de voltaje bajo y todas las señales de salida del registro de desplazamiento SO 1532 están a niveles de voltaje bajo, lo cual apaga cada uno de los transistores de entrada hacia delante y cada uno de los transistores de entrada reversa, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Los transistores de entrada hacia delante y reversa no conductores, evitan que las señales de nodo interno SN 1530, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, descarguen hasta niveles de voltaje bajo. Todas las señales de nodo interno del registro de desplazamiento SN 1530 permanecen a niveles de voltaje alto. La pulsación de temporización 1506 en la señal de temporización BT2 en 1504, no es proporcionada al generador de dirección de selección de banco 1200 y cada señal permanece descargada durante la pulsación de temporización 1506.

A continuación, la pulsación de temporización 1510 en la señal de temporización BT3 en 1508, es proporcionada al registro de desplazamiento de banco superior 1204, en la primera señal de evaluación EVAL1, para encender cada uno de los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204. La señal de control CSYNC 1524 permanece a un nivel de voltaje bajo y todas las señales de salida del registro de desplazamiento SO 1532 están a niveles de voltaje bajo, lo cual apaga cada uno de los transistores de entrada hacia delante y cada uno de los transistores de entrada reversa, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Los transistores de entrada hacia delante y reversa no conductores, evitan que las señales de nodo interno SN 1530, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, descarguen hasta un nivel de voltaje bajo. Todas las señales de nodo interno del registro de desplazamiento SN 1530 permanecen a niveles de voltaje alto.

La pulsación de temporización 1514, en la señal de temporización BT4 en 1512, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las segundas señales de precarga PRE2, al circuito de dirección 1210, en la tercera señal de precarga PRE3 y al circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. Durante la pulsación de temporización 1514, en las segundas señales de precarga PRE2, todas las señales de salida del registro de desplazamiento SO 1532 cargan

hasta niveles de voltaje alto en 1538, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. También, durante la pulsación de temporización 1514, en la tercera señal de precarga PRE3, la señal de dirección hacia delante DIRF 1528 es cargada a un nivel de voltaje alto en 1540 y la señal de dirección reversa DIRR 1526 es mantenida a un nivel de voltaje alto. La pulsación de temporización 1514 es proporcionada a cada uno de los transistores de precarga de línea de dirección y los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La pulsación de temporización 1514 mantiene las señales de dirección ~A1, ~A2 ... ~A8 en 1536 a niveles de voltaje alto y enciende los transistores de prevención de evaluación, para tirar de las señales de evaluación lógica LEVAL 1534 hasta niveles de voltaje bajo en 1542.

La pulsación de temporización 1518, en la señal de temporización BT5 en 1516, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las segundas señales de evaluación EVAL2, al circuito de dirección 1210 en la tercera señal de evaluación EVAL3 y al circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La pulsación de temporización 1518, en las segundas señales de evaluación EVAL2, enciende cada uno de los transistores de segunda evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Con las señales de nodo interno SN 1530 a niveles de voltaje alto, para encender cada uno de los transistores de nodo interno, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, todas las señales de salida del registro de desplazamiento SO 1532 descargan hasta niveles de voltaje bajo en 1544. También, la pulsación de temporización 1518, en la tercera señal de evaluación EVAL3, enciende el transistor de evaluación 1266. La señal de control CSYNC 1524 está a un nivel de voltaje bajo, para apagar el transistor de control 1268 y la señal de dirección DIRR 1526 permanece cargada a un nivel de voltaje alto. La pulsación de temporización 1518 es proporcionada a cada uno de los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La pulsación de temporización 1518 enciende cada uno de los transistores de prevención de evaluación, para sostener las señales de evaluación lógica LEVAL 1534 a niveles de voltaje bajo. Las señales de evaluación lógica de nivel de voltaje bajo LEVAL 1534 apagan los transistores de evaluación de dirección.

La pulsación de temporización 1522, en la señal de temporización BT6 en 1520, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las primeras señales de precarga PRE1, al circuito de dirección 1210, en la cuarta señal de evaluación EVAL4 y a los transistores de precarga de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La pulsación de temporización 1522 en las primeras señales de precarga PRE1, mantiene todas las señales de nodo interno SN 1530 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La pulsación de temporización 1522, en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272, en el circuito de dirección 1210. La señal de dirección reversa de nivel de voltaje alto DIRR 1526 enciende el transistor de control 1274, para descargar la señal de dirección DIRF 1528 hasta un nivel de voltaje bajo en 1548. Durante la pulsación de temporización 1522, cada una de las señales de evaluación lógica LEVAL 1534 carga hasta niveles de voltaje alto en 1550, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. Con todas las señales de salida del registro de desplazamiento SO 1532 a niveles de voltaje bajo, todos los transistores de dirección, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, son apagados y las señales de dirección ~A1, ~A2 ... ~A8 permanecen a niveles de voltaje alto. La señal de dirección hacia delante de nivel de voltaje bajo DIRF 1528 y la señal de dirección reversa de nivel de voltaje alto DIRR 1526 fijan el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, para el desplazamiento en la dirección reversa.

En la siguiente serie de seis pulsaciones de temporización, la señal de temporización BT1 en 1500 incluye la pulsación de temporización 1552, la señal de temporización BT2 en 1504 incluye la pulsación de temporización 1554, la señal de temporización BT3 en 1508 incluye la pulsación de temporización 1556, la señal de temporización BT4 en 1512 incluye la pulsación de temporización 1558, la señal de temporización BT5 en 1516 incluye la pulsación de temporización 1596 y la señal de temporización BT6 en 1520 incluye la pulsación de temporización 1562.

La pulsación de temporización 1552 enciende cada uno de los transistores de primera evaluación, en las células del registro de desplazamiento, registro de desplazamiento de banco inferior 1202. Una pulsación de control en 1564, en la señal de control CSYNC 1524, enciende cada uno de los transistores de entrada reversa en la última o décimo tercera célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. También, los transistores de dirección reversa son encendidos por la señal de dirección reversa DIRR 1526. Con los transistores de primera evaluación, en el registro de desplazamiento de banco inferior 1202, encendidos, los transistores de entrada reversa, en la última de las células del registro de desplazamiento, encendidos y los transistores de dirección reversa encendidos, la señal de nodo interno SN13, en la décimo tercera célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, descarga hasta un nivel de voltaje bajo, indicado en 1566.

Los transistores de primera evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, no son encendidos por la pulsación de temporización 1552 y todas las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto. También, las señales de salida del registro de desplazamiento SO 1532 están a niveles de voltaje bajo, lo cual apaga los transistores de entrada reversa, en todas las otras células del registro de desplazamiento, por ejemplo las células del registro de desplazamiento 403a-403l, en el registro de desplazamiento de banco inferior 1202. Con los transistores de entrada reversa apagados, cada una de las señales de nodo interno SN1-SN12, en el registro de desplazamiento de banco inferior 1202, permanece a niveles de voltaje alto. La pulsación de temporización 1554, en la señal de temporización BT2 en 1504, no es proporcionada al generador de dirección de selección de banco 1200 y cada señal permanece descargada durante la pulsación de temporización 1554.

A continuación, la pulsación de temporización 1556 en la señal de temporización BT3 en 1508, es proporcionada al registro de desplazamiento de banco superior 1204, en la primera señal de evaluación EVAL1, para encender cada uno de los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204. La señal de control CSYNC 1524 permanece a un nivel de voltaje bajo y las señales de salida del registro de desplazamiento SO 1532 están a niveles de voltaje bajo, en el registro de desplazamiento de banco superior 1204, lo cual apaga cada uno de los transistores de entrada hacia delante y cada uno de los transistores de entrada reversa, en el registro de desplazamiento de banco superior 1204. Los transistores de entrada hacia delante y reversa no conductores, evitan que las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco superior 1204, descarguen hasta un nivel de voltaje bajo. Todas las señales de nodo interno del registro de desplazamiento SN1-SN13, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto.

Durante la pulsación de temporización 1558, en la señal de temporización BT4 y 1512, todas las señales de salida del registro de desplazamiento SO 1532 están cargadas a niveles de voltaje alto en 1568. También, durante la pulsación de temporización 1558, la señal de dirección reversa DIRR 1526 es mantenida a un nivel de voltaje alto y la señal de dirección hacia delante DIRF 1528 carga hasta un nivel de voltaje alto en 1570. Además, durante la pulsación de temporización 1558, todas las señales de dirección ~A1, ~A2 ... ~A8 1536 son mantenidas a niveles de voltaje alto y las señales de evaluación lógica LEVAL 1534 son arrastradas hasta un nivel de voltaje bajo en 1572. Las señales de evaluación lógica de nivel de voltaje bajo LEVAL 1534, apagan los transistores de evaluación de dirección, para evitar que los transistores de dirección tiren de las señales de dirección ~A1, ~A2 ... ~A8 1536, hasta niveles de voltaje bajo.

La pulsación de temporización 1560, en la señal de temporización BT5 en 1516, enciende los transistores de segunda evaluación, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Con las señales de nodo interno SN1-SN12, en el registro de desplazamiento de banco inferior 1202, a niveles de voltaje alto y con las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco superior 1204, a niveles de voltaje alto, durante la pulsación de temporización 1560, las señales de salida del registro de desplazamiento SO1-SO12, en el registro de desplazamiento de banco inferior 1202 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, descargan hasta niveles de voltaje bajo en 1574. Con la señal de nodo interno SN13 a un nivel de voltaje bajo, en el registro de desplazamiento de banco inferior 1202, la señal de salida del registro de desplazamiento SO13 permanece a un nivel de voltaje alto, en el registro de desplazamiento de banco inferior 1202, indicado en 1576.

La pulsación de temporización 1560 también enciende el transistor de evaluación 1266, en el circuito de dirección 1210. La señal de control CSYNC 1524 está a un nivel de voltaje bajo, para apagar el transistor de control 1268 y la señal de dirección reversa DIRR 1526 permanece cargada a un nivel de voltaje alto. Además, la pulsación de temporización 1560 enciende los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para mantener las señales de evaluación lógica LEVAL 1534 a niveles de voltaje bajo, para apagar los transistores de evaluación. Las señales de salida del registro de desplazamiento SO 1532 se fijan, durante la pulsación de temporización 1560, de forma que la señal de salida del registro de desplazamiento uno SO13, en el registro de desplazamiento de banco inferior 1202, se fija a un nivel de voltaje alto y todas las otras señales de salida del registro de desplazamiento SO1-SO12, en el registro de desplazamiento de banco inferior 1202 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, se fijan a niveles de voltaje bajo.

La pulsación de temporización 1562 en la señal de temporización BT6 en 1520 es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las primeras señales de precarga PRE1, al circuito de dirección 1210, en la cuarta señal de evaluación EVAL4 y a los transistores de precarga de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. Durante la pulsación de temporización 1562, en las primeras señales de precarga PRE1, la señal de nodo interno SN13, en el registro de desplazamiento de banco inferior 1202, carga hasta un nivel de voltaje alto en 1582 y mantiene todas las otras señales de nodo interno SN 1530 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La pulsación de temporización 1562, en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272 en el circuito de dirección 1210. La señal de dirección reversa de nivel de voltaje alto DIRR 1526 enciende el transistor de control 1274 y, en este



momento, la señal de dirección DIRF 1528 descarga hasta un nivel de voltaje bajo en 1580. También, durante la pulsación de temporización 1562, cada una de las señales de evaluación lógica LEVAL carga hasta un nivel de voltaje alto en 1584, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La señal de salida del registro de desplazamiento de nivel de voltaje alto SO13, en el registro de desplazamiento de banco inferior 1202, es recibida como la señal de entrada AI13, en el circuito lógico de banco inferior 1206. La señal de entrada de nivel de voltaje alto AI13 enciende los transistores de dirección, en el circuito lógico de banco inferior 1206, para tirar activamente de las señales de dirección bajas, en las señales de dirección ~A1, ~A2 ... ~A8 en 1536, para proporcionar la dirección de banco inferior 13 en 1586. Las otras señales de salida del registro de desplazamiento SO1-SO12, en el registro de desplazamiento de banco inferior 1202, y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, están a niveles de voltaje bajo, que apagan los transistores de dirección, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para no descargar las señales de dirección ~A1, ~A2 ... ~A8 en 1536. Las señales de dirección ~A1, ~A2 ... ~A8 en 1536 se fijan como valores efectivos durante la pulsación de temporización 1562.

En la siguiente serie de seis pulsaciones de temporización, la señal de temporización BT1 en 1500 incluye la pulsación de temporización 1588, a señal de temporización BT2 en 1504 incluye la pulsación de temporización 1590, a señal de temporización BT3 en 1508 incluye la pulsación de temporización 1592, a señal de temporización BT4 en 1512 incluye la pulsación de temporización 1594, a señal de temporización BT5 en 1516 incluye la pulsación de temporización 1596 y a señal de temporización BT6 en 1520 incluye la pulsación de temporización 1598.

La pulsación de temporización 1588 enciende cada uno de los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, para evaluar cada una de las señales de entrada reversa SIR (mostradas en la Figura 10A), en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. La señal de entrada reversa SIR de la última célula del registro de desplazamiento, es la señal de control CSYNC 1524, la cual está a un nivel de voltaje bajo. La señal de entrada reversa SIR en cada una de las otras células del registro de desplazamiento, es la señal de salida del registro de desplazamiento siguiente en la fila SO2-SO13. La señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco inferior 1202, está a un nivel de voltaje alto y es la señal de entrada reversa SIR de la antepenúltima o décimo segunda célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202.

La señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco inferior 1202, enciende los transistores de entrada reversa en la décimo segunda célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. También, son encendidos los transistores de dirección reversa, por la señal de dirección reversa DIRR 1526. Con los transistores de primera evaluación, en el registro de desplazamiento de banco inferior 1202, encendidos, el transistor de entrada reversa, en la décimo segunda célula del registro de desplazamiento, encendido y el transistor de dirección reversa encendido, la señal de nodo interno SN12, en la décimo segunda célula del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, descarga hasta un nivel de voltaje bajo, indicado en 1600.

Los transistores de primera evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, no son encendidos con la pulsación de temporización 1588 y todas las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto. También, la señal de control CSYNC 1524 y las señales de salida del registro de desplazamiento SO1-SO12, en el registro de desplazamiento de banco inferior 1202, están a niveles de voltaje bajo, lo cual apaga los transistores de entrada reversa, en las otras células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. Con los transistores de entrada reversa apagados, cada una de las otras señales de nodo interno SN1-SN11 y SN13, en el registro de desplazamiento de banco inferior 1202, permanecen a niveles de voltaje alto. La pulsación de temporización 1590 en la señal de temporización BT2 1504 no es proporcionada al generador de dirección de selección de banco 1200 y cada señal permanece descargada durante la pulsación de temporización 1590.

A continuación, la pulsación de temporización 1592 en la señal de temporización BT3 en 1508, es proporcionada al registro de desplazamiento de banco superior 1204, en la primera señal de evaluación EVAL1, para encender cada uno de los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204. La señal de control CSYNC 1524 permanece a un nivel de voltaje bajo y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, están a niveles de voltaje bajo, lo cual apaga cada uno de los transistores de entrada hacia delante y cada uno de los transistores de entrada reversa, en el registro de desplazamiento de banco superior 1204. Los transistores de entrada hacia delante y reversa no conductores, evitan que las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco superior 1204, descarguen hasta niveles de voltaje bajo. Todas las señales de nodo interno del registro de desplazamiento SN1-SN13, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto.

Durante la pulsación de temporización 1594, en la señal de temporización BT4 en 1512, las señales de salida del registro de desplazamiento SO 1532 cargan y/o son mantenidas a niveles de voltaje alto en 1602. También, durante

la pulsación de temporización 1594, la señal de dirección reversa DIRR 1526 es mantenida a un nivel de voltaje alto y la señal de dirección hacia delante DIRF 1528 carga hasta un nivel de voltaje alto en 1604. Además, durante la pulsación de temporización 1594, las señales de dirección ~A1, ~A2 ... ~A8 en 1536 cargan y/o son mantenidas a niveles de voltaje alto en 1606 y tiran de las señales de evaluación lógica LEVAL 1534 hasta un nivel de voltaje bajo en 1608. Las señales de evaluación lógica de nivel de voltaje bajo LEVAL 1534, apagan los transistores de evaluación de dirección, para evitar que los transistores de dirección tiren de las señales de dirección ~A1, ~A2 ... ~A8 en 1536 hasta niveles de voltaje bajo. Las señales de dirección de la dirección de banco inferior 13, en las señales de dirección ~A1, ~A2 ... ~A8 at 1536, fueron validas durante las pulsaciones de temporización 1588, 1590 y 1592.

La pulsación de temporización 1596, en la señal de temporización BT5 en 1516, enciende los transistores de segunda evaluación, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Con las señales de nodo interno SN1-SN11 y SN13, en el registro de desplazamiento de banco inferior 1202, a niveles de voltaje alto y con las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco superior 1204, a niveles de voltaje alto, durante la pulsación de temporización 1596, las señales de salida del registro de desplazamiento SO1-SO11 y SO13, en el registro de desplazamiento de banco inferior 1202 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, descargan hasta niveles de voltaje bajo en 1610. Con la señal de nodo interno SN12 a un nivel de voltaje bajo, en el registro de desplazamiento de banco inferior 1202, la señal de salida del registro de desplazamiento SO12 permanece a un nivel de voltaje alto, en el registro de desplazamiento de banco inferior 1202, indicado en 1612.

La pulsación de temporización 1596 también enciende el transistor de evaluación 1266 en el circuito de dirección 1210. La señal de control CSYNC 1524 está a un nivel de voltaje bajo, para apagar el transistor de control 1268 y la señal de dirección reversa DIRR 1526 permanece cargada a un nivel de voltaje alto. Además, la pulsación de temporización 1596, enciende los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para mantener las señales de evaluación lógica LEVAL 1534 a niveles de voltaje bajo, que apagan los transistores de evaluación. Las señales de salida del registro de desplazamiento SO 1532 se fijan durante la pulsación de temporización 1596, de forma que la señal de salida del registro de desplazamiento uno SO12, en el registro de desplazamiento de banco inferior 1202, se fija a un nivel de voltaje alto y todas las otras señales de salida del registro de desplazamiento SO1-SO11 y SO13, en el registro de desplazamiento de banco inferior 1202 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, se fijan a niveles de voltaje bajo.

La pulsación de temporización 1598, en la señal de temporización BT6 en 1520, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las primeras señales de precarga PRE1, al circuito de dirección 1210, en la cuarta señal de evaluación EVAL4 y a los transistores de precarga de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. Durante la pulsación de temporización 1598, en la primera señal de precarga PRE1, la señal de nodo interno SN12, en el registro de desplazamiento de banco inferior 1202, carga hasta un nivel de voltaje alto en 1618 y mantiene todas las otras señales de nodo interno SN 1530 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La pulsación de temporización 1598, en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272, en el circuito de dirección 1210. La señal de dirección reversa de nivel de voltaje alto DIRR 1526 enciende el transistor de control 1274 y la señal de dirección DIRF 1528 es descargada hasta un nivel de voltaje bajo en 1616. También, durante la pulsación de temporización 1598, cada una de las señales de evaluación lógica LEVAL 1534 carga hasta niveles de voltaje alto en 1620, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La señal de salida del registro de desplazamiento de nivel alto SO12, en el registro de desplazamiento de banco inferior 1202, es recibida como la señal de entrada AI12, en el circuito lógico de banco inferior 1206. La señal de entrada de nivel de voltaje alto AI12 enciende los transistores de dirección, en el circuito lógico de banco inferior 1206, para tirar activamente de las señales de dirección, en las señales de dirección ~A1, ~A2 ... ~A8 en 1536, para proporcionar la dirección de banco inferior 12 en 1622. Las otras señales de salida del registro de desplazamiento SO1-SO11 y SO13, en el registro de desplazamiento de banco inferior 1202 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, están a niveles de voltaje bajo, que apagan los transistores de dirección, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para no descargar las señales de dirección ~A1, ~A2 ... ~A8 1536. Las señales de dirección ~A1, ~A2 ... ~A8 en 1536 se fijan como valores validos, durante la pulsación de temporización 1598.

En la siguiente serie de seis pulsaciones de temporización, en las señales de temporización BT1-BT6, desplaza la señal de salida del registro de desplazamiento de nivel de voltaje alto SO12, a la célula del registro de desplazamiento precedente, en el registro de desplazamiento de banco inferior 1202, para proporcionar la señal de salida del registro de desplazamiento de nivel de voltaje alto SO11, en el registro de desplazamiento de banco inferior 1202 y la dirección de banco inferior 11, en las señales de dirección ~A1, ~A2 ... ~A8 en 1536. El desplazamiento continúa con cada serie de seis pulsaciones de temporización, hasta que cada señal de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, haya sido alta una

vez. La serie para después de que la señal de salida del registro de desplazamiento SO1, en el registro de desplazamiento de banco inferior 1202, haya sido alta y la dirección de banco inferior 1 haya sido proporcionada, en las señales de dirección ~A1, ~A2 ... ~A8 en 1536. Para empezar la siguiente serie, el registro de desplazamiento de banco inferior 1202 o el registro de desplazamiento de banco superior 1204, pueden ser iniciados para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, respectivamente, bien en la dirección hacia delante o reversa. En este ejemplo de funcionamiento, como la dirección de banco inferior 1 es proporcionada en 1624, en las señales de dirección ~A1, ~A2 ... ~A8 en 1536, el registro de desplazamiento de banco superior 1204 es iniciado para proporcionar las direcciones de banco superior 14-26 en la dirección reversa.

En la serie de seis pulsaciones de temporización, la señal de temporización BT1 en 1500 incluye la pulsación de temporización 1626, la señal de temporización BT2 en 1504 incluye la pulsación de temporización 1628, la señal de temporización BT3 en 1508 incluye la pulsación de temporización 1630, la señal de temporización BT4 en 1512 incluye la pulsación de temporización 1632, la señal de temporización BT5 en 1516 incluye la pulsación de temporización pulse 1634 y la señal de temporización BT6 en 1520 incluye la pulsación de temporización 1636.

La pulsación de temporización 1626 enciende los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y la señal de dirección reversa DIRR 1526 enciende cada uno de los transistores de dirección reversa, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La señal de control CSYNC 1524 está a un nivel de voltaje bajo, para apagar cada uno de los transistores de entrada reversa, en las décimo terceras células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. También, las señales de salida del registro de desplazamiento SO2-SO13, en el registro de desplazamiento de banco inferior 1202, están a niveles de voltaje bajo, lo cual apaga los transistores de entrada reversa, en todas las otras células del registro de desplazamiento, por ejemplo las células del registro de desplazamiento 403a-403l, en el registro de desplazamiento de banco inferior 1202. Con los transistores de entrada reversa apagados, cada una de las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco inferior 1202, permanecen a un nivel de voltaje alto. Además, los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, no son encendidos por la pulsación de temporización 1552 y todas las señales de nodo interno SN1- SN13, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto. La pulsación de temporización 1628 en la señal de temporización BT2 en 1504, no es proporcionada al generador de dirección de selección de banco 1200 y cada señal permanece descargada durante la pulsación de temporización 1628.

A continuación, la pulsación de temporización 1630, en la señal de temporización BT3 en 1508, es proporcionada al registro de desplazamiento de banco superior 1204, en la primera señal de evaluación EVAL1, para encender cada uno de los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204. Una pulsación de control en 1638, en la señal de control CSYNC 1524, enciende cada uno de los transistores de entrada reversa en las décimo terceras células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. También, los transistores de dirección reversa son encendidos por la señal de dirección reversa DIRR 1526. Con los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204, encendidos, los transistores de entrada reversa, en las décimo terceras células del registro de desplazamiento, encendidos y los transistores de dirección reversa encendidos, la señal de nodo interno SN13, en la décimo tercera célula del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, descarga hasta un nivel de voltaje bajo, indicado en 1640.

Los transistores de primera evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, no son encendidos por la pulsación de temporización 1630 y todas las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco inferior 1202, permanecen a niveles de voltaje alto. También, las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, están a niveles de voltaje bajo, lo cual apaga los transistores de entrada reversa, en todas las otras células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204. Con los transistores de entrada reversa apagados, cada una de las señales de nodo interno SN1-SN12, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto.

Durante la pulsación de temporización 1632 en la señal de temporización BT4 en 1512, todas las señales de salida del registro de desplazamiento SO 1532 cargan hasta niveles de voltaje alto en 1642. También, durante la pulsación de temporización 1632, la señal de dirección reversa DIRR 1526 es mantenida a un nivel de voltaje alto y la señal de dirección hacia delante DIRF 1528 carga hasta un nivel de voltaje alto en 1644. Además, durante la pulsación de temporización 1632, las señales de dirección ~A1, ~A2 ... ~A8 en 1536 cargan y/o son mantenidas a niveles de voltaje alto en 1646 y las señales de evaluación lógica LEVAL 1534 son arrastradas hasta niveles de voltaje bajo en 1648. Las señales de evaluación lógica de nivel de voltaje bajo LEVAL 1534, apagan los transistores de evaluación de dirección, para evitar que los transistores de dirección tiren de las señales de dirección ~A1, ~A2 ... ~A8 1536 hasta niveles de voltaje bajo.

La pulsación de temporización 1634, en la señal de temporización BT5 en 1516, enciende los transistores de segunda evaluación, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Con las señales de nodo interior SN1-SN12, en el registro de desplazamiento de banco superior 1204, a niveles de voltaje alto y con las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco inferior 1202, a niveles de voltaje alto, la pulsación de temporización 1634 descarga las señales de salida del registro de desplazamiento SO1-SO12, en el registro de desplazamiento de banco superior 1204 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, hasta niveles de voltaje bajo en 1650. Con la señal de nodo interno SN13 a un nivel de voltaje bajo, en el registro de desplazamiento de banco superior 1204, la señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco superior 1204, permanece a un nivel de voltaje alto, indicado en 1652.

La pulsación de temporización 1634 también enciende el transistor de evaluación 1266 en el circuito de dirección 1210. La señal de control CSYNC 1524 está a un nivel de voltaje bajo, para apagar el transistor de control 1268 y la señal de dirección reversa DIRR 1526 permanece a un nivel de voltaje alto. Además, la pulsación de temporización 1634 enciende los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para mantener las señales de evaluación lógica LEVAL 1534 a niveles de voltaje bajo, que apagan los transistores de evaluación. Las señales de salida del registro de desplazamiento SO 1532, se fijan durante la pulsación de temporización 1634, de forma que una señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco superior 1204, se fija a un nivel de voltaje alto y todas las otras señales de salida del registro de desplazamiento SO1-SO12, en el registro de desplazamiento de banco superior 1204 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, se fijan a niveles de voltaje bajo.

La pulsación de temporización 1636, en la señal de temporización BT6 en 1520, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las primeras señales de precarga PRE1, al circuito de dirección 1210, en la cuarta señal de evaluación EVAL4 y a los transistores de precarga de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La pulsación de temporización 1636 en las primeras señales de precarga PRE1, carga la señal de nodo interno SN13, en el registro de desplazamiento de banco superior 1204, hasta un nivel de voltaje alto en 1658 y mantiene todas las otras señales de nodo interno SN 1530 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La pulsación de temporización 1636, en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272, en el circuito de dirección 1210. La señal de dirección reversa de nivel de voltaje alto DIRR 1526 enciende el transistor de control 1274 y la señal de dirección DIRF 1528 es descargada hasta un nivel de voltaje bajo en 1656. La pulsación de temporización 1636 también carga cada una de las señales de evaluación lógica LEVAL 1534 hasta niveles de voltaje alto en 1660, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La señal de salida del registro de desplazamiento de nivel alto SO13, en el registro de desplazamiento de banco superior 1204, es recibida como la señal de entrada AI26, en el circuito lógico de banco superior 1208. La señal de entrada de nivel de voltaje alto AI26 enciende los transistores de dirección, en el circuito lógico de banco superior 1208, para tirar activamente de las señales de dirección bajas, en las señales de dirección ~A1, ~A2 ... ~A8 en 1536, para proporcionar la dirección de banco superior 26 en 1662. Las otras señales de salida del registro de desplazamiento SO1-SO12, en el registro de desplazamiento de banco superior 1204 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, están a niveles de voltaje bajo, que apagan los transistores de dirección, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para no descargar las señales de dirección ~A1, ~A2 ... ~A8 en 1536. Las señales de dirección ~A1, ~A2 ... ~A8 en 1536 se fijan como valores válidos, durante la pulsación de temporización 1636.

En la siguiente serie de seis pulsaciones de temporización, la señal de temporización BT1 en 1500 incluye la pulsación de temporización 1664, la señal de temporización BT2 en 1504 incluye la pulsación de temporización 1666, la señal de temporización BT3 en 1508 incluye la pulsación de temporización 1668, la señal de temporización BT4 en 1512 incluye la pulsación de temporización 1670, la señal de temporización BT5 en 1516 incluye la pulsación de temporización 1672 y la señal de temporización BT6 en 1520 incluye la pulsación de temporización 1674.

La pulsación de temporización 1664 enciende cada uno de los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, para evaluar cada una de las señales de entrada reversa SIR (mostradas en la Figura 10A), en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202. La señal de entrada reversa SIR de la última célula del registro de desplazamiento, es la señal de control CSYNC 1524, la cual está a un nivel de voltaje bajo. La señal de entrada reversa SIR, en cada una de las otras células del registro de desplazamiento, es una de las señales de salida del registro de desplazamiento siguientes sobre la línea SO2-SO13, las cuales están a niveles de voltaje bajo. Con la señal de control CSYNC 1524 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, a niveles de voltaje bajo, los transistores de entrada reversa, en el registro de desplazamiento de banco inferior 1202, son apagados y cada una de las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco inferior 1202, permanecen en niveles de voltaje alto. Los transistores de primera evaluación, en las células del registro de desplazamiento, en el registro de desplazamiento de banco

superior 1204, no son encendidos por la pulsación de temporización 1664 y las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco superior 1204, permanecen a niveles de voltaje alto. La pulsación de temporización 1666 en la señal de temporización BT2 en 1504, no es proporcionada al generador de dirección de selección de banco 1200 y cada señal permanece descargada durante la pulsación de temporización 1666.

A continuación, la pulsación de temporización 1668, en la señal de temporización BT3 en 1508, es proporcionada al registro de desplazamiento de banco superior 1204, en la primera señal de evaluación EVAL1, para encender cada uno de los transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204, para evaluar cada una de las señales de entrada reversa SIR (mostradas en la Figura 10A), en las células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204. La señal de entrada reversa SIR de la última célula del registro de desplazamiento, es la señal de control CSYNC 1524, la cual está a un nivel de voltaje bajo. La señal de entrada reversa SIR, en cada una de las otras células del registro de desplazamiento, es la señal de salida del registro de desplazamiento siguiente sobre la línea SO2- SO13. La señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco superior 1204, está a un nivel de voltaje alto y es la señal de entrada reversa SIR de la penúltima célula del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204.

La señal de salida del registro de desplazamiento SO13, en el registro de desplazamiento de banco superior 1204, enciende el transistor de entrada reversa, en la penúltima célula del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204. También, los transistores de dirección reversa, son encendidos por la señal de dirección reversa DIRR 1526. Con los primeros transistores de primera evaluación, en el registro de desplazamiento de banco superior 1204, encendidos, el transistor de entrada reversa, en la penúltima célula del registro de desplazamiento, encendido y el transistor de dirección reversa encendido, la señal de nodo interno SN12 en la penúltima o décimo segunda célula del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, descarga hasta un nivel de voltaje bajo, indicado en 1676.

Los transistores de primera evaluación en las células del registro de desplazamiento, en el registro de desplazamiento de banco inferior 1202, no son encendidos por la pulsación de temporización 1668 y todas las señales de nodo interno SN1-SN13, en el registro de desplazamiento de banco inferior 1202, permanecen a niveles de voltaje alto en 1678. También, la señal de control CSYNC 1524 y las señales de salida del registro de desplazamiento SO1-SO12, en el registro de desplazamiento de banco superior 1204, están a niveles de voltaje bajo, lo cual apaga los transistores de entrada reversa en las otras células del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204. Con los otros transistores de entrada reversa apagados, cada una de las otras señales de nodo interno SN1-SN11 y SN13, en el registro de desplazamiento de banco superior 1204, permanece a niveles de voltaje alto en 1678.

La pulsación de temporización 1670, en la señal de temporización BT4 en 1512, carga y/o mantiene las señales de salida del registro de desplazamiento SO 1532 a niveles de voltaje alto en 1680. También, la pulsación de temporización 1670 mantiene la señal de dirección reversa DIRR 1526 a un nivel de voltaje alto y carga la señal de dirección hacia delante DIRF 1528 a un nivel de voltaje alto en 1682. Además, la pulsación de temporización 1670 carga y/o mantiene las señales de dirección ~A1, ~A2 ... ~A8 en 1536, a niveles de voltaje alto en 1684 y tira de las señales de evaluación lógica LEVAL 1534 hasta niveles de voltaje bajo en 1686. Las señales de evaluación lógica de nivel de voltaje bajo LEVAL 1534, apagan los transistores de evaluación de dirección, para evitar que los transistores de dirección tiren de las señales de dirección ~A1, ~A2 ... ~A8 1536 hasta niveles de voltaje bajo. Las señales de dirección de dirección de banco superior 26, en las señales de dirección ~A1, ~A2 ... ~A8 1536 fueron validas durante las pulsaciones de temporización 1664, 1666 y 1668.

La pulsación de temporización 1672, en la señal de temporización BT5 en 1516, enciende los transistores de segunda evaluación, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. Con las señales de nodo interno SN1-SN11 y SN13 a niveles de voltaje alto, en el registro de desplazamiento de banco superior 1204 y con las señales de nodo interno SN1-SN13 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202, la pulsación de temporización 1672 descarga las señales de salida del registro de desplazamiento SO1-SO11 y SO13, en el registro de desplazamiento de banco superior 1204 y las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, hasta niveles de voltaje bajo en 1688. Con la señal de nodo interno SN12, en el registro de desplazamiento de banco superior 1204, a un nivel de voltaje bajo, la señal de salida del registro de desplazamiento SO12 permanece a un nivel de voltaje alto, en el registro de desplazamiento de banco superior 1204, indicado en 1690.

La pulsación de temporización 1672 también enciende el transistor de evaluación 1266, en el circuito de dirección 1210. La señal de control CSYNC 1524 está a un nivel de voltaje bajo para apagar el transistor de control 1268 y la señal de dirección reversa DIRR 1526 permanece cargada a un nivel de voltaje alto. Además, la pulsación de temporización 1672 enciende los transistores de prevención de evaluación, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para mantener las señales de evaluación lógica LEVAL 1534 a niveles de voltaje bajo, que apagan los transistores de evaluación. Las señales de salida del registro de desplazamiento SO 1532 se fijan durante la pulsación de temporización 1672, de forma que una señal de salida del

registro de desplazamiento SO12, en el registro de desplazamiento de banco superior 1204, se fija a un nivel de voltaje alto y todas las otras señales de salida del registro de desplazamiento SO1-SO11 y SO13, en el registro de desplazamiento de banco superior 1204 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, se fijan a niveles de voltaje bajo.

La pulsación de temporización 1674 en la señal de temporización BT6 en 1520, es proporcionada al registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en las primeras señales de precarga PRE1, al circuito de dirección 1210, en la cuarta señal de evaluación EVAL4 y a los transistores de precarga de evaluación lógica, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La pulsación de temporización 1674, en las primeras señales de precarga PRE1, carga la señal de nodo interno SN12, en el registro de desplazamiento de banco superior 1204, hasta un nivel de voltaje alto en 1696 y mantiene todas las otras señales de nodo interno SN 1530 a niveles de voltaje alto, en el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. La pulsación de temporización 1674, en la cuarta señal de evaluación EVAL4, enciende el transistor de evaluación 1272, en el circuito de dirección 1210. La señal de dirección reversa de nivel de voltaje alto DIRR 1526 enciende el transistor de control 1274 y la señal de dirección DIRF 1528 es descargada hasta un nivel de voltaje bajo en 1694. La pulsación de temporización 1674 también carga cada una de las señales de evaluación lógica LEVAL 1534 hasta niveles de voltaje alto en 1697, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208. La señal de salida del registro de desplazamiento de nivel de voltaje alto SO12, en el registro de desplazamiento de banco superior 1204, es recibida como la señal de entrada AI25 en el circuito lógico de banco superior 1208. La señal de entrada de nivel de voltaje alto AI25 enciende los transistores de dirección, en el circuito lógico de banco superior 1208, para tirar activamente de las señales de dirección hasta un nivel de voltaje bajo, en las señales de dirección ~A1, ~A2 ... ~A8 en 1536 y proporciona la dirección de banco superior 25 en 1698. Las otras señales de salida del registro de desplazamiento SO1-SO11 y SO13, en el registro de desplazamiento de banco superior 1204 y todas las señales de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco inferior 1202, están a niveles de voltaje bajo, que apagan los transistores de dirección, en el circuito lógico de banco inferior 1206 y el circuito lógico de banco superior 1208, para no descargar las señales de dirección ~A1, ~A2 ... ~A8 en 1536. Las señales de dirección ~A1, ~A2 ... ~A8 en 1536 se fijan como valores válidos, durante la pulsación de temporización 1674.

La siguiente serie de seis pulsaciones de temporización, en las señales de temporización BT1-BT6, desplaza la señal de salida del registro de desplazamiento de nivel de voltaje alto SO12, a la célula precedente del registro de desplazamiento, en el registro de desplazamiento de banco superior 1204, para proporcionar una señal de salida del registro de desplazamiento de nivel de voltaje alto SO11, en el registro de desplazamiento de banco superior 1204 y la dirección de banco superior 24, en las señales de dirección ~A1, ~A2 ... ~A8 en 1536. El desplazamiento continúa con cada serie de seis pulsaciones de temporización, hasta que cada señal de salida del registro de desplazamiento SO1-SO13, en el registro de desplazamiento de banco superior 1204, haya sido alta una vez. La serie para después de que la señal de salida del registro de desplazamiento SO1, en el registro de desplazamiento de banco superior 1204, haya sido alta y la dirección de banco superior 14 haya sido proporcionada en las señales de dirección ~A1, ~A2 ... ~A8 en 1536. Para empezar la siguiente serie de direcciones, puede ser iniciado el registro de desplazamiento de banco inferior 1202 o el registro de desplazamiento de banco superior 1204, para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, respectivamente, bien en la dirección hacia delante o reversa.

En funcionamiento en dirección reversa del registro de desplazamiento de banco inferior 1202 y proporcionando las direcciones de banco inferior 13-1, es proporcionada una señal de control de nivel de voltaje bajo CSYNC 1524, sustancialmente coincidente con una pulsación de temporización, en la señal de temporización BT5 en 1516, para fijar la dirección de desplazamiento en dirección reversa. También, es proporcionada una pulsación de control en la señal de control CSYNC 1524, sustancialmente coincidente con una pulsación de temporización, en la señal de temporización BT1 en 1500, para empezar o iniciar el registro de desplazamiento de banco inferior 1202, desplazando una señal de voltaje alto a través de las señales de salida del registro de desplazamiento, desde SO13 hasta SO1.

En funcionamiento en dirección reversa del registro de desplazamiento de banco superior 1204 y proporcionando las direcciones de banco superior 26-14, es proporcionada una señal de control de nivel de voltaje bajo CSYNC 1524, sustancialmente coincidente con una pulsación de temporización, en la señal de temporización BT5 en 1516, para fijar la dirección de desplazamiento en la dirección reversa. También, es proporcionada una pulsación de control en la señal de control CSYNC 1524, sustancialmente coincidente con una pulsación de temporización, en la señal de temporización BT3 en 1508, para empezar o iniciar el registro de desplazamiento de banco superior 1204, desplazando una señal de voltaje alto a través de las señales de salida del registro de desplazamiento, desde SO13 hasta SO1.

La señal de control CSYNC controla el funcionamiento de uno o más generadores de dirección, de una base de un cabezal de impresión. Cada uno de los generadores de dirección, es controlado por las pulsaciones de control, en la señal de control CSYNC, que son sustancialmente coincidentes con las pulsaciones de temporización, en las señales de temporización, para fijar la dirección de funcionamiento e iniciar el funcionamiento. En una forma de

realización, dos generadores de dirección proporcionan señales de dirección validas, durante seis pulsaciones de temporización, en seis señales de selección, que se corresponden con seis señales de disparo. Un generador de dirección proporciona señales validas de dirección, durante tres de las seis pulsaciones de temporización y el otro generador de dirección proporciona señales validas de dirección, durante las otras tres de las seis pulsaciones de temporización. En una forma de realización, cada uno de los dos generadores de dirección, es similar al generador de dirección 400 de la Figura 9. En otra forma de realización, cada uno de los dos generadores de dirección, es similar al generador de dirección de selección de banco 1200 de la Figura 15.

El ritmo de las pulsaciones de control en la señal de control CSYNC, para controlar el generador de dirección 400 de la Figura 9, es diferente al ritmo de las pulsaciones de control en la señal de control CSYNC, para controlar el generador de dirección de selección de banco 1200 de la Figura 15. Las pulsaciones de temporización en la señal de temporización T3 (mostrada en la Fig. 9) y la señal de temporización BT4 (mostrada en la Fig.15), precargan la segunda fase de las células del registro de desplazamiento, en el generador de dirección 400 y el generador de dirección de selección de banco 1200, respectivamente. La precarga de la segunda fase de las células del registro de desplazamiento, carga las señales de salida del registro de desplazamiento SO hasta niveles de voltaje alto y, potencialmente, destruye señales de dirección válidas activamente desplazadas. Para generar las siguientes señales de dirección válidas, las señales de salida del registro de desplazamiento SO son evaluadas hasta valores validos y las señales de dirección son evaluadas hasta las señales de dirección validas. Las señales de salida del registro de desplazamiento SO son evaluadas hasta valores válidos, durante la pulsación de temporización en la señal de temporización T4, en el generador de dirección 400 y durante la pulsación de temporización, en la señal de temporización BT5, en el generador de dirección de selección de banco 1200. Las señales de salida del registro de desplazamiento validas SO, son proporcionadas a un circuito lógico y las señales de dirección son evaluadas hasta valores válidos, durante la pulsación de temporización en la señal de temporización T5, en el generador de dirección 400 y durante la pulsación de temporización en la señal de temporización BT6, en el generador de dirección de selección de banco 1200, para proporcionar señales de dirección validas. Esto da como resultado la siguiente secuencia.

T3/BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3	T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3
SO Alta	SO Eval	SO Valida	SO Valida	SO Valida	SO Valida	SO Alta	SO Eval	SO Valida	SO Valida	SO Valida	SO Valida
Destruir Direcc		Eval Direcc	Direcc Valida	Direcc Valida	Direcc Valida	Destruir Direcc		Eval Direcc	Direcc Valida	Direcc Valida	Direcc Valida

Las señales de dirección pueden ser precargadas, como las señales de salida del registro de desplazamiento SO son precargadas durante la pulsación de temporización T3 o BT4. Las señales de dirección son precargadas antes de ser evaluadas hasta señales de dirección, en la señal de temporización T5 o BT6. Así, las señales de dirección pueden ser precargadas durante las pulsaciones de temporización en las señales de temporización T3 o T4, en el generador de dirección 400 y durante las pulsaciones de temporización en las señales de temporización BT4 o BT5, en el generador de dirección de selección de banco 1200. La señal de evaluación lógica LEVAL apaga los transistores de evaluación lógica en el generador de dirección 400 y el generador de dirección de selección de banco 1200, mientras las señales de salida del registro de desplazamiento SO están cargadas a niveles de voltaje alto y evaluadas hasta valores válidos, durante las pulsaciones de temporización en las señales de temporización T3 y T4 en el generador de dirección 400 y durante las pulsaciones de temporización en las señales de temporización BT4 y BT5 en el generador de dirección de selección de banco 1200. La precarga de la señal de dirección se añade en la siguiente secuencia.

T3/BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3	T3/BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3
SO Alta	SO Eval	SO Valida	SO Valida	SO Valida	SO Valida	SO Alta	SO Eval	SO Valida	SO Valida	SO Valida	SO Valida
Destruir Direcc		Eval Direcc	Direcc Valida	Direcc Valida	Direcc Valida	Destruir Direcc		Eval Direcc	Direcc Valida	Direcc Valida	Direcc Valida
Precarga Direcc						Precarga Direcc					

Las señales de nodo interno SN en las células del registro de desplazamiento, necesitan ser validas mientras las señales de salida del registro de desplazamiento SO son evaluadas hasta valores validos. Lo antes posible que pueden ser precargadas las señales de nodo interno SN, es durante la pulsación de temporización, en la señal de temporización T5 o BT6, después de que las señales de salida del registro de desplazamiento SO son válidas. Por tanto, las señales de salida del registro de desplazamiento SO son utilizadas como señales de entrada, para las células del registro de desplazamiento precedentes o siguientes sobre la línea, en los generadores de dirección 400 y 1200, las señales de nodo interno SN son evaluadas antes de que las señales de salida del registro de

desplazamiento SO sean precargadas hasta niveles de voltaje alto, durante la pulsación de temporización, en la señal de temporización T3 o BT4. Las señales de nodo interno SN son evaluadas antes o durante la pulsación de temporización, en la señal de temporización T2 o BT3. También, las señales de nodo interno SN son evaluadas sustancialmente coincidentes con una pulsación de control, en la señal de control CSYNC, para iniciar un registro de desplazamiento. Las posibilidades para la precarga y evaluación de la señal de nodo interno, son añadidas en la siguiente secuencia.

T3/BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3	T3/BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3
SO Alta	SO Eval	SO Valida	SO Valida	SO Valida	SO Valida	SO Alta	SO Eval	SO Valida	SO Valida	SO Valida	SO Valida
Destruir Direcc		Eval Direcc	Direcc Valida	Direcc Valida	Direcc Valida	Destruir Direcc		Eval Direcc	Direcc Valida	Direcc Valida	Direcc Valida
Precarga Direcc						Precarga Direcc					
		SN Precarga						SN precarga			
SN Valida	SN Valida		SN Eval			SN Valida	SN Valida				SN Eval

Las señales de nodo interno SN son precargadas durante la pulsación de temporización en la señal de temporización T1 y evaluadas durante la pulsación de temporización en la señal de temporización T2, en el generador de dirección 400. Para iniciar el generador de dirección 400, es proporcionada una pulsación de control, en la señal de control CSYNC, durante la pulsación de temporización en la señal de temporización T2.

Las señales de nodo interno SN, para el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204, en el generador de dirección de selección de banco 1200, son precargadas durante la pulsación de temporización, en la señal de temporización BT6. Las señales de nodo interno SN, en el registro de desplazamiento de banco inferior 1202, son evaluadas durante la pulsación de temporización en la señal de temporización BT1 y las señales de nodo interno SN, en el registro de desplazamiento de banco superior 1204, son evaluadas durante la pulsación de temporización en la señal de temporización BT3. Para iniciar el registro de desplazamiento de banco inferior 1202, es proporcionada una pulsación de control, en la señal de control CSYNC, durante la pulsación de temporización, en la señal de temporización BT1 y para iniciar el registro de desplazamiento de banco superior 1204, es proporcionada una pulsación de control, en la señal de control CSYNC, durante la pulsación de temporización, en la señal de temporización BT3.

Las señales de dirección DIRR y DIRF son validas mientras las señales de nodo interno SN son evaluadas. En el generador de dirección 400, la señal de dirección reversa DIRR es precargada durante la pulsación de temporización en la señal de temporización T3, lo cual es justo después de que las señales de nodo interno SN sean evaluadas. La señal de dirección reversa DIRR es evaluada durante la pulsación de temporización, en la señal de temporización T4. La señal de dirección hacia delante DIRF es precargada durante la pulsación de temporización en la señal de temporización T5 y evaluada durante la pulsación de temporización en la señal de temporización T6, para proporcionar las señales de dirección validas DIRR y DIRF, durante las pulsaciones de temporización en las señales de temporización T1 y T2.

En el generador de dirección de selección de banco 1200, las señales de dirección DIRR y DIRF son fijadas con una pulsación de control, en la señal de control CSYNC, durante cada serie de seis pulsaciones de temporización. Dos pulsaciones de control más distintas, en la señal de control CSYNC, inician el registro de desplazamiento de banco inferior 1202 y el registro de desplazamiento de banco superior 1204. También, las señales de nodo interno SN son evaluadas durante las pulsaciones de temporización, en las señales de temporización BT1 y BT3 y las señales de dirección DIRR y DIRF necesitan ser validas durante las pulsaciones de temporización en las señales de temporización BT1 y BT3.

En el generador de dirección de selección de banco 1200 y el circuito de dirección 1210 de la Fig. 16, las señales de dirección DIRR y DIRF son precargadas durante la pulsación de temporización en la señal de temporización BT4, justo después de que las señales de nodo interno SN, en el registro de desplazamiento de banco superior 1204, sean evaluadas. La señal de dirección DIRR es evaluada durante la pulsación de temporización en la señal de temporización BT5 y la señal de dirección DIRF es evaluada durante la pulsación de temporización en la señal de temporización BT6. Las señales de dirección DIRR y DIRF son validas durante las pulsaciones de temporización en las señales de temporización BT1, BT2 y BT3. La pulsación de control en la señal de control CSYNC, es proporcionada durante la pulsación de temporización en la señal de temporización BT5, para fijar la dirección de desplazamiento y proporcionar las señales de dirección.



En una forma de realización, las seis pulsaciones de temporización en las señales de selección SEL1, SEL2 ... SEL6, se corresponden con las seis señales de disparo proporcionadas a los seis grupos de disparo. Las seis pulsaciones de temporización, en las señales de selección SEL1, SEL2 ... SEL6, proporcionan seis posiciones posibles para las pulsaciones de control, en la señal de control CSYNC, para controlar los generadores de dirección, como el generador de dirección 400 o el generador de dirección de selección de banco 1200. En el generador de dirección 400, una pulsación de control en la señal de control CSYNC, es utilizada para iniciar el registro de desplazamiento 402 y dos pulsaciones de control, en la señal de control CSYNC, son utilizadas para fijar las señales de dirección DIRR y DIRF. La pulsación de control en la señal de control CSYNC para iniciar el registro de desplazamiento 402, es proporcionada durante la pulsación de temporización en la señal de temporización T2. La pulsación de control en la señal de control CSYNC para fijar la señal de dirección DIRR, es proporcionada durante la pulsación de temporización en la señal de temporización T4 y la pulsación de control en la señal de control CSYNC para fijar la señal de dirección DIRF, es proporcionada durante la pulsación de temporización en la señal de temporización T6.

En el generador de dirección de selección de banco 1200, las señales de dirección DIRR y DIRF son fijadas con una pulsación de control o un nivel de voltaje bajo en la señal de control CSYNC, sustancialmente coincidente con una pulsación de temporización en la señal de temporización BT5. El generador de dirección de selección de banco 1200, es iniciado utilizando dos pulsaciones de control en la señal de control CSYNC. Una pulsación de control en la señal de control CSYNC, inicia el registro de desplazamiento de banco inferior 1202 y otra pulsación de control en la señal de control CSYNC, inicia el registro de desplazamiento de banco superior 1204. El registro de desplazamiento de banco inferior 1202, es iniciado por una pulsación de control en la señal de control CSYNC, sustancialmente coincidente con una pulsación de temporización en la señal de temporización BT1 y el registro de desplazamiento de banco superior 1204, es iniciado con una pulsación de control, en la señal de control CSYNC, sustancialmente coincidente con una pulsación de temporización en la señal de temporización BT3. Las pulsaciones de control en la señal de control CSYNC, proporcionadas durante las pulsaciones de temporización en las señales de temporización BT1, BT3, y BT5, controlan el funcionamiento del generador de dirección de selección de banco 1200.

En una forma de realización, son utilizados dos generadores de dirección de selección de banco 1200, en una base de cabezal de impresión 40. Uno de los dos generadores de dirección de selección de banco 1200, proporciona señales de dirección a los grupos de disparo 1-3 y el otro generador de dirección de selección de banco 1200, proporciona señales de dirección a los grupos de disparo 4-6. Las pulsaciones de control en la señal de control CSYNC, son desplazadas por tres pulsaciones de temporización, para ser sustancialmente coincidentes con las pulsaciones de temporización en las señales de temporización BT2, BT4, y BT6, para controlar el segundo generador de dirección de selección de banco 1200.

La Figura 19, es un diagrama que ilustra una forma de realización de dos generadores de dirección de selección de banco 1700 y 1702 y seis grupos de disparo 1704a-1704f, en una base de cabezal de impresión 40. Los generadores de dirección de selección de banco 1700 y 1702, son una forma de realización del circuito de control, en la base de cabezal de impresión 40. Cada uno de los generadores de dirección de selección de banco 1700 y 1702, es similar al generador de dirección de selección de banco 1200 y los grupos de disparo 1704a-1704f, son similares a los grupos de disparo 202a-202f, ilustrados en la Figura 7.

El generador de dirección de selección de banco 1700 está conectado eléctricamente con los grupos de disparo 1704a-1704c, a través de las líneas de dirección 1712. Las líneas de dirección 1712 proporcionan las señales de dirección ~A1, ~A2 ... ~A8, desde el generador de dirección de selección de banco 1700 hasta las células de disparo 120, en cada uno de los grupos de disparo 1704a-1704c. También, el generador de dirección de selección de banco 1700 está conectado eléctricamente con la línea de control 1710. La línea de control 1710 recibe la señal de control CSYNC y proporciona la señal de control CSYNC al generador de dirección de selección de banco 1700. Además, el generador de dirección de selección de banco 1700 está conectado eléctricamente con las líneas de selección 1708a-1708f. Las líneas de selección 1708a-1708f reciben las señales de selección SEL1, SEL2 ... SEL6 y proporcionan las señales de selección SEL1, SEL2 ... SEL6 al generador de dirección de selección de banco 1700, así como a los correspondientes grupos de disparo 1704a-1704f.

La línea de selección 1708a proporciona la señal de selección SEL1 al generador de dirección de selección de banco 1700, como señal de temporización BT1. La línea de selección 1708b proporciona la señal de selección SEL2 al generador de dirección de selección de banco 1700, como señal de temporización BT2. La línea de selección 1708c proporciona la señal de selección SEL3 al generador de dirección de selección de banco 1700, como señal de temporización BT3. La línea de selección 1708d proporciona la señal de selección SEL4 al generador de dirección de selección de banco 1700, como señal de temporización BT4. La línea de selección 1708e proporciona la señal de selección SEL5 al generador de dirección de selección de banco 1700, como señal de temporización BT5 y la línea de selección 1708f proporciona la señal de selección SEL6 al generador de dirección de selección de banco 1700, como señal de temporización BT6.

El generador de dirección de selección de banco 1702 está conectado eléctricamente con los grupos de disparo 1704d-1704f, a través de las líneas de dirección 1716. Las líneas de dirección 1716 proporcionan las señales de

dirección ~B1, ~B2 ... ~B8, desde el generador de dirección de selección de banco 1702 hasta las células de disparo 120, en cada uno de los grupos de disparo 1704d-1704f. También, el generador de dirección de selección de banco 1702 está conectado eléctricamente con la línea de control 1710, que recibe la señal de control CSYNC y proporciona la señal de control CSYNC al generador de dirección de selección de banco 1702. Además, el generador de dirección de selección de banco 1702 está conectado eléctricamente con las líneas de selección 1708a-1708f. Las líneas de selección 1708a-1708f proporcionan las señales de selección SEL1, SEL2 ... SEL6 al generador de dirección de selección de banco 1702, así como a los correspondientes grupos de disparo 1704a-1704f.

La línea de selección 1708a proporciona la señal de selección SEL1 al generador de dirección de selección de banco 1702, como señal de temporización BT4. La línea de selección 1708b proporciona la señal de selección SEL2 al generador de dirección de selección de banco 1702, como señal de temporización BT5. La línea de selección 1708c proporciona la señal de selección SEL3 al generador de dirección de selección de banco 1702, como señal de temporización BT6. La línea de selección 1708d proporciona la señal de selección SEL4 al generador de dirección de selección de banco 1702, como señal de temporización BT1. La línea de selección 1708e proporciona la señal de selección SEL5 al generador de dirección de selección de banco 1702, como señal de temporización BT2 y la línea de selección 1708f proporciona la señal de selección SEL6 al generador de dirección de selección de banco 1702, como señal de temporización BT3.

En funcionamiento, el grupo de disparo uno (FG1) en 1704a recibe las señales de dirección ~A1, ~A2 ... ~A8 y la pulsación, en la señal de selección SEL1, para habilitar la activación de las células de disparo 120, mediante la señal de disparo FUEGO1. El grupo de disparo dos (FG2) en 1704b recibe las señales de dirección ~A1, ~A2 ... ~A8 y la pulsación en la señal de selección SEL2, para habilitar la activación de las células de disparo 120, mediante la señal de disparo FUEGO2. El grupo de disparo tres (FG3) en 1704c recibe las señales de dirección ~A1, ~A2 ... ~A8 y la pulsación en la señal de selección SEL3, para habilitar la activación de las células de disparo 120, mediante la señal de disparo FUEGO3.

El grupo de disparo cuatro (FG4) en 1704d recibe las señales de dirección ~B1, ~B2 ... ~B8 y la pulsación en la señal de selección SEL4, para habilitar la activación de las células de disparo 120, mediante la señal de disparo FUEGO4. El grupo de disparo cinco (FG5) en 1704e recibe las señales de dirección ~B1, ~B2 ... ~B8 y la pulsación en la señal de selección SEL5, para habilitar la activación de las células de disparo 120, mediante la señal de disparo FUEGO5. El grupo de disparo seis (FG6) en 1704f recibe las señales de dirección ~B1, ~B2 ... ~B8 y la pulsación en la señal de selección SEL6, para habilitar la activación de las células de disparo 120, mediante la señal de disparo FUEGO6.

Cada uno de los generadores de dirección de selección de banco 1700 y 1702 puede ser iniciado independientemente, para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, en la dirección hacia delante o en la dirección reversa. El generador de dirección de selección de banco 1700 puede ser iniciado, para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, bien en la dirección hacia delante o la dirección reversa, sin iniciar el generador de dirección de selección de banco 1702 y el generador de dirección de selección de banco 1702 puede ser iniciado, para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, bien en la dirección hacia delante o la dirección reversa, sin iniciar el generador de dirección de selección de banco 1700. También, el generador de dirección de selección de banco 1700 puede ser iniciado, para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, bien en la dirección hacia delante o la dirección reversa, mientras el generador de dirección de selección de banco 1702 es iniciado, para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, bien en la dirección hacia delante o la dirección reversa.

Las señales de dirección válidas ~A1, ~A2 ... ~A8, son utilizadas para habilitar la activación de las células de disparo de banco inferior 120, en los grupos de disparo FG1, FG2 y FG3 en 1704a-1704c. Las señales de dirección válidas ~B1, ~B2 ... ~B8, son utilizadas para habilitar la activación de las células de disparo de banco inferior 120, en los grupos de disparo FG4, FG5 y FG6 en 1704d-1704f.

En una forma de realización, las células de disparo de banco inferior o superior, son aquellas células de disparo que están conectadas a un mismo subgrupo de líneas de selección. En otras formas de realización, un banco inferior o superior de células de disparo está físicamente cerca uno del otro. En más formas de realización, el circuito de banco inferior en el generador de dirección de selección de banco 1700, está conectado eléctricamente con diferentes células de disparo, a las del circuito de banco superior en el generador de dirección de selección de banco 1700, esta composición puede también ser utilizada con respecto al generador de dirección de selección de banco 1702.

En ciertas formas de realización, para los generadores de dirección de selección de banco 1700 y 1702 incluyen un registro de desplazamiento de banco inferior y un circuito lógico de banco inferior y un registro de desplazamiento de banco superior y un circuito lógico de banco superior y un circuito de dirección, que están cerca unos de otros. En otras formas de realización, los generadores de dirección de selección de banco 1700 y 1702, están cada uno

dividido en dos partes, con una primera parte que incluye un registro de desplazamiento de banco inferior, un circuito lógico de banco inferior y un circuito de dirección y una segunda parte que incluye un registro de desplazamiento de banco superior, un circuito lógico de banco superior y un circuito de dirección, en donde la primera parte y la segunda parte no necesitan estar situadas cerca una de la otra, pero están conectadas eléctricamente una con la otra.

La Figura 20, es un diagrama de temporización que ilustra el funcionamiento hacia delante y el funcionamiento reverso, de los generadores de dirección de selección de banco 1700 y 1702, en la base de cabezal de impresión 40. La señal de control para el desplazamiento en la dirección hacia delante es CSYNC(FWD) en 1824 y la señal de control para el desplazamiento en la dirección reversa es CSYNC(REV) en 1826. Las señales de dirección ~A1 - ~A8 en 1828, representan direcciones proporcionadas por el generador de dirección de selección de banco 1700 e incluyen las referencias de dirección de funcionamiento hacia delante y reverso. Las señales de dirección ~B1 - ~B8 en 1830 son proporcionadas por el generador de dirección de selección de banco 1702 e incluyen las referencias de dirección de funcionamiento hacia delante o reverso.

Las señales de selección SEL1, SEL2 ... SEL6 proporcionan una serie de seis pulsaciones en una serie repetida de seis pulsaciones. Cada una de las señales de selección SEL1, SEL2 ... SEL6 proporciona una pulsación en la serie de seis pulsaciones. En una serie de seis pulsaciones, la señal de selección SEL1 en 1800 incluye la pulsación de temporización 1802, la señal de selección SEL2 en 1804 incluye la pulsación de temporización 1806, la señal de selección SEL3 en 1808 incluye la pulsación de temporización 1810, la señal de selección SEL4 en 1812 incluye la pulsación de temporización 1814, la señal de selección SEL5 en 1816 incluye la pulsación de temporización 1818 y la señal de selección SEL6 en 1820 incluye la pulsación de temporización 1822.

En funcionamiento hacia delante, la señal de control CSYNC(FWD) 1824 proporciona la pulsación de control 1832, sustancialmente coincidente con la pulsación de temporización 1806, en la señal de selección SEL2 en 1804. La pulsación de control 1832 fija el generador de dirección de selección de banco 1702, para el desplazamiento en la dirección hacia delante. También, la señal de control CSYNC(FWD) 1824 proporciona la pulsación de control 1834, sustancialmente coincidente con la pulsación de temporización 1818, en la señal de selección SEL5 en 1816. La pulsación de control 1834 fija el generador de dirección de selección de banco 1700, para el desplazamiento en la dirección hacia delante.

En la siguiente serie de seis pulsaciones, la señal de selección SEL1 en 1800 incluye la pulsación de temporización 1836, la señal de selección SEL2 en 1804 incluye la pulsación de temporización 1838, la señal de selección SEL3 en 1808 incluye la pulsación de temporización 1840, la señal de selección SEL4 en 1812 incluye la pulsación de temporización 1842, la señal de selección SEL5 en 1816 incluye la pulsación de temporización 1844 y la señal de selección SEL6 en 1820 incluye la pulsación de temporización 1846.

La señal de control CSYNC(FWD) 1824 proporciona la pulsación de control 1848, sustancialmente coincidente con la pulsación de temporización 1838, para continuar fijando el generador de dirección de selección de banco 1702, para el desplazamiento en la dirección hacia delante y la pulsación de control 1850, sustancialmente coincidente con la pulsación de temporización 1844, para continuar fijando el generador de dirección de selección de banco 1700, para el desplazamiento en la dirección hacia delante. También, la señal de control CSYNC(FWD) 1824 proporciona la pulsación de control 1852, sustancialmente coincidente con la pulsación de temporización 1836, en la señal de selección SEL1 en 1800. La pulsación de control 1852 inicia el registro de desplazamiento de banco inferior en el generador de dirección de selección de banco 1700, para generar las direcciones 1-13, en las señales de dirección ~A1 - ~A8 en 1828. Además, la señal de control CSYNC(FWD) 1824 proporciona la pulsación de control 1854, sustancialmente coincidente con la pulsación de temporización 1842, en la señal de selección SEL4 en 1812. La pulsación de control 1854 inicia el registro de desplazamiento de banco inferior en el generador de dirección de selección de banco 1702, para generar las direcciones 1-13, en las señales de dirección ~B1 - ~B8 at 1830

En la siguiente o tercera serie de seis pulsaciones, la señal de selección SEL1 en 1800 incluye la pulsación de temporización 1856, la señal de selección SEL2 en 1804 incluye la pulsación de temporización 1858, la señal de selección SEL3 en 1808 incluye la pulsación de temporización 1860, la señal de selección SEL4 en 1812 incluye la pulsación de temporización 1862, la señal de selección SEL5 en 1816 incluye la pulsación de temporización 1864 y la señal de selección SEL6 en 1820 incluye la pulsación de temporización 1866.

La señal de control CSYNC(FWD) 1824 proporciona la pulsación de control 1868, sustancialmente coincidente con la pulsación de temporización 1858, para continuar fijando el generador de dirección de selección de banco 1702, para el desplazamiento en la dirección hacia delante y la pulsación de control 1870, sustancialmente coincidente con la pulsación de temporización 1864, para continuar fijando el generador de dirección de selección de banco 1700, para el desplazamiento en dirección hacia delante.

El generador de dirección de selección de banco 1700 proporciona la dirección de banco inferior 1 en 1872, en las señales de dirección ~A1 - ~A8 en 1828. La dirección de banco inferior 1 en 1872 se hace válida durante la pulsación de temporización 1846, en la señal de selección SEL6 en 1820 y permanece válida hasta la pulsación de

temporización 1862, en la señal de selección SEL4 en 1812. La dirección de banco inferior 1 en 1872 es válida durante las pulsaciones de temporización 1856, 1858 y 1860, en las señales de selección SEL1, SEL2 y SEL3, en 1800, 1804 y 1808.

El generador de dirección de selección de banco 1702 proporciona la dirección de banco inferior 1 en 1874, en las señales de dirección ~B1 - ~B8 en 1830. La dirección de banco inferior 1 en 1874 se hace válida durante la pulsación de temporización 1860, en la señal de selección SEL3 en 1808 y permanece válida hasta la pulsación de temporización 1876, en la señal de selección SEL1 en 1800. La dirección de banco inferior 1 en 1874 es válida durante las pulsaciones de temporización 1862, 1864 y 1866, en las señales de selección SEL4, SEL5 y SEL6, en 1812, 1816 y 1820.

Las señales de dirección ~A1 - ~A8 en 1828 y ~B1 - ~B8 en 1830 proporcionan las mismas direcciones, la dirección de banco inferior 1 en 1872 y 1874. La dirección de banco inferior 1 es proporcionada durante la serie de seis pulsaciones de temporización, empezando con la pulsación de temporización 1856 y terminando con la pulsación de temporización 1866, lo cual es la ranura de tiempo de dirección para la dirección de banco inferior 1. Durante la siguiente serie de seis pulsaciones, empezando con la pulsación de temporización 1876, las señales de dirección ~A1 - ~A8 en 1828 proporcionan la dirección de banco inferior 2 en 1878 y las señales de dirección ~B1 - ~B8 en 1830 proporcionan la dirección de banco inferior 2. Los generadores de dirección de selección de banco 1700 y 1702, continúan el desplazamiento para proporcionar las direcciones de banco inferior 1-13, desde la dirección de banco inferior 1 hasta la dirección de banco inferior 13, en la dirección hacia delante. Al ser proporcionada la dirección de banco inferior 13, el generador de dirección de selección de banco 1700 y/o el generador de dirección de selección de banco 1702, pueden ser iniciados para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, en la dirección hacia delante o reversa.

En este ejemplo, como la dirección de banco inferior 13 en 1880 es proporcionada en las señales de dirección ~A1 - ~A8 en 1828 y la dirección de banco inferior 13 en 1882 es proporcionada en las señales de dirección ~B1 - ~B8 en 1830, la señal de selección SEL1 en 1800 incluye la pulsación de temporización 1884, la señal de selección SEL2 en 1804 incluye la pulsación de temporización 1886, la señal de selección SEL3 en 1808 incluye la pulsación de temporización 1888, la señal de selección SEL4 en 1812 incluye la pulsación de temporización 1890, la señal de selección SEL5 en 1816 incluye la pulsación de temporización 1892 y la señal de selección SEL6 en 1820 incluye la pulsación de temporización 1894.

La señal de control CSYNC(FWD) 1824 proporciona la pulsación de control 1896, sustancialmente coincidente con la pulsación de temporización 1886, para continuar fijando el generador de dirección de selección de banco 1702, para el desplazamiento en la dirección hacia delante y la pulsación de control 1898, sustancialmente coincidente con la pulsación de temporización 1892, para continuar fijando el generador de dirección de selección de banco 1700, para el desplazamiento en la dirección hacia delante. También, la señal de control CSYNC(FWD) 1824 proporciona la pulsación de control 1900, sustancialmente coincidente con la pulsación de temporización 1888, en la señal de selección SEL3 en 1808. La pulsación de control 1900 inicia el registro de desplazamiento de banco superior en el generador de dirección de selección de banco 1700, para generar las direcciones de banco superior 14-26 en las señales de dirección ~A1 - ~A8 en 1828. Además, la señal de control CSYNC(FWD) 1824 proporciona la pulsación de control 1902, sustancialmente coincidente con la pulsación de temporización 1894, en la señal de selección SEL6 en 1820. La pulsación de control 1902 inicia el registro de desplazamiento de banco superior en el generador de dirección de selección de banco 1702, para generar las direcciones de banco superior 14-26 en las señales de dirección ~B1 - ~B8 en 1830.

En la siguiente serie de seis pulsaciones, la señal de selección SEL1 en 1800 incluye la pulsación de temporización 1904, la señal de selección SEL2 en 1804 incluye la pulsación de temporización 1906, la señal de selección SEL3 en 1808 incluye la pulsación de temporización 1908, la señal de selección SEL4 en 1812 incluye la pulsación de temporización 1910, la señal de selección SEL5 en 1816 incluye la pulsación de temporización 1912 y la señal de selección SEL6 en 1820 incluye la pulsación de temporización 1914.

La señal de control CSYNC(FWD) 1824 proporciona la pulsación de control 1916, sustancialmente coincidente con la pulsación de temporización 1906, para continuar fijando el generador de dirección de selección de banco 1702, para el desplazamiento en la dirección hacia delante y la pulsación de control 1918, sustancialmente coincidente con la pulsación de temporización 1912, para continuar fijando el generador de dirección de selección de banco 1700, para el desplazamiento en la dirección hacia delante.

El generador de dirección de selección de banco 1700 proporciona la dirección de banco superior 14 en 1920, en las señales de dirección ~A1 - ~A8 en 1828. La dirección de banco superior 14 en 1920 se hace válida durante la pulsación de temporización 1894, en la señal de selección SEL6 en 1820 y permanece válida hasta la pulsación de temporización 1910, en la señal de selección SEL4 en 1812. La dirección de banco superior 14 en 1920 es válida durante las pulsaciones de temporización 1904, 1906 y 1908, en las señales de selección SEL1, SEL2 y SEL3, en 1800, 1804 y 1808.

El generador de dirección de selección de banco 1702 proporciona la dirección de banco superior 14 en las señales de dirección ~B1 - ~B8 en 1830. La dirección de banco superior 14 en 1922 se hace válida durante la pulsación de temporización 1908, en la señal de selección SEL3 en 1808 y permanece válida hasta la pulsación ~ de temporización 1924, en la señal de selección SEL1 en 1800. La dirección de banco superior 14 en 1922 es válida durante las pulsaciones de temporización 1910, 1912 y 1914, en las señales de selección SEL4, SEL5 y SEL6, en 1812, 1816 y 1820.

Las señales de dirección ~A1 - ~A8 en 1828 y ~B1 - ~B8 en 1830 proporcionan la misma dirección, la dirección de banco superior 14 en 1920 y 1922. La dirección de banco superior 14 es proporcionada durante la serie de seis pulsaciones de temporización, empezando con la pulsación de temporización 1904 y terminando con la pulsación de temporización 1914, lo cual es la ranura de tiempo de dirección para dirección de banco superior 14. Durante la siguiente serie de seis pulsaciones, empezando con la pulsación 1924, las señales de dirección ~A1 - ~A8 en 1828 proporcionan la dirección de banco superior 15 en 1926 y las señales de dirección ~B1 - ~B8 en 1830 también proporcionan a dirección de banco superior 15. Los generadores de dirección de selección de banco 1700 y 1702 continúan el desplazamiento, para proporcionar las direcciones de banco superior 14-26, desde la dirección de banco superior 14 hasta la dirección de banco superior 26, en la dirección hacia delante.

En funcionamiento en dirección reversa, durante una serie de seis pulsaciones en las señales de selección SEL1, SEL2 ... SEL6, la señal de control CSYNC(REV) 1826 proporciona un nivel de voltaje bajo en 1930, sustancialmente coincidente con la pulsación de temporización 1806 en la señal de selección SEL2 en 1804, para fijar el generador de dirección de selección de banco 1702, para el desplazamiento en la dirección reversa. También, la señal de control CSYNC(REV) 1826 proporciona un nivel de voltaje bajo en 1932, sustancialmente coincidente con la pulsación de temporización 1818 en la señal de selección SEL5 en 1816, para fijar el generador de dirección de selección de banco 1700, para el desplazamiento en la dirección reversa.

Durante la siguiente serie de seis pulsaciones, la señal de control CSYNC(REV) 1826 proporciona un nivel de voltaje bajo en 1934, sustancialmente coincidente con la pulsación de temporización 1838, para continuar fijando el generador de dirección de selección de banco 1702, para el desplazamiento en la dirección reversa y un nivel de voltaje bajo en 1936, sustancialmente coincidente con la pulsación de temporización 1844, para continuar fijando el generador de dirección de selección de banco 1700, para el desplazamiento en la dirección reversa. También, la señal de control CSYNC(REV) 1826 proporciona la pulsación de control 1938, sustancialmente coincidente con la pulsación de temporización 1836, en la señal de selección SEL1 en 1800. La pulsación de control 1938 inicia el registro de desplazamiento de banco inferior en el generador de dirección de selección de banco 1700, para generar las direcciones de banco inferior 13-1, en las señales de dirección ~A1 - ~A8 en 1828. Además, la señal de control CSYNC(REV) 1826 proporciona la pulsación de control 1940, sustancialmente coincidente con la pulsación de temporización 1842, en la señal de selección SEL4 en 1812. La pulsación de control 1940 inicia el registro de desplazamiento de banco inferior en el generador de dirección de selección de banco 1702, para generar las direcciones de banco inferior 13-1, en las señales de dirección ~B1 - ~B8 en 1830.

En la siguiente o tercera serie de seis pulsaciones, la señal de control CSYNC(REV) 1826 proporciona un nivel de voltaje bajo en 1942, sustancialmente coincidente con la pulsación de temporización 1858, para continuar fijando el generador de dirección de selección de banco 1702, para el desplazamiento en la dirección reversa y la pulsación de control 1944, sustancialmente coincidente con la pulsación de temporización 1864, para continuar fijando el generador de dirección de selección de banco 1700, para el desplazamiento en la dirección reversa.

El generador de dirección de selección de banco 1700 proporciona la dirección de banco inferior 13 en 1872, en las señales de dirección ~A1 - ~A8 en 1828. La dirección de banco inferior 13 en 1872 se hace válida durante la pulsación de temporización 1846, en la señal de selección SEL6 en 1820 y permanece válida hasta la pulsación de temporización 1862, en la señal de selección SEL4 en 1812. La dirección de banco inferior 13 en 1872 es válida durante las pulsaciones de temporización 1856, 1858 y 1860, en las señales de selección SEL1, SEL2 y SEL3, en 1800, 1804 y 1808.

El generador de dirección de selección de banco 1702 proporciona la dirección de banco inferior 13 en 1874, en las señales de dirección ~B1 - ~B8 en 1830. La dirección de banco inferior 13 en 1874 se hace válida durante la pulsación de temporización 1860, en la señal de selección SEL3 en 1808 y permanece válida hasta la pulsación de temporización 1876, en la señal de selección SEL1 en 1800. La dirección de banco inferior 13 en 1874 es válida durante las pulsaciones de temporización 1862, 1864 y 1866, en las señales de selección SEL4, SEL5 y SEL6, en 1812, 1816 y 1820.

Las señales de dirección ~A1 - ~A8 en 1828 y ~B1 - ~B8 en 1830 proporcionan la misma dirección, la dirección de banco inferior 13, en 1872 y 1874. La dirección de banco inferior 13 es proporcionada durante la serie de seis pulsaciones de temporización, empezando con la pulsación de temporización 1856 y terminando con la pulsación de temporización 1866, lo cual es la ranura de tiempo de dirección para la dirección de banco inferior 13. Durante la siguiente serie de seis pulsaciones, empezando con la pulsación de temporización 1876, las señales de dirección ~A1 - ~A8 en 1828 proporcionan la dirección de banco inferior 12 en 1878 y las señales de dirección ~B1 - ~B8 en

1830 también proporcionan la dirección de banco inferior 12. Los generadores de dirección de selección de banco 1700 y 1702 continúan el desplazamiento, para proporcionar las direcciones de banco inferior 1-13, desde la dirección de banco inferior 13 hasta la dirección de banco inferior 1. Al ser proporcionada la dirección de banco inferior 1, el generador de dirección de selección de banco 1700 y/o el generador de dirección de selección de banco 1702, pueden ser iniciados para proporcionar las direcciones de banco inferior 1-13 o las direcciones de banco superior 14-26, en la dirección hacia delante o reversa.

En este ejemplo, la dirección de banco inferior 1 es proporcionada en las señales de dirección ~A1 - ~A8 en 1828 y ~B1 - ~B8 en 1830, la señal de control CSYNC(REV) 1826 proporciona un nivel de voltaje bajo en 1946, sustancialmente coincidente con la pulsación de temporización 1886, para continuar fijando el generador de dirección de selección de banco 1702, para el desplazamiento en la dirección reversa y un nivel de voltaje bajo en 1948, sustancialmente coincidente con la pulsación de temporización 1892, para continuar fijando el generador de dirección de selección de banco 1700, para el desplazamiento en la dirección reversa. También, la señal de control CSYNC(REV) 1826 proporciona la pulsación de control 1950, sustancialmente coincidente con la pulsación de temporización 1888, en la señal de selección SEL3 en 1808. La pulsación de control 1950 inicia el registro de desplazamiento de banco superior en el generador de dirección de selección de banco 1700, para generar las direcciones 26-14, en las señales de dirección ~A1 - ~A8 en 1828. Además, la señal de control CSYNC(REV) 1826 proporciona la pulsación de control 1952, sustancialmente coincidente con la pulsación de temporización 1894, en la señal de selección SEL6 en 1820. La pulsación de control 1952, inicia el registro de desplazamiento de banco superior en el generador de dirección de selección de banco 1702, para generar las direcciones 26-14, en las señales de dirección ~B1 - ~B8 en 1830.

En la siguiente serie de seis pulsaciones, la señal de control CSYNC(REV) 1826 proporciona un nivel de voltaje bajo en 1954, sustancialmente coincidente con la pulsación de temporización 1906, para continuar fijando el generador de dirección de selección de banco 1702, para el desplazamiento en la dirección reversa y la pulsación de control 1956, la cual esta a un nivel bajo, es sustancialmente coincidente con la pulsación de temporización 1912, para continuar fijando el generador de dirección de selección de banco 1700, para el desplazamiento en la dirección reversa.

El generador de dirección de selección de banco 1700 proporciona la dirección de banco superior 26 en 1920, en las señales de dirección ~A1 - ~A8 en 1828. La dirección de banco superior 26 en 1920 se hace valida durante la pulsación de temporización 1894, en la señal de selección SEL6 en 1820 y permanece valida hasta la pulsación de temporización 1910, en la señal de selección SEL4 en 1812. La dirección de banco superior 26 en 1920 es valida durante las pulsaciones de temporización 1904, 1906 y 1908, en las señales de selección SEL1, SEL2 y SEL3, en 1800, 1804 y 1808.

El generador de dirección de selección de banco 1702 proporciona la dirección de banco superior 26 en 1922, en las señales de dirección ~B1 - ~B8 en 1830. La dirección de banco superior 26 en 1922 se hace valida durante la pulsación de temporización 1908, en la señal de selección SEL3 en 1808 y permanece valida hasta la pulsación de temporización 1924, en la señal de selección SEL1 en 1800. La dirección de banco superior 26 en 1922 es valida durante las pulsaciones de temporización 1910, 1912 y 1914, en las señales de selección SEL4, SEL5 y SEL6, en 1812, 1816 y 1820.

Las señales de dirección ~A1 - ~A8 en 1828 y ~B1 - ~B8 en 1830 proporcionan la misma dirección, la dirección de banco superior 26, en 1920 y 1922. La dirección de banco superior 26 es proporcionada durante la serie de seis pulsaciones de temporización, empezando con la pulsación de temporización 1904 y terminando con la pulsación de temporización 1914, lo cual es la ranura de tiempo de dirección para la dirección de banco superior 26. Durante la siguiente serie de seis pulsaciones de temporización, empezando con la pulsación de temporización 1924, las señales de dirección ~A1 - ~A8 en 1828 proporcionan la dirección de banco superior 25 en 1926 y las señales de dirección ~B1 - ~B8 en 1830 también proporcionan la dirección de banco superior 25. Los generadores de dirección de selección de banco 1700 y 1702 continúan el desplazamiento para proporcionar las direcciones de banco superior 14-26, desde la dirección de banco superior 26 hasta la dirección de banco superior 14.

Aunque se hayan descrito e ilustrado aquí formas específicas de realización, será apreciado por los ordinarios expertos en la materia, que las formas de realización específicas mostradas y descritas pueden ser sustituidas por una variedad de implementaciones alternativas y/o equivalentes, sin apartarse del ámbito de protección la presente invención. Esta aplicación pretende cubrir cualquier adaptación o variación de las formas de realización específicas tratadas aquí. Por tanto, se pretende que esta invención esté limitada únicamente por las reivindicaciones.

## REIVINDICACIONES

1. Un dispositivo de expulsión o eyección de fluido (22) que comprende:

las células de disparo (70), que incluyen un primer banco de células de disparo y un segundo banco de células de disparo; y un primer generador de dirección (400) configurado para responder a las señales de control, para proporcionar selectivamente una primera secuencia de primeras señales de dirección, adaptadas para habilitar la activación del primer banco de células de disparo y una segunda secuencia de segundas señales de dirección, adaptadas para habilitar la activación del segundo banco de células de disparo, en donde la segunda secuencia de señales de dirección es proporcionada, selectivamente, de forma independiente de la primera secuencia de señales de dirección,

**caracterizado porque** las señales de control comprenden pulsaciones de control y una serie de pulsaciones de temporización y el primer generador de dirección está configurado para iniciar la primera secuencia y para iniciar la segunda secuencia, en respuesta a la recepción de pulsaciones de control, sustancialmente coincidentes con pulsaciones de temporización en la serie de pulsaciones de temporización.

2. El dispositivo de expulsión o eyección de fluido de la reivindicación 1, en donde el primer generador de dirección está configurado para iniciar la primera secuencia, en respuesta a la recepción de una primera pulsación de control, en las pulsaciones de control, sustancialmente coincidente con una primera pulsación de temporización, en la serie de pulsaciones de temporización.

3. El dispositivo de expulsión o eyección de fluido de la reivindicación 2, en donde el primer generador de dirección está configurado para iniciar la segunda secuencia, en respuesta a la recepción de una segunda pulsación de control, en las pulsaciones de control, sustancialmente coincidente con una segunda pulsación de temporización, en la serie de pulsaciones de temporización.

4. El dispositivo de expulsión o eyección de fluido de la reivindicación 2, en donde el primer generador de dirección además comprende:

un circuito de dirección (404), configurado para fijar un primera señal de dirección, en respuesta a la recepción de una tercera pulsación de control, en las pulsaciones de control, sustancialmente coincidente con una tercera pulsación de temporización, en la serie de pulsaciones de temporización.

5. El dispositivo de expulsión o eyección de fluido de la reivindicación 1, en donde las células de disparo comprenden un tercer banco de células de disparo y un cuarto banco de células de disparo y el dispositivo de expulsión o eyección de fluido además comprende:

un segundo generador de dirección configurado para responder a las señales de control, para proporcionar, selectivamente, una tercera secuencia de terceras señales de dirección, adaptada para habilitar la activación del tercer banco de células de disparo y una cuarta secuencia de cuartas señales de dirección, adaptada para habilitar la activación del cuarto banco de células de disparo, en donde la tercera secuencia de señales de dirección es proporcionada, selectivamente, de forma independiente de la cuarta secuencia de señales de dirección.

6. Un método para expulsar o eyectar fluido desde un dispositivo de expulsión o eyección de fluido, comprendiendo el método:

la recepción de señales de control, incluyendo la recepción de pulsaciones de control en una de las señales de control y la recepción de una serie de pulsaciones de temporización en las señales de control; proporcionando, selectivamente, en respuesta a las señales de control, una primera secuencia de primeras señales de dirección, adaptada para habilitar la activación de un primer banco de células de disparo; proporcionando selectivamente, en respuesta a las señales de control, una segunda secuencia de segundas señales de dirección, adaptada para habilitar la activación de un segundo banco de células de disparo, en donde la segunda secuencia de señales de dirección es proporcionada, selectivamente, de forma independiente de la primera secuencia de señales de dirección, donde el suministro selectivo comprende:

responder a las pulsaciones de control recibidas, sustancialmente coincidentes con las pulsaciones de temporización de la serie de pulsaciones de temporización, para iniciar la primera secuencia y para iniciar la segunda secuencia.

7. El método de la reivindicación 6, en donde el suministro selectivo además comprende:

responder a una primera pulsación de control recibida, sustancialmente coincidente con una primera pulsación de temporización en la serie de pulsaciones de temporización, para iniciar la primera secuencia.

8. El método de la reivindicación 7, en donde el suministro selectivo además comprende:

responder a una segunda pulsación de control recibida, sustancialmente coincidente con una segunda pulsación de temporización en la serie de pulsaciones de temporización, para iniciar la segunda secuencia.

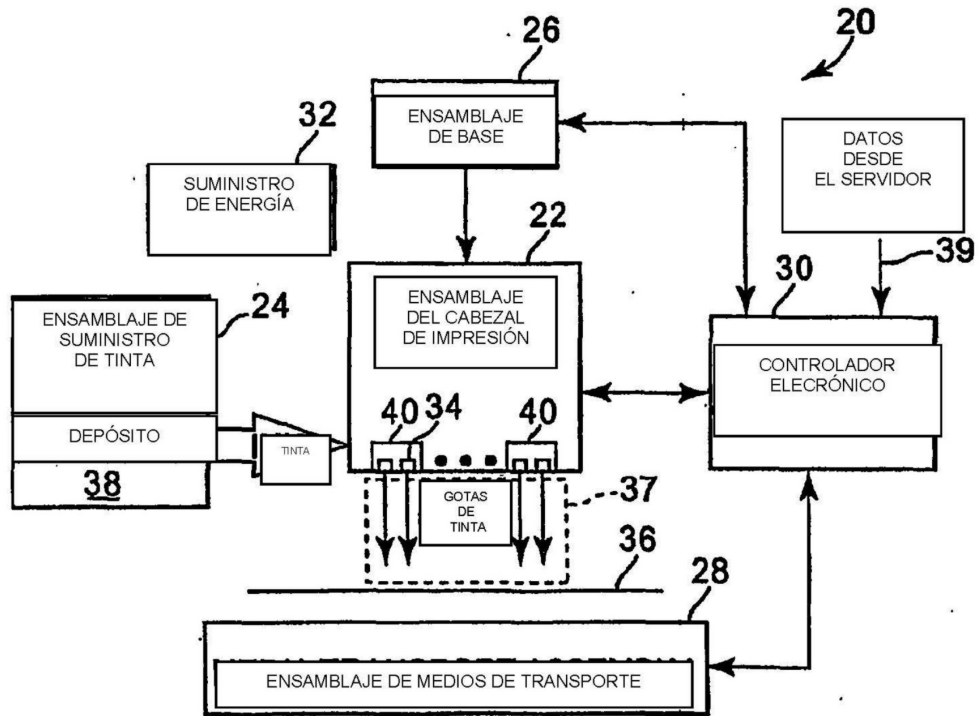
5

9. El método de la reivindicación 8, en donde el suministro selectivo además comprende:

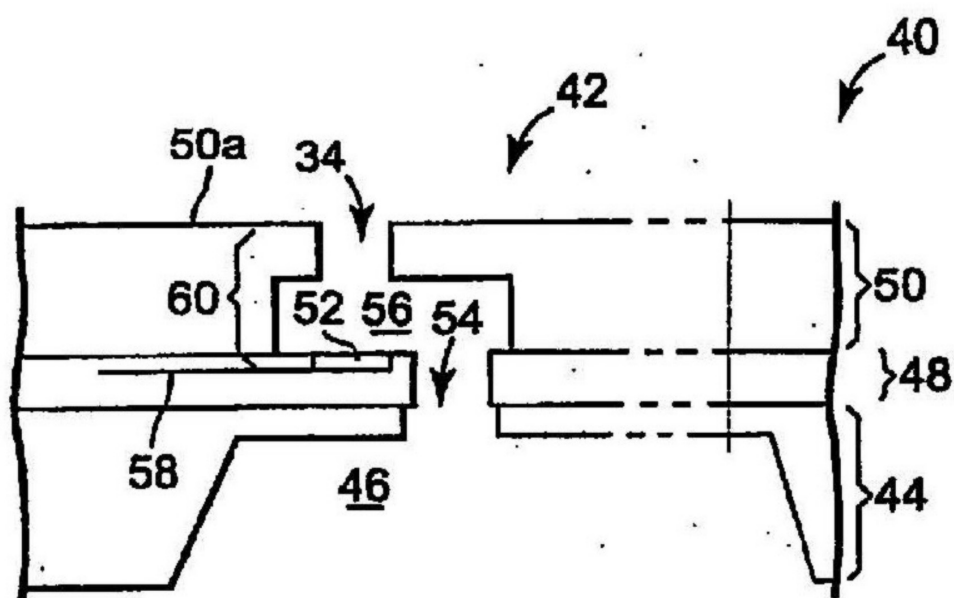
responder a una tercera pulsación de control recibida, sustancialmente coincidente con una tercera pulsación de temporización en la serie de pulsaciones de temporización, para fijar una señal de dirección.

10

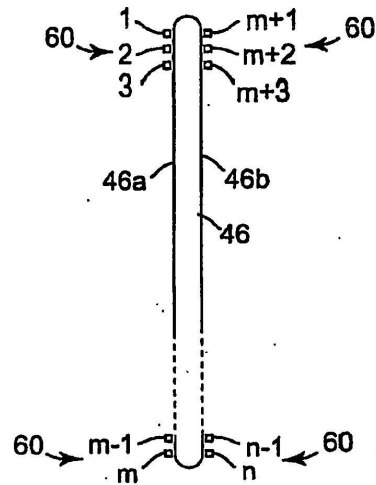




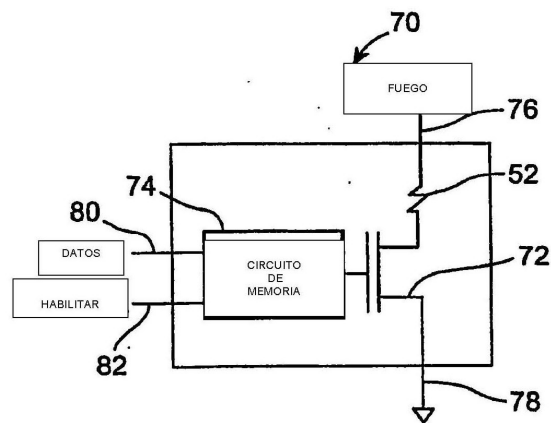
**Fig. 1**



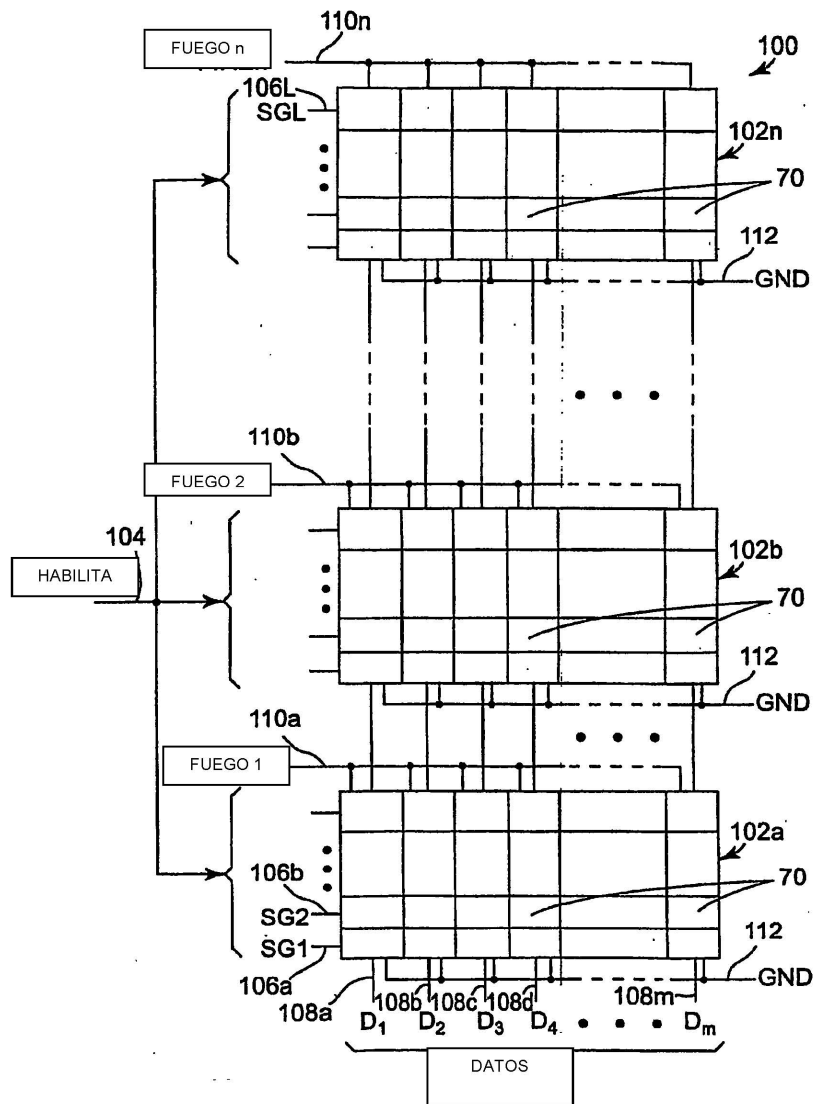
**Fig. 2**



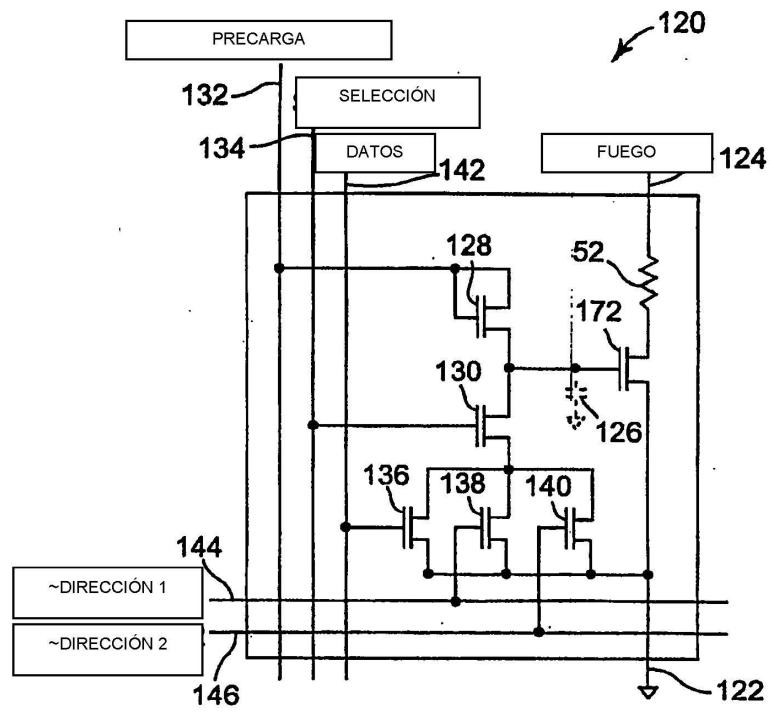
**Fig. 3**



**Fig. 4**



**Fig. 5**



**Fig. 6**

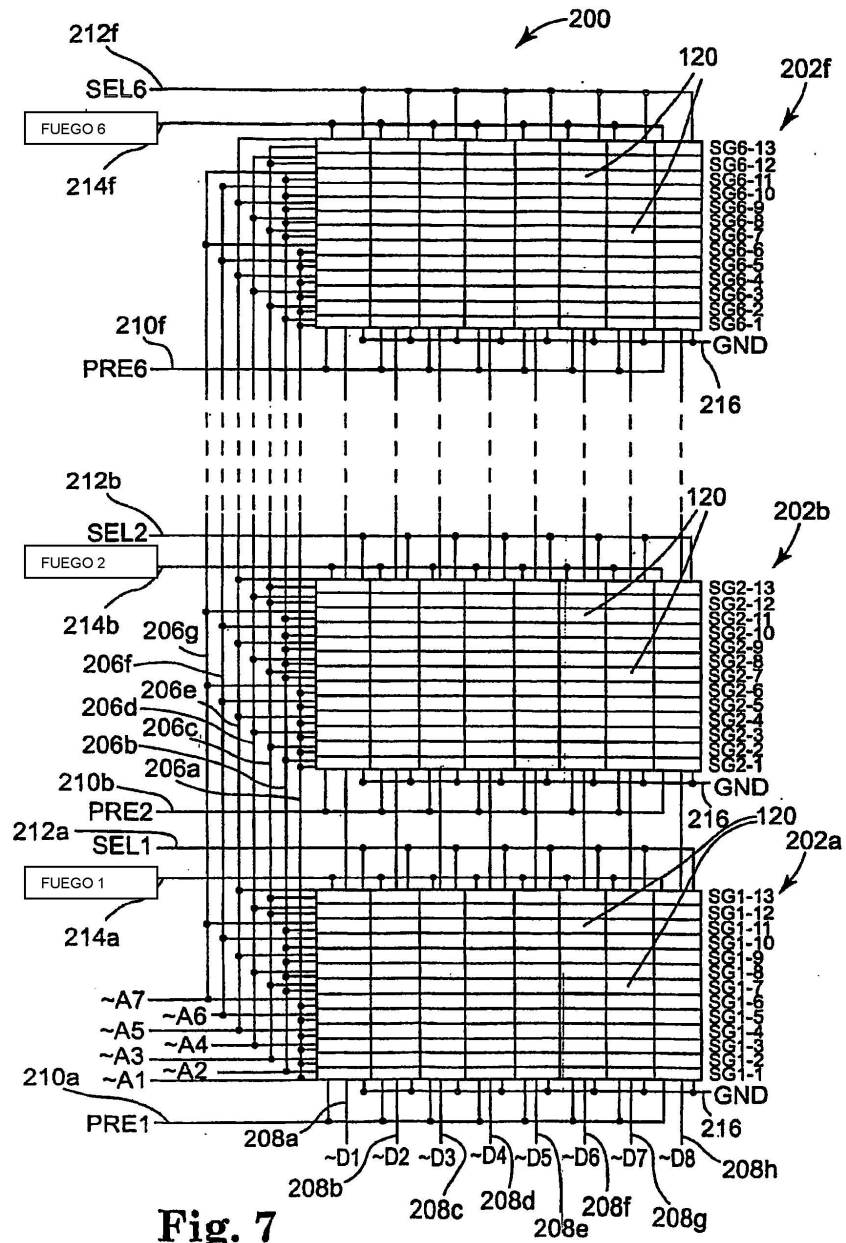


Fig. 7

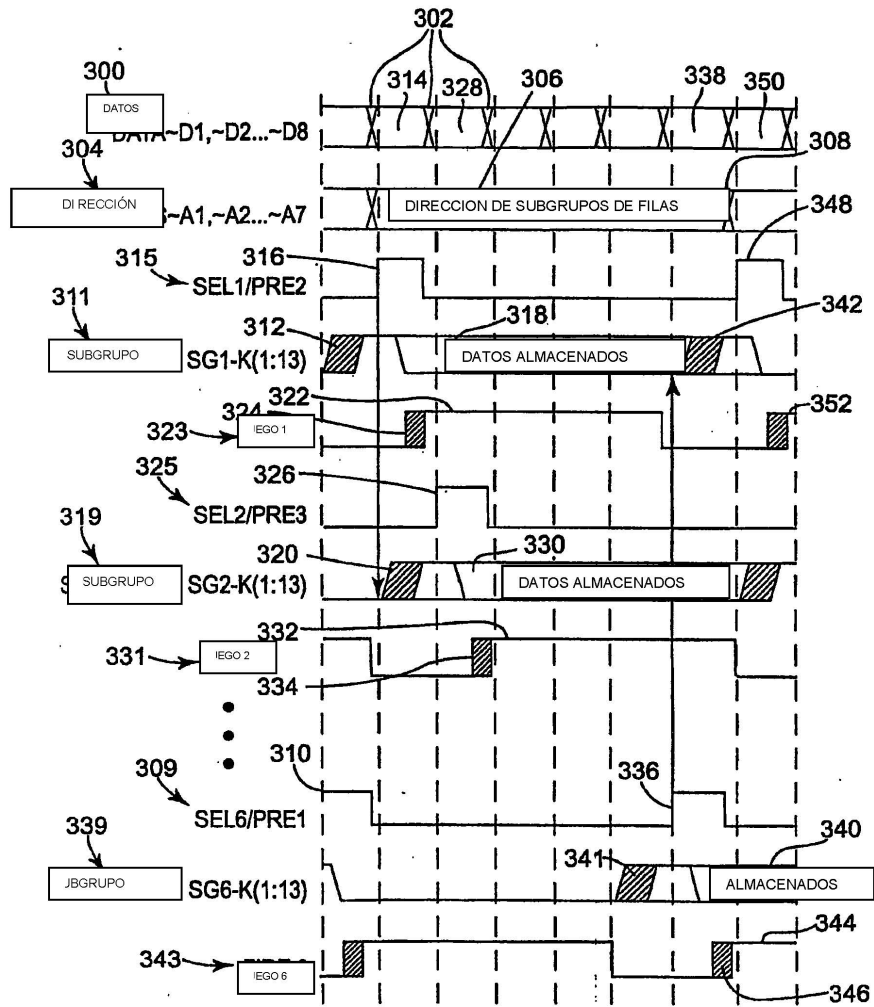
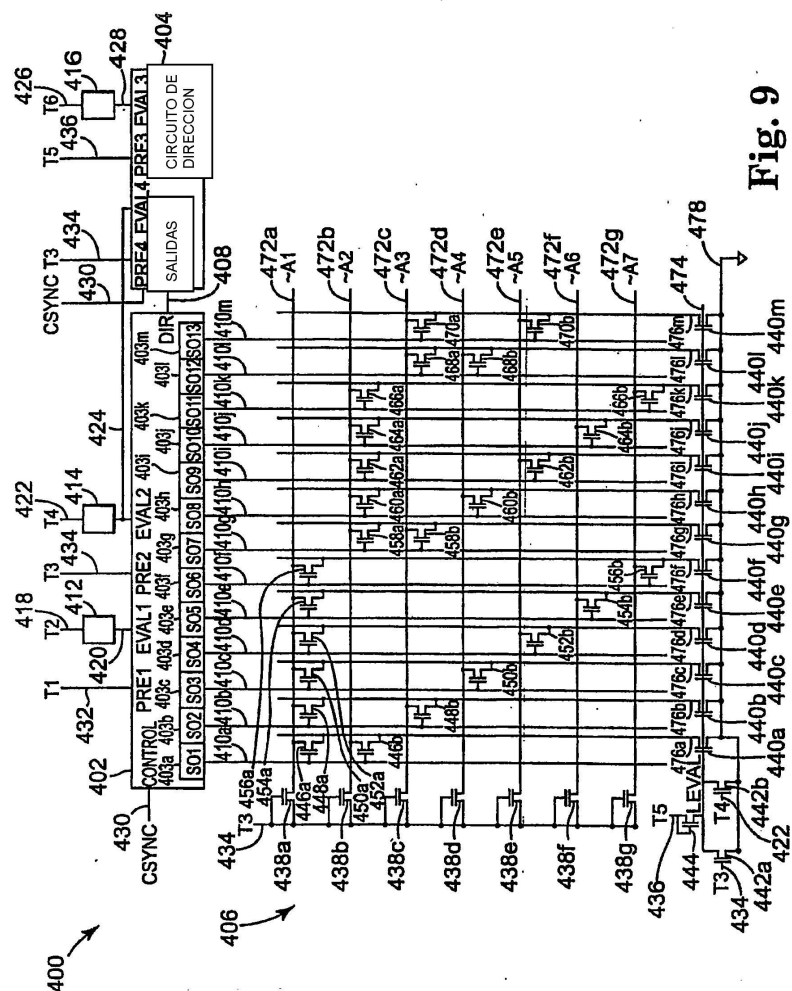


Fig. 8



**Fig. 9**



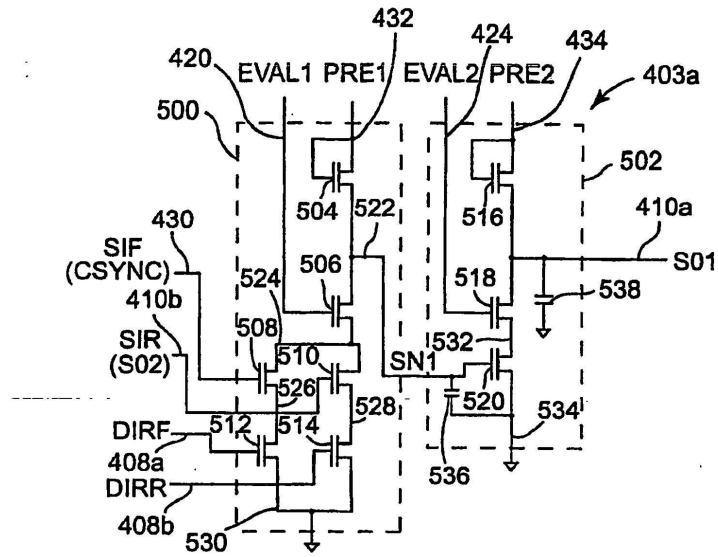


Fig. 10A

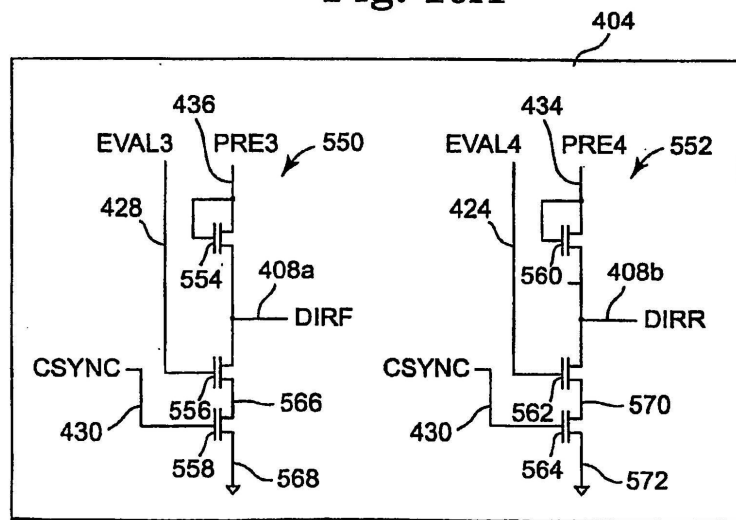


Fig. 10B

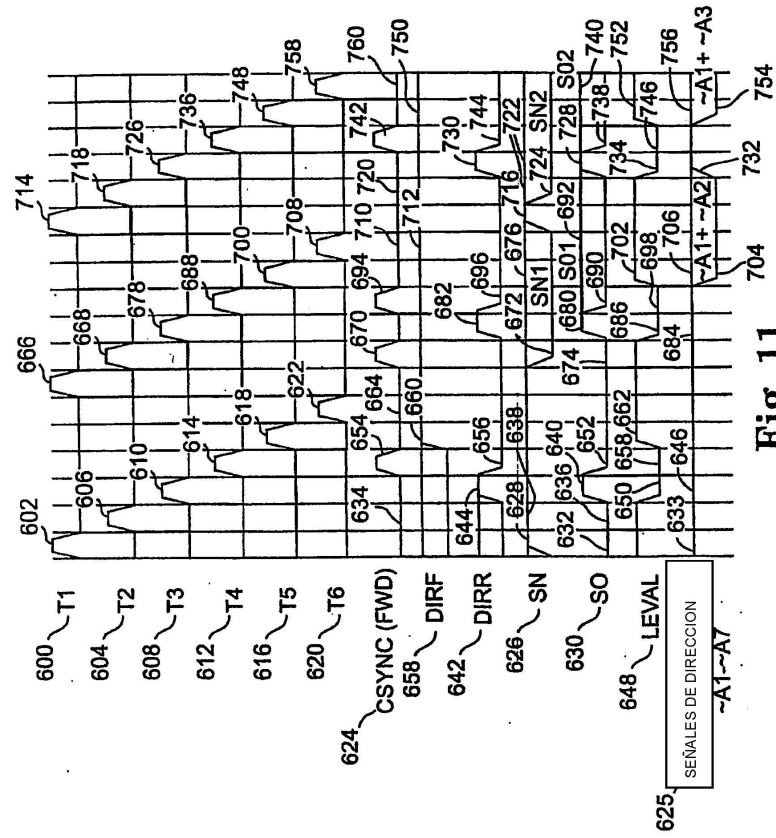


Fig. 11

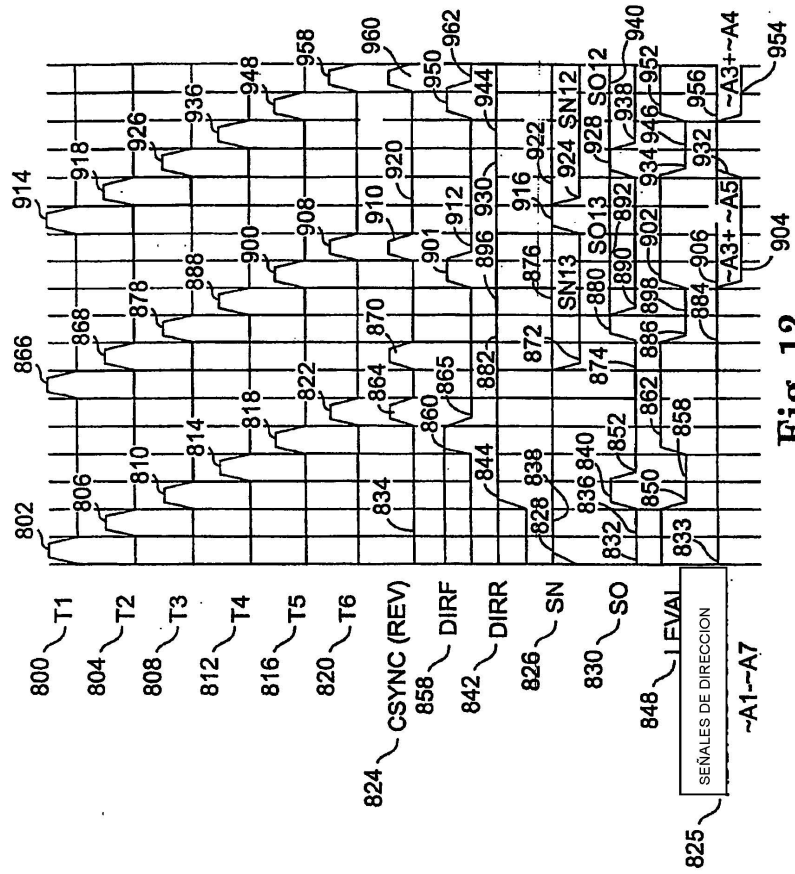


Fig. 12

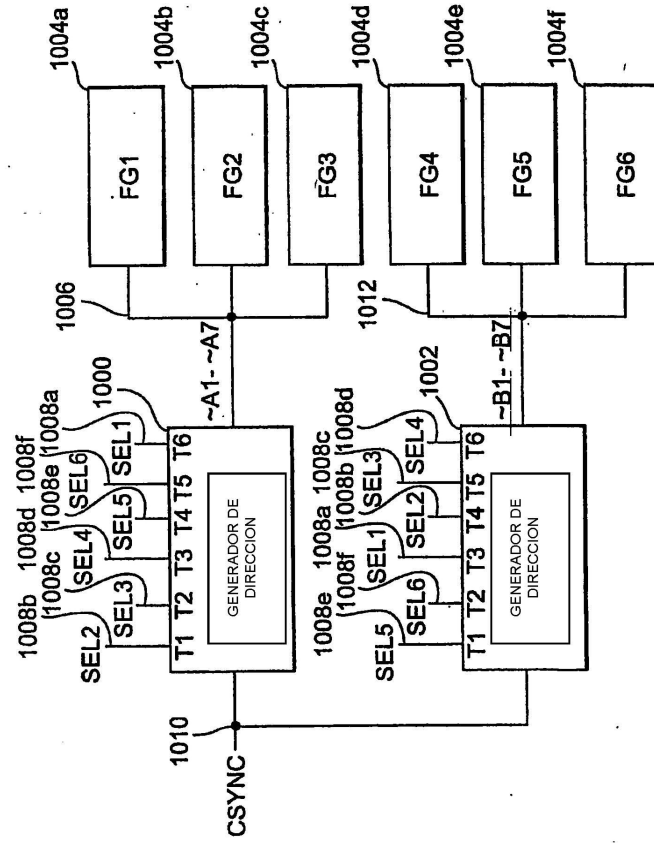
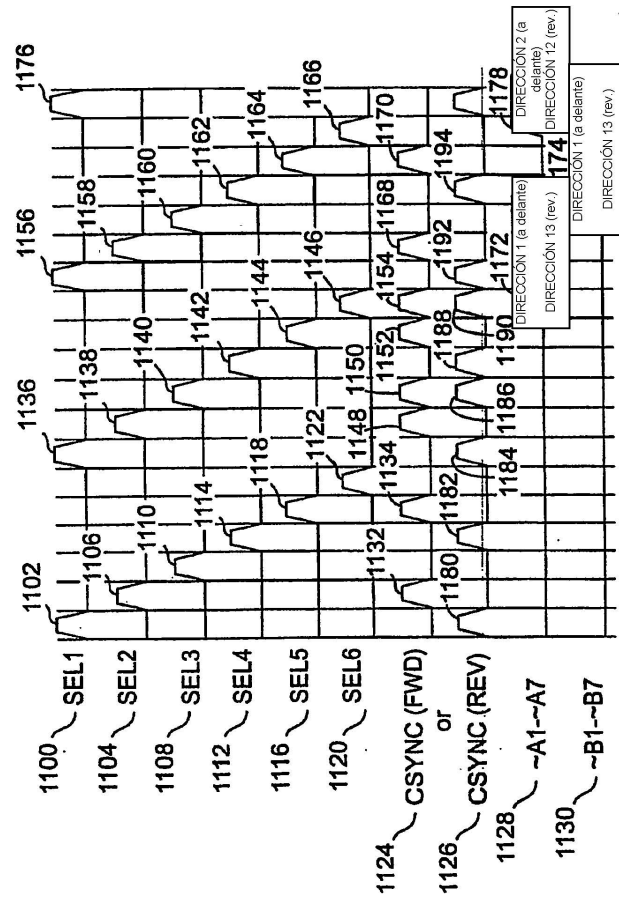


Fig. 13



**Fig. 14**

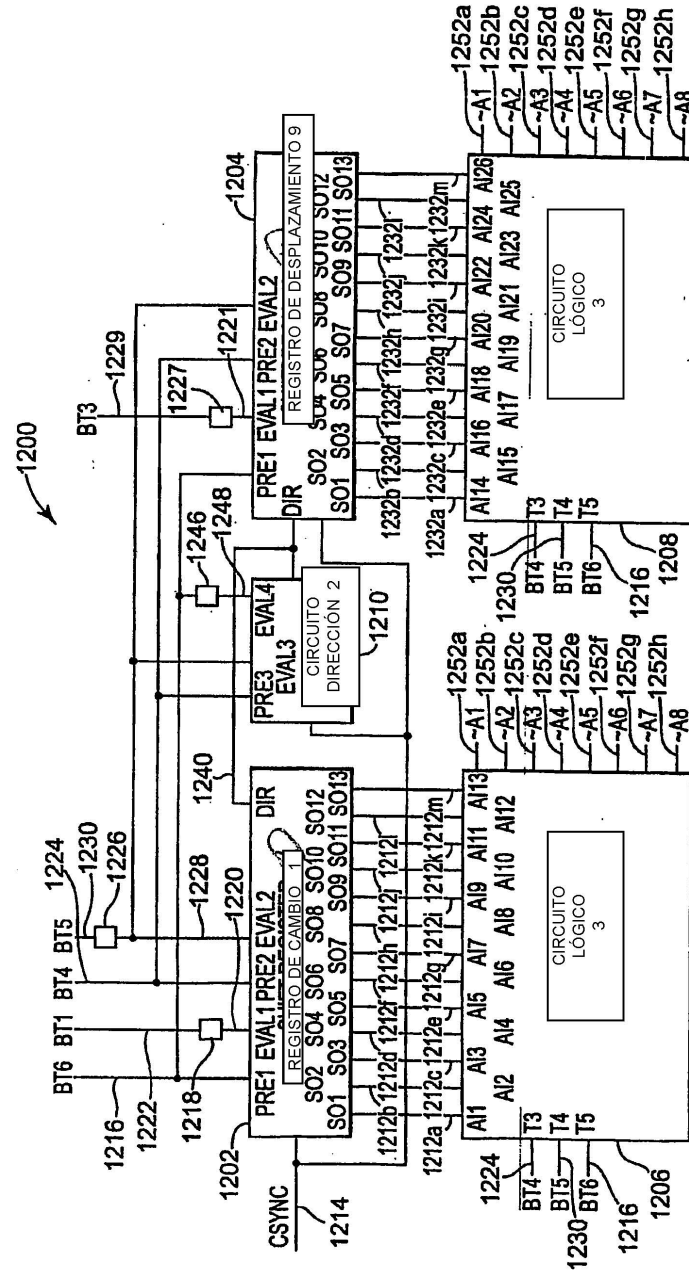
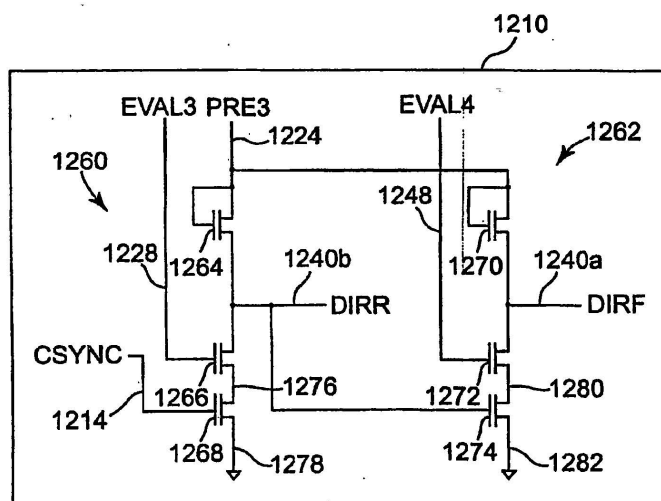


Fig. 15



**Fig. 16**

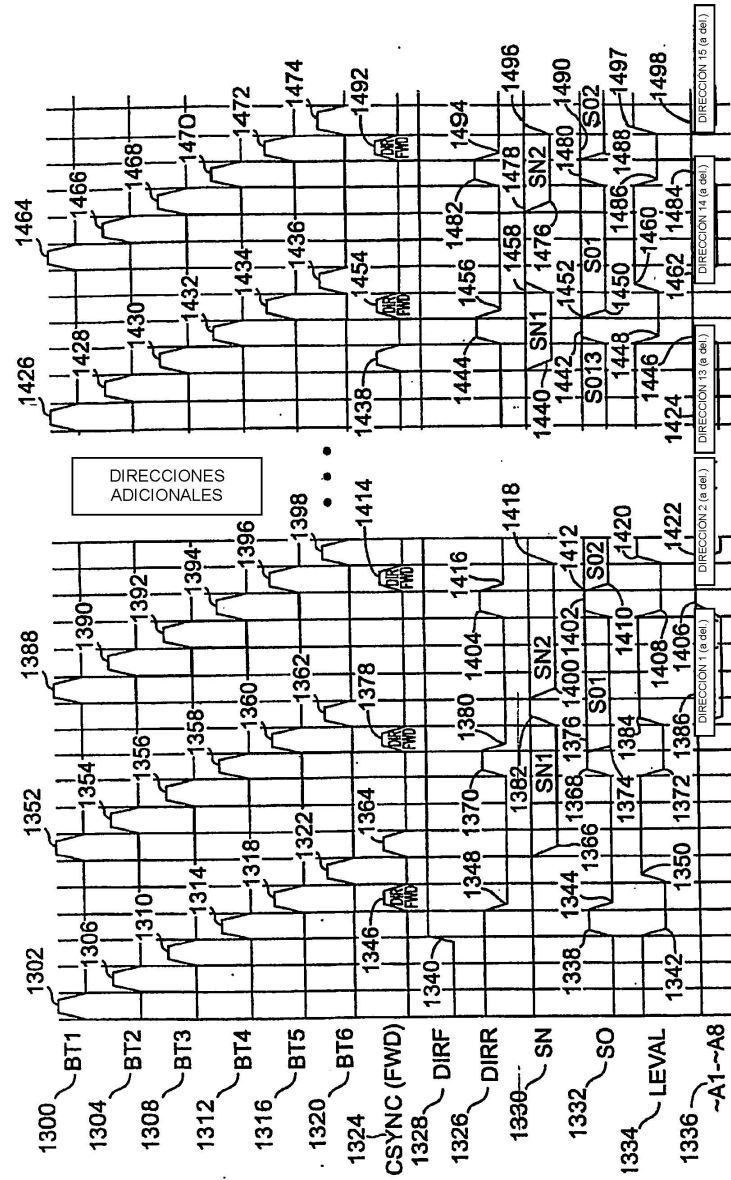


Fig. 17



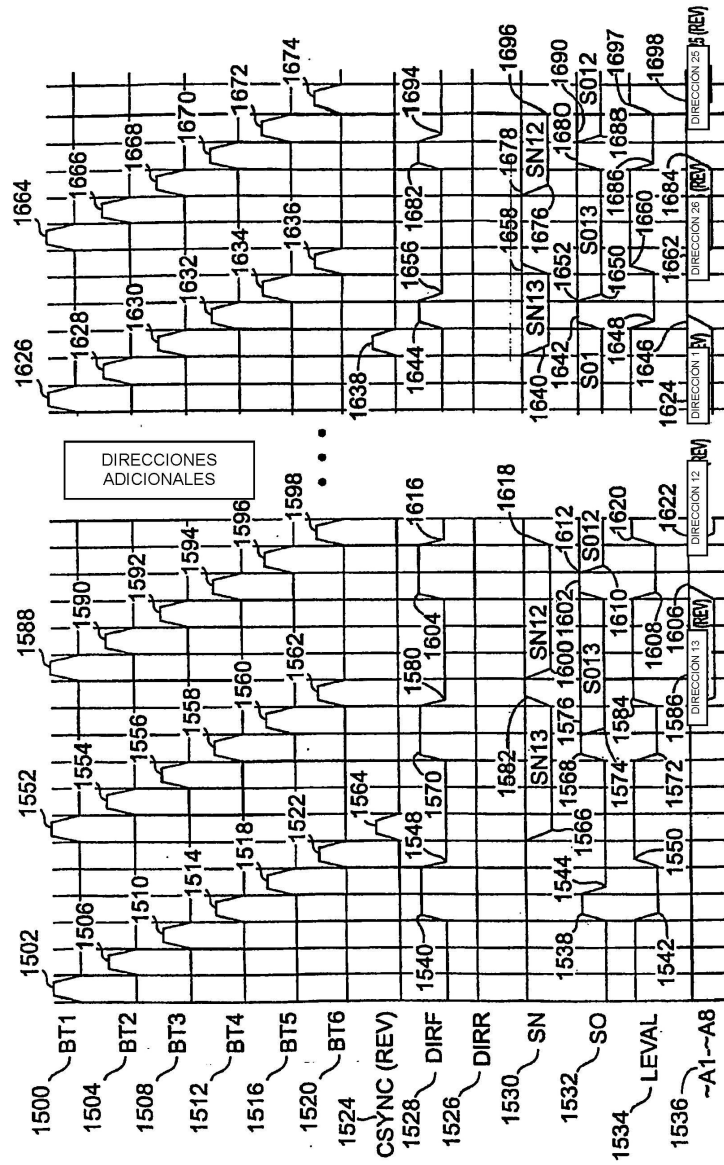


Fig. 18

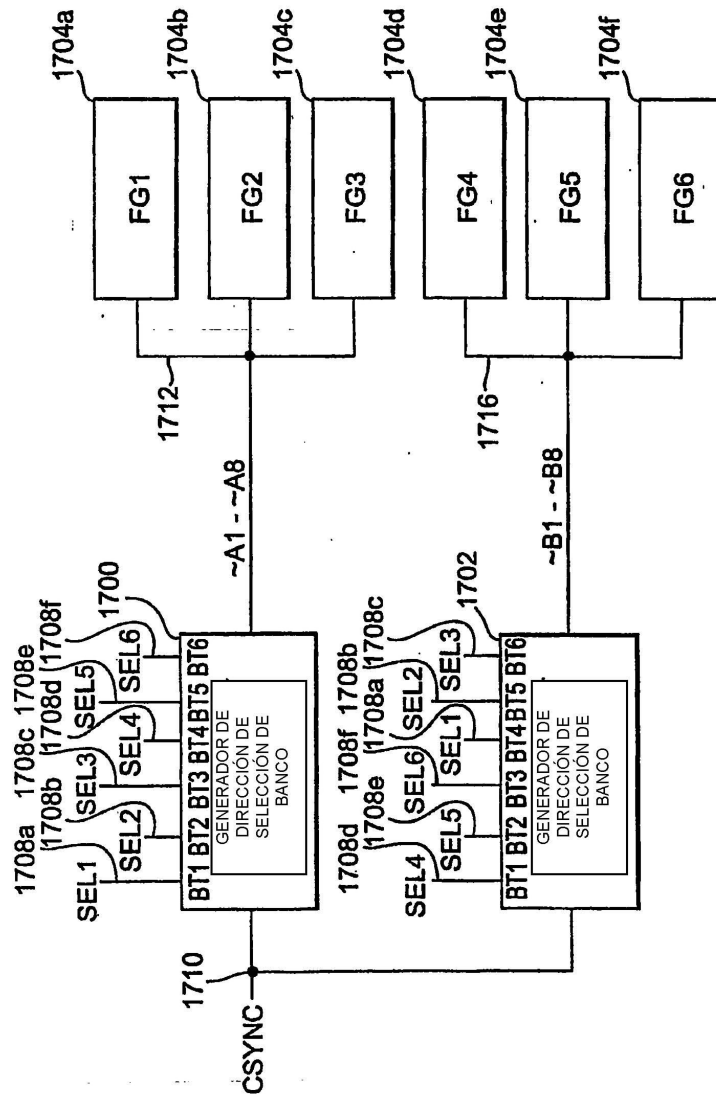


Fig. 19

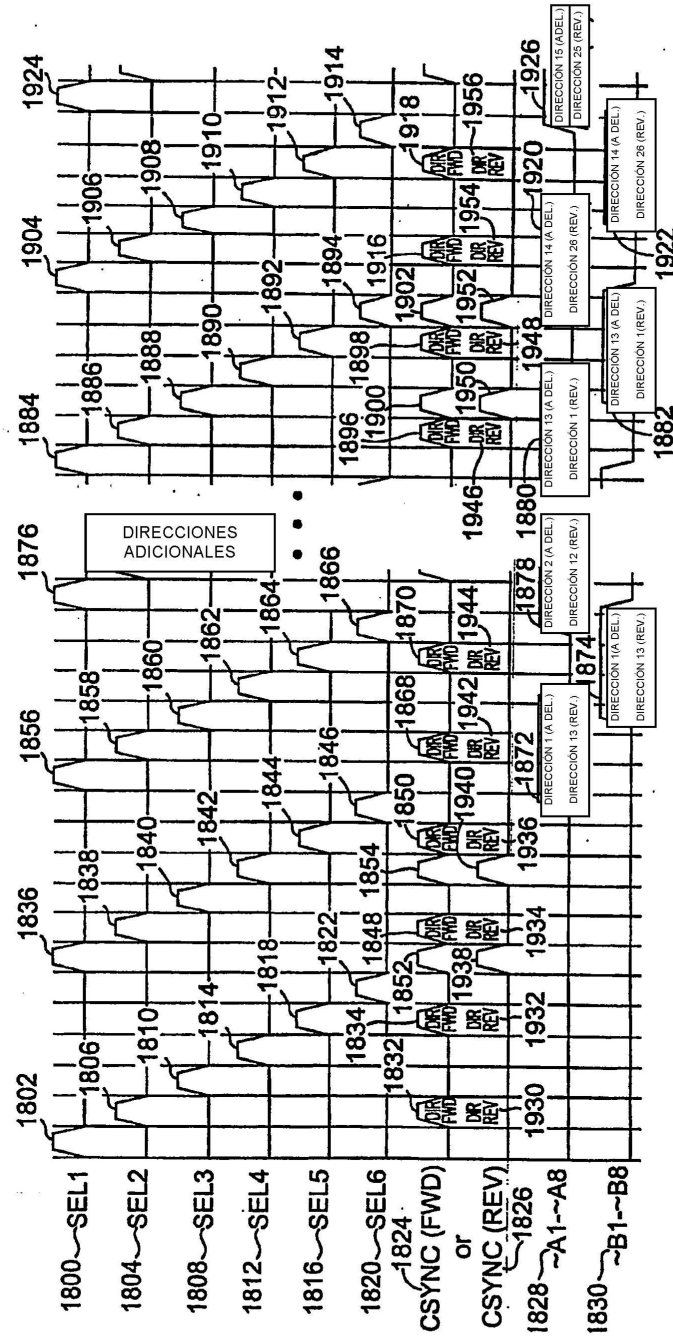


Fig. 20