

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 383 323**

51 Int. Cl.:  
**G06F 13/16** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **06773843 .5**  
96 Fecha de presentación: **23.06.2006**  
97 Número de publicación de la solicitud: **1894109**  
97 Fecha de publicación de la solicitud: **05.03.2008**

54 Título: **Indicador no DRAM y procedimiento de acceso a datos no almacenados en una matriz de DRAM**

30 Prioridad:  
**23.06.2005 US 165950**

45 Fecha de publicación de la mención BOPI:  
**20.06.2012**

45 Fecha de la publicación del folleto de la patente:  
**20.06.2012**

73 Titular/es:  
**QUALCOMM INCORPORATED  
5775 MOREHOUSE DRIVE  
SAN DIEGO, CALIFORNIA 92121, US**

72 Inventor/es:  
**WALKER, Robert, Michael**

74 Agente/Representante:  
**Carpintero López, Mario**

ES 2 383 323 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Indicador no DRAM y procedimiento de acceso a datos no almacenados en una matriz de DRAM

**Antecedentes**

5 La presente invención versa, en general, acerca del campo de la memoria y, en particular, acerca de un procedimiento eficiente de lectura de datos de una SDRAM que no está almacenada en una matriz de DRAM.

10 Los dispositivos electrónicos portátiles se han convertido en accesorios omnipresentes de la vida moderna. Dos tendencias implacables en los dispositivos electrónicos portátiles son la mayor funcionalidad y el menor tamaño. La mayor funcionalidad demanda mayor potencia de cálculo y más memoria. El tamaño decreciente de los dispositivos electrónicos portátiles impone un recargo en el consumo de energía, ya que baterías más pequeñas pueden almacenar y distribuir menos potencia. Así, los avances que aumenten el rendimiento y disminuyan el consumo de energía son ventajosos para los dispositivos electrónicos portátiles.

15 La mayoría de los dispositivos electrónicos portátiles incluyen memoria dinámica de acceso aleatorio (DRAM) para almacenar instrucciones y datos para un procesador u otro controlador. La DRAM es la tecnología de memoria de estado sólido más rentable disponible. Aunque el precio por bit es menor para tecnologías de almacenamiento masivo como unidades de disco, la elevada latencia de acceso, el alto consumo de energía y la elevada sensibilidad al choque y la vibración descartan el uso de unidades de almacenamiento masivo en muchas aplicaciones de dispositivos electrónicos portátiles.

20 La DRAM síncrona (SDRAM) ofrece a la vez un rendimiento mejorado y un diseño simplificado de interfaz con respecto a la DRAM convencional alineando todas las señales de control y los ciclos de transferencia de datos con las señales de reloj. La SDRAM de doble tasa de datos (DDR) permite transferencias de datos tanto en las señales ascendentes como en las descendentes del reloj, proporcionando un rendimiento aún mayor.

25 La mayoría de los módulos de SDRAM incluye un registro de modo para almacenar parámetros configurables tales como la latencia de CAS, la longitud de ráfaga y similares. A medida que la tecnología de la SDRAM aumentó en complejidad y configurabilidad, muchos módulos de SDRAM añadieron un registro de modo extendido para almacenar parámetros configurables adicionales tales como la habilitación del bucle de enganche de retardo (DLL), la intensidad de excitación y similares. Tanto el registro de modo como el registro de modo extendido son de solo escritura. Es decir, no se prevé que un controlador lea el contenido de estos registros. Con la introducción de los registros de modo y de modo extendido, un módulo de DRAM almacenó por vez primera información distinta de datos escritos a la matriz de DRAM y leídos de la misma. En consecuencia, se requirió un nuevo tipo de operación de transferencia de datos.

30 Muchos módulos de SDRAM incluye operaciones del conjunto de registros de modo (MRS) y del conjunto de registros de modo extendido (EMRS) para cargar los registros con los parámetros deseados. Estas operaciones son implementadas comúnmente con una baja excitación simultánea de las señales de control CS, RAS, CAS y WE, seleccionando entre el MRS y el EMRS con bits de direccionamiento de banco, y proporcionando la información que ha de ser escrita al registro seleccionado en las líneas de dirección A0 - A11. En la mayoría de implementaciones, todos los bancos de la DRAM deben estar inactivos en el momento de la instrucción al MRS o el EMRS, y no puede dirigirse ninguna operación adicional al módulo de SDRAM en una duración mínima especificada, tal como seis ciclos de reloj. Estas restricciones no tienen un impacto adverso en el rendimiento de la SDRAM, dado que, debido a la naturaleza de los registros de modo y de modo extendido, son objeto de escritura una vez al inicializarse y no cambian nunca.

35 La especificación industrial de gráficos de doble tasa de datos de tercera generación (GDDR3) proporciona la capacidad de leer información de un módulo de SDRAM distinta de datos almacenados en la matriz de DRAM. Como opción durante una operación de EMRS, la SDRAM puede dar salida a un código de vendedor y a un número de versión por el bus de datos (la información de escritura del EMRS es transmitida por el bus de dirección). Deben observarse todas las restricciones de la operación de EMRS: que todos los bancos estén inactivos y que la operación sea seguida por una duración mínima de inactividad, tal como seis ciclos de reloj. Debido a la naturaleza estática de la información (ID del vendedor y número de versión), solo se precisa que sea leída una vez, como durante la inicialización, y las limitaciones de la operación del EMRS no afectan significativamente el rendimiento.

40 Un aspecto básico de la operación de la DRAM es que la carga capacitiva que almacena datos en cada posición de bit debe ser renovada periódicamente para mantener el estado de los datos. La matriz de DRAM es refrescada por filas; algunos módulos de SDRAM pueden refrescar la misma fila en múltiples bancos de DRAM a la vez. Cada fila de la matriz de la DRAM debe ser refrescada en un periodo especificado de refresco. Las filas de la DRAM pueden ser refrescadas secuencialmente una vez por periodo de refresco, denominado refresco por ráfaga. Sin embargo, esto evita el acceso a la matriz de DRAM durante el tiempo necesario para iterar todas las filas e impone una significativa degradación del rendimiento. Alternativamente, los ciclos de refresco dirigidos a cada fila pueden ser distribuidos de forma homogénea durante todo el periodo de refresco, intercalados con transferencias de datos de

lectura y escritura. Esto se denomina refresco distribuido. El refresco distribuido es implementado más comúnmente, ya que impone una penalización menor sobre el rendimiento.

El periodo total de refresco requerido y, por ende, la separación de los ciclos de refresco en una operación de refresco distribuido, depende de la temperatura del dado de la matriz de DRAM. Como regla empírica general, la frecuencia de refresco debe doblarse con cada 10°C de incremento en la temperatura del dado de la matriz de DRAM. El periodo de refresco especificado para un módulo de SDRAM es, típicamente, el requerido por la DRAM a la temperatura operativa más alta prevista. Así, siempre que el dado de la matriz de DRAM está a una temperatura inferior, el periodo máximo de refresco es mayor y los ciclos de refresco distribuidos pueden separarse más entre sí, reduciendo así su impacto en los accesos de lectura y escritura a la DRAM. Esto mejoraría el rendimiento del procesador y, a la vez, reduciría el consumo de energía al eliminar actividad innecesaria de refresco.

Los ciclos síncronos de lectura para acceder a los datos de un módulo de SDRAM que no se almacenan en una matriz de DRAM pueden ser integrados sin problemas en los ciclos de lectura y escritura para acceder a los datos "normales" de la SDRAM, es decir, datos almacenados en una matriz de DRAM en el módulo de SDRAM. Al usar los ciclos síncronos de lectura para acceder a datos no almacenados en una matriz de DRAM, la salida de un sensor de temperatura en el módulo de SDRAM puede ser leída con un impacto mínimo en los accesos del sistema a datos almacenados en una matriz de DRAM en el módulo de SDRAM. Por ejemplo, no es preciso que todos los bancos estén cerrados y no se impone ningún periodo de espera en los accesos de la SDRAM tras los ciclos de lectura, como ocurre al acceder a los datos del registro de modo extendido por medio del protocolo GDDS3.

Dado que los ciclos síncronos de lectura para acceder a datos no almacenados en una matriz de DRAM son sustancialmente similares, en temporización y secuenciación, a los ciclos síncronos de lectura para acceder a datos que no están almacenados en una matriz de DRAM, la identificación y la extracción de los datos devueltos no almacenados en una matriz de DRAM es problemática. Los controladores de SDRAM funcionan a menudo de manera canalizada, emitiendo solicitudes de ráfagas de datos y recibiendo los datos más tarde (es decir, tras una demora determinada por el campo de latencia de CAS del registro de modo. Además, muchos controladores de SDRAM canalizan más las operaciones de memoria introduciendo datos procedentes de una pluralidad de ciclos de lectura en un FIFO u otra memoria intermedia y poniendo los datos a disposición de dispositivos solicitantes después de una demora adicional desde cuando los datos son capturados del módulo de SDRAM por el controlador.

En la mayoría de los casos, las operaciones de lectura dirigidas a datos que no están almacenados en una matriz de DRAM no son solicitadas por módulos del sistema (tales como dispositivos maestros en una interconexión de bus o por barras cruzadas) y, en consecuencia, no son remitidas por el controlador de la SDRAM. Antes bien, los datos no almacenados en una matriz de DRAM son leídos a menudo por un controlador de SDRAM para su propio consumo: o sea, para obtener una lectura de temperatura mediante la cual ajustar una frecuencia de refresco; para obtener la identificación del módulo de SDRAM para ajustar los parámetros de temporización; para leer los registros de modo o de modo extendido para verificar que fueron debidamente configurados; o similares. Así, los datos leídos no almacenados en una matriz de DRAM deben ser identificados y extraídos de la corriente de datos de lectura almacenados en una matriz de DRAM, que son remitidos a dispositivos maestros solicitantes.

Un enfoque a la identificación y la extracción de datos de lectura no almacenados en una matriz de DRAM sería "atrapar" los datos inmediatamente tras su transferencia desde el módulo de memoria de SDRAM al controlador. Sin embargo, debido a la arquitectura muy canalizada de muchos controladores de memoria, este enfoque tendría un impacto adverso sobre el rendimiento, ya que necesitaría que el controlador detuviera la actividad "normal" de la SDRAM tras emitir un ciclo de acceso a la memoria dirigido a datos no almacenados en una matriz de DRAM hasta que los datos fueran devueltos. Para un máximo rendimiento, la naturaleza síncrona de los ciclos de lectura dirigidos a datos no almacenados en una matriz de DRAM debería ser plenamente explotada mezclándolos sin problemas con accesos normales de lectura. Esto requiere un mecanismo para identificar y extraer los datos no almacenados en una matriz de DRAM, canal abajo, como cuando el controlador de memoria extrae datos de lectura de una memoria intermedia para su despacho al dispositivo maestro solicitante. Se atrae la atención al documento US 2004/230718, que describe un sistema que incluye un ordenador central acoplado a una cadena de módulos de memoria conectados en serie. En un diseño descrito, cada uno de los módulos de memoria incluye un concentrador de control de memoria para controlar el acceso a una pluralidad de chips de memoria en cada módulo de memoria. Los módulos de memoria están acoplados en serie en una cadena al ordenador central por medio de una pluralidad de enlaces de memoria. Cada enlace de memoria puede incluir un enlace ascendente para transportar transacciones hacia el ordenador central y un enlace descendente para transportar transacciones originadas en el ordenador central a un módulo de memoria siguiente en la cadena. El enlace ascendente y el enlace descendente pueden transmitir transacciones usando paquetes, que incluyen paquetes de control y de configuración y paquetes de acceso a la memoria. El concentrador de control de la memoria puede transmitir una transacción recibida por un primer enlace descendente de un primer enlace de memoria por un segundo enlace descendente de un segundo enlace de memoria independiente de la decodificación de la transacción.

**Resumen**

Según la presente invención, se proporcionan un procedimiento de control de uno o más módulos de SDRAM, tal como se plantea en la reivindicación 1, y un controlador de memoria, tal como se plantea en la reivindicación 15. En las reivindicaciones dependientes se reivindican realizaciones de la invención.

5 Según una o más realizaciones, los datos no almacenados en la matriz de DRAM de un módulo de SDRAM, tales como la salida de un sensor de temperatura, son leídos de la SDRAM en un ciclo síncrono de lectura que es intercalado sin problemas con ciclos de lectura y de escritura de SDRAM dirigidos a datos en la matriz de DRAM. La información de control, incluyendo un indicador de información no DRAM en el caso de datos no almacenados en la matriz de DRAM, se mantiene para todos los ciclos de lectura. Los datos devueltos almacenados en una matriz de DRAM y los datos no almacenados en una matriz de DRAM son introducidos conjuntamente en una memoria intermedia. Cuando se extraen los datos leídos de la memoria intermedia, los datos no almacenados en una matriz de DRAM son identificados por el indicador de información no DRAM y dirigidos a circuitos dentro del controlador. Cuando los datos no almacenados en la matriz de DRAM indican la temperatura del dado de SDRAM, el controlador puede ajustar la frecuencia de refresco en respuesta a la temperatura.

15 Una realización está relacionada con un procedimiento de control de uno o más módulos de SDRAM. Se realizan uno o más ciclos de acceso a la memoria de un módulo de SDRAM para acceder a datos no almacenados en una matriz de DRAM del módulo de SDRAM. Cada ciclo de acceso a la memoria en busca de los datos no almacenados en una matriz de DRAM está asociado con un identificador de datos no DRAM. Después de que se reciben de un módulo de SDRAM los datos no almacenados en una matriz de DRAM, los datos no almacenados en una matriz de DRAM son extraídos en respuesta al identificador de datos que no están en la DRAM.

20 Otra realización está relacionada con un controlador de memoria operativo para emitir ciclos síncronos de lectura a un módulo de memoria, estando dirigidos los ciclos síncronos de lectura a datos almacenados en una matriz de DRAM y a datos no almacenados en una matriz de DRAM. El controlador incluye una memoria intermedia de datos de lectura operativa para introducir en ella los datos recibidos almacenados en una matriz de DRAM y datos no almacenados en una matriz de DRAM. El controlador también incluye una memoria intermedia de control de lectura operativa para introducir en ella información de control asociada con cada ciclo síncrono de lectura, incluyendo la información un indicador de información no DRAM en el caso de ciclos de lectura dirigidos a datos no almacenados en una matriz de DRAM. Además, el controlador incluye una lógica de respuesta de lectura que controla la memoria intermedia de datos de lectura y que es operativa para identificar y extraer datos no almacenados en una matriz de DRAM de la memoria intermedia de datos de lectura en respuesta al indicador de información no DRAM.

**Breve descripción de los dibujos**

La Figura 1 es un diagrama de bloques funcionales de una interconexión de sistemas.

La Figura 2 es un diagrama de bloques funcionales de un dispositivo esclavo que comprende un controlador y un módulo de memoria SDRAM que representa los bloques funcionales del módulo de SDRAM.

35 La Figura 3 es un diagrama de bloques funcionales de un dispositivo esclavo que comprende un controlador y un módulo de memoria SDRAM que representa los bloques funcionales del controlador.

La Figura 4 es un diagrama de flujo que representa un procedimiento de control de uno o más módulos de SDRAM.

**Descripción detallada**

40 La transferencia de datos entre unidades funcionales es una operación fundamental de cualquier sistema de ordenadores. La mayoría de los sistemas de ordenadores incluyen uno o más dispositivos maestros, tales como procesadores, coprocesadores, motores de acceso directo a la memoria (DMA), puentes de bus, motores gráficos o similares. Un dispositivo maestro es aquel que puede iniciar operaciones de transferencia de datos en un bus o una interconexión del sistema para transferir datos a dispositivos esclavos y/o procedentes de los mismos. Los dispositivos esclavos —que pueden incluir, por ejemplo, memoria, unidades de disco, circuitos de entrada/salida (E/S), controladores gráficos, relojes de tiempo real y muchos otros circuitos y dispositivos— responden a operaciones de transferencia de datos en el bus del sistema aceptando datos de escritura y/o proporcionando datos de lectura. Los dispositivos esclavos no inician operaciones de transferencia de datos por el bus.

50 La Figura 1 representa un sistema de transferencia de datos de algo rendimiento, indicado en su conjunto por el número 10. Una matriz 12 de conmutación, también denominada conmutado de barras cruzadas, interconecta una pluralidad de dispositivos maestros 14 con una pluralidad de dispositivos esclavos 16, en el caso más general con cualquier dispositivo maestro que tenga acceso a cualquier dispositivo esclavo. Por ejemplo, la Figura 2 representa un Maestro 1 que accede a un Esclavo 1 y, simultáneamente, a un Maestro 2 que accede a un Esclavo 0. En algunas implementaciones, uno o más de los dispositivos esclavos 16 pueden incluir dos o más buses de dirección, permitiendo el acceso simultáneo por parte de más de un dispositivo maestro 14.

Un tipo de dispositivo esclavo 16, representado en la Figura 2, es un subsistema de memoria. El dispositivo esclavo 16 de memoria incluye un controlador 50 y uno o más módulos 100 de memoria. El controlador 50 puede comprender un procesador, un procesador de señales digitales, un microcontrolador, una máquina de estado o similares. En una realización ejemplar, el módulo 100 de memoria puede comprender un módulo 100 de SDRAM. El controlador 50 dirige operaciones al módulo 100 de SDRAM por medio de señales de control de reloj (CLK), habilitación de reloj (CKE), selección de chip (CS), señal estroboscópica de direccionamiento de filas (RAS), señal estroboscópica de direccionamiento de columnas (CAS), habilitación de escritura (WE) y calificadores de datos (DQM), como se conoce bien en la técnica. El controlador 50 proporciona una pluralidad de líneas de dirección al módulo 100 de SDRAM y un bus bidireccional de datos conecta los dos. El módulo de SDRAM incluye una matriz 104 de DRAM, que puede estar dividida en una pluralidad de bancos 106. La matriz de DRAM almacena instrucciones y datos y es objeto de lectura, escritura y refresco por el circuito 108 de control de la SDRAM bajo la dirección del controlador 50.

El módulo 100 de SDRAM incluye, además, un registro 110 de modo y un registro 112 de modo extendido. El módulo 100 de SDRAM puede incluir, además, información 114 de identificación, tal como ID de vendedor, número de versión, fecha información, información del dado y similares. La información 114 de identificación puede estar almacenada en un registro; alternativamente, puede estar cableada en el dado.

El módulo 100 de SDRAM incluye, además, un circuito 116 detector de la temperatura, que incluye uno más sensores de la temperatura, como un termistor 118 dispuesto próximo a la matriz 104 de DRAM y operativo para detectar la temperatura del dado de la matriz de DRAM. El contenido del registro 110 de modo y del registro 112 de modo extendido, de la identificación 114 del módulo de SDRAM y de la salida del sensor 116 de temperatura son todos ejemplos de datos que pueden ser leídos del módulo 100 de SDRAM, pero que no se almacenan en la matriz 104 de DRAM.

La Figura 3 representa otra vista del dispositivo esclavo 16 de memoria que muestra, en una realización ejemplar, un diagrama de bloques funcionales del controlador 50. El controlador 50 responde a solicitudes de transferencia de datos de lectura y escritura procedentes de dispositivos maestros 14, según se determina mediante el arbitraje implementado en la interconexión 12 de sistemas. El controlador 50 dirige ciclos de acceso de lectura y escritura a la memoria al módulo 100 de memoria bajo el control de una máquina 52 de estado. La máquina 52 de estado dirige a un módulo 54 de E/S para que genere la temporización y la secuenciación debidas de señales de control, tales como CS, RAS, CAS, WE, DQM y similares. Además, el bloque 54 de E/S da salida a la dirección de memoria del bus de dirección y a las señales de selección de banco. Pueden dirigirse ciclos síncronos de lectura a datos almacenados en el módulo 100 de memoria dentro de una matriz 104 de DRAM, o a datos no almacenados en la matriz 104 de DRAM (tales como los registros 110, 112, información 114 de identificación, un sensor 116 de temperatura u otras fuentes de datos ajenas a la matriz 104 de DRAM en el módulo 100 de SDRAM). Además, los ciclos síncronos de lectura dirigidos a datos almacenados en la matriz 104 de DRAM y a datos no almacenados en la matriz 104 de DRAM pueden mezclarse sin problemas para maximizar el rendimiento del dispositivo esclavo 16 de memoria.

Los datos leídos devueltos desde el módulo 100 de memoria son capturados en el bus de datos usando la señal estroboscópica DQS, en el bloque 56 de E/S. Los datos leídos son introducidos entonces en una memoria intermedia de almacenamiento de datos, tal como el FIFO 58. Para despachar debidamente los datos de lectura al dispositivo maestro solicitante, el controlador 50 mantiene información de control en una memoria intermedia, tal como el FIFO 60 de control de lectura. La información de control puede incluir la longitud de ráfaga del ciclo de lectura; la identificación del dispositivo maestro solicitante 14, en el caso de ciclos de lectura dirigidos a datos contenidos en la matriz 104 de DRAM; y un indicador de información no DRAM y, opcionalmente, una dirección no DRAM, en el caso de ciclos de lectura dirigidos a datos no almacenados en la matriz 104 de DRAM. Cada caso de información de control en el FIFO 60 de control de lectura está asociado de manera única con datos de lectura en el FIFO 58 de datos de lectura.

El controlador 50 incluye una lógica 62 de respuesta de lectura, que extrae datos de lectura e información de control asociada y despacha los datos de lectura. En la realización representada, la lógica 62 de respuesta de lectura baja simultáneamente datos de lectura del FIFO 58 y control de lectura del FIFO 60. La lógica 62 de respuesta de lectura despacha datos de lectura bajados del FIFO 58 de datos de lectura con base en la información de control asociada bajada del FIFO 60 de control de lectura. En el caso de datos de lectura almacenados en la matriz 104 de DRAM, los datos de lectura son devueltos al dispositivo maestro solicitante 14 a través de la interconexión 12 de sistemas.

En el caso de datos no almacenados en la matriz 104 de DRAM —tal como se indica por la presencia de un indicador de información no DRAM—, la lógica de respuesta de lectura dirige los datos de lectura a un destino dentro del controlador 50. En una realización, hay solo una fuente de datos de lectura no almacenados en la matriz 104 de DRAM, denominada en el presente documento registro de estado de la SDRAM. Obsérvese que no es preciso que el registro de estado de la SDRAM sea un registro real que comprenda elementos de almacenamiento. Más bien, la salida del circuito 116 de detección de la temperatura de la SDRAM puede ser leída directamente accediendo al registro de estado de la SDRAM. En una realización, se devuelven al controlador 50 tanto la temperatura como la información 114 de identificación de la SDRAM como resultado de un ciclo síncrono de lectura dirigido al registro de estado de la SDRAM. En otras realizaciones, pueden concatenarse datos adicionales y ser

leídos como para del registro de estado de la SDRAM. Con independencia de los datos incluidos en una lectura del registro de estado de la SDRAM, la lógica 62 de respuesta de lectura identifica los datos del registro de estado de la SDRAM como datos no almacenados en la matriz 104 de DRAM en respuesta al indicador de información no DRAM. Tras esta identificación, los datos no son dirigidos al dispositivo maestro solicitante 14, sino que son encaminados al circuito apropiado del controlador 50.

Los datos de temperatura de la SDRAM son dirigidos al contador y al circuito lógico 64 de refresco, en los que puede calcularse la frecuencia óptima de refresco con base en la temperatura real actual del dado de la matriz 104 de DRAM. El contador y el circuito lógico 64 de refresco envía entonces señales de refresco requerido a la máquina 52 de estado a la frecuencia óptima. Esto permite que el controlador maximice el rendimiento y minimice el consumo de energía distanciando los ciclos de refresco con tan poca frecuencia como resulte posible para conservar el estado de los datos del módulo 100 de SDRAM. El intervalo con el que se lee el registro de estado de la SDRAM —para obtener los datos de la temperatura actual y determinar si está justificado un cambio en la frecuencia de refresco— es determinado por el temporizador 66 de muestreo de la temperatura de la DRAM, que puede ser programable. Alternativamente, puede iniciarse una lectura del registro de estado de la SDRAM por una instrucción del soporte lógico.

La información de identificación de la SDRAM es dirigida a un registro 68 de ID del dispositivo. El controlador 50 puede alterar diversos parámetros de interfaz (tales como la temporización, procedimientos de inicialización y similares) en respuesta a la ID del dispositivo de SRAM, según se refleja en el registro 68 de ID del dispositivo.

En la realización expuesta en lo que antecede, un solo registro de estado de la SDRAM comprende la única diana de ciclos de lectura a datos no almacenados en la matriz 104 de DRAM, y el registro de estado de la SDRAM leído devuelve tanto la temperatura como la información de ID de la SDRAM. En otra realización, un ciclo síncrono de lectura puede ser dirigido a una pluralidad de dirección en busca de datos no almacenados en la matriz 104 de DRAM. Por ejemplo, pueden ser leídos el registro 100 de modo y el registro 112 de modo extendido. En esta realización, el circuito 116 de detección de la temperatura puede ser leído por separado de la información 114 de identificación de la SDRAM. En esta realización, para distinguir los diferentes tipos de datos no almacenados en la matriz 104 de DRAM, puede almacenarse una dirección no DRAM con el indicador de información no DRAM en la información de control, tal como en el FIFO 60 de control de lectura. La lógica 62 de respuesta de lectura consideraría entonces la dirección no DRAM en la identificación y la dirección de los datos no almacenados en la matriz 104 de DRAM al circuito apropiado del controlador 50.

En las realizaciones descritas en lo que antecede, el indicador de información no DRAM puede comprender un único bit en la información de control. En una realización, un solo controlador 50 en un dispositivo esclavo 16 puede controlar una pluralidad de módulos 100 de SDRAM. En este caso, la temperatura de cada módulo 100 de SDRAM puede ser monitorizada por separado, para optimizar de forma independiente la frecuencia de refresco para cada módulo 100 de SDRAM. En esta realización, el indicador de información no DRAM puede comprender una pluralidad de bits. Además, la codificación de los bits puede indicar de cuál de los módulos 100 de SDRAM se leyeron los datos no almacenados en la matriz 104 de DRAM. En esta realización, el contador y la lógica 64 de refresco, el registro 68 de ID del dispositivo y otros circuitos pueden ser replicados o pueden ser diseñados para mantener valores separados para cada módulo 100 de SDRAM, según se requiera o se desee.

En la Figura 4 se representa un procedimiento de control de uno o más módulos de SDRAM, indicado en general por el número 150. El controlador 50 lleva a cabo operaciones síncronas de lectura y escritura dirigidas a datos almacenados en la matriz 104 de DRAM (bloque 152). Esta es, por supuesto, la operación normal del controlador de la SDRAM y, aunque se representa como un único bloque o una única etapa de procedimiento, es, en realidad, una actividad en curso. La máquina 52 de estado, u otro circuito de control dentro del controlador 50, recibe entonces una señal para leer datos no almacenados en la matriz 104 de DRAM (bloque 154). Esto puede comprender una señal de “lectura de la temperatura de la DRAM” procedente del temporizador 66 de muestro de la temperatura de la DRAM. Alternativamente, podría ser una instrucción del soporte lógico. El controlador 50 lleva a cabo una operación síncrona de lectura dirigida a datos no almacenados en la matriz 104 de DRAM (bloque 156), tal como leer un registro de estado de la SDRAM (que puede contener información de temperatura), o leer directamente una o más fuentes individuales de datos no almacenados en la matriz 104 de DRAM. La máquina 52 de estado genera información de control que incluye un indicador de información no DRAM y lo asocia con el ciclo de lectura a datos no almacenados en la matriz 104 de DRAM (bloque 158).

El controlador 50 recibe e introduce en memoria intermedia datos leídos devueltos por el módulo 100 de SDRAM (bloque 160). Según se indica por la flecha “en bucle”, esta es una actividad en curso, que ocurre en respuesta a ciclos de lectura emitidos por el controlador 50 anteriormente en el canal de interfaz de la memoria. A medida que los datos introducidos en memoria intermedia van apareciendo para su disposición, la lógica 62 de respuesta de lectura inspecciona la información de control (tal como la introducida en memoria intermedia en el FIFO 60 de control de lectura) para un indicador de información no DRAM (bloque 62). La lógica 62 de respuesta de lectura usa el indicador de información no DRAM para identificar datos de lectura asociados con esa información de control como no almacenados en la matriz 104 de DRAM. Con base en esta identificación, la lógica 62 de respuesta de lectura despacha los datos de lectura que estaban almacenados en la matriz 104 de DRAM al dispositivo maestro solicitante

14 (identificado, por ejemplo, por una ID del dispositivo maestro en la información de control). La lógica 62 de respuesta de lectura dirige los datos de lectura que no estaban almacenados en la matriz 104 de DRAM al circuito apropiado del controlador 50, tal como el controlador y la lógica 64 de control de refresco para los datos de temperatura (164). El controlador prosigue entonces su actividad en curso de llevar a cabo operaciones síncronas de lectura y escritura dirigidas a datos almacenados en la matriz 104 de DRAM (bloque 152).

La generación y el almacenamiento de un indicador de información no DRAM entre la información de control mantenida para cada ciclo de lectura permite que los ciclos de lectura dirigidos a datos no almacenados en la matriz 104 de DRAM sean intercalados con ciclos de lectura dirigidos a datos de la matriz 104 de DRAM. Esto maximiza el rendimiento del dispositivo esclavo 15 de memoria, ya que no es preciso que todos los ciclos de acceso a la memoria dirigidos a datos almacenados en la matriz 104 de DRAM sean detenidos para llevar a cabo un ciclo de lectura dirigido a datos no almacenados en la matriz 104 de DRAM.

El término "módulo" es usado en el presente documento con un sentido general para denotar una unidad funcional de SDRAM que incluye una matriz 104 de DRAM y circuitos 108 de control. En particular, el término "módulo" no está restringido a identificadores de estándares industriales que incluyan el término, tales como el módulo único de memoria en línea (SIMM) o el módulo dual de memoria en línea (DIMM).

Aunque la presente invención ha sido descrita en el presente documento con respecto a características, aspectos y realizaciones particulares de la misma, será evidente que son posibles numerosas variaciones, modificaciones y otras realizaciones dentro del amplio alcance de la presente invención y que, en consecuencia, ha de considerarse que todas las variaciones, las modificaciones y las realizaciones están dentro del alcance de la invención. Por lo tanto, debe interpretarse que, en todos los aspectos, las presentes realizaciones son ilustrativas y no restrictivas y se pretende que todos los cambios que se encuentren dentro del significado y el rango de equivalencia de las reivindicaciones adjuntas estén abarcados en las mismas.

**REIVINDICACIONES**

1. Un procedimiento (150) de control de uno o más módulos de SDRAM que comprende:
  - llevar a cabo uno o más ciclos (156) síncronos de lectura en un módulo (100) de SDRAM para acceder a datos de temperatura de la matriz de DRAM no almacenados en una matriz (104) de DRAM del módulo de SDRAM;
  - llevar a cabo uno o más ciclos (152) síncronos de lectura en el módulo de SDRAM para acceder a datos de la matriz de DRAM almacenados en la matriz de DRAM del módulo de SDRAM;
  - generar información (158) de control asociada con cada uno de los uno o más ciclos de lectura de los datos de temperatura de la matriz de DRAM no almacenados en la matriz de DRAM y de los datos de la matriz de DRAM almacenados en la matriz de DRAM, incluyendo la información de control generada un indicador de información no DRAM con cada ciclo de lectura de los datos de temperatura de la matriz de DRAM no almacenados en la matriz de DRAM y un identificador de dispositivo maestro solicitante asociado con cada ciclo de lectura de los datos de la matriz de DRAM almacenados en la matriz de DRAM;
  - almacenar en memoria intermedia la información de control generada en una memoria intermedia (60) de control;
  - almacenar (160) en memoria intermedia los datos leídos de temperatura de la matriz de DRAM junto con los datos leídos de la matriz de DRAM en una memoria intermedia (58) de datos; e
  - identificar (162) los datos de temperatura de la matriz de DRAM almacenados en memoria intermedia en la memoria intermedia (58) de datos en respuesta al indicador de información no DRAM de la información de control generada introducida en memoria intermedia en la memoria intermedia (60) de control.
2. El procedimiento (150) de la reivindicación 1 que, además, comprende extraer los datos identificados de temperatura de la matriz de DRAM de la memoria intermedia (58) de datos.
3. El procedimiento (150) de la reivindicación 1 que, además, comprende:
  - identificar los datos de la matriz de DRAM almacenados en memoria intermedia en la memoria intermedia (58) de datos en respuesta a la solicitud de identificador del dispositivo maestro solicitante de la información de control generada introducida en memoria intermedia en la memoria intermedia (60) de control;
  - extraer los datos de la matriz de DRAM de la memoria intermedia de datos; y
  - remitir (164) los datos extraídos de la matriz de DRAM al dispositivo maestro solicitante identificado por el identificador del dispositivo maestro solicitante.
4. El procedimiento (150) de la reivindicación 2 que, además, comprende alterar una frecuencia con la que se refrescan uno o más de los módulos (100) de SDRAM en respuesta a los datos extraídos de la temperatura de la matriz de DRAM.
5. El procedimiento (150) de la reivindicación 1 en el que la información de control incluye una longitud de ráfaga de lectura.
6. El procedimiento (150) de la reivindicación 1 en el que la memoria intermedia (58) de lectura es un FIFO de datos de lectura y la memoria intermedia (60) de control es un FIFO de control de lectura.
7. El procedimiento (150) de la reivindicación 6 que, además, comprende bajar simultáneamente del FIFO de datos de lectura y del FIFO de control de lectura.
8. El procedimiento (150) de la reivindicación 7 en el que la identificación de los datos de temperatura de la matriz de DRAM comprende:
  - bajar datos del FIFO de datos de lectura;
  - bajar información de control del FIFO de control de lectura; e
  - identificar los datos bajados como datos de temperatura de la matriz de DRAM si la información de control bajada incluye un indicador de información no DRAM.
9. El procedimiento (150) de la reivindicación 1 en el que el indicador de información no DRAM comprende un único bit.
10. El procedimiento (150) de la reivindicación 1 en el que el indicador de información no DRAM comprende una pluralidad de bits y en el que una codificación de los bits del indicador de información no DRAM indica de cuál de una pluralidad de módulos de memoria asociados se leyeron los datos de temperatura de la matriz de DRAM.
11. El procedimiento (150) de la reivindicación 1 en el que la realización de uno o más ciclos síncronos de lectura en un módulo de SDRAM para acceder a datos de temperatura de una matriz de DRAM no almacenados en una matriz de DRAM del módulo de SDRAM comprende realizar periódicamente un ciclo de lectura dirigido a un circuito sensor (118) de la temperatura en el módulo (100) de memoria SDRAM.



- 5
12. El procedimiento (150) de la reivindicación 11 en el que el periodo de realización del ciclo de lectura dirigido al circuito sensor (118) de la temperatura es determinado por un contador programable.
13. El procedimiento (150) de la reivindicación 11 en el que la realización de un ciclo de lectura dirigido al circuito sensor (118) de la temperatura en el módulo de memoria SDRAM ocurre en respuesta a una instrucción del soporte lógico.
14. El procedimiento (150) de la reivindicación 11 que, además, comprende el ajuste de una frecuencia de refresco del módulo (100) de SDRAM en respuesta a una temperatura del módulo de memoria SDRAM.
- 10 15. Un controlador (50) de memoria operativo para emitir ciclos síncronos de lectura en uno o más módulos (100) de memoria SDRAM, estando dirigidos los ciclos síncronos de lectura a los datos de la matriz de DRAM almacenados en una matriz (104) de DRAM y a los datos de temperatura de la matriz de DRAM no almacenados en la matriz de DRAM, comprendiendo el controlador de memoria:
- 15 una memoria intermedia (58) de datos de lectura operativa para introducir en memoria intermedia los datos recibidos de la matriz de DRAM almacenados en una matriz (104) de DRAM junto con datos de temperatura de la matriz de DRAM no almacenados en una matriz de DRAM;
- una memoria intermedia (60) de control de lectura operativa para introducir en memoria intermedia la información de control asociada con cada ciclo síncrono de lectura de los ciclos síncronos de lectura, incluyendo la información de control un indicador de información no DRAM asociado con cada ciclo de lectura de los datos de temperatura de la matriz de DRAM no almacenados en la matriz de DRAM y un
- 20 identificador del dispositivo maestro solicitante asociado con cada ciclo de lectura de los datos de la matriz de DRAM almacenados en la matriz de DRAM; y
- una lógica (62) de respuesta de lectura que controla la memoria intermedia de datos de lectura operativa para identificar y extraer datos de temperatura de la matriz de DRAM de la memoria intermedia (58) de datos de lectura en respuesta al indicador de información no DRAM de la información de control de la memoria intermedia de control de lectura.
- 25 16. El controlador (50) de la reivindicación 15 en el que la memoria intermedia de datos de lectura es un FIFO de datos de lectura y la memoria intermedia de control de lectura es un FIFO de control de lectura.
17. El controlador (50) de la reivindicación 16 en el que la lógica de respuesta de lectura baja información simultáneamente del FIFO de datos de lectura y del FIFO de control de lectura.
- 30 18. El controlador (50) de la reivindicación 16 en el que el indicador de información no DRAM comprende un único bit.
19. El controlador (50) de la reivindicación 16 en el que el indicador de información no DRAM comprende una pluralidad de bits y en el que una codificación de los bits del indicador de información no DRAM indica de cuál de una pluralidad de módulos de memoria SDRAM asociados se leyeron los datos de temperatura de la matriz de DRAM.
- 35 20. El controlador (50) de la reivindicación 17 en el que la lógica (62) de respuesta de lectura identifica datos bajados del FIFO de datos de lectura como datos de temperatura de la matriz de DRAM si la información de control bajada del FIFO de control de lectura incluye un indicador de información no DRAM.

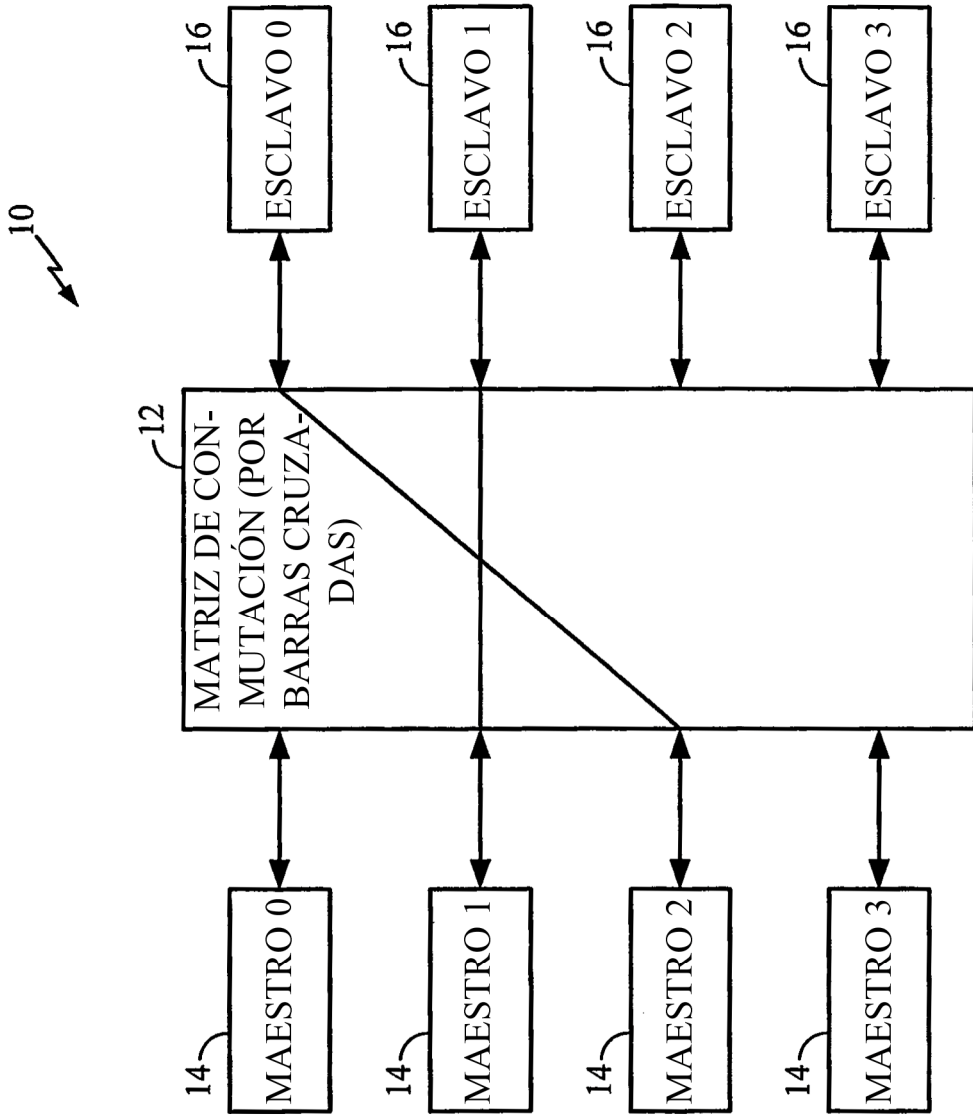


FIG. 1

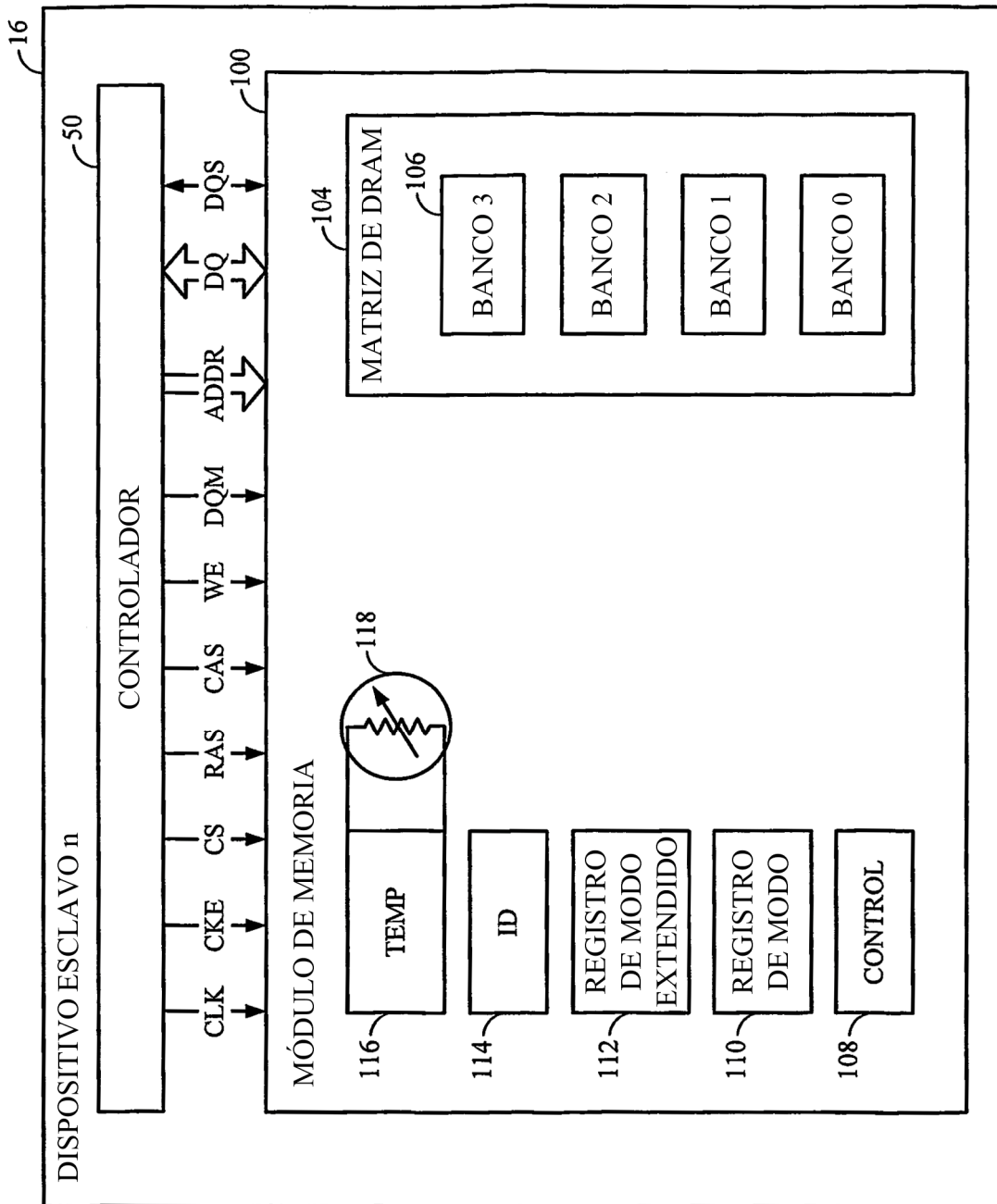


FIG. 2

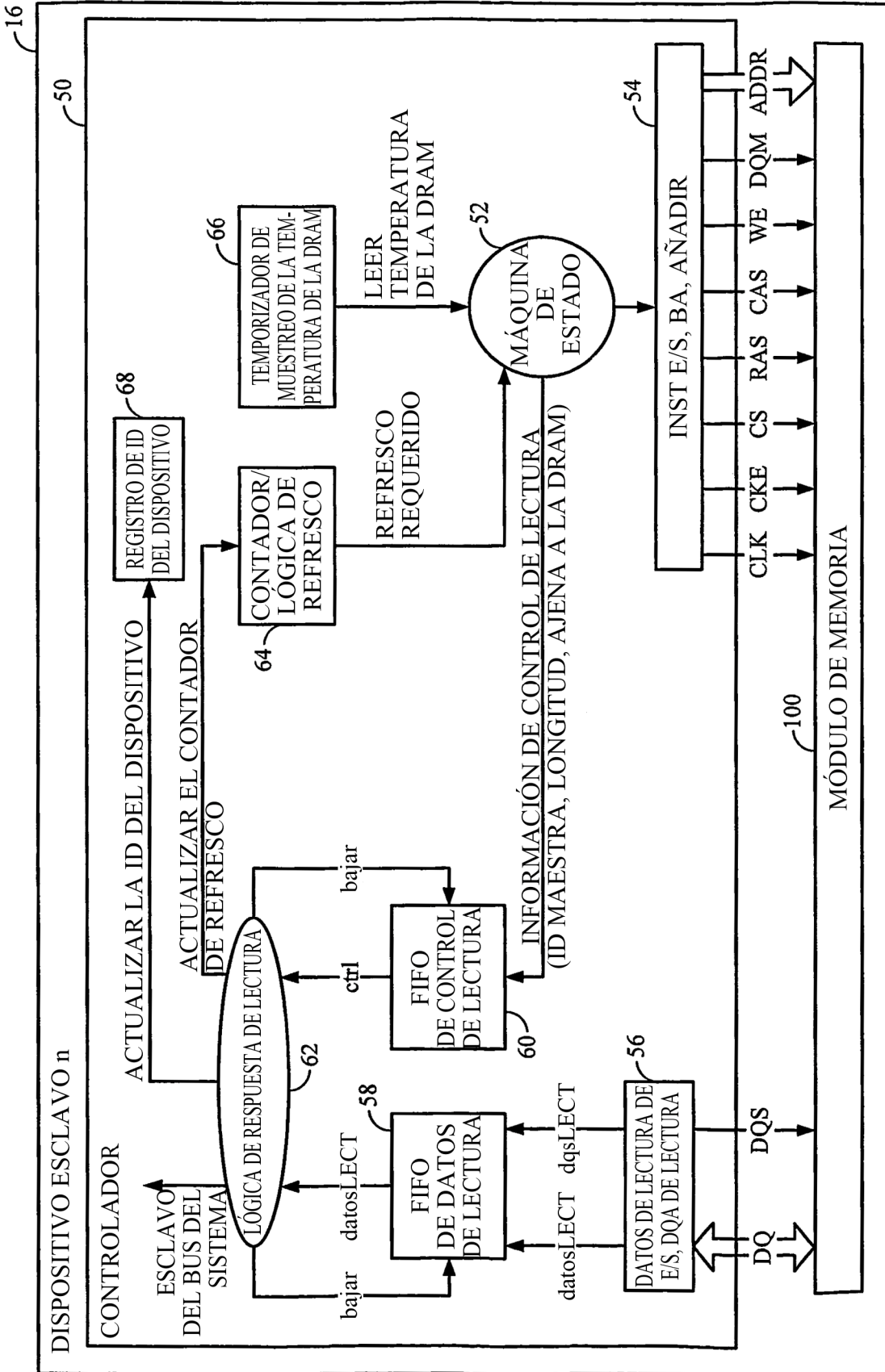


FIG. 3

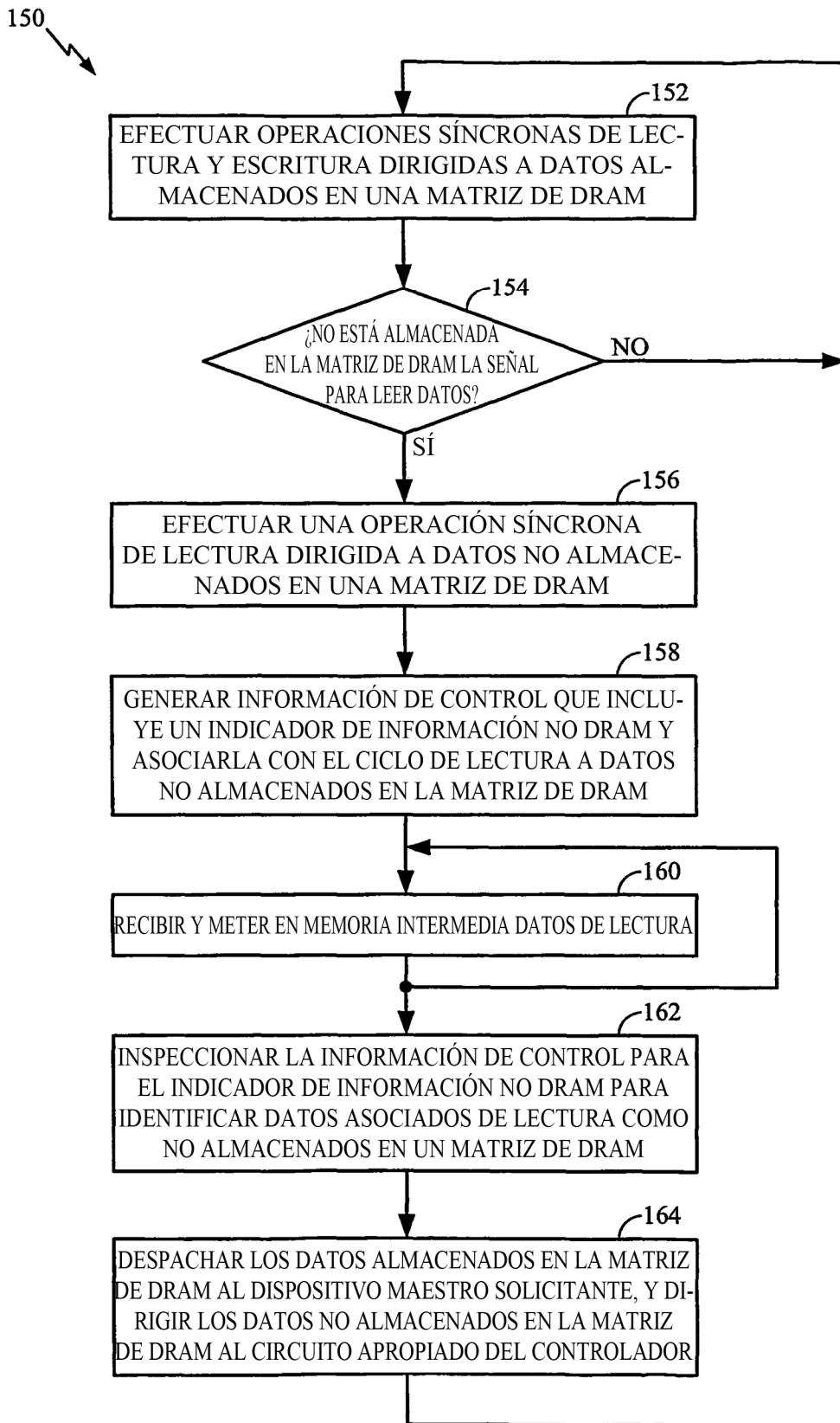


FIG. 4