

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 384 136**

51 Int. Cl.:
G11C 5/00

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **09180423 .7**

96 Fecha de presentación: **22.12.2009**

97 Número de publicación de la solicitud: **2341504**

97 Fecha de publicación de la solicitud: **06.07.2011**

54 Título: **Chips de memoria y circuitos de evaluación de los mismos**

45 Fecha de publicación de la mención BOPI:
29.06.2012

45 Fecha de la publicación del folleto de la patente:
29.06.2012

73 Titular/es:
**Winbond Electronics Corp.
No. 8, Keya 1st Road Central Taiwan Science
Park
Taichung City, Taiwan, TW**

72 Inventor/es:
Tu, Ying-Te

74 Agente/Representante:
Carvajal y Urquijo, Isabel

ES 2 384 136 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Chips de memoria y circuitos de evaluación de los mismos.

ANTECEDENTES DE LA INVENCION

Campo de la invención

5 La invención está relacionada con un chip de memoria, y más en particular con un circuito de resolución para evaluar que un chip de memoria está operando como una plaqueta de memoria única o una plaqueta de chips de memoria apilados de acuerdo con los estados de una plaqueta de opción del chip de memoria.

Descripción de la técnica relacionada

10 La figura 1 es una vista esquemática que muestra un chip de memoria de 256 Mb. Con referencia a la figura 1, el chip de memoria 1 comprende 23 plaquetas de direcciones A0-A22, una plaqueta de opción OP, y una plaqueta artificial NC. Cuando el chip de memoria 1 opera como una sola plaqueta de memoria, tanto la plaqueta de opción OP como la plaqueta artificial NC se encuentran en estado flotante. Un circuito de extracción débil de niveles alto/bajo en el interior del chip de memoria 1 extrae gradualmente un nodo interior, el cual está conectado con la plaqueta de opción OP a un nivel de voltaje alto/bajo. En la siguiente descripción, un circuito de nivel alto de extracción débil y una operación de nivel alto débil par la plaqueta de opción OP se proporcionan como un ejemplo.

15 En algunas aplicaciones, al menos dos chips de memoria 1, tal como se muestra en la figura 1, pueden apilarse para formar un dispositivo de memoria. Tal como se muestra en la figura 2, el dispositivo de memoria 2 de 512 Mb tiene dos chips de memoria apilados 20 y 21 de 256 Mb, que se proporciona como un ejemplo. Cada uno de los chips de memoria apilados 20 y 21 tienen la misma estructura que el chip de memoria de la figura 1, y la plaqueta NC artificial del chip de memoria 1 sirve como la plaqueta de direcciones A23 de 24 direcciones para direccionar los dos chips de memoria 20 y 21. El chip de memoria superior 20 está apilado sobre el chip 21 de memoria inferior, y un espaciador 23 se encuentra en la posición intermedia. La figura 3 es una vista esquemática que muestra la conexión entre las plaquetas de direcciones A0-A23 de los chips de memoria 20 y 21. Con el fin de mostrar en forma clara la conexión, los chips de memoria 20 y 21 se muestran juntos lado con lado, y no obstante en la práctica, el chip de memoria superior 20 está apilado sobre el chip 21 de memoria inferior, tal como se muestra en la figura 2. Con referencia a la figura 3, las plaquetas de direcciones A0-A23 del chip de memoria 20 están conectadas a las plaquetas de direcciones A0-A23 del chip de memoria 21 en las plaquetas de direcciones A0'-A23', respectivamente. Los chips de memoria 20 y 21 reciben una señal de direccionamiento a través de las plaquetas de direcciones A0'-A23'.

20 En la figura 3, la plaqueta de opción OP del chip 20 de memoria superior está conectada a una fuente de voltaje alto VDD, y un nodo interno está conectado a la plaqueta de opción OP que por tanto está un nivel alto. La plaqueta OP de opción del chip 21 de memoria inferior está conectada a una fuente de bajo voltaje VSS, y un nodo interno está conectado a una plaqueta de opción OP que por tanto está a un nivel bajo de voltaje. Así pues, cuando la plaqueta de direcciones A23' recibe una señal lógica alta (H) el chip de memoria 20 superior se activa y el chip 21 de memoria inferior se inactiva. Por el contrario, cuando la plaqueta A23' de direcciones recibe una señal de nivel bajo (L), el chip 21 de memoria inferior se activa, y el chip 20 de memoria superior se inactiva.

25 Así pues, un chip de memoria, tal como los chips de memoria 20 y 21 pueden operar en tres modos, de acuerdo con el estado de su plaqueta de opción. En el primer modo, el chip de memoria opera como una matriz de memoria única cuando la plaqueta de opción OP de la misma está en flotación; en el segundo modo, el chip de memoria opera como una matriz de memoria superior entre dos matrices de memoria apiladas cuando la plaqueta de opción OP está conectada a una fuente de voltaje alto VDD; y en el tercer modo, el chip de memoria opera como una matriz de memoria inferior entre dos matrices de memoria apiladas cuando la plaqueta de opción OP está conectada a la fuente de voltaje VSS. En los tres modos, el nodo interno conectado a la plaqueta de opción OP del chip de memoria pasa a nivel alto en forma débil de la memoria, a nivel alto fuertemente y a nivel bajo fuertemente en la forma respectiva. De acuerdo con la anterior descripción, cuando un chip de memoria opera en el primer modo y en el segundo modo, un nodo interno conectado a una plaqueta de opción OP del chip de memoria pasa a nivel alto. Así pues, cuando el nodo interno está a alto nivel, el chip de memoria en sí no puede determinar que está operando como una matriz de memoria única (primer modo) o como una matriz de memoria superior entre dos matrices de memoria apiladas (segundo modo). Esta situación puede tener lugar para un chip de memoria que se quiera que sea una matriz de memoria superior entre dos matrices de memoria apiladas, tal como el chip de memoria superior 20 en la figura 2.

30 Supóngase que un circuito de nivel bajo débil y una operación baja de nivel débil se aplican para hacer que flote la plaqueta de opción OP. De acuerdo con la anterior descripción, cuando un chip de memoria opera en el primer modo y el tercer modo, un nodo interno conectado a una plaqueta de opción OP del chip de memoria pasa a nivel bajo. Así pues, cuando el nodo interno está a un nivel bajo de voltaje, el chip de memoria en si mismo no puede determinar que esté operando como una única matriz de memoria (primer modo) o como una matriz de memoria única entre dos matrices de memoria apiladas (tercer modo). Esta situación puede tener lugar en un chip de memoria que se desee que sea un chip de memoria entre dos matrices apiladas, tal como el chip de memoria 21 inferior en la figura 2.

Así pues, es deseable proporcionar un circuito de resolución para enjuiciar que un chip de memoria está operando como una sola matriz de memoria o como una matriz entre las matrices de memoria apiladas.

Los chips tal como están expuestos en los documentos US 6225836 y US 4987325 tienen unos circuitos de direccionamiento del modo que pueden discriminar entre los tres modos.

5 BREVE RESUMEN DE LA INVENCION

Se proporciona una realización a modo de ejemplo de un chip de memoria. El chip de memoria opera en una pluralidad de modos. El chip de memoria comprende una plaqueta de opción y una unidad de detección. La plaqueta de opción tiene una pluralidad de estados. La unidad de detección está acoplada a la plaqueta de opción en un primer modo, y está controlada por una señal de control para generar una señal de detección de acuerdo con el estado en curso de la plaqueta de opción. La unidad de detección comprende un elemento de nivel alto de extracción débil acoplado entre una fuente de voltaje alto y el primer nodo. Comprende además un elemento de conmutación el cual está acoplado entre el primer nodo y una fuente de voltaje de tierra, y se activa por medio de la señal de control activada. Además el elemento de conmutación activa momentáneamente un potencial del nodo de opción a un nivel de la fuente de voltaje de tierra cuando la señal de control se activa, y la señal de activación se genera en el primer nodo. El chip de memoria además comprende una unidad de muestreo para recibir la señal de detección y el muestreo de la señal de detección dos veces después de que la señal de control se haya desactivado para generar una señal de evaluación, en donde la señal de resolución indicará cual es el modo en que esté operando el chip de memoria.

En las siguientes realizaciones se proporciona una descripción detallada con referencia a los dibujos adjuntos.

20 BREVE DESCRIPCION DE LOS DIBUJOS

La invención puede comprenderse mejor en su totalidad mediante la lectura de la siguiente descripción detallada y con sus ejemplos, con referencia a los dibujos adjuntos, en donde:

La figura 1 es una vista esquemática que muestra un chip de memoria;

La figura 2 muestra un dispositivo de memoria que tiene dos chips de memoria apilados;

25 La figura 3 es una vista esquemática que muestra la conexión entre las plaquetas de direccionamiento A0-A23 de los chips de memoria 20 y 21 en la figura 2:

La figura 4 muestra una realización a modo de ejemplo de un chip de memoria;

La figura 5 muestra una realización a modo de ejemplo del circuito de resolución 40 en la figura 4;

La figura 6 muestra una realización a modo de ejemplo de la unidad de detección 50 en la figura 5;

30 La figura 7a muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y la señal de detección S60 y los valores lógicos de la señal de resolución S40 cuando el chip de memoria 4 esté operando como una sola matriz única de memoria (el primer modo) en la realización de la figura 6;

La figura 7b muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y la señal de detección S60 cuando el chip de memoria 4 esté operando como una matriz de memoria superior entre dos matrices de memoria apiladas (el segundo modo) en la realización de la figura 6;

35 La figura 7c muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y la señal de detección S60 cuando el chip de memoria 4 está operando como una matriz de memoria inferior entre dos matrices de memoria apiladas (el tercer modo) en la realización de la figura 6;

La figura 8 muestra otra realización a modo de ejemplo de la unidad de detección 50 en la figura 5;

40 La figura 9a muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS1), la señal de control CS, y la señal de detección S60 y los valores lógicos de la señal de evaluación S40 cuando el chip de memoria 4 esté operando como una sola matriz de memoria (el primer modo) en la realización de la figura 8;

La figura 9b muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS1), la señal de control CS, y la señal de detección S60 cuando el chip de memoria 4 esté operando como una matriz de memoria superior entre dos matrices de memoria apiladas (el segundo modo) en la realización de la figura 8;

45 La figura 9c muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS1), la señal de control CS, y la señal de detección S60 cuando el chip de memoria 4 esté operando como una matriz de memoria inferior entre dos matrices de memoria apiladas (el tercer modo) en la realización de la figura 8;

La figura 10 muestra otra realización a modo de ejemplo de la unidad de detección 50 en la figura 5;

La figura 11a muestra unas formas de onda del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y las señales de detección S90 y S91, el estado del elemento de conmutación 91, y los valores lógicos de la señal de evaluación S40 cuando el chip de memoria 4 está operando como una matriz de memoria única (el primer modo) en la realización de la figura 10;

5 La figura 11b muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y las señales de detección S90 y S91, el estado del elemento 91 de conmutación, y los valores lógicos de la señal de evaluación S40, cuando el chip de memoria 4 esté operando como una matriz de memoria superior entre dos matrices de memoria apiladas (el segundo modo) en la realización de la figura 10;

10 La figura 11c muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y las señales de detección S90 y S91, el estado del elemento de conmutación 91, y los valores lógicos de la señal de evaluación S40 cuando el chip de memoria 4 está operando como una matriz de memoria inferior entre dos matrices de memoria apiladas (el tercer modo) en la realización de la figura 10;

La figura 12 muestra otra realización a modo de ejemplo de la unidad de detección 50 en la figura 5;

15 La figura 13a muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS1), la señal de control CS, y las señales de detección S90 y S91, el estado del elemento 91 de conmutación, y los valores lógicos de la señal de evaluación S40, cuando el chip de memoria 4 está operando como una única matriz (el primer modo) en la realización de la figura 12;

20 La figura 13b muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS1), la señal de control CS, y las señales de detección S90 y S91, el estado del elemento de conmutación 91, y los valores lógicos de la señal de evaluación S40, cuando el chip de memoria 4 está operando como una matriz de memoria superior entre dos matrices de memoria apiladas (el segundo modo) en la realización de la figura 12; y

25 La figura 13c muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS1), la señal de control CS, y las señales de detección S90 y S91, el estado del elemento de conmutación 91, y los valores lógicos de la señal de evaluación S40, cuando el chip de memoria 4 esté operando como una matriz de memoria inferior entre dos matrices de memoria apiladas (el tercer modo) en la realización de la figura 12.

DESCRIPCIÓN DETALLADA DE LA INVENCION

La siguiente descripción corresponde al mejor modo contemplado de la realización de la invención. Esta descripción se realiza con el fin de ilustrar los principios generales de la invención, y no deberá considerarse con el sentido de su limitación. El alcance de la invención está determinado mejor por la referencia a las reivindicaciones adjuntas.

30 Se proporcionan unos chips de memoria. En una realización a modo de ejemplo de un chip de memoria en la figura 4, el chip de memoria 4 comprende una pluralidad de plaquetas de direcciones, una plaqueta de opción OP, un circuito de evaluación 40, y un circuito de control 41. La plaqueta de opción OP tiene distintos estados. En la realización, la regleta de opción OP tiene tres estados: un estado flotante, un estado de nivel alto fuerte y un estado bajo fuerte respectivamente en los tres modos. Por ejemplo, cuando la regleta de opción OP está en flotación, la plaqueta de opción OP está en el estado flotante. Cuando la plaqueta de opción OP está conectada a una fuente de voltaje alto VDD, la plaqueta de opción OP está en un estado alto fuerte. Cuando la plaqueta de opción OP está conectada a una fuente de voltaje bajo VSS la plaqueta de opción OP está en el estado bajo fuerte. En la realización, el chip de memoria 4 es un chip de memoria de 256 Mb. Puesto que el chip de memoria 4 puede operar como una matriz de memoria entre dos matrices de memoria apiladas de 512 Mb en algunas aplicaciones, el chip de memoria 4 comprende 24 plaquetas de direcciones A0-A23. En otras realizaciones, el número de plaquetas de direcciones de un chip de memoria se determina de acuerdo con la dimensión del chip de memoria.

45 El circuito de evaluación 40 está acoplado a la plaqueta de opción OP y genera una señal de evaluación S40 de acuerdo con el estado en curso de la plaqueta de opción OP. Así pues, la señal de evaluación S40 indica cual es el modo en el chip de memoria 4 que está en operación. El circuito de control 41 recibe la señal de evaluación S40 y controla el chip de memoria 4 de acuerdo con la señal de evaluación S40. En la realización, cuando la plaqueta de opción OP está en el estado de flotación, el circuito de evaluación 40 genera la señal de evaluación S40 para indicar que el chip de memoria 4 opera como una única matriz de memoria en un primer modo. Cuando la plaqueta de opción OP está en el estado alto fuerte, el circuito de evaluación 40 genera la señal de evaluación S40 para indicar que el chip de memoria 4 opera como una matriz de memoria superior entre dos matrices de memoria apiladas en un segundo modo. Cuando la plaqueta de opción OP está en el estado bajo fuerte, el circuito de evaluación 40 genera la señal de evaluación S40 para indicar que el chip de memoria 4 opera como una matriz de memoria inferior entre dos matrices de memoria apiladas.

55 La figura 5 muestra una realización a modo de ejemplo del circuito de evaluación 40 en la figura 4. Con referencia a la figura 5, el circuito 40 de evaluación comprende una unidad de detección 50 y una unidad de muestreo 51. La unidad de detección 50 está acoplada a una fuente de voltaje VS1 y la plaqueta de opción OP. La unidad de detección 50 está controlada por una señal de control CS para generar al menos una señal de detección de acuerdo con el estado en curso de la plaqueta de opción OP. Cuando la señal de control está activada, se varía al menos el

nivel de una señal de detección por un voltaje provisto por la fuente de voltaje VS 1. La unidad de muestreo 51 recibe al menos una señal de detección y las muestras de al menos una señal de detección después de que la señal de control CS esté activada para generar la señal de evaluación S40.

5 La figura 6 muestra una realización a modo de ejemplo de la unidad de detección 50 en la figura 5. Con referencia a la figura 6, la unidad de detección 50' está acoplada a la plaqueta de opción OP en un nodo N60. La unidad de detección 50' comprende un elemento 60 de extracción débil de niveles alto/bajo y un elemento de conmutación 61. El elemento 60 de nivel alto/bajo de conducción débil está acoplado entre una fuente de voltaje VS2 y el nodo N60. El elemento de conmutación 61 está acoplado entre el nodo N60 y la fuente de voltaje VS1 y activado por la señal CS de control activada. Supóngase que cuando el chip de memoria 4 está operando como una matriz de memoria
10 única, es decir que el chip de memoria 4 está operando en el primer modo, la plaqueta de opción OP está en flotación, y en donde el nodo N60 conectado con la plaqueta de opción OP conduce débilmente hacia un nivel alto. Así pues, la fuente de voltaje VS1 proporcionaría un voltaje de nivel bajo, tal como el voltaje de tierra GND, y la fuente de voltaje VS2 proporcionaría un voltaje de nivel alto, tal como un voltaje de operación VCC. Supóngase también que en esta situación, el elemento 60 de conducción débil de alto y bajo nivel está implementado por un transistor PMOS, el cual está siempre en conducción mediante una fuente VSS de un bajo voltaje, y en donde el transistor PMOS tiene una longitud de canal larga. Adicionalmente, el elemento de conmutación 61 está implementado por un transistor NMOS y en conducción de acuerdo con la señal de control activada CS con un nivel alto. En la realización, se genera una señal de detección S60 en el nodo S60 para muestrear por la unidad de muestreo 51.

20 La figura 7a muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y la señal S60 de detección y los valores lógicos de la señal S40 de evaluación cuando el chip de memoria 4 esté operando como una matriz de memoria única (el primer modo). Tal como se ha descrito anteriormente, cuando el chip de memoria opera como una sola matriz de memoria, la plaqueta de opción OP está en flotación. Con referencia a la figura 7a, el nivel de la señal de detección S60 está gradualmente en conducción alta con el nivel del voltaje de nivel alto VCC de la fuente de voltaje VS2. En el punto de tiempo T1, la señal de control CS está conmutada a un nivel alto desde un nivel bajo, en donde la señal de control CS se activa. El elemento de conmutación 61 se activa de acuerdo con la señal CS de control en activación con el nivel alto en el punto T1 en el tiempo. Así pues, la señal de detección S60 se activa en nivel bajo inmediatamente para el nivel de bajo voltaje GND de la fuente de voltaje VS 1. La señal de detección S60 está continuamente en el nivel del voltaje GND de bajo nivel de la fuente de voltaje VS1 hasta que la señal de control CS se conmuta al nivel bajo desde el nivel alto en el punto en el tiempo T2 (es decir, la señal de control CS se desactiva en el punto en el tiempo T2) para desactivar el elemento de conmutación 61. En otras palabras, la señal de detección S60 está continuamente en el nivel del voltaje de nivel bajo GND de la fuente de voltaje VS1 cuando la señal de control CS se active desde el punto en el tiempo T1 hasta el punto T2 en el tiempo. Después del punto en el tiempo T2, la señal de detección S60 conduce gradualmente a nivel alto y de nuevo con el voltaje de alto nivel VCC de la fuente de voltaje VS2. En el punto T3 en el tiempo después de que la señal de control CS se desactiva durante un periodo corto de tiempo P1, la unidad de muestreo 51 muestrea la señal de detección S60 para obtener un primer valor lógico "0" debido a la señal de detección S60 que está siendo activada gradualmente desde un nivel bajo. Después del punto T3 en el tiempo durante un largo periodo P2, la unidad de muestreo 51 muestrea la señal de detección S60 de nuevo para obtener un segundo valor lógico en un punto T4 en el tiempo. Puesto que la señal de detección S60 está al nivel del voltaje VCC de alto nivel de la fuente de voltaje VS2 en el punto T4 en el tiempo, el segundo valor lógico corresponde a "1". El primer valor lógico "0" y el segundo valor lógico "1" forman la señal de evaluación S40.

45 De acuerdo con la descripción en referencia a la figura 7a, cuando el chip 4 de memoria opera como una única matriz de memoria, el circuito de evaluación 40 genera la señal de evaluación S40 de "01" de acuerdo con el estado de flotación de la plaqueta de opción OP. La figura 7b muestra las formas de ondas del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y la señal de detección S60 y los valores lógicos de la señal de evaluación S40 cuando el chip 4 de memoria está operando como una matriz de memoria superior entre dos matrices de memoria apiladas (el segundo modo). En el segundo modo, la plaqueta de opción OP está conectada a la fuente VDD de alto voltaje. De acuerdo con la anterior descripción, la señal de control CS se activa entre los puntos en el tiempo T1 y T2, y la unidad de muestreo 51 muestrea la señal de detección S60 dos veces en los puntos en el tiempo T3 y T4, para obtener un primer valor lógico y un segundo valor lógico respectivamente. Tal como se muestra en la figura 7b, en el segundo modo, el primer valor lógico "1" y el segundo valor lógico "1" forman la señal de evaluación S40. De acuerdo con la descripción en referencia a la figura 7b, cuando el chip 4 de memoria opera como una matriz de memoria superior entre dos matrices de memoria apiladas, el circuito de evaluación 40 genera la señal de evaluación S40 de "11" de acuerdo con el estado de nivel alto fuerte de la plaqueta de opción OP.

60 La figura 7c muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y la señal de detección S60 y los valores lógicos de la señal S40 de evaluación cuando el chip de memoria 4 esté operando como una matriz de memoria inferior entre dos matrices de memoria apiladas (el tercer modo). En el tercer modo, la plaqueta de opción OP está conectada a la fuente de voltaje bajo VSS. De acuerdo con la anterior descripción, la señal de control CS se activa entre los puntos en el tiempo T1 y T2, y la unidad de muestreo 51 muestrea la señal de detección S60 dos veces en los puntos en el tiempo T3 y T4, para obtener un primer valor lógico y un segundo valor lógico respectivamente. Tal como se muestra en la figura 7c, en el tercer modo, el primer

valor lógico "0" y el segundo valor lógico "0" forman la señal de evaluación S40. De acuerdo con la descripción en referencia a la figura 7c, cuando el chip de memoria 4 opera como una matriz de memoria inferior entre dos matrices de memoria apiladas, el circuito de evaluación 40 genera la señal de evaluación S40 de "00" de acuerdo con el estado bajo fuerte de la plaqueta de opción OP.

- 5 En la anterior descripción de la figura 6, cuando el chip 4 de memoria opera como una única matriz de memoria (el primer modo), la plaqueta de opción OP está flotando, y el nodo N60 conectado con la plaqueta de opción OP pasa a nivel alto en forma débil. En algunas realizaciones, cuando opera el chip de memoria 4 como una única matriz de memoria (el primer modo), la plaqueta de opción OP está flotando y el nodo N60 conectado con la plaqueta de opción OP pasa a nivel bajo en forma débil.
- 10 Así pues, la fuente de voltaje VS1 proporciona un voltaje de alto nivel, tal como un voltaje VCC de operación, y la fuente de voltaje VS2 proporciona un voltaje de bajo nivel, tal como un voltaje de tierra GND, tal como se muestra en la figura 8. En esta situación, el elemento 60 de nivel alto/bajo débil está implementado por un transistor NMOS, el cual está siempre activado en conducción por una fuente de alto voltaje VDD, y el transistor NMOS tiene una larga longitud del canal. El elemento de conmutación 61 está implementado por un transistor PMOS y estando activado en conducción de acuerdo con la señal CS de control activada con un nivel bajo. De acuerdo con la sincronización de tiempos de la señal de control CS y la operación de muestreo de la unidad de muestreo 51 tal como se muestra en las figuras 9a-9c, la unidad de muestreo 51 del circuito de evaluación 40 puede generar la señal de evaluación S40 indicando cual es el modo en que el chip de memoria 4 está operando de acuerdo con los estados de la plaqueta de opción OP. Específicamente, la señal de evaluación S40 puede indicar claramente si el chip 4 de memoria está operando como una única matriz de memoria (el primer modo) o como una matriz de memoria inferior entre dos matrices de memoria apiladas (el tercer modo). Se observará que en ambos modos primero y tercero, el nodo N60 conectado con la plaqueta de opción OP, se lleva a esta última a un bajo nivel eventualmente.

La figura 10 muestra otra realización a modo de ejemplo, de la unidad de detección 50 en la figura 5. Con referencia a la figura 10, la unidad de detección 50" está acoplada a la plaqueta de opción OP en el nodo N90. La unida de detección 5" comprende los elementos de conmutación 90 y 91 y un elemento de nivel alto/bajo de forma débil 92. El elemento de conmutación 90 está acoplado entre el nodo N90 y la fuente de voltaje VS1 y activado en conducción por la señal de control activada CS. El elemento de conmutación 91 está acoplado entre el nodo N90 y el nodo N91. El elemento 92 débil de nivel alto/bajo está acoplado entre una fuente de voltaje VS2 y el nodo N91. Se supone que cuando el chip 4 de memoria opera como una única matriz de memoria, el chip de memoria 4 opera en el primer modo, en donde la plaqueta de opción OP está en flotación, y el nodo N90 está conectado con la plaqueta de opción OP pasando de un nivel bajo a un nivel alto. Así pues, la fuente de voltaje VS1 proporcionaría un voltaje de bajo nivel, tal como un voltaje de tierra GND, y la fuente de voltaje VS2 proporcionaría un voltaje de alto nivel, tal como un voltaje operativo VCC. Se supone también que en esta situación, el elemento 92 de nivel alto/bajo débil está implementado por medio de un transistor PMOS el cual está siempre activado en conducción por una fuente de voltaje de bajo nivel VSS, y el transistor PMOS tiene una larga longitud del canal. Adicionalmente, el elemento 90 de conmutación está implementado por un transistor NMOS y activado de acuerdo con la señal CS de control activada con un nivel alto. En la realización, la señal de detección S90 está generada en el nodo N90, y la otra señal 91 de detección se genera en el nodo N91. Las señales de detección 90 y 91 se muestrean por la unidad de muestreo 51.

La figura 11a muestra las formas de onda del voltaje en la fuente de voltaje VCC (VS2), la señal de control CS, y las señales de detección 90 y 91, el estado del elemento 91 de conmutación, el estado del elemento de conmutación 91, y los valores lógicos de la señal de evaluación S40 cuando el clip 4 de memoria está operando como una matriz única de memoria). Tal como se ha descrito anteriormente, cuando el chip 4 de memoria opera como una simple matriz de memoria, la plaqueta de opción OP está en flotación. Con referencia a la figura 11a, el elemento de conmutación 9 se activa en el periodo anterior al punto T1 en el tiempo. Los niveles de las señales de detección S90 y S91 se activan gradualmente con el voltaje de alto nivel VCC de la fuente de voltaje VS2 y al alcanzar el nivel del voltaje de alto nivel VCC antes del punto del instante T1. En el punto del tiempo T1, el elemento de conmutación 91 se desactiva. La señal de conmutación S90 se encuentra continuamente al nivel del voltaje VCC hasta que la señal de control CD se conmute a un alto nivel, desde un nivel bajo en el punto T2 en el tiempo (es decir, la señal de control CS se activa en el punto T2 en el tiempo) para activar el elemento de conmutación 90. En el punto T2 del tiempo, puesto que la señal de control CS se activa, la señal de detección S90 pasa a la activación inmediatamente en bajo nivel del voltaje de nivel bajo GND de la fuente de voltaje VS1. En el punto T3 en el tiempo, la señal de control CS es conmutada al nivel bajo desde el nivel alto (es decir, la señal de control CS es desactivada en el punto T3 en el tiempo para desactivar el elemento de conmutación 90. En este instante, puesto que el elemento de conmutación 81 está todavía desactivado, la señal de detección S90 no pasa al alto nivel con el voltaje de alto nivel VCC, y la señal de detección S90 está continuamente al nivel del voltaje de bajo nivel GND de la fuente VS1 de voltaje. La unidad de muestreo 51 muestrea la señal de detección S90 en el punto T3 en el tiempo (después de que la señal de control CS se active) para obtener un primer valor lógico "0". En el punto T4 en el tiempo, el elemento de conmutación 91 se activa. Debido al elemento de conmutación 91 activado, el nivel de la señal de detección S90 pasa gradualmente al alto nivel con el voltaje de alto nivel VCC. Además de ello, tal como se muestra en la figura 11a, en el periodo entre los puntos T1 y T4, puesto que el elemento 91 de conmutación se desactiva, en donde la señal de detección S91 no está afectada por el voltaje de bajo nivel GND, y la señal de detección S91 está continuamente en el nivel del voltaje VCC de alto nivel. La unidad de muestreo 51 muestrea la señal de detección

S91 en el punto T4 en el tiempo, para obtener un segundo valor lógico "1". El primer valor lógico "0" y el segundo valor lógico "1" forman la señal de evaluación S40.

5 De acuerdo con la descripción con referencia a la figura 11a, cuando el chip de memoria 4 opera como una matriz de memoria única, el circuito de evaluación 40 genera la señal de evaluación S40 de "01" de acuerdo con el estado de flotación de la plaqueta de opción OP.

10 La figura 11b muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y las señales de detección S90 y S91, el donde el estado del elemento de conmutación 91 y los valores lógicos de la señal de evaluación S40 cuando el chip de memoria 4 está operando como una matriz de memoria superior entre dos matrices de memoria apiladas (el segundo modo). En un segundo modo, la plaqueta de opción está conectada a la fuente de alto voltaje VDD. De acuerdo a la anterior descripción, la señal de control CS está activada entre los puntos en el tiempo T2 y T3, y en donde el estado de conmutación del elemento de conmutación 91 tiene lugar en los puntos en el tiempo T1 y T4, y en donde la unidad de muestreo 51 muestrea las señales de detección S90 y S91 en los puntos en el tiempo T3 y T4, para obtener un primer valor lógico y un segundo valor lógico, respectivamente. Tal como se muestra en la figura 11b, en el segundo modo, el primer valor lógico "1" y el segundo valor lógico "1" forman la señal de evaluación S40. De acuerdo con la descripción en referencia a la figura 11b, cuando el chip de memoria 4 opera como una matriz de memoria superior entre dos matrices de memoria apiladas, el circuito de evaluación 40 genera la señal de evaluación S40 de "11" de acuerdo con el estado alto fuerte de la plaqueta de opción OP.

20 La figura 11c muestra las formas de onda del voltaje de la fuente de voltaje VCC (VS2), la señal de control CS, y las señales de detección S90 y S91, el estado del elemento 91 de conmutación, y los valores lógicos de la señal de evaluación S40 cuando el chip de memoria 4 está operando como una matriz de memoria inferior entre dos matrices de memoria apiladas (el tercer modo). En el tercer modo, la plaqueta de opción OP está conectada a la fuente de bajo voltaje VSS. De acuerdo con la descripción anterior, la señal de control CS está activada entre los puntos de los instantes T2 y T3, que tiene lugar en los puntos en el tiempo T1 y T4, y la conmutación de estado del elemento de conmutación 91, y en donde la unidad de muestreo 51 muestrea la señal de detección S60 dos veces en los puntos T3 y T4 en el tiempo para obtener un primer valor lógico y un segundo valor lógico respectivamente. Tal como se muestra en la figura 11c, en el segundo modo, el primer valor lógico "0" y el segundo valor lógico "0" forman la señal de evaluación S40. De acuerdo con la descripción en referencia a la figura 11c, cuando el chip 4 de memoria opera como una matriz de memoria inferior, entre dos matrices de memoria apiladas, el circuito de evaluación 40 genera la señal de evaluación S40 de "00" de acuerdo con el estado bajo fuerte de la plaqueta de opción OP.

25 De acuerdo con la anterior realización, la unidad de muestreo 51 del circuito de evaluación 40 puede generar la señal de evaluación S40 que indica cual es el modo del chip 4 de memoria que está operando de acuerdo con los estados de la plaqueta de opción OP. Específicamente, la señal de evaluación S40 puede indicar claramente si el chip 4 de memoria está operando como una matriz de memoria única) o bien como una matriz de memoria superior entre dos matrices de memoria apiladas (el segundo modo). Se observará que ambos modos primero y segundo, el nodo N90 conectado a la plaqueta de opción OP conduce eventualmente hacia un nivel alto.

30 En la anterior realización de la figura 10, cuando el chip 4 de memoria opera como una simple matriz de memoria (el primer modo), la plaqueta de opción OP está flotando, y el nodo N90 conectado con la plaqueta de opción OP está a un nivel alto débil. En algunas realizaciones, cuando el chip 4 de memoria opera como una simple matriz de memoria (el primer modo), la plaqueta de opción OP está en flotación, y el nodo N90 conectado con la plaqueta de opción OP está a nivel bajo débil.

35 Así pues, la fuente de voltaje VS1 proporciona un voltaje de alto nivel, tal como un voltaje de operación VCC, y la fuente de voltaje VS2 proporciona un voltaje de bajo nivel, tal como un voltaje de tierra, tal como se muestra en la figura 12. En esta situación, el elemento 92 de nivel alto/bajo débil está implementado por un transistor NMOS, el cual está siempre activado en su conducción por una fuente de alto voltaje VDD, y en donde el transistor NMOS tiene una longitud larga del canal. El elemento de conmutación 90 está implementado por un transistor PMOS y activado de acuerdo con la señal de control activada CS con un bajo nivel. De acuerdo con la sincronización de tiempos de la señal de control CS, la operación de conmutación de elemento de conmutación 91, y la operación de muestreo de la unidad de muestreo 51 tal como se muestra en las figuras 13a-13c, la unidad de muestreo 51 del circuito de evaluación 40 puede generar la señal de evaluación S40 indicando cual es el modo en que está operando el chip 4 de memoria de acuerdo con los estados de la plaqueta de opción OP. Específicamente, la señal de evaluación S40 puede indicar claramente si el chip 4 de memoria está operando como una simple matriz de memoria (el primer modo) o como una matriz de memoria inferior entre dos matrices apiladas (el tercer modo). Se observara que tanto el primer como el tercer modos, el nodo N90 está conectado con la plaqueta de opción OP que pasa eventualmente a un nivel bajo.

40 Aunque la invención ha sido descrita por medio de un ejemplo y en los términos de las realizaciones preferidas, se comprenderá que la invención no está limitada a las realizaciones expuestas. Por el contrario, se pretende cubrir varias modificaciones y configuraciones similares (tal como será evidente para los técnicos especializados en la técnica). En consecuencia, el alcance de las reivindicaciones adjuntas deberá estar de acuerdo con la interpretación más amplia con el fin de acompañar todas las mencionadas modificaciones y las configuraciones similares.

REIVINDICACIONES

1. Un chip de memoria que opera en una pluralidad de modos, que comprende:
 Una plaqueta de opción (OP) que tiene una pluralidad de estados; y
 5 una unidad de detección (50') acoplada a la plaqueta de opción en un primer nodo (N60) y controlada por una señal de control (CS) para generar una señal de detección (S60) de acuerdo con el estado en curso de la plaqueta de opción;
 En donde la unidad de detección comprende:
 Un elemento (60) de alto nivel débil acoplado entre una fuente de voltaje de alto nivel (Vd.) y el primer nodo (N60); y
 10 Un elemento de conmutación (61) acoplado entre el primer nodo (N60) y un voltaje de tierra (GND), y activado por la señal de control activada (CS);
 en donde el elemento de conmutación (61) momentáneamente conduce con un potencial de la plaqueta de opción (OP) hacia un nivel de la fuente de voltaje de tierra (GND) cuando la señal de control CS está activada, y en donde la señal de detección (S61) está generada en el primer nodo (N60); y
 15 una unidad de muestreo (51) para recibir la señal de detección (S60) y para muestrear la señal de detección (S60) dos veces después de que la señal de control (CS) haya sido desactivada para generar una señal de evaluación (S40);
 En donde la señal de evaluación (S40) indica cual es el modo en que está operando el chip de memoria.
 2. El chip de memoria tal como se reivindica en la reivindicación 1 que además comprende un circuito de control para recibir la señal de evaluación y para controlar el chip de memoria de acuerdo con la señal de evaluación.
3. El chip de memoria tal como se expone en la reivindicación 1, en donde el elemento de alto nivel débil está implementado por un transistor PMOS que siempre está activado en conducción.
4. Un chip de memoria operando en una pluralidad de modos que comprende:
 Una plaqueta de opción (OP) que tiene una pluralidad de estados; y
 25 una unidad de detección (50') acoplada a la plaqueta de opción en un primer nodo (N60) y controlada por una señal de control (CS) para generar una señal de detección (S60) de acuerdo con el estado en curso de la plaqueta de opción (OP); en donde la unidad de detección comprende:
 Un elemento (60) de bajo nivel débil acoplado entre una fuente de voltaje de tierra (GND) y el primer nodo; y
 Un elemento de conmutación (61) acoplado entre el primer nodo y una fuente de voltaje de alto nivel (VCC) y activado por la señal de control activada (CS);
 30 en donde el elemento de conmutación (61) momentáneamente activa un potencial de la plaqueta de opción (OP) hacia un nivel de la fuente de voltaje de alto nivel (Vd.) cuando la señal de control (CS) se activa, y en donde la señal de detección (S60) se genera en el primer nodo;
 una unidad de muestreo (51) para recibir la señal de detección (S60) y poder muestrear la señal de detección (S60) dos veces después de que la señal de control (CS) haya sido desactivada para generar una señal de evaluación; en donde la señal de evaluación indica cual es el modo en que está operando el chip de memoria.
 35 5. El chip de memoria según la reivindicación 4 que además comprende un circuito de control para recibir la señal de evaluación y para controlar el chip de memoria de acuerdo con la señal de evaluación.
6. El chip de memoria según la reivindicación 4, en donde el elemento de bajo nivel débil está implementado por un transistor NMOS, el cual está siempre activado en conducción.
7. Un chip de memoria que opera en una pluralidad de modos, que comprende:
 40 una plaqueta de opción (OP) que tiene una pluralidad de estados;
 y
 una unidad de detección (50") acoplada a la plaqueta de opción (OP) en un primer nodo (N90) y controlada por una señal de control (CS) para generar una primera señal de detección (S90) y una segunda señal de detección (S91) de acuerdo con el estado en curso de la plaqueta de opción (OP); en donde la unidad de detección (50") comprende:
 45

- un primer elemento de conmutación (90) acoplado entre el primer nodo (N90) y una fuente de voltaje de tierra (GND) y activado por la señal de control activada (CS);
- 5 un segundo elemento de conmutación (91) acoplado entre el primer nodo (N90) y un segundo nodo (N91), en donde el segundo elemento de conmutación (91) está activado en un primer periodo y desactivado en un segundo periodo siguiente al primer periodo; y
- un elemento de alto nivel débil (92) acoplado entre una fuente de voltaje de alto nivel (VCC) y el segundo nodo (N91);
- 10 en donde el primer elemento de conmutación (90) momentáneamente activa un potencial de la plaqueta de opción (OP) a un nivel de la fuente de voltaje de tierra (GND) cuando la señal de control (CS) se activa durante el segundo periodo; y
- en donde la primera señal de detección (S90) se genera en el primer nodo (N90), y en donde la segunda señal de detección (S91) se genera en el segundo nodo (N91); y una unidad de muestreo (51) para recibir la primera (S90) y la segunda (S91) señales de detección y
- 15 muestrear la primera (S90) y la segunda (S91) señales de detección en instantes distintos (T3/T4) después de que la señal de control (CS) haya sido desactivada para generar una señal de evaluación;
- cuando la señal de evaluación indique cual es el modo en que opera el chip de memoria.
8. El chip de memoria según la reivindicación 7, en donde el elemento de conducción débil de alto nivel está implementado por un transistor PMOS que siempre está activado en conducción.
- 20 9. El chip de memoria según la reivindicación 7, en donde la señal de control está activada en el segundo periodo, y después de activar la señal de control, en donde la unidad de muestreo muestrea la primera señal de detección para obtener un primer valor lógico, y para muestrear la segunda señal de detección para obtener un segundo valor lógico, y el primer y segundo valores lógicos a partir de la señal de evaluación.
10. Un chip de memoria que opera en una pluralidad de modos, que comprende:
- 25 una plaqueta de opción (OP) que tiene una pluralidad de estados:
- y
- una unidad de detección (50") acoplada a la plaqueta de opción (OP) en un primer nodo (N90) y controlada por una señal de control (CS) para generar una primera señal de detección (S90) y una segunda señal de detección (S91) de acuerdo con el estado en curso de la plaqueta de opción (OP); en donde la unidad de detección comprende:
- 30 un primer elemento de conmutación (90) acoplado entre el primer nodo (N90) y una fuente de voltaje de alto nivel (VCC) y activado por la señal de control activada (CS);
- un segundo elemento de conmutación (91) acoplado entre el primer nodo (N90) y un segundo nodo (N91), en donde el segundo elemento de conmutación (91) está activado en conducción en un primer periodo y desactivado en un segundo periodo siguiente al primer periodo; y
- 35 un elemento (92) de nivel alto de conducción débil acoplado entre una fuente de voltaje de tierra (GND) y el segundo nodo (N91);
- en donde el primer elemento de conmutación (90) conduce momentáneamente un potencial de la plaqueta de opción (OP) a un nivel de la fuente (Vcc) de voltaje de alto nivel, cuando la señal de control (CS) se active durante el segundo periodo; y en donde la primera señal de detección (S90) se genera en el primer nodo (N90); y la segunda señal de detección (S91) que se genera en el segundo nodo (N91); y
- 40 una unidad de muestreo (51) para recibir la primera (S90) y segunda (S91) señales de detección y el muestreo de la primera (S90) y segunda (S91) señales de detección en distintos instantes (T3/T4) después de que la señal de control (CS) haya sido desactivada para generar una señal de evaluación;
- en donde la señal de evaluación indique cual es el modo en que está operando el chip.
- 45 11. El chip de memoria según la reivindicación 10, en donde el elemento de bajo nivel débil está implementado por un transistor NMOS que siempre está activado en conducción.
12. El chip de memoria según la reivindicación 10, en donde la señal de control está activada en el segundo periodo, y después de activar la señal de control, en donde la unidad de muestreo muestrea la primera señal de detección para obtener un primer valor lógico y muestreando la segunda señal de detección para obtener un segundo valor lógico, y el primero y segundo valores lógicos que forman la señal de evaluación.

1

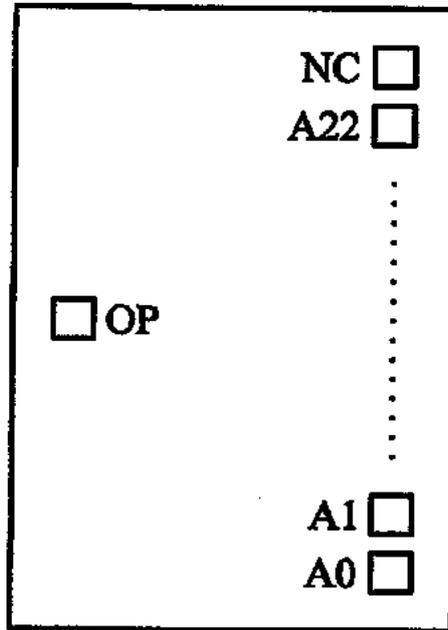


FIG. 1 (TECNICA ANTERIOR)

2

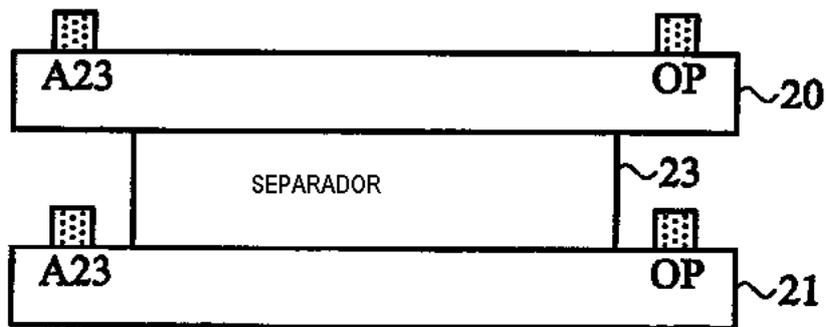


FIG. 2

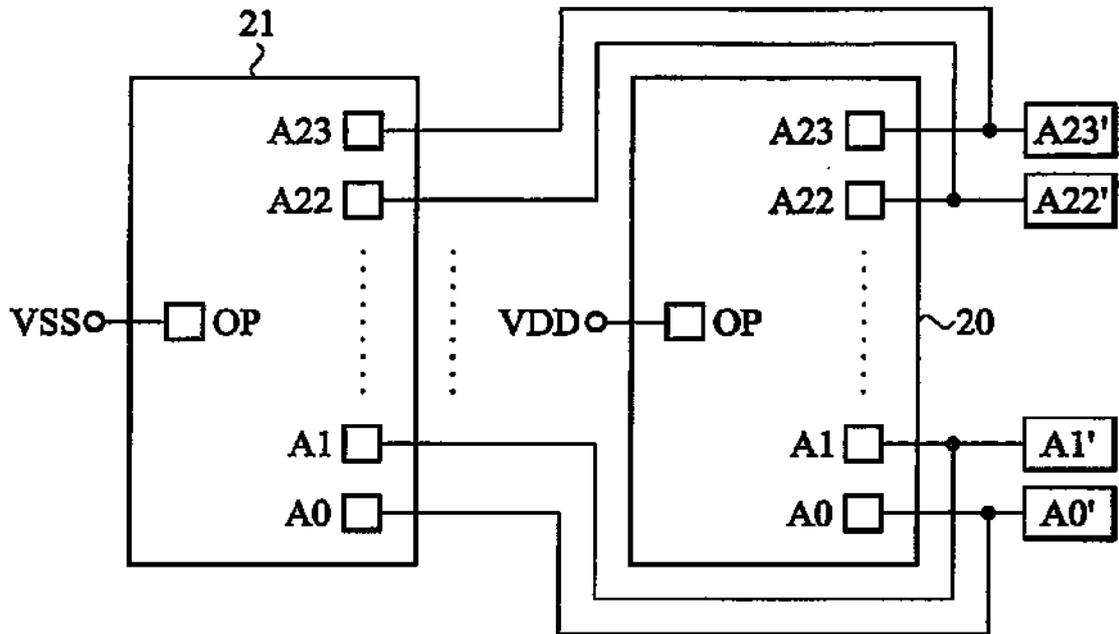


FIG. 3 (TECNICA ANTERIOR)

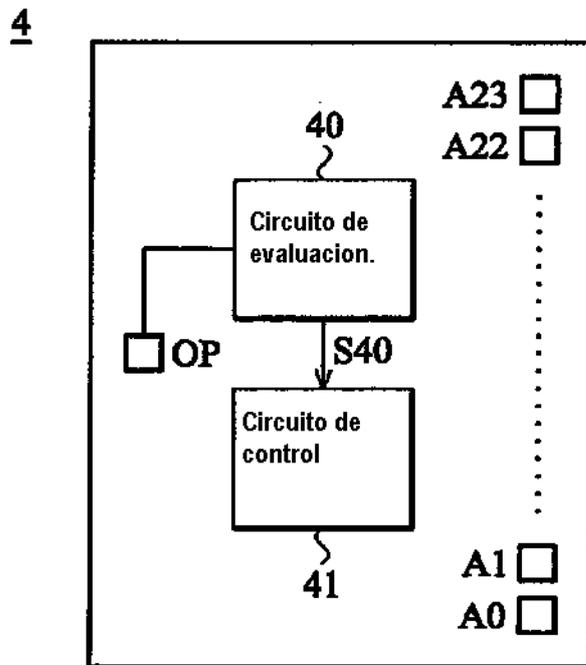


FIG. 4

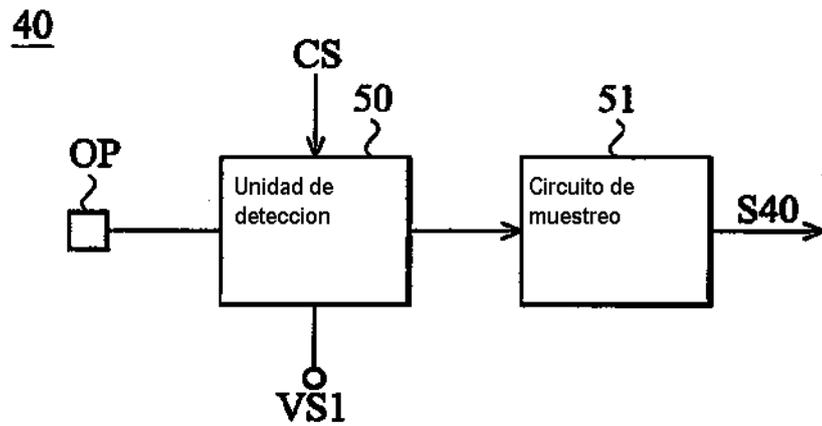


FIG. 5

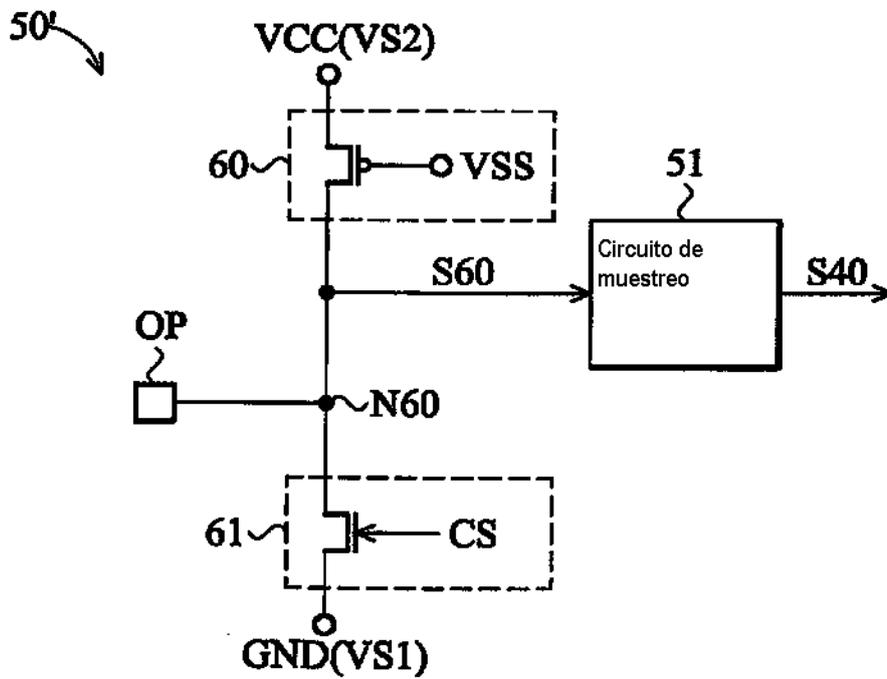
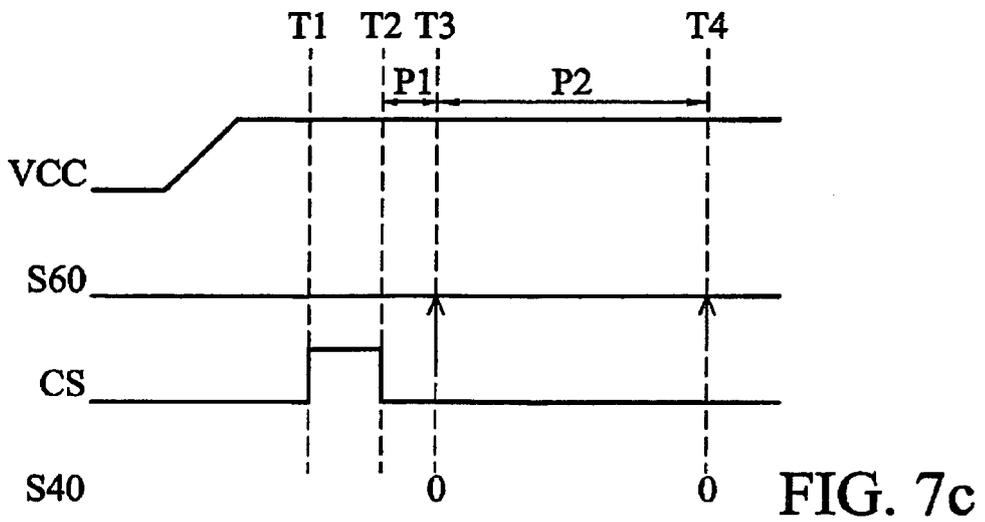
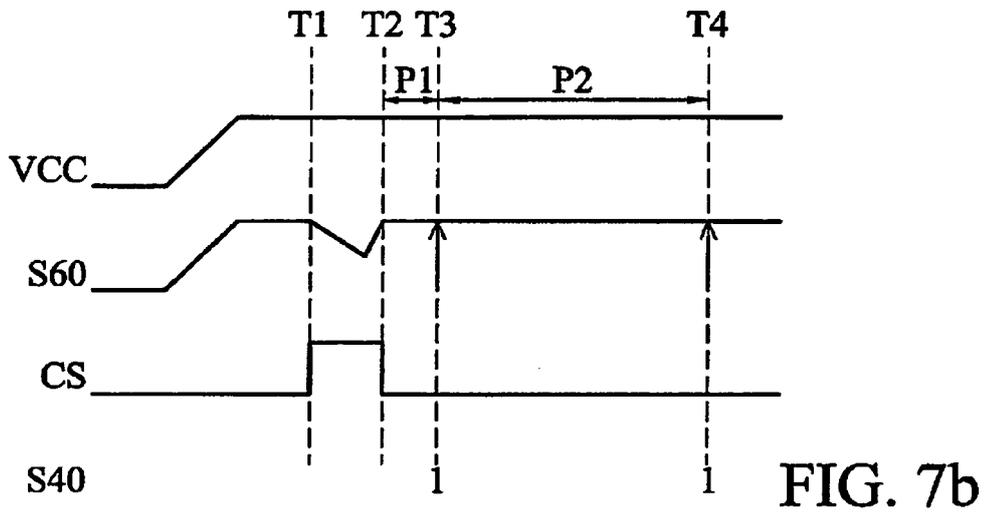
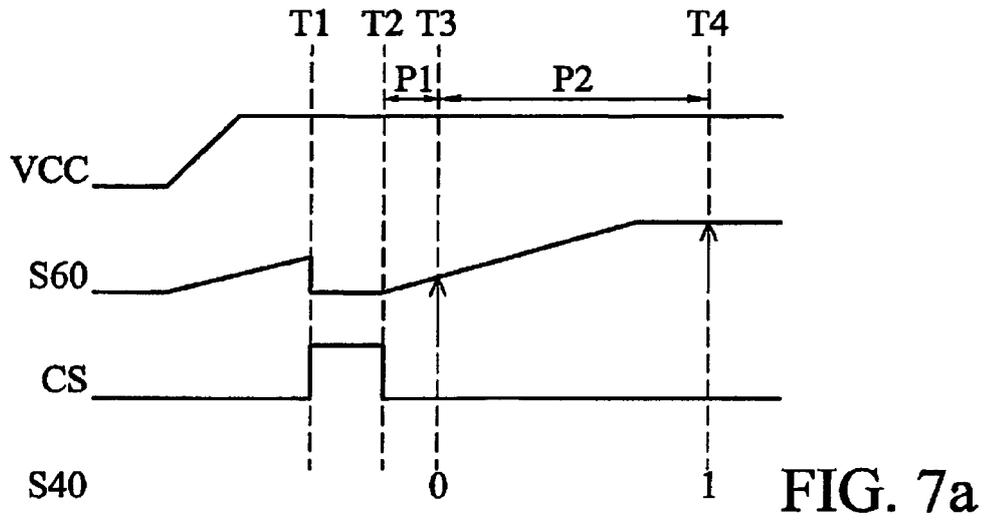


FIG. 6



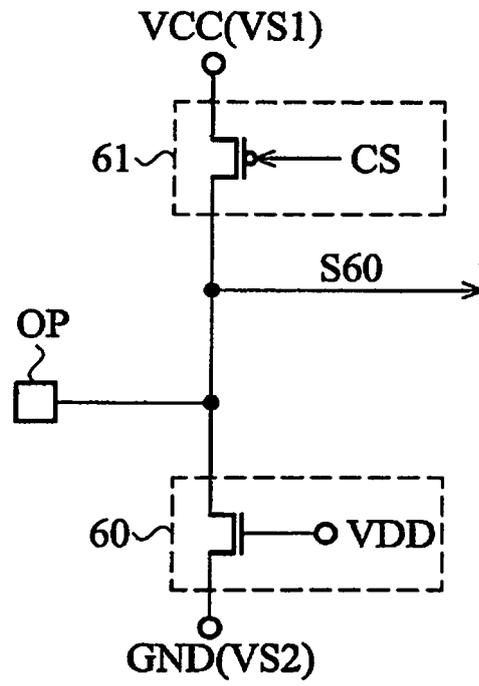


FIG. 8

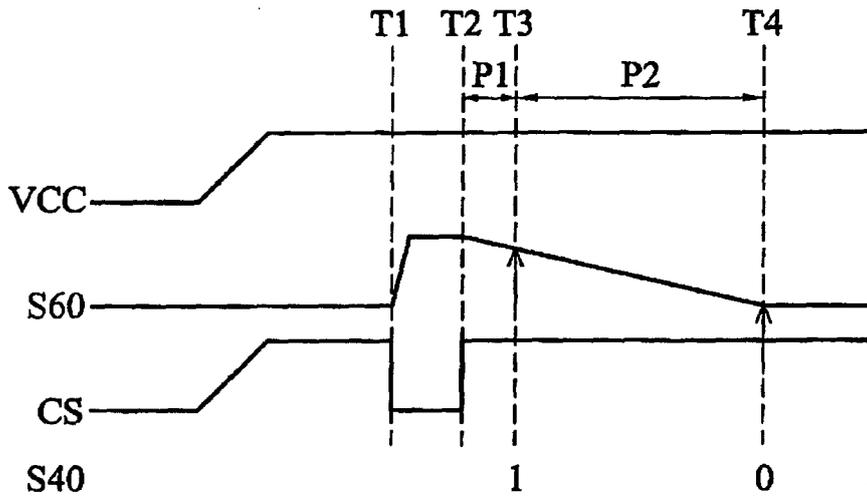


FIG. 9a

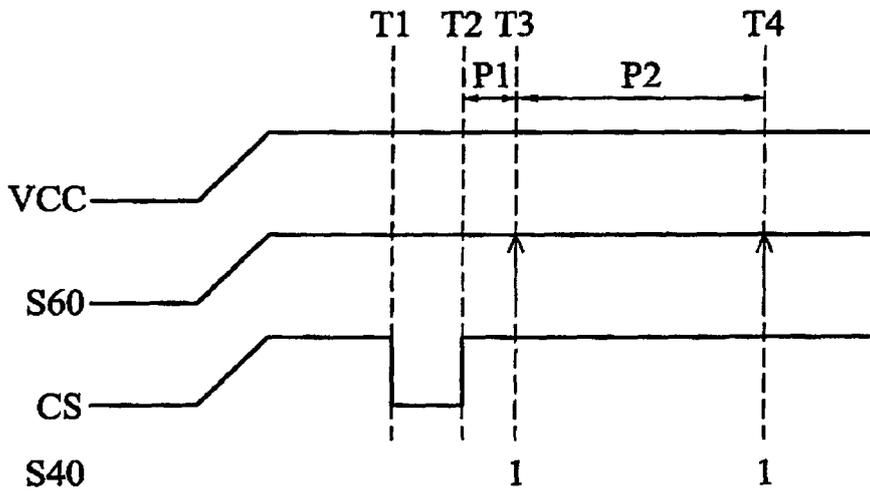


FIG. 9b

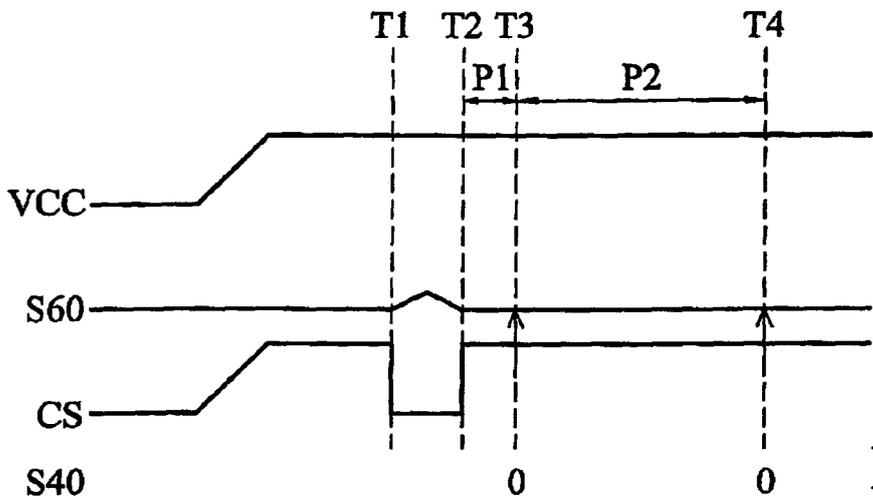


FIG. 9c

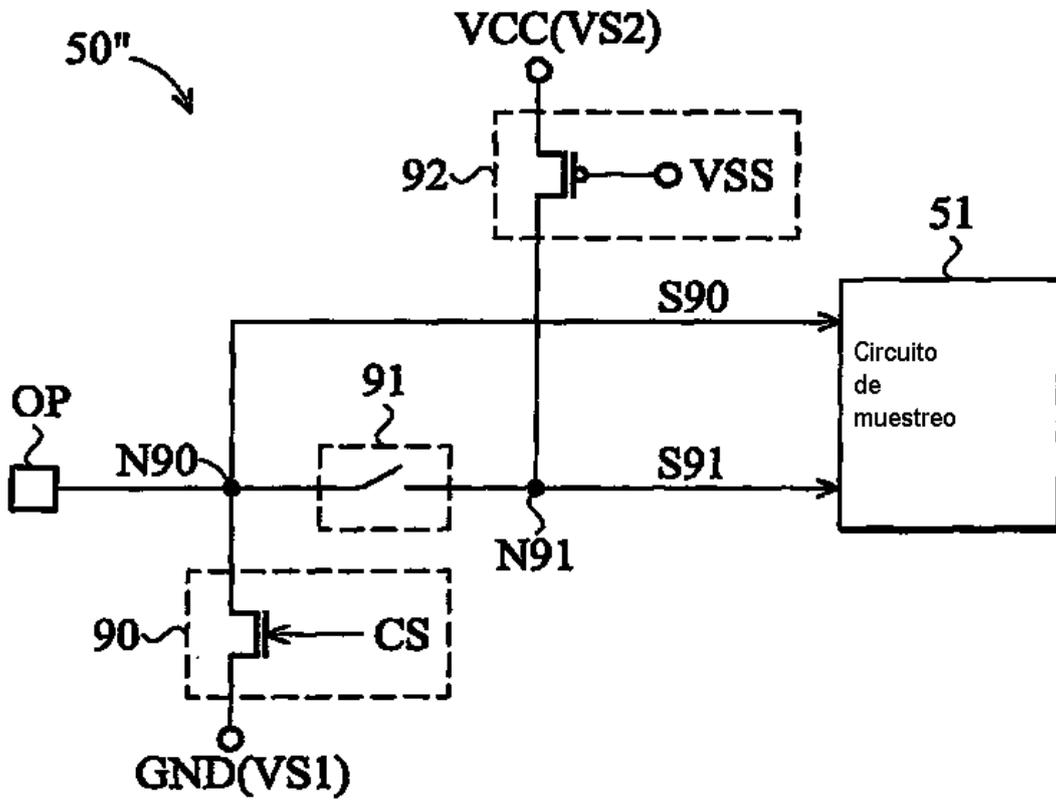
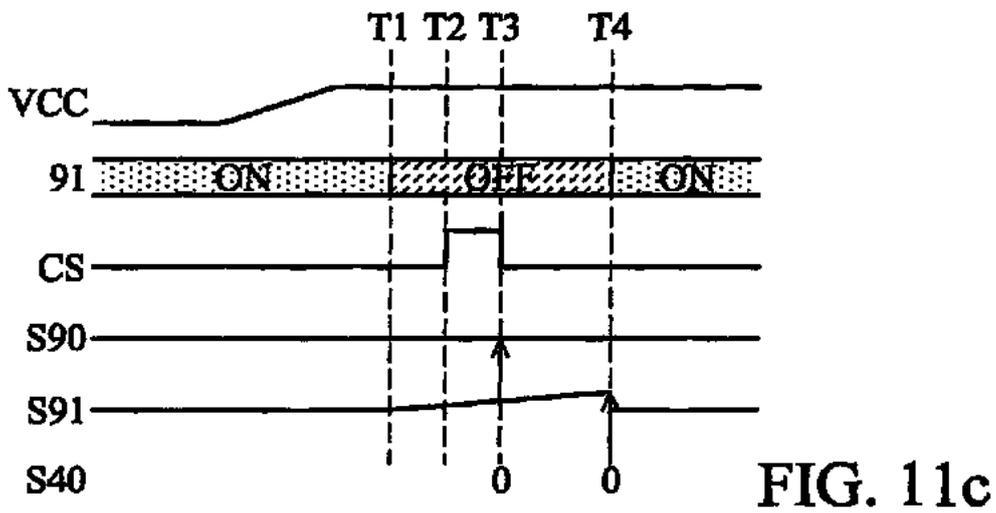
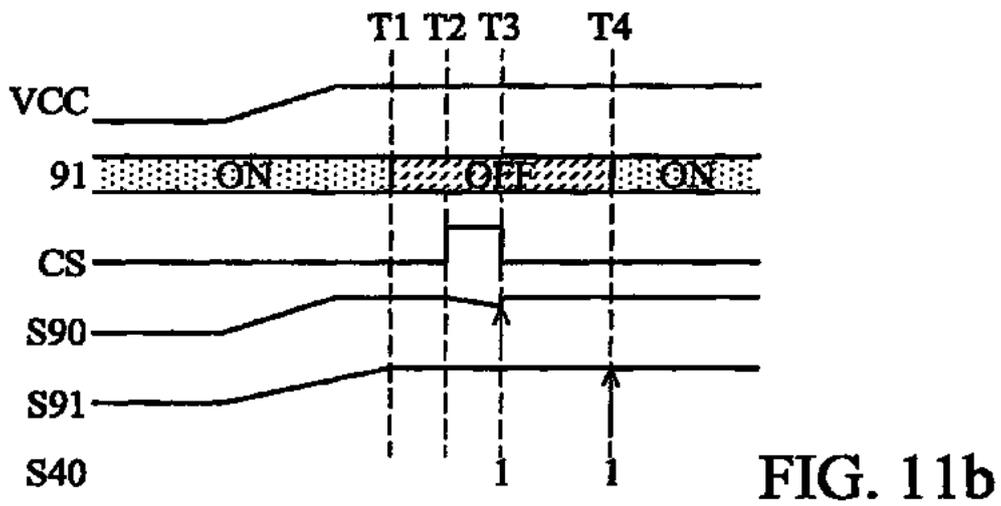
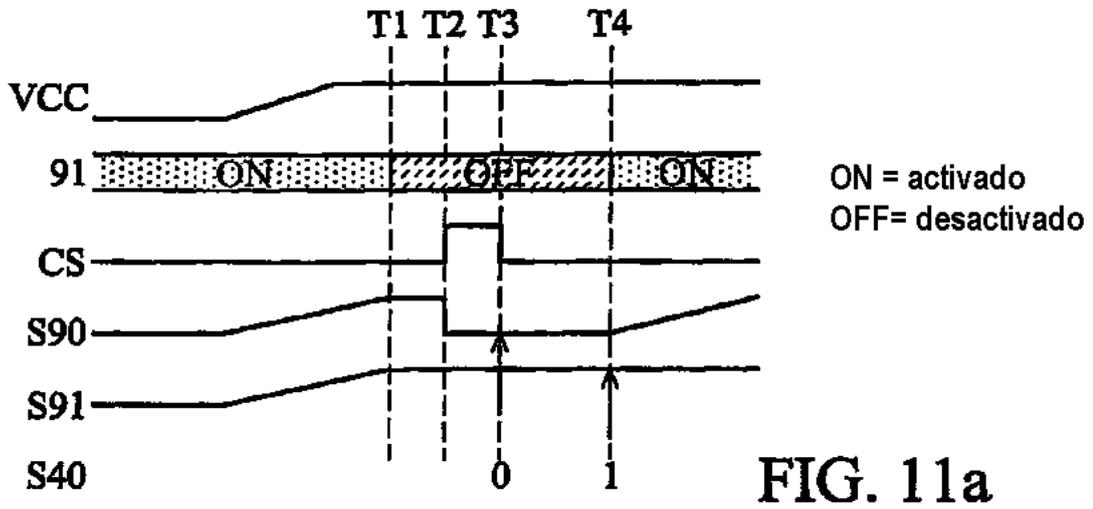


FIG. 10



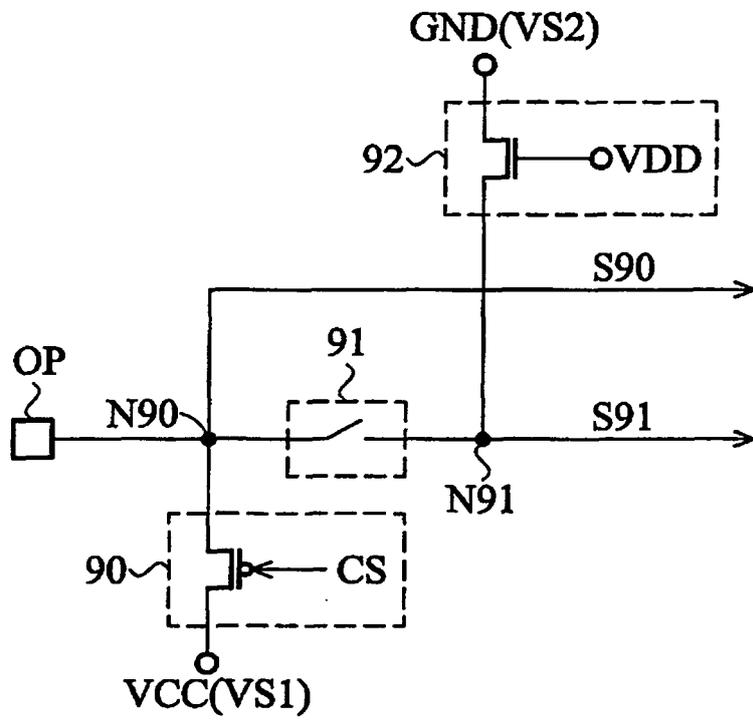


FIG. 12

