

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 384 645**

51 Int. Cl.:
H02M 1/08 (2006.01)
H02M 7/538 (2007.01)
H02M 1/38 (2007.01)
H03K 17/28 (2006.01)
H03K 5/151 (2006.01)
H03K 17/26 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **07018348 .8**
96 Fecha de presentación: **19.09.2007**
97 Número de publicación de la solicitud: **1936789**
97 Fecha de publicación de la solicitud: **25.06.2008**

54 Título: **Convertidor para un circuito de retardo para señales PWM**

30 Prioridad:
22.12.2006 DE 102006060828

45 Fecha de publicación de la mención BOPI:
10.07.2012

45 Fecha de la publicación del folleto de la patente:
10.07.2012

73 Titular/es:
**DR. JOHANNES HEIDENHAIN GMBH
DR. JOHANNES-HEIDENHAIN-STRASSE 5
83301 TRAUNREUT, DE**

72 Inventor/es:
Huber, Norbert

74 Agente/Representante:
Ungría López, Javier

ES 2 384 645 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Convertidor para un circuito de retardo para señales PWM.

5 La invención se refiere a un convertidor con un circuito de retardo para señales PWM. Tales convertidores encuentran amplia aplicación, por ejemplo, en el campo de la técnica de accionamiento, para alimentar motores eléctricos con corriente.

10 Para la alimentación de un motor eléctrico con corriente se conoce convertir la tensión continua que está disponible en un circuito intermedio por medio de un circuito de semi-puente en corriente alterna para las fases individuales del motor. Por cada motor eléctrico se necesita para ello un circuito de semi-puente, con cuyos dos elementos de circuito de semiconductores se conmuta la fase del motor de forma alterna al carril positivo y al carril negativo de la corriente del circuito intermedio. Normalmente, en este caso se emplea el procedimiento de modulación de la anchura del impulso (procedimiento PWM), en el que se acondiciona una señal PWN de tal manera que con ello se pueden activar los dos elementos de conmutación de semiconductores.

15 El documento DE 102005020805 A1 describe un circuito de semi-puente de este tipo, accionado de acuerdo con el procedimiento PWM y explica que durante la conmutación entre los dos elementos de circuito de semiconductores es importante el mantenimiento de un tiempo de enclavamiento, tiempo de bloqueo, durante el que los dos elementos de circuito de semiconductores están desconectados y, por lo tanto, no son conductores, puesto que de lo contrario existe la amenaza de un cortocircuito entre el carril positivo y el carril negativo de la corriente. El documento DE 102005020805 A1 explica también cómo se puede generar dicho tiempo de bloqueo: a través del retardo de flancos ascendentes de las señales PWM se asegura que se mantenga un tiempo de bloqueo. De acuerdo con al menos un ejemplo de realización en la publicación mencionada, se retardan también los flancos descendentes de las señales PWM y en concreto en la medida de un retardo de desconexión (td1), que es menor que el retardo de conexión (te1 + td1) de los flancos ascendentes. El tiempo de bloqueo es entonces la diferencia de los dos tiempos de retardo.

25 El documento JP 58034620 A muestra un convertidor con un circuito de retardo para una señal PWM que se encuentra en la entrada del circuito de retardo a través del cual se retardan los flancos ascendentes de la señal PWM en la medida de un retardo de conexión y los flancos descendentes de la señal PWM en la medida de un retardo de desconexión para la formación de una señal de activación, que se encuentra en la salida del circuito de retardo, para un elemento de circuito de semiconductores, en el que

- 30 • la entrada está conectada a través de una primera resistencia con una primera conexión de un primer condensador, cuya segunda conexión se mantiene constante en un nivel bajo (L).

El cometido de la presente invención es indicar un convertidor con un circuito de retardo lo más sencillo posible, con el que se puede realizar un retardo de la conexión para flancos ascendentes y un retardo de la desconexión para flancos ascendentes de una señal PWM.

Este cometido se soluciona por medio de un convertidor de acuerdo con la reivindicación 1.

35 El circuito de retardo contiene un primer condensador, cuyo estado de carga determina el nivel de la tensión en la entrada de un comparador. Si se conmuta una señal PWM en la entrada del circuito de retardo desde un nivel bajo a un nivel alto, entonces se carga el primer condensador a través de un circuito en serie formado por una primera resistencia y por una segunda resistencia. Por medio de un diodo conectado en paralelo a la segunda resistencia se puentea esta segunda resistencia, cuando el primer condensador se descarga después de un cambio de la señal PWN desde un nivel alto a un nivel bajo. La descarga del condensador se realiza, por lo tanto, más rápidamente que la carga.

45 Puesto que el estado de carga del condensador determina el nivel de la tensión en la entrada del comparador, y éste conmuta su salida, en el caso de que se exceda un nivel de conexión, desde un nivel bajo a un nivel alto, y conmuta su salida, en el caso de que no se alcance un nivel de desconexión, desde un nivel alto a un nivel bajo, se pueden retardar los flancos ascendentes y los flancos descendentes del circuito de forma diferente. Los flancos ascendentes son retardados con un retardo de conexión, que es mayor que un retardo de desconexión, con el que se retardan los flancos descendentes de la señal PWM.

El tiempo de bloqueo, durante el que dos elementos del circuito de semiconductores de un semi-puente están desconectados al mismo tiempo, corresponde a la diferencia del retardo de conexión y del retardo de desconexión.

50 El circuito de retardo descrito se ocupa, además, de que las señales utilizadas para la conmutación de los conmutadores de semiconductores no se queden por debajo de una duración mínima del impulso de acuerdo con el retardo de desconexión. De esta manera, se pueden evitar los efectos negativos de las duraciones de conexión demasiado cortas de los elementos del circuito de semiconductores. Tales duraciones de conexión demasiado cortas pueden conducir, en efecto, a que en diodos de marcha libre, que están conectados en paralelo a los

elementos del circuito de semi-puente, se produzca un comportamiento de interrupción de la corriente, con lo que la corriente se modifica muy rápidamente y se inducen a través de las inductancias de dispersión presentes unas tensiones altas que pueden destruir los semiconductores de potencia implicados.

5 Otras ventajas así como detalles de la presente invención se deducen a partir de la descripción siguiente de una forma de realización preferida con la ayuda de las figuras. En este caso:

La figura 1 muestra un semi-puente en un convertidor.

La figura 2 muestra señales PWM para la activación de un semi-puente.

La figura 3 muestra un circuito de retardo para señales PWM.

La figura 4 muestra diagramas de las señales y del potencial.

10 La figura 1 muestra un fragmento de un convertidor. Un circuito intermedio proporciona una tensión continua U_{zk} . Por medio de un circuito de semi-puente se conecta una fase de un motor M (o en general: una carga), alternando sobre el potencial positivo y el potencial negativo del circuito intermedio. El circuito de semi-puente está constituido en este caso por dos elementos de circuito de semiconductores TH, TL, que son de forma alterna conductores o bien están bloqueados y nunca deben ser ambos conductores. En este elemento de circuito de semiconductores TH, TL se trata, por ejemplo, de IGBTs o de Power-MOSFETs. En paralelo con los elementos de circuito de semiconductores TH, TL están conectados unos diodos de marcha libre DH, DL. A través de la desconexión de la corriente de carga se induce una tensión, en virtud de la inductancia de la carga, que se opone a la desconexión. Las corrientes que resultan de ello son conducidas en adelante a través de los diodos de marcha libre DH, DL a través del circuito intermedio.

15 20 Para la activación de un motor normalmente trifásico se necesitan tres semi-puentes, como se representan en la figura 1.

La activación de un semi-puente, es decir, la conexión de los elementos de circuito de semiconductores TH, TL, se explica a continuación. Una señal PWM digital A, es decir, que salta en vaivén entre un nivel alto y un nivel bajo, se encuentra en el semi-puente. La relación de exploración de A corresponde en este caso a la tensión, que debe existir en la fase del motor M. Así, por ejemplo, la fase en el caso de una relación de exploración de 0,5 está precisamente entre el potencial positivo y el potencial negativo del circuito intermedio, es decir, en 0V. Con una relación de exploración entre 0 y 1 se puede ajustar, por lo tanto, en la fase del motor M cualquier tensión entre el potencial negativo y el potencial positivo del circuito intermedio.

25 30 Puesto que los dos elementos de circuito de semiconductores TH, TL (salvo el mantenimiento del tiempo de bloqueo) deben conectarse en sentido contrario, se genera por la señal PWM A por medio de un inversor I una señal PWM nA inversa a A. Tanto A como también nA recorren en cada caso un circuito de retardo D, que genera de nuevo señales digitales A' y nA', respectivamente, y cuyo modo de función se describe en detalle más adelante. Este circuito de retardo D se ocupa esencialmente del mantenimiento del tiempo de bloqueo. El tiempo de bloqueo es la distancia temporal ente la desconexión de uno de los elementos de circuito de semiconductores (TH o bien TL) y la conexión del otro elemento de circuito de semiconductores (TK o bien TH) y tiene por ejemplo 2 μ s.

35 El circuito de retardo D retarda los flancos ascendentes de A y nA en un tiempo determinado, llamado aquí retardo de la conexión. Los flancos descendentes son retardados de la misma manera en la medida de un tiempo determinado, llamado aquí retardo de la desconexión: el retardo de la desconexión es en este caso ligeramente más corto que el retardo de la conexión.

40 Entre el circuito de retardo D y el elemento de circuito de semiconductores TH, TL respectivo se pueden encontrar todavía otros circuitos, por ejemplo circuitos de excitación o también una lógica, que solamente transmite las señales PWM A', nA' a los elementos de circuito de semiconductores TH, TL cuando existe una liberación del impulso. A tal fin, se enlaza una señal de liberación lógica con la señal PWM A', nA' respectiva. Si no existe ninguna liberación, ambos elementos de circuito de semiconductores están bloqueados.

45 La figura 2 muestra las señales PWM A, nA, A', nA' mencionadas anteriormente en el transcurso temporal para un impulso PWM en la señal A.

La señal nA corresponde a la señal A invertida en el inversor 4.

50 A' resulta cuando se retrasan los flancos ascendentes de A (es decir, un cambio desde un nivel bajo L a un nivel alto H) en la medida de un retardo de conexión T_{on} , y se retrasan los flancos descendentes de A (es decir, un cambio desde un nivel alto H a un nivel bajo L) en la medida de un retardo de la desconexión T_{off} .

La señal nA' resulta cuando se retardan los flancos ascendentes de nA en la medida de un retardo de la conexión T_{on} y se retardan los flancos descendentes de nA en la medida de un retardo de la desconexión T_{off} . Esto significa

que nA' no representa una inversión de A' , sino la señal nA modificada a través del circuito de retardo D.

En la comparación de las señales A' y nA' , que se utilizan en último término para la activación de los elementos de circuito de semiconductores TH, TL, se reconoce que ahora se mantiene un tiempo de bloqueo de $T_b = T_{on} - T_{off}$. Valores típicos eran para T_{on} 2,5 μs y para T_{off} 0,5 μs , con lo que resulta de nuevo el tiempo de bloqueo de 2 μs mencionado anteriormente.

La figura 2 muestra ahora el circuito de retardo D propiamente dicho, que está presente dos veces por cada semipunto, puesto que las señales de activación A' y nA' , respectivamente, utilizadas para la activación de cada elemento de circuito de semiconductores TH, TL, proceden en cada caso de un circuito de retardo D de este tipo. Para el funcionamiento de un motor trifásico M son necesarios, por lo tanto, seis circuitos de retardo D de este tipo.

En la entrada e del circuito de retardo D se encuentra la señal PWM A no retardada todavía. A través de un circuito en serie, formado por una primera resistencia R1 y por una segunda resistencia R2, la señal A llega a una primera conexión de un condensador C1, cuya segunda conexión está fijamente en un nivel bajo. La primera conexión del condensador C1 está conectada, además, con una entrada de un comparador K, cuya salida forma la salida 'a' del circuito de retardo D. En función del nivel de la tensión en la entrada del comparador K, la salida del comparador K y con ello la salida 'a' del circuito de retardo D se encuentran en un nivel bajo o en un nivel alto.

Un diodo D1 está conectado en paralelo a la segunda resistencia R2, de manera que esta segunda resistencia R2 limita junto con la primera resistencia R1, en el caso de un cambio desde un nivel bajo L a un nivel alto H, en la entrada e del circuito de retardo F una corriente de carga para el primer condensador C1, mientras que su corriente de descarga en el caso de un cambio desde un nivel alto H hacia un nivel bajo L en la entrada e solamente se limita a través de la primera resistencia R1. Esto se garantiza cuando el diodo D1 se bloquea en el caso de un nivel alto H en la entrada e y en el caso de un nivel bajo en la entrada del comparador K, y conduce en el caso de relaciones inversas del nivel (es decir, con el condensador C1 cargado y con un nivel bajo L en la entrada e) y cortocircuita la segunda resistencia R2.

Un segundo condensador C2 está conectado en paralelo al comparador J, es decir, entre su entrada y su salida. La función de este condensador se explica en detalle con a ayuda de la figura 4.

La figura 4a muestra una señal A, que se encuentra en la entrada e del circuito de retardo D. Solamente contiene un flanco ascendente y un flanco descendente.

La figura 4b muestra la curva de la tensión en la entrada del comparador K, junto con la señal de conexión S_{on} y la señal de desconexión S_{off} del comparador K.

La figura 4c muestra la señal A' resultante en la salida 'a' del circuito de retardo D.

En el instante t_1 , la señal A cambia de un nivel bajo L a un nivel alto H. A partir de esta instante t_1 se cargan el condensador C1 y el condensador C2 a través de la primera y la segunda resistencia R1 y R2, por lo que se eleva la tensión en la entrada del comparador K. En un instante t_2 , se alcanza el nivel de conexión S_{on} del comparador K, cuya salida se conmuta en este momento desde un nivel bajo L a un nivel alto H. Puesto que la salida del comparador K es al mismo tiempo la salida 'a' del circuito de retardo D, en este momento se conmuta también A' a un nivel alto H, frente a la señal A en la medida de un retardo de conexión T_{on} ($T_{on} = t_2 - t_1$) más tarde. Por lo tanto, el tiempo T_{on} es el tiempo de carga del primero y del segundo condensador C1 y C2 hasta que se alcanza el nivel de conexión S_{on} , y este tiempo se determina a través de la yuxtaposición de las dos resistencias R1 y R2, que limita la corriente de carga.

Sin el segundo condensador C2, el nivel en la entrada del comparador K seguiría después del instante t_2 la línea de trazos, y se aproximaría al nivel alto H. Si la señal A cayese ahora de nuevo a un nivel bajo L, antes de que en la entrada del comparador K se encontrase el nivel alto completo H, entonces no se definiría limpiamente el tiempo hasta que se alcanza el nivel de desconexión S_{off} en el instante t_3 y, por lo tanto, el retardo de desconexión T_{off} . La descarga del condensador C1 comenzaría entonces, en efecto, desde un nivel más bajo.

Puesto que el retardo de la desconexión T_{off} define también el impulso de conmutación con la duración más corta de la conexión del elemento de circuito de semiconductores TH, TL asociado, un retardo acortado de la desconexión conduciría a impulsos de PWM tan cortos que, como se ha mencionado anteriormente, existiría la amenaza de la destrucción del elemento de circuito de semiconductores TH, TL.

Este problema se evita a través del segundo condensador C2. La carga acumulada en el condensador C2 hasta el instante t_2 está disponible para la carga completa del primer condensador C1, puesto que el condensador C2 se desplaza a la salida del comparador a un nivel alto H. Por lo tanto, como se representa en la figura 4b, el salto al nivel alto H en la entrada del comparador K se realiza después de t_2 prácticamente sin demora de tiempo. Un flanco descendente en la señal A, que sigue al instante t_2 , se retarda de esta manera siempre en la medida del retardo completo de desconexión T_{off} , por lo que se mantiene siempre una duración mínima de la conexión del elemento de

ES 2 384 645 T3

circuito de semiconductores TH, TL asociado.

5 En el instante t_3 , la señal A salta de retorno al nivel bajo L, el condensador se descarga ahora a través de R1, puesto que la resistencia R2 está puenteadada durante la descarga a través del diodo D1. Por lo tanto, el proceso de descarga es considerablemente más rápido que el proceso de carga, el tiempo hasta que se alcanza el nivel de desconexión S_{off} del comparador K en el instante t_4 y, por lo tanto, el retardo de la desconexión T_{off} ($T_{off} = t_4 - t_3$) es correspondientemente más corto que el tiempo de conexión T_{on} . El retardo de la desconexión T_{off} (más corto) y el retardo de la conexión T_{on} (más largo) se pueden establecer, por lo tanto, a través de una selección adecuada de las resistencias R1 y R2 así como de los condensadores C1 y C2.

10 El segundo condensador C2 se ocupa también en el instante t_4 de que el nivel en la entrada del comparador K caiga prácticamente de forma inmediata al nivel bajo L, de manera que el comparador K está preparado para el siguiente flanco ascendente de A.

A modo de ejemplo se indican todavía valores para el dimensionado de los componentes del circuito de retardo D:

$$R1 = 2k\Omega, R2 = 2,5k\Omega, C1 = 300 \text{ pF}, C2 = 150\text{pF}$$

15 Para los tiempos de retardo se aplica de una manera aproximada:

$$T_{on} = (R1 + R2) * (C1 + C2)$$

$$T_{off} = R1 * (C1 + C2)$$

20

REIVINDICACIONES

- 1.- Convertidor con un circuito de retardo para una señal PWM (A, nA) que se encuentra en la entrada € del circuito de retardo (D), a través del cual se retardan los flancos ascendentes de la señal PWM (A, nA) en la medida de un retardo de conexión (Ton) y los flancos descendentes de la señal PWM (A, nA) en la medida de un retardo de desconexión (Toff), para la formación de una señal de activación (A', nA'), que se encuentra en la salida (a) del circuito de retardo (D), para un elemento de circuito de semiconductores (TH, TL), en el que
- 5
- la entrada (e) está conectada a través de un circuito en serie, formado por una primera resistencia (R1) y por una segunda resistencia (R2), con una primera conexión de un primer condensador (C1), cuya segunda conexión se encuentra constantemente en un nivel bajo (L),
- 10
- la primera conexión del primer condensador (C1) está conectada con una entrada de un comparador (K), cuya salida forma la salida (a) del circuito de retardo (D), que cambia, en función de un nivel de la tensión en la entrada del comparador (K), entre un nivel alto (H) y un nivel bajo (L), en el que el nivel de la tensión en la salida del comparador (K) depende del estado de carga de primer condensador (C1),
- 15
- un diodo (D1) está conectado en paralelo a la segunda resistencia (R2), de tal manera que esta segunda resistencia (R2) junto con la primera resistencia (R1) en el caso de un cambio desde un nivel bajo (L) hacia un nivel alto (H) en la entrada (e) del circuito de retardo (D) limita una corriente de carga para el primer condensador (C1), mientras que su corriente de descarga en el caso de un cambio desde un nivel alto (H) hacia un nivel bajo (L) en la entrada (e) solamente se limita a través de la primera resistencia (R1).
- 20
- 2.- Convertidor con un circuito de retardo de acuerdo con la reivindicación 1, en el que el circuito de retardo (D) presenta, además, un segundo condensador (C2), que está conectado entre la entrada y la salida del comparador (K).
- 3.- Convertidor con un circuito de retardo de acuerdo con la reivindicación 1 ó 2, en el que el retardo de la conexión (Ton) es mayor que el retardo de la desconexión (Toff).
- 25
- 4.- Convertidor con un circuito de retardo de acuerdo con una de las reivindicaciones 1 a 3, en el que un nivel de conexión del comparador (K) se encuentra entre el nivel bajo (L) y el nivel alto (H), y un nivel de desconexión del comparador (K) se encuentra entre el nivel bajo (L) y el nivel de conexión.

FIG. 1

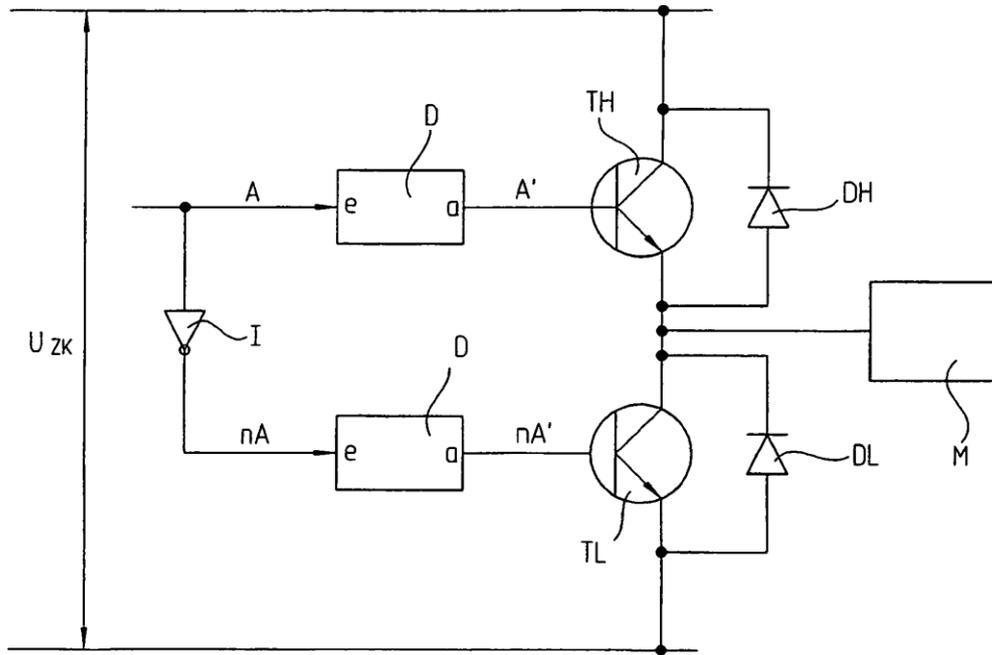


FIG. 2

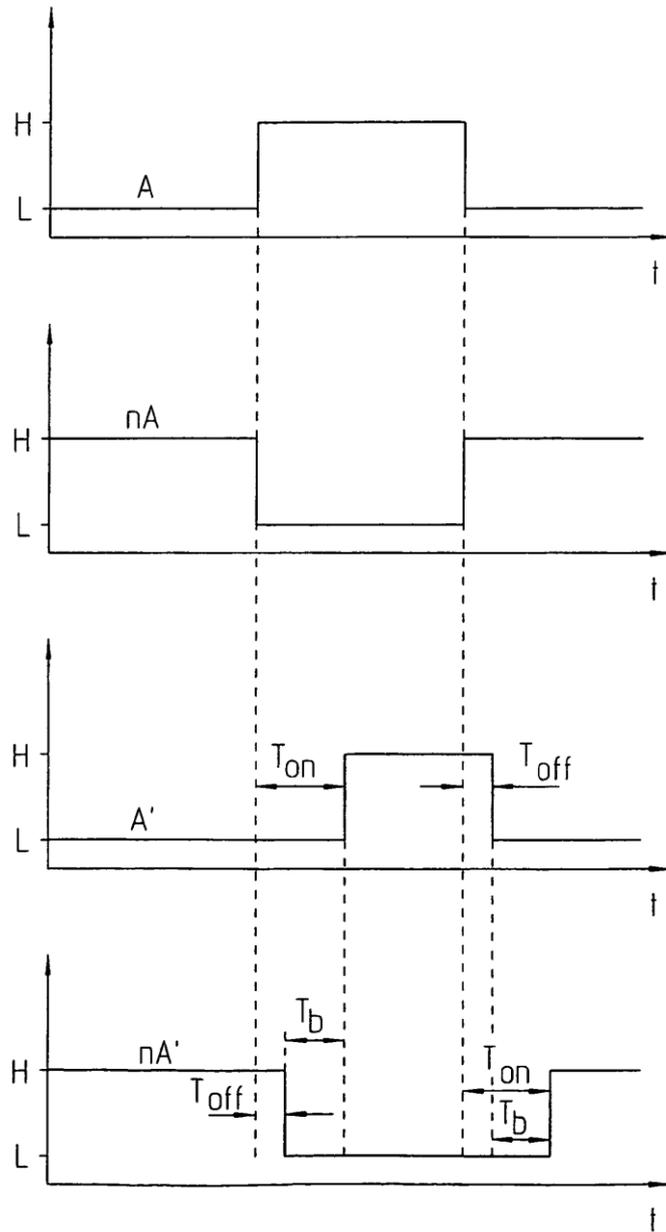


FIG. 3

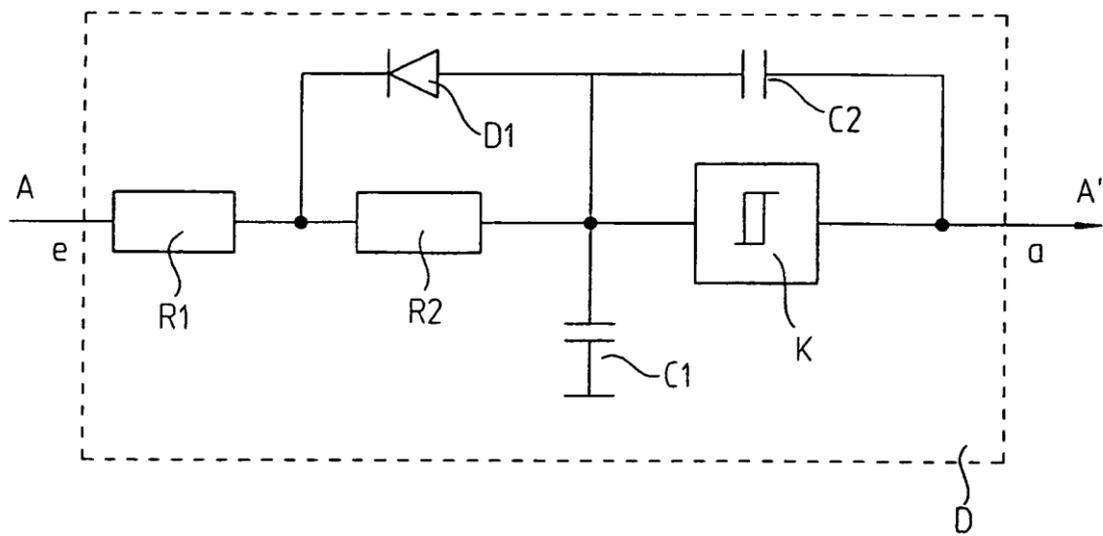


FIG. 4

