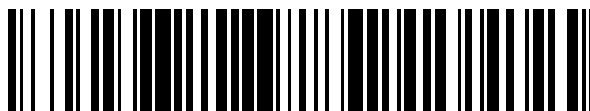


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 386 093**

51 Int. Cl.:

H04L 5/00 (2006.01)

H04L 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **08872240 .0**

96 Fecha de presentación: **19.12.2008**

97 Número de publicación de la solicitud: **2238750**

97 Fecha de publicación de la solicitud: **13.10.2010**

54 Título: **Aparato para transmitir y recibir una señal y método para transmitir y recibir una señal**

30 Prioridad:
04.02.2008 US 25823 P
15.12.2008 KR 20080127315

45 Fecha de publicación de la mención BOPI:
08.08.2012

45 Fecha de la publicación del folleto de la patente:
08.08.2012

73 Titular/es:
LG ELECTRONICS INC.
20, YEOUIDO-DONG YEONGDEUNGPO-GU
SEOUL 150-721, KR

72 Inventor/es:
KO, Woo Suk y
MOON, Sang Chul

74 Agente/Representante:
de Elizaburu Márquez, Alberto

ES 2 386 093 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato para transmitir y recibir una señal y método para transmitir y recibir una señal

Campo técnico

5 La presente invención se refiere a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, y más concretamente, a un método para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, que son capaces de mejorar la eficacia de transmisión de datos.

Antecedentes de la técnica

10 Según se ha desarrollado la tecnología de radiodifusión digital, los usuarios han recibido una imagen en movimiento de alta definición (HD). Con el desarrollo continuo de un algoritmo de compresión y un alto rendimiento de los componentes físicos, se proporcionará un mejor entorno a los usuarios en el futuro. Un sistema de televisión digital (DTV) puede recibir una señal de radiodifusión digital y proporcionar una diversidad de servicios complementarios a los usuarios así como una señal de vídeo y una señal de audio. El documento "Definición del parámetro de señalización de L1 y transmisión de señalización en T2", Jobela T., Vesma J. y Vaeke J., Nokia, Grupo DiV (Universidad de Tueku) y Panasonic I+D, 2 de noviembre de 2007, revela el método de la técnica anterior de radiodifusión de una señal.

15 Con el desarrollo de la tecnología de radiodifusión digital, se aumenta un requisito de un servicio tal como una señal de vídeo y una señal de audio y el tamaño de datos deseado por un usuario o el número de canales de radiodifusión se aumenta gradualmente.

Revelación de la invención**20 Problema técnico**

Por consiguiente la presente invención se dirige a un método para transmitir y recibir una señal y un aparato para transmitir y recibir una señal que obvia considerablemente uno o más problemas debidos a las limitaciones y desventajas de la técnica relacionada.

25 Un objetivo de la presente invención es proporcionar un método para transmitir y recibir una señal, y un aparato para transmitir y recibir una señal, los cuales son capaces de mejorar la eficiencia de transmisión de datos.

Otro objetivo de la presente invención es proporcionar un método para transmitir y recibir una señal y un aparato para transmitir y recibir una señal, que son capaces de mejorar la capacidad de corrección de errores de bits configurando un servicio.

Solución técnica

30 Para alcanzar los objetivos, la presente invención proporciona un método para transmitir una señal, incluye generar una segunda señal piloto que incluye una región de información de capa 1 para asignar la información de capa 1, disponiendo la segunda señal piloto generada en un preámbulo de una trama de señal, y disponiendo una conducción de capa física (PLP) en una región específica de la región de información de capa 1, y modulando la trama de señal y transmitiendo la trama de señal a través al menos un canal de radiofrecuencia (RF).

35 En otro aspecto de la presente invención, la presente invención proporciona para recibir una señal, incluyendo recibir una señal transmitida desde un canal de radiofrecuencia (RF) específico, demodulando la señal recibida, analizando sintácticamente una trama de señal de la señal demodulada, y obteniendo una conducción de capa física (PLP) situada en una región de información de capa 1 de una segunda señal piloto a partir de la trama de señal.

40 En otro aspecto de la presente invención, la presente invención proporciona un aparato para transmitir una señal, incluye un generador de información configurado para generar una segunda señal piloto que incluye una región de información de capa 1 para asignar la información de capa 1, un formador de tramas (130) configurado para disponer la segunda señal piloto generada en un preámbulo de una trama de señal y disponer una conducción de capa física (PLP) en una región específica de la región de información de capa 1, la PLP que corresponde con una secuencia de transporte, un modulador configurado para modular la trama de señal y una unidad de transmisión configurada para transmitir la trama de señal modulada a través de al menos un canal de radiofrecuencia (RF).

45 En otro aspecto de la presente invención, la presente invención proporciona un aparato para recibir una señal, incluye un receptor configurado para recibir una señal transmitida desde un canal de radiofrecuencia (RF) específico, un demodulador configurado para demodular la señal recibida, un analizador sintáctico de tramas configurado para analizar sintácticamente una trama de señal de la señal demodulada y obtener una conducción de capa física (PLP) situada en una región específica de una región de información de capa 1 de una segunda señal piloto, a partir de la trama de señal.

5 La información de capa 1 puede incluir información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización posterior y la información de información posterior incluye una dirección inicial de la PLP. La dirección inicial de la PLP puede ser el número de una celda incluido en un último símbolo de OFDM para la información de capa 1. La región específica puede ser una parte restante de la región de información de capa 1.

Efectos ventajosos

10 De acuerdo con el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la invención, si el símbolo de datos que configura la PLP y los símbolos que configuran el preámbulo se modulan en el mismo modo de FFT, la probabilidad de que se detecte el símbolo de datos por el preámbulo es baja y la probabilidad de que el preámbulo sea detectado erróneamente se reduce. Si la interferencia de onda continua (CW) se incluye como la señal de TV analógica, la probabilidad de que el preámbulo se detecte erróneamente por un componente DC de ruido generado en el momento de la correlación se reduce.

15 De acuerdo con el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la invención, si el tamaño de la FFT aplicada al símbolo de datos que configura la PLP es mayor que aquel de la FFT aplicada al preámbulo, el preámbulo que detecta el rendimiento se puede mejorar incluso en un canal de dispersión de retardo que tiene una longitud igual a o mayor que aquel de la parte del símbolo útil A del preámbulo. Dado que tanto el prefijo cíclico (B) como el sufijo cíclico (C) se usan en el preámbulo, se puede estimar el desfase de frecuencia portadora fraccional.

20 Y, dado que la PLP se transmite a través del preámbulo de la trama de señal, es posible usar eficazmente la trama de señal y la señal en la ubicación de la PLP incluida en el preámbulo a través de la información de capa 1 del preámbulo.

Breve descripción de los dibujos

- La FIG. 1 es una vista que muestra una trama de señal para transmitir un servicio;
- La FIG. 2 es una vista que muestra la estructura de una primera señal piloto P1 de la trama de señal;
- 25 La FIG. 3 es una vista que muestra una ventana de señalización;
- La FIG. 4 es una vista esquemática que muestra una realización de un aparato para transmitir una señal;
- La FIG. 5 es una vista que muestra un ejemplo de un procesador de entrada 110;
- La FIG. 6 es una vista que muestra una realización de una unidad de codificación y modulación;
- La FIG. 7 es una vista que muestra una realización de un formador de tramas;
- 30 La FIG. 8 es una vista que muestra un primer ejemplo de una relación de símbolos cuando los asignadores 131a y 131b realizan una asignación de símbolos híbrida;
- La FIG. 9 es una vista que muestra un segundo ejemplo de una relación de símbolos cuando los asignadores 131a y 131b realizan una asignación de símbolos híbrida;
- 35 La FIG. 10 es una vista que muestra el número de símbolos y el número de bits por palabra de celda de acuerdo un esquema de asignación de símbolos en un modo normal de LDPC;
- La FIG. 11 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un esquema de asignación de símbolos en un modo normal de LDPC;
- La FIG. 12 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un esquema de asignación de símbolos en un modo normal de LDPC;
- 40 La FIG. 13 es una vista que muestra el número de símbolos de acuerdo con un esquema de asignación de símbolos en un modo corto de LDPC;
- La FIG. 14 es una vista que muestra un ejemplo del número de símbolos de acuerdo con un esquema de asignación de símbolos en un modo corto de LDPC;
- 45 La FIG. 15 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un esquema de asignación de símbolos en un modo corto de LDPC;
- La FIG. 16 es una vista que muestra una realización de cada uno de los asignadores de símbolos 131a y 131b mostrados en la FIG. 7;

- La FIG. 17 es una vista que muestra otra realización de cada uno de los asignadores de símbolos 131a y 131b;
- La FIG. 18 es una vista que muestra otra realización del asignador de símbolos;
- La FIG. 19 es una vista que muestra otra realización de cada uno de los asignadores de símbolos 131a y 131b;
- 5 La FIG. 20 es una vista que muestra el concepto de intercalado de bits mediante los intercaladores de bits 1312a y 1312b;
- La FIG. 21 ilustra otro ejemplo de los intercaladores de bits que realizan intercalado;
- La FIG. 22 ilustra el desfase usado en intercalado de bit de acuerdo con un método de asignación de símbolos;
- La FIG. 23 es una vista que muestra un primer ejemplo del número de filas y columnas de memorias de los intercaladores de bits 1312a y 1312b de acuerdo con los tipos de asignadores de símbolos 1315a y 1315b;
- 10 La FIG. 24 es una vista que muestra un segundo ejemplo del número de filas y columnas de las memorias de los intercaladores de bits 1312a y 1312b de acuerdo con los tipos de asignadores de símbolos 1315a y 1315b;
- La FIG. 25 es un diagrama que muestra el concepto de otra realización de intercalado de un intercalador de bits;
- La FIG. 26 es una vista que muestra otra realización de intercalado de bits;
- La FIG. 27 es una vista que muestra otra realización de intercalado de bits;
- 15 La FIG. 28 es una vista que muestra otra realización de intercalado de bits;
- La FIG. 29 es una vista que muestra el concepto de demultiplexación de bits de entrada de los demultiplexores 1313a y 1313b;
- La FIG. 30 es una vista que muestra una realización de demultiplexar una secuencia de entrada mediante el demultiplexor;
- 20 La FIG. 31 es una vista que muestra un ejemplo de un tipo de demultiplexación de acuerdo con un método de asignación de símbolos;
- La FIG. 32 es una vista que muestra una realización de demultiplexar una secuencia de bits de entrada de acuerdo con un tipo de demultiplexación;
- 25 La FIG. 33 es una vista que muestra un tipo de demultiplexación que se determina de acuerdo con una tasa de código de una codificación de corrección de errores y un método de asignación de símbolos;
- La FIG. 34 es una vista que muestra un ejemplo para expresar el método de demultiplexación mediante una ecuación;
- La FIG. 35 es una vista que muestra un ejemplo de asignar un símbolo mediante un asignador de símbolos;
- La FIG. 36 es una vista que muestra un ejemplo de un codificador de señal multitrayecto;
- 30 La FIG. 37 es una vista que muestra una realización de un modulador;
- La FIG. 38 es una vista que muestra una realización de un procesador analógico 160;
- La FIG. 39 es una vista que muestra una realización de un aparato de recepción de señales capaz de recibir una trama de señal;
- La FIG. 40 es una vista que muestra una realización de un receptor de señales;
- 35 La FIG. 41 es una vista que muestra una realización de un demodulador;
- La FIG. 42 es una vista que muestra un descodificador de señal multitrayecto;
- La FIG. 43 es una vista que muestra una realización de un analizador sintáctico de tramas;
- La FIG. 44 es una vista que muestra una realización de cada uno de los desasignadores de símbolos 247a y 247p;
- La FIG. 45 es una vista que muestra otra realización de cada uno de los desasignadores de símbolos 247a y 247p;
- 40 La FIG. 46 es una vista que muestra otra realización de cada uno de los desasignadores de símbolos 247a y 247p;

- La FIG. 47 es una vista que muestra otra realización de cada uno de los desasignadores de símbolos 247a y 247p;
- La FIG. 48 es una vista que muestra una realización para multiplexar una subsecuencia demultiplexada;
- La FIG. 49 es una vista que muestra un ejemplo de una unidad de decodificación y demodulación;
- La FIG. 50 es una vista que muestra una realización de un procesador de salida;
- 5 La FIG. 51 es una vista que muestra otra realización de un aparato de transmisión de señales para transmitir una trama de señal;
- La FIG. 52 es una vista que muestra otra realización de un aparato de recepción de señales para recibir una trama de señal;
- La FIG. 53 es una vista que muestra una realización de la estructura de una primera señal piloto;
- 10 La FIG. 54 es una vista que muestra una realización para detectar una señal de preámbulo mostrada en la FIG. 53 y estimar un desfase de temporización y un desfase de frecuencia;
- La FIG. 55 es una vista que muestra otra realización de la estructura de la primera señal piloto;
- La FIG. 56 es una vista que muestra una realización para detectar la primera señal piloto mostrada en la FIG. 55 y medir un desfase de temporización y un desfase de frecuencia;
- 15 La FIG. 57 es una vista que muestra una realización para detectar la primera señal piloto y medir un desfase de temporización y un desfase de frecuencia usando el resultado detectado;
- La FIG. 58 es una vista que muestra una realización de un método para transmitir una señal;
- La FIG. 59 es una vista que muestra una realización de un método para recibir una señal; y
- La FIG. 60 es un diagrama de flujo que ilustra una realización para identificar una primera señal piloto y estimar un desfase en un proceso de demodulación.
- 20 La FIG. 61 ilustra otro ejemplo de un método para transmitir y recibir señales de acuerdo con la presente invención.
- La FIG. 62 es una vista que muestra otra realización de un aparato para transmitir una señal;
- La FIG. 63 es una vista que muestra una realización de un codificador de información 1303;
- La FIG. 64 es una vista que muestra otra realización de un aparato para recibir una señal;
- 25 La FIG. 65 es una vista que muestra una realización detallada para decodificar información de capa 1 e información de capa 2; y
- La FIG. 66 es un diagrama de flujo que ilustra un método para transmitir y recibir una señal;
- La FIG. 67 es una vista que muestra una estructura de un preámbulo de una trama de señal;
- La FIG. 68 es una vista que muestra otra estructura de un preámbulo de una trama de señal; y
- 30 La FIG. 69 es un diagrama de flujo que ilustra una realización de un método para transmitir y recibir una señal.

Mejor modo de llevar a cabo la invención

Ahora se hará referencia en detalle a las realizaciones preferentes de la presente invención, ejemplos de las cuales se ilustran en los dibujos anexos. Siempre que sea posible, se usarán los mismos números de referencia en todos los dibujos para referirse a partes iguales o similares. Las Figuras 1 a 52 y la descripción correspondiente se dan como ejemplos para comprender la invención.

35

En la siguiente descripción, el término "servicio" es indicativo de o bien los contenidos de radiodifusión que pueden ser transmitidos/recibidos por el aparato de transmisión/recepción de señales, o bien el suministro de contenido.

Anterior a la descripción de un aparato para transmitir y recibir una señal de acuerdo con una realización de la presente invención, se describirá una trama de señal que se transmite y recibe por el aparato para transmitir y recibir la señal de acuerdo con la realización de la presente invención.

40

La FIG. 1 muestra una trama de señal para transmitir un servicio de acuerdo con una realización de la presente invención.

- La trama de señal mostrada en la FIG. 1 muestra una trama de señal ejemplar para transmitir un servicio de radiodifusión que incluye secuencias de audio/vídeo (A/V). En este caso, un único servicio se multiplexa en canales de tiempo y frecuencia, y se transmite el servicio multiplexado. El esquema de transmisión de señales mencionado anteriormente se denomina un esquema de segmentación de tiempo-frecuencia (TFS). Comparado con el caso en que se transmite un servicio único solamente a una banda de radiofrecuencia (RF), el aparato de transmisión de señal de acuerdo con la presente invención transmite el servicio de señal a través de al menos una banda de RF (posiblemente varias bandas de RF), de manera que puede adquirir una ganancia de multiplexación estática capaz de transmitir muchos más servicios. El aparato de transmisión/recepción de señal transmite/recibe un servicio de señal sobre varios canales de RF, de manera que puede adquirir una ganancia de diversidad de frecuencia.
- Los servicios primero a tercero (Servicios 1~3) se transmiten a cuatro bandas de RF (RF1 ~ RF4). Sin embargo, este número de bandas de RF y este número de servicios se han revelado solamente por motivos ilustrativos, de modo que también se pueden usar otros números según sea necesario. Dos señales de referencia (es decir, una primera señal piloto (P1) y una segunda señal piloto (P2)) están ubicadas en la parte de comienzo de la trama de señal. Por ejemplo, en el caso de la banda de RF1, la primera señal piloto (P1) y la segunda señal piloto (P2) están ubicadas en la parte de comienzo de la trama de señal. La banda de RF1 incluye tres franjas asociadas al Servicio 1, dos franjas asociadas con el Servicio 2 y una única franja asociada con el Servicio 3. Las franjas asociadas con otros servicios también pueden estar ubicadas en otras franjas (Franjas 4~17) ubicadas después de la franja única asociada con el Servicio 3.
- La banda de RF2 incluye una primera señal piloto (P1), una segunda señal piloto (P2) y otras franjas 13-17. Además, la banda de RF2 incluye tres franjas asociadas con el Servicio 1, dos franjas asociadas con el Servicio 2 y una única franja asociada con el Servicio 3.
- Los Servicios 1 ~ 3 se multiplexan, y luego se transmiten a las bandas de RF3 y RF4 de acuerdo con el esquema de segmentación de tiempo-frecuencia (TFS). El esquema de modulación para la transmisión de señales se puede basar en un esquema de multiplexación por división de frecuencia ortogonal (OFDM).
- En la trama de señal, los servicios individuales se desplazan hacia las bandas de RF (en el caso de que haya una pluralidad de bandas de RF en la trama de señal) y un eje de tiempo.
- Si las tramas de señal iguales a la trama de señal anterior están dispuestas sucesivamente en el tiempo, se puede componer una supertrama de varias tramas de señal. Una trama de extensión futura también puede estar ubicada entre las diversas tramas de señal. Si la trama de extensión futura está ubicada entre las diversas tramas de señal, la supertrama se puede terminar en la trama de extensión futura.
- La FIG. 2 muestra una primera señal piloto (P1) contenida en la trama de señal de la FIG. 1 de acuerdo con una realización de la presente invención.
- La primera señal piloto P1 y la segunda señal piloto P2 están ubicadas en la parte de comienzo de la trama de señal. La primera señal piloto P1 se modula por un modo de FFT de 2K, y se puede transmitir simultáneamente mientras que incluye un intervalo de guarda de 1/4. En la FIG. 2, una banda de 7,61 MHz de la primera señal piloto P1 incluye una banda de 6,82992 MHz. La primera señal piloto usa 256 portadoras de entre 1705 portadoras activas. Se usa una única portadora activa para cada 6 portadoras en media. Los intervalos de portadora de datos se pueden disponer de manera irregular en el orden de 3, 6, y 9. En la FIG. 2, una línea continua indica la ubicación de una portadora usada, una línea discontinua delgada indica la ubicación de una portadora no usada, y una línea encadenada indica una ubicación central de la portadora no usada. En la primera señal piloto, la portadora usada se puede asignar a símbolos mediante una modulación por desplazamiento de fase binaria (BPSK), y se puede modular una secuencia de bits pseudoaleatoria (PRBS). El tamaño de una FFT usada para la segunda señal piloto se puede indicar mediante varias PRBS.
- El aparato de recepción de señales detecta una estructura de una señal piloto, y reconoce una segmentación de tiempo-frecuencia (TFS) usando la estructura detectada. El aparato de recepción de señales adquiere el tamaño de FFT de la segunda señal piloto, compensa un desfase de frecuencia tosco de una señal de recepción, y adquiere sincronización temporal.
- En la primera señal piloto, se pueden fijar un tipo de transmisión de señal y un parámetro de transmisión.
- La segunda señal piloto P2 se puede transmitir con un tamaño de FFT y un intervalo de guarda iguales a aquellos del símbolo de datos. En la segunda señal piloto, se usa una única portadora como una portadora piloto a intervalos de tres portadoras. El aparato de recepción de señales compensa un desfase de sincronización de frecuencia fina usando la segunda señal piloto, y realiza una sincronización temporal fina. La segunda señal piloto transmite información de una primera capa (L1) de entre las capas de la Interconexión de Sistemas Abiertos (OSI). Por ejemplo, la segunda señal piloto puede incluir un parámetro físico e información de construcción de trama. La segunda señal piloto transmite un valor de parámetro mediante el que un receptor puede acceder a una secuencia de servicio de Conducción de Capa Física (PLP).

La información de L1 (Capa 1) contenida en la segunda señal piloto P2 es como sigue.

La Información de Capa 1 (L1) incluye un indicador de longitud que indica la longitud de datos que incluye la información de L1, de modo que pueda usar fácilmente los canales de señalización de las Capas 1 y 2 (L1 y L2). La información de Capa 1 (L1) incluye un indicador de frecuencia, una longitud de intervalo de guarda, un número máximo de bloques de FEC (Corrección de Error sin Canal de Retorno) para cada trama en asociación con canales físicos individuales, y el número de bloques de FEC reales a estar contenidos en el almacenador temporal de bloques de FEC asociado con una trama actual/previa en cada canal físico. En este caso, el indicador de frecuencia indica la información de frecuencia que corresponde al canal de RF.

La información de Capa 1 (L1) puede incluir una diversidad de información en asociación con franjas individuales. Por ejemplo, la información de Capa 1 (L1) incluye el número de tramas asociadas con un servicio, una dirección inicial de una franja que tiene la precisión de una portadora de OFDM contenida en un símbolo de OFDM, una longitud de la franja, franjas correspondientes a la portadora de OFDM, el número de bits rellenados en la última portadora de OFDM, información de modulación de servicio, información de tasa de modo de servicio, y la información de esquema de Múltiples Entradas y Múltiples Salidas (MIMO).

La información de Capa 1 (L1) puede incluir un ID de celda, una bandera para un servicio como el servicio de notificación de mensajes (por ejemplo, un mensaje de emergencia), el número de tramas actuales y el número de bits adicionales para su uso futuro. En este caso, el ID de celda indica un área de radiodifusión transmitido por un transmisor de radiodifusión.

La segunda señal piloto P2 está adaptada para realizar una estimación de canal para descodificar un símbolo contenido en la señal P2. La segunda señal piloto P2 se puede usar como un valor inicial para la estimación de canal para el siguiente símbolo de datos. La segunda señal piloto P2 también puede transmitir información de Capa 2 (L2). Por ejemplo, la segunda señal piloto es capaz de describir información asociada con el servicio de transmisión en la información de Capa 2 (L2). El aparato de transmisión de señales descodifica la segunda señal piloto, de modo que pueda adquirir información de servicio contenida en la trama de segmentación de tiempo-frecuencia (TFS) y pueda realizar de manera eficaz la exploración de canal. Mientras tanto, esta información de Capa 2 (L2) se puede incluir en una PLP específica de la trama de TFS. De acuerdo con otro ejemplo, se puede incluir información de L2 en una PLP específica, y la información de descripción de servicio también se puede transmitir en la PLP específica.

Por ejemplo, la segunda señal piloto puede incluir dos símbolos de OFDM del modo de FFT de 8k. En general, la segunda señal piloto puede ser cualquiera de un símbolo de OFDM único del modo de FFT de 32K, un símbolo de OFDM único del modo de FFT de 16k, dos símbolos de OFDM del modo de FFT de 8k, cuatro símbolos de OFDM del modo de FFT de 4k, y ocho símbolos de OFDM del modo de FFT de 2k.

En otras palabras, un símbolo de OFDM único que tiene el tamaño de una FFT grande o varios símbolos de OFDM, cada uno de los cuales tiene el tamaño de una FFT pequeña, pueden estar contenidos en la segunda señal piloto P2, de modo que se puede mantener la capacidad capaz de ser transmitida al piloto.

Si la información a ser transmitida a la segunda señal piloto excede la capacidad del símbolo de OFDM de la segunda señal piloto, se pueden usar además los símbolos de OFDM después de la segunda señal piloto. La información de L1 (Capa 1) y L2 (Capa 2) contenida en la segunda señal piloto se codifica por corrección de error y luego se intercala, de modo que se lleve a cabo la recuperación de datos aunque ocurra un ruido impulsivo.

Como se describió anteriormente, también se puede incluir información de L2 en una PLP específica que transporte la información de descripción de servicio.

La FIG. 3 muestra una ventana de señalización de acuerdo con la presente invención. La trama de segmentación de tiempo-frecuencia (TFS) muestra un concepto de desfase de la información de señalización. La información de Capa 1 (L1) contenida en la segunda señal piloto incluye información de construcción de trama e información de capa física requerida por el aparato de recepción de señales que descodifica el símbolo de datos. Por lo tanto, si la información de los siguientes símbolos de datos ubicados después de la segunda señal piloto, está contenida en la segunda señal piloto, y se transmite la segunda señal piloto resultante, el aparato de recepción de señal puede ser incapaz de descodificar inmediatamente los símbolos de datos anteriores debido a un tiempo de descodificación de la segunda señal piloto.

Por lo tanto, como se muestra en la FIG. 3, la información de L1 contenida en la segunda señal piloto (P2) incluye información de un tamaño de trama de segmentación de tiempo-frecuencia (TFS) única, e incluye información contenida en la ventana de señalización en una ubicación separada de la segunda señal piloto por el desfase de la ventana de señalización.

Mientras tanto, para realizar una estimación de canal de un símbolo de datos que construye el servicio, el símbolo de datos puede incluir un piloto disperso y un piloto continuo.

El sistema de transmisión/recepción de señales capaz de transmitir/recibir las tramas de señal mostradas en las FIG. 1 ~ 3 se describirá a continuación. Servicios individuales pueden ser transmitidos y recibidos a través de varios canales de RF. Un camino para transmitir cada uno de los servicios o una secuencia transmitida a través de este camino se denomina una PLP. La PLP puede distribuirse entre las franjas divididas en el tiempo en varios canales de RF o una banda de RF única. Esta trama de señal puede transportar la PLP dividida en el tiempo en al menos un canal de RF. En otras palabras, una única PLP se puede transferir a través de al menos un canal de RF con regiones divididas en el tiempo. A continuación se revelarán los sistemas de transmisión/recepción de señales que transmiten/reciben una trama de señal a través de al menos una banda de RF.

La FIG. 4 es un diagrama en bloques que ilustra un aparato para transmitir una señal de acuerdo con una realización de la presente invención. Con referencia a la FIG. 4, el aparato de transmisión de señales incluye un procesador de entrada 110, una unidad de codificación y modulación 120, un formador de tramas 130, un codificador MIMO/MISO 140, una pluralidad de moduladores (150a, ..., 150r) del codificador MIMO/MISO 140, y una pluralidad de procesadores analógicos (160a, ..., 160r).

El procesador de entrada 110 recibe secuencias equipadas con varios servicios, genera un número P de tramas en banda base (P es un número natural) que incluye información de modulación y codificación correspondiente a caminos de transmisión de los servicios individuales, y saca el número P de tramas en banda base.

La unidad de codificación y modulación 120 recibe tramas en banda base desde el procesador de entrada 110, realiza la codificación y el intercalado de canal en cada una de las tramas en banda base, y saca el resultado de la codificación y intercalado de canal.

El formador de tramas 130 forma tramas que transmiten tramas en banda base contenidas en un número P de PLP a un número R de canales de RF (donde R es un número natural), divide las tramas formadas, y saca las tramas divididas a los caminos correspondientes al número R de canales de RF. Se pueden multiplexar varios servicios en un único canal de RF en el tiempo. Las tramas de señal generadas a partir del formador de tramas 140 pueden incluir una estructura de segmentación de tiempo-frecuencia (TFS) en la que se multiplexa el servicio en dominios de tiempo y frecuencia.

El codificador MIMO/MISO 140 codifica las señales a ser transmitidas al número R de canales de RF, y saca las señales codificadas a los caminos que corresponden a un número A de antenas (donde A es un número natural). El codificador MIMO/MISO 140 saca la señal codificada en la que un único a ser transmitido a un canal de RF único se codifica al número A de antenas, de modo que una señal se transmite/recibe a/desde una estructura MIMO (múltiples entradas - múltiples salidas) o MISO (múltiples entradas - única salida).

Los moduladores (150a, ..., 150r) modulan señales en el dominio de frecuencia introducidas a través del camino correspondiente a cada canal de RF en señales en el dominio del tiempo. Los moduladores (150a, 150r) modulan las señales de entrada de acuerdo con un esquema de multiplexación por división de frecuencia ortogonal (OFDM), y sacan las señales moduladas.

Los procesadores analógicos (160a, ..., 160r) convierten las señales de entrada en señales de RF, de modo que las señales de RF se pueden sacar a los canales de RF.

El aparato de transmisión de señales de acuerdo con esta realización puede incluir un número predeterminado de moduladores (150a, ..., 150r) que corresponde al número de canales de RF y un número predeterminado de procesadores analógicos (160a, ..., 160r) que corresponde al número de canales de RF. Sin embargo, en el caso de usar el esquema MIMO, el número de procesadores analógicos debe ser igual al producto de R (es decir, el número de canales de RF) y A (es decir, el número de antenas).

La FIG. 5 es un diagrama en bloques que ilustra un procesador de entrada 110 de acuerdo con una realización de la presente invención. Con referencia a la FIG. 5, el procesador de entrada 110 incluye el primer multiplexor de secuencia 111a, el primer divisor de servicios 113a y una pluralidad de primeros formadores de tramas en banda base (BB) (115a, ..., 115m). El procesador de entrada 110 incluye un segundo multiplexor de secuencia 111b, un segundo divisor de servicios 113b y una pluralidad de segundos formadores de tramas en banda base (BB) (115n, ..., 115p).

Por ejemplo, el primer multiplexor de secuencia 111a recibe varias secuencias de transporte (TS) de MPEG-2, multiplexa las secuencias TS de MPEG-2 recibidas y saca las secuencias TS de MPEG-2 multiplexadas. El primer divisor de servicios 113a recibe las secuencias multiplexadas, divide las secuencias de entrada de servicios individuales y saca las secuencias divididas. Como se describió anteriormente, a condición de que el servicio transmitido a través de un camino de canal físico se denomine PLP, el primer divisor de servicios 113a divide el servicio a ser transmitido a cada PLP, y saca el servicio dividido.

Los primeros formadores de tramas en BB (115a, ..., 115m) forman datos contenidos en un servicio a ser transmitido a cada PLP en forma de una trama específica, y saca los datos formateados en tramas específicas. Los primeros formadores de tramas en BB (115a, ..., 115m) forman una trama que incluye una cabecera y carga útil equipada con

datos de servicio. La cabecera de cada trama puede incluir información de modo basada en la modulación y codificación de los datos de servicio, y un valor de contador basado en una velocidad de reloj del modulador para sincronizar las secuencias de entrada.

5 El segundo multiplexor de secuencia 111b recibe varias secuencias, multiplexa secuencias de entrada, y saca las secuencias multiplexadas. Por ejemplo, el segundo multiplexor de secuencias 111b puede multiplexar secuencias del protocolo de Internet (IP) en lugar de las secuencias TS de MPEG-2. Estas secuencias se pueden encapsular mediante un esquema de encapsulación de secuencias genéricas (GSE). Las secuencias multiplexadas por el segundo multiplexor de secuencias 111b pueden ser cualquiera de las secuencias. Por lo tanto, las secuencias mencionadas anteriormente diferentes de las secuencias TS de MPEG-2 se denominan secuencias genéricas (secuencias GS).

El segundo divisor de servicios 113b recibe las secuencias genéricas multiplexadas, divide las secuencias genéricas recibidas de acuerdo con servicios individuales (es decir, tipos de PLP), y saca las secuencias GS divididas.

15 Los segundos formadores de tramas en BB (115n, ..., 115p) forman datos de servicio a ser transmitidos a PLP individuales en forma de una trama específica usada como una unidad de procesamiento de señales, y saca los datos de servicio resultantes. El formato de trama formado por los segundos formadores de tramas en BB (115n, ..., 115p) puede ser igual a aquel de los primeros formadores de tramas en BB (115a, 115m), según sea necesario. Si se requiere, también se puede proponer otra realización. En otra realización, el formato de trama formado por los segundos formadores de tramas en BB (115n, ..., 115p) puede ser diferente de aquel de los primeros formadores de tramas en BB (115a, ..., 115m). La cabecera de TS de MPEG-2 incluye además una Palabra de Sincronización de Paquete que no está contenida en la secuencia GS, provocando la aparición de diferentes cabeceras.

La FIG. 6 es un diagrama en bloques que ilustra una unidad de codificación y modulación de acuerdo con una realización de la presente invención. La unidad de codificación y modulación incluye un primer intercalador 123, un segundo codificador 125 y un segundo intercalador 127.

25 El primer codificador 121 actúa como un codificador externo de la trama en banda base de entrada, y es capaz de realizar la codificación de corrección de errores. El primer codificador 121 realiza la codificación de corrección de errores de la trama en banda base de entrada usando un esquema de Bose-Chaudhuri-Hocquenghem (BCH). El primer intercalador 123 realiza un intercalado de los datos codificados, de modo que evita que sea generado un error de ráfaga en una señal de transmisión. El primer intercalador 123 puede no estar contenido en la realización mencionada anteriormente.

30 El segundo codificador 125 actúa como un codificador interno o bien de los datos de salida del primer codificador 121 o bien de los datos de salida del primer intercalador 123, y es capaz de realizar la codificación de corrección de errores. Se puede usar un esquema de bits de paridad de baja densidad (LDPC) como esquema de codificación de corrección de errores. El segundo intercalador 127 mezcla los datos codificados de corrección de errores generados a partir del segundo codificador 125, y saca los datos mezclados. El primer intercalador 123 y el segundo intercalador 127 son capaces de realizar un intercalado de datos en unidades de un bit.

La unidad de codificación y modulación 120 se refiere a una única secuencia de PLP. La secuencia de PLP se codifica con corrección de errores y se modula mediante la unidad de codificación y modulación 120, y luego se transmite al formador de tramas 130.

40 La FIG. 7 es un diagrama en bloques que ilustra un formador de tramas de acuerdo con una realización de la presente invención. Con referencia a la FIG. 7, el formador de tramas 130 recibe secuencias de varios caminos desde la unidad de codificación y modulación 120, y dispone las secuencias recibidas en una trama de señal única. Por ejemplo, el formador de tramas puede incluir un primer asignador 131a y un primer intercalador 132a temporal en un primer camino, y puede incluir un segundo asignador 131b y un segundo intercalador temporal 132b en un segundo camino. El número de caminos de entrada es igual al número de las PLP para transmisión de servicio o al número de secuencias transmitidas a través de cada PLP.

El primer asignador 131a realiza una asignación de datos contenidos en la secuencia de entrada de acuerdo con el primer esquema de asignación de símbolos. Por ejemplo, el primer asignador 131a puede realizar una asignación de los datos de entrada usando un esquema de QAM (por ejemplo, 16 QAM, 64 QAM y 256 QAM).

50 Si el primer asignador 131a realiza una asignación del símbolo, los datos de entrada se pueden asignar a varios tipos de símbolos de acuerdo con varios esquemas de asignación de símbolos. Por ejemplo, el primer asignador 131a clasifica los datos de entrada en una unidad de trama en banda base y una subunidad de trama en banda base. Los datos clasificados individuales se pueden asignar por símbolos híbridos mediante al menos dos esquemas de QAM (por ejemplo, 16 QAM y 64 QAM). Por lo tanto, los datos contenidos en un único servicio se pueden asignar a símbolos en base a diferentes esquemas de asignación de símbolos en intervalos individuales.

El primer intercalador temporal 132a recibe una secuencia de símbolos asignada mediante el primer asignador 131a,

y es capaz de realizar el intercalado en un dominio temporal. El primer asignador 131a asigna datos, que están contenidos en la unidad de trama con corrección de errores recibida desde la unidad de codificación y modulación 120, en símbolos. El primer intercalador temporal 132a recibe la secuencia de símbolos asignada mediante el primer asignador 131a, e intercala la secuencia de símbolos recibida en unidades de la trama corregida de errores.

5 De este modo, el asignador 131p de orden p o el intercalador temporal 132p de orden p recibe datos de servicio a ser transmitidos a la PLP de orden p, asigna los datos de servicio en símbolos de acuerdo con el esquema de asignación de símbolos de orden p. Los símbolos asignados se pueden intercalar en un dominio de tiempo. Se debería señalar que este esquema de asignación de símbolos y este esquema de intercalado son iguales a aquellos del primer intercalador temporal 132a y el primer asignador 131a.

10 El esquema de asignación de símbolos del primer asignador 131a puede ser igual a o diferente de aquel del asignador 131p de orden p. El primer asignador 131a y el asignador 131p de orden p son capaces de asignar datos de entrada a símbolos individuales usando los mismos o diferentes esquemas de asignación híbrida de símbolos.

Los datos de los intercaladores de tiempo ubicados en caminos individuales (es decir, los datos de servicio intercalados por el primer intercalador temporal 132a y los datos de servicio a ser transmitidos al número R de canales de RF por el intercalador temporal 132p de orden p) se entrelazan, de modo que el canal físico permita que los datos anteriores sean entrelazados sobre varios canales de RF.

En asociación con las secuencias recibidas en tantos caminos como el número de las PLP, el formador de tramas de TFS 133 forma la trama de señal de TFS tal como la señal de trama mencionada anteriormente, de modo que el servicio se desplaza en el tiempo de acuerdo con los canales de RF. El formador 133 de tramas de TFS divide los datos de servicio recibidos en cualquiera de los caminos, y saca los datos de servicio divididos en datos del número R de bandas de RF según un esquema de planificación de señal.

El formador de tramas de TFS 133 recibe la primera señal piloto y la segunda señal piloto desde la unidad de información de señalización 135 (designada por la señal Ref/PL), dispone las señales piloto primera y segunda en la trama de señal, e inserta la señal de señalización (L1 y L2) de la capa física mencionada anteriormente en la segunda señal piloto. En este caso, las señales piloto primera y segunda se usan como las señales de comienzo de la trama de señal contenida en cada canal de RF de entre la trama de señal de TFS recibida desde la unidad de información de señalización (señal de Ref/PL) 135. Como se muestra en la FIG. 2, la primera señal piloto puede incluir un tipo de transmisión y parámetros de transmisión básicos, y la segunda señal piloto puede incluir un parámetro físico e información de construcción de trama. Además, la segunda señal piloto incluye una señal de señalización de L1 (Capa 1) y una señal de señalización de L2 (Capa 2).

El número R de intercaladores en frecuencia (137a, ..., 137r) intercalan datos de servicio, a ser transmitidos a los canales de RF correspondientes de la trama de señal de TFS, en un dominio de frecuencia. Los intercaladores en frecuencia (137a, ..., 137r) pueden entrelazar los datos de servicio a un nivel de celdas de datos contenidas en un símbolo de OFDM.

35 Por lo tanto, los datos a ser transmitidos a cada canal de RF en la trama de señal de TFS se procesan con desvanecimiento selectivo en frecuencia, de modo que no se puedan perder en un dominio de frecuencia específico.

La FIG. 8 es una vista que muestra un primer ejemplo de una relación de símbolos cuando los asignadores 131a y 131b realizan una asignación híbrida de símbolos. Esta Figura muestra el número de bits transmitidos por una subportadora (celda) si la codificación de corrección de errores es realizada por la unidad de codificación y modulación en un modo normal (la longitud del código con codificación de corrección de errores es de 64800 bits) del modo de codificación de corrección de errores de LDPC.

Por ejemplo, si los asignadores 131a y 131b realizan una asignación de símbolos usando 256QAM, se asignan 64800 bits a 8100 símbolos. Si los asignadores 131a y 131b realizan una asignación híbrida de símbolos (Hyb 128-QAM) usando 256QAM y 64QAM con una relación de 3:2, el número de símbolos asignados por 256QAM es de 4860 y el número de símbolos asignados por 64QAM es de 4320. El número de bits transmitidos por cada subportadora (celda) es de 7,0588.

Si se usa un método de asignación de símbolos de 64QAM, los datos de entrada se pueden asignar con 10800 símbolos y se pueden transmitir seis bits por celda. Si los datos se asignan a los símbolos mediante un método de asignación híbrida de símbolos de 64QAM y 16QAM (64QAM:16QAM=3:2, Hyb32-QAM), se pueden transmitir cinco bits por una subportadora (celda).

Si se asignan datos a símbolos por el método 16QAM, los datos se asignan con 16200 símbolos, cada uno de los cuales se usa para transmitir cuatro bits.

De manera similar, si se asignan datos a símbolos mediante un método de asignación híbrida de símbolos de 16QAM y QPSK (16QAM:QPSK=2:3, Hyb8-QAM), se pueden transmitir tres bits mediante una subportadora (celda).

Si se asignan datos a símbolos mediante un método QPSK, los datos se pueden asignar a 32400 símbolos, cada uno de los cuales se usa para transmitir dos bits.

La FIG. 9 muestra métodos de asignación de símbolos de datos con corrección de errores mediante un método de codificación de corrección de errores de LDPC de un modo corta (la longitud del código codificado con corrección de errores es de 16200 bits), que son iguales a los métodos de asignación de símbolos de la FIG. 8, y los números de bits por subportadora de acuerdo con los métodos de asignación de símbolos.

Los números de bits transmitidos por la subportadora son iguales a aquellos del modo normal (64800 bits) de acuerdo con los métodos de asignación de símbolos tales como 256QAM, Hyb 128-QAM, 64-QAM, Hyb 32-QAM, 16QAM, Hyb8-QAM y QPSK, pero los números totales de símbolos transmitidos son diferentes de aquellos del modo normal. Por ejemplo, se transmiten 16200 bits por 2025 símbolos en 256QAM, se transmiten 16200 bits por 1215 símbolos de acuerdo con 256QAM y 1080 símbolos de acuerdo con 64QAM (2295 símbolos totales) en Hyb 128-QAM.

Por consiguiente, se puede ajustar una tasa de transmisión de datos por subportadora (celda) para cada PLP de acuerdo con un método de asignación híbrida de símbolos o un método de asignación de símbolo único.

La FIG. 10 es una vista que muestra el número de símbolos y el número de bits por palabra de celda de acuerdo con un método de asignación de símbolos en un modo normal de LDPC. Si una trama de señal de TFS incluye al menos un canal de RF, se pueden asignar de manera uniforme a canales de RF los símbolos que configuran una PLP específica. Las ubicaciones de los símbolos de PLP asignados a los canales de RF se pueden direccionar más eficazmente. Por consiguiente, cuando el aparato de recepción de señales selecciona los canales de RF, los bits usados para direccionar la PLP específica pueden reducirse.

En este dibujo, un método de asignación de símbolos representado por 256-QAM indica un método de asignación de bits que configuran un único bloque codificado de corrección de errores a símbolos con una relación de $256\text{QAM}:64\text{QAM}=8:1$. De acuerdo con este método de asignación de símbolos, el número de bits en un único bloque codificado de corrección de errores mediante el método 256-QAM es de 57600, el número de bits en un único bloque codificado de corrección de errores mediante el método 256-QAM es de 1200, el número de símbolos totales en el bloque es de 8400, y el número de bits por palabra de celda es de 7,714285714.

Un método de asignación de símbolos representado por Hyb 128-QAM indica un método de asignación de bits que configura un único bloque codificado de corrección de errores a símbolos con una relación de $256\text{QAM}:64\text{QAM}=8:7$. De acuerdo con el método de asignación de símbolos Hyb 128-QAM, el número de símbolos totales en un único bloque con codificación de corrección de errores es de 9600, y el número de bits por palabra de celda es de 6,75.

De acuerdo con un método de asignación de símbolos representado por 64 QAM, el número de símbolos totales en un único bloque con codificación de corrección de errores es de 10800 y el número de bits por palabra de celda es de 6.

Un método de asignación de símbolos representado por Hyb 32-QAM indica un método de asignación de bits que configura un único bloque codificado de corrección de errores a símbolos con una relación de $64\text{QAM}:32\text{QAM}=5:4$. De acuerdo con el método de asignación de símbolos Hyb 32-QAM, el número de símbolos totales en el bloque codificado de corrección de errores es de 13200, y el número de bits por palabra de celda es de 4,9090909.

Un método de asignación de símbolos representado por 16 QAM indica un método de asignación de bits que configuran un único bloque codificado de corrección de errores a símbolos con una relación de $16\text{QAM}:\text{QPSK}=1:8$. De acuerdo con el método de asignación de símbolos 16 QAM, el número de símbolos totales en un bloque codificado de corrección de errores es de 15600, y el número de bits por palabra de celda es de 4,153846154.

Un método de asignación de símbolos representado por Hyb 8-QAM indica un método de asignación de bits que configura un único bloque codificado de corrección de errores a símbolos con una relación de $16\text{QAM}:\text{QPSK}=2:1$. De acuerdo con el método de asignación de símbolos Hyb 8-QAM, el número de símbolos totales en un bloque codificado de corrección de errores es de 21600, y el número de bits por palabra de celda es de 3.

De acuerdo con un método de asignación de símbolos representado por QPSK, el número de símbolos totales en un bloque codificado de corrección de errores es de 32400 y el número de bits por palabra de celda es de 2.

Cuando los símbolos que configuran la PLP se asignan a los canales de RF, la ganancia de diversidad del dominio de frecuencia se puede maximizar cuando los números de los símbolos asignados a los respectivos canales de RF son iguales. Si se considera un máximo de seis canales de RF, el mínimo común múltiplo de 1 a 6 es 60 y el máximo común divisor de los números de símbolos asignados con un bloque codificado de corrección de errores es de 1200. Por consiguiente, si se asigna el múltiplo entero de $1200/60=20$ símbolos a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran 20 símbolos como un grupo y se direcciona el grupo, puede reducirse la sobrecarga de direccionamiento de $\log_2(20)$ 4,32 bits comparado con el caso en el que se direccionan los símbolos uno por uno.

La FIG. 11 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un método de asignación de símbolos en un modo normal de LDPC. En el ejemplo de este dibujo, se usaron como el método de asignación de símbolos un método 256-QAM que usa símbolos 256QAM y 64QAM (256QAM:64QAM=4:1), un método Hyb 128-QAM que usa símbolos 256QAM y 64QAM (256QAM:64QAM=8:7), un método 64QAM, un método Hyb 32-QAM que usa símbolos 64QAM y 8QAM (64QAM:8QAM=3:2), un método 16 QAM que usa símbolos 16QAM y QPSK (16QAM:QPSK=1:14), un método Hyb 8-QAM que usa 16QAM:QPSK=2:1 y un método QPSK. El máximo común divisor (GCD) de los números de símbolos totales de un bloque codificado de corrección de errores (modo normal) de acuerdo con los métodos de asignación de símbolos es 720. Por consiguiente, si se asigna el múltiplo entero de $12(=720/60)$ símbolos a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran 12 símbolos como un grupo y se direcciona el grupo, puede reducirse la sobrecarga de direccionamiento de $\log_2(12)3,58$ bits comparado con el caso en el que se direccionan los símbolos uno por uno. El aparato de recepción de señales puede recoger los símbolos de PLP asignados mediante el esquema de direccionamiento y obtener una secuencia de servicio de PLP.

La FIG. 12 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un método de asignación de símbolos en un modo normal de LDPC. En el ejemplo de este dibujo, se usaron como método de asignación de símbolos un esquema 256-QAM, un esquema Hyb 128-QAM, un esquema 64QAM, un esquema Hyb 32-QAM, un esquema 16 QAM, un esquema Hyb 8-QAM y un esquema QPSK. El método de asignación de símbolos 256QAM usa símbolos 256QAM y 64QAM (256QAM: 64QAM=44:1) y el método de asignación de símbolos Hyb 128-QAM usa símbolos 256QAM y 64QAM (256QAM: 64QAM=28:17). El método Hyb 32-QAM usa símbolos 64QAM y 8QAM (64QAM:8QAM=3:2), el método de asignación de símbolos 16QAM usa símbolos 16QAM y QPSK (16QAM: QPSK=1:14) y el método de asignación de símbolos Hyb 8-QAM usa símbolos 16QAM y QPSK (16QAM:QPSK=2:1). El GCD de los números de símbolos totales de un bloque codificado de corrección de errores (modo normal) de acuerdo con los métodos de asignación de símbolos es 240. Por consiguiente, si se asigna el múltiplo entero de $240/60=4$ símbolos a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran cuatro símbolos como un grupo y se direcciona el grupo, puede reducirse la sobrecarga de direccionamiento de $\log_2(4)2$ bits comparado con el caso en el que se direccionan los símbolos uno por uno. Por consiguiente, incluso cuando el número de canales de RF es uno cualquiera de 1 a 6 en la trama de señal, los símbolos de PLP se pueden asignar de manera uniforme a los canales de RF.

La FIG. 13 es una vista que muestra el número de símbolos de acuerdo con un método de asignación de símbolos en un modo corto de LDPC. Como se describió anteriormente, si se realiza una asignación de símbolos de acuerdo con este ejemplo, los símbolos de PLP se pueden asignar de manera uniforme a los canales de RF y se puede reducir la sobrecarga del direccionamiento de símbolos de PLP. Los métodos de asignación de símbolos mostrados en este dibujo son iguales a aquellos mostrados en la FIG. 10. Sin embargo, dado que el número de bits del modo corto de LDPC es diferente a aquel del modo normal, el GCD de los números de símbolos totales de un bloque codificado de corrección de errores (modo corto) de acuerdo con los métodos de asignación de símbolos, es 300, a diferencia de la FIG. 10. Por consiguiente, si se asigna el múltiplo entero de $300/60=5$ símbolos a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran cinco símbolos como un grupo y se direcciona el grupo, se puede reducir la sobrecarga de direccionamiento de $\log_2(5)$ bits comparado con el caso en el que se direccionan los símbolos uno por uno. Por consiguiente, en esta realización, se ahorran $\log_2(5)$ bits de los bits de direccionamiento cuando se direccionan los símbolos de PLP divididos.

La FIG. 14 es una vista que muestra un ejemplo del número de símbolos de acuerdo con un método de asignación de símbolos en un modo corto de LDPC. Los métodos de asignación de símbolos de este dibujo son iguales a aquellos mostrados en la FIG. 11. En este ejemplo, el GCD de los números de símbolos totales de un bloque codificado de corrección de errores (modo corto) de acuerdo con los métodos de asignación de símbolos es 180, que se puede usar para la asignación de símbolos de PLP de un canal de RF y el direccionamiento de los símbolos asignados. En esta realización, se ahorran mediante $\log_2(3)$ bits los bits de direccionamiento.

La FIG. 15 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un método de asignación de símbolos en un modo corto de LDPC. Los métodos de asignación de símbolos de este dibujo son iguales a aquellos mostrados en la FIG. 12. En este ejemplo, el GCD de los números de símbolos totales de un bloque codificado de corrección de errores (modo corto) de acuerdo con los métodos de asignación de símbolos es 60. En esta realización, se ahorran por $\log_2(1)$ bits los bits de direccionamiento (es decir, no se ahorra bit de direccionamiento).

La FIG. 16 es una vista que muestra un ejemplo de cada uno de los asignadores de símbolos 131a y 131b mostrados en la FIG. 7. Cada uno de los asignadores de símbolos 131a y 131b incluye un primer asignador de orden 1315a, un segundo asignador de orden 131b, un fusionador de símbolos 1317 y un fusionador de bloque de corrección de errores 1318.

El analizador sintáctico de secuencia de bits 1311 recibe la secuencia de servicio de PLP desde la unidad de codificación y modulación y divide la secuencia de servicio recibida.

- 5 El asignador de símbolos de primer orden 1315a asigna los bits de la secuencia de servicio divididos mediante un método de asignación de símbolos de orden superior a símbolos. El asignador de símbolos de segundo orden 1315b asigna los bits de la secuencia de servicio divididos mediante un método de asignación de símbolos de orden inferior a símbolos. Por ejemplo, en el ejemplo anterior, el asignador de símbolos de primer orden 1315a puede asignar la secuencia de bits a símbolos de acuerdo con 256QAM y el asignador de símbolos de segundo orden 1315b puede asignar la secuencia de bits a símbolos de acuerdo con 64QAM.
- El fusionador de símbolos 1317 fusiona los símbolos sacados de los asignadores de símbolos 1315a y 1315b a una secuencia de símbolos y saca la secuencia de símbolos. El fusionador de símbolos 1317 puede sacar la secuencia de símbolos incluida en una PLP.
- 10 El fusionador de bloque de corrección de errores 1318 puede sacar una secuencia de símbolos fusionada por el fusionador de símbolos 1317 en la unidad de bloque de código codificada de corrección de errores. El fusionador de bloque de corrección de errores 1318 puede sacar un bloque de símbolos de modo que los bloques de código codificados de corrección de errores se asignen de manera uniforme a al menos a una banda de RF de la trama de señal de TFS. El fusionador de bloque de corrección de errores 1318 puede sacar el bloque de símbolos de modo que la longitud del bloque de símbolos del bloque codificado de corrección de errores de un modo normal sea igual a aquella del bloque de símbolos del bloque codificado de corrección de errores de un modo corto. Por ejemplo, se pueden fusionar cuatro bloques de símbolos del bloque codificado de corrección de errores del modo corto a un bloque de símbolos.
- 15 El fusionador de bloque de corrección de errores 1318 puede dividir la secuencia de símbolos de acuerdo con un múltiplo común del número de bandas de RF de modo que el formador de tramas de señal disponga de manera uniforme los símbolos a las bandas de RF. Si el número máximo de bandas de RF en la trama de señal es 6, el fusionador de bloque de corrección de errores 1318 saca el bloque de símbolos de modo que el número total de símbolos se puede dividir por 60 que es un múltiplo común de 1, 2, 3, 4, 5 y 6.
- 20 Los símbolos incluidos en el bloque de símbolos de salida se pueden disponer para ser asignados de manera uniforme a las seis bandas de RF. Por consiguiente, aunque se combinan un modo de corrección de errores de acuerdo con una tasa de código y un método de asignación de símbolos, los símbolos que configuran la PLP se asignan de manera uniforme a las bandas de RF.
- 25 La FIG. 17 es una vista que muestra otra realización de cada uno de los asignadores de símbolos 131a y 131b. La realización de este dibujo es similar a la realización de la FIG. 16 excepto porque se incluyen además una unidad de calibración de potencia de primer orden 1316a y una unidad de calibración de potencia de segundo orden 1316b.
- 30 La unidad de calibración de potencia de primer orden 1316a calibra la potencia de los símbolos asignados mediante el asignador de símbolos de primer orden 1315a de acuerdo con el tamaño de la constelación y saca los símbolos calibrados. La unidad de calibración de potencia de segundo orden 1316b calibra la potencia de los símbolos asignados mediante el asignador de símbolos de segundo orden 1315b de acuerdo con el tamaño de la constelación y saca los símbolos calibrados. Por consiguiente, aunque el método de asignación de símbolos se cambie en una PLP o se cambie entre una pluralidad de PLP, si la potencia del símbolo mediante el método de asignación de símbolos se ajusta de acuerdo con el tamaño de la constelación, se puede mejorar el rendimiento de recepción de señales de un receptor.
- 35 El fusionador de símbolos 1317 fusiona los símbolos calibrados por las unidades de calibración de potencia 1316a y 1316b y saca una secuencia de símbolos.
- 40 La FIG. 18 es una vista que muestra otra realización del asignador de símbolos. En la realización de esta Figura, el asignador de símbolos incluye el segundo codificador 125 y el segundo intercalador 127 incluidos en la unidad de codificación y modulación. Es decir, si se usa esta realización, la unidad de codificación y modulación puede incluir solamente el primer codificador 121, el primer intercalador 123 y el segundo codificador 125.
- 45 La realización del asignador de símbolos incluye un analizador sintáctico de secuencia de bits 1311, un intercalador de bits de primer orden 1312a, un intercalador de bits de segundo orden 1312b, un demultiplexor de primer orden 1313a, un demultiplexor de segundo orden 1313b, un asignador de símbolos de primer orden 1315a, un asignador de símbolos de segundo orden 1315b y un fusionador de símbolos 1317.
- 50 Cuando el segundo codificador 125 realiza una codificación de corrección de errores de LDPC, la longitud del bloque codificado de corrección de errores (por ejemplo, la longitud de 64800 bits y la longitud de 16200 bits) puede variar de acuerdo con un modo de LDPC. Si los bits incluidos en el bloque codificado de corrección de errores se asignan a los símbolos, las capacidades de corrección de errores de los bits incluidos en una palabra de celda que configura el símbolo pueden variar de acuerdo con las ubicaciones de los bits. Por ejemplo, la palabra de celda que es el símbolo se puede determinar según la tasa de código de la codificación de corrección de errores y el método de asignación de símbolos (ya sea que el método de asignación de símbolos es el método de asignación de símbolos de orden superior o el método de asignación de símbolos de orden inferior). Si el código de corrección de errores es el LDPC, las capacidades de corrección de errores de los bits varían de acuerdo con las ubicaciones de los bits en el
- 55

bloque codificado de corrección de errores. Por ejemplo, las fiabilidades de los bits codificados de acuerdo con las características de la matriz H usada en el método irregular de codificación de corrección de errores de LDPC pueden variar de acuerdo con las ubicaciones de los bits. Por consiguiente, el orden de los bits que configuran la palabra de celda asignada al símbolo se cambia de modo que se ajusten las capacidades de corrección de errores de los bits que son débiles frente a la corrección de errores en el bloque codificado de corrección de errores y se pueda ajustar la robustez frente al error en el nivel de bit.

En primer lugar, el segundo codificador 125, por ejemplo, realiza la codificación de corrección de errores con respecto a la secuencia incluida en una PLP mediante el método de codificación de corrección de errores de LDPC.

El analizador sintáctico de secuencia de bits 1311 recibe la secuencia de servicio de acuerdo con la PLP y divide la secuencia de servicio recibida.

El intercalador de bits de primer orden 1312a intercala los bits incluidos en una primera secuencia de bits de las secuencias de servicio divididas. De manera similar, el intercalador de bits de segundo orden 1312b intercala los bits incluidos en una segunda secuencia de bits de las secuencias de servicio divididas.

El intercalador de bits de primer orden 1312a y el intercalador de bits de segundo orden 1312b pueden corresponder al segundo intercalador 127 usado como intercalador interno. El método de intercalado del intercalador de bits de primer orden 1312a y el intercalador de bits de segundo orden 1312b se describirá más tarde.

El demultiplexor de primer orden 1313a y el demultiplexor de segundo orden 1313b demultiplexan los bits de las secuencias de bits intercaladas por el intercalador de bits de primer orden 1312a y el intercalador de bits de segundo orden 1312b. Los demultiplexores 1313a y 1313b dividen la secuencia de bits de entrada en subsecuencias de bits que se asignarán a un eje real y un eje imaginario de una constelación y sacan las subsecuencias de bits. Los asignadores de símbolos 1315a y 1315b asignan las subsecuencias de bits demultiplexadas mediante los demultiplexores 1313a y 1313b a los símbolos correspondientes.

Los intercaladores de bits 1312a y 1312b y los demultiplexores 1313a y 1313b pueden combinar las características de la palabra de código de LDPC y las características de la fiabilidad de constelación de la asignación de símbolos de acuerdo con la constelación. La realización detallada de los demultiplexores de primer orden 1313a y 1313b se describirá más tarde.

El asignador de símbolos de primer orden 1315a realiza una asignación de símbolos de primer orden, por ejemplo, asignación de símbolos de orden superior, y el asignador de símbolos de segundo orden 1315b realiza una asignación de símbolos de segundo orden, por ejemplo, asignación de símbolos de orden inferior. El asignador de símbolos de primer orden 1315a asigna las subsecuencias de bits sacadas desde el demultiplexor de primer orden 1313 a los símbolos y el asignador de símbolos de segundo orden 1315b asigna las subsecuencias de bits sacadas desde el demultiplexor de segundo orden 1313b a los símbolos.

El fusionador de símbolos 1317 fusiona los símbolos asignados por el asignador de símbolos de primer orden 1315a y el asignador de símbolos de segundo orden 1315b en una secuencia de símbolos y saca la secuencia de símbolos.

Como se describió anteriormente, en el LDPC, las capacidades de corrección de errores de los bits se pueden cambiar de acuerdo con las ubicaciones de los bits en el bloque codificado de corrección de errores. Por consiguiente, si el intercalador de bits y el demultiplexor se controlan de acuerdo con las características del codificador 125 de LDPC para cambiar el orden de los bits que configuran la palabra de celda, la capacidad de corrección de errores en el nivel de bits se puede maximizar.

La FIG. 19 es una vista que muestra otra realización de cada uno de los asignadores de símbolos 131a y 131b. La realización de este dibujo es similar a la realización de la FIG. 18, excepto porque se incluyen además una unidad de calibración de potencia de primer orden 1316a y una unidad de calibración de potencia de segundo orden 1316b.

La unidad de calibración de potencia de primer orden 1316a calibra la potencia de los símbolos asignados por el asignador de símbolos de primer orden 1315a de acuerdo con el tamaño de la constelación y saca los símbolos calibrados. La unidad de calibración de potencia de segundo orden 1316b calibra la potencia de los símbolos asignados por el asignador de símbolos de segundo orden 1315b de acuerdo con el tamaño de la constelación y saca los símbolos calibrados. Por consiguiente, aunque el esquema de asignación de símbolos se cambie en una PLP o se cambie entre una pluralidad de PLP, si la potencia del símbolo se ajusta de acuerdo con el tamaño de la constelación, se puede mejorar el rendimiento de recepción de señales.

El fusionador de símbolos 1317 fusiona los símbolos calibrados por las unidades de calibración de potencia 1316a y 1316b y saca una secuencia de símbolos.

La FIG. 20 es una vista que muestra el concepto del intercalado de bits por los intercaladores de bits 1312a y 1312b de las Figs. 18 y 19.

Por ejemplo, se almacenan bits de entrada en y se leen de una memoria en forma de matriz que tiene un número predeterminado de filas y columnas. Cuando se almacenan los bits de entrada, en primer lugar, se almacenan los bits en una primera columna en dirección de filas, y, si se llena la primera columna, se almacenan los bits en otra columna en dirección de filas. Cuando se leen los bits almacenados, los bits se leen en dirección de columnas y, si se leen todos los bits almacenados en una primera fila, se leen los bits en otra fila en dirección de columnas. En otras palabras, cuando se almacenan los bits, se almacenan los bits en forma de filas de modo que las columnas se llenen en serie. Y cuando se leen los bits almacenados, se leen los bits almacenados en forma de columnas desde la primera fila hasta la última fila en serie. En esta Figura, MSB significa un bit más significativo y LSB significa un bit menos significativo.

Para asignar los bits codificados de corrección de errores de LDPC a los símbolos en la misma longitud de unidad de bloque de corrección de errores a diversas tasas de código, los intercaladores de bits 1312a y 1312b pueden cambiar el número de filas y columnas de la memoria de acuerdo con los tipos de los asignadores de símbolos 1315a y 1315b.

La FIG. 21 ilustra otro ejemplo de los intercaladores de bits que realizan intercalado. Si los intercaladores de bits 1312a y 1312b almacenan bits en unidades de columnas, pueden almacenar los bits para generar desfase de la ubicación en que se almacena los bits, en cada columna. Si los intercaladores de bits 1312a y 1312b leen los bits almacenados en unidades de fila, pueden almacenar los bits tanto como el desfase de la ubicación en que se leen los bits, en cada fila.

En el ejemplo de la FIG. 21, los puntos gruesos representan respectivamente la ubicación del desfase. Por ejemplo, los intercaladores de bits almacenan bits en unidades de columna. En la primera columna, los bits se almacenan desde la primera fila a la fila de orden n (n es el número de filas de la memoria) en el debido orden. En la segunda columna, los bits se almacenan desde la fila (referida como la fila de orden $r1$) con un punto grueso a la fila de orden n , y luego los bits se almacenan desde la primera fila a la fila de orden $r1-1$. En la tercera columna, los bits se almacenan desde la fila de orden $r2$ con un punto grueso a la fila de orden n , y luego los bits se almacenan desde la fila primera a la de orden $r2-1$. En este sentido, los bits se almacenan en cada columna de acuerdo con el direccionamiento circular de las filas desde la fila tan lejos como el desfase de la ubicación almacenada.

Si los intercaladores de bits 1312a y 1312b leen los bits almacenados allí dentro, leen los bits de cada fila de acuerdo con direccionamiento circular de las columnas desde la ubicación alejada tanto como el desfase. Por ejemplo, en la primera fila, los intercaladores de bits leen los bits almacenados desde la primera columna a la columna de orden m (m es el número de columnas en la memoria) en el debido orden. En la segunda fila, los intercaladores de bits leen los bits almacenados desde la columna (referida como la fila de orden $C1$) con un punto grueso a la columna de orden m y luego desde la primera columna a la columna de orden ($C1-1$). En la tercera fila, los intercaladores de bits leen los bits almacenados desde la columna (conocida como columna de orden $C2$) con un punto grueso a la columna de orden m , y lee los bits desde la primera columna a la columna de orden ($C2-1$) de acuerdo con el direccionamiento circular de las columnas.

La FIG. 22 ilustra el desfase usado en el intercalado de bits de acuerdo con un método de asignación de símbolos. $nCol$ representa el número de columnas de la memoria del intercalador de bits. Si el método de asignación de símbolos es QPSK, el número de columnas de la memoria podría ser dos (2). El intercalador de bits puede almacenar y leer los bits usando el desfase correspondiente a la segunda fila en la segunda columna $Col2$.

Si el método de asignación de símbolos es 16QAM, el número de columnas de la memoria podría ser cuatro (4). El intercalador de bits puede almacenar y leer los bits de acuerdo con el desfase correspondiente a la segunda fila en la segunda columna $Col2$, la cuarta fila en la tercera columna $Col3$, y la séptima fila en la cuarta columna $Col4$.

Si el método de asignación de símbolos es 64QAM, el número de columnas de la memoria podría ser seis (6). El intercalador de bits puede almacenar y leer los bits de acuerdo con el desfase correspondiente a la segunda fila en la segunda columna $Col2$, la quinta fila en la tercera columna $Col3$, la novena fila en la cuarta columna $Col4$, la décima fila en la quinta columna $Col5$, y la decimotercera fila en la sexta columna $Col6$.

Si el método de asignación de símbolos es 256QAM, el número de columnas de la memoria podría ser ocho (8). El intercalador de bits puede almacenar y leer los bits de acuerdo con el desfase correspondiente a la segunda fila en la tercera columna $Col3$, la cuarta fila en la cuarta columna $Col4$, la cuarta fila en la quinta columna $Col5$, la quinta fila en la sexta columna $Col6$, la séptima fila en la séptima columna $Col7$, y la séptima fila en la octava columna $Col8$.

Como se describió anteriormente, el número de columnas en la memoria del intercalador de bits se varía dependiendo del método de asignación de símbolos, y el intercalador de bits puede almacenar y leer bits variando el desfase dependiendo del número de columnas. El número de columnas de bits incluido en un símbolo de acuerdo con el método de asignación de símbolos podría ser idéntico al número de columnas. Por consiguiente, después de leer los bits, el intercalador de bits puede asignar los bits leídos con un símbolo de acuerdo con el método de asignación correspondiente. En este caso, los bits asignados con el símbolo se pueden permutar. También, incluso aunque la capacidad de corrección de errores de bits en una ubicación específica se minimiza de acuerdo con un

método de símbolos con corrección de errores, dado que los bits asignados con el símbolo se permutan en el intercalador de bits, la capacidad de corrección de errores del método de símbolos con corrección de errores se puede maximizar.

5 La FIG. 23 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los intercaladores de bits 1312a y 1312b de acuerdo con los tipos de los asignadores de símbolos 1315a y 1315b, si el modo de LDPC es el modo normal.

10 Por ejemplo, si el asignador de símbolos 1315a asigna los bits a símbolos 256QAM, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 8100 filas y 8 columnas. Si los símbolos se asignan mediante 64QAM, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 10800 filas y 6 columnas. Si los símbolos se asignan mediante 16QAM, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 16200 filas y 4 columnas.

Por ejemplo, si los asignadores de símbolos 1315a y 1315b asignan los bits a símbolos Hyb128-QAM, el intercalador de primer orden 1312a intercala los bits usando una memoria que tiene 4860 filas y 8 columnas, y el intercalador de segundo orden 1312b intercala los bits usando una memoria que tiene 4320 filas y 6 columnas.

15 De manera similar, si los asignadores de símbolos 1315a y 1315b asignan los símbolos mediante Hyb32-QAM, el intercalador de primer orden 1312a intercala los bits usando una memoria que tiene 6480 filas y 6 columnas, y el intercalador de segundo orden 1312b intercala los bits usando una memoria que tiene 6480 filas y 4 columnas.

20 La FIG. 24 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los intercaladores de bits 1312a y 1312b de acuerdo con los tipos de los asignadores de símbolos 1315a y 1315b, si el modo de LDPC es el modo corto.

25 Por ejemplo, si el asignador de símbolos 1315a asigna los bits a símbolos 256QAM, el intercalador de primer orden 1312a intercala los bits mediante una memoria que tiene 2025 filas y 8 columnas. Si los asignadores de símbolos 1315a y 1315b asignan los símbolos mediante Hyb128-QAM, el intercalador de primer orden 1312a intercala los bits usando una memoria que tiene 1215 filas y 8 columnas, y el intercalador de segundo orden 1312b intercala los bits usando una memoria que tiene 1080 filas y 6 columnas.

Si el intercalado de bits se realiza con respecto al bloque codificado de corrección de errores, se pueden cambiar las ubicaciones de los bits en el bloque codificado de corrección de errores.

30 La FIG. 25 es un diagrama que muestra el concepto de otra realización para el intercalado de un intercalador de bits. En la realización mostrada en este dibujo, cuando se escriben bits en una memoria, los bits se escriben en una dirección de columnas. Cuando se leen los bits escritos, los bits de las ubicaciones desplazadas de manera circular se leen en una dirección de filas. En cada fila, los bits escritos en cada fila se desplazan de manera circular. Si los bits se escriben o se leen mediante un método de desplazamiento circular con respecto a la fila o la columna de la memoria, esto se denomina intercalado trenzado de bits. Esta realización se refiere al método de intercalado trenzado de bits que usa un método de lectura de los bits después de que los bits se desplazan por una columna en la dirección de filas. En vez de desplazar los bits escritos en la memoria, se puede desplazar el punto para leer bits en la memoria o el punto para escribir bits en la memoria.

35 En esta realización, N designa la longitud del bloque codificado de corrección de errores y C designa la longitud de la columna. Cuando se escriben los bits, los bits se escriben en una primera columna (representada mediante una sombra) en el orden de 1, 2, 3, 4, ... y C y los bits se escriben en una segunda columna en el orden de C+1, C+2, C+3,....

Los bits escritos se trenzan en la dirección de filas columna por columna.

40 Si se leen los bits escritos, los bits desplazados se leen en la dirección de filas. Por ejemplo, en esta realización, los bits se leen en una primera fila en el orden de 1, C+1,... y los bits se leen en una segunda fila en el orden de X1, 2, C+2,... (X1 es un bit en la primera columna de la segunda fila). Los bits se leen fila por fila y se leen los bits desplazados de manera circular. Por supuesto, en vez de desplazar los bits escritos en la memoria, se puede desplazar el punto para leer bits escritos en la memoria.

45 La FIG. 26 es una vista que muestra otra realización de intercalado de bits. En esta realización, N designa la longitud del bloque codificado de corrección de errores y C designa la longitud de la columna. Cuando se escriben los bits, los bits se escriben en una primera columna en el orden de 1, 2, 3, 4, ..., C-1, y C y los bits se escriben en una segunda columna en el orden de C+1, C+2, C+3,....

50 Los bits escritos se trenzan dos veces en la dirección de filas de dos columnas en dos columnas. Si se leen los bits escritos, los bits desplazados de manera circular en dos columnas se leen en la dirección de columna en cada fila. Este método se puede denominar un método de intercalado de bits de trenzado doble.

La FIG. 27 es una vista que muestra otra realización de intercalado de bits. En esta realización, N designa la longitud del bloque codificado de corrección de errores y C designa la longitud de la columna. Los bits se escriben en una primera columna en el orden de 1, 2, 3, 4, ..., C-1, y C y los bits se escriben en una segunda columna en el orden de C+1, C+2, C+3,...

5 Cuando se leen los bits escritos, en una primera región de las filas, los bits se pueden leer mediante el método de intercalado de bits por trenzados.

En una segunda región de las filas, los bits pueden leerse mediante el método de intercalado por trenzado doble.

En una tercera región de las filas, los bits pueden leerse mediante el método de intercalado de bits trenzados.

10 Si los bits se entrelazan mediante al menos uno del método de intercalado de bits entrelazados y el método de intercalado trenzado doble, los bits en el bloque codificado de corrección de errores se pueden mezclar de manera más aleatoria.

La FIG. 28 es una vista que muestra del intercalado de bits. Como otra realización del intercalado de bits, se pueden realizar diferentes intercalados de bits con respecto a los bits de información codificados de corrección de errores y bits de paridad.

15 Por ejemplo, en un proceso de codificación de corrección de errores (por ejemplo, un proceso de codificación de errores LDPC), los bits de información son bits intercalados como se muestra en las FIG. 21 y 22. Si los bits se escriben y leen en cada columna con respecto a los bits de información, se puede realizar el intercalado de bits de acuerdo con un desfase de una ubicación inicial para escribir y leer los bits en cada columna.

20 En el proceso de codificación de corrección de errores, los bits de paridad son bits intercalados mediante un esquema de trenzado de acuerdo con al menos uno de los esquemas mostrados en las FIG. 25 a 27. Los bits de paridad se escriben en cada columna y luego las filas se trenzan. Es decir, los bits escritos en las filas se pueden desplazar mediante una ubicación predeterminada. Los bits trenzados se leen a lo largo de cada fila. Los bits de paridad escritos pueden incluir al menos una de una región de filas trenzadas y una región de filas trenzadas dobles.

25 Si el intercalado de bits se realiza con respecto a los bits de paridad mediante el método descrito anteriormente, se puede mejorar el rendimiento de descodificación de los bits de paridad. Por ejemplo, los bits de paridad de una matriz de comprobación de paridad usada en el proceso de codificación de corrección de errores tal como una LDPC estructurada puede tener una forma de matriz doble. Sin embargo, si los bits de paridad con menos fiabilidad son consecutivos en una matriz de comprobación de paridad, se puede deteriorar el rendimiento de descodificación de corrección de errores. Por consiguiente, si el intercalado de bits se realiza con respecto a los bits de paridad
30 mediante el método descrito anteriormente, se puede mejorar el rendimiento de descodificación de corrección de errores.

Ahora, se describirá una realización de un proceso de codificación capaz de copiar con aparición de errores con respecto a al menos una información de capa 1 e información de capa 2 las cuales se transmiten/reciben.

35 La FIG. 29 es una vista que muestra el concepto de multiplexado de los bits de entrada de los demultiplexores 1313a y 1313b.

Los intercaladores de bits 1312a y 1312b intercalan los bits de entrada x_0, x_1, \dots, x_{n-1} , y sacan los bits intercalados. El método de intercalado ya se ha descrito anteriormente.

40 Los demultiplexores 1313a y 1313b demultiplexan las secuencias de bits intercaladas. El método de demultiplexación puede variar de acuerdo con la tasa de código del método de codificación de corrección de errores y el método de asignación de símbolos del asignador de símbolos. Si el método de símbolos del asignador de símbolos es QPSK, los bits de entrada, por ejemplo, se intercalan a dos subsecuencias y el asignador de símbolos asigna las dos subsecuencias a los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por ejemplo, un primer bit y_0 de la primera subsecuencia demultiplexada corresponde al eje real y un primer bit y_1 de la segunda subsecuencia demultiplexada corresponde al eje imaginario.

45 Si el método de símbolos del asignador de símbolos es 16QAM, los bits de entrada, por ejemplo, se demultiplexan a cuatro subtramas. El asignador de símbolos selecciona los bits incluidos en las cuatro subsecuencias y asigna los bits seleccionados a los símbolos para corresponder al eje real y al eje imaginario de la constelación.

Por ejemplo, los bits y_0 e y_2 de las subsecuencias demultiplexadas primera y tercera corresponden al eje real y los bits y_1 e y_3 de las subsecuencias demultiplexadas segunda y cuarta corresponden al eje imaginario.

50 De manera similar, si el método de símbolos del asignador de símbolos es 64QAM, los bits de entrada se pueden demultiplexar a seis secuencias de bits. El asignador de símbolos asigna las seis subsecuencias a los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por ejemplo, los bits y_0, y_2 e y_4 de las subsecuencias demultiplexadas primera, tercera y quinta corresponden al eje real y los bits y_1, y_3 e y_6 de las subsecuencias

demultiplexadas segunda, cuarta y sexta corresponden al eje imaginario.

De manera similar, si el método de símbolos del asignador de símbolos es 256QAM, los bits de entrada se pueden demultiplexar a ocho secuencias de bits. El asignador de símbolos asigna las ocho subsecuencias a los símbolos para corresponder al eje real y al eje imaginario de la constelación. Por ejemplo, en primer lugar, los bits y_0 , y_2 , y_4 e y_6 de las subsecuencias demultiplexadas primera, tercera, quinta y séptima corresponden al eje real y los bits y_1 , y_3 , y_5 e y_7 de las subsecuencias demultiplexadas segunda, cuarta, sexta y octava corresponden al eje imaginario.

Si el asignador de símbolos asigna los símbolos, las subsecuencias demultiplexadas mediante el demultiplexor se pueden asignar a las secuencias de bits del eje real y el eje imaginario de la constelación.

El método de intercalado de bits descrito anteriormente, el método de demultiplexación y el método de asignación de símbolos son ejemplares y se pueden usar diversos métodos como el método para seleccionar los bits en las subsecuencias de modo que las subsecuencias demultiplexadas mediante el demultiplexor puedan corresponder al eje real y al eje imaginario de la constelación.

La palabra de celda asignada a los símbolos puede variar según uno cualquiera de las secuencias de bits con corregidas de errores, de acuerdo con la tasa de código, el método de intercalado de secuencias de bits, el método de demultiplexación y el método de asignación de símbolos. El MSB de la palabra de celda es superior al LSB de la palabra de celda en la fiabilidad de la descodificación de corrección de errores. Aunque la fiabilidad del bit de una ubicación específica del bloque codificado de corrección de errores es baja, la fiabilidad del bit se puede mejorar mediante el proceso de desasignación de símbolos si el bit de la palabra de celda se dispone en el MSB o cerca del MSB.

Por consiguiente, aunque se cambie la fiabilidad del bit codificado según las características de la matriz H usada en el método de codificación de corrección de errores de LDPC irregular, el bit se puede transmitir/recibir de forma robusta mediante el proceso de asignación y desasignación de símbolos y se puede ajustar el rendimiento del sistema.

La FIG. 30 es una vista que muestra una realización para demultiplexar una secuencia de entrada mediante el demultiplexor.

Si el método de asignación de símbolos es QPSK, dos bits se asignan a un símbolo y los dos bits de una unidad de símbolo se demultiplexan en el orden de los índices de bit (índices 0 y 1 de b).

Si el método de asignación de símbolos es 16QAM, 4 bits se asignan a un símbolo y los cuatro bits de una unidad de símbolo se demultiplexan de acuerdo con el resultado de cálculo del módulo-4 de los índices de bit (índices 0, 1, 2 y 3 de b).

Si el método de asignación de símbolos es 64QAM, 6 bits se asignan a un símbolo y los seis bits de una unidad de símbolo se demultiplexan de acuerdo con el resultado de cálculo del módulo-6 de los índices de bit (índices 0, 1, 2, 3, 4 y 5 de b).

Si el método de asignación de símbolos es 256QAM, 8 bits se asignan a un símbolo y los ocho bits de una unidad de símbolo se demultiplexan de acuerdo con el resultado de cálculo del módulo-8 de los índices de bit (índices 0, 1, 2, 3, 4, 5, 6 y 7 de b).

El orden de demultiplexación de las subsecuencias es ejemplar y puede modificarse.

La FIG. 31 es una vista que muestra un ejemplo de un tipo de demultiplexación de acuerdo con un método de asignación de símbolos. El método de asignación de símbolos incluye QPSK, 16QAM, 64QAM y 256QAM, y el tipo de demultiplexación incluye de un primer tipo a un sexto tipo.

El primer tipo es un ejemplo en el que los bits de entrada corresponden secuencialmente a índices de número par (0, 2, 4, 8,...) (o el eje real de la constelación) y corresponden secuencialmente a índices de número impar (1, 3, 5, 7,...) (o el eje imaginario de la constelación). A continuación, la demultiplexación de bits del primer tipo se puede representar mediante un identificador de demultiplexación 10 (un número binario de 1010; la ubicación de 1 es la ubicación del MSB que corresponde al eje real y al eje imaginario de la constelación).

El segundo tipo es un ejemplo en el que la demultiplexación se realiza en orden inverso al del primer tipo, es decir, los LSB de los bits de entrada corresponden secuencialmente a índices de número par (6, 4, 2, 0) (o el eje real de la constelación) e índices de número impar (1, 3, 5, 7,...) (o el eje imaginario de la constelación). A continuación, la demultiplexación de bits del segundo tipo se puede representar mediante un identificador 5 de demultiplexación (un número binario de 0101).

El tercer tipo es un ejemplo en el que los bits de entrada se disponen de modo que los bits de ambos extremos de la palabra de código pasan a ser los MSB. Los bits de entrada se vuelven a disponer para llenar la palabra de código desde ambos extremos de la palabra de código. A continuación, la demultiplexación de bits del tercer tipo se puede

representar mediante un identificador 9 de demultiplexación (un número binario de 1001).

El cuarto tipo es un ejemplo en el que los bits de entrada se disponen de modo que un bit central de la palabra de código pasa a ser el MSB. Un bit de los bits de entrada se llena en primer lugar en la ubicación central de la palabra de código y los bits restantes se vuelven a disponer entonces hacia ambos extremos de la palabra de código en el orden de los bits de entrada. A continuación, la demultiplexación de bits del cuarto tipo se puede representar mediante un identificador 6 de demultiplexación (un número binario de 0110).

El quinto tipo es un ejemplo en el que los bits se demultiplexan de modo que un último bit de la palabra de código pasa a ser el MSB y un primer bit de la misma pasa a ser el LSB, y el sexto tipo es un ejemplo en el que los bits se vuelven a disponer de modo que el primer bit de la palabra de código pasa a ser el MSB y el último bit de la misma pasa a ser el LSB. A continuación, la demultiplexación de bits del quinto tipo se puede representar mediante un identificador 3 de demultiplexación (un número binario de 0011), y la demultiplexación de bits del sexto tipo se puede representar mediante un identificador 12 de demultiplexación (un número binario de 1100).

Como se describió anteriormente, el tipo de demultiplexación puede variar de acuerdo con el método de asignación de símbolos o la tasa de código del método de codificación de corrección de errores. Es decir, se puede usar un tipo de demultiplexación diferente si se cambia el método de asignación de símbolos o la tasa de código.

La FIG. 32 es una vista que muestra una realización para demultiplexar una secuencia de bits de entrada de acuerdo con un tipo de demultiplexación. Esta realización puede incluir los intercaladores de bits 1312a y 1312b, los demultiplexores 1313a y 1313b y los asignadores 1315a y 1315b.

Los intercaladores de bits 1312a y 1312b intercalan las secuencias de servicio de PLP codificadas de corrección de errores. Por ejemplo, los intercaladores de bits 1312a y 1312b pueden realizar el intercalado de bits en las unidades de codificación de corrección de errores de acuerdo con el modo de codificación de corrección de errores. El método de intercalado de bits ya se describió anteriormente.

Los demultiplexores 1313a y 1313b pueden incluir demultiplexores 1313a1 y 1313b1,... de primer tipo, y demultiplexores 1313a2 y 1313b2 de tipo de orden n. Aquí, n es un número entero. Los métodos de demultiplexar los bits mediante los n tipos de demultiplexor siguen los tipos mostrados en la FIG. 17. Por ejemplo, los demultiplexores del primer tipo pueden corresponder a la demultiplexación de bits del primer tipo (1100) y los demultiplexores del segundo tipo (no se muestran) pueden corresponder a la demultiplexación de bits del segundo tipo (0011). El demultiplexor 1313b de tipo de orden n demultiplexa la secuencia de bits de entrada de acuerdo con la multiplexación de bits de tipo de orden n (por ejemplo, el identificador de demultiplexación 1100) y saca la secuencia de bits demultiplexada. Los selectores 1313a3 y 1313b3 reciben una señal de selección de demultiplexor del tipo de demultiplexación adecuado para los bits de entrada y emiten la secuencia de bits demultiplexada de acuerdo con cualquiera del primer tipo al tipo de orden n y la señal de selección de demultiplexor. La señal de selección de demultiplexor puede variar de acuerdo con la tasa de código de la codificación de corrección de errores y el método de asignación de símbolos de la constelación. Por consiguiente, el tipo de demultiplexación se puede determinar de acuerdo con la tasa de código del método de codificación de corrección de errores y/o el método de asignación de símbolos de la constelación. El ejemplo detallado de acuerdo con los símbolos asignados a la constelación y/o la tasa de código de la codificación de corrección de errores de acuerdo con la señal de selección de demultiplexor se describirán más tarde.

Los asignadores 1315a y 1315b pueden asignar las subsecuencias de bits demultiplexadas a los símbolos de acuerdo con la señal de selección de demultiplexor y sacar los símbolos asignados.

La FIG. 33 es una vista que muestra un tipo de demultiplexación que se determina de acuerdo con una tasa de código de la codificación de corrección de errores y el método de asignación de símbolos.

En el método de asignación de símbolos 4QAM, incluso cuando la tasa de código c_r del método de codificación de corrección de errores de LDPC es cualquiera de $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, la secuencia de bits se puede demultiplexar de acuerdo con todos los tipos de demultiplexación (designado por todos).

En el método de asignación de símbolos 16QAM, si la tasa de código del método de codificación de corrección de errores de LDPC es $1/4$, $1/3$, $2/5$ y $1/2$, los símbolos se pueden asignar sin realizar el intercalado de bits y la demultiplexación de bits (designadas por No-Int y No-Demux). Si la tasa de código de la codificación de corrección de errores es $3/5$, el bit se puede demultiplexar de acuerdo con cualquiera de los identificadores 9, 10 y 12 de demultiplexación. Si la tasa de código de la codificación con corrección de errores es $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, la secuencia de bits de entrada se puede demultiplexar de acuerdo con el identificador de demultiplexación 6.

En el método de asignación de símbolos 64QAM, si la tasa de código de la codificación de corrección de errores de LDPC es $1/4$, $1/3$, $2/5$ y $1/2$, los símbolos se pueden asignar sin realizar el intercalado de bits y la demultiplexación de bits. Si la tasa de código es $3/5$, los bits se pueden demultiplexar de acuerdo con cualquiera de los identificadores de demultiplexación 9 y 10. Si la tasa de código es $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, los bits se pueden demultiplexar de acuerdo con el identificador de demultiplexación 6.

En el método de asignación de símbolos 256QAM, si la tasa de código de la codificación de corrección de errores de LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos se pueden asignar sin realizar el intercalado de bits y la demultiplexación de bits. Si la tasa de código es 3/5, los bits se pueden demultiplexar de acuerdo con el identificador de demultiplexación 9. Si la tasa de código es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, los bits se pueden demultiplexar de acuerdo con el identificador de demultiplexación 6.

Como se describió anteriormente, el tipo de demultiplexación de bits puede variar de acuerdo con la tasa de código usada para la codificación de corrección de errores y el método de asignación de símbolos. Por consiguiente, la capacidad de corrección de errores de un bit ubicado en una ubicación específica del bloque codificado de corrección de errores se puede ajustar asignando las subsecuencias demultiplexadas a los símbolos. Por consiguiente, es posible optimizar la robustez en el nivel de bit.

La FIG. 34 es una vista que muestra un ejemplo para expresar el método de demultiplexación mediante una ecuación. Por ejemplo, si el método de asignación de símbolos es QPSK, los bits de entrada ($x_i, x_{N/2+i}$) corresponden a los bits demultiplexados y_0 e y_1 . Si el método de asignación de símbolos es 16QAM, los bits de entrada

$$\left(\frac{x_{2N+i}}{4}, \frac{x_{3N+i}}{4}, x_i, \frac{x_{N+i}}{4} \right)$$

corresponden a los bits demultiplexados y_0, y_1, y_2 e y_3 .

Si el método de asignación de símbolos es 64QAM, los bits de entrada

$$\left(\frac{x_{4N+i}}{6}, \frac{x_{5N+i}}{6}, \frac{x_{2N+i}}{6}, \frac{x_{3N+i}}{6}, x_i, \frac{x_{N+i}}{6} \right)$$

corresponden a los bits demultiplexados y_0, y_1, y_2, y_3, y_4 e y_5 . Si el método de asignación de símbolos es 256QAM, los bits de entrada

$$\left(\frac{x_{6N+i}}{8}, \frac{x_{7N+i}}{8}, \frac{x_{4N+i}}{8}, \frac{x_{5N+i}}{8}, \frac{x_{2N+i}}{8}, \frac{x_{3N+i}}{8}, x_i, \frac{x_{N+i}}{8} \right)$$

corresponden a los bits demultiplexados $y_0, y_1, y_2, y_3, y_4, y_5, y_6$ e y_7 .

Aquí, N designa el número de bits asignados con los símbolos con respecto a la entrada del intercalador de bits.

La FIG. 35 es una vista que muestra un ejemplo para asignar un símbolo mediante un asignador de símbolos. Por ejemplo, en el método de asignación de símbolos QPSK, los símbolos en la constelación corresponden al valor del bit y_0 de la primera subsecuencia demultiplexada y el valor del bit y_1 de la segunda subsecuencia demultiplexada.

En la 16QAM, el eje real de los símbolos en la constelación corresponde a los bits de las subsecuencias demultiplexadas primera y tercera (bits separados de la ubicación del MSB en 0 y 2) y el eje imaginario de la misma corresponde a los bits de las subsecuencias demultiplexadas segunda y cuarta (bits separados de la ubicación del MSB en 1 y 3).

En la 64QAM, el eje real de los símbolos en la constelación corresponde a los bits de las subsecuencias demultiplexadas primera, tercera y quinta (bits separados de la ubicación del MSB por 0, 2 y 4) y el eje imaginario de la misma corresponde a los bits de las subsecuencias demultiplexadas segunda, cuarta y sexta (bits separados de la ubicación del MSB por 1, 3 y 5).

Por consiguiente, los bits que configuran el símbolo se pueden asignar con la palabra de celda en el orden de demultiplexación. Si se demultiplexan los bits que configuran la palabra de celda, se cambian el MSB y el LSB de la palabra de celda y se puede ajustar la robustez de los bits aunque las fiabilidades de los bits codificados de corrección de errores de LDPC varíen de acuerdo con las ubicaciones.

La FIG. 36 es un diagrama de bloques que ilustra un codificador MIMO/MISO de acuerdo con una realización de la presente invención. El codificador de MIMO/MISO codifica los datos de entrada usando el esquema de codificación MIMO/MISO, y saca los datos codificados a varios caminos. Si un extremo de recepción de señales recibe la señal transmitida a los diversos trayectos desde uno o más caminos, puede adquirir una ganancia (también denominada ganancia de diversidad, una ganancia de carga útil o una ganancia de multiplexación).

El codificador MIMO/MISO 140 codifica datos de servicio de cada camino generado a partir del formador de tramas 130, y saca los datos codificados al número A de caminos que corresponden al número de antenas de salida.

La FIG. 37 es un diagrama en bloques que ilustra un modulador de acuerdo con una realización de la presente invención. El modulador incluye un primer controlador de potencia (PAPR Reduce1) 151, una unidad de transformación en el dominio del tiempo (IFFT) 153, un segundo controlador de potencia (PAPR Reduce2) 157 y un insertador de intervalo de guarda 159.

El primer controlador de potencia 151 reduce una PAPR (Relación de Potencia de Pico a Media) de datos transmitidos al número R de caminos de señal en el dominio de la frecuencia.

La unidad de transformación en el dominio del tiempo (IFFT) 153 convierte las señales recibidas en el dominio de la frecuencia en señales en el dominio del tiempo. Por ejemplo, las señales en el dominio de frecuencia se pueden convertir en las señales en el dominio del tiempo de acuerdo con el algoritmo de IFFT. Por lo tanto, los datos en el dominio de la frecuencia se pueden modular de acuerdo con el esquema de OFDM.

5 El segundo controlador de potencia (PAPR Reduce2) 157 reduce una PAPR (Relación de Potencia de Pico a Media) de datos de canal transmitidos al número R de caminos de señal en el dominio del tiempo. En este caso, se puede usar un esquema de reserva de tono, y un esquema de extensión de constelación activa (ACE) para extender una constelación de símbolos.

10 El insertador de intervalo de guarda 159 inserta el intervalo de guarda en el símbolo de OFDM de salida, y saca el resultado insertado. Como se describió anteriormente, la realización mencionada anteriormente puede llevarse a cabo en cada señal del número R de caminos.

La FIG. 38 es un diagrama de bloques que ilustra un procesador analógico 160 de acuerdo con una realización de la presente invención. El procesador analógico 160 incluye un convertidor digital a analógico (DAC) 161, una unidad de conversión ascendente 163 y un filtro analógico 165.

15 El DAC 161 convierte los datos de entrada en una señal analógica, y saca la señal analógica. La unidad de conversión ascendente 163 convierte un dominio de frecuencia de la señal analógica en un área de RF. El filtro analógico 165 filtra la señal de área de RF y saca la señal de RF filtrada.

20 La FIG. 39 es un diagrama en bloques que ilustra un aparato para recibir una señal de acuerdo con una realización de la presente invención. El aparato de recepción de señales incluye un primer receptor 210a de señales, un receptor de señales de orden n 210n, un primer demodulador 220a, un demodulador 220n de orden n, un decodificador MIMO/MISO 230, un analizador sintáctico de tramas 240, y un demodulador de descodificación 250, y un procesador de salida 260.

25 En el caso de una señal de recepción de acuerdo con la estructura de trama de señal de TFS, varios servicios se multiplexan a R canales, y entonces se desplazan en el tiempo, de modo que se transmita el resultado desplazado en el tiempo.

El receptor puede incluir al menos un receptor de señales para recibir un servicio transmitido sobre al menos un canal de RF. La trama de señal de TFS transmitida al número R (donde R es un número natural) de canales de RF se puede transmitir a un multitrayecto a través del número A de antenas. Las A antenas se han usado para los R canales de RF, de modo que un número total de antenas es $R \times A$.

30 El primer receptor de señales 210a es capaz de recibir datos de servicio transmitidos a través de al menos un camino de entre los datos de servicio globales transmitidos a través de varios canales de RF. Por ejemplo, el primer receptor de señales 210a puede recibir la señal de transmisión procesada mediante el esquema MIMO/MISO a través de varios caminos.

35 El primer receptor de señales 210a y el receptor de señales 210n de orden n pueden recibir varias unidades de datos de servicio transmitidas sobre n número de canales de RF de entre varios canales de RF, como una única PLP. Concretamente, esta realización muestra el aparato de recepción de señales capaz de recibir simultáneamente datos del número R de canales de RF. Por lo tanto, si esta realización recibe un único canal de RF, solamente se necesita el primer receptor 210a.

40 El primer demodulador 220a y el demodulador 220n de orden n demodulan señales recibidas en los receptores de señales 210a y 210n primero y de orden n de acuerdo con el esquema de OFDM, y sacan las señales demoduladas.

45 El decodificador MIMO/MISO 230 descodifica datos de servicio recibidos a través de varios caminos de transmisión de acuerdo con el esquema de descodificación MIMO/MISO, y saca los datos de servicio descodificados a un único camino de transmisión. Si se recibe el número R de servicios transmitidos sobre varios caminos de transmisión, el decodificador MIMO/MISO 230 puede sacar los datos de servicio de la única PLP contenidos en cada uno de los R servicios que corresponden al número R de canales. Si se transmite el número P de servicios a través del número R de canales de RF, y se reciben señales de canales de RF individuales a través del número A de antenas, el receptor descodifica el número P de servicios usando un total de $(R \times A)$ antenas de recepción.

El analizador sintáctico de tramas 240 analiza sintácticamente la trama de señal de TFS que incluye varios servicios, y saca los datos de servicio analizados sintácticamente.

50 El demodulador de descodificación 250 realiza la descodificación de corrección de errores en los datos de servicio contenidos en la trama analizada sintácticamente, desasigna los datos de símbolos descodificados en datos de bits, y saca el resultado procesado desasignando.

El procesador de salida 260 descodifica una secuencia que incluye los datos de bits desasignados, y saca la

secuencia descodificada.

En la descripción mencionada anteriormente, cada uno del analizador sintáctico de tramas 240, el demodulador de descodificación 250, y el procesador de salida 260 recibe varias unidades de datos de servicio tantas como el número de las PLP, y realiza un procesamiento de señal en los datos de servicio recibidos.

5 La FIG. 40 es un diagrama de bloques que ilustra un receptor de señales de acuerdo con una realización de la presente invención. El receptor de señales puede incluir un sintonizador 211, un convertidor descendente 213 y un convertidor analógico a digital (ADC) 215.

10 El sintonizador 211 realiza saltos de algunos canales de RF capaces de transmitir servicios seleccionados por el usuario en todos los canales de RF cuando la PLP se incluye en varios canales de RF, y saca el resultado de los saltos. El sintonizador 211 realiza saltos de canales de RF contenidos en la trama de señal de TFS de acuerdo con las frecuencias centrales de RF de entrada, y al mismo tiempo sintoniza señales de frecuencia correspondientes, de modo que saca las señales sintonizadas. Si una señal se transmite a un número A de multitrayectos, el sintonizador 211 realiza la sintonización a un canal de RF correspondiente, y recibe señales de recepción a través del número A de antenas.

15 El convertidor descendente 213 realiza una conversión descendente de la frecuencia de RF de la señal sintonizada mediante el sintonizador 211, y saca el resultado de la conversión descendente. El ADC 215 convierte una señal analógica en una señal digital.

20 La FIG. 41 es un diagrama en bloques que ilustra un demodulador de acuerdo con la presente invención. El demodulador incluye un detector de tramas 221, una unidad de sincronización de tramas 222, un eliminador de intervalo de guarda 223, una unidad de transformación en dominio de la frecuencia (FFT) 224, un estimador de canal 225, un ecualizador de canales 226, y un extractor de información de señalización 227.

Si el demodulador adquiere datos de servicio transmitidos a una única secuencia de PLP, se llevará a cabo la siguiente demodulación de señal. Una descripción detallada de la misma se describirá a continuación.

25 El detector de tramas 221 identifica un sistema de suministro de una señal de recepción. Por ejemplo, el detector de tramas 221 determina si la señal de recepción es una señal DVB-TS o no. Además, el detector de tramas 221 puede determinar también si una señal de recepción es una trama de señal de TFS o no. La unidad de sincronización de tramas 222 adquiere una sincronización en el dominio del tiempo y de la frecuencia de la trama de señal de TFS.

30 El controlador de intervalo de guarda 223 elimina un intervalo de seguridad ubicado entre símbolos de OFDM en el dominio del tiempo. El convertidor en el dominio de la frecuencia (FFT) 224 convierte una señal de recepción en una señal en el dominio de la frecuencia usando el algoritmo de FFT, de modo que adquiere datos de símbolos en el dominio de la frecuencia.

El estimador de canal 225 realiza una estimación de canal de un canal de recepción usando un símbolo piloto contenido en datos de símbolo en el dominio de la frecuencia. El ecualizador de canales 226 realiza una ecualización de canales de datos de recepción usando información de canal estimada por el estimador de canal 225.

35 El extractor de información de señalización 227 puede extraer la información de señalización de una capa física establecida en las señales piloto primera y segunda contenidas en datos de recepción de canales ecualizados.

40 La FIG. 42 es un diagrama en bloques que ilustra un descodificador MIMO/MISO de acuerdo con la presente invención. El receptor de señales y el demodulador se diseñan para procesar una señal recibida en un único camino. Si el receptor de señales y el demodulador reciben datos de servicio de PLP proporcionando un único servicio a través de varios caminos de varias antenas, y demodulan los datos de servicio de PLP, el descodificador MIMO/MIMO 230 saca la señal recibida en varios caminos como datos de servicio transmitidos a una única PLP. Por lo tanto, el descodificador MIMO/MISO 230 puede adquirir una ganancia de diversidad y una ganancia de multiplexación a partir de datos de servicio recibidos en una PLP correspondiente.

45 El descodificador MIMO/MISO 230 recibe una señal de transmisión multitrayecto desde varias antenas, y es capaz de descodificar una señal usando un esquema de MIMO capaz de recuperar cada señal de recepción en forma de una única señal. En caso contrario, el descodificador MIMO/MISO 230 es capaz de recuperar una señal usando un esquema de MIMO que recibe la señal de transmisión multitrayecto desde una única antena y recupera la señal de transmisión multitrayecto recibida.

50 Por lo tanto, si la señal se transmite a través del número R de canales de RF (donde R es un número natural), el descodificador MIMO/MISO 230 puede descodificar señales recibidas a través del número A de antenas de canales de RF individuales. Si el valor de A es igual a "1", las señales se pueden descodificar mediante el esquema de MISO. Si el valor de A es superior a "1", las señales se pueden descodificar mediante el esquema de MIMO.

La FIG. 43 es un diagrama de bloques que ilustra un analizador sintáctico de tramas de acuerdo con una realización

- de la presente invención. El analizador sintáctico de tramas incluye un primer desintercalador de frecuencia 241a, un desintercalador de frecuencia 241r de orden r, un analizador sintáctico de tramas 243, un primer desintercalador temporal 245a, un desintercalador temporal 245p de orden p, un primer desasignador de símbolos 247a, y un desasignador de símbolos de orden p. El valor de "r" se puede decidir mediante el número de canales de RF, y el valor de "p" se puede decidir mediante el número de secuencias que transmiten datos de servicio de PLP generados a partir del analizador sintáctico de tramas 243.
- Por lo tanto, si se transmite un número p de servicios a un número p de secuencias de PLP sobre un número R de canales de RF, el analizador sintáctico de tramas incluye el número r de desintercaladores de frecuencia, el número p de desintercaladores de tiempo, y el número p de desasignadores de símbolos.
- En asociación con un primer canal de RF, el primer intercalador de frecuencia 241a realiza el desintercalado de los datos de entrada en el dominio de la frecuencia, y saca el resultado del desintercalado.
- El analizador sintáctico de tramas 243 analiza sintácticamente la trama de señal de TFS transmitida a varios canales de RF usando información de planificación de la trama de señal de TFS, y analiza sintácticamente los datos de servicio de PLP contenidos en la franja de un canal de RF específico que incluye un servicio deseado. El analizador sintáctico de tramas 243 analiza sintácticamente la trama de señal de TFS para recibir datos de servicio específicos distribuidos a varios canales de RF de acuerdo con la estructura de trama de señal de TFS, y saca datos de servicio de PLP del primer camino.
- El primer desintercalador de tiempo 245a realiza el desintercalado de los datos de servicio de PLP del primer camino analizados sintácticamente en el dominio del tiempo. El primer desasignador de símbolos 247a determina los datos de servicio asignados al símbolo para que sean datos de bits, de modo que pueda sacar una secuencia de PLP asociada a los datos de servicio de PLP del primer camino.
- A condición de que los datos de símbolos se conviertan en datos de bits, y cada uno de los datos de símbolos incluya símbolos basados en el esquema de asignación híbrido de símbolos, el número p de desasignadores de símbolos, cada uno de los cuales incluye el primer desasignador de símbolos, puede determinar que los datos de símbolos sean datos de bits que usan diferentes esquemas de desasignación de símbolos en intervalos individuales de los datos de símbolos de entrada.
- La FIG. 44 es una vista que muestra una realización de cada uno de los desasignadores de símbolos 247a y 247p. Los desasignadores de símbolos reciben las secuencias que corresponden a las PLP desde los intercaladores de tiempo 245a y 245p que corresponden respectivamente a los desasignadores de símbolos.
- Cada uno de los desasignadores de símbolos 247a y 247p puede incluir un divisor de bloques de corrección de errores 2471, un divisor de símbolos 2473, un desasignador de primer orden 2475a, un desasignador de segundo orden 2475b y un fusionador 2478 de secuencias de bits.
- El divisor de bloques de corrección de errores 2471 puede dividir la secuencia de PLP recibida a partir del correspondiente de los intercaladores temporales 245a y 245p en las unidades de bloque de corrección de errores. El divisor de bloques de corrección de errores 2471 puede dividir la secuencia de servicio en la unidad de bloque de LDPC de modo normal. En este caso, la secuencia de servicio puede dividirse en un estado en el que cuatro bloques, de acuerdo con el modo corto (el bloque que tiene la longitud de 16200 bits), se tratan como el bloque de corrección de errores de un bloque de acuerdo con el modo normal (el bloque que tiene la longitud de 64800 bits).
- El divisor de símbolos 2473 puede dividir la secuencia de símbolos en el bloque dividido de corrección de errores de acuerdo con el método de asignación de símbolos de la secuencia de símbolos.
- Por ejemplo, el desasignador 2475a de primer orden convierte los símbolos de acuerdo con el método de asignación de símbolos de orden superior en los bits. El desasignador 2475b de segundo orden convierte los símbolos de acuerdo con el método de asignación de símbolos de orden inferior en los bits.
- El fusionador de secuencia de bits 2478 puede recibir los bits convertidos y sacar una secuencia de bits.
- La FIG. 45 es una vista que muestra otra realización de cada uno de los desasignadores de símbolos 247a y 247p. La realización de este dibujo es similar a la realización de la FIG. 44 excepto que se incluyen además una unidad de calibración de potencia 2474a de primer orden y una unidad de calibración de potencia 2474b de segundo orden.
- La unidad de calibración de potencia 2474a de primer orden recibe los símbolos divididos por el divisor de símbolos 2473, calibra la potencia de los símbolos recibidos de acuerdo con los esquemas de asignación de símbolos, y saca los símbolos calibrados. La potencia de los símbolos recibidos puede tener la potencia calibrada de acuerdo con el tamaño de la constelación en base a los métodos de asignación de símbolos. La unidad de calibración de potencia 2474a de primer orden convierte la potencia calibrada en la potencia de símbolos original de la constelación. El desasignador 2475a de primer orden puede desasignar los símbolos, de los cuales se calibra la potencia por la unidad de calibración de potencia de primer orden, a los bits.

De manera similar, la unidad de calibración de potencia 2474b de segundo orden recibe los símbolos divididos por el divisor de símbolos 2473, modifica la potencia calibrada de los símbolos recibidos a la potencia original de acuerdo con el tamaño de la constelación, y saca los símbolos modificados.

5 La FIG. 46 es una vista que muestra otra realización de cada uno de los desasignadores de símbolos 247a y 247p. Cada uno de los desasignadores de símbolos 247a y 247p puede incluir un divisor de símbolos 2473, un desasignador 2474a de primer orden, un desasignador 2474b de segundo orden, un multiplexor 2475a de primer orden, un multiplexor 2475b de segundo orden, un desintercalador de bits 2476a de primer orden, un desintercalador de bits 2476b de segundo orden y un fusionador de secuencia de bits 2478. Mediante esta realización, la realización de la unidad de descodificación y demodulación de la FIG. 36 incluye un primer descodificador 253, un primer desintercalador 255 y un segundo descodificador 257.

El divisor de símbolos 2473 puede dividir la secuencia de símbolos de la PLP de acuerdo con el método que corresponde al método de asignación de símbolos.

15 El desasignador 2474a de primer orden y el desasignador 2474b de segundo orden convierten las secuencias de símbolos divididos en bits. Por ejemplo, el desasignador 2474a de primer orden realiza la desasignación de símbolos de QAM de orden superior y el desasignador 2474b de segundo orden realiza la desasignación de símbolos de QAM de orden inferior. Por ejemplo, el desasignador 2474a de primer orden puede realizar la desasignación de símbolos de 256QAM y el desasignador 2474b de segundo orden puede realizar la desasignación de símbolos de 64QAM.

20 El multiplexor 2475a de primer orden y el multiplexor 2475b de segundo orden multiplexan los bits asignados de símbolos. Los métodos de multiplexación pueden corresponder a los métodos de demultiplexación descritos con referencia a las FIG. 15 a 18. Por consiguiente, las subsecuencias demultiplexadas se pueden convertir en una secuencia de bits.

25 El desintercalador 2476a de bits de primer orden desintercala las secuencias de bits multiplexadas por el multiplexor 2475a de primer orden. El desintercalador 2476b de bits de segundo orden desintercala los bits multiplexados por el multiplexor 2475a de primer orden. El método de desintercalación corresponde al método de intercalado de bits. El método de intercalado de bits se muestra en la FIG. 12.

El fusionador de secuencia de bits 2478 puede fusionar las secuencias de bits desintercaladas por los intercaladores de bits 2476a y 2476b a una secuencia de bits.

30 El primer descodificador 253 de la unidad de descodificación y demodulación puede descodificar la corrección de errores la secuencia de bits de salida de acuerdo con el modo normal o el modo corto y la tasa de código de acuerdo con los modos.

35 La FIG. 47 es una vista que muestra otra realización de cada uno de los desasignadores de símbolos 247a y 247p. La realización de este dibujo es similar a la realización de la FIG. 46, excepto que se incluyen además una unidad de calibración de potencia 2474a de primer orden y una unidad de calibración de potencia 2474b de segundo orden. La unidad de calibración de potencia 2474a de primer orden y la unidad de calibración de potencia 2474b de segundo orden modifican las potencias calibradas de los símbolos de acuerdo con los métodos de asignación de símbolos y sacan los símbolos modificados a los desasignadores de símbolos 2475a y 2475b.

40 La FIG. 48 es una vista que muestra una realización para multiplexar la subsecuencia demultiplexada. En esta realización, los desasignadores 2474a y 2474b deciden las palabras de celda que incluyen los bits. Los multiplexores 2475a y 2475b multiplexan las palabras de celda decididas de acuerdo con la señal de selección del multiplexor. Las palabras de celda demultiplexadas se introducen en cualquiera de los primeros multiplexores 2475a2 y 2475b2, hasta los multiplexores 2475a3 y 2475b3 de orden n.

45 Los primeros multiplexores 2475a2 y 2475b2 hasta los multiplexores 2475a3 y 2475b3 de orden n cambian el orden de los bits en las palabras de celda introducidas de acuerdo con la señal de selección del multiplexor. La señal de selección del multiplexor se puede cambiar de acuerdo con la tasa de código de la codificación de corrección de errores o el método de asignación de símbolos. Para generar una secuencia y las secuencias de bits suministradas a los multiplexores, el orden para seleccionar la subsecuencia se puede cambiar de acuerdo con la señal de selección del multiplexor.

50 Los primeros demultiplexores 2475a1 y 2475b1 sacan las secuencias de bits desasignadas a símbolos a cualquiera de los primeros multiplexores 2475a2 y 2475b2 hasta los multiplexores 2475a3 y 2475b3 de orden n de acuerdo con la señal de selección del multiplexor. Los primeros submultiplexores 2475a1 y 2475b1 pueden recibir las subsecuencias multiplexadas por los primeros multiplexores 2475a2 y 2475b2 a los multiplexores 2475a3 y 2475b3 de orden n y sacar una secuencia, de acuerdo con la señal de selección del multiplexor.

Las palabras de celda que incluyen los bits cambiados se introducen a los intercaladores de bits 2476a y 2476b, y los desintercaladores de bits 2476a y 2476b desintercalan los bits de entrada y sacan los bits desintercalados.

- La FIG. 49 es un diagrama de bloques que ilustra un demodulador de descodificación de acuerdo con una realización de la presente invención. El demodulador de descodificación puede incluir varios bloques de función que corresponden a la unidad de codificación y modulación. En esta realización, el demodulador de descodificación de la FIG. 16 puede incluir un primer desintercalador 251, un primer descodificador 253, un segundo desintercalador 255, y un segundo descodificador 257. El segundo desintercalador 255 puede estar contenido selectivamente en el demodulador de descodificación.
- El primer desintercalador 251 actúa como un desintercalador interno, y es capaz de realizar el desintercalado de la secuencia de PLP de orden p generada a partir del analizador sintáctico de tramas.
- El primer descodificador 253 actúa como un descodificador interno, puede realizar una corrección de errores de los datos desintercalados, y puede usar un algoritmo de descodificación con corrección de errores basado en el esquema de LDPC.
- El segundo desintercalador 255 actúa como un intercalador externo, y puede realizar el desintercalado de los datos descodificados de corrección de errores.
- El segundo descodificador 257 actúa como descodificador externo. Los datos desintercalados por el segundo desintercalador 255 o corregidos de errores por el primer descodificador 253 se corrigen de nuevo de errores, de modo que el segundo descodificador 257 saca los datos vueltos a corregir de errores. El segundo descodificador 257 descodifica datos usando el algoritmo de descodificación de corrección de errores basado en el esquema BCH, de modo que saca los datos descodificados.
- El primer desintercalador 251 y el segundo desintercalador 255 son capaces de convertir el error de ráfaga generado en datos contenidos en la secuencia de PLP en un error aleatorio. El primer descodificador 253 y el segundo descodificador 257 pueden corregir errores contenidos en los datos.
- El demodulador de descodificación muestra procesos de operación asociados a una única secuencia de PLP. Si existe el número p de secuencias, se necesita el número p de demoduladores de descodificación, o el demodulador de descodificación puede descodificar repetidamente datos de entrada p veces.
- La FIG. 50 es un diagrama de bloques que ilustra un procesador de salida de acuerdo con una realización de la presente invención. El procesador de salida puede incluir un número p de analizadores sintácticos de tramas en banda base (BB) (251a, ..., 261p), un primer fusionador de servicios 263a, un segundo fusionador de servicios 263b, un primer demultiplexor 265a y un segundo demultiplexor 265b.
- Los analizadores sintácticos de tramas en BB (261a, ..., 261p) eliminan las cabeceras de trama en BB de las primeras secuencias de PLP a las de orden p de acuerdo con los trayectos de PLP recibidos, y sacan el resultado eliminado. Esta realización muestra que se transmiten datos de servicio a al menos dos secuencias. Una primera secuencia es una secuencia TS MPEG-2, y una segunda secuencia es una secuencia GS.
- El primer fusionador de servicios 263a calcula la suma de datos de servicio contenidos en la carga útil de al menos una trama en BB, de modo que saca la suma de datos de servicio como una única secuencia de servicio. El primer demultiplexor 255a puede demultiplexar la secuencia de servicio, y sacar el resultado demultiplexado.
- De este modo, el segundo fusionador de servicio 263b calcula la suma de los datos de servicio contenidos en la carga útil de al menos una trama en BB, de modo que pueda sacar otra secuencia de servicio. El segundo demultiplexor 255b puede demultiplexar la secuencia de servicio de formato GS, y sacar la secuencia de servicio demultiplexada.
- La FIG. 51 es un diagrama de bloques que ilustra un aparato para transmitir una señal de acuerdo con otra realización de la presente invención. El aparato de transmisión de señales incluye un compositor de servicios 310, un divisor de frecuencia 320 y un transmisor 400. El transmisor 400 codifica o modula una señal que incluye una secuencia de servicio a ser transmitida a cada banda de RF.
- El compositor de servicios 310 recibe varias secuencias de servicio, multiplexa varias secuencias de servicio a ser transmitidas a canales de RF individuales, y saca los flujos de servicio multiplexados. El compositor de servicios 310 saca la información de planificación, de modo que controla el transmisor 400 usando la información de planificación, cuando el transmisor 400 transmite la PLP a través de varios canales de RF. Mediante esta información de planificación, el compositor de servicios 310 modula varias tramas de servicio a ser transmitidas a los diversos canales de RF mediante el transmisor 400, y transmite las tramas de servicio moduladas.
- El divisor de frecuencia 320 recibe una secuencia de servicio a ser transmitida a cada banda de RF, y divide cada secuencia de servicio en varias subsecuencias, de modo que las bandas de frecuencia RF individuales se puedan asignar a las subsecuencias.
- El transmisor 400 procesa las secuencias de servicio a ser transmitidas a bandas de frecuencia individuales, y saca

las secuencias resultantes procesadas. Por ejemplo, en asociación con una secuencia de servicio específico a ser transmitida al primer canal de RF, el primer asignador 410 asigna los datos de secuencia de servicio de entrada en símbolos. El primer intercalador 420 intercala los símbolos asignados para impedir el error de ráfaga.

5 El primer insertador de símbolos 430 puede insertar una trama de señal equipada con una señal piloto (por ejemplo, una señal piloto de dispersión o una señal piloto continua) en la señal modulada.

El primer modulador 440 modula los datos intercalados mediante el esquema de modulación de señal. Por ejemplo, el primer modulador 440 puede modular señales usando el esquema de OFDM.

El primer insertador de símbolos piloto 450 inserta la primera señal piloto y la segunda señal piloto en la trama de señal, y es capaz de transmitir la trama de señal de TFS.

10 Los datos de secuencia de servicio transmitidos al segundo canal de RF se transmiten a la trama de señal de TFS a través de varios bloques 415, 425, 435, 445, y 455 de diferentes trayectos mostrados en el transmisor de la FIG. 18.

El número de trayectos de procesamiento de señales transmitidas desde el transmisor 400 puede ser igual al número de canales de RF contenidos en la trama de señal de TFS.

15 El primer asignador 410 y el segundo asignador pueden incluir respectivamente los demultiplexores 1313a y 1313b, y permitir que las ubicaciones del MSB y el LSB sean cambiadas en la palabra de celda asignada a símbolos.

La FIG. 52 es un diagrama en bloques que ilustra un aparato para recibir una señal de acuerdo con otra realización de la presente invención. El aparato de recepción de señales puede incluir una unidad de recepción 510, una unidad de sincronización 520, un detector de modo 530, un ecualizador 540, un detector de parámetros 550, un desintercalador 560, un desasignador 570, y un descodificador de servicios 580.

20 La unidad de recepción 500 es capaz de recibir señales de un primer canal de RF seleccionado por un usuario de entre la trama de señal. Si la trama de señal incluye varios canales de RF, la unidad de recepción 500 realiza saltos de los diversos canales de RF, y al mismo tiempo puede recibir una señal que incluye la trama de servicio seleccionada.

25 La unidad de sincronización 510 adquiere la sincronización de una señal de recepción, y saca la señal de recepción sincronizada. El demodulador 520 es capaz de demodular la señal adquirida de sincronización. El detector de modo 530 puede adquirir un modo de FFT (por ejemplo, longitud de operación de FFT de 2k, 4k, 8k) de la segunda señal piloto usando la primera señal piloto de la trama de señal.

30 El demodulador 520 demodula la señal de recepción en el modo de FFT de la segunda señal piloto. El ecualizador 540 realiza una estimación de canal de la señal de recepción, y saca la señal resultante de estimación de canal. El desintercalador 560 desintercala la señal de recepción ecualizada de canal. El desasignador 570 desasigna el símbolo intercalado usando el esquema de desasignación de símbolos que corresponde al esquema de asignación de símbolos de la señal de transmisión (por ejemplo, QAM).

35 El detector de parámetros 550 adquiere información de parámetros físicos (por ejemplo, información de Capa 1 (L1)) contenida en la segunda señal piloto a partir de la señal de salida del ecualizador 540, y transmite la información de parámetros físicos adquirida a la unidad de recepción 500 y a la unidad de sincronización 510. La unidad de recepción 500 es capaz de cambiar el canal de RF a otro canal usando información de red detectada por el detector de parámetros 550.

40 El detector de parámetros 550 saca la información asociada al servicio, el descodificador de servicios 580 descodifica los datos de servicio de la señal de recepción de acuerdo con la información asociada al servicio a partir del detector de parámetros 550, y saca los datos de servicio descodificados.

El desasignador 570 puede incluir los multiplexores 2475a y 2475b y saca la secuencia de bits obtenida restaurando el orden de los bits de los cuales las ubicaciones del MSB y el LSB se cambian de acuerdo con la tasa de código de la codificación de corrección de errores y el método de asignación de símbolos.

45 A continuación, se describirá un método para modular una primera señal piloto de una trama de señal que tiene al menos una banda de RF y un método y aparato para recibir la primera señal piloto modulada.

50 Los símbolos de PLP intercalados en el tiempo se transmiten a través de regiones, que se dividen temporalmente en la trama de señal. Los símbolos de PLP intercalados en el tiempo se pueden transmitir a través de regiones, que se dividen en el dominio de la frecuencia, si existe una pluralidad de bandas de RF. Por consiguiente, si la PLP se transmite o recibe, se puede obtener una ganancia de diversidad. Un modo de corrección de errores y un método de asignación de símbolos se pueden cambiar de acuerdo con los servicios que corresponden a secuencias de transporte o se pueden cambiar en el servicio.

Una primera señal piloto y una segunda señal piloto se disponen en la ubicación inicial de la trama de señal que

tiene tales características, como una señal de preámbulo.

Como se describió anteriormente, la primera señal piloto incluida en la trama de señal puede incluir un identificador para identificar la trama de señal que tiene la estructura descrita anteriormente. La primera señal piloto puede incluir información acerca de la estructura de transmisión que indica si la trama de señal se transmite o no a través de múltiples trayectos e información acerca de un modo de FFT de una señal que sigue a la primera señal piloto. El receptor puede detectar la trama de señal a partir de la primera señal piloto y obtener la información acerca de la estimación integral de desfase de frecuencia portadora e información acerca del modo de FFT del símbolo de datos.

La FIG. 53 es una vista que muestra una realización de la estructura de una primera señal piloto. Una parte designada mediante A es una parte útil de la primera señal piloto. B designa el mismo prefijo cíclico que una primera parte de la parte A en el dominio del tiempo y C designa el mismo sufijo cíclico que una segunda parte de la parte A en la región temporal. La primera parte se puede duplicar a partir de la segunda mitad de la parte A y la segunda parte se puede duplicar a partir de la primera mitad de la parte A.

B y C se pueden obtener respectivamente duplicando la primera parte y la segunda parte y desplazando la frecuencia de las partes duplicadas. Una relación entre B o C y A es la siguiente.

[Ecuación 1]

$$B = \text{unaparte}(A) \cdot e^{j2\pi SHt}$$

$$C = \text{otraparte}(A) \cdot e^{j2\pi SHt}$$

En la ecuación anterior, SH designa una unidad de desplazamiento del desplazamiento en frecuencia. Por consiguiente, los valores de desplazamiento en frecuencia de las partes B y C pueden ser inversamente proporcionales a las longitudes de las partes B y C.

Si la primera señal piloto se configura mediante desplazamiento en frecuencia del prefijo cíclico (B) y el sufijo cíclico (C), la probabilidad de que el símbolo de datos se detecte de manera errónea al preámbulo es baja y la probabilidad de que el preámbulo se detecte de manera errónea se reduce, aunque los símbolos de datos que configuran la PLP y los símbolos que configuran el preámbulo se modulan en el mismo modo de FFT.

Si se incluye una interferencia de onda continua (CW) como una señal de TV analógica, se reduce la probabilidad de que el preámbulo se detecte de manera errónea debido a una componente de DC de ruido generada en un proceso de correlación. Además, si el tamaño de la FFT aplicada a los símbolos de datos que configuran la PLP es mayor que aquella de la FFT aplicada al preámbulo, se puede mejorar el rendimiento de detección de preámbulo incluso en un canal de dispersión de retardo que tenga una longitud igual a o mayor que aquella de la parte A de símbolo útil del preámbulo. Dado que tanto el prefijo cíclico (B) como el sufijo cíclico (C) se usan en el preámbulo, el desfase fraccional de frecuencia de portadora se puede estimar mediante el proceso de correlación.

La FIG. 54 es una vista que muestra una realización para detectar una señal de preámbulo mostrada en la FIG. 53 y que estima un desfase de tiempo y un desfase de frecuencia. Esta realización se puede incluir en el detector de tramas 221 o la unidad de sincronización de tramas 222.

Esta realización puede incluir una primera unidad de retardo 601, una unidad de cálculo de conjugada compleja 603, un primer multiplicador 605, un segundo multiplicador 607, un primer filtro 611, una segunda unidad de retardo 615, un tercer multiplicador 609, un segundo filtro 613, un cuarto multiplicador 617, una unidad de búsqueda de picos 619 y una unidad de medición de fase 621.

La primera unidad de retardo 601 puede retardar una señal recibida. Por ejemplo, la primera unidad de retardo 601 puede retardar la señal recibida por la longitud de la parte (A) de símbolo útil de la primera señal piloto.

La unidad de cálculo de conjugada compleja 603 puede calcular la conjugada compleja de la primera señal piloto retardada y sacar la señal calculada.

El primer multiplicador 605 puede multiplicar la salida de señal desde la unidad de cálculo de conjugada compleja 603 por la señal recibida y sacar la señal multiplicada.

Dado que la primera señal piloto incluye las partes B y C obtenidas mediante desplazamiento en frecuencia de la parte A útil, los respectivos valores de correlación se obtienen mediante el desplazamiento de las señales recibidas por las respectivas cantidades de desplazamiento en frecuencia. En la primera señal piloto, la parte B es una parte que se desplaza en frecuencia de manera ascendente o se desplaza en frecuencia de manera descendente desde la parte A, y C es una parte que se desplaza en frecuencia de manera ascendente o se desplaza en frecuencia de

manera descendente desde la parte A.

Por ejemplo, si se usa la salida de la unidad de cálculo de conjugada compleja 603, la salida del primer multiplicador 605 puede incluir el resultado de correlación de B (o la conjugada compleja de B) y A (o la conjugada compleja de A).

- 5 El segundo multiplicador 607 puede multiplicar la señal sacada desde el primer multiplicador 605 por la cantidad de desplazamiento en frecuencia (designada por $\epsilon_j \rho_{f_{SHt}}$) aplicada a la parte B y saca la señal multiplicada.

10 El primer filtro 611 realiza un promedio variable durante un periodo predeterminado con respecto a la señal sacada desde el segundo multiplicador 607. La parte de promedio variable puede llegar a ser la longitud del prefijo cíclico (B) o la longitud del sufijo cíclico (C). En esta realización, el primer filtro 611 puede calcular una media de la señal incluida en la longitud de la parte B. Entonces, en el resultado sacado desde el primer filtro 611, el valor de correlación de las partes A y C incluidas en la parte, de la cual se calcula la media, llega a ser considerablemente cero y el resultado de la correlación de las partes B y A permanece. Dado que la señal de la parte B es multiplicada por el valor de desplazamiento en frecuencia por el segundo multiplicador 607, es igual a la señal obtenida duplicando la segunda mitad de la parte A.

- 15 El tercer multiplicador 609 puede multiplicar la señal sacada desde el primer multiplicador 605 por la cantidad de desplazamiento en frecuencia (designada por $-\epsilon_j \rho_{f_{SHt}}$) aplicada a la parte C y sacar la señal multiplicada.

20 El segundo filtro 613 realiza un promedio variable durante un periodo predeterminado con respecto a la señal sacada desde el tercer multiplicador 609. La parte de promedio variable puede llegar a ser la longitud del prefijo cíclico (B) o la longitud del sufijo cíclico (C). En esta realización, el segundo filtro 613 puede calcular la media de la señal incluida en la longitud de la parte C. Entonces, en el resultado sacado desde el segundo filtro 613, el valor de correlación de las partes A y B incluidas en la parte, de la cual se calcula la media, llega a ser considerablemente cero y el resultado de correlación de las partes C y A permanece. Dado que la señal de la parte C se multiplica por el valor de desplazamiento en frecuencia mediante el tercer multiplicador 609, es igual a la señal obtenida duplicando la primera mitad de la parte A.

- 25 La longitud T_B de la parte de la cual el promedio variable se realiza por el primer filtro 611 y el segundo filtro 613 se expresa como sigue.

[Ecuación 2]

$$T_B = k / f_{SH} ,$$

- 30 donde, k designa un número entero. En otras palabras, la unidad f_{SH} del desplazamiento en frecuencia usado en las partes B y C se puede decidir por k/T_B .

La segunda unidad de retardo 615 puede retardar la señal sacada desde el primer filtro 611. Por ejemplo, la segunda unidad de retardo 615 retarda la señal filtrada por el primer filtro 611 por la longitud de la parte B y saca la señal retardada.

- 35 El cuarto multiplicador 617 multiplica la señal retardada por la segunda unidad de retardo 615 por la señal filtrada por el segundo filtro 613 y saca la señal multiplicada.

La unidad de búsqueda de picos 619 busca la ubicación en la que se genera un valor pico a partir de la señal multiplicada sacada desde el cuarto multiplicador 617 y saca la ubicación buscada a la unidad de medición de fase 621. El valor pico y la ubicación se pueden usar para la estimación del desfase de temporización.

- 40 La unidad de medición de fase 621 puede medir la fase cambiada usando el valor pico y la ubicación sacada desde la unidad de búsqueda de picos 619 y sacar la fase medida. El valor de fase se puede usar para la estimación del desfase fraccional de frecuencia portadora.

Mientras tanto, un oscilador para generar la frecuencia usada para realizar el desplazamiento en frecuencia mediante el segundo multiplicador 607 y el tercer multiplicador 609 puede generar cualquier error de fase.

- 45 Incluso en este caso, el cuarto multiplicador 617 puede eliminar el error de fase del oscilador. Los resultados sacados del primer filtro 611 y el segundo filtro 613 y el resultado sacado desde el cuarto multiplicador 617 se pueden expresar mediante la siguiente ecuación.

[Ecuación 3]

$$y_{MAF1} = \|a_1(n)\|^2 \cdot e^{j2\pi\Delta_f + \theta}$$

$$y_{MAF2} = \|a_2(n)\|^2 \cdot e^{j2\pi\Delta_f - \theta}$$

$$y_{prod} = \|a_1(n)\|^2 \cdot \|a_2(n)\|^2 \cdot e^{j2\pi \cdot 2\Delta_f}$$

en la que, y_{MAF1} e y_{MAF2} designan respectivamente las salidas del primer filtro 611 y del segundo filtro 613, e y_{prod} designa la salida del cuarto multiplicador 617. Además, a_1 y a_2 designan respectivamente los niveles de los resultados de correlación y Δ_f y θ designan respectivamente el desfase de frecuencia y el error de fase del oscilador.

- 5 Por consiguiente, y_{MAF1} e y_{MAF2} pueden incluir los errores de fase del oscilador que tienen diferentes signos, pero el error de fase del oscilador se elimina en el resultado del cuarto multiplicador 617. Por consiguiente, el desfase de frecuencia Δ_f se puede estimar independientemente del error de fase del oscilador del aparato de recepción de señales.

El desfase de frecuencia estimado se puede expresar mediante la siguiente ecuación.

10 [Ecuación 4]

$$f_B = \angle y_{prod} / 4\pi$$

en la que, el desfase de frecuencia estimado Δ_f es $0 \leq \Delta_f < 0,5$.

- 15 La FIG. 55 es una vista que muestra otra realización de la estructura de la primera señal piloto. En la primera señal piloto, el desplazamiento en frecuencia de la primera mitad de la parte A útil es el prefijo cíclico (B) y el desplazamiento en frecuencia del segundo desplazamiento de la parte A útil es el sufijo cíclico (C). Las longitudes de la parte A útil para generar las partes B y C pueden ser, por ejemplo, 1/2 de la longitud de la parte A, y las longitudes de B y C pueden ser diferentes.

- 20 La FIG. 56 es una vista que muestra una realización para detectar la primera señal piloto mostrada en la FIG. 55 y medir un desfase de temporización y un desfase de frecuencia usando el resultado detectado. En esta realización, por conveniencia de la descripción, B y C designan respectivamente el prefijo cíclico y el sufijo cíclico obtenidos mediante el desplazamiento en frecuencia de 1/2 de la longitud de la parte A.

- 25 Esta realización incluye una primera unidad de retardo 601, una unidad de cálculo de conjugada compleja 603, un primer multiplicador 605, un segundo multiplicador 607, un primer filtro 611, una segunda unidad de retardo 615, un tercer multiplicador 609, un segundo filtro 613, un cuarto multiplicador 617, una unidad de búsqueda de picos 619, y una unidad de medición de fase 621. Es decir, esta realización es igual a la realización de la FIG. 54, pero los rasgos de los componentes se pueden cambiar de acuerdo con la longitud de la parte A mediante la cual se generan las partes B y C. B designa una parte desplazada en frecuencia de manera descendente desde la parte A, y C designa una parte desplazada en frecuencia de manera ascendente desde la parte A.

- 30 La primera unidad de retardo 601 puede retardar una señal recibida. Por ejemplo, la primera unidad de retardo 601 puede retardar la señal recibida en 1/2 de la longitud de la parte A de símbolo útil de la primera señal piloto.

La unidad de cálculo de conjugada compleja 603 puede calcular la conjugada compleja de la primera señal piloto retardada y sacar la señal calculada.

El primer multiplicador 605 puede multiplicar la señal sacada desde la unidad de cálculo de conjugada compleja 603 por la señal recibida y sacar la señal multiplicada.

- 35 El segundo multiplicador 607 puede multiplicar la señal sacada desde el primer multiplicador 605 por la cantidad de desplazamiento en frecuencia (designada por $e^{j\beta f_{SHT}}$) aplicada a la parte B y sacar la señal multiplicada.

- 40 El primer filtro 611 realiza un promedio variable durante un periodo predeterminado con respecto a la señal sacada desde el segundo multiplicador 607. La parte de promedio variable puede llegar a ser la longitud del prefijo cíclico (B). En esta realización, el primer filtro 611 puede calcular la media de la señal incluida en la longitud de la parte B. Entonces, en el resultado sacado desde el primer filtro 611, el valor de correlación de las partes A y C incluido en la parte, de la cual se calcula la media, llega a ser considerablemente cero y el resultado de correlación de las partes B y A permanece. Dado que la señal de la parte B se multiplica por el valor de desplazamiento en frecuencia mediante el segundo multiplicador 607, es igual a la señal obtenida duplicando la segunda mitad de la parte A.

El tercer multiplicador 609 puede multiplicar la señal sacada desde el primer multiplicador 605 por la cantidad de desplazamiento en frecuencia (designada por $-ej\vartheta f_{\text{shf}}$) aplicada a la parte C y sacar la señal multiplicada.

5 El segundo filtro 613 realiza un promedio variable durante un periodo predeterminado con respecto a la señal emitida sacada desde el tercer multiplicador 609. La parte de promedio variable puede llegar a ser la longitud del sufijo cíclico (C). En esta realización, el segundo filtro 613 puede calcular la media de la señal incluida en la longitud de la parte C. Entonces, en el resultado sacado desde el segundo filtro 613, el valor de correlación de A y B incluido en la parte, de la cual se calcula la media, llega a ser considerablemente cero y el resultado de correlación de las partes C y A permanece. Dado que la señal de la parte C se multiplica por el valor del desplazamiento en frecuencia por el tercer multiplicador 609, es igual a la señal obtenida duplicando la primera mitad de la parte A.

10 La segunda unidad de retardo 615 puede retardar la señal sacada desde el primer filtro 611. Por ejemplo, la segunda unidad de retardo 615 retarda la señal filtrada por el primer filtro 611 por la longitud de la parte B + 1/2A y saca la señal retardada.

El cuarto multiplicador 617 multiplica la señal retardada por la segunda unidad de retardo 615 por la señal filtrada por el segundo filtro 613 y saca la señal multiplicada.

15 La unidad de búsqueda de picos 619 busca la ubicación en la que se genera un valor pico a partir de la señal multiplicada sacada desde el cuarto multiplicador 617 y saca la ubicación buscada a la unidad de medición de fase 621. El valor pico y la ubicación se pueden usar para la estimación del desfase de temporización.

20 La unidad de medición de fase 621 puede medir la fase cambiada usando el valor pico y la ubicación sacada desde la unidad de búsqueda de picos 619 y sacar la fase medida. El valor de fase se puede usar para la estimación fraccional del desfase de frecuencia portadora.

Como se describió anteriormente, un oscilador para generar la frecuencia usada para realizar el desplazamiento en frecuencia por el segundo multiplicador 607 y el tercer multiplicador 609 puede generar cualquier error de fase. Sin embargo, incluso en esta realización, el cuarto multiplicador 617 puede eliminar el error de fase del oscilador.

25 Los resultados sacados desde el primer filtro 611 y el segundo filtro 613 y el resultado sacado desde el cuarto multiplicador 617 se pueden expresar mediante la siguiente ecuación.

[Ecuación 5]

$$y_{MAF1} = \|a_1(n)\|^2 \cdot e^{j2\pi\Delta f + \theta}$$

$$y_{MAF2} = \|a_2(n)\|^2 \cdot e^{j2\pi\Delta f - \theta}$$

$$y_{prod} = \|a_1(n)\|^2 \cdot \|a_2(n)\|^2 \cdot e^{j2\pi \cdot 2\Delta f}$$

30 en la que, y_{MAF1} e y_{MAF2} designan respectivamente las salidas del primer filtro 611 y del segundo filtro 613, e y_{prod} designa la salida del cuarto multiplicador 617. Además, a_1 y a_2 designan respectivamente los niveles de los resultados de correlación y Δf y θ designan respectivamente el desfase de frecuencia y el error de fase del oscilador.

35 Por consiguiente, y_{MAF1} e y_{MAF2} pueden incluir los errores de fase del oscilador que tienen diferentes signos, pero el error de fase del oscilador se elimina en el resultado del cuarto multiplicador 617. Por consiguiente, el desfase de frecuencia Δf se puede estimar independientemente del error de fase del oscilador del aparato de recepción de señales.

El desfase de frecuencia estimado se puede expresar mediante la siguiente ecuación.

[Ecuación 6]

$$f_B = \angle y_{prod} / 2\pi$$

en la que, el desfase de frecuencia estimado Δf es $0 \leq \Delta f < 1$.

Es decir, se puede generar una distorsión por repliegue del espectro de fase en un intervalo de $0,5 \leq \Delta f < 1$ en el desfase de frecuencia estimado en la [Ecuación 4], pero no se genera distorsión por repliegue del espectro de fase en el desfase de frecuencia estimado en la [Ecuación 6]. Por consiguiente, el desfase de frecuencia se puede medir con más precisión. La estructura de la primera señal piloto se puede usar en el símbolo de datos y la segunda señal de frecuencia. Si se usa tal estructura, se puede mejorar el rendimiento de estimación de desfase tal como la interferencia de CW y se puede mejorar el rendimiento de recepción del receptor.

La FIG. 57 es una vista que muestra una realización para detectar la primera señal piloto y medir un desfase de temporización y un desfase de frecuencia usando el resultado detectado.

Esta realización incluye una primera unidad de retardo 601, una tercera unidad de retardo 602, una primera unidad de cálculo de conjugada compleja 603, una segunda unidad de cálculo de conjugada compleja 604, un primer multiplicador 605, un quinto multiplicador 606, un segundo multiplicador 607, un primer filtro 611, una segunda unidad de retardo 615, un tercer multiplicador 609, un segundo filtro 613, un cuarto multiplicador 617, una unidad de búsqueda de picos 619 y una unidad de medición de fase 621.

En esta realización, la primera unidad de retardo 601 puede retardar una señal recibida. Por ejemplo, la primera unidad de retardo 601 puede retardar la señal recibida en la longitud del sufijo cíclico.

La tercera unidad de retardo 602 puede retardar la señal retardada mediante la primera unidad de retardo 601. Por ejemplo, la tercera unidad de retardo 602 retarda además la señal en una diferencia entre la longitud del prefijo cíclico y la longitud del sufijo cíclico.

La primera unidad de cálculo de conjugada compleja 603 puede calcular la conjugada compleja de la señal retardada mediante la tercera unidad de retardo 602 y sacar la señal calculada. La segunda unidad de cálculo de conjugada compleja 604 puede calcular la conjugada compleja de la señal retardada mediante la primera unidad de retardo 601 y sacar la señal calculada.

El primer multiplicador 605 puede multiplicar la señal sacada desde la primera unidad de cálculo de conjugada compleja 603 por la señal recibida y sacar la señal multiplicada. El quinto multiplicador 606 puede multiplicar la conjugada compleja calculada por la segunda unidad de cálculo de conjugada compleja 604 por la señal recibida y sacar la señal multiplicada.

El segundo multiplicador 607 puede multiplicar la señal sacada desde el primer multiplicador 605 por la cantidad de desplazamiento en frecuencia (designada por $e^{j\beta}$ fSht) aplicada a la parte B y sacar la señal multiplicada.

El primer filtro 611 realiza un promedio variable durante un periodo predeterminado con respecto a la señal sacada desde el segundo multiplicador 607. La parte de promedio variable puede llegar a ser la longitud de la parte (A) útil de la primera señal piloto.

El tercer multiplicador 609 puede multiplicar la señal sacada desde el segundo multiplicador 604 por la cantidad de desplazamiento en frecuencia (designada por $-e^{j\beta}$ fSht) aplicada a la parte C y sacar la señal multiplicada.

El segundo filtro 613 realiza un promedio variable durante un periodo predeterminado con respecto a la señal sacada desde el tercer multiplicador 609. La parte de promedio variable puede llegar a ser la longitud de la parte A útil de la primera señal piloto.

La segunda unidad de retardo 615 puede retardar la señal sacada desde el primer filtro 611. Por ejemplo, la segunda unidad de retardo 615 retarda la señal filtrada por el primer filtro 611 en la longitud de la parte (A) útil de la primera señal piloto y saca la señal retardada.

El cuarto multiplicador 617 multiplica la señal retardada por la segunda unidad de retardo 615 por la señal filtrada mediante el segundo filtro 613 y saca la señal multiplicada. El cuarto multiplicador 617 puede eliminar el error de fase del oscilador.

Las operaciones de la unidad de búsqueda de picos 619 y la unidad de medición de fase 621 son iguales a aquellas de la realización descrita anteriormente. La unidad de búsqueda de picos 619 busca la ubicación en la que se genera un valor pico a partir de la señal multiplicada sacada desde el cuarto multiplicador 617 y saca la ubicación buscada a la unidad de medición de fase 621. El valor pico y la ubicación se pueden usar para la estimación del desfase de temporización.

La FIG. 58 es una vista que muestra una realización de un método para transmitir una señal.

Una secuencia de transporte que transfiere un servicio se codifica con corrección de errores (S110). Un esquema de codificación con corrección de errores se puede cambiar de acuerdo con las secuencias de transporte.

Se puede usar un esquema de codificación de corrección de errores de LDPC ya que el esquema de codificación de

corrección de errores y la codificación de corrección de errores se pueden realizar a diversas tasas de código. Los bits que se codifican de corrección de errores de acuerdo con una tasa específica de código de corrección de errores se pueden incluir en un bloque codificado de corrección de errores de acuerdo con el modo de codificación de corrección de errores. Si el esquema de codificación de corrección de errores es el LDPC, se pueden usar un modo normal (64800 bits) y un modo corto (16200 bits).

La secuencia de transporte codificada de corrección de errores se intercala (S120). El intercalado se puede realizar diferenciando las direcciones para escritura y lectura de los bits incluidos en el bloque codificado de corrección de errores en y desde una memoria. El número de filas y el número de columnas de la memoria se puede cambiar de acuerdo con el modo de codificación de corrección de errores. El intercalado se puede realizar en la unidad de los bloques codificados de corrección de errores.

Los bits intercalados se asignan a símbolos (S130). Un método de asignación de símbolos se puede cambiar de acuerdo con secuencias de transporte o en la secuencia de transporte. Por ejemplo, según el método de asignación de símbolos, se pueden usar un método de asignación de símbolos de orden superior y un método de asignación de símbolos de orden inferior. Cuando los símbolos se asignan, la secuencia de bits intercalados se puede demultiplexar de acuerdo con el método de asignación de símbolos o la tasa de código del código de corrección de errores, y los símbolos se pueden asignar usando los bits incluidos en las subsecuencias demultiplexadas. Entonces, se puede cambiar la secuencia de los bits en la palabra de celda asignada a los símbolos.

Los símbolos asignados se intercalan (S140). Los símbolos asignados se pueden intercalar en la unidad de bloques codificados de corrección de errores. Los intercaladores de tiempo 132a y 132b pueden intercalar los símbolos en la unidad de bloques codificados de corrección de errores. Es decir, la secuencia de transporte se intercala de nuevo en el nivel de símbolo.

Los símbolos intercalados de la secuencia de transporte se dividen, los símbolos divididos se asignan a una trama de señal que tiene al menos una banda de frecuencia y que incluye franjas que se dividen temporalmente en las bandas de frecuencia, y un preámbulo que incluye una primera señal piloto se dispone en una parte inicial de la trama de señal (S150). Los símbolos intercalados de la secuencia de transporte pueden configurar la PLP con respecto a la secuencia de transporte para proporcionar el servicio. Los símbolos que configuran la PLP se pueden dividir y asignar a la trama de señal. La PLP puede asignarse a al menos una trama de señal que tenga al menos una banda de frecuencia. Si se dispone una pluralidad de bandas de frecuencia, los símbolos que configuran la PLP se pueden disponer en las franjas desplazadas entre las bandas de frecuencia. Los bits incluidos en la secuencia de servicio se pueden disponer en la trama de señal en la unidad de bloques intercalados codificados de corrección de errores.

La trama de señal se convierte en un dominio del tiempo de acuerdo con un esquema de OFDM (S160).

El prefijo cíclico obtenido desplazando en frecuencia una primera parte de una parte útil de la primera señal piloto y el sufijo cíclico obtenido desplazando en frecuencia una segunda parte de la parte útil se inserta en los símbolos OFDM que incluyen la primera señal piloto en el dominio del tiempo (S170). Si el preámbulo no se inserta en el dominio de la frecuencia, el preámbulo que incluye la primera señal piloto y la segunda señal piloto se puede insertar en el dominio del tiempo. La primera señal piloto del dominio del tiempo puede incluir la parte útil, el prefijo cíclico de la primera parte de la parte útil y el sufijo cíclico de la segunda parte de la parte útil. La primera parte puede ser una parte más posterior o la parte más anterior de la parte útil. La segunda parte puede ser la parte más anterior o la parte más posterior de la parte útil.

La trama de señal que incluye la primera señal de trama se transmite sobre al menos un canal de RF (S180).

Dado que la parte útil de la primera señal piloto incluye el prefijo cíclico y el sufijo cíclico desplazados en frecuencia, la trama de señal se puede identificar claramente como la estructura de la primera señal piloto. El desfase de temporización o el desfase de frecuencia se puede estimar y compensar usando la estructura de la primera señal piloto.

La FIG. 59 es una vista que muestra una realización de un método para recibir una señal.

Una señal se recibe desde una banda de frecuencia específica que transfiere tramas de señal (S210). La trama de señal se puede transmitir sobre al menos una banda de frecuencia. La señal se puede recibir desde una banda de frecuencia específica.

A partir de la señal recibida, se identifica una primera señal piloto que incluye un prefijo cíclico obtenido desplazando en frecuencia una primera parte de una parte útil y un sufijo cíclico obtenido desplazando en frecuencia una segunda parte de la parte útil, y la trama de señal en que los bloques que incluyen los símbolos de la secuencia de transporte se asignan a una pluralidad de franjas del dominio del tiempo se demodula mediante el esquema de OFDM usando la primera señal piloto (S220). El proceso de demodulación que usa la primera señal piloto se describirá en detalle más tarde.

5 La trama de señal identificada se analiza sintácticamente (S230). La trama de señal puede incluir al menos una banda de frecuencia. En la trama de señal, los bloques codificados de corrección de errores que incluyen los símbolos, a los que se asigna la secuencia de servicio, se puede asignar a símbolos de OFDM junto con los bloques codificados de corrección de errores de otra secuencia de transporte. Si la trama de señal incluye una pluralidad de bandas de frecuencia, los bloques codificados de corrección de errores se pueden asignar a los símbolos de OFDM que están desplazados temporalmente en la pluralidad de bandas de frecuencia.

10 Los símbolos, a los que se asigna la secuencia de transporte, se desintercalan desde la trama de señal analizada sintácticamente (S240). El desintercalado se puede realizar en el nivel de símbolo al cual se asigna la secuencia de transporte. Por ejemplo, los desintercaladores de tiempo 245a y 245b pueden desintercalan los bloques codificados de corrección de errores que incluyen los símbolos, a los que se asigna la secuencia de transporte.

15 Luego, los símbolos desintercalados se desasignan para obtener la secuencia de transporte (S250). Cuando se desasignan los símbolos, se puede sacar una pluralidad de subsecuencias obtenidas desasignando los símbolos, se pueden multiplexar las subsecuencias sacadas, y se puede sacar la secuencia de transporte codificada de corrección de errores. El esquema de multiplexación se puede cambiar de acuerdo con el método de asignación de símbolos y la tasa de código de corrección de errores. El método de desasignación de símbolos se puede cambiar en una secuencia de transporte o de acuerdo con secuencias de servicio.

La secuencia de transporte se desintercala y la secuencia de transporte desintercalada se codifica con corrección de errores (S260).

20 De acuerdo con un aparato para transmitir y recibir una señal y un método para transmitir y recibir una señal de una realización de la presente invención, es posible detectar y restaurar fácilmente una señal transmitida. Además, es posible mejorar el rendimiento de transmisión/recepción de señales del sistema de transmisión/recepción.

La FIG. 60 es un diagrama de flujo que ilustra una realización para identificar una primera señal piloto y estimar un desfase en un proceso de demodulación.

25 La primera señal piloto incluye el prefijo cíclico obtenido desplazando en frecuencia la primera parte de la parte útil de la misma y el sufijo cíclico obtenido desplazando en frecuencia la segunda parte de la parte útil de la misma. El desfase de temporización y el desfase de frecuencia se pueden calcular usando la primera señal piloto como sigue.

Se retarda (S311) la señal recibida. Por ejemplo, la parte de retardo puede ser la parte útil de la primera señal piloto o 1/2 de la parte útil. Alternativamente, la parte de retardo puede ser la longitud del prefijo cíclico o la longitud del sufijo cíclico.

30 Se calcula (S313) la conjugada compleja de la señal retardada.

Se multiplican (S315) la conjugada compleja de la señal recibida y la señal retardada. La señal retardada multiplicada por la conjugada compleja puede ser la señal que tiene la longitud descrita anteriormente. Si la señal de retardo es la longitud del prefijo cíclico o el sufijo cíclico, se puede calcular la conjugada compleja de la señal retardada.

35 La señal multiplicada por la conjugada compleja se desplaza inversamente de acuerdo con el desplazamiento en frecuencia del prefijo cíclico (S317). Es decir, la señal multiplicada por la conjugada compleja se desplaza en la cantidad de desplazamiento inverso de la cantidad de desplazamiento en frecuencia de la señal de prefijo cíclico. Es decir, una señal que se desplaza en frecuencia de manera ascendente es desplazada en frecuencia de manera descendente (o la señal que se desplaza en frecuencia de manera descendente es desplazada en frecuencia de manera ascendente).

40 Entonces, se calcula una media de la señal que se desplaza inversamente de acuerdo con el desplazamiento en frecuencia del prefijo cíclico (S319). La parte de la cual se calcula la media puede llegar a ser la longitud del prefijo cíclico o la longitud de la parte A útil de la primera señal piloto de acuerdo con las realizaciones. Dado que la media se calcula con respecto a la señal que tiene la misma longitud junto con la señal recibida, el valor del promedio variable se puede sacar junto con la señal recibida.

45 La señal de la cual se calcula la media se retarda (S321). La parte de retardo puede llegar a ser la suma de la longitud del prefijo cíclico y la longitud de 1/2 del periodo útil, la longitud del prefijo cíclico, o la longitud de la parte A útil de la primera señal piloto, de acuerdo con la realización.

50 La señal multiplicada en el paso S315 se desplaza inversamente de acuerdo con el desplazamiento en frecuencia del sufijo cíclico (S323). La señal multiplicada por la conjugada compleja se desplaza en la cantidad de desplazamiento inverso de la cantidad de desplazamiento en frecuencia de la señal de sufijo cíclico. Es decir, una señal que se desplaza en frecuencia de manera ascendente es desplazada en frecuencia de manera descendente (o la señal que se desplaza en frecuencia de manera descendente es desplazada en frecuencia de manera ascendente).

Se calcula una media con respecto a la señal que se desplaza inversamente de acuerdo con el desplazamiento en frecuencia del sufijo cíclico (S325). El promedio variable se efectúa con respecto a la señal que corresponde a la longitud del sufijo cíclico calculado o a la longitud de la parte útil de la primera señal piloto de acuerdo con las realizaciones.

5 La señal retardada en la etapa S321 y la señal de la cual se calcula la media en el paso S325 se multiplican (S327).

Se busca una ubicación pico del resultado multiplicado (S329) y se mide la fase de la señal usando el pico (S331). El pico buscado se puede usar para estimar el desfase de temporización y la fase medida se puede usar para estimar el desfase de frecuencia.

10 En este diagrama de flujo, pueden cambiarse la longitud del sufijo cíclico, la longitud del prefijo cíclico y la cantidad de desplazamiento inverso en frecuencia.

De acuerdo con el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la invención, si el símbolo de datos que configura la PLP y los símbolos que configuran el preámbulo se modulan en el mismo modo de FFT, la probabilidad de que el símbolo de datos se detecte por el preámbulo es baja y la probabilidad de que el preámbulo se detecte erróneamente es reducida. Si se incluye una interferencia de onda continua (CW) como la señal de TV analógica, se reduce la probabilidad de que el preámbulo sea detectado erróneamente por un componente de DC de ruido generado en el momento de la correlación.

De acuerdo con el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la invención, si el tamaño de la FFT aplicada al símbolo de datos que configura la PLP es mayor que el de la FFT aplicada al preámbulo, el rendimiento de detección del preámbulo se puede mejorar incluso en un canal de dispersión de retardo que tiene una longitud igual a o mayor que aquella de la parte A de símbolo útil del preámbulo. Dado que tanto el prefijo cíclico (B) como el sufijo cíclico (C) se usan en el preámbulo, se puede estimar el desfase fraccional de frecuencia portadora.

A continuación, se describirá un ejemplo de un método para transmitir y recibir señales de acuerdo con el método de intercalado de bits anteriormente mencionado.

25 La FIG. 61 ilustra otro ejemplo de un método para transmitir y recibir señales de acuerdo con la presente invención.

Las secuencias de transporte que incluyen servicio están codificadas de corrección de errores (S411).

Los bits de las secuencias de transporte codificadas de corrección de errores se intercalan variando un método para almacenar los bits en la memoria y un método de lectura de los bits desde la memoria de acuerdo con el método de asignación de símbolos (S413). En este caso, el intercalado de bits se realiza de tal manera que los bits se almacenan en la memoria en unidades de columna, en las que la memoria tiene una pluralidad de filas y columnas de acuerdo con el método de asignación de símbolos, el desfase se genera entre ubicaciones de los primeros bits almacenados en cada columna de acuerdo con el método de asignación de símbolos, y en cada columna, los bits se almacenan desde la ubicación en la que se almacenan los primeros bits a la ubicación en la que se almacenan los bits de acuerdo con un direccionamiento circular.

35 Si los bits almacenados se leen, los bits almacenados en la memoria de acuerdo con el método de asignación de símbolos se leen en unidades de fila. En este caso, el desfase se debería generar en ubicaciones de los primeros bits leídos desde cada fila de acuerdo con el método de asignación de símbolos, y en cada columna, los bits se leen desde la ubicación en la que los primeros bits se leen de acuerdo con un direccionamiento circular.

Los bits intercalados se asignan a símbolos de acuerdo con el método de asignación de símbolos anterior (S415).

40 Los símbolos asignados se asignan a tramas de señal transmitidas a al menos un canal de RF, y un preámbulo, el cual incluye una primera señal piloto que puede identificar las tramas de señal una desde otra, se dispone en las tramas de señal (S417).

Las tramas de señal se modulan y luego se transmiten (S419).

Un método para recibir y procesar la señal anterior se describirá más adelante.

45 Una señal de recepción que incluye tramas de señal transmitidas a al menos un canal de RF se recibe desde el primer canal de RF, y las tramas de señal se identifican a partir de la primera señal piloto del preámbulo de las tramas de señal (S421).

Las tramas de señal se demodulan, y las tramas de señal demoduladas se analizan sintácticamente, de manera que se sacan (S423) los símbolos de la primera secuencia de transporte entre una pluralidad de franjas de tiempo.

50 Los símbolos se desasignan de acuerdo con el método de asignación de símbolos a las secuencias de bits de salida (S425).

Las secuencias de bits de salida se desintercalan variando el método de almacenamiento de bits en la memoria y el método de lectura de los bits desde la memoria (S427). Se usa el intercalado de bits que corresponde al paso S413. Los bits se almacenan en la memoria en unidades de columna, en donde la memoria tiene una pluralidad de filas y columnas de acuerdo con el método de asignación de símbolos. En este caso, los bits se deberían almacenar en la memoria de manera que se genera un desfase entre ubicaciones de los primeros bits almacenados en cada columna de acuerdo con el método de asignación de símbolos, y en cada columna, los bits se almacenan desde la ubicación en donde los primeros bits están almacenados a la ubicación donde los bits se almacenan de acuerdo con un direccionamiento circular.

Si los bits almacenados se leen, los bits almacenados en la memoria de acuerdo con el método de asignación de símbolos se leen en unidades de fila. En este caso, se debería generar un desfase en ubicaciones de los primeros bits leídos de cada fila de acuerdo con el método de asignación de símbolos, y en cada columna, los bits se leen desde la ubicación donde se leen los primeros bits, de acuerdo con un direccionamiento circular.

Los bits desintercalados son descodificados con corrección de errores (S429).

La FIG. 62 es una vista que muestra otra realización de un aparato para transmitir una señal. El aparato de transmisión de señal mostrado en la FIG. 62 incluye un procesador de entrada 110, una unidad de codificación y modulación 120, un formador de tramas 130, un codificador MIMO/MISO 140, moduladores 150a, ..., y 150r correspondientes a los múltiples trayectos del codificador MIMO/MISO 140, y una pluralidad de procesadores analógicos 160a, ..., y 160r. Esta realización es similar a la realización mostrada en la FIG. 4 excepto porque se incluye además un generador de información (L1/L2) 1301 y un codificador de información (L1/L2) 1303 para codificar e intercalar información de capa 1 e información de capa 2. Los ejemplos del generador de información 1301 y el codificador de información 1303 se describirá ahora en detalle.

Como se describió anteriormente, la información de capa 1 puede incluir información sobre una configuración de la PLP de una trama de señal y se puede incluir en una segunda señal piloto. La información de capa 2 puede describir un servicio transmitido por una PLP incluida en la trama de señal y se puede transmitir a la segunda señal piloto o una PLP común. Por ejemplo, aunque la segunda señal piloto y la PLP común incluida en la trama de señal se transmiten a una pluralidad de canales de RF de la trama de señal, se transmite el mismo valor a la pluralidad de canales de RF. Por consiguiente, dado que no se puede obtener una ganancia de diversidad de frecuencia, las señales se pueden procesar de manera que la capacidad de recuperación de información se mejore de acuerdo con la codificación o intercalado con corrección de errores.

Si el formador de tramas 130 configura la trama de señal, el generador de información 1301 puede generar la información de capa 1 y la información de capa 2 las cuales se pueden incluir en la trama de señal. El generador de información 1301 puede generar una ubicación de la trama de señal, a la cual se transmitirá una secuencia de transporte para transmitir un servicio, y una modulación y codificación de información de la secuencia de transporte.

El codificador de información 1303 puede codificar la información de capa 1 y la información de capa 2 generadas por el generador de información 1301 de acuerdo con la información de modulación y codificación. El formador de tramas 130 inserta la información de capa 1 codificada mediante el codificador de información 1303 en la segunda señal piloto e inserta la información de capa 2 en la segunda señal piloto o la PLP común. Por consiguiente, la información de la capa 1 y la información de la capa 2 se pueden proteger de un error de un canal de transmisión mediante el codificador de información 1303.

La FIG. 63 es una vista que muestra una realización del codificador de información 1303. El codificador de información puede incluir un primer codificador 1311, un primer intercalador 1313, un segundo codificador 1315 y un segundo intercalador 1317.

El primer codificador 1311 es un codificador exterior, que realiza la primera codificación con corrección de errores con respecto a los datos de entrada (información de la capa 1 e información de la capa 2). Por ejemplo, los datos de entrada se pueden codificar con corrección de errores mediante un esquema de codificación con corrección de errores BCH. La codificación con corrección de errores del primer codificador 1311 se realiza para suprimir el suelo de error de acuerdo con un esquema de codificación con corrección de errores del segundo codificador.

El primer intercalador 1313 es un intercalador exterior, que puede intercalar los datos sacados del primer codificador 1311. El primer intercalador 1313 puede reducir un error de ráfaga.

El segundo codificador 1315 es un codificador interior, que realiza la segunda codificación con corrección de errores con respecto a la salida de datos del primer intercalador 1313. Por ejemplo, el segundo codificador 1315 puede codificar los datos intercalados por el primer intercalador 1313 mediante un esquema de codificación con corrección de errores LDPC.

El segundo codificador 1315 puede realizar reducción y penetración con respecto a los datos a ser codificados con corrección de errores, cuando se codifican los datos de entrada. Por ejemplo, dado que la cantidad de información de capa 1 e información de capa 2 es menor que aquella de los datos de la secuencia de transporte para transmitir

un servicio, se puede usar un código con una longitud corta. Por consiguiente, el segundo codificador 1315 puede realizar acortamiento y perforación desde un código madre con una tasa de código baja y sacar un código con corrección de errores con una longitud corta. Como el código madre, se puede usar un LDPC o un código de convolución.

5 El segundo codificador 1315 rellena de ceros (0) a un tamaño pequeño de bits de información (rellenado de ceros), de manera que el segundo codificador 1315 ajusta el número de bits de entrada para codificar LDPC (acortar). Después de la codificación LDPC, el segundo codificador 1315 elimina los ceros rellenos y realiza la perforación en una parte de la paridad generada de los datos de codificación para ajustarse a su tasa de bits.

10 El segundo intercalador 1317 es un intercalador interior, que realiza el intercalado de bits con respecto a los datos codificados por el segundo codificador 1315. El intercalador de bits se puede realizar mediante uno de los esquemas mostrados en las FIG. 20 a 28.

15 La FIG. 64 es una vista que muestra otra realización del aparato para recibir una señal. Esta realización es similar al aparato de recepción de señales mostrado en la FIG. 39. Por consiguiente, la realización del aparato de recepción de señales incluye un primer receptor de señales 210a, un receptor de señales de orden n 210n, un primer demodulador 220a, un demodulador de orden n 220n, un descodificador MIMO/MISO 230, un analizador sintáctico de tramas 240, un demodulador de descodificación 250 y un procesador de salida 260. La realización de este dibujo además incluye un descodificador de información (L1/L2) 2401 y un extractor de información (L1/L2) 2403.

20 El analizador sintáctico de tramas 240 puede analizar sintácticamente la trama de señal. El analizador sintáctico de tramas 240 puede analizar el preámbulo de la trama de señal que incluye la primera señal piloto y la segunda señal piloto. El analizador sintáctico de tramas 240 puede analizar sintácticamente el analizador sintáctico de tramas común.

25 El analizador sintáctico de tramas 240 saca la información de la capa 1 y la información de la capa 2 incluida en la segunda señal piloto y la PLP común al descodificador de información 2401. El descodificador de información 2401 descodifica la información de la capa 1 y la información de la capa 2. El ejemplo del descodificador de información 2401 se describirá en detalle más tarde. El extractor de información 2403 extrae la información de la capa descodificada de la capa 1 y la información de la capa 2 y saca la información de la capa 1 al analizador sintáctico de tramas 240 y a un controlador del sistema (no se muestra). El analizador sintáctico de tramas 240 puede comprobar la configuración de las PLP incluidas en la trama de señal usando la información de capa 1 extraída y saca una PLP seleccionada por un usuario de acuerdo con la información de la capa 1.

30 La FIG. 65 es una vista de una realización detallada de la información de la capa 1 y la información de la capa 2. Esta realización puede incluir un primer intercalador 2411, un primer descodificador 2413, un segundo intercalador 2415 y un segundo descodificador 2417.

35 El primer desintercalador 2411 realiza el intercalado interior con respecto a los datos de entrada que incluyen la información de capa 1 y la información de capa 2. El esquema de desintercalado del primer desintercalador 2411 se puede realizar mediante uno de los esquemas de intercalado de bits descrito con respecto a las FIG. 20 a 28.

El primer descodificador 2413 realiza la descodificación con corrección de errores con respecto a los datos desintercalados de acuerdo con un primer esquema de codificación de corrección de errores. En este caso, se pueden descodificar los datos que incluyen la información de capa 1 y la información de capa 2 acortada y perforada.

40 Por ejemplo, el primer descodificador 2413 realiza la desperforación con respecto a los bits de paridad de la salida de datos desde el primer desintercalador 2411. Además, el primer descodificador 2413 añade 0 a los datos desperforados y realiza la descodificación con corrección de errores. El primer descodificador 2413 elimina los 0 añadidos y saca los datos acortados.

45 El segundo desintercalador 2415 realiza el desintercalado con respecto a los datos descodificados con corrección de errores mediante el primer descodificador 2413, y el segundo descodificador 2417 realiza la descodificación con corrección de errores con respecto a la salida de datos desde el segundo desintercalador 2415 de acuerdo con un segundo esquema de codificación de corrección de errores. El segundo descodificador 2417 puede sacar los datos en bruto de la información de la capa 1 y la información de la capa 2.

50 Aunque, en la realización anteriormente descrita, la información de la capa 1 y la información de la capa 2 se codifican/descodifican con corrección de errores usando un esquema de acortamiento y el esquema de perforación, al menos una de la información de la capa 1 y la información de la capa 2 se pueden codificar/descodificar con corrección de errores. Por ejemplo, el esquema de acortamiento y el esquema de perforación se pueden usar con respecto solamente a la información de la capa 1. En este caso, las realizaciones de las FIG. 63 y 65 se pueden emplear con respecto solamente a la información de la capa 1. Las realizaciones de las FIG. 6 y 49 se pueden emplear con respecto solamente a la información de la capa 1, y viceversa.

55

La FIG. 66 es un diagrama de flujo que ilustra un método para transmitir y recibir una señal. A continuación, se describirá la realización de procesamiento de la información de la capa 1. Sin embargo, la información de la capa 2 se puede transmitir en un estado de estar dispuesta en la PLP común similar a esta realización. A continuación, se describirá en detalle una realización de descodificación y codificación de la información de la capa 1.

5 La información de la capa 1 que se insertará en una trama de señal se genera (S501). La información de la capa 1 puede incluir información sobre la configuración de la PLP de la trama de señal e información para identificar la trama de señal. La información sobre la configuración de la PLP puede incluir información sobre las PLP incluidas en una supertrama incluida en una pluralidad de tramas de señal e información sobre las tramas de señal de la supertrama. La PLP puede ser una unidad en la cual las secuencias de transporte se codifican y modulan individualmente para transmitir las secuencias de transporte. La PLP se puede asignar a al menos un canal de RF de la trama de señal o a una pluralidad de tramas de señal.

10 La información de la capa 1 se codifica usando un esquema de codificación de corrección de errores que incluye el esquema de acortamiento y el esquema de perforación (S503). Dado que el tamaño de la información de la capa 1 que se insertará en la trama de señal es pequeña, la información de la capa 1 se puede codificar usando un esquema de codificación de corrección de errores de acuerdo con un modo corto de un esquema de codificación de corrección de errores tal como un esquema de codificación LDPC.

Los bits de la información de la capa 1 codificados con corrección de errores se intercalan (S505).

20 Como la codificación de corrección de errores, se puede realizar el primer proceso de codificación de corrección de errores o el segundo proceso de codificación de corrección de errores. Entonces, se realiza el primer intercalado después de que la primera codificación de corrección de errores y el segundo intercalado se realiza después de la segunda codificación de corrección de errores. Como la segunda codificación de corrección de errores, se puede usar un esquema de codificación de corrección de errores LDPC.

25 Por ejemplo, el segundo paso de codificación de corrección de errores se realiza añadiendo 0 a los datos de entrada para comprobar un número de datos de entrada (acortamiento). Después de la segunda codificación de corrección de errores, se perfora una parte de los bits de paridad generados y se ajusta la tasa de código del segundo esquema de codificación de corrección de errores (perforación).

Los bits de intercalado de la información de la capa 1 se disponen en un preámbulo de la trama de señal y las PLP se disponen en la trama de señal (S507). La trama de señal puede incluir las PLP que se transmitirán a través de al menos un canal de RF.

30 La trama de señal se modula y transmite a través de al menos un canal de RF (S509).

Si se recibe la señal, se recibe la trama de señal transmitida en una banda de RF que incluye al menos un canal de RF desde un primer canal de RF (S511).

La trama de señal de la señal recibida se demodula (S513).

35 El preámbulo de la trama de señal que incluye la información de la capa 1 se analiza sintácticamente, y la información de la capa 1 se saca (S515).

Los bits de la información de la capa 1 se desintercalan (S517).

40 Los bits desintercalados se descodifican usando un esquema de descodificación con corrección de errores que incluye el esquema de acortamiento y el esquema de perforación (S519). En este paso, por ejemplo, los bits desintercalados se desperforan y se añade 0 de acuerdo con el esquema de codificación de corrección de errores. Los datos a los cuales se añade 0 se descodifican con corrección de errores y el 0 añadido se elimina.

La trama de señal se analiza sintácticamente usando la información de la capa 1 descodificada con corrección de errores y las PLP se obtienen a partir de la trama de señal (S521).

45 Mediante este proceso, dado que la codificación de corrección de errores se realiza con respecto al preámbulo de la trama de señal mediante la cual no se puede obtener una ganancia de diversidad, es posible corregir un error de la información incluido en el preámbulo. Por consiguiente, es posible mejorar el rendimiento de recepción de la información incluida en el preámbulo preciso.

A continuación, se describirá una realización de manera eficiente que usa un preámbulo de una trama de señal.

50 La FIG. 67 es una vista que muestra una estructura de un preámbulo de una trama de señal. El preámbulo de la trama de señal incluye una primera señal piloto P1 y una segunda señal piloto P2. La trama de señal puede incluir los símbolos de datos que incluyen al menos una PLP. La primera señal piloto puede incluir información para identificar la trama de señal. La estructura de la primera señal piloto se describió anteriormente.

La segunda señal piloto puede incluir información de la capa 1. La información de la capa 1 puede incluir una señal de señalización previa de capa 1 (L1) y una señal de señalización posterior de capa 1 (L1). La señal de señalización previa de L1 puede incluir información para recibir y descodificar la señal de señalización posterior de L1 (por ejemplo, información sobre el método de modulación y el tamaño de la señal de señalización de L1).

- 5 La señal de señalización posterior de L1 puede incluir información sobre la planificación de PLP. Por ejemplo, la señal de señalización posterior de L1 incluye información que indica una ubicación en que se dispone cualquier PLP en la trama de señal. La información sobre la señal de señalización posterior de L1 se describirá en detalle más tarde.

- 10 La segunda señal piloto puede incluir una región de datos establecida por la información de la capa 1 y una región de datos restantes, la cual aquí dentro se llama una tercera región de datos (otros datos), en una región de información de la capa 1. La tercera región de datos puede incluir datos de relleno para hacer coincidir el tamaño variable de la información de la capa 1 establecido en un tamaño fijo o puede incluir una PLP para una transmisión de datos eficiente. Los contenidos relacionados con la misma se describirán en detalle más tarde.

- 15 La FIG. 68 es una vista que muestra una estructura de la segunda señal piloto P2. La segunda señal piloto incluye una señal de señalización previa de L1, una señal de señalización posterior de L1 y una tercera región de datos.

La señal de señalización posterior de L1 puede incluir una parte estática que es una variable de una trama general, una parte configurable que es una variable de una supertrama, y una parte dinámica que es una variable de una trama de señal.

La parte dinámica puede incluir la información siguiente.

- 20 Un campo `frame_id` indica un identificador de una trama de señal.

Un campo `notif_id` indica el tamaño de un mensaje de NOTIFICACIÓN si la trama de señal incluye el mensaje de NOTIFICACIÓN que indica un cambio de servicio y emergencia.

Un campo `NUM_PLP` indica el número de PLP incluidas en la trama de señal.

- 25 Un campo `PLP_LOOP` indica un bucle que incluye información detallada sobre las PLP de acuerdo con el número de PLP, por ejemplo, la información de ubicación de las PLP.

La información que se puede incluir en el campo `PLP_LOOP` se describirá ahora en detalle.

Un campo `CRC_32` indica un código de comprobación de redundancia cíclico para recibir la información de la capa 1 y realizar la descodificación con corrección de errores.

- 30 La tercera región de datos de la región de información de la capa 1 se puede rellenar de datos. Sin embargo, dado que la tercera región de datos de la información de la capa 1 es una región restante, si se añaden datos de relleno a la región restante, se puede disminuir una tasa de transmisión de datos. Alternativamente, la tercera región de datos se puede sobrecargar en la transmisión de datos.

Por consiguiente, se describirá ahora una realización de las PLP de transmisión en la tercera región de datos. Si las PLP se incluyen en la tercera región de datos, se describirá una realización de la señalización de las PLP.

- 35 Por ejemplo, la información de la capa 2 puede incluir información que describe un servicio entregado por una PLP incluida en la trama de señal (por ejemplo, la información de descripción de servicio tal como la información PSI/SI). La información de la capa 2 se puede incluir en todas las tramas de señal como una PLP común. Esta PLP se puede llamar una PLP común (PLP0).

- 40 La tercera región de datos de la información de la capa 1 puede transmitir la PLP común. Alternativamente, las secuencias de transporte para los servicios de transmisión están codificadas con corrección de errores individualmente y las PLP de datos asignadas a símbolos se pueden incluir en la tercera región de datos de la información de la capa 1.

- 45 La tercera región de datos de la información de la capa 1 puede incluir una PLP común o una PLP de datos. Si la PLP común entera o la PLP de datos no se puede incluir en la tercera región de datos, los datos consecutivos a la PLP común o la PLP de datos se ubica en una carga útil de la trama de señal.

Como se describió anteriormente, el `PLP_LOOP` puede incluir información de ubicación de las PLP en cada trama de señal si las PLP están ubicadas en al menos una trama de señal. En este momento, el orden de las PLP identificado en el bucle puede ser diferente del orden de las PLP dispuestas en la trama de señal.

- 50 El `PLP_LOOP` incluye identificadores PLP `PLP_ID` incluidos en la trama de señal que se identifica actualmente. Además, el `PLP_LOOP` puede incluir información de dirección inicial de la PLP `PLP_START` que indica las

ubicaciones iniciales de las PLP de la trama de señal con respecto a los identificadores de las PLP.

Por ejemplo, la dirección inicial de la PLP se puede representar mediante un número de celda (portadora) incluido en un símbolo OFDM. Si se señala la dirección de la PLP de datos o la PLP común incluida en la tercera región de datos, una ubicación inicial de la PLP común o la PLP de datos de los números de celda incluidos en un último símbolo OFDM de la tercera región de datos se puede señalar como la dirección inicial de la PLP.

Por consiguiente, si se transmite la tercera región de datos en la cual los datos de relleno se rellenan, una primera celda de una carga útil siempre llega a ser la dirección de inicio de la PLP. Sin embargo, si la PLP común o la PLP de datos se ubica en la tercera región de datos de la información de la capa 1, una primera celda de un último símbolo OFDM de la segunda señal piloto se puede ajustar a una dirección 0. Por consiguiente, si la PLP común o la PLP de datos se incluye en la tercera región de datos de la información de la capa 1, la ubicación de la PLP común o la PLP de datos se puede señalar como la dirección de inicio de la PLP de la parte dinámica de la señalización posterior de L1.

Como se describió anteriormente, dado que la señalización previa de L1 incluye información sobre el tamaño de la señalización posterior de L1, el receptor puede conocer una ubicación final de la señalización posterior de L1. El receptor puede saber la ubicación inicial de la PLP común o la PLP de datos consecutiva a la información de la capa 1 establecida usando la dirección inicial de la PLP PLP_START de la parte dinámica de la información de la capa 1. Por consiguiente, es posible transmitir de manera eficiente datos sin los datos de relleno en la segunda señal piloto.

El aparato para transmitir y recibir la segunda señal piloto se describirá con referencia a los dibujos anteriormente descritos.

Con referencia a la FIG. 62, el generador de información 1301 puede fijar el número de la celda que inicia la PLP de datos o la PLP común del número de celda del símbolo OFDM de la tercera región de datos en la dirección inicial de la PLP de la parte dinámica aplicada a la trama de señal de la segunda señal piloto.

Si la PLP ubicada en la tercera región de datos de la información de la capa 1 establecida es la PLP de datos, el analizador sintáctico de tramas 130 dispone al menos una salida de PLP desde el modulador de codificación 120 a ser ubicado en la tercera región de datos de la información de la capa 1.

Alternativamente, si la PLP ubicada en la tercera región de datos de la información de la capa 1 es la PLP común, el analizador sintáctico de tramas 130 dispone la salida de la PLP común desde el codificador de información 1303 en la tercera región de datos de la información de la capa 1 en la trama de señal.

Los moduladores 150a y 150r incluyen la PLP en la tercera región de datos de la segunda señal piloto y modulan la trama de señal incluyendo la dirección inicial de la PLP en la parte dinámica de la información de la capa 1.

Los procesadores analógicos 160a y 160r transmiten la trama modulada a través del canal de RF.

Los otros bloques incluidos en el aparato de transmisión se describieron anteriormente con referencia a las FIG. 4 y 62.

Con referencia a la FIG. 64, el analizador sintáctico de tramas 240 analiza sintácticamente la segunda señal piloto y saca la señal analizada sintácticamente al descodificador de información 2401. El descodificador de información 2401 descodifica la información de la capa 1 de la segunda señal piloto y obtiene la dirección inicial de la PLP de datos o la PLP común incluida en la tercera región de datos de la segunda señal piloto a partir de la parte dinámica de la información de la capa 1.

Si el extractor de información 2403 extrae la dirección inicial, el analizador sintáctico de tramas 240 analiza sintácticamente la PLP de datos o la PLP común incluida en la tercera región de datos de la información de la capa 1 a partir de la trama de señal. El demodulador de descodificación 250 descodifica la PLP de datos o la PLP común y saca la PLP descodificada como una información de descripción de servicio tal como la secuencia de transporte o PSI/SI.

La FIG. 69 es un diagrama de flujo que ilustra una realización de un método para transmitir y recibir una señal.

Una segunda señal piloto que incluye una tercera región de datos, la cual es una región restante de una región de información de la capa 1 en la que se asigna la información de la capa 1, se genera (S531). La parte dinámica de la información de la capa 1 de la segunda señal piloto, puede incluir una dirección inicial de la PLP de una PLP a ser incluida en la segunda señal piloto. Alternativamente, un tamaño de la señalización posterior de la capa 1 se puede fijar a la información de señalización previa de la capa 1 en la segunda señal piloto, y cuando se recibe la señal, un receptor puede buscar una dirección inicial de la PLP en la tercera región de datos usando el tamaño de la información de señalización posterior de la capa 1.

La segunda señal piloto generada se dispone en un preámbulo de una trama de señal y se dispone una PLP en la tercera región de datos y una región de símbolos de datos de la trama de señal (S533).

La trama de señal se modula y transmite a través al menos de un canal de RF (S535).

En caso de que un receptor reciba la señal de RF, una señal se recibe desde un canal de RF específico (S541).

La señal recibida se demodula (S543).

5 Una trama de señal de la señal recibida se analiza sintácticamente (S545). La información de la capa 1 incluye información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización previa y la información de señalización posterior incluye una dirección inicial de la PLP. La dirección inicial de la PLP es el número de una celda incluida en un último símbolo OFDM para la información de la capa 1.

10 La PLP ubicada en la tercera región de datos de la trama de señal se adquiere (S547). La PLP se obtiene usando al menos uno de un tamaño de la información de señalización posterior y una dirección inicial de la PLP.

Una secuencia de transporte se obtiene a partir de la PLP (S549).

Por consiguiente, dado que la PLP se transmite a través del preámbulo de la trama de señal, es posible usar de manera eficiente la trama de señal y señalar la ubicación de la PLP incluida en el preámbulo a través de la información de la capa 1 del preámbulo.

15 Será evidente a aquellos expertos en la técnica que se pueden hacer diversas modificaciones y variaciones en la presente invención sin apartarse del alcance de la invención. De esta manera, se pretende que la presente invención cubra las modificaciones y variaciones de esta invención a condición de que se encuentren dentro del alcance de las reivindicaciones adjuntas.

Modo para la invención

20 Las realizaciones de la invención se describen en el mejor modo de la invención.

Aplicabilidad industrial

Se puede usar un método para transmitir/recibir una señal y se puede usar un aparato para transmitir/recibir una señal de la presente invención en los campos de radiodifusión y comunicación.

REIVINDICACIONES

1. Un método para transmitir una señal, el método que comprende:

generar (S531) información de la capa 1, la información de la capa 1 para señalar los datos de Conducción de Capa Física, PLP, que entregan una secuencia de servicio;

5 codificar los datos de PLP mediante un esquema de codificación de código de comprobación de paridad de baja densidad LDPC;

10 formar (S533) una trama de señal que comprende una segunda señal piloto y una carga útil que incluye una primera parte de los datos de PLP codificados, en el que la segunda señal piloto incluye información de la capa 1, información de la capa 2, L2, la cual incluye información de servicio para describir un servicio de radiodifusión en los datos PLP codificados, y una segunda parte de los datos de PLP codificados;

modular (S535) la trama de señal e insertar una primera señal piloto que precede la segunda señal piloto en la trama de señal; y

15 transmitir la trama de señal a través de al menos un canal de radiofrecuencia, (RF), en el que la primera señal piloto tiene información para un tamaño de una transformada rápida de Fourier, FFT, para los datos de PLP codificados,

caracterizado porque

la información de la capa 1 se codifica usando un esquema de codificación de corrección de errores que incluye un esquema de reducción y un esquema de penetración, en el que la información de la capa 1 codificada está intercalada por bits; y

20 la primera señal piloto, P1, incluye una parte útil, un prefijo cíclico obtenido desplazando en frecuencia una primera parte de la parte útil, y un sufijo cíclico obtenido desplazando en frecuencia una segunda parte de la parte útil.

25 2. El método de acuerdo con la reivindicación 1, en el que la información de capa 1 incluye una información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización posterior y la información de señalización posterior incluye una dirección inicial de los datos de la PLP.

3. El método de acuerdo con la reivindicación 2, en el que la dirección inicial de los datos de la PLP se obtienen usando el tamaño de la información de señalización posterior.

30 4. El método de acuerdo con cualquiera de las reivindicaciones 1 a 3, en el que la información de la capa 1 se asigna en la segunda señal piloto y la segunda parte de los datos de la PLP se asignan en una parte restante en la segunda señal piloto después de que se asigna la información de la capa 1.

5. Un método para recibir una señal, el método que comprende:

35 recibir (S541) una señal transmitida desde un canal de radiofrecuencia, (RF), específica, en el que la señal transporta una trama de señal que comprende una primera señal piloto, una segunda señal piloto y una parte de los datos de Conducción de Capa Física, PLP, en el que la primera señal piloto, P1, tiene información para un tamaño de una transformada rápida de Fourier, FFT, para los datos de PLP y en el que la segunda señal piloto incluye información de capa 1, información de capa 2 y una segunda parte de los datos de PLP, en el que la información de la capa 1 señala los datos de PLP, la información de la capa 2, L2, incluye información de servicio para describir un servicio de radiodifusión en los datos de PLP y los datos de PLP entregan una secuencia de servicio,

40 la primera señal piloto, P1, incluye una parte útil, un prefijo cíclico obtenido desplazando la frecuencia de una primera parte de la parte útil, y un sufijo cíclico obtenido desplazando en frecuencia una segunda parte de la parte útil,

45 la información de capa 1 son datos codificados usando un esquema de codificación de corrección de errores que incluye un esquema de reducción y un esquema de penetración;

en el que el método además comprende:

detectar la primera señal piloto P1,

demodular (S543) la señal recibida;

analizar sintácticamente (S545) la trama de señal de la señal demodulada;

desintercalar la información de la capa 1 y descodificar la información de la capa 1 desintercalada mediante un esquema de descodificación de corrección de errores de acuerdo con el esquema de reducción y el esquema de penetración; y

5 obtener (S547) los datos de PLP a partir de la trama de señal; y

descodificar los datos de PLP mediante un esquema de descodificación LDPC.

6. El método de acuerdo con la reivindicación 5, en el que la información de la capa 1 incluye información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización posterior y la información de señalización posterior incluye una dirección inicial de la PLP.

7. El método de la reivindicación 6, en el que la PLP se obtiene usando al menos uno de un tamaño de la información de señalización posterior y la dirección inicial de los datos PLP.

8. El método de acuerdo con la reivindicación 7, en el que la dirección inicial de los datos de PLP es el número de una celda incluida en un último símbolo de OFDM para la información de capa 1.

9. El método de acuerdo con cualquiera de las reivindicaciones 5 a 8, en el que la información de capa 1 se asigna en la segunda señal piloto y la segunda parte de los datos de PLP se asignan en una parte restante en la segunda señal piloto después de que se asigna la información de la capa 1.

10. Un aparato para transmitir una señal, el aparato que comprende:

20 un generador de información (1301) configurado para generar la información de capa 1, la información de la capa 1 para señalar los datos de la Conducción de Capa Física, PLP, que entrega una secuencia de servicio;

un primer codificador (1303) configurado para codificar la información de capa 1 usando un esquema de codificación de corrección de errores que incluye un esquema de reducción y un esquema de penetración, en el que la información de capa 1 se intercala por bits.

25 un segundo codificador (120) configurado para codificar los datos de PLP mediante un esquema de codificación de código de comprobación de paridad de baja densidad LDPC;

30 un formador de tramas (130) configurado para formar una trama de señal que comprende una segunda señal piloto y una carga útil que incluye una primera parte de los datos de PLP codificados, en el que la segunda señal piloto incluye la información de capa 1 de bit intercalado, la información de capa 2, L2, la cual incluye información de servicio para describir un servicio de radiodifusión en los datos de PLP codificados, y una segunda parte de los datos de PLP codificados;

35 un modulador (150a, 150r) configurado para modular la trama de señal e insertar una primera señal piloto precediendo la segunda señal piloto en la trama de señal, en el que la primera señal piloto, P1, incluye una parte útil, un prefijo cíclico obtenido desplazando en frecuencia una primera parte de la parte útil, y un sufijo cíclico obtenido desplazando en frecuencia una segunda parte de la parte útil; y

una unidad de transmisión (160a, 160r) configurada para transmitir la trama de señal modulada a través de al menos un canal de radiofrecuencia, (RF), en el que la primera señal piloto tiene información para un tamaño de una transformada rápida de Fourier, FFT, para los datos de PLP codificados.

40 11. El aparato de acuerdo con la reivindicación 10, en el que la información de capa 1 incluye información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización posterior y la información de señalización posterior incluye una dirección inicial de los datos de PLP.

12. Un aparato para recibir una señal, el aparato que comprende:

45 un receptor (210a, 210n) configurado para recibir una señal transmitida desde un canal de radiofrecuencia, (RF), específico, en el que la señal transporta una trama de señal que comprende una primera señal piloto, una segunda señal piloto y una primera parte de los datos de la Conducción de Capa Física, PLP, en el que la primera señal piloto, P1, tiene información para un tamaño de una transformada rápida de Fourier, FFT, para los datos de PLP y en el que la segunda señal piloto incluye información de capa 1, información de capa 2 y una segunda parte de los datos de PLP, en el que la información de capa 1 señala los datos de PLP, la información de capa 2, L2, incluye información de servicio para describir un servicio de radiodifusión en los datos de PLP y los datos de PLP entregan una secuencia de servicio, y en el que la primera señal

piloto, P1, incluye una parte útil, un prefijo cíclico obtenido desplazando en frecuencia una primera parte de la parte útil, y un sufijo cíclico obtenido desplazando en frecuencia una segunda parte de la parte útil,

en el que la información de la capa 1 son datos codificados usando un esquema de codificación de corrección de errores que incluye un esquema de reducción y un esquema de penetración;

5 un demodulador (220a, 220n) configurado para demodular la señal recibida;

un desintercalador configurado para desintercalar la información de la capa 1;

un primer descodificador (2401) configurado para descodificar la información de capa 1 desintercalada mediante un esquema de descodificación de corrección de errores de acuerdo con el esquema de reducción y el esquema de penetración;

10 un analizador sintáctico (240) configurado para analizar sintácticamente la trama de señal de la señal demodulada; y obtener los datos de PLP a partir de la trama de señal; y

un segundo descodificador (250) configurado para descodificar los datos de PLP mediante un esquema de descodificación LDPC.

15 13. El aparato de acuerdo con la reivindicación 12, en el que la información de capa 1 incluye información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización posterior y la información de señalización posterior incluye una dirección inicial de los datos de PLP.

20 14. El aparato de acuerdo con la reivindicación 13, en el que el analizador sintáctico se configura además para obtener la PLP usando al menos uno del tamaño de información de señalización posterior y la dirección inicial de los datos de PLP.

15. El aparato de acuerdo con la reivindicación 14, en el que la información de capa 1 se asigna en la segunda señal piloto y la segunda parte de los datos de PLP se asignan en una parte restante en la segunda señal piloto después de que se asigna la información de la capa 1.

FIG. 1

	RF 1	RF 2	RF 3	RF 4
	17	12	7	Servicio 2
	16	11	6	Servicio 2
	15	10	5	Servicio 1
	14	9	4	Servicio 1
	13	8	Servicio 3	Servicio 1
	12	7	Servicio 2	17
	11	6	Servicio 2	16
	10	5	Servicio 1	15
	9	4	Servicio 1	14
	8	Servicio 3	Servicio 1	13
	7	Servicio 2	17	12
	6	Servicio 2	16	11
	5	Servicio 1	15	10
	4	Servicio 1	14	9
	Servicio 3	Servicio 1	13	8
	Servicio 2	17	12	7
	Servicio 2	16	11	6
	Servicio 1	15	10	5
	Servicio 1	14	9	4
	Servicio 1	13	8	Servicio 3
	P2	P2	P2	P2
	P1	P1	P1	P1

Tiempo
(no a escala)

↑

FIG. 2

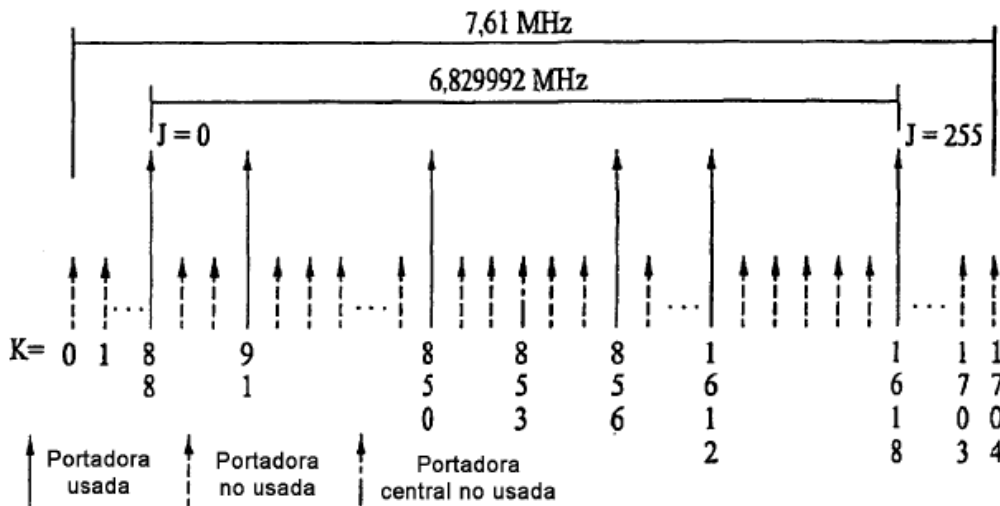


FIG. 3

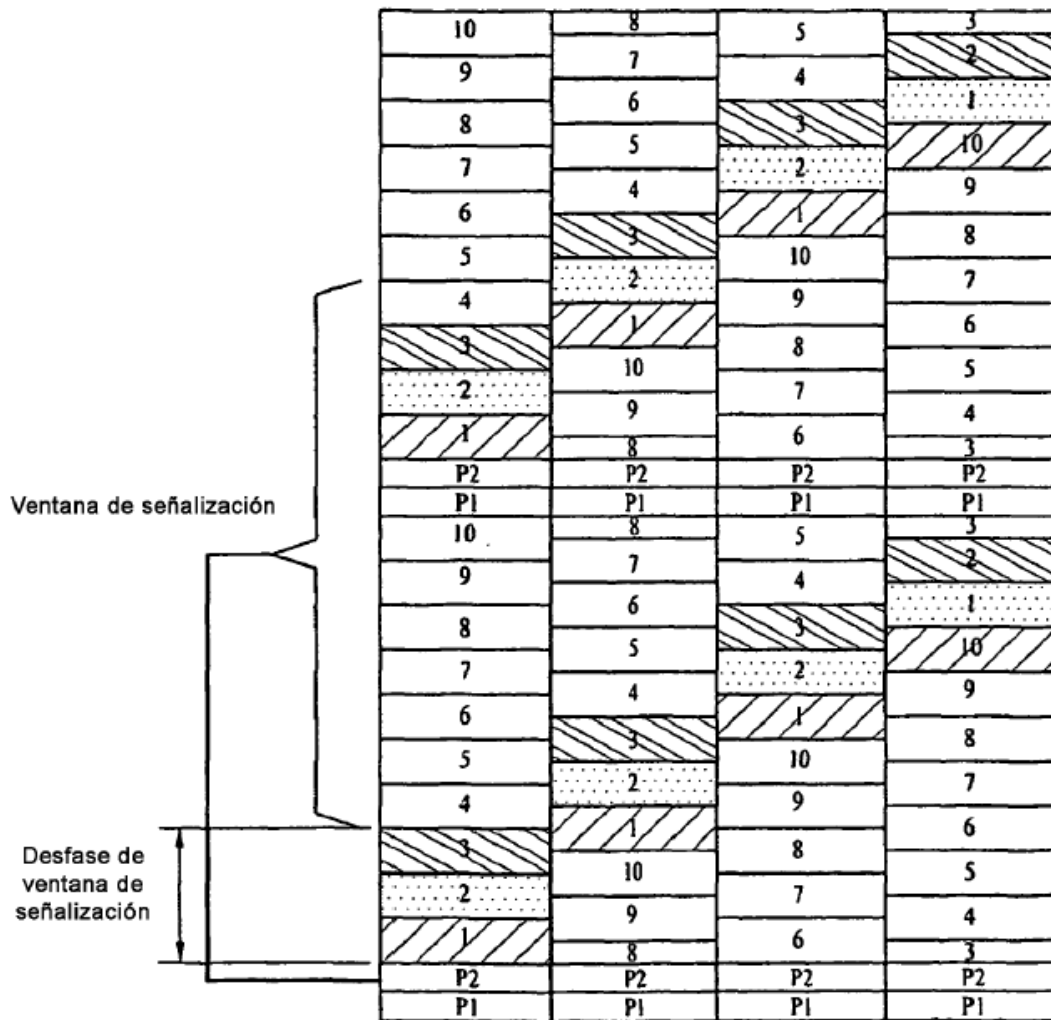


FIG. 4

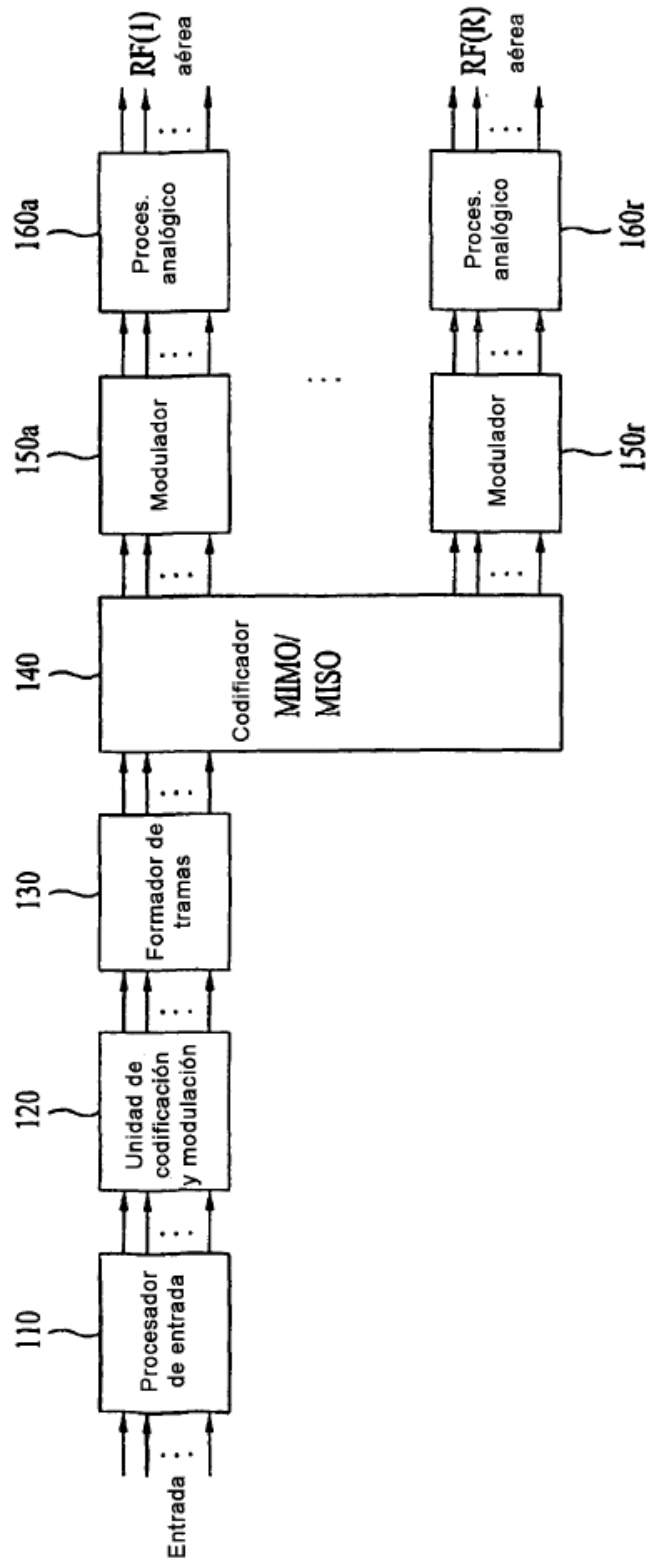


FIG. 5

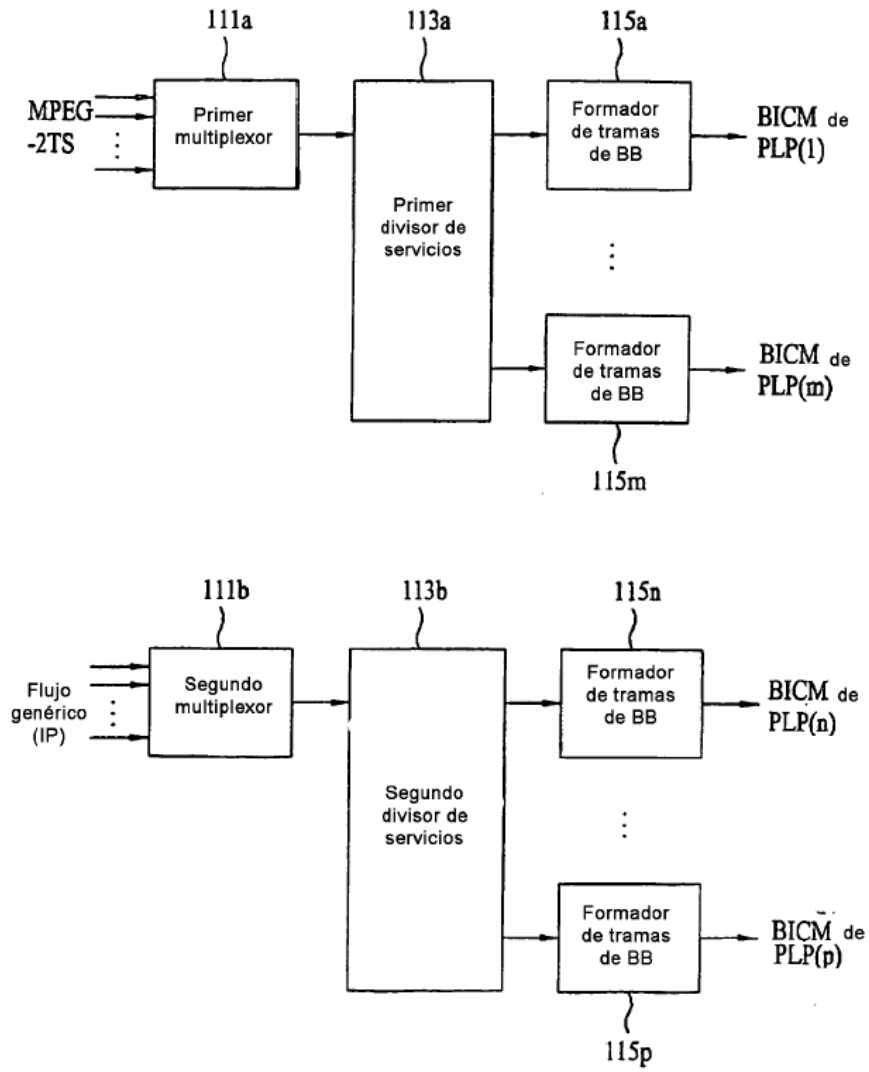


FIG. 6

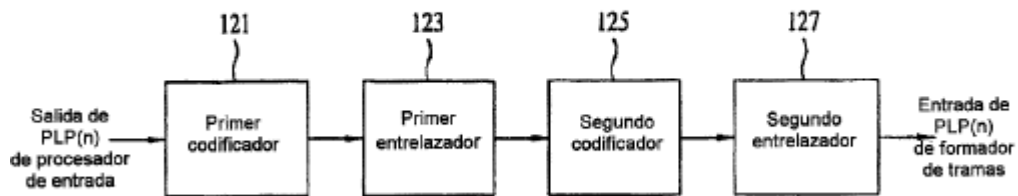


FIG. 7

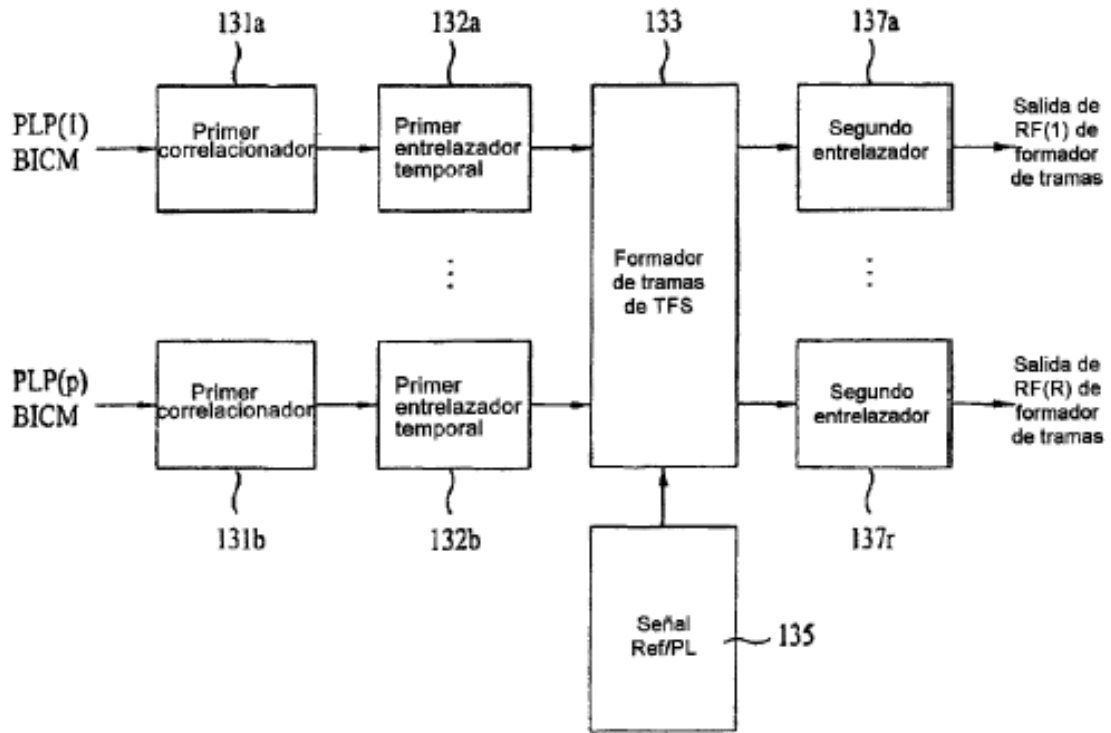


FIG. 8

bits/celda (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bits/celda
256-QAM	1	64800	0	8100	0	8100	8
Hyb 128-QAM	3/5	38880	25920	4860	4320	9180	7,0588
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1	64800	0	16200	0	16200	4
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2

FIG. 9

bit/celda (exp.)	Relación HOQ	Bits HOQ	Bits LOQ	Símbolos HOQ	Símbolos LOQ	Total símbolos	bit/celda
256-QAM	1	16200	0	2025	0	2025	8
Hyb 128-QAM	3/5	9720	6480	1215	1080	2295	7,0588
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1	16200	0	4050	0	4050	4
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2

FIG. 10

bits/celda (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bits/celda
256-QAM	8/9	57600	7200	7200	1200	8400	7,714285714
Hyb 128-QAM	4/9	28800	36000	3600	6000	9600	6,75
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	5/9	36000	28800	6000	7200	13200	4,909090909
16-QAM	1/9	7200	57600	1200	14400	15600	4,153846154
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
GCD						1200	

FIG. 11

bit/celda (exp.)	Relación HOQ	Bits HOQ	Bits LOQ	Simbolos HOQ	Simbolos LOQ	Total simbolos	bit/celda
256-QAM	4/5	51840	12960	6480	2160	8640	7,5
Hyb 128-QAM	8/15	34560	30240	4320	5040	9360	6,923076923
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1/15	4320	60480	720	15120	15840	4,090909091
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
						GCD	720

FIG. 12

bit/celda (exp.)	Relación: HOQ	Bits HOQ	Bits LOQ	Símbolos HOQ	Símbolos LOQ	Total símbolos	bit/celda
256-QAM	44/45	63360	1440	7920	240	8160	7,941176471
Hyb 128-QAM	28/45	40320	24480	5040	4080	9120	7,105263158
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1/15	4320	60480	720	15120	15840	4,090909091
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
GCD						240	

FIG. 13

bit/celda (exp.)	Relación HOQ	Bits HOQ	Bits LOQ	Símbolos HOQ	Símbolos LOQ	Total símbolos	bit/celda
256-QAM	8/9	14400	1800	1800	300	2100	7,714285714
Hyb 128-QAM	4/9	7200	9000	900	1500	2400	6,75
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	5/9	9000	7200	1500	1800	3300	4,909090909
16-QAM	1/9	1800	14400	300	3600	3900	4,153846154
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
					GCD	300	

FIG. 14

bit/celda (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Simbolos totales	bit/celda
256-QAM	4/5	12960	3240	1620	540	2160	7,5
Hyb 128-QAM	8/15	8640	7560	1080	1260	2340	6,923076923
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1/15	1080	15120	180	3780	3960	4,090909091
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
					GCD	180	

FIG. 15

bit/celda (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/celda
256-QAM	44/45	15840	360	1980	60	2040	7,941176471
Hyb 128-QAM	28/45	10080	6120	1260	1020	2280	7,105263158
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1/15	1080	15120	180	3780	3960	4,090909091
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
						GCD	60

FIG. 16

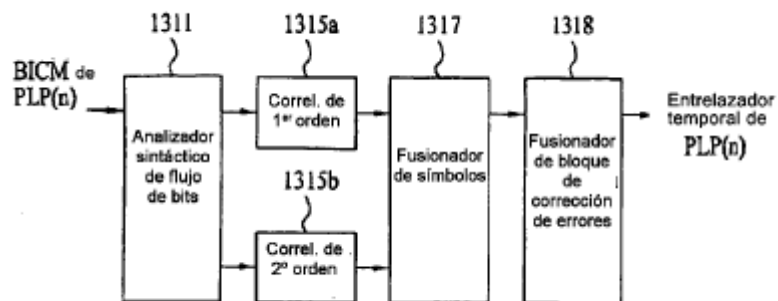


FIG. 17

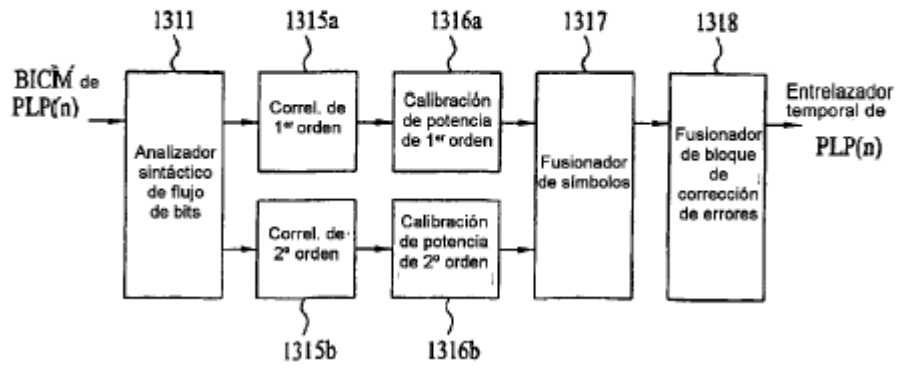


FIG. 18

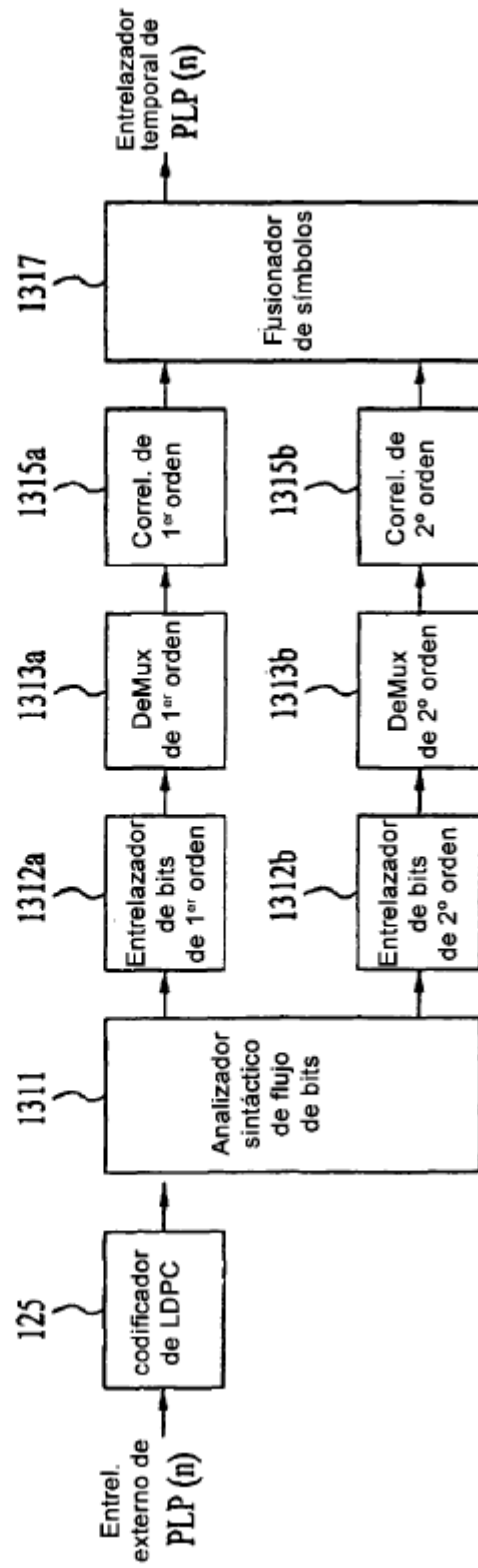


FIG. 19

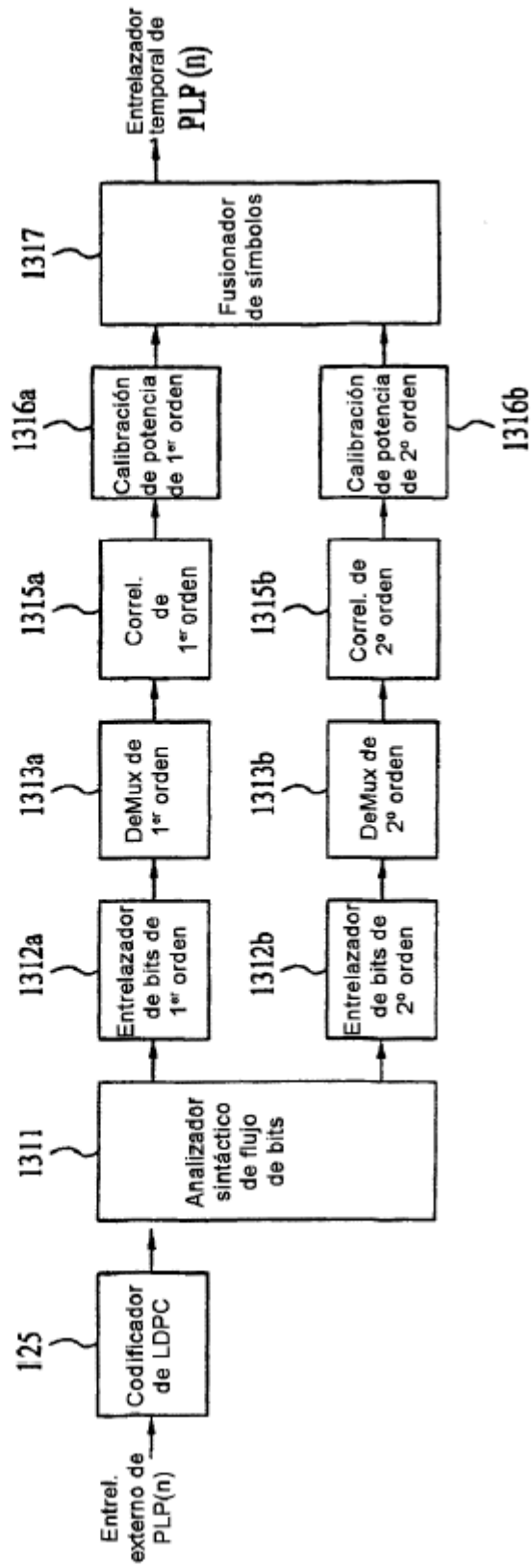
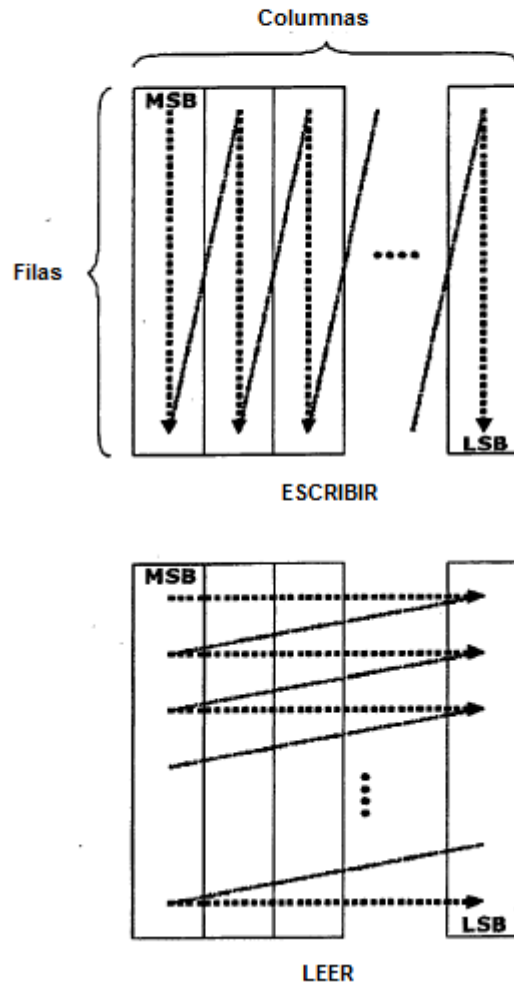
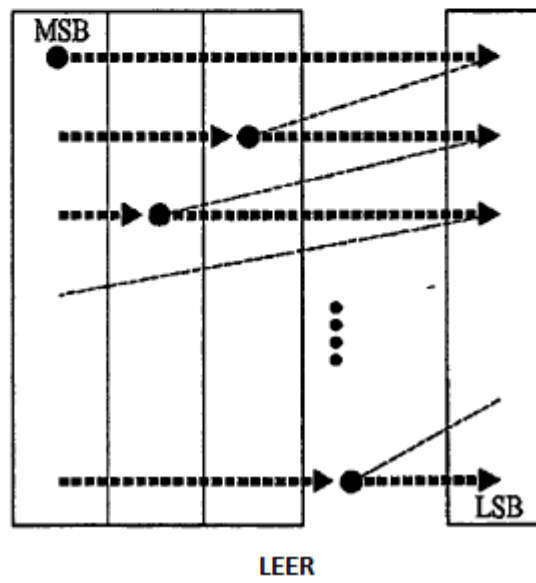
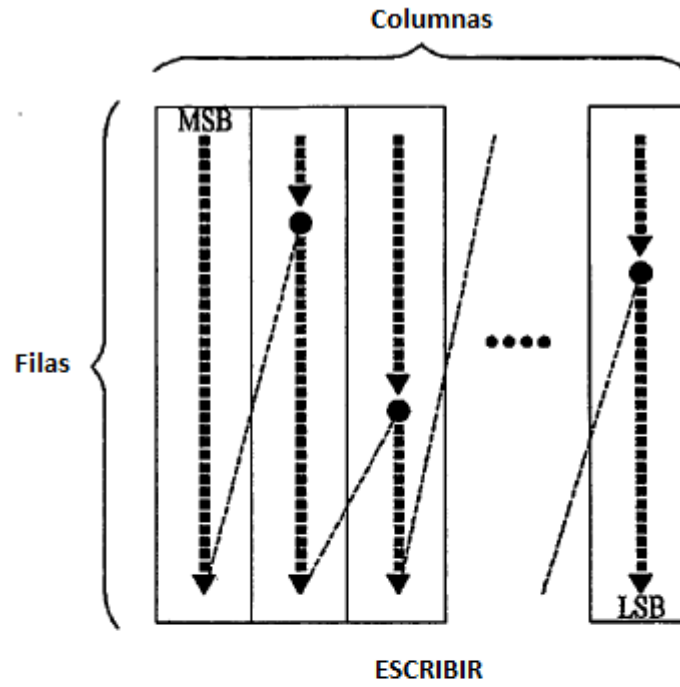


FIG. 20



[Fig. 21]



[Fig. 22]

QAM	nCol	Col 1	Col 2	Col 3	Col 4	Col 5	Col 6	Col 7	Col 8
QPSK	2	0	2	-	-	-	-	-	-
16QAM	4	0	2	4	7	-	-	-	-
64QAM	6	0	2	5	9	10	13	-	-
256QAM	8	0	0	2	4	4	5	7	7

[Fig. 23]

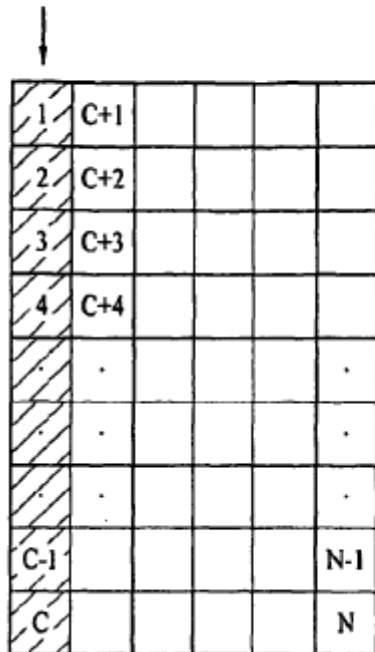
Tipo QAM	Filas HOQ	Columnas HOQ	Filas LOQ	Columnas LOQ
256-QAM	8100	8		
Hyb 128-QAM	4860	8	4320	6
64-QAM	10800	6		
Hyb 32-QAM	6480	6	6480	4
16-QAM	16200	4		
Hyb 8-QAM	10800	4	10800	2
4-QAM	32400	2		

FIG. 24

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	2025	8		
Hyb 128-QAM	1215	8	1080	6
64-QAM	2700	6		
Hyb 32-QAM	1620	6	1620	4
16-QAM	4050	4		
Hyb 8-QAM	2700	4	2700	2
4-QAM	8100	2		

FIG. 25

ESCRIBIR



LEER

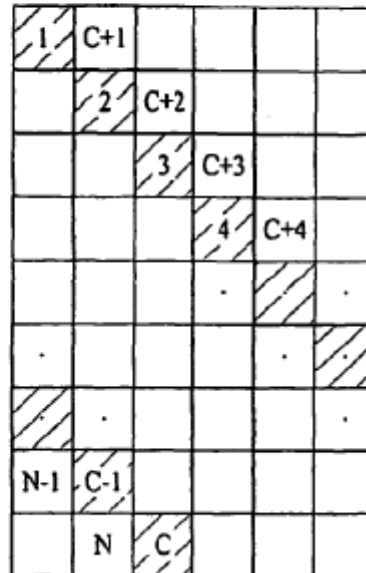


FIG. 26

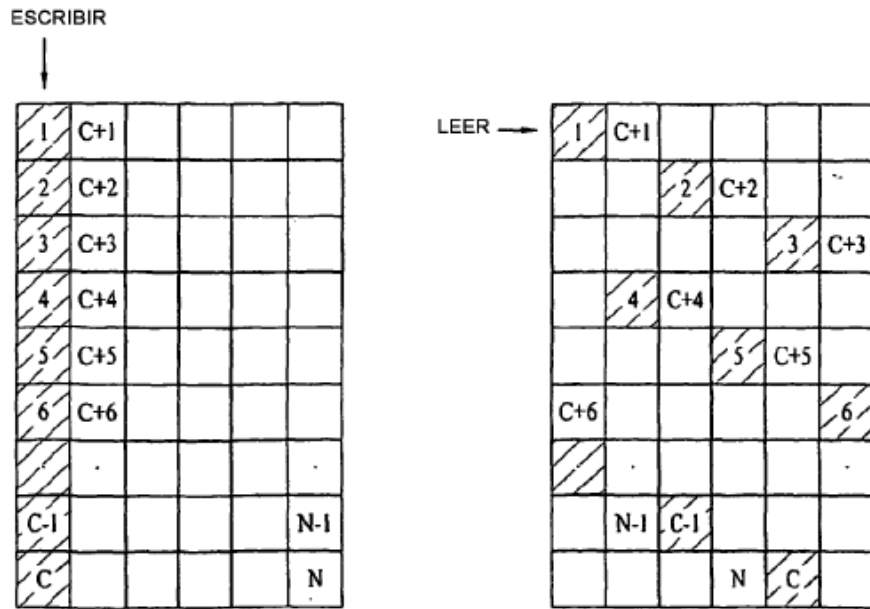


FIG. 27

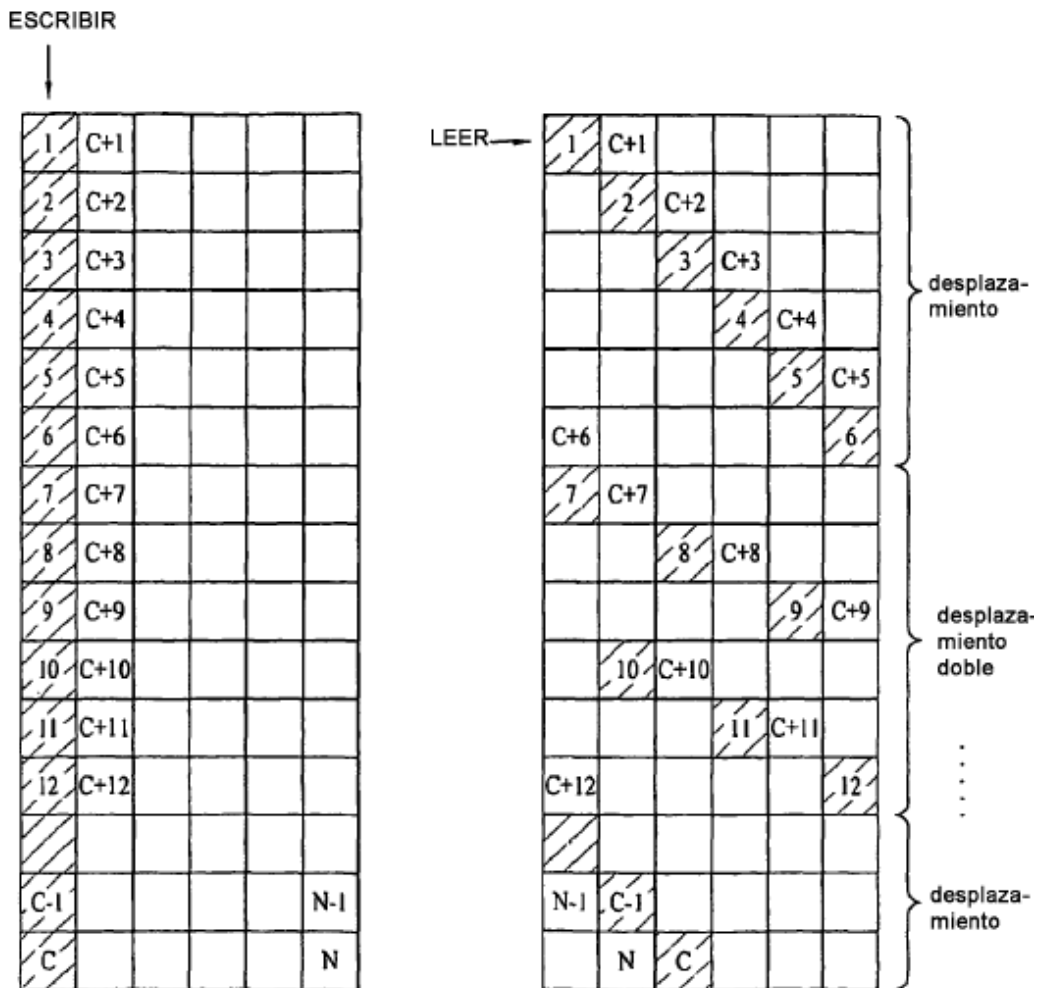


FIG. 28

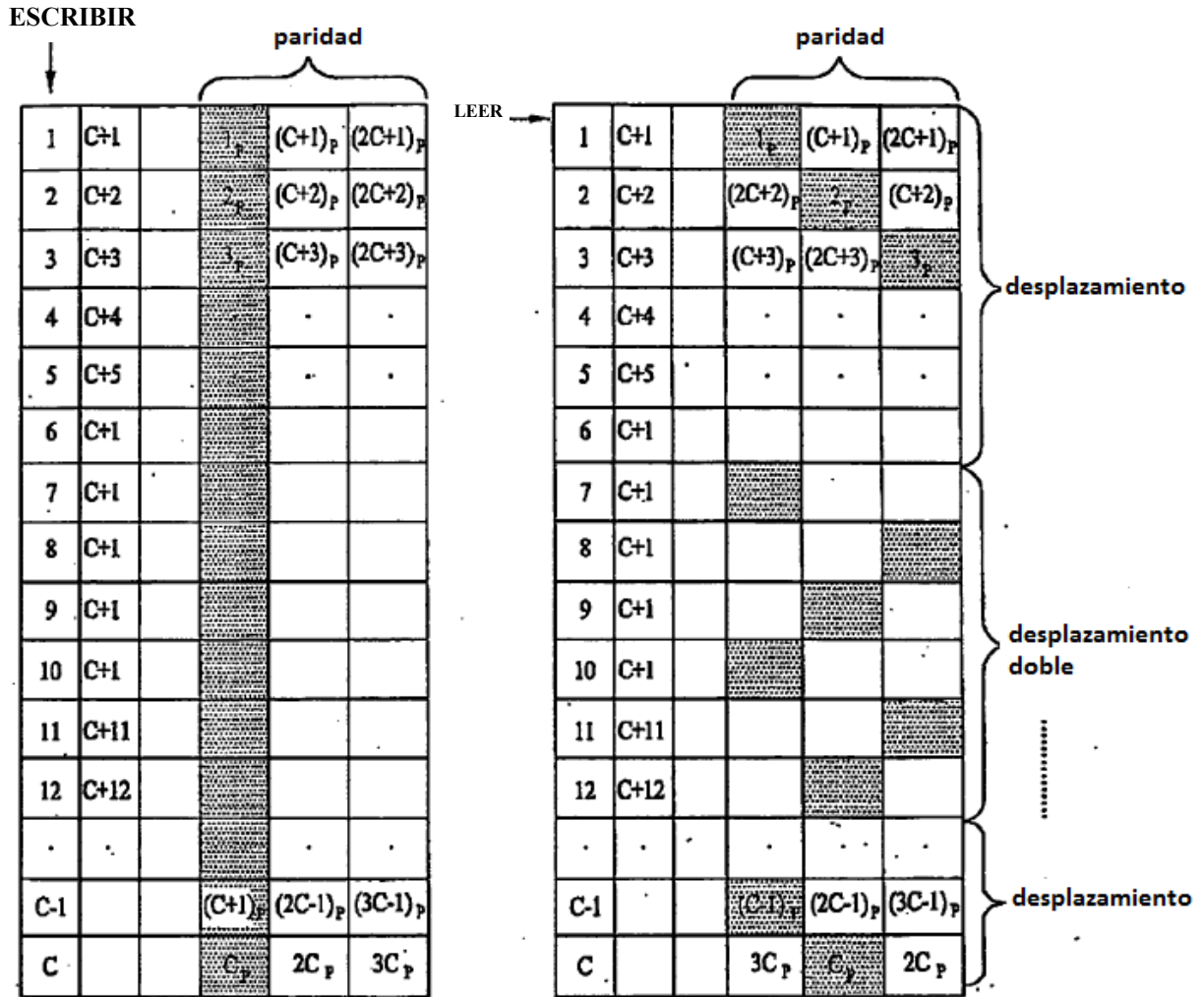


FIG. 29

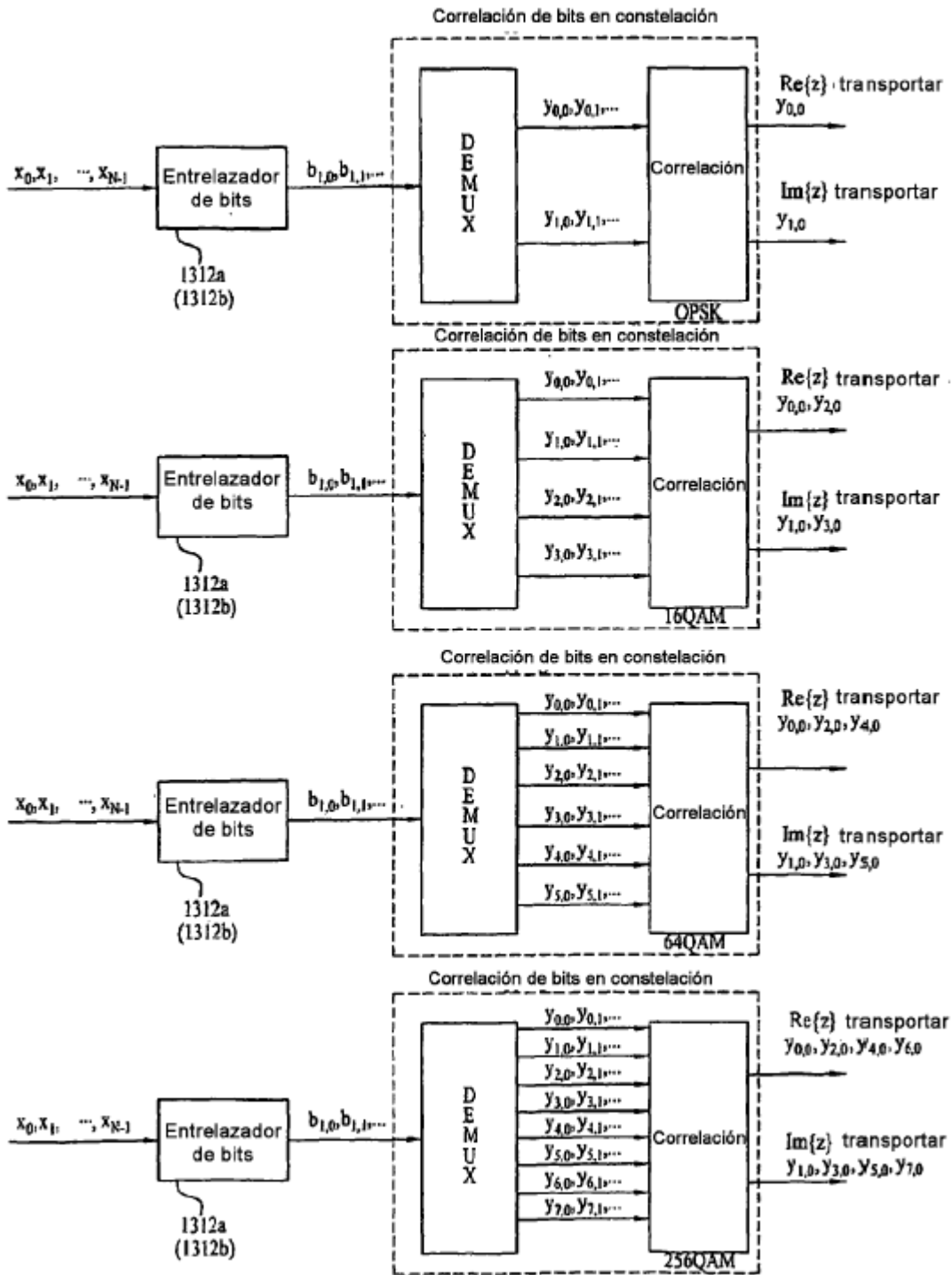


FIG. 30

QPSK
b 0 r asigna a y0,0 b 0 asigna a y1,0

16-QAM
b 0 asigna a y2,0 b 1 asigna a y3,0 b 2 asigna a y0,0 b 3 asigna a y1,0

64-QAM
b 0 asigna a y4,0 b 1 asigna a y5,0 b 2 asigna a y2,0 b 3 asigna a y3,0 b 4 asigna a y0,0 b 5 asigna a y1,0

256-QAM
b 0 asigna a y6,0 b 1 asigna a y7,0 b 2 asigna a y4,0 b 3 asigna a y5,0 b 4 asigna a y2,0 b 5 asigna a y3,0 b 6 asigna a y0,0 b 7 asigna a y1,0

FIG. 32

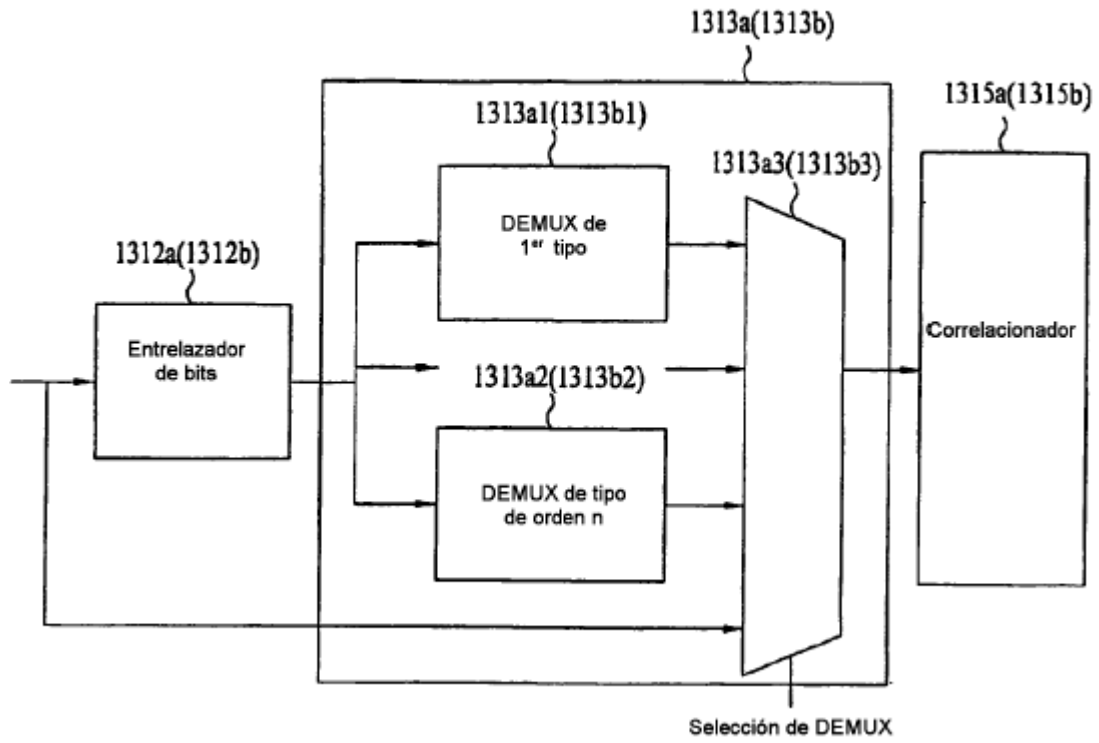


FIG. 33

qam	cr	selección DEMUX
4-qam	1/4	todos
	1/3	todos
	2/5	todos
	1/2	todos
	3/5	todos
	2/3	todos
	3/4	todos
	4/5	todos
	5/6	todos
	8/9	todos
9/10	todos	
16-qam	1/4	No entrel., no demux
	1/3	No entrel., no demux
	2/5	No entrel., no demux
	1/2	No entrel., no demux
	3/5	9, 10 ó 12
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
64-qam	1/4	No entrel., no demux
	1/3	No entrel., no demux
	2/5	No entrel., no demux
	1/2	No entrel., no demux
	3/5	9, ó 10
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
256-qam	1/4	No entrel., no demux
	1/3	No entrel., no demux
	2/5	No entrel., no demux
	1/2	No entrel., no demux
	3/5	9
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	

[Fig. 34]

$$\text{QPSK} : i = 0, 1, 2, \dots, \frac{N}{2} - 1,$$

$$(y_{0,j}, y_{0,j}) = (x_i, x_{N/2+i}),$$

$$16\text{-QAM} : i = 0, 1, 2, \dots, \frac{N}{4} - 1,$$

$$(y_{0,j}, y_{0,j}, y_{2,j}, y_{3,j}) = \left\{ x_{\frac{2N}{4}+i}, x_{\frac{3N}{4}+i}, x_i, x_{\frac{N}{4}+i} \right\}$$

$$64\text{-QAM} : i = 0, 1, 2, \dots, \frac{N}{6} - 1,$$

$$(y_{0,j}, y_{0,j}, y_{2,j}, y_{3,j}, y_{4,j}, y_{5,j}) = \left\{ x_{\frac{4N}{6}+i}, x_{\frac{5N}{6}+i}, x_{\frac{2N}{6}+i}, x_{\frac{3N}{6}+i}, x_i, x_{\frac{N}{6}+i} \right\}$$

$$256\text{-QAM} : i = 0, 1, 2, \dots, \frac{N}{8} - 1,$$

$$(y_{0,j}, y_{0,j}, y_{2,j}, y_{3,j}, y_{4,j}, y_{5,j}, y_{6,j}, y_{7,j}) = \left\{ x_{\frac{6N}{8}+i}, x_{\frac{7N}{8}+i}, x_{\frac{4N}{8}+i}, x_{\frac{5N}{8}+i}, x_{\frac{2N}{8}+i}, x_{\frac{3N}{8}+i}, x_i, x_{\frac{N}{8}+i} \right\}$$

FIG. 35

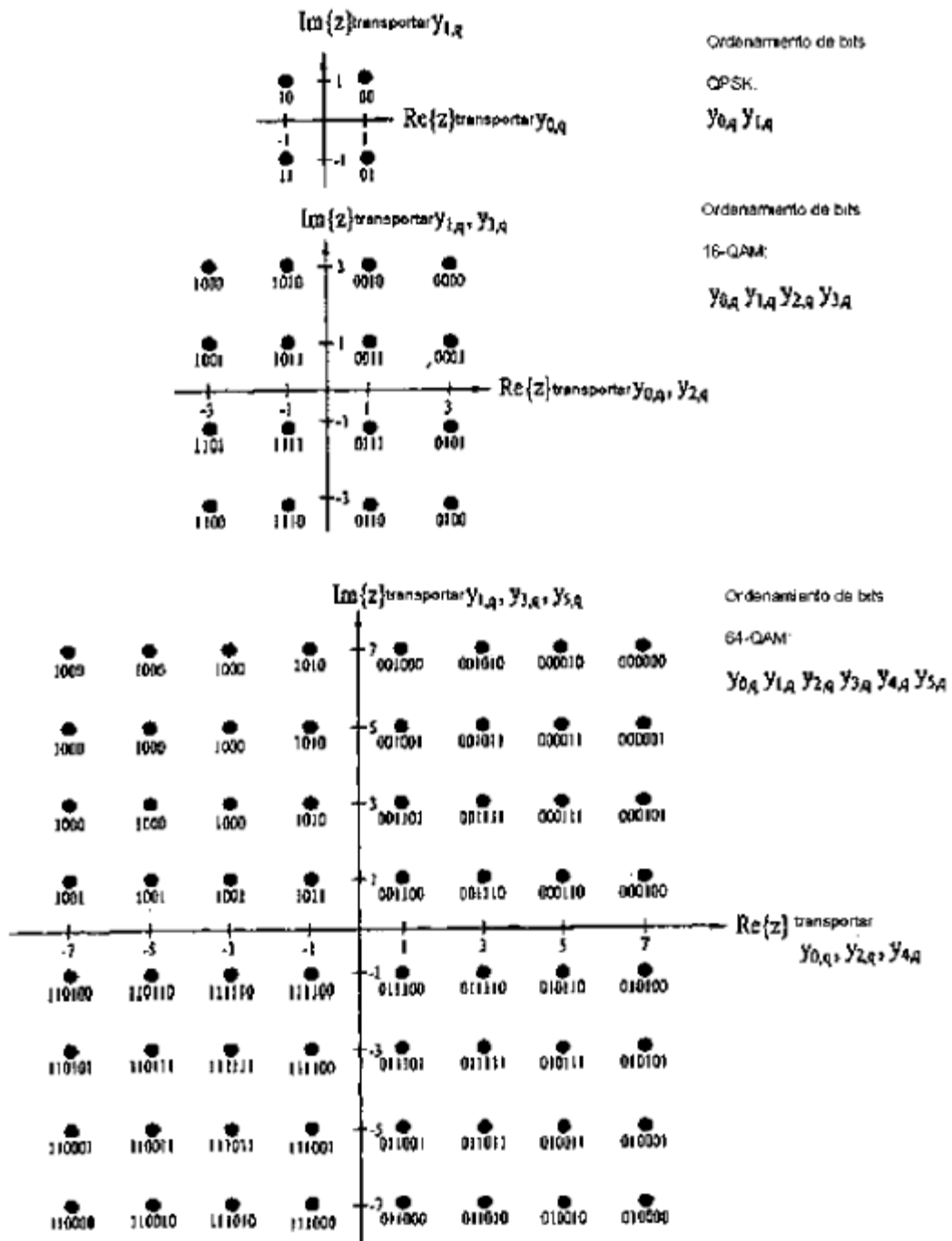


FIG 36

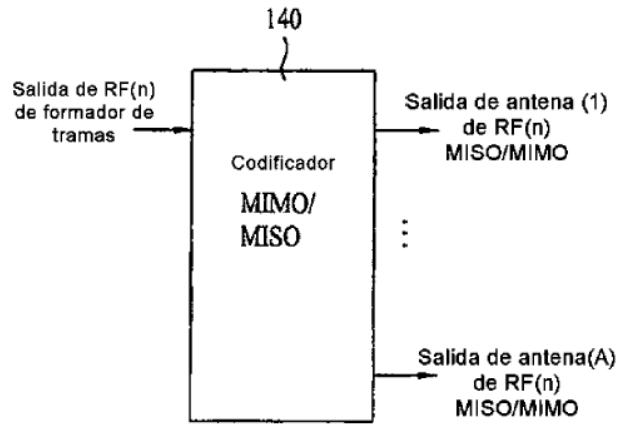


FIG. 37

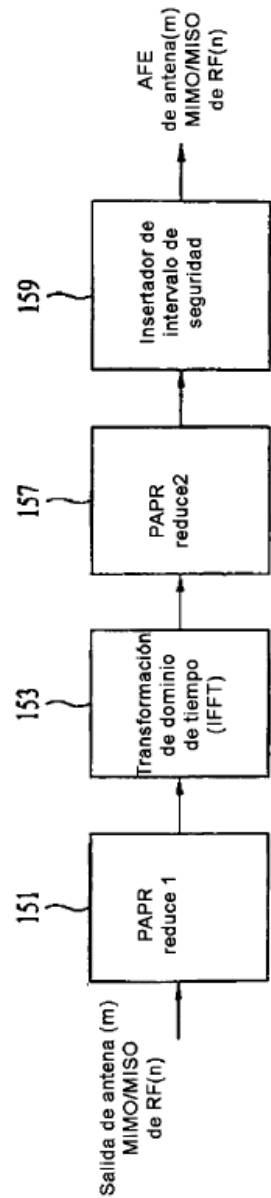


FIG. 38

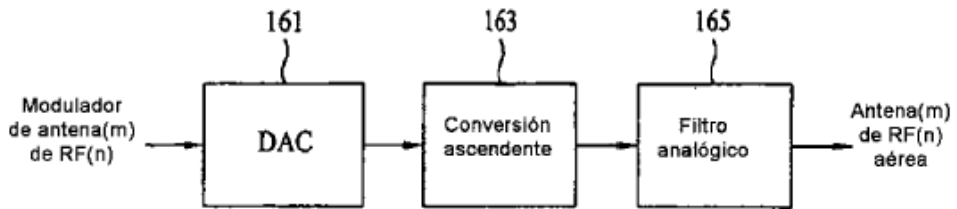


FIG. 39

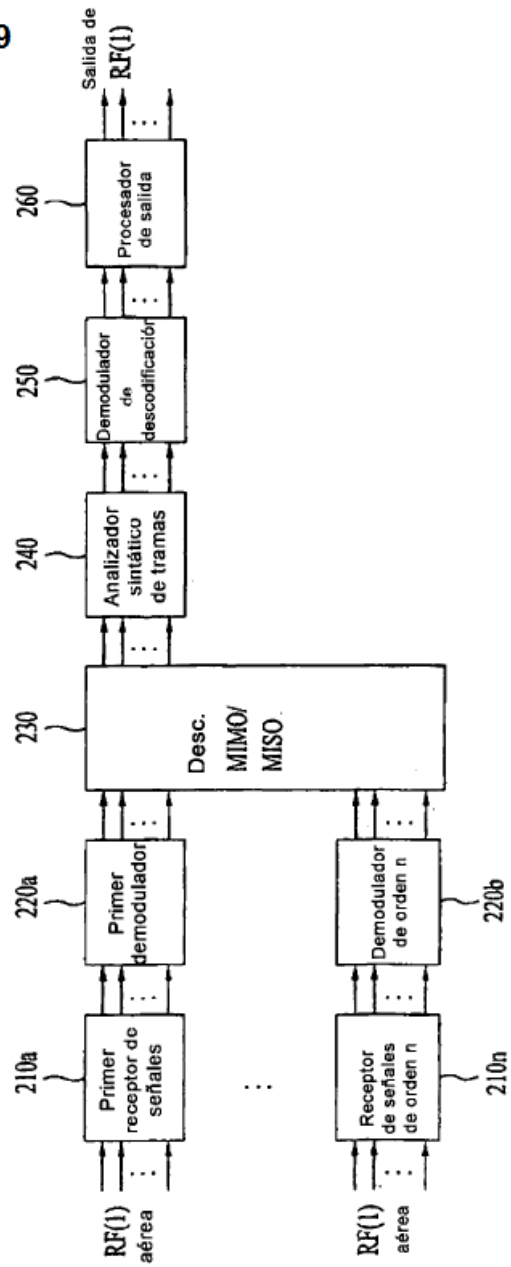


FIG. 40

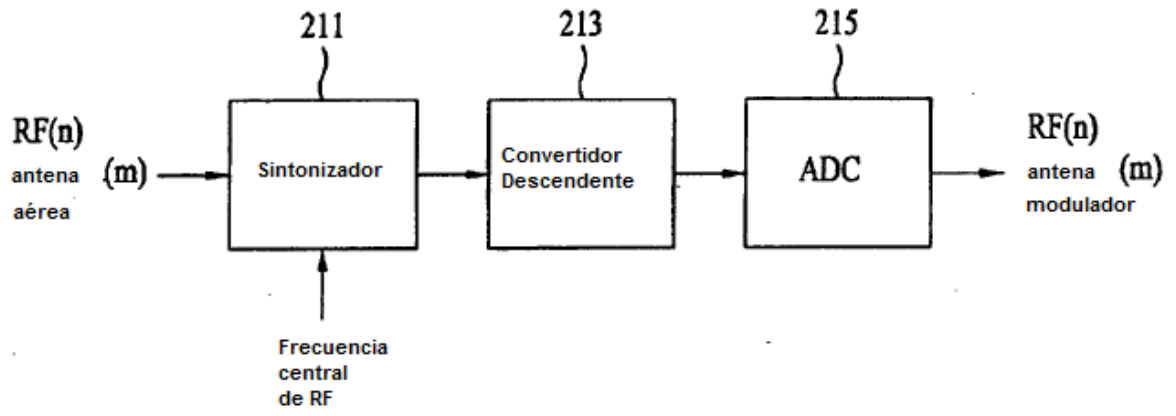


FIG. 41

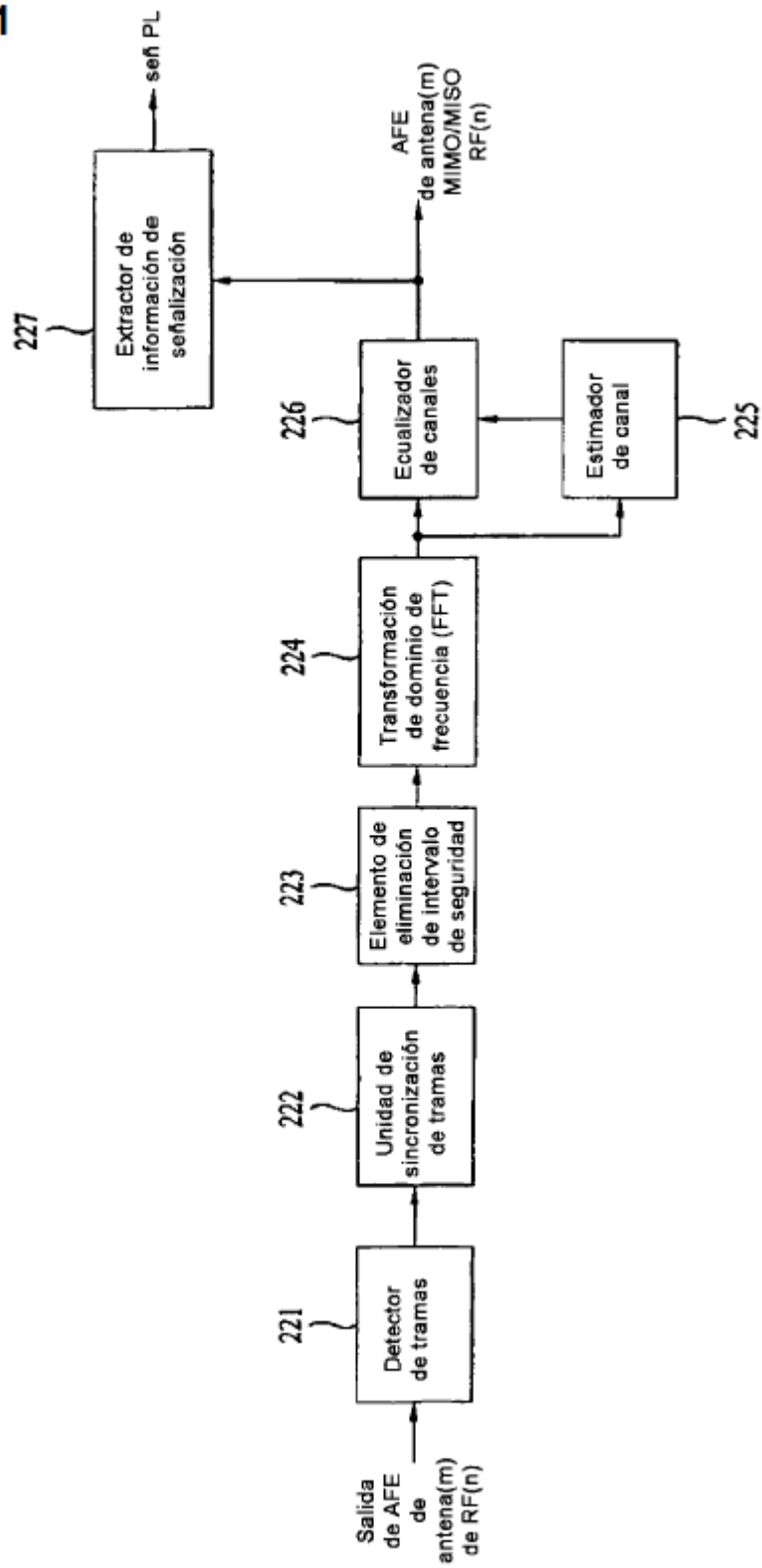


FIG. 42

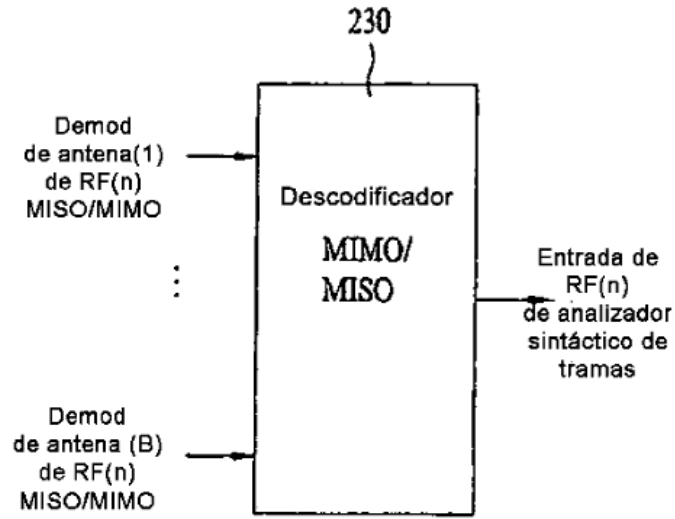


FIG. 43

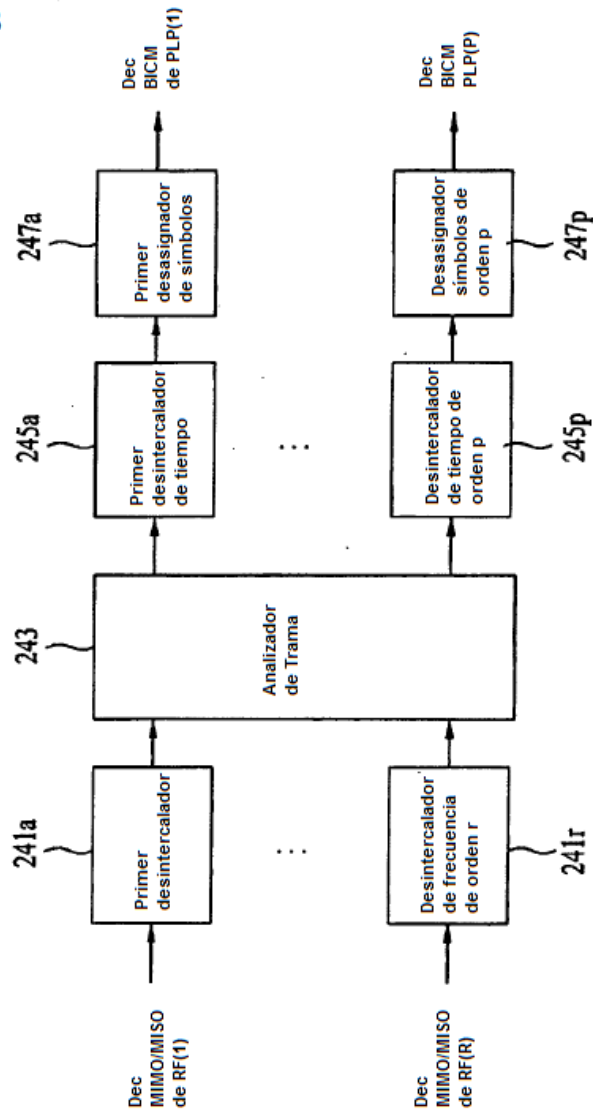


FIG. 44

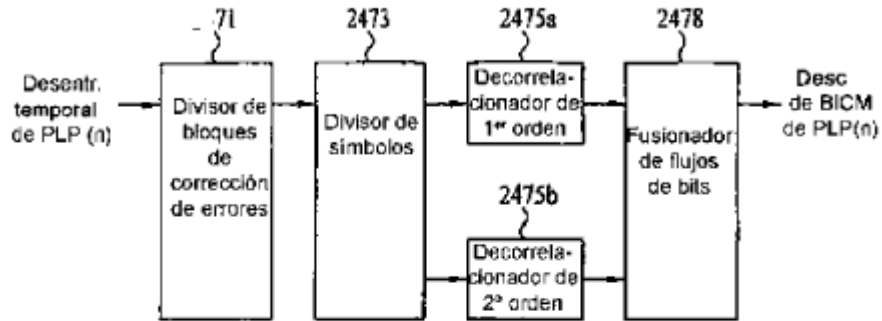


FIG. 45

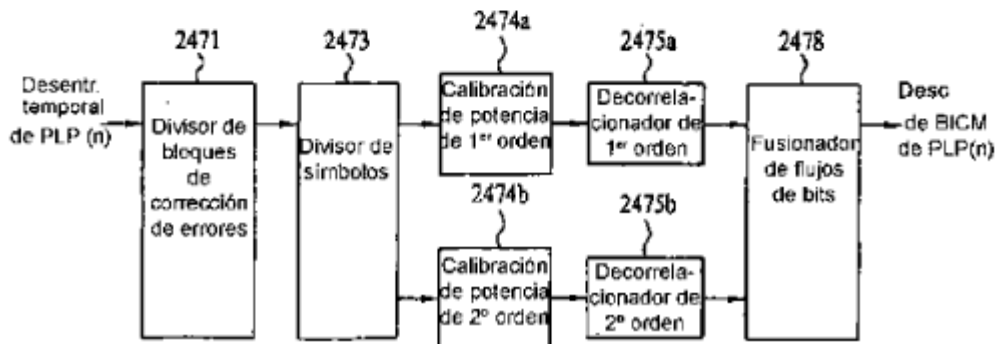


FIG. 46

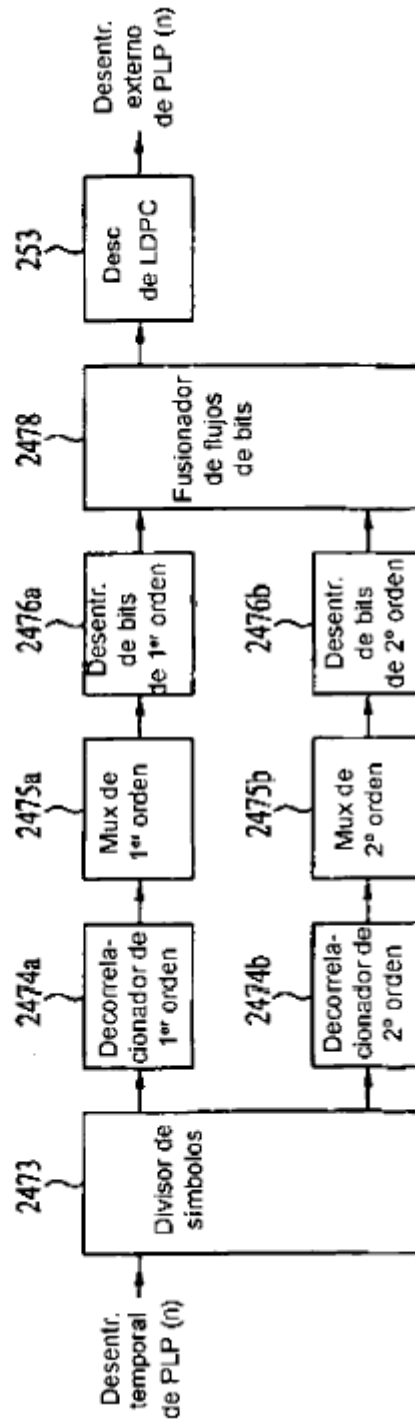


FIG. 47

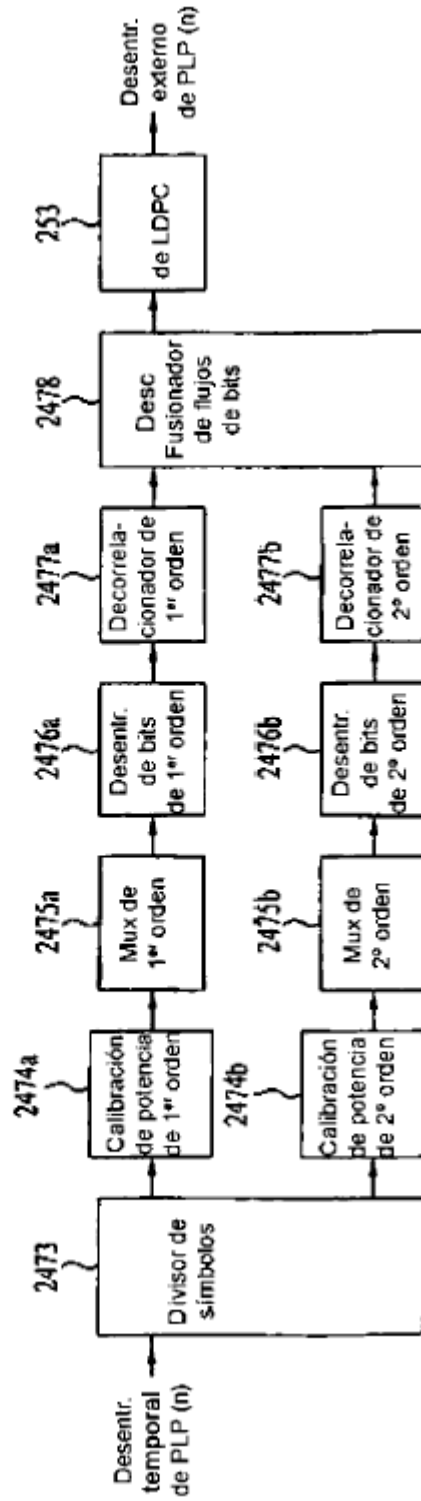


FIG. 48

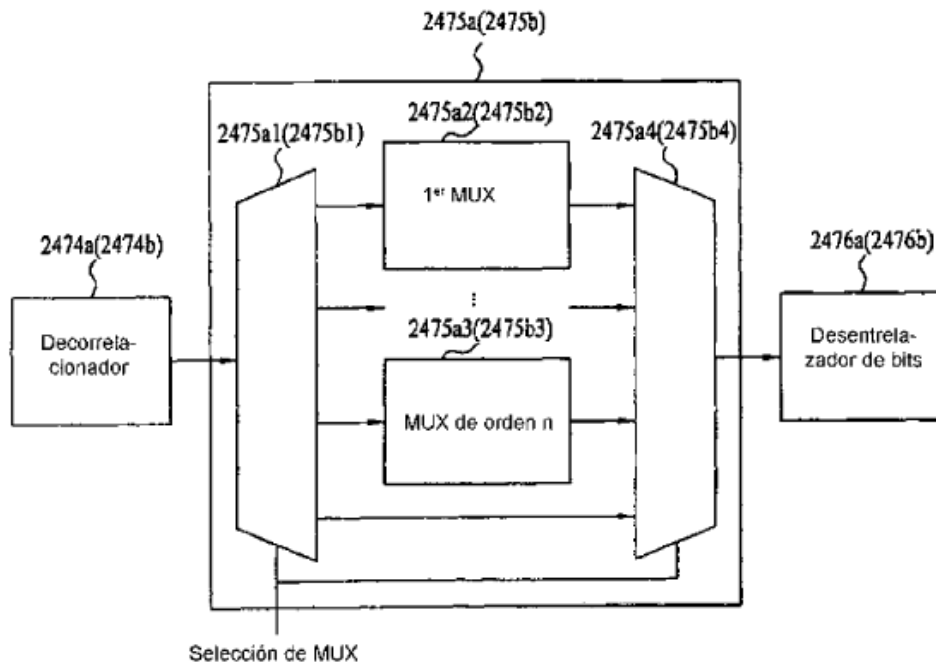


FIG. 49

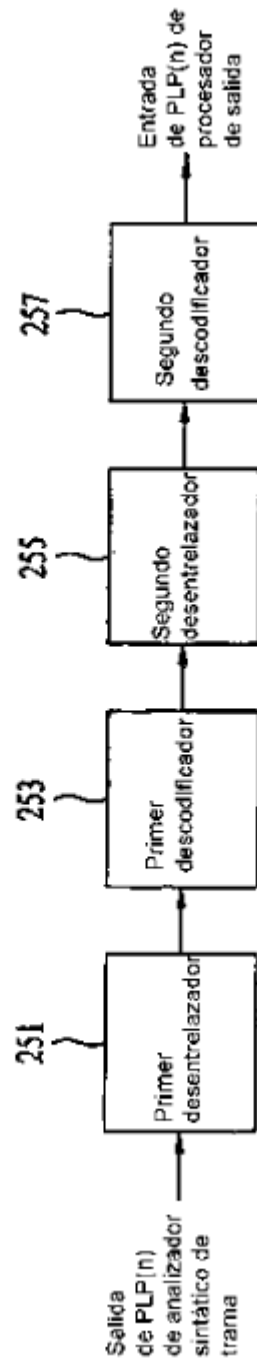


FIG. 50

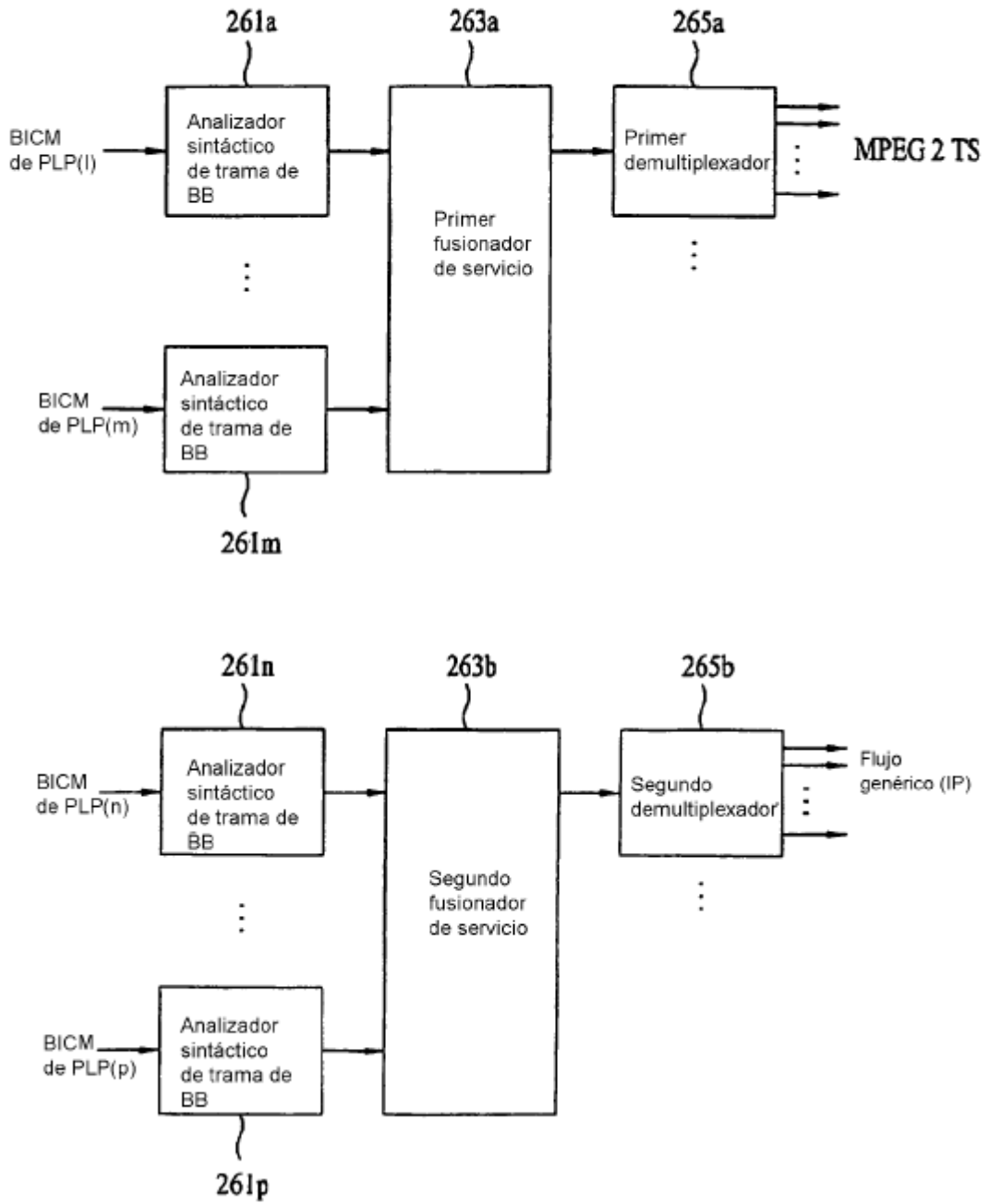


FIG. 51

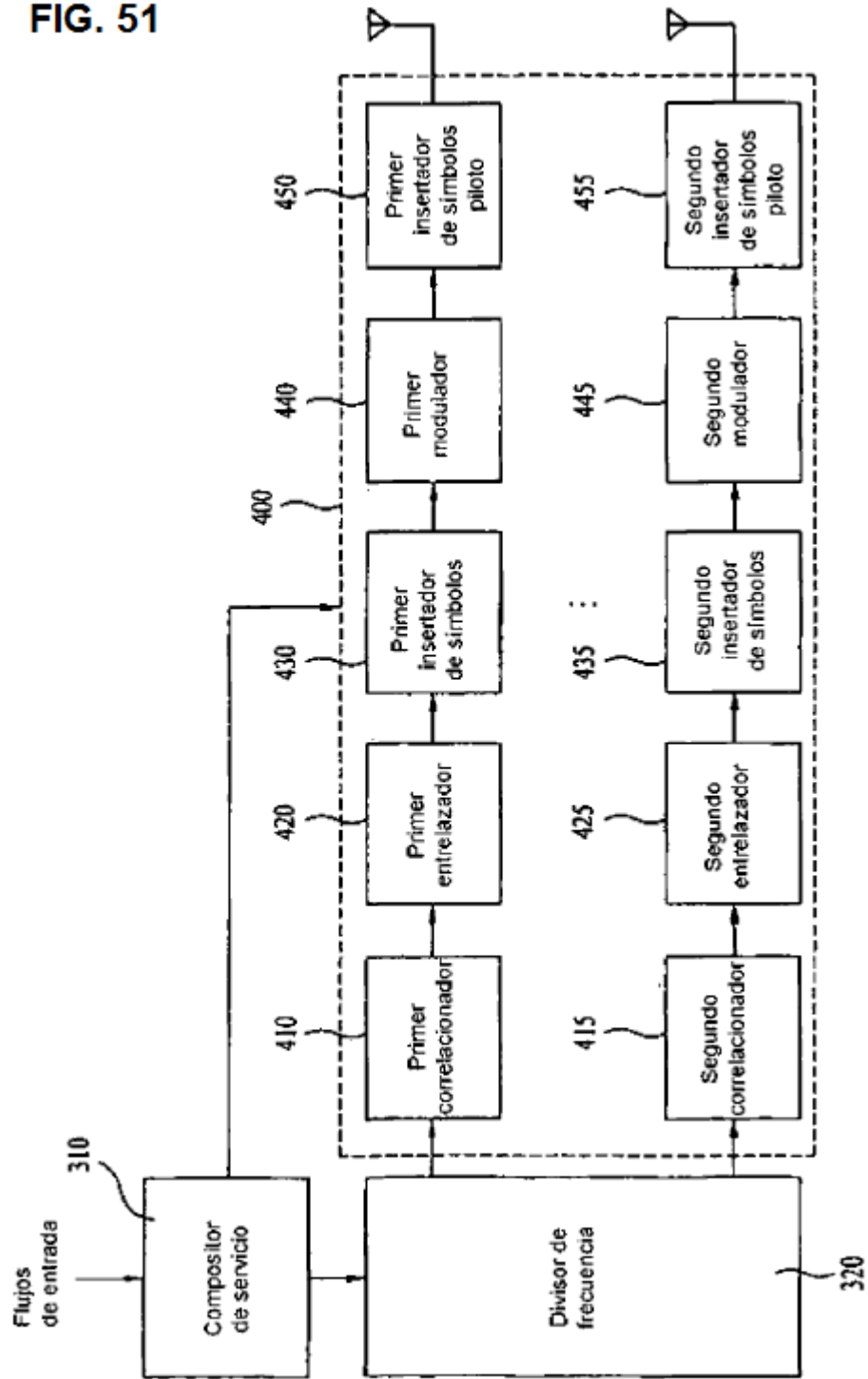


FIG. 52

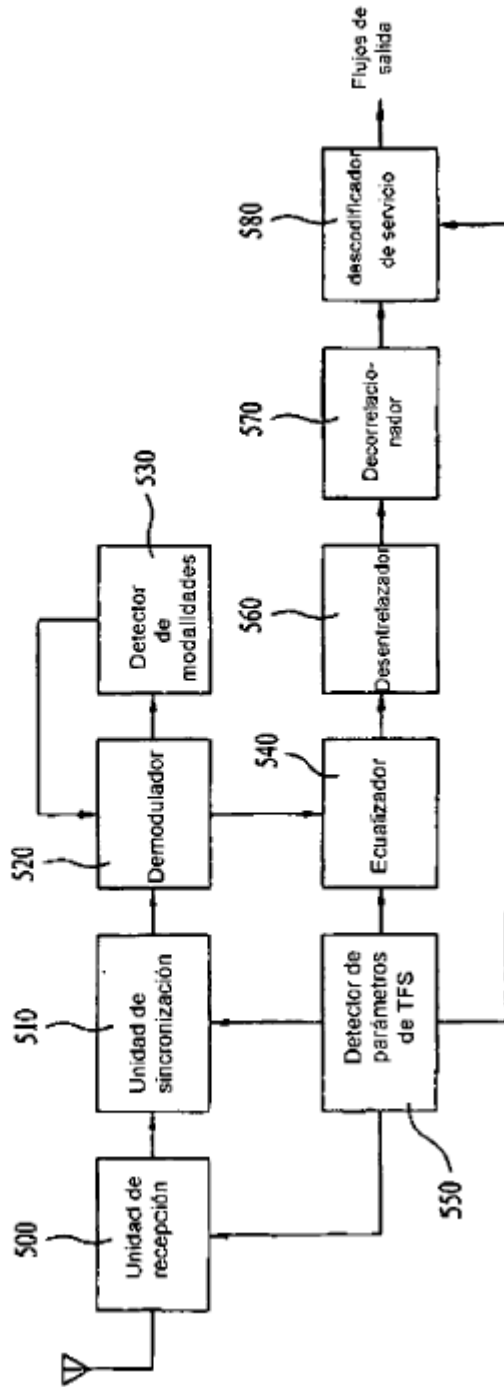


FIG. 53

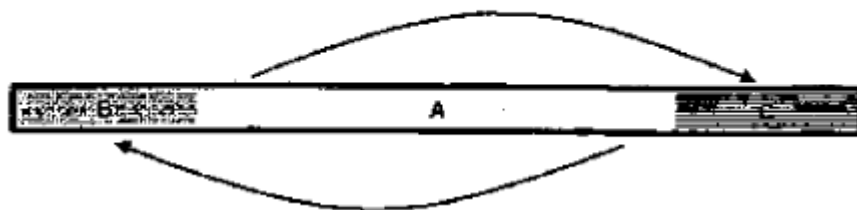


FIG. 54

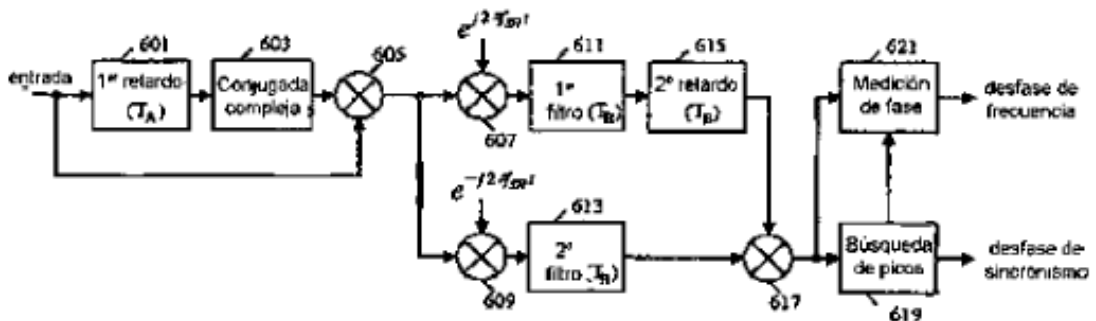


FIG. 55

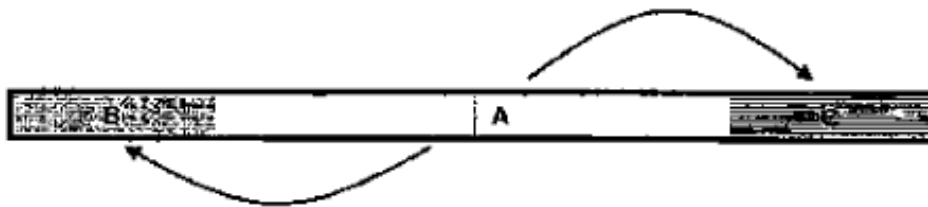


FIG. 56

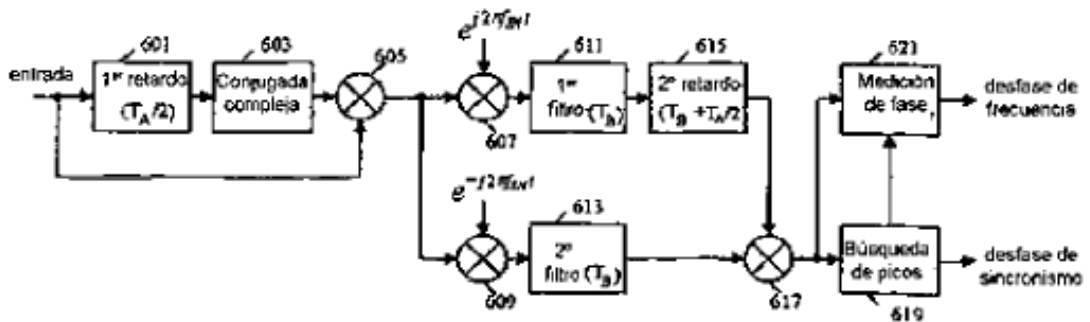


FIG. 57

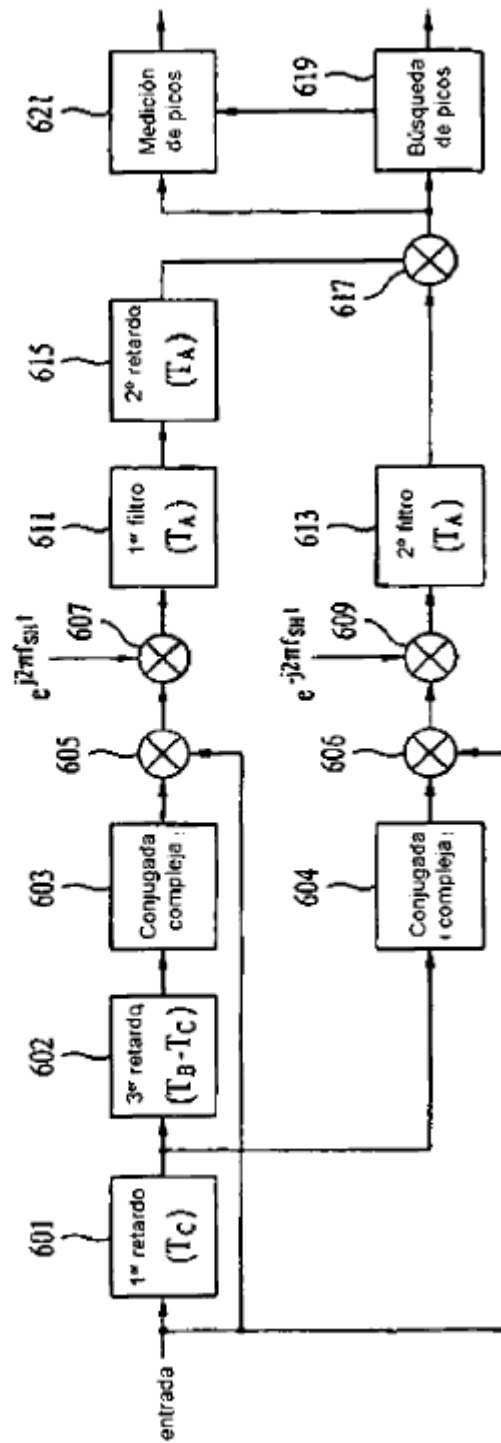


FIG. 58

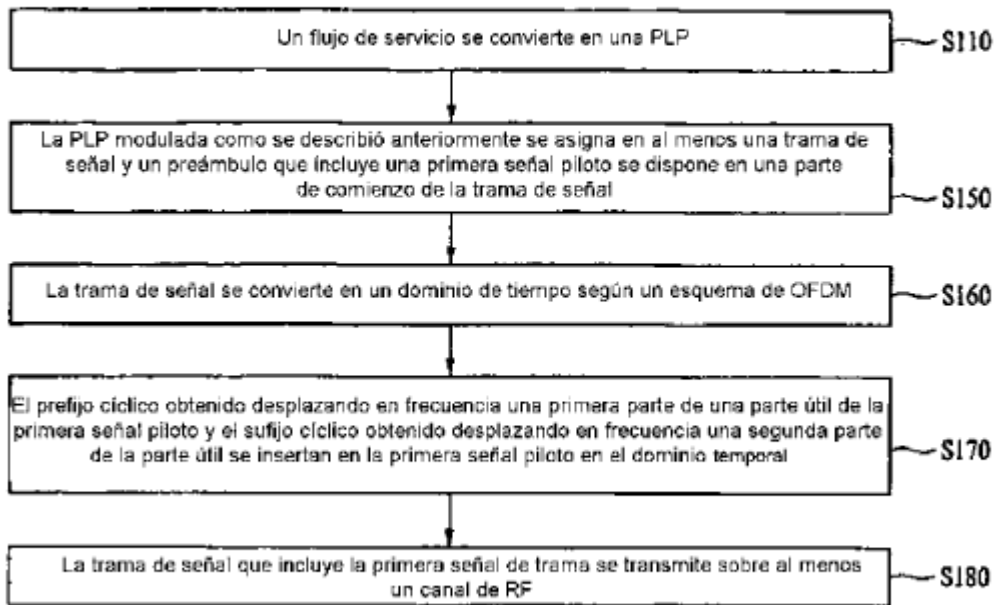


FIG. 59

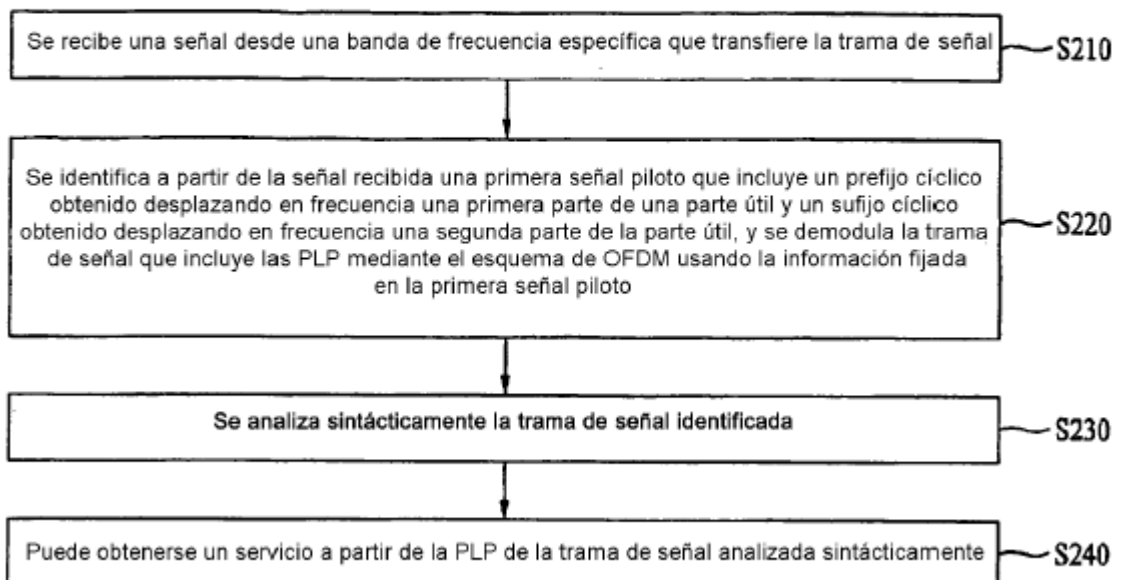
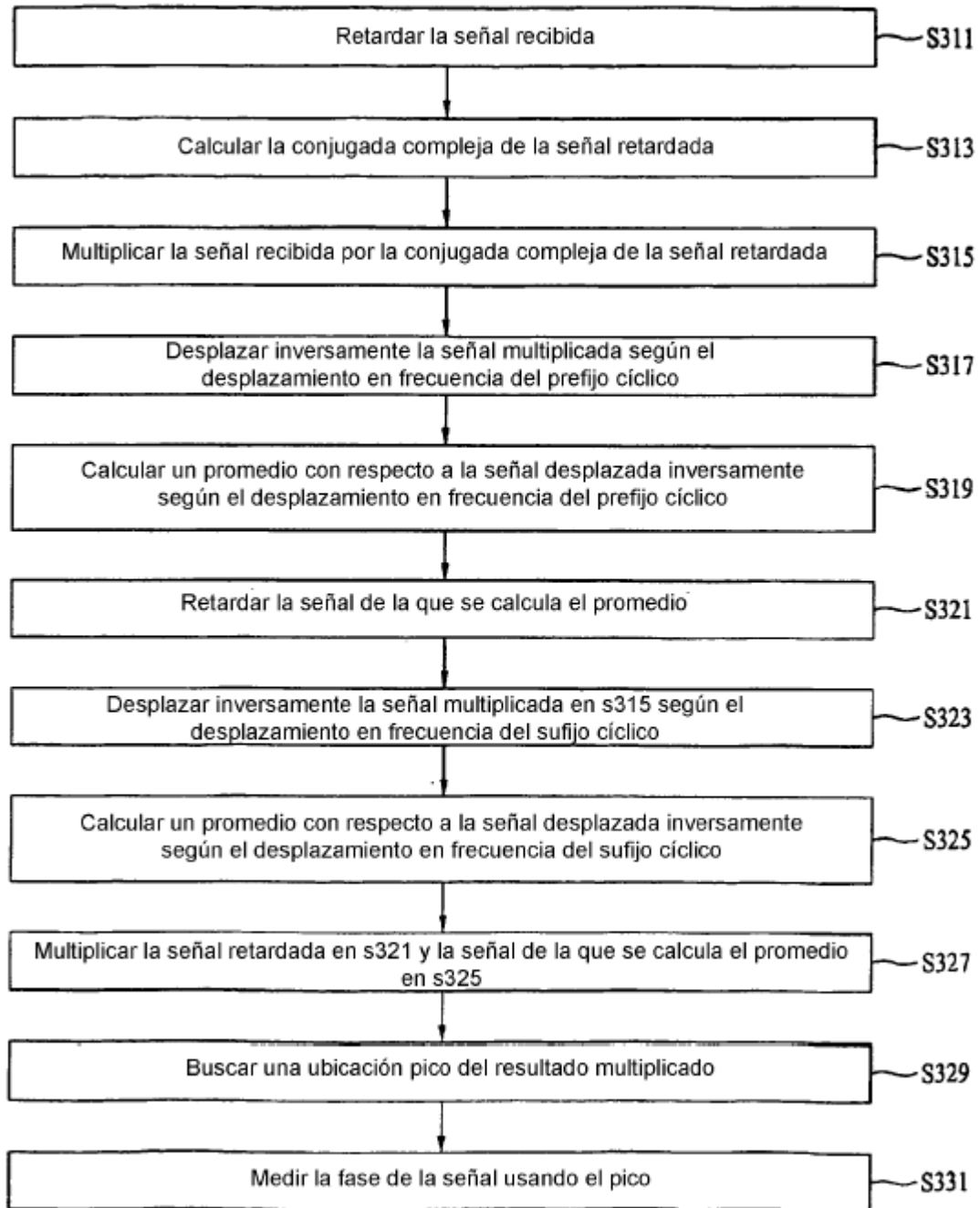
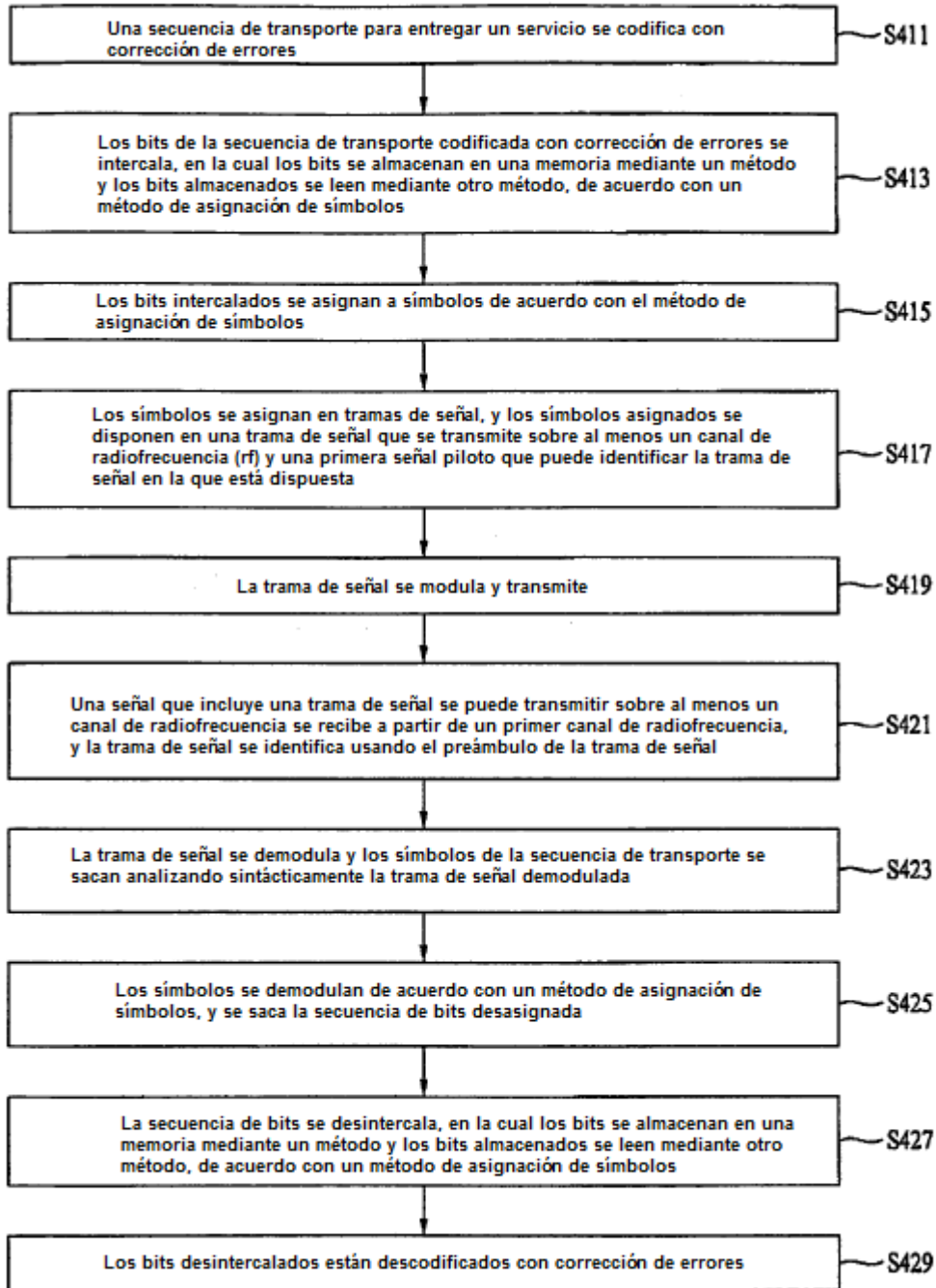


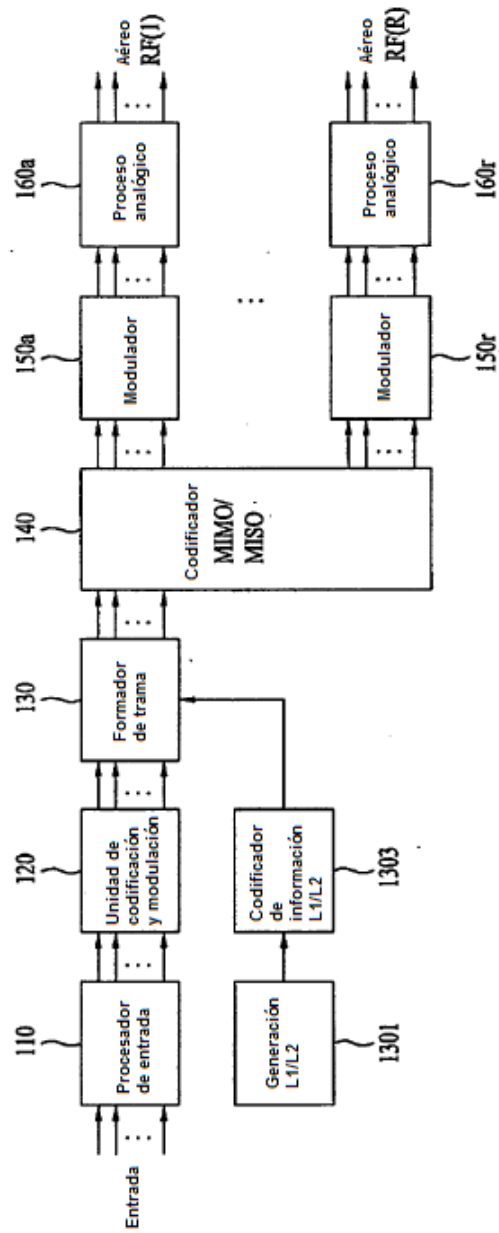
FIG. 60



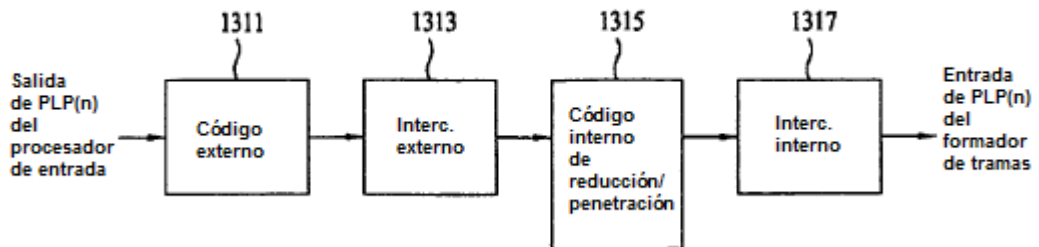
[Fig. 61]



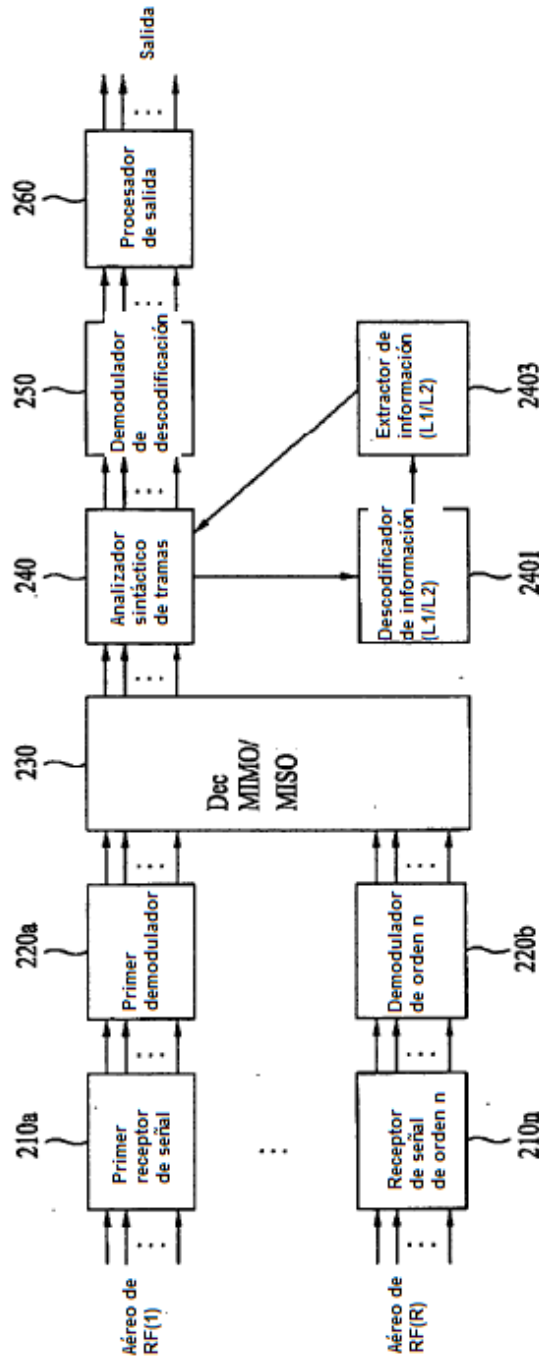
[Fig. 62]



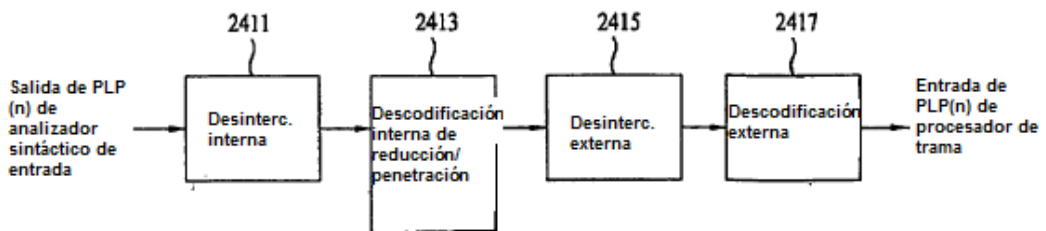
[Fig. 63]



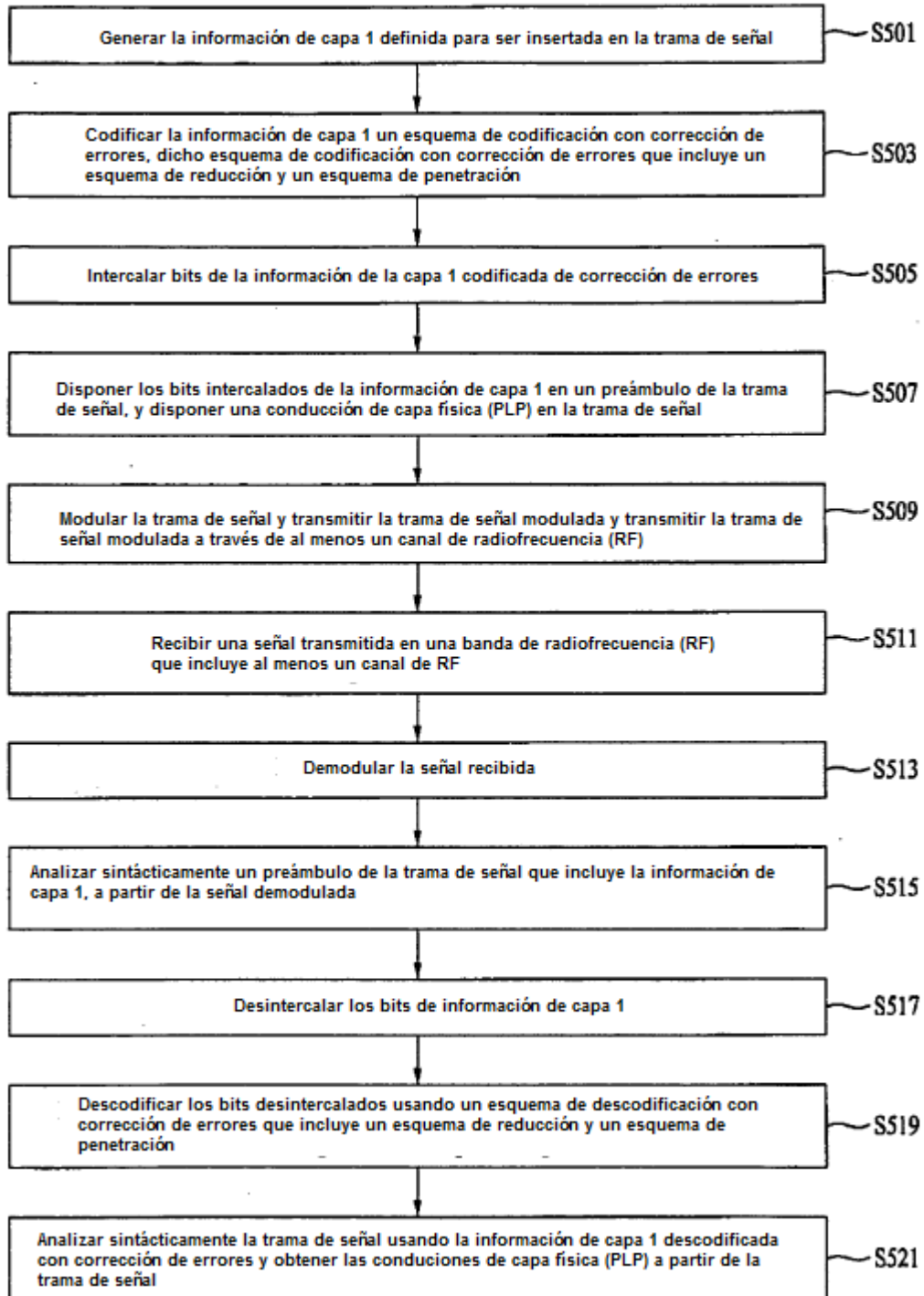
[Fig. 64]



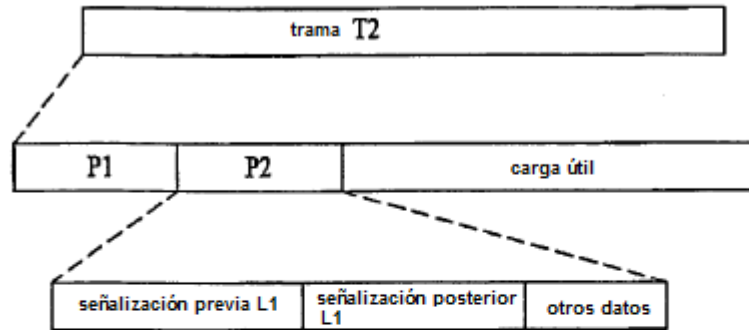
[Fig. 65]



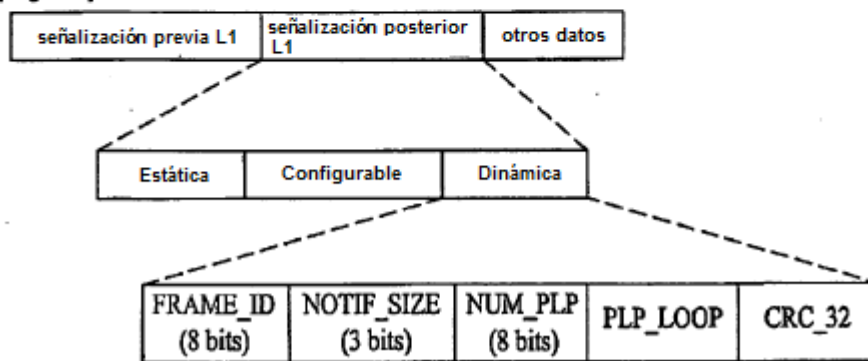
[Fig. 66]



[Fig. 67]



[Fig. 68]



[Fig. 69]

