

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 386 305**

51 Int. Cl.:  
**G11C 5/00** (2006.01)

12

### TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **09766089 .8**
- 96 Fecha de presentación: **18.06.2009**
- 97 Número de publicación de la solicitud: **2289068**
- 97 Fecha de publicación de la solicitud: **02.03.2011**

54 Título: **Detección y corrección de errores para una memoria cuyos estados de bit tienen una resistencia de error diferente.**

30 Prioridad:  
**19.06.2008 FR 0854055**

45 Fecha de publicación de la mención BOPI:  
**16.08.2012**

45 Fecha de la publicación del folleto de la patente:  
**16.08.2012**

73 Titular/es:  
**European Aeronautic Defence and Space  
Company EADS France  
37, Boulevard de Montmorency  
75016 Paris, FR y  
Astrium SAS**

72 Inventor/es:  
**MILLER, Florent;  
CARRIERE, Thierry y  
BOUGEROL, Antonin**

74 Agente/Representante:  
**de Elzaburu Márquez, Alberto**

**ES 2 386 305 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**DESCRIPCIÓN**

Detección y corrección de errores para una memoria cuyos estados de bit tienen una resistencia de error diferente.

5 La presente invención tiene por objeto un procedimiento de detección y de corrección de errores para memorias electrónicas, cuyo punto de memoria tiene un comportamiento de memorización disimétrico. El procedimiento permite utilizar memorias electrónicas comerciales y no específicamente protegidas, a pesar de su sensibilidad a las interacciones energéticas externas, en aplicaciones aeronáuticas o espaciales. Esta es aplicable a todas las familias de memorias con material de base semiconductor, que tengan un comportamiento disimétrico, embarcadas o instaladas en sistemas inducidos a evolucionar en entornos perturbados por radiaciones naturales o artificiales.

10 En el caso del entorno radiactivo natural, un efecto del que protege la invención recibe el nombre de efecto singular. Se trata de un efecto no destructivo que se traduce en la inversión de una o varias informaciones lógicas almacenadas en una memoria electrónica. Efectos de este tipo son provocados por el aporte de cargas eléctricas seguidamente al paso de una partícula ionizante, de forma directa o no.

15 En el momento actual, existe un cierto número de técnicas de detección y de correcciones de errores que se ponen en práctica para afrontar esta problemática. No obstante, su eficacia es proporcional a su complejidad y a su coste. Es por ello que su utilización se ve a menudo restringida a los elementos más críticos de un sistema. La información unitaria, que recibe el nombre de bit, es binaria y puede tomar el valor '1' o '0'. Se denomina palabra a un conjunto de varios bits. Los criterios que determinan la eficacia de una técnica de detección y de corrección de errores son el número de bits con error que pueden ser detectados en una palabra, el número de bits con error que pueden ser corregidos, el tiempo de tratamiento así como la cantidad de recursos necesaria para efectuar estas detecciones y correcciones. El rendimiento R es la relación entre el número de bits que se han de corregir y el número de bits que se han de almacenar.

20 Por orden de complejidad, se distinguen diferentes técnicas de detección y de corrección. La técnica de los códigos de paridad permite la detección de un único error en una palabra. Para una información codificada en n bits, se almacena un bit suplementario. Esta técnica no permite la corrección del error. La técnica de los códigos de Hamming permite la detección de dos errores y la corrección de un error dentro de una palabra. El Código de Hamming (11, 7), por ejemplo, permite, de esta forma, proteger una información de 7 bits añadiendo 4 bits suplementarios. Este código es el que tiene un rendimiento, es decir, el número de bits transmitidos con respecto al número de bits útiles, máximo en el marco de la corrección de un bit único en una palabra.

25 La técnica de los códigos de Reed Salomon corrige varios errores en el seno de una misma palabra. Para una información de N bits y para corregir K bits, es necesario almacenar N + 2K bits. Así, para corregir la integridad de los N bits de una palabra, es necesario almacenar 3 x N bits. El rendimiento es, por tanto, R = 1/3.

30 La técnica de triplicación utiliza una redundancia triple, es decir, que cada dato se almacena en tres ejemplares. Un elemento de tipo votante compara los tres datos y selecciona el valor que aparece al menos dos veces. Como en la técnica precedente, a fin de proteger los N bits de una palabra, es necesario almacenar 3 x N bits. El rendimiento es, por tanto, también R = 1/3.

35 Actualmente, los sistemas que protegen la integridad de los bits de una palabra necesitan, por consiguiente, almacenar, como mínimo, tres veces más informaciones, lo que es un rendimiento R = 1/3. La invención propuesta es una técnica que permite detectar y corregir la integridad de los bits de una palabra, sea cual sea su longitud, y que necesita un menor almacenamiento de bits suplementarios que las técnicas existentes, siendo el rendimiento próximo a R = 1/2.

40 La invención se basa en una prioridad intrínseca de ciertas familias de memorias electrónicas, para las cuales se constata un comportamiento disimétrico, o asimétrico, de la estructura de memorización, y para las cuales uno de los dos estados posibles es insensible a las perturbaciones externas.

45 Se dice que una memoria tiene comportamiento simétrico cuando la información es almacenada en una estructura simétrica, como es el caso, por ejemplo, en un punto de memoria SRAM, que pone en funcionamiento dos inversores retroacoplados. La Figura 1 muestra, a este respecto, un punto de memoria SRAM, de estructura simétrica.

50 Por el contrario, se entiende por memoria de comportamiento disimétrico las memorias para las que la información lógica es almacenada en una estructura no simétrica, como, por ejemplo, una capacidad que almacena una cierta cantidad de cargas eléctricas, o un transistor que almacena una cierta cantidad de cargas eléctricas en su casilla flotante.

55 La invención se aplica indiferentemente a las memorias del tipo volátil y no volátil. Se entiende por memorias volátiles las memorias que pierden la información almacenada cuando se quedan sin tensión. Y a la inversa, se

denomina memoria no volátil a una memoria que guarda la información cuando se queda sin tensión.

Entre las memorias de comportamiento disimétrico y volátil, puede citarse, a título de ejemplo, la familia de las memorias DRAM, memorias dinámicas de acceso aleatorio ["dynamic random-access memories"] (VDRAM [DRAM de vídeo –"video DRAM"], RDRAM [DRAM de bus de RAM –"Rambus DRAM"], XDR DRAM [DRAM de intervalo dinámico extendido –"eXtended Dynamic Range DRAM"], DRAM EDO [salida de datos extendida de DRAM –"DRAM extended data output"], DDR, DDR2, DDR3, eDRAM, DRAM FPM,...), para las cuales se almacena la información lógica en una estructura capacitiva. La información almacenada puede ser un '1' o un '0' lógico, según que la capacidad esté cargada o no.

La Figura 2 muestra en corte un ejemplo de una estructura, así como la representación esquemática asociada, para un punto de memoria DRAM. Este punto de memoria 1 comprende un condensador C1, conectado por medio de un transistor M1 a una fila 2 de bits. El transistor M1 está gobernado por una fila 3 de palabras, conectada a su casilla. El potencial de la armadura del condensador conectado al transistor M1 se lleva a VCC cuando el punto de memoria memoriza un 1. Este se lleva al de la masa cuando se memoriza un 0. Las memorias de comportamiento disimétrico y no volátiles son las de la familia de las EPROMs [memorias de solo lectura programables y borrables –"erasable programmable read-only memories"] y de las FLASHs [memorias de acceso por impulsos], con un transistor de casilla flotante como elemento de memorización.

La invención se aplica para las memorias anteriormente citadas, ya sean de una sola celda o de múltiples celdas. Recibe el nombre de memoria de una sola celda una memoria que almacena una información binaria por cada estructura física. Se denomina memoria de múltiples celdas a una memoria que almacena varias informaciones binarias en una misma estructura física.

Se denomina estado, en el sentido de estado eléctrico, a un estado físico de una celda, por ejemplo, una celda con electrones almacenados o no sobre una armadura implicada de un condensador de una memoria DRAM, o con electrones almacenados o no en la casilla flotante de una EPROM o de una memoria FLASH.

Se denomina información binaria, fundamentalmente dependiente de un protocolo de lectura, de un modo de lectura, a un estado lógico, en oposición a un estado eléctrico, cuyo valor es 1 o 0. Según se esté en lógica positiva o en lógica negativa, un mismo estado eléctrico, electrones almacenados en una placa de condensador o en una casilla flotante, que puede corresponder a dos estados lógicos diferentes.

La propiedad física utilizada es la insensibilidad frente a la recogida de cargas parásitas de unos de los dos estados posibles de una celda de memoria de comportamiento disimétrico. Dicho de otro modo, es la particularidad para este tipo de celda de no tener más que un solo estado sometido a las perturbaciones externas. El estado opuesto es, por tanto, insensible.

Por ejemplo, para las memorias DRAM, cuya información binaria se traduce por la presencia o la ausencia de cargas eléctricas, en el caso de que celda tenga su capacidad cargada, la adición de cargas suplementarias inducidas por una agresión exterior no tendrá ningún efecto puesto que la celda no podrá contener cargas más importantes que las que ya contiene. Incluso si la celda no está completamente cargada, el efecto será un refuerzo de su estado lógico. Su estado cargado será, por consiguiente, el estado de insensibilidad, y su estado descargado será el estado sensible. Al ser las cargas recogidas por una agresión externa electrones para un transistor de NMOS [metal-óxido-semiconductor de tipo n], el estado de insensibilidad es, por tanto, aquel para el que la capacidad se ha cargado de manera negativa y, por tanto, aquél en que la armadura conectada con el transistor M1 está cargada con electrones. Para un transistor de PMOS [metal-óxido-semiconductor de tipo p], son los huecos los que se recogen, de manera que se aplica el razonamiento inverso.

La puesta en práctica de la invención tiene en cuenta también otra propiedad inherente a la construcción o estructura de los circuitos periféricos. Esta propiedad es la lectura de un estado lógico opuesto al estado físico para la mitad de las celdas de memoria: las celdas conectadas a las columnas complementarias.

Se hablará, de esta forma, de dos modos de lecturas. Un primer modo es de lógica positiva. Este primer modo interpreta, por ejemplo, para una primera parte de las celdas de la memoria, la presencia de los electrones como un primer estado binario dado. En tanto que un segundo modo es de lógica negativa. Este segundo modo interpreta, por ejemplo, para una segunda parte de las celdas de la memoria, la presencia de los mismos electrones como un segundo estado binario dado, complementario del primero.

La consecuencia es la misma probabilidad para una celda dada y para un estado dado de ser leídos como un '1' lógico o un '0' lógico.

A fin de ilustrar este aspecto, la Figura 3 permite una descripción del ciclo de lectura de una celda del tipo de DRAM entera. Por construcción, cada celda, la Celda 1 y la Celda 2, está conectada a una fila (fila de palabras) y a una columna (columna de bits). Las columnas funcionan por pares.

- 5 En un primer momento, las dos columnas 2 y 2', las asociadas a la Celda 1 y a su Celda 2 complementaria, son precargadas hasta un grado de tensión conocido. Cuando se selecciona la fila 3 de palabras de la celda, esta transfiere cargas entre la Celda 1 y su columna 2, lo que crea una variación de la tensión de la columna. Esta variación (positiva o negativa) es del orden de la decena de milivoltios. Esta tensión es entonces comparada con la de la columna complementaria, y se activan unos amplificadores 4 y 5 para aumentar la diferencia. La señal llega a continuación a una de las dos entradas de un amplificador diferencial 6, encargado de suministrar una tensión lógica. Si la tensión de su entrada positiva es superior a la de su entrada negativa, la salida lógica será '1'. En caso contrario, la salida será '0'.
- 10 Así, por su concepción, el amplificador diferencial invierte sistemáticamente el valor de su entrada negativa, la que está conectada a las columnas complementarias.
- 15 La presente invención preconiza, de esta forma, la utilización de una propiedad intrínseca de las memorias electrónicas comerciales de estructura disimétrica, a saber, la insensibilidad a las agresiones externas de uno de sus dos estados. Esta insensibilidad permite concebir arquitecturas de memorias tolerantes a las perturbaciones provocadas por el entorno de radiación natural.
- 20 El documento US 6.785.169 B1 divulga una memoria según el preámbulo de la reivindicación 1. Este describe una memoria de comportamiento disimétrico cuyas detección y corrección de errores de bit se efectúan por un circuito de comparación que consiste en una puerta lógica. Para llevar esto a cabo, la memoria comprende una celda de memoria original y una celda de memoria especular. El circuito lógico efectúa una comparación binaria (bit por bit) de las dos celdas con el fin detectar un error.
- 25 De forma general, la invención se aplica a cualquier componente de comportamiento disimétrico para el que exista una estructura periódica idéntica o complementaria.
- 30 La invención pone en práctica un procedimiento de detección y de corrección de errores basado en la duplicación de los datos que se han de proteger, de manera que cada uno de ellos se inscribe en una estructura distinta, asociada a una referencia del motivo de la insensibilidad de estas mismas estructuras.
- 35 La ilustración del principio elemental se sirve de tres estructuras compuestas por celdas únicas, con una duplicación y una referencia del motivo de insensibilidad.
- 40 De acuerdo con la invención, cualquiera que sea el modo de lectura, lo importante es que un estado eléctrico de una referencia se encuentre en un estado que no haya podido cambiar por el hecho de la agresión. Típicamente, si se difunden electrones en un componente por el hecho de una agresión iónica o fotoiónica, estos electrones pueden ir a almacenarse en cualquier lugar. Pueden, por tanto, ir también a almacenarse en una celda de memoria de referencia. Si esta última se encuentra en un estado en que posee ya electrones almacenados, el hecho de tener unos pocos más no cambia su estado eléctrico ni su estado lógico. Con tal elección, la referencia es insensible a las agresiones externas. La referencia indica también, según su estado eléctrico leído, cuál era el estado eléctrico que no había podido cambiar.
- 45 La invención se define por las reivindicaciones 1 y 8.
- La invención se comprenderá mejor por la lectura de la descripción que sigue y por el examen de las figuras que la acompañan. Estas únicamente se presentan a título indicativo y de ningún modo limitativo de la invención. Las figuras muestran:
- 50 - Figura 1: ya comentada, un punto de memoria SRAM, de estructura simétrica;
- Figura 2: ya comentada, una vista en corte de un ejemplo de una estructura disimétrica, así como la representación esquemática asociada para un punto de memoria DRAM;
- Figura 3: ya comentada, un ciclo de lectura de una celda del tipo de DRAM entera;
- 55 - Figuras 4 y 5: tres estructuras idénticas de comportamiento disimétrico que muestran un principio elemental de la invención, respectivamente con un modo de lectura positivo y uno negativo;
- Figura 6: diferentes posibilidades de error, así como correcciones asociadas en función de un motivo de referencia;
- Figura 7: un ejemplo de configuración de caja única en el que una subdivisión es un banco;
- Figura 8: el mismo ejemplo, en el que se ha tomado una columna 0 como columna de motivo de referencia;
- 60 - Figura 9: un principio de arquitectura de múltiples cajas tolerante a los fallos;
- Figura 10: una representación esquemática de la lógica de detección y de corrección de errores.
- 
- 65 Así, pues, en la Figura 4, parte superior, se ha mostrado esquemáticamente una celda 7 (de DRAM) acoplada a una celda 8 de DRAM. La memoria DRAM en cuestión es una memoria cuyas celdas adoptan un comportamiento disimétrico. Lo mismo ocurrirá para todas las otras categorías de DRAM, al igual que para las EPROM y, más

- 5 generalmente, para todas las memorias cuyo comportamiento electrónico de las celdas no sea simétrico. Las celdas 7 y 8 están acopladas en este sentido de que deben almacenar una misma información. Las celdas 7 y 8 están situadas en diferentes lugares de la memoria, por ejemplo, en una misma fila de palabra, pero, aquí, una en un semiplano izquierdo G del plano de memoria, y la otra en un semiplano derecho D del plano de memoria del componente. El hecho de tener dos celdas para memorizar una misma información muestra ya que el rendimiento de memorización es  $\frac{1}{2}$ ; hay una redundancia. El acoplamiento de las dos celdas puede ser más complejo, por ejemplo, sus palabras de dirección pueden ser complementarias. En cualquier caso, estas han de memorizar una información coherente.
- 10 Con las convenciones anteriormente referidas, y para un modo de lectura dado, las dos celdas 7 y 8 almacenan un estado lógico binario 0, simbolizado por + presentes en la armadura del condensador. Este estado eléctrico es un estado frágil en este sentido de que es susceptible de cambiar. Esto es, en efecto, lo que se produce tras una agresión, mostrada en la parte inferior de la Figura 4, bajo la línea de puntos y trazos, donde los electrones vienen a alterar el estado físico de la celda 7 del semiplano izquierdo, cuyo estado eléctrico + se degrada en un estado eléctrico - (cuya lectura revela un 1 lógico).
- 15 La celda 9 de referencia, afectada en este par de celdas 7 y 8, se encuentra normalmente en un estado eléctrico insensible a las agresiones. El condensador almacena electrones y, con el modo de lectura retenido, indica un 1 lógico. La celda 9, incluso si ha sido agredida, no puede, por lo tanto, haber cambiado ni de estado eléctrico ni de estado lógico.
- 20 Con un detector, antes de validar la lectura de las celdas 7 y 8, se verifica que estas indican estados lógicos coherentes. Se entiende por coherentes que las dos celdas, fuera de agresión, deben indicar un mismo estado lógico final. Ya sea que, como se muestra en las Figuras 4 y 5, las celdas de un par 7 y 8 son leídas, las dos, con un mismo modo de lectura (modo de lectura positivo en la Figura 4, modo de lectura negativo en la Figura 5), ya sea que son leídas con modos complementarios. En el caso de que se lean con un mismo modo, Figuras 4 y 5, las celdas de un par se encuentran en un mismo estado eléctrico para designar un mismo estado lógico. En el caso de que sean leídas con modos complementarios, las celdas de un par se encuentran en estados eléctricos complementarios para designar un mismo estado lógico.
- 25 En el caso de la Figura 4 y de la Figura 5, un estado coherente que revela informaciones coherentes es, por tanto, aquel en el cual las dos celdas 7 y 8 se encuentran en un mismo estado eléctrico y, por tanto, con un mismo modo de lectura, en un mismo estado lógico con el fin de relevar, juntas, un mismo estado lógico final. Si no, se encuentran en un estado contradictorio. Esto es lo que ocurre para la parte de abajo de la Figura 4 y para la parte de abajo de la Figura 5, donde se detecta un estado contradictorio por parte de un detector de validación de lectura. El detector de validación de lectura es el detector que se ve más lejos, que permite saber si las informaciones leídas son coherentes, si son, por tanto, las dos, verdaderas, o si son contradictorias. Y, en este caso, solo una es verdadera.
- 30 Se deduce de este estado contradictorio que una de las dos informaciones es errónea. Sabiendo que la celda de referencia 9 está en un estado insensible, puede deducirse que solo la celda 7, que se encuentra en un mismo estado eléctrico que la celda 9, ha cambiado. En efecto, la celda 8 no ha podido pasar de un estado eléctrico con cargas - a un estado eléctrico con cargas +, ya que este paso no es posible bajo el efecto de agresiones externas. Es aquí, por tanto, la celda 8 la que está en un estado verdadero, y la celda 7, cuyo estado eléctrico es el de la celda 9 de referencia, está en un estado falso.
- 35 Por tanto, con estas deducciones, puede afirmarse fácilmente que la celda 8 no ha cambiado, que la celda 7 ha cambiado, y que es la celda 7 la que ha cambiado, la cual ha recuperado el estado de la celda de referencia, que se encuentra en un estado falso.
- 40 Para la Figura 5, con la lectura negativa, la celda de referencia almacena siempre electrones (presencias de - sobre el condensador), pero su estado lógico es 0, en lugar, según se aprecia en la Figura 4, de ser 1.
- 45 En los dos casos, la lectura positiva o la negativa, el estado lógico verdadero en el momento de la verificación es el estado opuesto al estado lógico de la celda de referencia.
- 50 En el momento de la lectura, según se observa en la Figura 6, si la información (en lógica positiva como en la Figura 4) es 0 y 0 en las celdas 7 y 8, la información verdadera será 0 cualquiera que sea el valor de la celda de referencia, ya que estos 0 y 0 corresponden, los dos, a estados insensibles. Y lo mismo ocurre si estos son 1 y 1, ya que, estando los dos sensibles, si ninguno ha cambiado, es que la información verdadera es la de partida en las dos celdas.
- 55 La tercera fila de la tabla de la Figura 6 corresponde a la Figura 4 (salvo que se muestre en ella que es la celda del semiplano derecho la que ha cambiado y no la del semiplano izquierdo). En efecto, cuando la referencia se lee 1, es la celda en la que se lee 1 la que es falsa y, por tanto, es en la que se lee 0 la que es verdadera. La cuarta fila de la
- 60
- 65

tabla corresponde a la Figura 5. En efecto, cuando la referencia se lee 0, es la celda en la que se lee 0 la que es falsa y, por tanto, es en la que se lee 1 la que es verdadera. Las filas 5 y 6 de la tabla de la Figura 6 muestran el caso en que la otra celda del par ha sido afectada por la agresión.

5 La arquitectura o estructura de una memoria real se basa en la división en diferentes estructuras idénticas de celdas de memoria. Cada estructura del plano de memoria contiene un cierto número de emplazamientos de memoria designados, cada uno de ellos, por coordenadas únicas o exclusivas, número de fila y número de columna.

10 Al ser estos dos parámetros intercambiables, todo lo que se ha designado como fila puede ser reemplazado por columna, y a la inversa. De la misma manera, los conceptos de la invención son similares para las estructuras periódicas idénticas y las estructuras periódicas complementarias. De esta forma, en lo que sigue del texto, los dos casos de figura son aplicables.

15 La división en elementos idénticos garantiza que una celda designada por una misma coordenada en el seno de cada uno de los elementos posee el mismo motivo de insensibilidad.

20 En el momento de la lectura, el mecanismo de detección de errores descansa sobre la simple comparación de los valores de D y D', leídos en las estructuras de las Figuras 7 y 8, que son idénticos en ausencia de errores. En el caso de una detección de error, el mecanismo de corrección se pone en marcha. Este mecanismo de corrección se basa entonces en el conocimiento del motivo de inmunidad: Ref, que informa sobre el solo y único sentido para el que es posible una inversión del bit, y permite, de esta forma, reencontrar el valor inicial del dato.

25 La estructura periódica puede ser, entonces, una dirección, un conjunto de direcciones, una fila (o una columna), un conjunto de filas (o de columnas), un banco o un conjunto de bancos.

30 Puede plantearse la cuestión de saber cuántas celdas de referencia hacen falta. A título de ejemplo, la Figura 7 propone que haya tantas celdas de referencia como celdas duplicadas hay. Esta Figura ilustra un ejemplo de configuración de una sola caja en la que la subdivisión consiste en un banco. Se ha denominado banco a una matriz de filas y de columnas. Al tener cada emplazamiento el mismo motivo de inmunidad en el seno de cada banco, los datos D y D' son duplicados en coordenadas similares (C<sub>x</sub>, L<sub>y</sub>), respectivamente en el Banco 0 y en Banco 1. En cuanto al Banco 2, este está reservado para el almacenamiento del motivo de insensibilidad.

35 De esta forma, el Banco 0 de datos encierra las celdas tales como 7, el Banco 1 contiene las celdas tales como la 8, y el Banco 2 contiene celdas tales como 9, de referencia. La Figura 7, con los tres tercios del plano de memoria dentro de un mismo componente, se interpreta fácilmente como tres componentes idénticos yuxtapuestos. En efecto, el tamaño del impacto de un rayo cósmico, iónico o fotónico es lo suficientemente pequeño como para imaginar que este alcanza ciertas celdas y no otras dentro de un mismo plano de memoria, a lo sumo dentro de los planos de memoria realizados con componentes diferentes yuxtapuestos o apilados.

40 Las descripciones proporcionadas en lo anterior han ilustrado el principio de la invención con un rendimiento R que, en el peor caso, es equivalente al de la técnica de triplicación anteriormente explicada. De esta forma, para proteger N bits, es necesario almacenar 3 x N bits. El rendimiento es, por tanto,  $R = 1/3$ .

45 Para aplicaciones reales, arquitecturas optimizadas permiten obtener rendimientos próximos a  $R = 1/2$ . Para ello, se trata de reducir la cantidad de espacio asignada al almacenamiento del motivo de referencia.

50 Como las arquitecturas de plano de memoria no son comunicadas o facilitadas por los fabricantes, puede resultar difícil poner en práctica la invención sabiendo que, de un plano de memoria al otro, el modo de lectura puede cambiar. La optimización consiste, por tanto, en tener una celda de referencia para cada estructura periódica. El rendimiento se define, entonces, por el número de estructuras periódicas. Cuantas menos estructuras periódicas diferentes haya, más próximo será el rendimiento a  $1/2$ .

55 En el ejemplo que sigue, véase la Figura 8, se plantea el postulado de que cada fila corresponde una estructura periódica. De esta forma, todas las celdas poseen el mismo motivo de insensibilidad en el seno de una misma fila. Según este postulado, es así posible utilizar como motivo de referencia de insensibilidad una única columna para cada fila.

60 En ciertos componentes, el modo de lectura cambia alternativamente de una fila a otra. En este caso, es importante situar una celda de referencia al comienzo, al final o en el medio, o bien en cualquier parte dentro de cada fila, véase la Figura 8, de manera que se disponga de la referencia que permitirá designar la celda que se encuentra en un estado verdadero. En este caso, incluso sin conocer el modo de lectura, se sabe que, en caso de contradicción, la celda que se encuentra en el mismo estado lógico que la celda de referencia, está en un estado falso.

65 Los ejemplos de arquitecturas presentados anteriormente en la presente memoria están dirigidos a configuraciones de memoria de una única caja, de manera que no utilizan más que un solo componente en circuito integrado.

5 Puede aplicarse un razonamiento idéntico, en particular, para microcomputadoras de tipo personal con una arquitectura de múltiples cajas en la que se utilizan en paralelo un cierto número de componentes idénticos. En este caso, uno de los componentes puede ser utilizado específicamente como referencia de los motivos de insensibilidad, sirviendo los otros para la duplicación de los datos.

10 Esta configuración de múltiples cajas es la que se utiliza, véase la Figura 9 a título de ejemplo, donde se han dispuesto en paralelo un cierto número de cajas 10-13. La estructura periódica es, por tanto, en sí misma, el componente conectado a un bus de datos. En efecto, el motivo de insensibilidad de una memoria es diferente para cada referencia y cada nueva revisión de circuitos, pero es, por el contrario, idéntica para un mismo lote de componentes.

15 La arquitectura propuesta se basa, de esta forma, en la utilización de varios componentes de un mismo lote que, para una misma dirección lógica, presentarán el mismo estado de insensibilidad. La arquitectura utiliza un componente 14 dedicado al almacenamiento del motivo de referencia, en tanto que las otras unidades almacenan los datos duplicados. Para cada bit del bus de datos anterior, una señal proviene de un componente principal, una segunda proviene del componente repetido, y una tercera proviene del componente de referencia.

20 La Figura 10 presenta un ejemplo esquemático de un circuito lógico electrónico destinado a realizarse para una fila de datos. Este circuito permite detectar y corregir instantáneamente el error, sin interrumpir un flujo o corriente continua de informaciones. Este circuito lógico está destinado a situarse sobre las filas del bus de datos representado en la Figura 9. Está constituido por un multiplexador 15, un inversor 16 y un acceso o puerta O exclusiva 17. La puerta 17 recibe los dos datos D y D' y mide si son idénticos. Si son idénticos, la puerta 17 acciona el multiplexador 15 para que transmita el estado del dato D. Si no, de acuerdo con lo que se ha expuesto  
25 anteriormente, el multiplexador 15 transmite el inverso del estado de referencia, ya que se ha visto que la referencia indicaba la celda que había sido perturbada y que era, por tanto, la otra celda la verdadera, que es, por tanto, la inversa de la referencia que es verdadera, desde el inversor 16.

30 De esta forma, las filas de bits 18 y 19 de este tipo de memorias están conectadas a este detector 15-17, que, a la vez, detecta el error y lo corrige. Las filas de bits 18 y 19 se han materializado aquí como diferencias. Será, sin embargo, posible tener una sola fila de bits común para las dos zonas de memoria, la zona de base y la zona de duplicados, y, para un multiplexador, leerlos, a su vez. Una misma fila será, así, equivalente a dos filas.

35 Por supuesto, tras haber detectado un error, este se corrige. En la práctica, se rescribe el dato adulterado con el inverso del valor leído en la celda de referencia.

REIVINDICACIONES

1.- Una memoria que comprende:

- 5
- celdas de memoria (7, 8, 12, 13), únicas o múltiples, de comportamiento disimétrico,
  - un comportamiento disimétrico resultante de la sensibilidad de una celda de memoria en un primer estado eléctrico, al cambiar de estado a un segundo estado eléctrico cuando se produce una agresión por irradiación, de tal manera que esta sensibilidad es menos grande para pasar del primer estado al segundo estado que para pasar del segundo estado al primer estado,
- 10
- pares de celdas de memoria, formados por estas celdas de memoria de comportamiento disimétrico,
  - de tal manera que una primera celda (7) de un par está cargada con una primera información binaria y una segunda celda (9) del par está cargada con una segunda información binaria,
  - un detector (17), destinado a detectar que las celdas de memoria de un par están cargadas con dos informaciones contradictorias en lugar de dos informaciones coherentes, y
- 15
- caracterizada por que** comprende:
- una celda de memoria de referencia (9, 14), cargada con una información correspondiente al primer estado eléctrico insensible a las agresiones, de tal modo que este estado eléctrico corresponde a un estado lógico en el que la información binaria es falsa,
  - un circuito lógico destinado a designar aquella de las celdas de memoria del par que se encuentra en el segundo estado eléctrico correspondiente a un estado lógico en que la información binaria es verdadera, cuando los estados eléctricos de las dos celdas son contradictorios, en función del estado eléctrico de la celda de memoria de referencia.
- 20

2.- Una memoria de acuerdo con la reivindicación 1, **caracterizada por que**

- 25
- la segunda información corresponde un mismo estado eléctrico que el de la primera información para que estas informaciones sean coherentes,
  - de manera que informaciones contradictorias son, entonces, informaciones correspondientes a estados eléctricos complementarios.
- 30

3.- Una memoria de acuerdo con la reivindicación 1, **caracterizada por que**

- 35
- la segunda información corresponde a un estado eléctrico complementario al de la primera información para que estas informaciones sean coherentes,
  - de tal modo que informaciones contradictorias son, entonces, informaciones correspondientes a unos mismos estados eléctricos.

4.- Una memoria de acuerdo con una de las reivindicaciones 1 a 3, **caracterizada por que**

- 40
- el detector detecta aquella de las celdas que ha cambiado de estado como consecuencia de la irradiación, y
  - un circuito lógico designa la otra celda como la celda que se encuentra en un estado verdadero.

5.- Una memoria de acuerdo con una de las reivindicaciones 1 a 4, **caracterizada por que** es del tipo de DRAM o de EPROM.

45

6.- Una memoria de acuerdo con una de las reivindicaciones 1 a 4, **caracterizada por que** comprende:

- 50
- filas de bits conectadas a celdas de memoria duplicadas,
  - un acceso o puerta O exclusiva, conectada a estas filas de bits,
  - un duplexador gobernado por esta puerta O exclusiva,
  - de manera que este duplexador recibe como entrada una de estas filas de bits y una fila de bits proveniente de la celda de referencia.

7.- Uso de una memoria de acuerdo con una de las reivindicaciones 1 a 6 en una computadora de tipo personal.

55

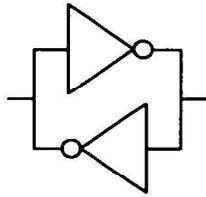
8.- Un procedimiento de detección y de corrección de errores de datos memorizados en una memoria cuyo punto de memoria es de comportamiento disimétrico, según el cual:

- 60
- se memorizan los datos que corregir en dos bancos de datos,
  - se detecta un error en un banco y
  - se corrige con el contenido del otro banco,
- caracterizado por que**
- resulta un comportamiento disimétrico de la sensibilidad de una celda de memoria en un primer estado eléctrico, al cambiar de estado a un segundo estado eléctrico cuando se produce una agresión por irradiación,
- 65

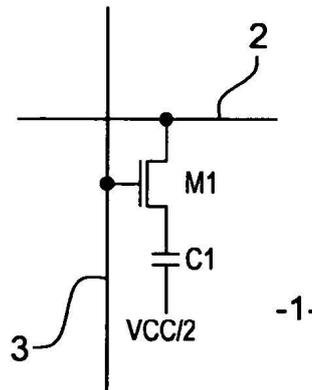
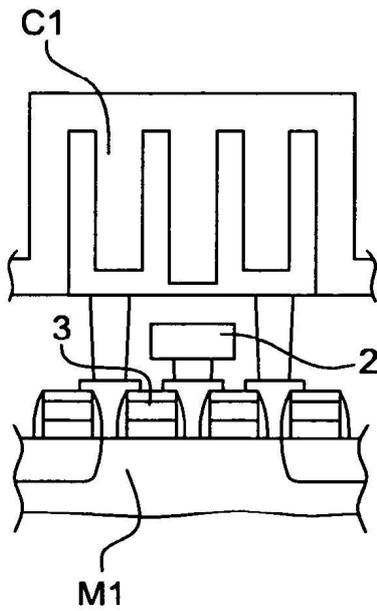
siendo esta sensibilidad menos grande para pasar del primer estado al segundo estado que para pasar del segundo estado al primer estado,

- 5 - se forman pares de celdas de memoria con la ayuda de celdas memorizadas de comportamiento disimétrico en dos de los bancos,
- de tal modo que una primera celda de un par se carga con una primera información binaria y una segunda celda del par se carga con una segunda información binaria,
- 10 - se memoriza en una celda de memoria de referencia una información correspondiente al primer estado eléctrico insensible a las agresiones, de tal modo que este estado eléctrico corresponde a un estado lógico en el que la información binaria es falsa,
- se detecta que las celdas de memoria de un par están cargadas con dos informaciones contradictorias en lugar de dos informaciones coherentes, y
- 15 - se designa, con la ayuda de un circuito lógico, en función de la celda de memoria de referencia, aquella de las celdas de memoria del par que se encuentra en el segundo estado eléctrico correspondiente a un estado lógico en que la información binaria es verdadera, cuando los estados eléctricos de las dos celdas son contradictorios.

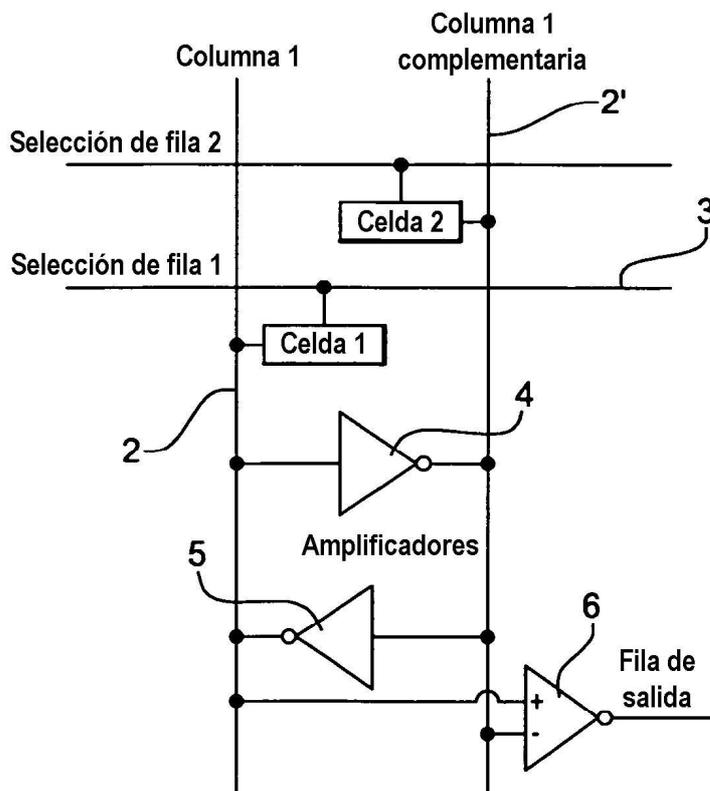
9.- Un procedimiento de acuerdo con la reivindicación 8, **caracterizado por que**, tras haber detectado un error, este se corrige.



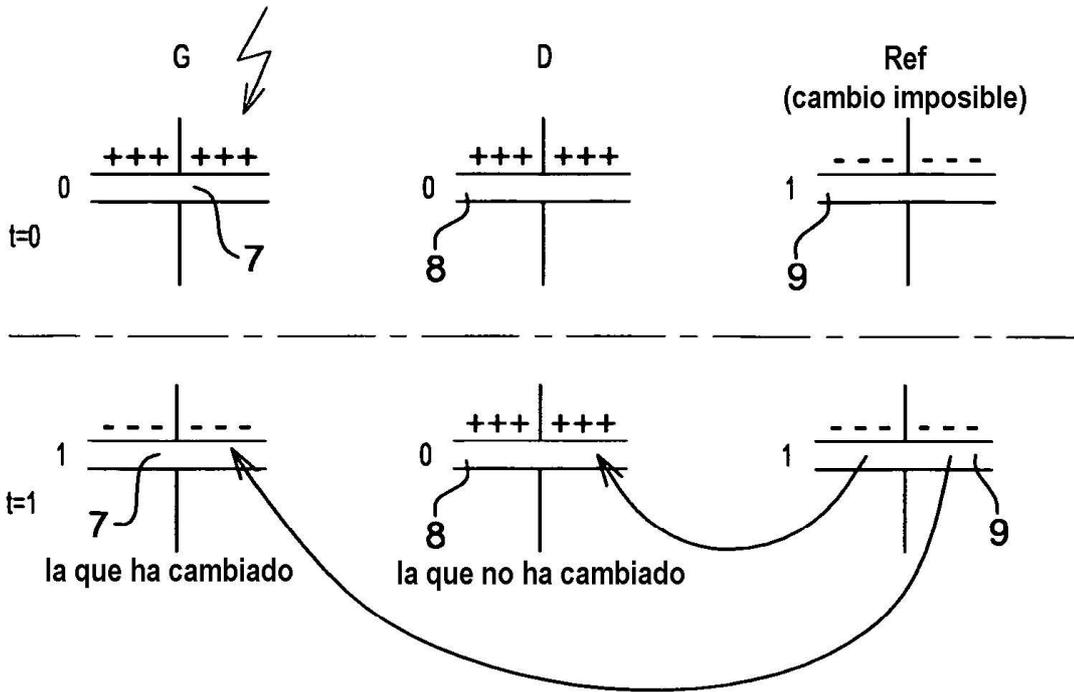
**Fig. 1**



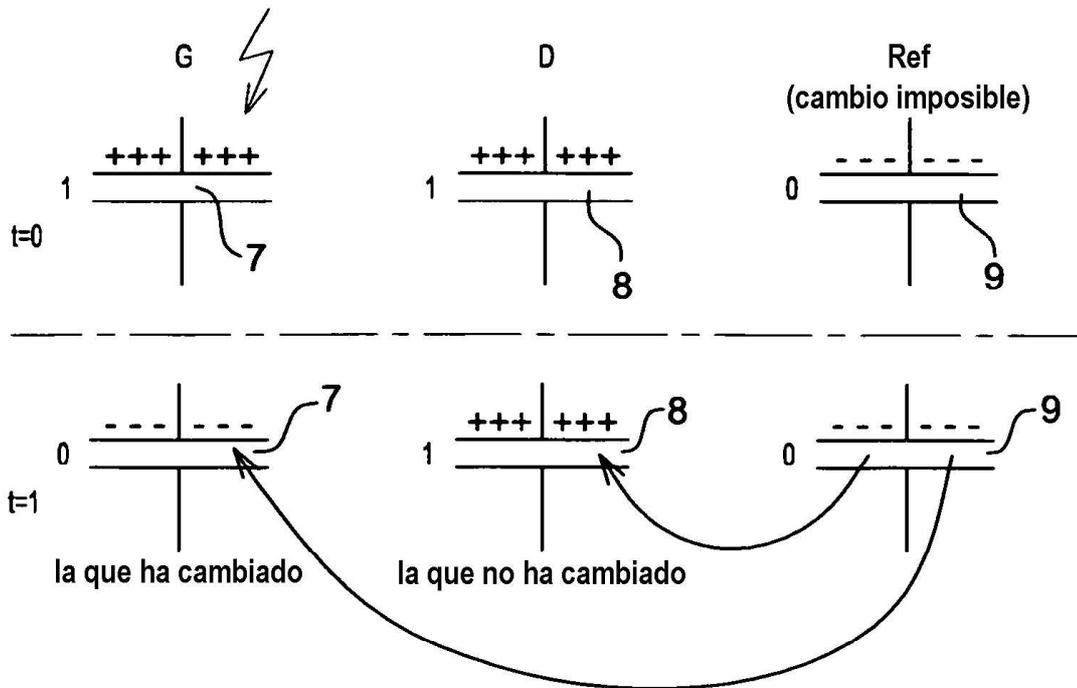
**Fig. 2**



**Fig. 3**



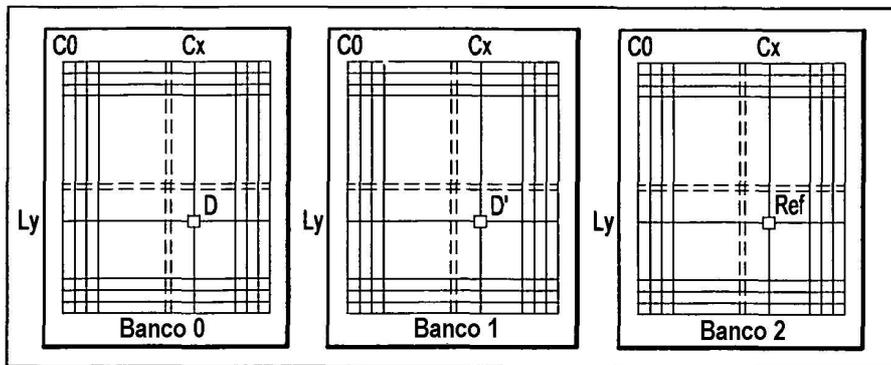
**Fig. 4**



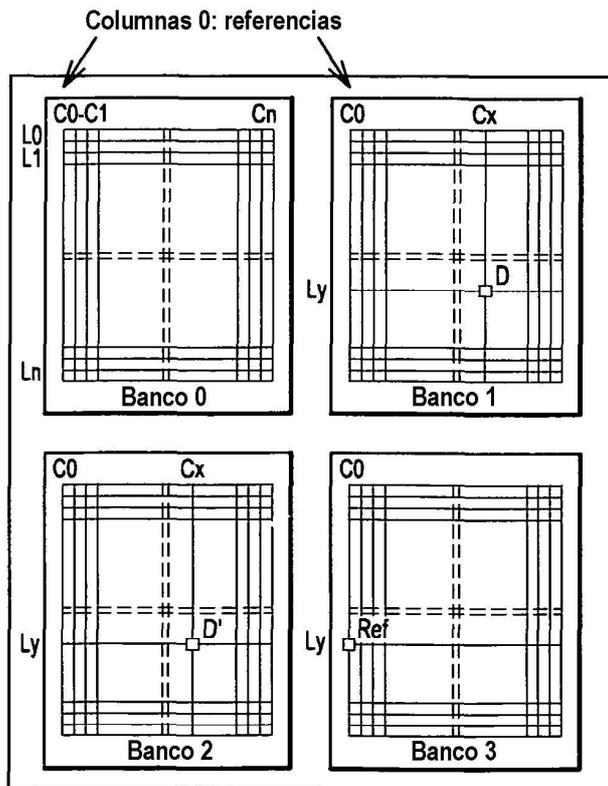
**Fig. 5**

Dato (D)	Dato repetido (D')	Referencia (Ref)	Salida (S)
0	0	0	0
0	0	1	0
1	1	0	1
1	1	1	1
0	1	1	0
0	1	0	1
1	0	1	0
1	0	0	1

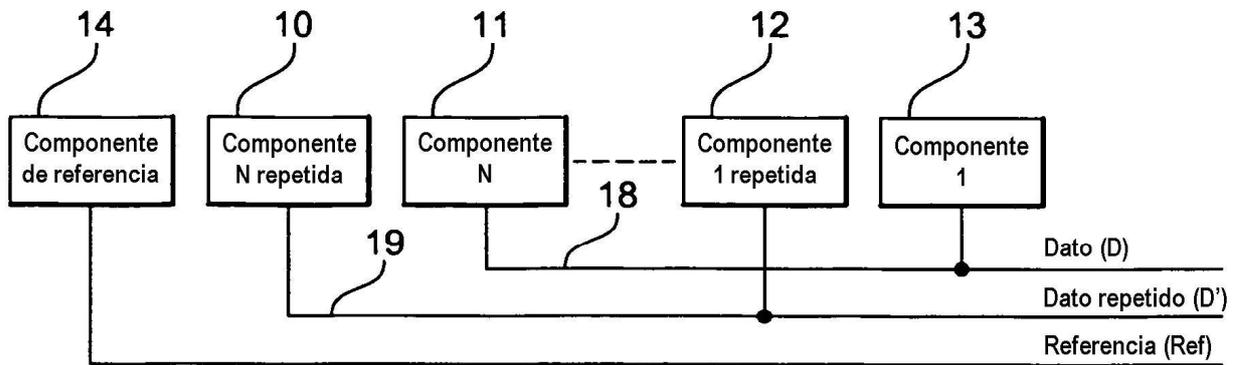
**Fig. 6**



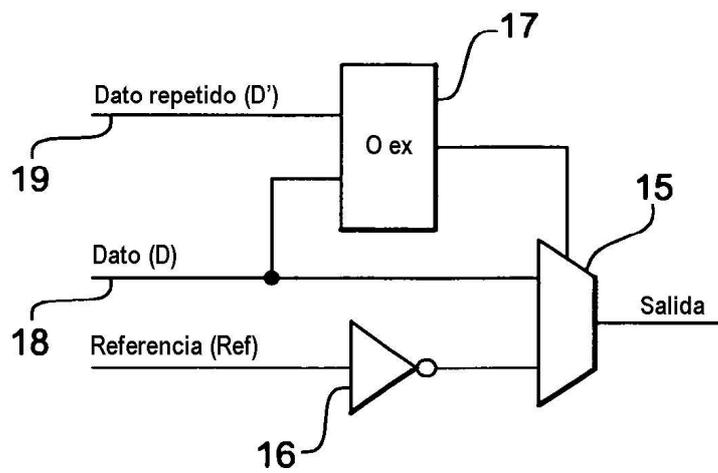
**Fig. 7**



**Fig. 8**



**Fig. 9**



**Fig. 10**