

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 386 368**

51 Int. Cl.:  
**G11C 11/406** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **06790843 .4**  
96 Fecha de presentación: **12.10.2006**  
97 Número de publicación de la solicitud: **1943651**  
97 Fecha de publicación de la solicitud: **16.07.2008**

54 Título: **Dispositivo de memoria dinámica de acceso aleatorio y método para auto-refrescar las celdas de memoria**

30 Prioridad:  
**31.10.2005 US 261493**

45 Fecha de publicación de la mención BOPI:  
**17.08.2012**

45 Fecha de la publicación del folleto de la patente:  
**17.08.2012**

73 Titular/es:  
**MOSAID TECHNOLOGIES INCORPORATED  
11 HINES ROAD, SUITE 203  
OTTAWA, ON K2K 2X1, CA**

72 Inventor/es:  
**OH, HakJune**

74 Agente/Representante:  
**de Elzaburu Márquez, Alberto**

ES 2 386 368 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**DESCRIPCIÓN**

Dispositivo de memoria dinámica de acceso aleatorio y método para auto-refrescar las celdas de memoria.

5 **CAMPO TÉCNICO**

La presente invención se refiere en general a un circuito integrado semiconductor y en particular a un dispositivo de memoria dinámica de acceso aleatorio con una función de auto-refresco y a un método para auto-refrescar las celdas de almacenamiento de datos de una memoria dinámica de acceso aleatorio.

10 **INFORMACIÓN DE ANTECEDENTES**

El documento US 5,943,280, en el que está basado el preámbulo de la reivindicación 1, describe un dispositivo de memoria de semiconductor que puede ser comprobado mientras que selecciona líneas de palabra sucesivamente a gran velocidad. Cuando es instruido un modo de operación especial, un circuito de oscilación de comprobación, que opera con un ciclo más corto que un circuito de oscilación de refresco que especifica el ciclo de auto-refresco, es activado de acuerdo con una señal de selección de dirección de fila externa. La señal de selección de dirección de fila interna es proporcionada a una circuitería (circuitos) de control relativo a filas vía un selector. Una señal de selección de dirección de fila interna puede hacerse activa en un ciclo más corto que el ciclo de la señal de selección de dirección de fila externa para llevar a cabo la selección de fila. Una fila es seleccionada con un ciclo más corto que el ciclo de transición de una señal externa.

20 El documento JP 07 235177 se refiere en general a una memoria de semiconductor en la que la corriente de funcionamiento es reducida disponiendo un circuito dedicado a auto-refresco. Un circuito de auto-refresco tiene un detector, un oscilador, un cerrojo y una fuente de alimentación. El detector produce una señal de detección (RE) después de que ha transcurrido un tiempo de detección desde que se produjo una señal de fila (inversa de RAS) seguida por una bajada de una señal de columna (inversa de CAS) y produce una señal de activación GE después de que ha transcurrido un tiempo de ajuste más corto que el tiempo de detección. El cerrojo produce una señal de inicio (inversa de ST) cuando la (inversa de RAS) pasa a un nivel L y la señal GE pasa a un nivel H. La fuente de alimentación produce un voltaje de alimentación Vosc basado en la señal (ST) basada en el voltaje de alimentación VDD. El oscilador es activado a partir de la señal (RE) y produce una señal de reloj (ADDCLK) basada en el voltaje de alimentación Vosc.

25 En los dispositivos de circuito integrado de memoria dinámica de acceso aleatorio (DRAM), las matrices de celdas DRAM están típicamente dispuestas en filas y columnas, de manera que una celda DRAM particular es direccionada especificando su fila y columna dentro de la matriz. Una línea de palabra conecta una fila de celdas a un conjunto de amplificadores sensores de línea de bits que detectan los datos en las celdas. En una operación de lectura, un subconjunto de los datos en los amplificadores sensores es entonces elegido, o "seleccionado por columna" para la salida. Las celdas DRAM son "dinámicas" en el sentido de que los datos almacenados, típicamente en forma de condensadores de almacenamiento cargados y descargados, se disiparán tras un periodo de tiempo relativamente corto. Así, para retener la información, los contenidos de las celdas DRAM deben ser refrescados. El estado cargado o descargado del condensador de almacenamiento debe ser reaplicado a una celda de memoria individual de un modo repetitivo. La cantidad máxima de tiempo permisible entre las operaciones de refresco es determinada por las capacidades de almacenamiento de carga de los condensadores que forman la matriz de celdas DRAM. Los fabricantes de DRAM especifican típicamente un tiempo de refresco durante el que garantizan la retención de los datos en las celdas DRAM.

35 Una operación de refresco es similar a una operación de lectura, pero no se producen datos. La detección de los datos en las celdas por los amplificadores sensores es seguida por una operación de restauración que tiene como resultado que los datos son rescritos en las celdas. Los datos son, por tanto, "refrescados". La operación de refresco es realizada activando una línea de palabra según una dirección de fila y activando un amplificador sensor. Además, la operación de refresco puede ser realizada operando el amplificador sensor sin recibir una dirección de refresco externa. En este caso, un contador de direcciones de refresco que esté integrado en un chip DRAM genera una dirección de fila inmediatamente después de recibir una dirección de inicio externa.

40 La operación de refresco se puede clasificar en "refresco automático" y "auto-refresco". La operación de refresco automático se produce cuando durante la operación del chip, es generada y recibida periódicamente una orden de refresco. Durante el refresco automático la recepción de otras órdenes por el chip es interrumpida y se realiza el refresco. Después, al chip se le permite recibir y ejecutar las otras órdenes. La función de auto-refresco se refiere a la realización de operaciones de refresco dentro de la DRAM cuando ésta está en modo de espera para retener los datos escritos en sus celdas de memoria.

45 Para realizar la operación de auto-refresco, son establecidas lecturas internas sistemáticas de los datos de las celdas y la reescritura de dichos datos para prevenir pérdidas de datos cuando el chip está operando en el modo llamado "inactivo" (sleep). Un temporizador interno controla la frecuencia de auto-refresco. La circuitería de control de auto-refresco está formada por un oscilador interno, un divisor de frecuencia y un bloque de petición de recuento de refresco. Puede ser incluida circuitería para monitorizar la temperatura y controlar la tasa de refresco variable. En

los circuitos integrados dinámicos de DRAM conocidos que tienen una función de auto-refresco, un modo de operación es conmutado automáticamente a un modo de auto-refresco para realizar auto-refresco cuando sea necesario.

5 La patente norteamericana 4,636,989 otorgada a Ikuzaki el 13 de enero de 1987 describe una memoria dinámica de acceso aleatorio de tecnología MOS que tiene un circuito de refresco automático. En la memoria, un generador de reloj genera pulsos de reloj de refresco cuando no es producida la señal de selección de dirección. La patente norteamericana 5,365,487 otorgada a Patel et al. el 15 de noviembre de 1994 describe una DRAM con gestión de auto-refresco. La patente norteamericana 5,862,093 otorgada a Sakakibara el 19 de enero de 1999 describe un  
10 dispositivo de memoria dinámica con señales de temporización de refresco generadas para detectar el tiempo relevante para realizar el auto-refresco.

Para obtener circuitos integrados de alta velocidad de operación y alta densidad, los procesos CMOS muy por debajo de una micra, tales como 90 nm, 45 nm, han sido introducidos e implementados en muchos dispositivos de CI semiconductores. Para aquellos procesos muy por debajo de la micra, los transistores MOS se han reducido proporcionalmente (es decir, tienen dimensiones de transistor mínimas reducidas) y el voltaje umbral  $V_{th}$  de los transistores ha disminuido. No obstante, el voltaje umbral reducido tiene como resultado corrientes de fuga significativas en el estado por debajo del umbral (es decir, hay corriente de fuga cuando el voltaje en la puerta del transistor está por debajo de un voltaje umbral) y por tanto los CI semiconductores basados en tales voltajes de umbral reducido consumen más energía en la operación normal, así como en un modo de operación de ahorro de energía. Puesto que una celda DRAM incluye un transistor de acceso de tamaño mínimo para acoplar el condensador de almacenamiento a una línea de bits, la carga almacenada puede perderse rápidamente del condensador de almacenamiento. Por tanto, son necesarias operaciones de "auto-refresco" más frecuentes.

25 Los circuitos integrados (CI) semiconductores son cada vez más pequeños para alojar más transistores en un único chip y conseguir velocidades de operación más altas. Sin embargo, los transistores de tipo CMOS más pequeños y más rápidos tienen corrientes de fuga mayores y esta cuestión de la corriente de fuga se está convirtiendo en un desafío de diseño serio en los dispositivos con tecnología de nanómetros. Para reducir el consumo de energía en espera de los dispositivos DRAM, es previsto un modo "inactivo" de la lógica de control externa de la DRAM. En el modo "inactivo", las celdas DRAM tienen que ser "refrescadas" periódicamente para retener los datos de las celdas. Esto se realiza usando "auto-refresco". Sin embargo, los transistores CMOS más pequeños y más rápidos tienen problemas significativos de fuga, que en consecuencia precisan de operaciones de "auto-refresco" más frecuentes que las tecnologías DRAM antiguas que tenían menos problemas de corrientes de fuga. Incluso más seriamente, la mayoría de las macros DRAM embebidas (bloques de circuitos de memoria DRAM usados en grandes aplicaciones de sistemas integrados en un chip) fabricadas con procesos lógicos por debajo de 100 nm requieren "auto-refresco" muy frecuentemente debido a los valores pequeños de capacitancia de las celdas en ciertas condiciones del peor de los casos, tales como temperaturas altas, procesos de transistor muy rápidos y nivel de fuente de alimentación muy alto, etc. Esta combinación de voltaje y temperatura de proceso (PVT) puede fácilmente variar durante la fabricación y/o periodo de operación del dispositivo. Por tanto, el auto-oscilador interno para la generación de señal de auto-refresco debería poder cubrir un amplio rango de tiempos de retención de celdas DRAM debidos a las variaciones PVT.

El rango variable de tiempo de retención de celdas DRAM puede descender a entre unos pocos microsegundos y unos pocos milisegundos si la tecnología de proceso se desplaza a 45 nm o menos. Por consiguiente, al recibir una petición de entrada de modo de auto-refresco, el oscilador interno para auto-refresco tiene que ser inicializado para generar la señal de auto-refresco en un periodo de tiempo muy corto. La señal de auto-refresco debe ser producida para realizar correctamente el auto-refresco durante el tiempo de retención de celdas más corto posible (por ejemplo, del orden de microsegundos) y también ser mantenido durante el tiempo de retención de celdas más largo posible (por ejemplo, del orden de milisegundos) durante periodos largos de características de oscilación fiables. Por tanto, se busca que los dispositivos DRAM realicen y consigan auto-refresco fiable, incluso aunque el tiempo de retención de celda sea variable a través de un rango amplio.

#### SUMARIO DE LA INVENCION

Es un objeto de la presente invención proporcionar una memoria dinámica de acceso aleatorio (DRAM) mejorada que tenga una función de auto-refresco y un método mejorado para auto-refrescar las celdas de memoria de un dispositivo DRAM.

De acuerdo con un aspecto de la presente invención, se prevé un dispositivo de memoria dinámica de acceso aleatorio (DRAM) operado selectivamente en un modo de auto-refresco y un modo de no auto-refresco. El dispositivo DRAM incluye un circuito de detección para proporcionar una señal de modo de auto-refresco en respuesta a la selección de modo de refresco. En el dispositivo DRAM, un circuito de oscilación produce una señal de oscilación en respuesta a una señal de indicación de alimentación DRAM. Un circuito de petición de auto-refresco proporciona una señal de petición de auto-refresco en respuesta a la señal de modo de auto-refresco y a la señal de oscilación. Un circuito de direccionamiento de refresco proporciona una dirección de refresco de celdas DRAM a ser refrescadas en respuesta a la señal de petición de auto-refresco.

Por ejemplo, el circuito de petición de auto-refresco activa y desactiva la señal de petición de auto-refresco en respuesta a una entrada y a una salida del modo de auto-refresco, respectivamente. También, un ejemplo del circuito de oscilación es un oscilador de marcha libre para generar la señal de oscilación. El oscilador de marcha libre empieza la generación de la señal de oscilación en respuesta a la señal de alimentación. La oscilación de marcha libre continúa hasta que se hace innecesaria. El circuito de petición de auto-refresco, como circuito Y, filtra y pasa la señal de oscilación basada en la señal de modo de auto-refresco como la señal de petición de auto-refresco. Puesto que la señal de oscilación es producida por la oscilación de auto-refresco de marcha libre, independiente de la señal de modo de auto-refresco, el oscilador no tiene que ser inicializado por la señal de modo de auto-refresco. Por tanto, el tiempo de retención de celda del dispositivo DRAM no está limitado por el tiempo de inicialización del oscilador. Por tanto, es posible auto-refrescar las celdas DRAM para un rango muy amplio de tiempo de retención de celdas. La señal de oscilación de marcha libre es generada sin sincronización con la entrada y la salida del auto-refresco y hay un posible conflicto entre la señal de oscilación y la señal del modo de auto-refresco.

Ventajosamente, el circuito de petición de auto-refresco realiza una función de arbitraje para situaciones de temporización críticas entre la señal de oscilación y la señal de modo de auto-refresco. Por ejemplo, la función de arbitraje es conseguida por un circuito lógico que tiene un circuito de cerrojo. El circuito de cerrojo detecta el conflicto de señal y lo mantiene hasta la siguiente transición relevante de un estado lógico de pulso para proporcionar un pulso de la señal de petición de auto-refresco. La función de arbitraje proporcionada por el circuito de cerrojo previene tanto un mal funcionamiento del primer intento de auto-refresco después de la entrada del modo de auto-refresco, como un mal funcionamiento del último intento de auto-refresco después de la salida del modo de auto-refresco.

De acuerdo con otro aspecto de la presente invención, se prevé un método para auto-refrescar un dispositivo DRAM que tenga celdas de memoria operadas en un modo de auto-refresco y un modo de no auto-refresco. Mediante este método es proporcionada una señal de modo de auto-refresco. La señal de modo de auto-refresco es activada y desactivada en el modo de auto-refresco y el modo de no auto-refresco, respectivamente. Es generada una señal de oscilación, independiente de la señal de modo de auto-refresco. Una señal de petición de auto-refresco es proporcionada en respuesta a la señal de modo de auto-refresco y a la señal de oscilación. En respuesta a la señal de petición de auto-refresco, es proporcionada una señal de dirección. Mediante la señal de dirección, es seleccionada una línea de palabra para refrescar las celdas de memoria relevantes de la línea de palabra seleccionada.

Por ejemplo, la etapa de generar una señal de oscilación incluye la etapa de generar una señal de oscilación de marcha libre en respuesta a una señal de alimentación. La señal de modo de auto-refresco tiene estados lógicos "alto" y "bajo". Análogamente, la señal de oscilación tiene estados lógicos "alto" y "bajo". La señal de petición de auto-refresco es proporcionada en respuesta a los estados lógicos de la señal de modo de auto-refresco y la señal de oscilación. También, la provisión de la señal de petición de auto-refresco es cesada en respuesta a los estados lógicos de la señal de modo de auto-refresco y la señal de oscilación.

Ventajosamente, la temporización para proporcionar y cesar la señal de petición de auto-refresco es arbitrada en función de los estados lógicos en un caso en el que los estados lógicos de la señal de modo de auto-refresco y la señal de oscilación son "alto". Por ejemplo, en un caso en el que una transición de subida de la señal de modo de auto-refresco es anterior a la de la señal de oscilación, la señal de auto-refresco es proporcionada en respuesta a la siguiente transición de subida de la señal de oscilación. En un caso en el que una transición de subida de la señal de oscilación sea anterior a la de la señal del modo de auto-refresco, la generación de la señal de auto-refresco es cesada en respuesta a la siguiente transición de subida de la señal de oscilación.

De acuerdo con otro aspecto de la presente invención, se prevé un controlador de auto-refresco para su uso en un dispositivo de memoria dinámica de acceso aleatorio (DRAM) operado selectivamente en un modo de auto-refresco y un modo de no auto-refresco. En el controlador de auto-refresco, un circuito de detección proporciona una señal de modo de auto-refresco en respuesta a la selección de modo de refresco. Un circuito de oscilación produce una señal de oscilación en respuesta a una señal de indicación de alimentación DRAM. En respuesta a la señal de petición de auto-refresco es proporcionada una señal de dirección para refrescar las celdas de memoria relevantes de una línea de palabra de la DRAM.

De acuerdo con realizaciones de la presente invención se evita la generación de pulsos de petición de auto-refresco de ancho pequeño impredecibles. Es producida una señal de petición de auto-refresco fiable con un rango amplio de tiempo de retención de celda debido al apoyo de la señal de oscilación de marcha libre. Además, puede ser añadido un circuito de compensación de la temperatura para controlar o ajustar el periodo de auto-refresco de acuerdo con los cambios en la temperatura junto con el oscilador de marcha libre.

Los aspectos y características de la presente invención serán evidentes para los expertos en la técnica al revisar la siguiente descripción de realizaciones específicas de la invención junto con las figuras adjuntas.

65

BREVE DESCRIPCIÓN DE LAS FIGURAS

Se describirán ahora realizaciones de la presente invención por medio del ejemplo sólo y con referencia las figuras adjuntas, en las que:

- 5 La Figura 1A, ilustra un diagrama de bloques de un circuito de control de auto-refresco como se encuentra en los dispositivos de memoria dinámica de acceso aleatorio (DRAM) convencionales;
- la Figura 1B, ilustra una secuencia de temporización para las señales del dispositivo DRAM mostrado en la Figura 1A;
- la Figura 2, es un diagrama de bloques de un controlador de auto-refresco del dispositivo DRAM de acuerdo con una realización de la presente invención;
- 10 la Figura 3, es un diagrama de bloques que ilustra un controlador de auto-refresco del dispositivo DRAM de acuerdo con una realización de la presente invención;
- la Figura 4A, es una secuencia de temporización para las señales del dispositivo DRAM mostrado en la Figura 3 operado sin solapamiento entre una señal de modo de auto-refresco y una señal de oscilación de auto-refresco en una entrada y en una salida del modo de auto-refresco;
- 15 la Figura 4B, es una secuencia de temporización para las señales del dispositivo DRAM mostrado en la Figura 3 operado con solapamiento entre la señal de modo de auto-refresco y la señal de oscilación de auto-refresco a la entrada y a la salida del modo de auto-refresco;
- la Figura 5, es un diagrama de bloques que ilustra un controlador de auto-refresco del dispositivo DRAM de acuerdo con otra realización de la presente invención;
- 20 la Figura 6, es una secuencia de temporización para las señales del dispositivo DRAM mostrado en la Figura 5 operado con solapamiento entre la señal de modo de auto-refresco y la señal de oscilación de auto-refresco a la entrada y a la salida del modo de auto-refresco;
- la Figura 7, es un diagrama de flujo que ilustra la operación de arbitraje de un generador de petición de auto-refresco incluido en el dispositivo DRAM mostrado en la Figura 5; y
- 25 la Figura 8, es un diagrama de bloques que ilustra un controlador de auto-refresco del dispositivo DRAM de acuerdo con una realización de la presente invención.

DESCRIPCIÓN DETALLADA

- 30 En la siguiente descripción detallada de realizaciones ejemplares de la invención se hace referencia a los dibujos adjuntos que forman parte de ella y en los que se muestra por medio de la ilustración de realizaciones ejemplares específicas en las que la invención puede ser llevada a la práctica. Estas realizaciones están descritas con suficiente detalle para permitir a los expertos en la técnica poner en práctica la presente invención, y se debe entender que pueden ser utilizadas otras realizaciones y que pueden hacerse cambios lógicos, eléctricos y otros sin salirse del alcance de la presente invención. La siguiente descripción detallada no debe, por tanto, ser tomada en un sentido limitativo, y el alcance de la presente invención está definido por las reivindicaciones adjuntas.

- La Figura 1A muestra un controlador de auto-refresco como se encuentra en las memorias dinámicas de acceso aleatorio (DRAMs) convencionales y la Figura 1B muestra la secuencia de temporización relativa para las señales del dispositivo DRAM mostrado en la Figura 1A. Con referencia a las figuras 1A y 1B, un modo de "auto-refresco", también conocido como modo "inactivo", puede ser activado por una señal de orden 11. En respuesta a la señal de orden 111 que tiene una orden de entrada de auto-refresco "ENTRADA AUTO-REF", un detector de modo de auto-refresco 113 activa una señal de modo de auto-refresco 115 para que el estado activo sea "alto" (es decir, el voltaje de nivel lógico "alto" VDD). En respuesta a la señal de modo de auto-refresco "alto" 115 es iniciado un oscilador interno 117 para comenzar la generación de una señal de oscilación de auto-refresco 119 que tiene una duración y una frecuencia predeterminadas. La señal de oscilación 119 es combinada con otras señales por un generador de petición de auto-refresco 121 que a su vez genera una señal de oscilación de petición de auto-refresco 123. La señal de petición 123 activa un contador de direcciones de fila interno 125 para que genere una señal 127 que tenga una dirección de fila interna apropiada. Un decodificador de dirección de fila 129 es controlado por la señal de petición de auto-refresco 123 y decodifica la dirección de fila interna para proporcionar una señal de dirección decodificada 131 con el resultado de que es activada una línea de palabra seleccionada. Cuando el detector 113 de modo de auto-refresco recibe una orden de salida de auto-refresco "SALIDA AUTO-REF" en la señal de orden 111, la señal de modo de auto-refresco 115 pasa a "bajo" (es decir voltaje de nivel lógico "bajo" VSS) y el oscilador interno 117 es desactivado con el resultado de que cesa la generación de la señal de oscilación 119. Posteriormente, la señal de petición de auto-refresco 123 ya no es proporcionada para refrescar las celdas de memoria DRAM.

- En los dispositivos DRAM convencionales que tienen en cuenta el tiempo de retención de celda, el tiempo de iniciación del oscilador interno 117 al recibir la señal de modo de auto-refresco 115 no es crítico para refrescar las celdas DRAM correctamente. Sin embargo, los dispositivos DRAM con CI CMOS de operación de alta velocidad y alta densidad fabricados con tecnología por debajo de 100 nm, por ejemplo, requieren un tiempo de iniciación más corto para refrescar correctamente las celdas DRAM de los mismos. Por ejemplo en el caso de un proceso de macro DRAM de 90 nm, un tiempo de retención de celda estimado es 0,5 ms para refrescar 4k filas. Por tanto, es requerido un tiempo de iniciación más corto que 125 ns (= 0,5 ms/4000) para iniciar el oscilador, lo que, por tanto, tiene como resultado una operación de refresco correcta. No obstante, el tiempo de iniciación de los osciladores convencionales

está entre 0,5 ms y 32 ms y, por tanto, no coincide con el requisito de 125 ns para inicializar el oscilador para los dispositivos DRAM fabricados con tecnología por debajo de 100 nm.

La Figura 2 ilustra los bloques del circuito de auto-refresco de una memoria dinámica de acceso aleatorio (DRAM) de acuerdo con una realización de la presente invención. El dispositivo DRAM es operado selectivamente en un modo de auto-refresco y un modo normal (un modo de no auto-refresco). Con referencia a la Figura 2, en respuesta a la ORDEN de auto-refresco, un detector 211 proporciona una señal 213 para auto-refresco a un controlador 215. Un oscilador 217 genera una señal de oscilación 219 para auto-refresco iniciada por una señal de encendido 221. La señal de oscilación 219 es proporcionada al controlador 215 que a su vez proporciona una señal de petición 223 para auto-refresco a un decodificador de direcciones 225. El decodificador de direcciones 225 proporciona una señal de dirección decodificada 227 para auto-refresco. El detector 211 activa y desactiva la señal 213 en respuesta al modo de auto-refresco y al modo de no auto-refresco mediante órdenes de auto-refresco, respectivamente. El controlador 215 arbitra cuando se produce un conflicto de temporización entre los pulsos de la señal 213 y la señal de oscilación 219.

Por ejemplo, el oscilador 217 incluye un oscilador de marcha libre que es activado por una señal de encendido 221, independiente de la generación de la señal 213 para auto-refresco. El oscilador de marcha libre continua hasta que sea innecesario o se desconecte la corriente del dispositivo DRAM. Por tanto, en el dispositivo DRAM según una realización de la invención no es necesaria iniciación externa de la oscilación para auto-refresco. También con la función de arbitraje del controlador 215, cuando la señal de oscilación 219 pasa a "alto" antes que la señal 213, la señal de petición 223 es proporcionada en respuesta a la transición subsiguiente de la señal de oscilación 219. También cuando la señal de oscilación 219 pasa a "bajo" después de la señal de auto-refresco 213, la señal de petición 223 es cesada en respuesta a la subsiguiente transición de bajada de la señal de oscilación 219. Por tanto, el controlador 215 arbitra un conflicto de temporización entre la señal de auto-refresco 219 y la señal de auto-refresco 213.

La Figura 3 muestra un dispositivo DRAM según una realización de la presente invención. Los circuitos del dispositivo DRAM mostrados en la Figura 3 operan con voltajes de la fuente de alimentación alto y bajo, VDD y VSS, que se corresponden con los voltajes de nivel lógico "alto" y "bajo", respectivamente. El dispositivo DRAM corresponde a un modo de auto-refresco y a un modo normal (modo de no auto-refresco).

Con referencia a la Figura 3, una señal de orden "ORDEN" 311 es alimentada a un detector de modo de auto-refresco 313 que activa y desactiva una señal de modo de auto-refresco "MODO\_AREF" 315 a la entrada y a la salida del modo de auto-refresco, respectivamente. La señal de modo de auto-refresco 315 es proporcionada a un controlador de auto-refresco 317. La señal de modo de auto-refresco 325 realiza la transición desde el estado lógico "bajo" al estado lógico "alto" (es decir, una transición de subida) en respuesta a la orden "entrada de auto-refresco" y realiza la transición desde el estado lógico "alto" al estado lógico "bajo" (es decir, una transición de bajada) en respuesta a la orden "salida de auto-refresco". El controlador de auto-refresco 317 funciona como un circuito lógico Y.

Una señal de encendido "ENCD" 319 es alimentada a un oscilador accionado por el encendido 320 que a su vez proporciona una señal de oscilación de auto-refresco "OSC\_AREF" 325 al controlador de auto-refresco 317. El oscilador accionado por encendido 320 incluye un oscilador de marcha libre 321 que genera una señal de oscilación de pulsos, independiente de la señal de modo de auto-refresco 315. El oscilador de marcha libre 321 genera pulsos que tienen un periodo y un ancho predeterminados. La señal de encendido 319 es proporcionada cuando el dispositivo DRAM es puesto en funcionamiento y ajusta un interruptor de operación 323 al estado "encendido", conectando así el oscilador de marcha libre a VDD. Por tanto, los voltajes de fuente de alimentación correspondientes a los voltajes de nivel lógico "alto" y "bajo", VDD y VSS, son suministrados al oscilador de marcha libre 321 para que se active para comenzar la oscilación. El oscilador de marcha libre 321 continúa operando hasta que el interruptor 323 sea desconectado con la pérdida de la señal de encendido 319 cuando es retirada la alimentación al dispositivo DRAM o el dispositivo DRAM entra en el "modo de desconexión profunda", en el que no es necesario refrescar ningún dato de las celdas de la DRAM.

En respuesta a la señal de modo de auto-refresco 315 y a la señal de oscilación de auto-refresco 325, el controlador de auto-refresco 317 activa y desactiva una señal de oscilación de petición de auto-refresco "PET\_AREF" 327 que es proporcionada a un contador de direcciones de fila interno 329 y a un decodificador de dirección de fila 331. El contador de direcciones de fila interno 329 proporciona una señal de dirección de fila interna 333, RFA[0:n] al decodificador de dirección de fila 331 que la decodifica para proporcionar una señal de dirección decodificada 335, con el resultado de que es activada una línea de palabra seleccionada (no mostrada). Las celdas de memoria del dispositivo DRAM conectadas a la línea de palabra activada son refrescadas. El oscilador de marcha libre 321 comienza su oscilación independientemente de la entrada del modo de auto-refresco, y su oscilación está en marcha libre y, por tanto, la generación de la señal de oscilación de petición de auto-refresco 327 no está correctamente sincronizada con la señal de modo de auto-refresco 315. Esencialmente la transición de la señal MODO\_AREF 315 no tiene interrelación con la señal OSC\_AREF 325. Esto puede tener como resultado pulsos no deseados en la señal PET\_AREF bajo ciertas situaciones como se tratará a continuación con más detalle. Sin embargo, se advierte

que en la realización mostrada en la Figura 3, el tiempo requerido para generar las señales de dirección de auto-refresco es menor que en el enfoque convencional ilustrado en la Figura 1A, puesto que el oscilador de marcha libre accionado por encendido 320 de la Figura 3 asegura que hay una señal de oscilación disponible para generar las señales de dirección de auto-refresco tan pronto como el circuito integrado ha sido encendido a diferencia de esperar hasta que sea recibida una señal de orden de auto-refresco.

La Figura 4A muestra una secuencia de tiempo relativo para las señales del dispositivo DRAM mostrado en la Figura 3. Con referencia a las figuras 3 y 4A, el oscilador accionado por encendido 320 (el oscilador de marcha libre 321) es iniciado tan pronto como es activado (encendido) el dispositivo DRAM en respuesta a la señal de encendido 319 en el instante  $t_{PW}$ . Posteriormente, la señal de oscilación de auto-refresco 325 es proporcionada continuamente como una entrada al controlador de auto-refresco 317, sin tener en cuenta el estado lógico de la señal de modo de auto-refresco 315. La señal de oscilación 325 es una señal de oscilación que tiene un periodo de pulso predeterminado y fijo  $T_{OSC}$  sin compensación de temperatura y un ancho de pulso predeterminado y fijo  $T_{OSCW}$ . El periodo de pulso  $T_{OSC}$  es fijado en un instante de encendido por un controlador de memoria (no mostrado), por ejemplo.

La generación de la señal de oscilación de petición de auto-refresco 327 es controlada por la señal de modo de auto-refresco 315 y la señal de oscilación de auto-refresco 325 para producir la señal de petición de auto-refresco 327 para el contador de direcciones de fila interno 329 y el decodificador de dirección de fila 331. Cuando el controlador de auto-refresco 317 según la realización mostrada en la Figura 3 funciona como circuito lógico Y, los pulsos de la señal de oscilación de auto-refresco 325 son filtrados durante el estado lógico "alto" de la señal de modo de auto-refresco 315. Sin embargo, la señal de oscilación de auto-refresco 325 no está correctamente sincronizada con la señal de modo de auto-refresco 315 y, por tanto, la señal de petición de auto-refresco 327 puede tener anchos de pulso impredecibles a la entrada y a la salida del modo de auto-refresco. Por tanto, impulsos estrechos están posiblemente activos durante un tiempo insuficiente, causando malfuncionamiento de la decodificación de dirección de fila. Como resultado, las líneas de palabra deseadas puede no estar activadas y los datos se perderán. Los malfuncionamientos provocados por la producción de tales pulsos estrechos serán descritos después con referencia a la Figura 4B.

Con respecto a la temporización de pulsos de la señal de oscilación de petición de auto-refresco hay dos posibles situaciones entre la señal de modo de auto-refresco 315 y la señal de oscilación de auto-refresco 325. Una situación es que la transición de estado lógico (una transición de subida desde el estado lógico "bajo" al "alto" y/o una transición de bajada del estado lógico "alto" al "bajo") de la señal de modo de auto-refresco 315 no se produce durante el estado lógico "alto" de la señal de oscilación de auto-refresco 325. Este es el llamado "estado de no solapamiento". La otra situación es una situación crítica en la que la transición de estado lógico (transición de subida desde el estado lógico "bajo" al "alto" y/o una transición de bajada desde el estado lógico "alto" al "bajo") de la señal de modo de auto-refresco 315 se produce durante el estado lógico "alto" de la señal de oscilación de auto-refresco 325. Este es llamado un "estado de solapamiento".

A continuación se tratará el estado de no solapamiento. La señal de modo de auto-refresco 315 no cambia su transición lógica durante el estado lógico "alto" de la señal de oscilación de auto-refresco 325. En esta situación, como se muestra en la Figura 4A, la transición del estado lógico "bajo" al "alto" de la señal de modo de auto-refresco 315 es anterior a la de la señal de oscilación de auto-refresco 325 en un intervalo de tiempo (tiempo de ajuste)  $\Delta T_1$ . También la transición de estado lógico "alto" al "bajo" (es decir, una transición de bajada) de la señal de modo de auto-refresco 315 es anterior a la transición de estado lógico "alto" al "bajo" de la señal de oscilación de auto-refresco 325 en intervalo de tiempo  $\Delta T_2$ . En este caso, los pulsos de la señal de oscilación de auto-refresco 325 son filtrados por el controlador de auto-refresco 317 que funciona como circuito lógico Y. Por tanto, el controlador de auto-refresco 317 proporciona la señal de oscilación de petición de auto-refresco 327, que se corresponde directamente con la señal de oscilación de auto-refresco 325 sólo mientras la señal de modo de auto-refresco 315 está en el estado lógico "alto". Por tanto, la provisión y el cese de la señal de oscilación de petición de auto-refresco 327 son controladas por la señal de modo de auto-refresco 315 y la sigue con sólo pequeños retardos  $\Delta T_1$  y  $\Delta T_2$  como se explicó antes.

La Figura 4B muestra una secuencia relativa de tiempo para las señales del dispositivo DRAM en el estado de solapamiento, en el que la señal de modo de auto-refresco 315 cambia su estado lógico durante el estado lógico "alto" de la señal de oscilación de auto-refresco 325. Con referencia a las figuras 4B y 3, la señal de oscilación de auto-refresco 325 pasa a "alto" un intervalo de tiempo  $\Delta T_3$  antes de la transición de subida de la señal de modo de auto-refresco 315. También, la señal de oscilación de auto-refresco 325 pasa a "bajo" un intervalo de tiempo  $\Delta T_4$  después de la transición de bajada de la señal de modo de auto-refresco 315. Si el controlador de auto-refresco 317 funciona como circuito lógico Y, producirá la señal de oscilación de petición de auto-refresco 327 que tiene pulsos de anchos  $\Delta T_{PW1}$  y  $\Delta T_{PW2}$  al principio y al final (es decir, a la entrada y a la salida) del modo de auto-refresco, como se muestra en la Figura 4B. Los anchos de pulso  $\Delta T_{PW1}$  y  $\Delta T_{PW2}$  son más estrechos que el ancho de pulso  $T_{OSCW}$  de la señal de oscilación 325. Tales anchos de pulso más pequeños de la señal de petición de auto-refresco 327 pueden causar un malfuncionamiento de la decodificación de dirección de fila por el decodificador de dirección de fila 331. Esto puede tener como resultado que las líneas de palabra sean activadas durante una duración insuficiente para restaurar los niveles de datos. Tales problemas de malfuncionamiento posiblemente causados por "el estado de

solapamiento” en una situación crítica pueden ser resueltos implementando un circuito de arbitraje de temporización dentro del controlador de auto-refresco 317 como se muestra en la Figura 5.

La Figura 5 muestra un dispositivo DRAM de acuerdo con otra realización de la presente invención. El dispositivo DRAM mostrado en la Figura 5 resuelve los problemas relativos a las situaciones críticas descritas antes. Por tanto, el controlador de auto-refresco mostrado en la Figura 5 es diferente al de la Figura 3 y los otros son similares a los de la Figura 3.

Con referencia a la Figura 5, una señal de orden “ORDEN” 511 es alimentada a un detector de modo de auto-refresco 513 que a su vez proporciona una señal de modo de auto-refresco “MODO\_AREF” 515 a un controlador de auto-refresco 520. Una señal de encendido “ENCD” 521 es alimentada a un oscilador de auto-refresco 530 que a su vez proporciona una señal de oscilación de auto-refresco “OSC-AREF” 533 al controlador de auto-refresco 520. La estructura del oscilador de auto-refresco 530 es la misma que la del oscilador accionado por encendido 320 mostrado en la Figura 3 e incluye un oscilador de marcha libre que genera una señal de oscilación. El oscilador de auto-refresco 530 es activado por la señal de encendido 521 cuando el dispositivo DRAM es puesto en marcha. En respuesta a la señal de modo de auto-refresco 515 y a la señal de oscilación de auto-refresco 533, el controlador de auto-refresco 520 proporciona una señal de oscilación de petición de auto-refresco 325 “PET\_AREF” 535 a un contador de direcciones de fila interno 537. La señal de oscilación de petición de auto-refresco “PET\_AREF” 535 es proporcionada a un decodificador de dirección de fila 539 también para la consideración de los retardos de temporización de las señales. El contador de direcciones de fila interno 537 proporciona una señal de dirección de fila interna 541, RFA[0:n] al decodificador de dirección de fila 539 que la decodifica para proporcionar una señal de dirección decodificada 543, con el resultado de que es activada una línea de palabra seleccionada (no mostrada). Las celdas de memoria del dispositivo DRAM conectadas a la línea de palabra activada son refrescadas.

El controlador de auto-refresco 520 es similar al controlador de auto-refresco 317 mostrado en la Figura 3, pero funciona como circuito de arbitraje. Con referencia a la Figura 5, el controlador de auto-refresco 520 incluye una circuitería lógica que tiene un primer y un segundo cerrojos de tipo RS 551 y 553 en cascada y un circuito Y 555 para arbitrar condiciones de temporización críticas. Cada uno del primer y segundo cerrojos RS 551 y 553 incluye dos puertas de entrada NO-Y con acoplamiento cruzado para formar una báscula que tiene terminales de entrada de posición y reposición “S” y “R”. La señal de modo de de auto-refresco 515 y la señal de oscilación de auto-refresco 533 son alimentadas al primer cerrojo RS 551 que incluye dos puertas NO-Y 561 y 563. Una señal de salida “N1” del cerrojo RS 551 (es decir la salida de la puerta NO-Y 561) y la señal de oscilación de auto-refresco 533 son alimentadas al segundo cerrojo RS 553 que incluye dos puertas NO-Y 571 y 573. Una señal de salida “N2” del cerrojo RS 553 (es decir, la salida de la puerta NO-Y 571) y la señal de oscilación de auto-refresco 533 son alimentadas al circuito Y 555 que incluye una puerta NO-Y 581 y un inversor 583. La señal lógica de salida de la puerta NO-Y 581 es invertida por el inversor 583 para proporcionar la señal de oscilación de petición de auto-refresco 535. Los circuitos del dispositivo DRAM mostrados en la Figura 5 operan con voltajes de fuente de alimentación alto y bajo, VDD y VSS, que se corresponden con los voltajes de nivel lógico “alto” y “bajo”, respectivamente.

La Figura 6 muestra una secuencia de temporización relativa para las señales mostradas en la Figura 5 en el estado de solapamiento de la señal de modo de auto-refresco y la señal de oscilador. Como se muestra en la Figura 6, en la entrada de auto-refresco, si la transición de subida de la señal de modo de auto-refresco 515 se produce durante el periodo del estado lógico “alto” de la señal de oscilación de auto-refresco 533, la señal de oscilación de petición de auto-refresco 535 no será generada por el estado de solapamiento, para evitar generar un pulso  $\Delta T_{PW1}$  estrecho (véase la Figura 4B). Tal pulso estrecho provoca un nivel de restauración de celda insuficiente. De forma similar, a la salida del auto-refresco, si la transición de bajada de la señal de modo de auto-refresco 511 se produce durante el estado lógico “alto” de la señal de oscilación de auto-refresco 533, la señal de oscilación de petición de auto-refresco 535 no será cesada por el estado de solapamiento para evitar generar un pulso estrecho  $\Delta T_{PW2}$  (véase la Figura 4B). Tal pulso estrecho puede no ser suficiente para terminar la restauración de celdas con el nivel de carga de celda correcto.

Con la entrada de auto-refresco, la señal de modo de auto-refresco 515 realiza una transición desde el estado lógico “bajo” al estado lógico “alto” en el instante  $t_{12}$ . En el instante  $t_{11}$  (el intervalo de tiempo  $\Delta T_3$  antes del instante  $t_{12}$ ), la señal de oscilación de auto-refresco 533 realiza la transición desde el estado lógico “bajo” al estado lógico “alto”. En respuesta a la transición de bajada de la señal de oscilación de auto-refresco 533 en el instante  $t_{13}$  (el ancho  $\Delta T_{PW1}$  después de instante  $t_{12}$ ), las puertas NO-Y 561 y 563 del cerrojo RS 551 cambian sus estados lógicos y la salida N2 de la puerta NO-Y 571 del cerrojo RS 563 cambia su estado lógico de “bajo” a “alto”. Sin embargo, cuando el estado lógico de la señal de oscilación de auto-refresco 533 es “bajo”, el circuito Y 555 (el inversor 583) no cambia su estado lógico de salida. En el instante  $t_{14}$  (el periodo de pulso  $T_{osc}$  después del instante  $t_{11}$ ), en respuesta a la transición de subida de la señal de oscilación de auto-refresco 533, el circuito Y 555 cambia su estado lógico de salida de “bajo” a “alto”. En respuesta a la siguiente transición de bajada de la señal de oscilación de auto-refresco 533 en el instante  $t_{15}$  (el ancho de pulso  $\Delta T_{OSCW}$  después del instante  $t_{14}$ ), la salida del circuito Y 555 pasa a “bajo”. Por consiguiente, el primer pulso es proporcionado como la señal de oscilación de petición de auto-refresco 535. Por tanto, los primeros estados lógicos “alto” solapados entre la señal de oscilación de auto-refresco 533 y la señal de

modo de auto-refresco 515 no hacen que sea generada la señal de oscilación de petición de auto-refresco 535. La subsiguiente transición de subida de la señal de oscilación de auto-refresco 533 en el instante  $t_{14}$  provoca la generación de la señal de oscilación de petición de auto-refresco 535. Por tanto, los cerrojos RS 551 y 553 detectan la transición de subida “solapada” en el instante  $t_{12}$  y mantienen la generación del pulso de la señal de oscilación de petición de auto-refresco 535 hasta la subsiguiente transición de subida de la señal de oscilación de auto-refresco 533.

Con la salida de auto-refresco, la señal de modo de auto-refresco 515 realiza la transición desde el estado lógico “alto” al estado lógico “bajo” en el instante  $t_{22}$ . Después del instante  $t_{21}$ , pero antes del instante  $t_{22}$ , la salida del cerrojo RS 533 (la salida N2 de la puerta NO-Y 571) es el estado lógico “alto”. En respuesta a la transición de subida de la señal de oscilación de auto-refresco 533, la salida del circuito Y 555 realiza la transición desde el estado lógico “bajo” al estado lógico “alto”. En el instante  $t_{22}$ , el estado lógico de la señal de modo de auto-refresco 515 realiza la transición desde el estado “alto” al “bajo”, y la salida N1 de la puerta NO-Y 561 realiza la transición del estado lógico “bajo” al estado lógico “alto”. Sin embargo, la salida N2b de la puerta NO-Y 573 mantiene su estado lógico “bajo”, con el resultado de que la salida N2 de la puerta NO-Y 571 no cambia su estado lógico (“alto”). Por tanto, el circuito Y 555 (el controlador de auto-refresco 520) mantiene su estado lógico “alto”. Posteriormente la señal de oscilación de auto-refresco 533 realiza la transición del estado lógico “alto” al estado lógico “bajo” en el instante  $t_{23}$  (el intervalo de tiempo  $\Delta T_4$  después del instante  $t_{22}$ ). Después, la salida N2 de la puerta NO-Y 571 cambia su estado lógico de “alto” a “bajo” con el resultado de que la salida del circuito Y 555 (la salida del controlador de auto-refresco 520) pasa a “bajo”. Posteriormente, la salida N2 del cerrojo RS 553 mantiene su estado lógico “bajo” y, por tanto, mientras que la señal de oscilación de auto-refresco 533 realiza la transición desde el estado lógico “bajo” al estado lógico “alto”, el controlador de auto-refresco 520 mantiene su estado lógico “bajo”. Por tanto, el último pulso es proporcionado como la señal de oscilación de petición de auto-refresco 535. Por tanto, los últimos estados lógicos “alto” solapados entre la señal de oscilación de auto-refresco 533 y la señal de modo de auto-refresco 515 no hacen que la señal de oscilación de petición de auto-refresco 535 sea cesada. La subsiguiente transición de bajada de la señal de oscilación de auto-refresco 533 en el instante  $t_{23}$  cesa la generación de la señal de oscilación de petición de auto-refresco 535. Por consiguiente, los cerrojos RS 551 y 553 detectan la transición de bajada “solapada” en el instante  $t_{22}$  y mantienen el cese del pulso de la señal de oscilación de petición de auto-refresco 535 hasta la subsiguiente transición de bajada de la señal de oscilación de auto-refresco 533.

La Figura 7 muestra la operación de arbitraje realizada por el controlador de auto-refresco 520 mostrado en la Figura 5. Con referencia a las figuras 5, 6 y 7, en respuesta a la señal de encendido 512, el oscilador de auto-refresco 530 comienza su oscilación de marcha libre y la señal de oscilación de auto-refresco 533 es generada continuamente. La operación de arbitraje es realizada en función de la temporización relativa de la señal de modo de auto-refresco 515 y la señal de oscilación de auto-refresco 533.

El controlador de auto-refresco 520 determina si el estado lógico de la señal de modo auto-refresco 515 para la entrada de auto-refresco (etapa 711) es “alto”. En el caso de que el estado lógico sea “bajo” (NO), esta etapa es repetida. Si el estado lógico se convierte en “alto” (SI), esto es para la entrada de auto-refresco (véase la operación en el instante  $t_{11}$  en la Figura 6), a continuación el controlador de auto-refresco 520 determinará el estado lógico de la señal de oscilación de auto-refresco 533 (etapa 712). En el caso en que el estado lógico sea “bajo” (NO), la relación de temporización entre la señal de modo de auto-refresco 515 y la señal de oscilación de auto-refresco 533 está en “estado de no solapamiento” y no es una situación crítica para la entrada del modo de auto-refresco. Por tanto, la señal de oscilación de auto-refresco 533 es filtrada en función de la señal de modo de auto-refresco 515 (etapa 713) y la señal de oscilación de petición de auto-refresco 535 es producida (véase la señal de oscilación de petición de auto-refresco 327 mostrada en la Figura 4A).

Por otra parte, en el caso en que el estado lógico de la señal de oscilación de auto-refresco 533 sea “alto” (SI en la etapa 712), la relación de temporización entre la señal de modo de auto-refresco 515 y la señal de oscilación de auto-refresco 533 está en el “estado solapado”. Esta es una situación crítica para la entrada del modo de auto-refresco. En respuesta a la subsiguiente transición de subida de la señal de oscilación de auto-refresco 533, la señal de oscilación de petición de auto-refresco 535 es producida (etapa 714) (véase la operación entre los instantes  $t_{11}$ - $t_{14}$  mostrada en la Figura 6).

Después de que se ha producido la señal de oscilación de petición de auto-refresco 535 (etapa 713 ó 714), el estado lógico de la señal de modo de auto-refresco 515 es determinado de nuevo para la salida de auto-refresco (etapa 715). En el caso en que el estado lógico sea “alto” (NO), el filtro de la señal de oscilación de auto-refresco 533 basado en la señal de modo de auto-refresco 515 es repetido (etapa 713). Si el estado lógico es “bajo” (SI) (véase la operación en el instante  $t_{22}$  en la Figura 6), para la salida de auto-refresco, posteriormente el controlador de auto-refresco 520 determinará el estado lógico de la señal de oscilación de auto-refresco 533 (etapa 716). En el caso en que el estado lógico sea “bajo” (SI), la condición de temporización de la señal de modo de auto-refresco 515 y la señal de oscilación de auto-refresco 533 están en el “estado de no solapamiento” y no es una situación crítica para la salida del modo de auto-refresco. La generación de la señal de oscilación de petición de auto-refresco 535 termina sin la generación de más pulsos de la señal de oscilación de petición de auto-refresco 535 (véase la señal de oscilación de petición de auto-refresco 327 mostrada en la Figura 4A).

Por otra parte, en un caso en el que el estado lógico de la señal de oscilación de auto-refresco 533 sea "alto" (NO en la etapa 716), el estado de temporización de la señal de modo de auto-refresco 515 y la señal de oscilación de auto-refresco 533 sea "estado solapado" se trata de una situación crítica. La subsiguiente transición de bajada de la señal de oscilación de auto-refresco 533 cesa la generación de los pulsos de la señal de oscilación de petición de auto-refresco 535 (etapa 717) (véase la operación entre los instantes  $t_{21}$ - $t_{23}$  mostrada en la Figura 6).

El controlador de auto-refresco 520 incluye un circuito de arbitraje para detectar una situación de temporización crítica que puede crear señales de salida de ancho de pulso variable y que espere una situación de temporización más adecuada que asegure la no variabilidad en los anchos de pulso antes de la generación de la señal apropiada. Con los dos cerrojos RS 551 y 553 del circuito de arbitraje, mientras que el estado lógico "alto" de la señal de oscilación de auto-refresco 535 está solapado con el de la señal de modo de auto-refresco 511 a la entrada del auto-refresco y/o la salida del auto-refresco, los pulsos solapados de la señal de oscilación de auto-refresco 533 no son transferidos como la señal de oscilación de petición de auto-refresco 535. Por tanto, los pulsos que tienen anchos que son demasiado pequeños (por ejemplo anchos de pulso  $\Delta T_{PW1}$  y  $\Delta T_{PW2}$  como se muestran por líneas de puntos en la Figura 6) no son proporcionados como la señal de oscilación de petición de auto-refresco 535 resultante al principio (entrada) del modo de auto-refresco y/o al final (salida) del modo de auto-refresco.

El dispositivo DRAM según la realización de la presente invención como se describió antes permite una oscilación de marcha libre para su auto-refresco. Por tanto, las celdas DRAM son auto-refrescadas de forma efectiva, mientras que el tiempo de iniciación del oscilador y el tiempo de retención de celda vienen dados por:

$$T_{SREF} > t_{REF}/N_{FIL} \quad (1)$$

donde:

$T_{SREF}$  es el tiempo de iniciación del oscilador  
 $T_{REF}$  es el tiempo de retención de celda DRAM  
 $N_{FIL}$  es el número de filas del dispositivo DRAM

Además, en los estados de "solapamiento" críticos entre los pulsos de la oscilación de marcha libre y la señal de modo de auto-refresco, el dispositivo DRAM según una realización de la presente invención realiza las funciones para detectar el solapamiento de los estados lógicos "alto" y mantener el estado lógico solapado. Por tanto, el oscilador es operado independientemente después del encendido y la señal de petición de auto-refresco interna es proporcionada correctamente por filtrado y almacenamiento transitorio de las transiciones de estado lógico en estados solapados, siendo utilizadas las transiciones de estado lógico principalmente para el propósito de la operación de refresco de las celdas DRAM. Por ejemplo, con tamaño de características con tecnología por debajo de 100 nm, los dispositivos o macros DRAM futuros pueden tener un amplio rango de características de refresco debido a los transistores de tamaño mínimo, la variación de la temperatura, la variación de voltaje y la variación de proceso. Es posible para el dispositivo DRAM según la realización de la presente invención que las celdas sean auto-refrescadas sin tener en cuenta la temporización de la entrada y salida del auto-refresco.

La Figura 8 muestra un dispositivo DRAM según otra realización de la presente invención. Con referencia a Figura 8, una señal de orden "ORDEN" 811 es alimentada a un detector de modo de auto-refresco 813 que a su vez proporciona una señal de modo de auto-refresco "MODO\_AREF" 815 a un controlador de auto-refresco 817. Una señal de encendido "ENCD" 819 es alimentada a un oscilador de auto-refresco 820 que a su vez proporciona una señal de oscilación de auto-refresco "OSC\_AREF" 825 al controlador de auto-refresco 817. El oscilador de auto-refresco 820 incluye un oscilador de marcha libre 821 que genera una señal de oscilación para producir la señal de oscilación de auto-refresco 825. El oscilador de auto-refresco 820 es activado por la señal de encendido 819 cuando el dispositivo DRAM es puesto en marcha. En respuesta a la señal de modo de auto-refresco 815 y a la señal de oscilación de auto-refresco 825, el controlador de auto-refresco 817 proporciona una señal de petición de auto-refresco "PET-AREF" 827 a un contador de direcciones de fila interno 829. En esta realización, la señal de petición de auto-refresco "PET-AREF" 827 es también proporcionada a un decodificador de dirección de fila 831 por la consideración de los retardos de temporización de las señales. El contador de direcciones de fila interno 829 proporciona una señal de dirección de fila interna 833, RFA[0:n] al decodificador de dirección de fila 831 que la decodifica para proporcionar una señal de dirección decodificada 835 con el resultado de que una línea de palabra seleccionada (no mostrada) es activada.

El dispositivo DRAM mostrado en la Figura 8 está basado en el dispositivo DRAM mostrado en la Figura 5, con características adicionales. Con referencia a la Figura 8, se ha añadido un controlador de compensación 841 que recibe una señal de compensación 843. El controlador de compensación 841 proporciona una señal de control 845 al oscilador de auto-refresco 820 para ajustar el periodo de pulso de oscilación  $T_{OSC}$  para que cubra un rango amplio de tiempo de retención de celdas DRAM variado por el proceso de transistor, nivel de fuente de alimentación, temperatura, etc.

5 Si la señal de compensación 843 incluye información de un cambio en la temperatura del dispositivo, el controlador de compensación 841 proporciona la señal de control 845 que incluye un valor de control del cambio de temperatura. El oscilador de marcha libre 821 ajusta o varía el periodo de pulso  $T_{OSC}$  o el periodo de pulso  $T_{OSC}$  y el ancho de pulso  $T_{OSCW}$ . De acuerdo con la temperatura del dispositivo, el ciclo de auto-refresco (que se relaciona directamente con el periodo de pulso  $T_{OSC}$ ) o ambos, el ciclo de auto-refresco y el intervalo de tiempo de auto-refresco (que se relaciona directamente con el ancho de pulso  $T_{OSCW}$ ) son controlados de forma variable (auto-refresco de control de la temperatura "ARCT"). El ciclo de auto-refresco puede así ser variado para ser más largo cuando la temperatura del dispositivo cae por debajo del valor nominal y variado para ser más corto cuando la temperatura del dispositivo aumenta por encima del valor nominal debido a la dependencia de la fuga de corriente sobre la temperatura del dispositivo.

10 De forma similar, si la información de control de la señal de compensación 843 es un cambio en el voltaje de fuente de alimentación (por ejemplo, el nivel de voltaje "alto" VDD), con control por el controlador de compensación 841, el ciclo de auto-refresco o el ciclo de auto-refresco y el intervalo de tiempo de auto-refresco son controlados de forma variable. Además, otro tipo de información de control puede ser proporcionada a la señal de compensación 843 mediante un controlador de memoria (no mostrado) para controlar de forma variable el auto-refresco. Por tanto, es posible para el dispositivo DRAM según la realización de la presente invención que las celdas sean refrescadas sobre un rango amplio de tiempo de retención de celdas.

15 En las realizaciones descritas antes, la operación ha sido descrita en base a las señales activas "alto" por simplicidad. Los circuitos pueden ser diseñados para realizar la operación basándose en las señales activas "bajo" de acuerdo con una preferencia de diseño. El oscilador de auto-refresco puede incluir además un divisor de frecuencia para reducir la frecuencia de la señal de oscilación del oscilador de marcha libre. En un caso de compensación de control de la temperatura para los circuitos de auto-refresco mostrados en la Figura 8, la señal de control del controlador de compensación puede cambiar o ajustar alguno o ambos de la frecuencia de oscilación y la razón de división de frecuencia, para controlar el auto refresco de forma variable. La señal de oscilación de petición de auto-refresco "PET-AREF" puede ser proporcionada al contador de direcciones de fila interno sin proporcionarla al decodificador de dirección de fila.

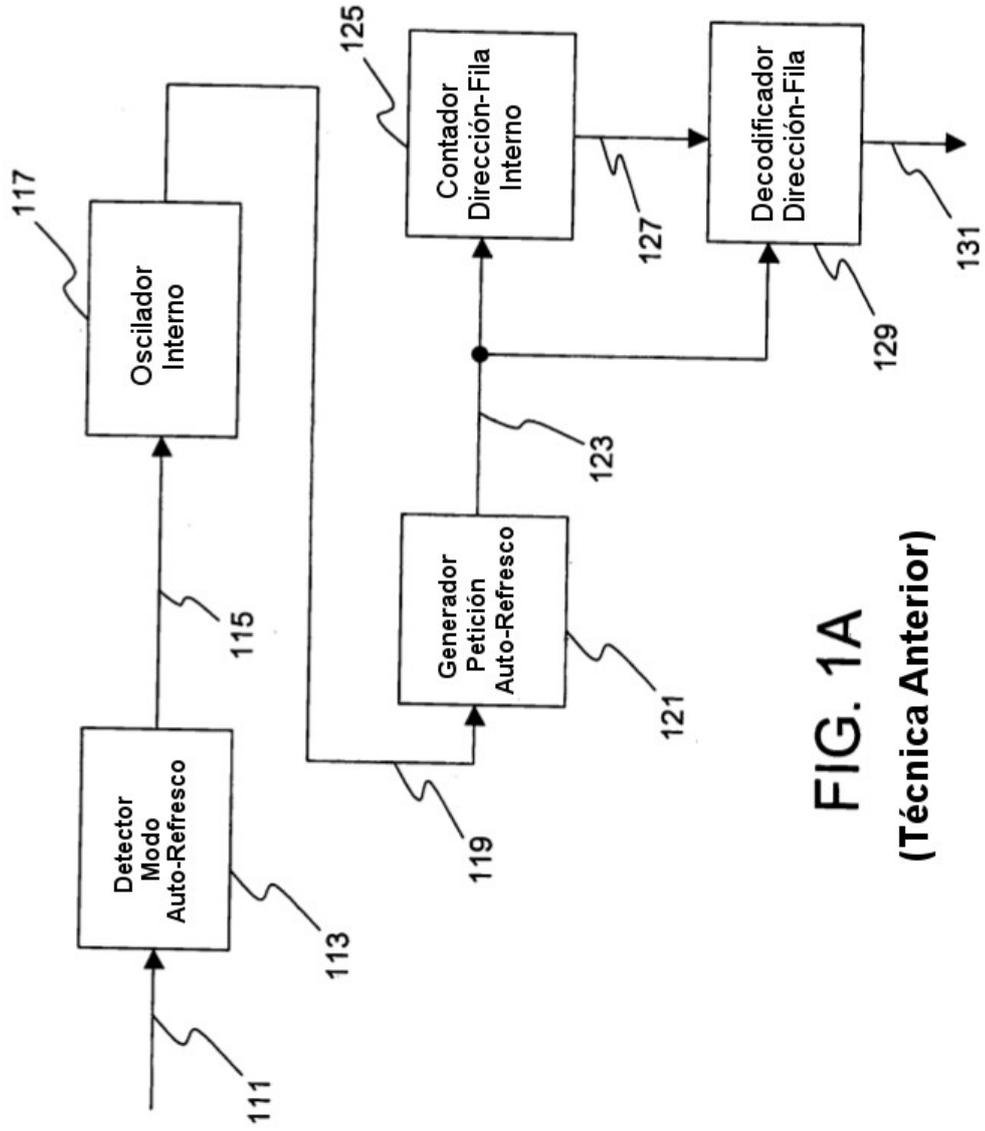
20 En las realizaciones descritas antes, los elementos del dispositivo y circuitos están conectados entre sí como se muestra en las figuras por simplicidad. En las aplicaciones prácticas de la presente invención a dispositivos DRAM y CI semiconductores, los circuitos, los elementos, los dispositivos, etc. pueden ser conectados directamente entre sí. Así mismo, los circuitos, los elementos, los dispositivos, etc., pueden ser conectados indirectamente entre sí a través de otros circuitos, elementos, dispositivos, etc., para la operación de los dispositivos DRAM e CI semiconductores. Por tanto, en la configuración real de los dispositivos DRAM e CI semiconductores, el circuito, los elementos, los dispositivos etc. son acoplados entre sí (directamente o indirectamente).

25 Las realizaciones descritas antes de la presente invención están pensadas sólo como ejemplos. Pueden realizarse alteraciones, modificaciones y variaciones a las realizaciones particulares por los expertos en la técnica sin salirse del alcance de la invención que está definido únicamente por las reivindicaciones adjuntas.

**REIVINDICACIONES**

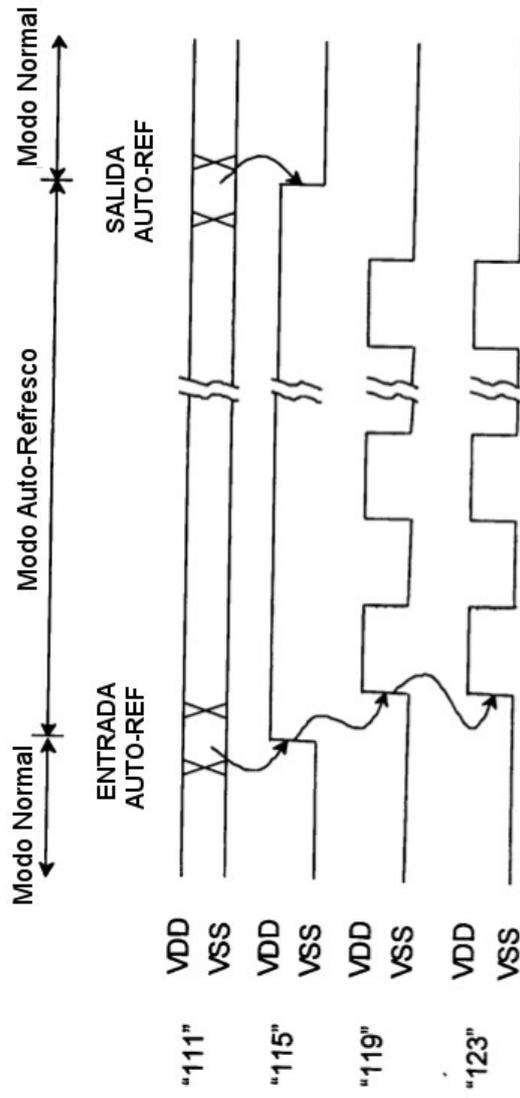
- 5 1. Un dispositivo de memoria dinámica de acceso aleatorio (abreviado DRAM) operado selectivamente en un modo de auto-refresco y un modo de no auto-refresco, comprendiendo el dispositivo DRAM:
- 10 un circuito de detección (315) para proporcionar una señal de modo de auto-refresco (315) en respuesta a la selección del modo de refresco; un circuito de oscilación (320) para producir una señal de oscilación (325); un circuito de petición de auto-refresco (317) para proporcionar una señal de petición de auto-refresco (327) en respuesta a la señal de modo de auto-refresco (315) y a la señal de oscilación (325); y un circuito de direccionamiento de refresco (329) para proporcionar una dirección de refresco (333) de celdas DRAM a ser refrescadas en respuesta a la señal de petición de auto-refresco (327); caracterizado porque dicho circuito de oscilación (320) produce dicha señal de oscilación (325) en respuesta a una señal de indicación de alimentación DRAM (319).
- 15 2. El dispositivo DRAM según la reivindicación 1, en el que el circuito de oscilación comprende:
- 20 un oscilador de marcha libre para producir la señal de oscilación, comenzando el oscilador de marcha libre la producción de la señal de oscilación en respuesta a una señal de alimentación.
3. El dispositivo DRAM según la reivindicación 2, en el que:
- 25 el circuito de detección activa y desactiva la señal de modo de auto-refresco en respuesta a una entrada en el modo de auto-refresco y una salida del mismo, respectivamente, activando y desactivando el circuito de petición de auto-refresco la señal de petición de auto-refresco en respuesta a la entrada y a la salida del modo de auto-refresco, respectivamente.
4. El dispositivo DRAM según la reivindicación 3, en el que:
- 30 el circuito de detección activa la señal de modo de auto-refresco para que esté en los estados "alto" y "bajo", en respuesta al modo de auto-refresco y al modo de no auto-refresco, respectivamente.
5. El dispositivo DRAM según la reivindicación 4, en el que:
- 35 el circuito de oscilación produce una señal de pulsos que tiene estados lógicos "alto" y "bajo" como la señal de oscilación, produciéndose las transiciones de estado lógico de la señal de oscilación con independencia de los estados lógicos de la señal de modo de auto-refresco.
- 40 6. El dispositivo DRAM según la reivindicación 5, en el que el circuito de petición de auto-refresco comprende:
- un circuito lógico para combinar lógicamente la señal de modo de auto-refresco y la señal de oscilación para proporcionar una señal de salida combinada lógicamente como la señal de petición de auto-refresco.
- 45 7. El dispositivo DRAM según la reivindicación 6, en el que:
- el circuito lógico proporciona la señal de petición de auto-refresco en respuesta a la transición del estado lógico "bajo" al estado lógico "alto" de la señal de oscilación, cuando el estado lógico de la señal de modo de auto-refresco es "alto".
- 50 8. El dispositivo DRAM según la reivindicación 7, en el que:
- el circuito lógico cesa de proporcionar la señal de petición de auto-refresco cuando el estado lógico de la señal de modo de auto-refresco es "bajo".
- 55 9. El dispositivo DRAM según la reivindicación 6, en el que el circuito lógico comprende:
- un circuito de arbitraje para arbitrar un conflicto de temporización de señal entre la señal de modo de auto-refresco y la señal de oscilación, cuando se solapan los estados lógicos "alto" de la señal de modo de auto-refresco y la señal de oscilación.
- 60 10. El dispositivo DRAM según la reivindicación 9, en el que:
- 65 cuando los estados lógicos "alto" de la señal de modo de auto-refresco y la señal de oscilación se solapan, el circuito lógico proporciona la señal de petición de auto-refresco, en respuesta a una transición subsiguiente desde el estado lógico "bajo" al estado lógico "alto" de la señal de oscilación.

11. El dispositivo DRAM según la reivindicación 10, en el que:
- 5 cuando los estados lógicos “alto” de la señal de modo de auto-refresco y la señal de oscilación se solapan, el circuito lógico cesa de proporcionar la señal de petición de auto-refresco, en respuesta a una transición subsiguiente desde el estado lógico “alto” al estado lógico “bajo” de la señal de oscilación.
12. El dispositivo DRAM según la reivindicación 9, en el que el circuito de arbitraje comprende:
- 10 un circuito cerrojo que incluye primera y segunda basculas en cascada, teniendo cada una de dichas basculas entradas de posición y reposición, respondiendo las entradas de posición y reposición de la primera bascula a la señal de modo de auto-refresco y la señal de oscilación, respectivamente, respondiendo las entradas de posición y reposición de la segunda bascula a una salida de la primera bascula y la señal de oscilación, respectivamente, provocando la salida de la segunda bascula que sea proporcionada la señal de petición de auto-refresco.
- 15
13. El dispositivo DRAM según la reivindicación 12, en el que el circuito lógico comprende además:
- 20 una puerta Y para combinar lógicamente la señal de salida de la segunda bascula y la señal de oscilación para producir la señal combinada lógicamente como la señal de petición de auto-refresco.
14. Un método para auto-refrescar un dispositivo de memoria dinámica de acceso aleatorio, abreviado DRAM, que tiene celdas de memoria operadas en un modo de auto-refresco y un modo de no auto-refresco, comprendiendo el método:
- 25 proporcionar una señal de modo de auto-refresco (315) que sea activada o desactivada en el modo de auto-refresco y el modo de no auto-refresco, respectivamente; producir una señal de oscilación (325) independiente de la señal de modo de auto-refresco, en respuesta a una señal de indicación de alimentación de la DRAM (319); proporcionar una señal de petición de auto-refresco (327) en respuesta a la señal de modo de auto-refresco (315) y la señal de oscilación (325); y proporcionar una señal de dirección (333) en respuesta a la señal de petición de auto-refresco (327) para refrescar las celdas de memoria relevantes de una línea de palabra seleccionada por la señal de dirección.
- 30
15. El método según la reivindicación 14, que comprende además:
- 35 cesar de proporcionar una señal de petición de auto-refresco en respuesta a la señal de modo de auto-refresco y la señal de oscilación.
16. El método según la reivindicación 15, en el que:
- 40 la etapa de proporcionar una señal de modo de auto-refresco comprende proporcionar una señal de modo de auto-refresco que tenga estados lógicos “alto” y “bajo”; la etapa de producir una señal de oscilación comprende producir una señal de oscilación que tenga los estados lógicos “alto” y “bajo”; y la etapa de proporcionar una señal de petición de auto-refresco comprende proporcionar una señal de petición de auto-refresco en respuesta a los estados lógicos de la señal de modo de auto-refresco y la señal de oscilación.
- 45
17. El método según la reivindicación 16, en el que la etapa de proporcionar una señal de petición de auto-refresco comprende:
- 50 arbitrar una temporización para proporcionar la señal de petición de auto-refresco en base a los estados lógicos en el caso en que la señal de modo de auto-refresco y la señal de oscilación estén en los estados lógicos “alto”.
18. El método según la reivindicación 17, en el que la etapa de arbitrar una temporización comprende:
- 55 en un caso en el que una transición de subida de la señal de modo de auto-refresco sea anterior a la de la señal de oscilación, proporcionar la señal de auto-refresco en respuesta a una transición de elevación subsiguiente de la señal de oscilación.
19. El método según la reivindicación 17, en el que la etapa de arbitrar una temporización comprende:
- 60 en un caso en el que una transición de subida de la señal de oscilación sea anterior a la de la señal de modo de auto-refresco, cesar la producción de la señal de auto-refresco en respuesta a una transición de bajada subsiguiente de la señal de oscilación.



**FIG. 1A**

**(Técnica Anterior)**



**FIG. 1B**  
(Técnica Anterior)

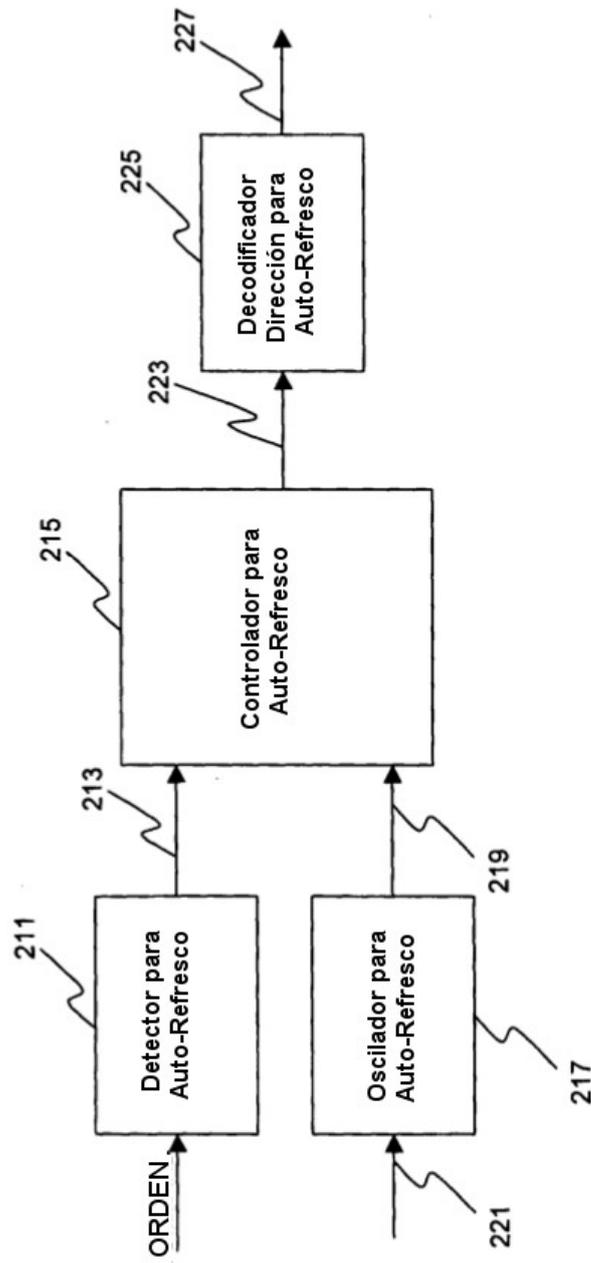


FIG. 2

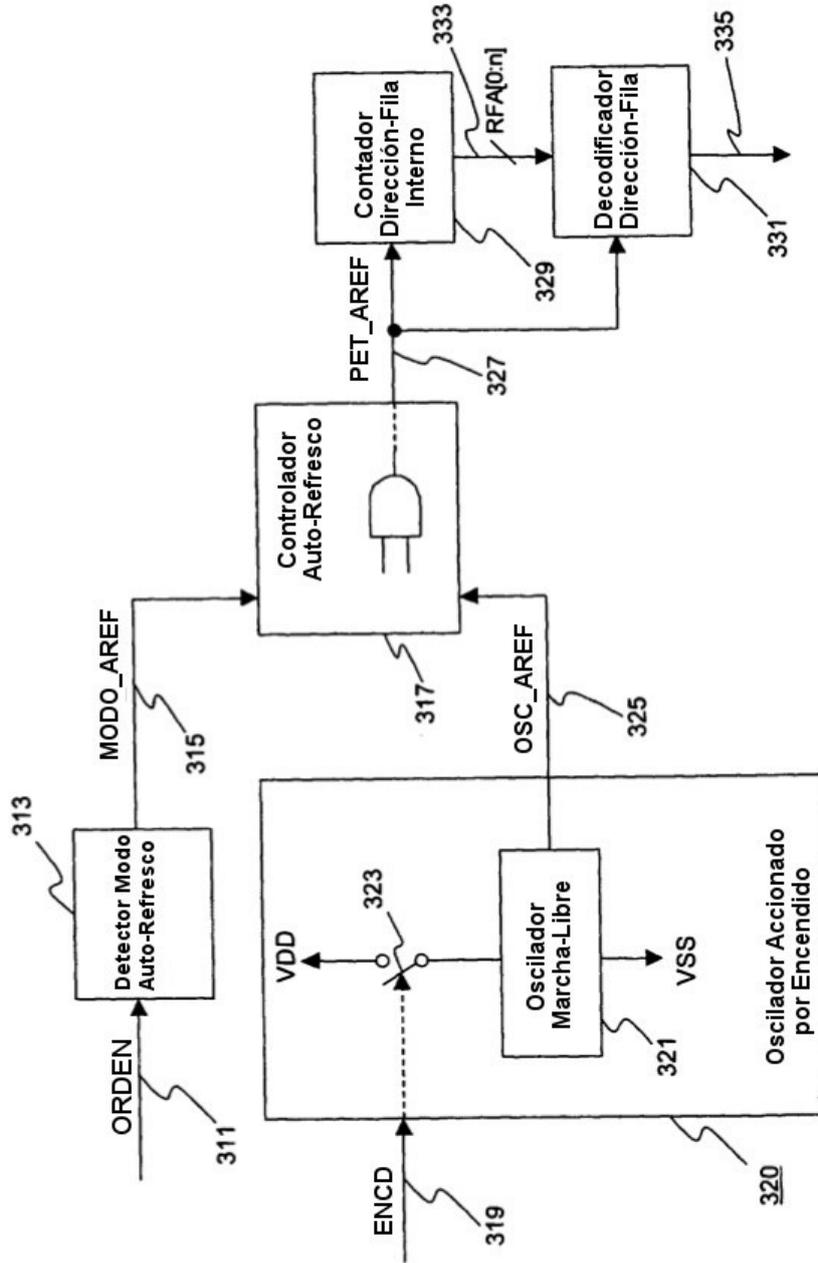


FIG. 3

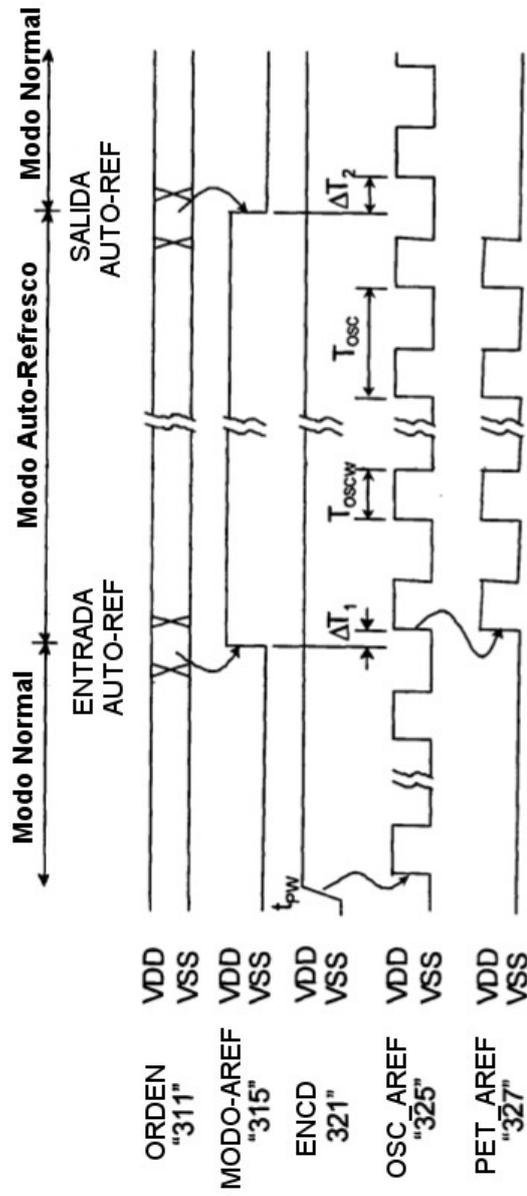


FIG. 4A

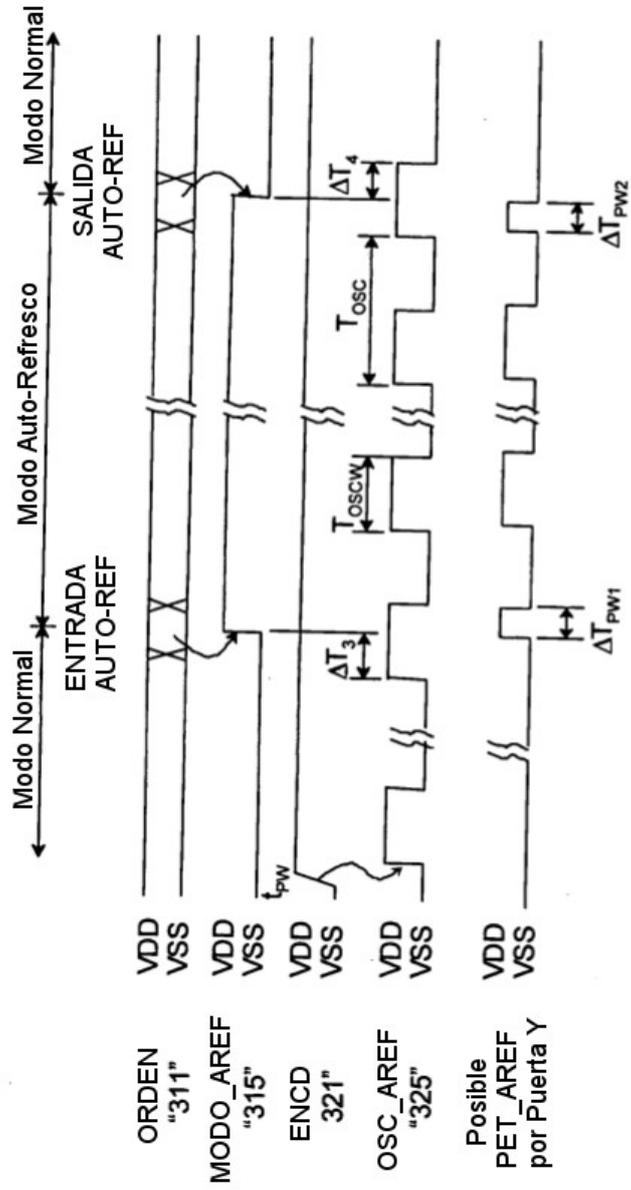


FIG. 4B

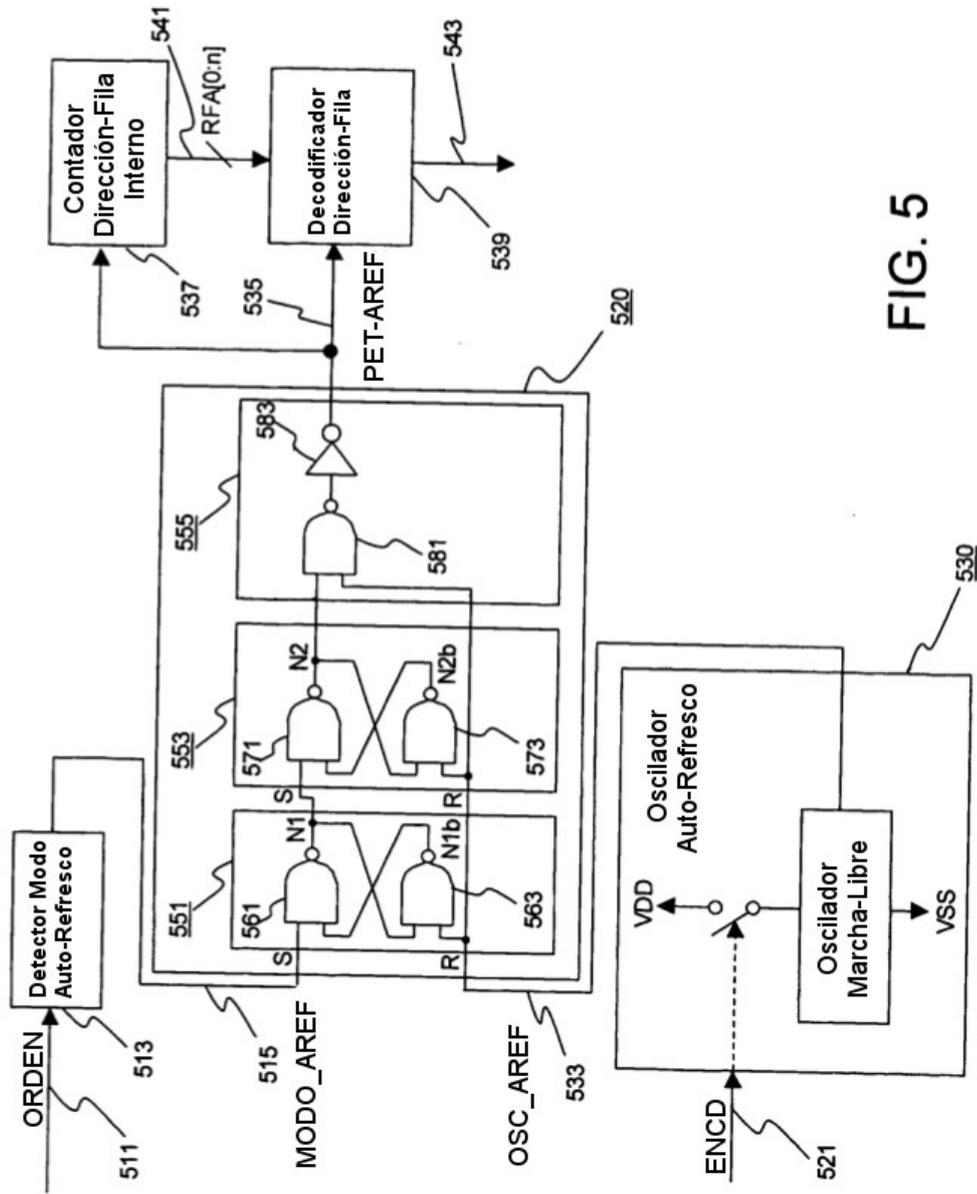


FIG. 5

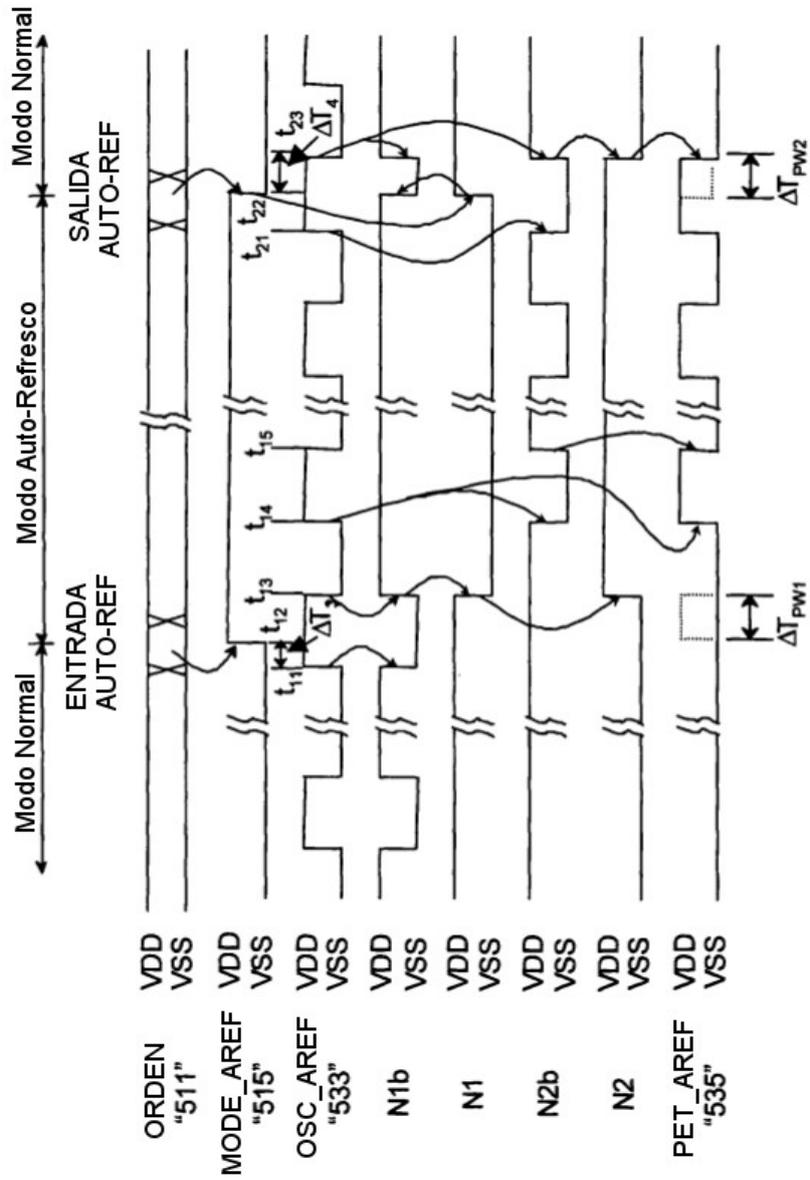


FIG. 6

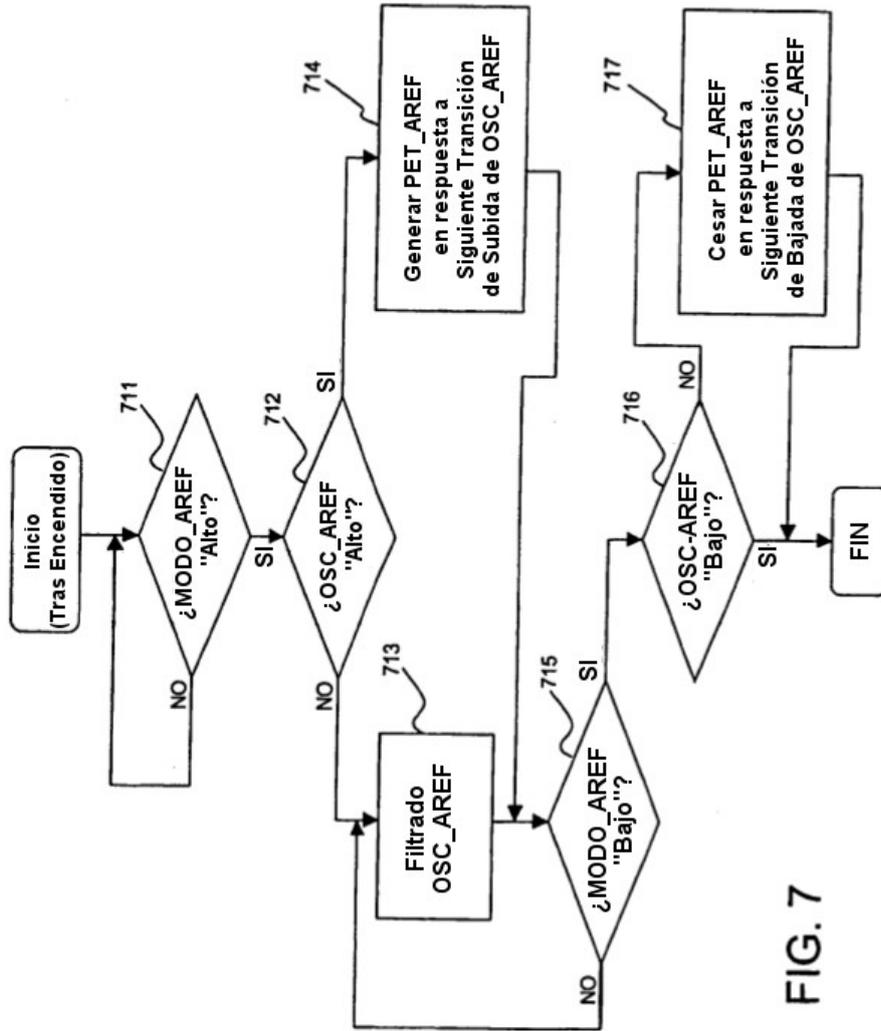


FIG. 7

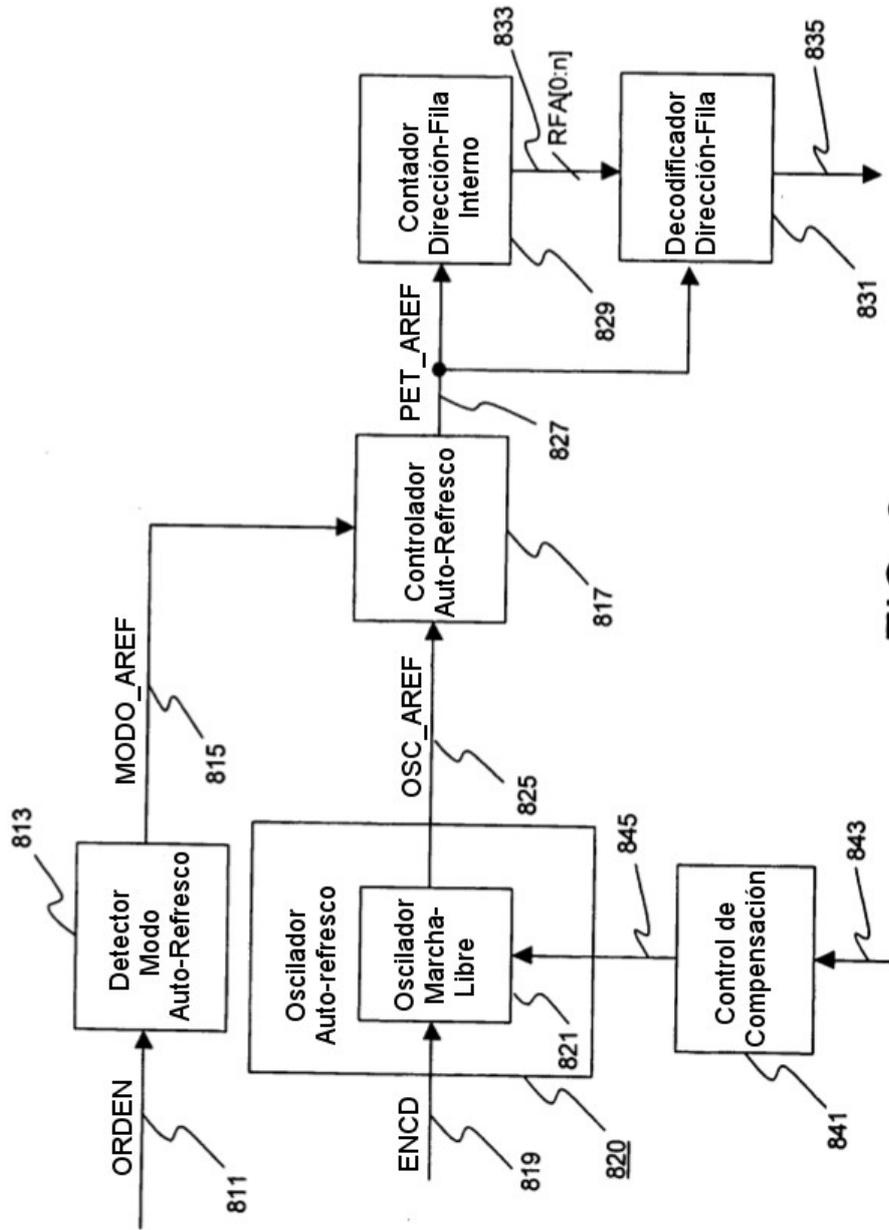


FIG. 8