

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 386 478**

51 Int. Cl.:
G06F 9/38

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **07840305 .2**

96 Fecha de presentación: **28.06.2007**

97 Número de publicación de la solicitud: **2035921**

97 Fecha de publicación de la solicitud: **18.03.2009**

54 Título: **Procedimiento y aparato para la gestión proactiva de memoria intermedia de direcciones de bifurcación de destino**

30 Prioridad:
29.06.2006 US 427349

45 Fecha de publicación de la mención BOPI:
21.08.2012

45 Fecha de la publicación del folleto de la patente:
21.08.2012

73 Titular/es:
**QUALCOMM INCORPORATED
ATTN: INTERNATIONAL IP ADMINISTRATION
5775 MOREHOUSE DRIVE
SAN DIEGO, CA 92121, US**

72 Inventor/es:
RYCHLIK, Bohuslav

74 Agente/Representante:
Carpintero López, Mario

ES 2 386 478 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimientos y aparato para la gestión activa de memoria intermedia de direcciones de bifurcación de destino

Campo de la invención

La presente invención versa acerca de un sistema de predicción de bifurcaciones de múltiples etapas.

5 Antecedentes

Los microprocesadores llevan a cabo tareas de cálculo en una amplia variedad de aplicaciones. Casi siempre es deseable un rendimiento mayor del procesador para permitir una operación más rápida y/o un aumento de la funcionalidad mediante cambios en el soporte lógico. En muchas aplicaciones integradas, tales como dispositivos electrónicos portátiles, la conservación de la energía también es una meta importante en el diseño y la implementación de los procesadores.

Muchos procesadores modernos emplean una arquitectura de segmentación de cauce en la que se solapan en ejecución instrucciones secuenciales, cada una de las cuales tiene múltiples etapas de ejecución. En aras de un mayor rendimiento, las instrucciones deberían fluir de forma continua por el cauce. Cualquier situación que haga que las instrucciones se atasquen en el cauce puede perjudicar el rendimiento. Si se vacían instrucciones del cauce y luego son buscadas de nuevo, se resienten tanto el rendimiento como el consumo de energía.

La mayoría de los programas incluye instrucciones de bifurcación condicional, desconociéndose el comportamiento real de bifurcación de los cuales hasta que se evalúe la instrucción muy dentro del cauce. Para evitar el atasco que resultaría de esperar la evaluación real de la instrucción de bifurcación, los procesadores modernos pueden emplear alguna forma de predicción de bifurcaciones por la que se prediga el comportamiento de bifurcación de las instrucciones de bifurcación condicional temprano en el cauce. Con base en la evaluación de la bifurcación predicha, el procesador busca especulativamente (busca de antemano) y ejecuta instrucciones de una dirección predicha, ya se trate de la dirección de bifurcación de destino (si se predice que se tomará la bifurcación) o la siguiente dirección secuencial después de la instrucción de bifurcación (si se predice que no se tomará la bifurcación). Que haya de tomarse o no una instrucción de bifurcación condicional se denomina determinación de la dirección de la bifurcación. La determinación de la dirección de la bifurcación puede realizarse en el momento de la predicción y en el momento de la resolución real de la bifurcación. Cuando se determina el comportamiento real de la bifurcación, si se predijo equivocadamente la bifurcación, deben vaciarse del cauce las instrucciones buscadas especulativamente y deben buscarse nuevas instrucciones de la siguiente dirección correcta. La búsqueda de instrucciones de antemano en respuesta a una predicción errónea de bifurcación puede tener un impacto adverso en el rendimiento y el consumo de energía del procesador. En consecuencia, mejorar la precisión de la predicción de bifurcaciones es una importante meta de diseño de los procesadores.

Una forma conocida de predicción de bifurcaciones incluye dividir la predicción de bifurcaciones en dos predictores: una memoria intermedia de direcciones iniciales de bifurcación de destino (BTAC) y una tabla del historial de bifurcaciones (BHT). La BTAC, también denominada memoria intermedia de bifurcaciones de destino (BTB), está indexada por una dirección de búsqueda de instrucción y contiene la siguiente dirección buscada, también denominada bifurcación de destino, correspondiente a la dirección de búsqueda de instrucción. Se añaden entradas a una BTAC convencional después de que una instrucción de bifurcación ha pasado por el cauce del procesador y se ha tomado su bifurcación. Si la BTAC convencional está llena, convencionalmente se eliminan entradas de la BTAC usando algoritmos estándar de sustitución de la memoria intermedia (tales como el turno rotatorio o del usado menos recientemente) cuando se añade la siguiente entrada.

Las BTAC, en general, son implementadas a menudo como un diseño de una memoria intermedia muy asociativa y a la que se accede temprano en el cauce de búsqueda. Si la dirección de búsqueda coincide con una entrada BTAC (una diana en la BTAC), la correspondiente siguiente dirección de búsqueda o dirección de destino es buscada en el ciclo siguiente. Esta situación de coincidencia y subsiguiente búsqueda de la dirección de destino se denomina predicción implícita de bifurcación tomada. Si no hay coincidencia (un diana fallida en la BTAC), la siguiente dirección incrementada secuencialmente es buscada en el ciclo siguiente. Esta situación de falta de coincidencia se denomina también predicción implícita de bifurcación no tomada.

Las BTAC, en general, son utilizadas junto con un predictor individual más preciso de direcciones de bifurcación, tal como la tabla del historial de bifurcaciones (BHT), también denominada tabla del historial de patrones (PHT). Las BHT convencionales son objeto de acceso más tarde en el cauce que una BTAC convencional. Como tales, puede haber presente información adicional para efectuar una mejor predicción. Una BHT convencional puede contener un conjunto de contadores de direcciones predichas con saturación para producir una decisión más precisa de bifurcación tomada/no tomada para instrucciones individuales de bifurcación. Por ejemplo, cada contador de direcciones predichas con saturación puede comprender un contador de 2 bits que adopte uno de cuatro estados, asignándose a cada uno un valor ponderado de predicción, tal como:

11 – Se predice con mucha seguridad que se tomará

- 10 – Se predice con poca seguridad que se tomará
- 01 – Se predice con poca seguridad que no se tomará
- 00 – Se predice con mucha seguridad que no se tomará

5 Las BHT, en general, son indexadas convencionalmente por bits almacenados en un registro del historial de bifurcaciones (BHR). La salida de una BHT convencional es una decisión de bifurcación tomada o no tomada, lo que da como resultado ya sea la búsqueda de la dirección de destino de la instrucción de bifurcación o de la siguiente dirección secuencial en el ciclo siguiente. Comúnmente, la BHT es actualizada con información del resultado de las bifurcaciones cuando se conoce.

10 Utilizando una BHT convencional, un procesador puede anular una predicción implícita anterior realizada por una BTAC. Por ejemplo, una BTAC puede hacer diana (prediciendo implícitamente una bifurcación tomada), pero la BHT puede anular la predicción implícita de la BTAC con una predicción de bifurcación no tomada. En cambio, tras una diana fallida de la BTAC, la BHT puede anular la diana fallida de la BTAC con una predicción de bifurcación tomada, dado que la dirección de destino es conocida ahora en este punto del cauce del procesador.

15 Que una BHT anule predicciones de la BTAC da como resultado ciclos perdidos, lo que resulta de vaciar al cauce del procesador. Que una BHT anule predicciones de la BTAC puede ocurrir de forma reiterada cuando el cauce procese subsiguientemente una instrucción similar de bifurcación. Por ejemplo, si la BTAC predice implícitamente una bifurcación tomada porque se encuentra una coincidencia en la BTAC, empiezan a buscarse instrucciones a partir de la dirección de destino (bifurcación tomada) en el cauce del procesador. Subsiguientemente, si la BHT anula la predicción de la BTAC decidiendo que no debería tomarse la bifurcación, tienen que ser vaciadas del cauce
20 todas las instrucciones posteriores a la búsqueda de la dirección de destino. En esta técnica convencional de predicción de bifurcaciones, este ciclo se repite potencialmente para la misma instrucción de bifurcación buscada subsiguientemente. Este problema de los conflictos reiterados de predicción de bifurcaciones en búsquedas subsiguientes de la misma instrucción de bifurcación condicional es denominado en el presente documento problema de ciclos de vaciado múltiple. En un enfoque convencional, el problema de ciclos de vaciado múltiple
25 puede seguir existiendo para una instrucción de bifurcación condicional hasta que se actualice la BTAC. Por lo tanto, se reconoce que se precisan un aparato y procedimientos para gestionar activamente la BTAC y reducir la probabilidad de la incidencia del problema de ciclos de vaciado múltiple. El documento US2002/0188833 describe un sistema de pila dual de llamada/retorno de predicción de bifurcaciones.

Resumen

30 Según la invención, se proporciona el sistema de predicción de bifurcaciones de múltiples etapas de la Reivindicación 1.

Según la invención, también se proporciona el procedimiento de la Reivindicación 7.

35 Tal como se captará, la invención es susceptible de otras y diferentes realizaciones, y sus varios detalles son susceptibles de modificación en diversos otros aspectos, todo sin apartarse de la presente invención. En consecuencia, debe considerarse que los dibujos y la descripción detallada son ilustrativos y no restrictivos.

Breve descripción de los dibujos

La FIG. 1 es un diagrama funcional de bloques de un procesador.

La FIG. 2 es un diagrama funcional de bloques del sistema predictor de bifurcaciones de la FIG. 1.

40 La FIG. 3 es un diagrama funcional de bloques de una primera realización ejemplar de un circuito de señales de gestión de la BTAC.

La FIG. 4 es un diagrama funcional de bloques de una segunda realización ejemplar de un circuito de señales de gestión de la BTAC.

La FIG. 5 es un diagrama de flujo que ilustra un procedimiento de gestión de una BTAC.

45 La FIG. 6 es un diagrama de flujo que ilustra un procedimiento para reducir la probabilidad del ciclo de vaciado múltiple de un cauce.

Descripción detallada

50 La FIG. 1 representa un diagrama funcional de bloques de un procesador 100. El procesador 100 ejecuta instrucciones en un cauce 112 de ejecución de instrucciones según la lógica 114 de control. En algunas realizaciones, el cauce 112 puede ser un diseño superescalador, con múltiples cauces paralelos. El cauce 112 incluye diversos registros o circuitos de retención 116A-D, organizados en etapas de cauce, y una o más unidades de ejecución, tales como una unidad lógica aritmética (ALU) 118. Un fichero 120 de registro de uso general (GPR) proporciona registros que comprenden la parte superior de la jerarquía de memoria.

Los datos son objeto de acceso desde una memoria intermedia 140 de datos (memoria intermedia-D), con traducción de direcciones de memoria y permisos gestionados por una memoria tampón principal 142 de traducción lateral (TLB). En diversas realizaciones, la ITLB 124 puede comprender una copia de parte de la TLB 142. Alternativamente, la ITLB 124 y la TLB 142 pueden estar integradas. De modo similar, en diversas realizaciones del procesador 100, la memoria intermedia-I 122 y la memoria intermedia-D 140 pueden estar integradas o unificadas. Las dianas fallidas en la memoria intermedia-I 122 y la memoria intermedia-D 140 provocan un acceso a la memoria principal 144 (fuera del chip), con control de una interfaz 146 de memoria.

El procesador 100 puede incluir una interfaz 148 de entrada/salida (E/S), controlando el acceso a diversos dispositivos periféricos 150. Los expertos en la técnica reconocerán que son posibles numerosas variaciones del procesador 100. Por ejemplo, el procesador 100 puede incluir un memoria intermedia de segundo nivel (L2), ya sea para una de las memorias intermedias I y D 122, 140 o para ambas. Además, pueden omitirse de una realización particular uno o más de los bloques funcionales representados en el procesador 100.

El procesador 100 incluye un sistema 143 de predicción de bifurcaciones de múltiples etapas. El sistema 143 de predicción de bifurcaciones de múltiples etapas incluye una BTAC 141 (la primera etapa) y un circuito 126 predictor de bifurcaciones (la segunda etapa). La BTAC 141 está configurada para almacenar una o más entradas, conteniendo cada entrada una dirección de bifurcación de destino correspondiente a una dirección de búsqueda. La unidad 128 de búsqueda previa de instrucciones busca instrucciones en una memoria intermedia 122 de instrucciones (memoria intermedia-I o I\$), con traducción de direcciones de memoria y permisos gestionados por una memoria tampón 124 de traducción lateral de instrucciones (ITLB). El sistema 143 de predicción de bifurcaciones de múltiples etapas determina si una dirección de búsqueda hace diana en la BTAC 141, predice la dirección de una instrucción de bifurcación utilizando patrones de predicción almacenados en el circuito 126 predictor de bifurcaciones, y actualiza la BTAC 141 con base en el estado de los patrones de predicción almacenados en el circuito 126 predictor de bifurcaciones. El sistema 143 de predicción de bifurcaciones de múltiples etapas, así como la operación de la unidad 128 de búsqueda previa de instrucciones y el cauce 112 serán descritos con más detalle en relación con la exposición de la FIG. 2.

La FIG. 2 es un diagrama funcional de bloques del sistema predictor 143 de bifurcaciones de la FIG. 1. El cauce 112 y la unidad 128 de búsqueda previa de instrucciones incluyen cada uno una o más etapas de proceso. El circuito 126 predictor de bifurcaciones puede incluir un registro 203 del historial de bifurcaciones, una tabla 207 del historial de bifurcaciones (BHT) y un circuito lógico 205 de actualización de la tabla de bifurcaciones y de predicción. Se describirán realizaciones ejemplares de la porción de gestión de la BTAC del circuito lógico 205 de actualización de la tabla de bifurcaciones y de predicción en conexión con las FIGURAS 3 y 4.

En operación, se consulta una dirección de búsqueda en la BTAC 141 en la ruta 219 para determinar si corresponde a una instrucción de bifurcación tomada que ha sido procesada previamente por el cauce 112. La unidad 128 de búsqueda previa de instrucciones busca de forma especulativa de antemano instrucciones de la memoria intermedia 122 de instrucciones en la ruta 221, comenzando en la dirección de bifurcación de destino devuelta desde la BTAC 141 para bifurcaciones de las que se predijo implícitamente que serían “tomadas”, o comenzando en la siguiente dirección secuencial para bifurcaciones de las que se predijo implícitamente que serían “no tomadas”. En cualquiera de los dos casos, las instrucciones buscadas de antemano son cargadas en la unidad 128 de búsqueda previa de instrucciones en la ruta 223.

Cuando la instrucción de bifurcación condicional es procesada por las etapas de la unidad 128 de búsqueda previa de instrucciones o el cauce 112, se determina información adicional sobre la instrucción de bifurcación condicional, tal como información contenida en bits de predecodificación recuperados de la memoria intermedia-I 122 en la ruta 223. Utilizando patrones almacenados de predicción y esta información adicional, se invoca por la ruta 121 al circuito 126 predictor de bifurcaciones para predecir, con mayor nivel de confianza que en la consulta de la BTAC, la dirección de la instrucción de bifurcación condicional.

El circuito lógico 205 de actualización de la tabla de bifurcaciones y de predicción utiliza la dirección de la instrucción de bifurcación, el registro 203 del historial de bifurcaciones (BHR) y la tabla 207 del historial de bifurcaciones (BHT) para predecir la dirección de la instrucción de bifurcación condicional. El BHR 203 actúa como un registro de desplazamiento para una instrucción de bifurcación condicional. Por ejemplo, si se toma realmente una instrucción de bifurcación condicional, se desplaza un “1” al BHR 203. Si en realidad no se toma la instrucción de bifurcación condicional, se desplaza un “0” al BHR 203, lo que da como resultado que el BHR 203 almacene la dirección histórica de bifurcación para una instrucción particular de bifurcación. En una realización, el BHR 203 incluye un registro específico para cada instrucción de bifurcación procesada por el cauce 112 en un periodo de tiempo. En otra realización, el BHR 203 puede tener un ámbito global que contenga la dirección histórica de bifurcación para instrucciones de bifurcación condicional procesadas recientemente. La BHT 207 puede incluir contadores de dos bits para una instrucción de bifurcación, tal como se ha descrito en la anterior sección Antecedentes. Se reconoce que diversas técnicas conocidas para predecir la dirección de bifurcación pueden utilizar el BHR 203 y la BHT 207. También se reconoce que estas técnicas predictivas conocidas utilizan diversas implementaciones del BHR 203 y la BHT 207. También se reconoce que esta divulgación contempla la utilización de otras técnicas predictivas que implementen alternativas a un BHR o a una BHT.

Con base en el BHR 203 and BHT 207, el circuito predictor 126 de direcciones de bifurcación, en el ejemplo ilustrado en la FIG. 2, predice una dirección de bifurcación que está en conflicto con la predicción implícita de la BTAC 141. En consecuencia, todas las instrucciones por encima de "Ruta tomada₁", la ubicación de la etapa de la instrucción de bifurcación condicional, serán vaciadas de la unidad 128 de búsqueda previa de instrucciones. Sin un conflicto, la

5 unidad 128 de búsqueda previa de instrucciones seguiría buscando de antemano instrucciones que empezaran a partir de la dirección de bifurcación de destino.

Según la instrucción de bifurcación condicional va avanzando por las etapas del cauce 112, la instrucción de bifurcación condicional alcanza una etapa en la que la condición se resuelve realmente. Si la resolución real de la bifurcación difiere de la predicción del circuito 126 predictor de bifurcaciones, todas las instrucciones por encima de la instrucción de bifurcación condicional son vaciadas tanto del cauce 112 como de la unidad 128 de búsqueda

10 previa de instrucciones. En la fase del cauce de resolución real de la bifurcación, se envía la dirección real de la bifurcación condicional al circuito 126 predictor de bifurcaciones en la ruta 213.

El circuito lógico 205 de actualización de la tabla de bifurcaciones y de predicción está configurado para utilizar la dirección real de bifurcación además de la instrucción de bifurcación, el estado de una entrada en la BHT 207 y, opcionalmente, el contenido del BHR 203 para actualizar el contenido de la BHT 207. Además, el circuito lógico 205 de actualización de la tabla de bifurcaciones y de predicción está configurado para gestionar una entrada en la BTAC 141 dependiendo de la dirección real de bifurcación y del estado de la BHT 207, o cualquier otro estado del predictor de direcciones de bifurcación, permitiendo ventajosamente que la entrada de la BTAC 141 responda al

15 de actualización de la tabla de bifurcaciones y a cualquier técnica de predicción de bifurcaciones implementada por otros circuitos predictores de bifurcaciones que almacenen información de estado utilizada para la predicción de bifurcaciones.

La FIG. 3 es un diagrama funcional de bloques de una primera realización ejemplar de un circuito 300 de gestión de la BTAC. El circuito 300 de gestión de la BTAC puede ser un circuito incluido en el circuito lógico 205 de actualización de la tabla de bifurcaciones y de predicción adecuado para gestionar la BTAC 141 después de que la BHT 207 haya sido actualizada. La entrada al circuito 300 de gestión de la BTAC es el bit más significativo, después de ser actualizado como resultado de la resolución real, de un valor contador de dos bits correspondiente a la instrucción de bifurcación condicional. La señal 305 de salida del circuito 300 de gestión de la BTAC es la señal invertida de la entrada. La BTAC 141 interpreta la señal 305 de salida para determinar si gestionar una entrada correspondiente a la instrucción de bifurcación condicional, tal como se describe en lo que sigue.

25

Por ejemplo, si el contador actualizado de dos bits correspondiente a la instrucción de bifurcación condicional tiene el valor 00 (se predice con mucha seguridad que no se tomará), la entrada para esta instrucción de bifurcación condicional en la BTAC 141 será gestionada según las diversas alternativas descritas en lo que sigue. De manera similar, si el contador actualizado de dos bits tiene el valor 01 (se predice con poca seguridad que no se tomará), se gestionará la entrada para esta instrucción de bifurcación condicional en la BTAC 141. Si el contador actualizado de dos bits tiene el valor 10 (se predice con poca seguridad que se tomará) o el valor 11 (se predice con mucha seguridad que se tomará), la entrada de la BTAC 141 no será modificada.

30

La FIG. 4 es un diagrama funcional de bloques de una segunda realización ejemplar de un circuito 400 de señales de gestión de la BTAC. El circuito 400 de gestión de la BTAC puede ser un circuito adecuado para una porción de la porción de gestión de la BTAC del circuito lógico 205 de actualización de la tabla de bifurcaciones y de predicción para gestionar la BTAC 141 antes de que la BHT 207 haya sido actualizada. El circuito 400 de gestión de la BTAC es un circuito lógico que incluye puertas AND 405A-405B y una puerta OR 415 utilizadas para generar una señal 425 de gestión para gestionar una entrada correspondiente a una instrucción de bifurcación condicional que ha sido resuelta realmente. El circuito 400 de gestión de la BTAC opera en respuesta a la dirección real de la bifurcación y al estado actual de la BHT 207 antes de la actualización resultante de la dirección real. El circuito 400 de gestión de la BTAC tiene entradas A' (la dirección real de bifurcación invertida), B' (el bit más significativo del contador de dos bits invertido) y C' (el bit menos significativo del contador de dos bits invertido). En esta realización, la BTAC 141 interpretaría la señal 425 de salida para gestionar una entrada correspondiente a la instrucción de bifurcación condicional, tal como se describe en lo que sigue. Aunque se ha descrito que los circuitos 300 y 400 de gestión de la BTAC son dependientes de la implementación de la BHT 207, también pueden depender de una implementación elegida de un BHR. Además, se reconoce que esta divulgación contempla otros circuitos de gestión de la BTAC que son accionados por diversas implementaciones de una BHT o implementados con diversas implementaciones predictivas de bifurcaciones. Además, los circuitos de gestión de la BTAC, tal como se muestra en las FIGURAS 3 y 4, pueden estar integrados con el circuito lógico 205 de actualización de la tabla de bifurcaciones y de predicción o estar separados del mismo.

40

El tipo de gestión de la entrada puede incluir diversas alternativas. Los tipos de gestión incluyen eliminar la entrada BTAC inmediatamente, marcar la entrada BTAC para su eliminación en la siguiente instrucción de bifurcación añadida, fijar o mantener la entrada BTAC durante un periodo prolongado de tiempo y similares. Se reconoce que la gestión de las entradas BTAC no asociadas con la instrucción de bifurcación condicional como una alternativa a la gestión de la entrada BTAC asociada con la instrucción de bifurcación condicional está contemplada por la presente divulgación.

55

60

La BTAC emplea una directriz de sustitución del usado menos recientemente en la que las entradas están organizadas en un orden que indica el orden de sustitución de entradas en la BTAC 141. Un circuito conocido del usado menos pseudorrecientemente puede ser adecuado para mantener el orden de sustitución de las entradas. Como tal la señal de salida del circuito 300 de gestión de la BTAC puede resultar en modificar la posición de la entrada correspondiente a la instrucción de bifurcación condicional en la BTAC 141. Por ejemplo, puede hacerse subir o hacerse bajar a la entrada en el orden de sustitución. Alternativamente, la entrada puede ser mantenida ajustado la posición en la BTAC 141 para indicar que es la más recientemente usada para prolongar su vida en la BTAC 141.

Alternativamente, en otra realización, la BTAC 141 puede emplear una directriz de turno rotatorio modificado. En una directriz de turno rotatorio convencional, un registro señala a una entrada que ha de ser sustituida la siguiente vez que se añada una bifurcación condicional y que, subsiguientemente, pasa a la siguiente entrada secuencial después de que la entrada es sustituida, pasando por las entradas de manera equitativa. Sin embargo, en la directriz de turno rotatorio modificado, se emplea un puntero para apuntar a la entrada correspondiente a la instrucción de bifurcación condicional que se resolvió realmente. Por ejemplo, puede marcarse para su eliminación la entrada correspondiente a la instrucción de bifurcación condicional ajustando el puntero a esta entrada. Al hacerlo, esta entrada es sustituida la siguiente vez que se añadan a la BTAC 141 una instrucción de bifurcación condicional y su correspondiente dirección de destino. En consecuencia, la siguiente entrada que ha de ser eliminada sería la entrada que se ha determinado recientemente que ha de ser eliminada. Aunque las directrices de sustitución empleadas por la BTAC 141 proporcionadas en el presente documento son ejemplares, las técnicas de la invención son también aplicables a otras directrices de sustitución usadas típicamente en las BTAC.

La FIG. 5 es un diagrama 500 de flujo que ilustra un procedimiento de gestión de una BTAC. En el bloque 510 se recibe una dirección de bifurcación de una instrucción de bifurcación condicional que ha sido resuelta realmente. Por ejemplo, la ruta 213 de la FIG. 2 ilustra que el circuito 126 predictor de bifurcaciones recibe la dirección de bifurcación del cauce 112. En el bloque 520, se evalúa el estado de un circuito predictor de bifurcaciones en respuesta a la recepción de la dirección real de bifurcación. En el bloque 530, se gestiona una entrada en una BTAC asociada con la instrucción de bifurcación condicional según el estado del circuito predictor de bifurcaciones.

Los bloques 530A-530D son realizaciones ejemplares alternativas de diversos tipos de gestión de una entrada en la BTAC, según se muestra en el bloque 530. Estas realizaciones ejemplares pueden ser empleadas singularmente o en combinación. En el bloque 530A, se elimina la entrada en la BTAC que ha de ser gestionada, eliminando ventajosamente la última instrucción de bifurcación condicional que se predijo "no tomada" desde la BTAC. En el bloque 530B, la entrada de la BTAC que ha de ser gestionada se mantiene en la BTAC durante un periodo prolongado de tiempo, prolongando ventajosamente la vida de la última instrucción de bifurcación condicional que se predijo "tomada" en la BTAC.

El bloque 530C muestra la entrada en la BTAC que ha de ser gestionada haciendo que se ajuste su posición en un orden de sustitución para una BTAC que emplea una directriz de sustitución del usado menos recientemente. En una realización, se modifica la posición de la entrada en la BTAC en el orden de sustitución de manera que la entrada tenga menos probabilidad de ser sustituida en la siguiente entrada que haya de añadirse a la BTAC, prolongando ventajosamente la vida de la última instrucción de bifurcación condicional que se predijo "tomada" en la BTAC. En otra realización, se modifica la posición en el orden de sustitución de la entrada en la BTAC de manera que la entrada tenga más probabilidad de ser sustituida en la siguiente entrada que haya de añadirse a la BTAC.

El bloque 530D muestra un registro de próxima sustitución siendo ajustado para una BTAC que emplea una directriz de sustitución de turno rotatorio modificado. En una realización, se modifica el contenido del registro de próxima sustitución para que apunte a la entrada que ha de ser gestionada en la BTAC. Así, cuando se ha de añadir la siguiente instrucción de bifurcación condicional a la BTAC, la entrada a la que se apunta es sustituida con la entrada añadida, eliminando ventajosamente la última instrucción de bifurcación condicional que se predijo "no tomada" desde la BTAC. En otra realización, se modifica el contenido del siguiente registro de sustitución para que apunte a la siguiente entrada de la BTAC después de la entrada que ha de ser gestionada. De esta manera, cuando se haya de añadir la siguiente instrucción de bifurcación condicional a la BTAC, la siguiente entrada en la BTAC después de la entrada que ha de ser gestionada es sustituida con la entrada añadida, prolongando ventajosamente en la BTAC la vida de la entrada gestionada. Se reconoce la presente divulgación puede utilizar otras técnicas de gestión para gestionar una BTAC.

La FIG. 6 es un diagrama de flujo que ilustra un procedimiento 600 para reducir la probabilidad del ciclo de vaciado múltiple de un cauce. En el bloque 610 se predice implícitamente una primera dirección para una instrucción de bifurcación condicional. Por ejemplo, si hay una diana en una BTAC para la instrucción de bifurcación condicional, se busca entonces de antemano la correspondiente dirección de bifurcación de destino en la BTAC. Así, se predice implícitamente que la dirección de bifurcación es "tomada". En el bloque 620, se predice subsiguientemente una segunda dirección para la instrucción de bifurcación condicional con base en información de estado, tal como la información de estado en el circuito 126 de predicción de bifurcaciones. Continuando con el ejemplo anterior, un circuito predictor de bifurcaciones predice que la instrucción de bifurcación condicional debería ser "no tomada", entrando así en conflicto con la predicción implícita de la BTAC. En el bloque 630, la entrada BTAC asociada con la

5 instrucción de bifurcación condicional es gestionada utilizando información de estado almacenada, por ejemplo, en el circuito 126 de predicción de bifurcaciones. En lo que antecede, se describen diferentes tipos de gestión de BTAC en conexión con la exposición de la FIG. 5. Alternativamente, en el bloque 630, se gestiona la entrada BTAC asociada con la instrucción de bifurcación condicional debido al conflicto entre el circuito predictor de bifurcaciones y la consulta BTAC independiente de ningún estado almacenado en el circuito predictor de bifurcaciones.

10 Los diversos bloques lógicos ilustrativos, módulos, circuitos, elementos y/o componentes descritos en conexión con las realizaciones dadas a conocer en el presente documento pueden ser implementados o llevados a cabo con un procesador de uso general, un procesador de señales digitales (DSP), un circuito integrado para aplicaciones específicas (ASIC), una matriz de puertas programables in situ (FPGA) u otro componente lógico programable, una
15 puerta discreta o lógica de transistor, componentes discretos de soporte físico o cualquier combinación de los mismos diseñada para llevar a cabo las funciones descritas en el presente documento. Un procesador de uso general puede ser un microprocesador, pero, de forma alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estado convencionales. Un procesador también puede ser implementado como una combinación de componentes de cálculo; por ejemplo, una combinación de un DSP y un
microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores en unión de un núcleo de DSP o cualquier otra configuración de ese tipo.

20 Los procedimientos o algoritmos descritos en conexión con las realizaciones dadas a conocer en el presente documento pueden ser implementados directamente en soporte físico, en un módulo de soporte lógico ejecutado por un procesador o en una combinación de los dos. Un módulo de soporte lógico puede residir en memoria RAM, memoria flash, memoria ROM, memoria EPROM, memoria EEPROM, registros, un disco duro, un disco extraíble, un CD-ROM o cualquier otra forma de medio de almacenamiento conocida en la técnica. Un medio de almacenamiento puede estar acoplado con el procesador, de tal modo que el procesador pueda leer información del medio de almacenamiento y escribir información en el mismo. De forma alternativa, el medio de almacenamiento puede ser integral al procesador.

25 Aunque se da a conocer la invención en el contexto de realizaciones, se reconocerá que las personas con un dominio de la técnica pueden emplear una amplia variedad de implementaciones dentro del alcance de las reivindicaciones.

REIVINDICACIONES

1. Un sistema de predicción de bifurcaciones de múltiples etapas que comprende:
 - 5 una memoria intermedia de direcciones de bifurcación de destino BTAC (141) configurada para almacenar una entrada BTAC asociada con una instrucción de bifurcación condicional; y
 - un circuito predictor (203, 205, 207) de bifurcaciones configurado para almacenar información de estado para predecir la dirección de la instrucción de bifurcación condicional y para utilizar la información de estado para predecir la dirección, en el que el circuito predictor (203, 205, 207) de bifurcaciones está configurado, además, para recibir una dirección de bifurcación de la instrucción de bifurcación condicional cuando ha sido resuelta realmente, y **caracterizado porque** el circuito predictor (203, 205, 207) de bifurcaciones está
 - 10 dispuesto para gestionar una directriz de sustitución para la entrada BTAC, siendo capaz dicha gestión de modificar los resultados de una directriz de sustitución usada en la BTAC (141) dependiendo de la información de estado almacenada para la instrucción de bifurcación condicional y de la dirección de bifurcación recibida.
2. El sistema de la reivindicación 1 en el que el circuito predictor (203, 205, 207) de bifurcaciones está
 - 15 configurado para eliminar la entrada BTAC de la BTAC (141).
3. El sistema de la reivindicación 1 en el que el circuito predictor (203, 205, 207) de bifurcaciones está configurado para mantener la entrada BTAC de la BTAC (141) durante un periodo de tiempo extendido.
4. El sistema de la reivindicación 1 en el que la BTAC (141) está configurada para mantener almacenadas una o
 - 20 más entradas en un orden de sustitución y en el que el circuito predictor de bifurcaciones está configurado para modificar la posición de la entrada BTAC en el orden de sustitución.
5. El sistema de la reivindicación 4 en el que el circuito predictor (203, 205, 207) de bifurcaciones está configurado para modificar la posición de la entrada BTAC más arriba en el orden de sustitución que su posición actual para aumentar la probabilidad de sustitución de la entrada BTAC.
6. El sistema de la reivindicación 1 que, además, comprende: un puntero de sustitución, en el que la BTAC (141)
 - 25 emplea una directriz de sustitución de turno rotatorio modificado y en el que el circuito predictor de bifurcaciones está configurado para modificar el puntero de sustitución para que apunte a la entrada BTAC.
7. Un procedimiento de gestión de una memoria intermedia de direcciones de bifurcación de destino BTAC (141) que comprende:
 - 30 recibir (510) una dirección de bifurcación de una instrucción de bifurcación condicional que ha sido resuelta realmente;
 - almacenar (520) información de estado en un circuito predictor (203, 205, 207) de bifurcaciones, siendo la información de estado para predecir la dirección de la instrucción de bifurcación condicional; y **caracterizado por**
 - 35 gestionar (530) una directriz de sustitución para una entrada en la BTAC (141) asociada con la instrucción de bifurcación condicional, siendo capaz dicha gestión de modificar los resultados de una directriz de sustitución usada en la BTAC (141) dependiendo de la información de estado almacenada y de la dirección de bifurcación recibida.
8. El procedimiento de la reivindicación 7 en el que la gestión (530) de una directriz de sustitución para una
 - 40 entrada en la BTAC (141) comprende: la eliminación de la entrada de la BTAC (141).
9. El procedimiento de la reivindicación 7 en el que la gestión (530) de una directriz de sustitución para una
 - 45 entrada en la BTAC (141) comprende: el mantenimiento de la entrada BTAC de la BTAC (141) durante un periodo de tiempo prolongado.
10. El procedimiento de la reivindicación 7 que, además, comprende: mantener almacenadas en la BTAC (141)
 - entradas en un orden de sustitución, en el que la gestión (530) de una directriz de sustitución para una entrada en la BTAC comprende modificar la posición de la entrada BTAC en el orden de sustitución.
11. El procedimiento de la reivindicación 9 en el que la modificación de la posición de la entrada BTAC comprende
 - modificar un puntero de sustitución para que apunte a la entrada BTAC.

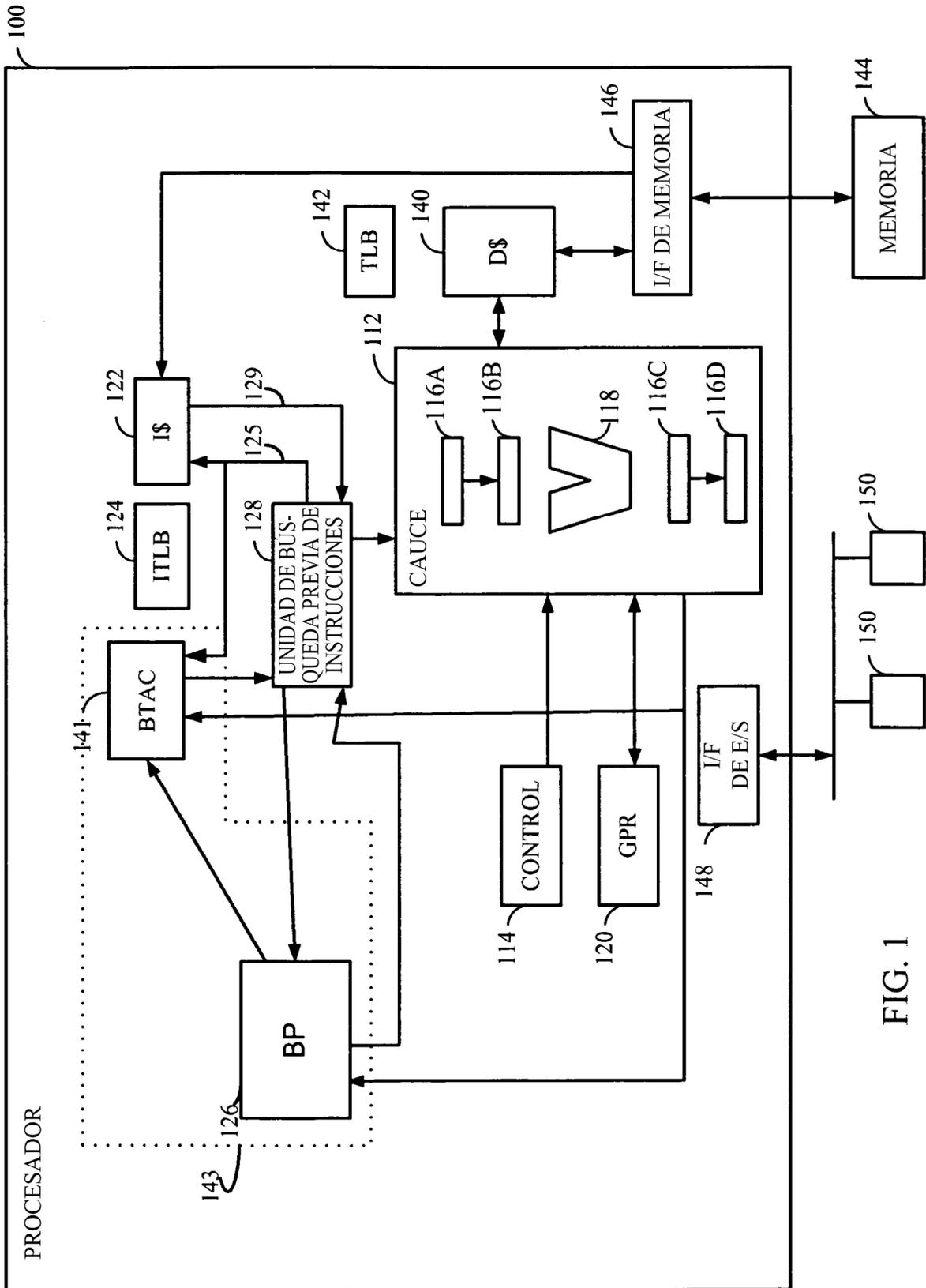


FIG. 1

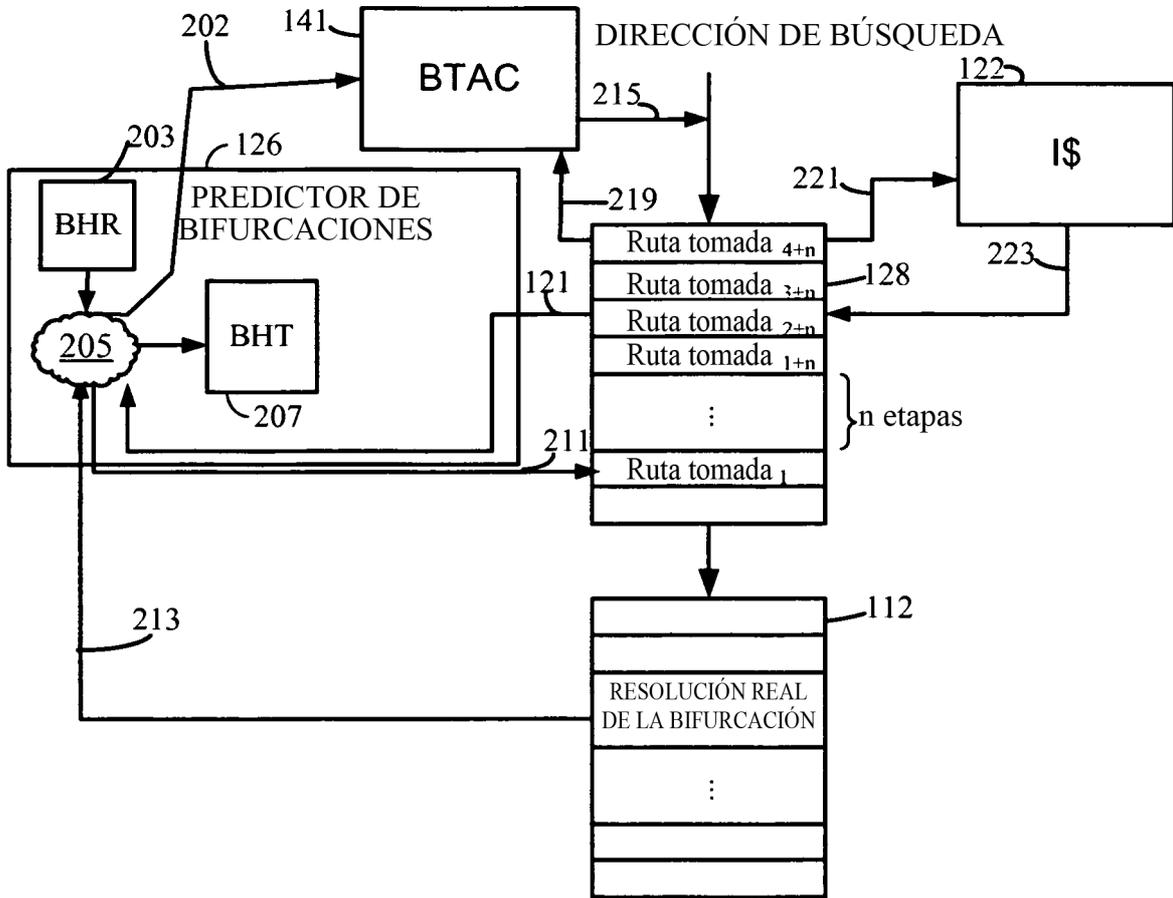


FIG. 2

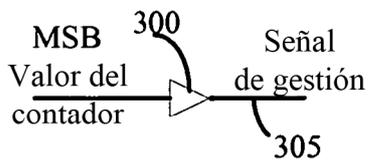


FIG. 3

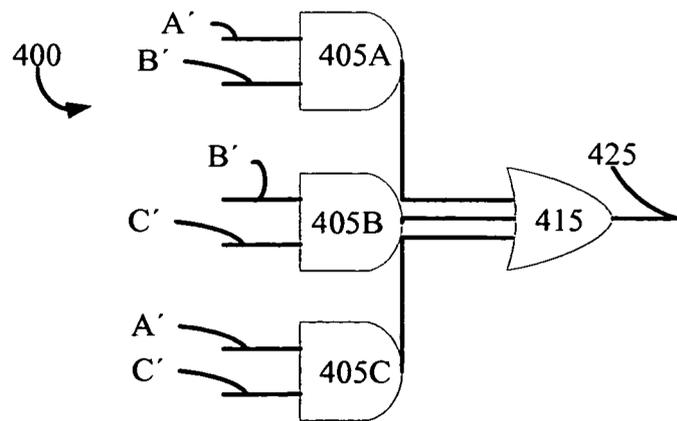


FIG. 4

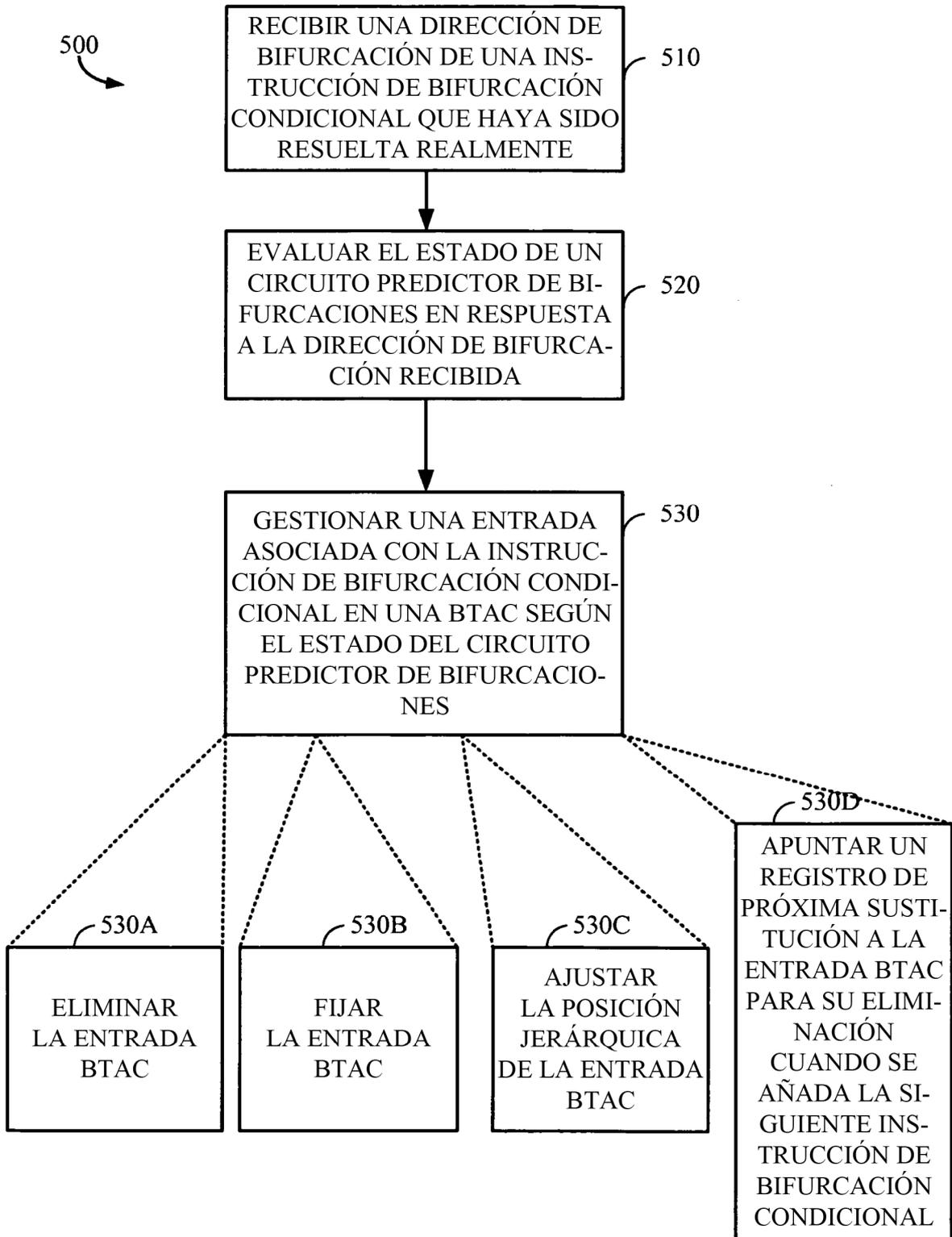


FIG. 5

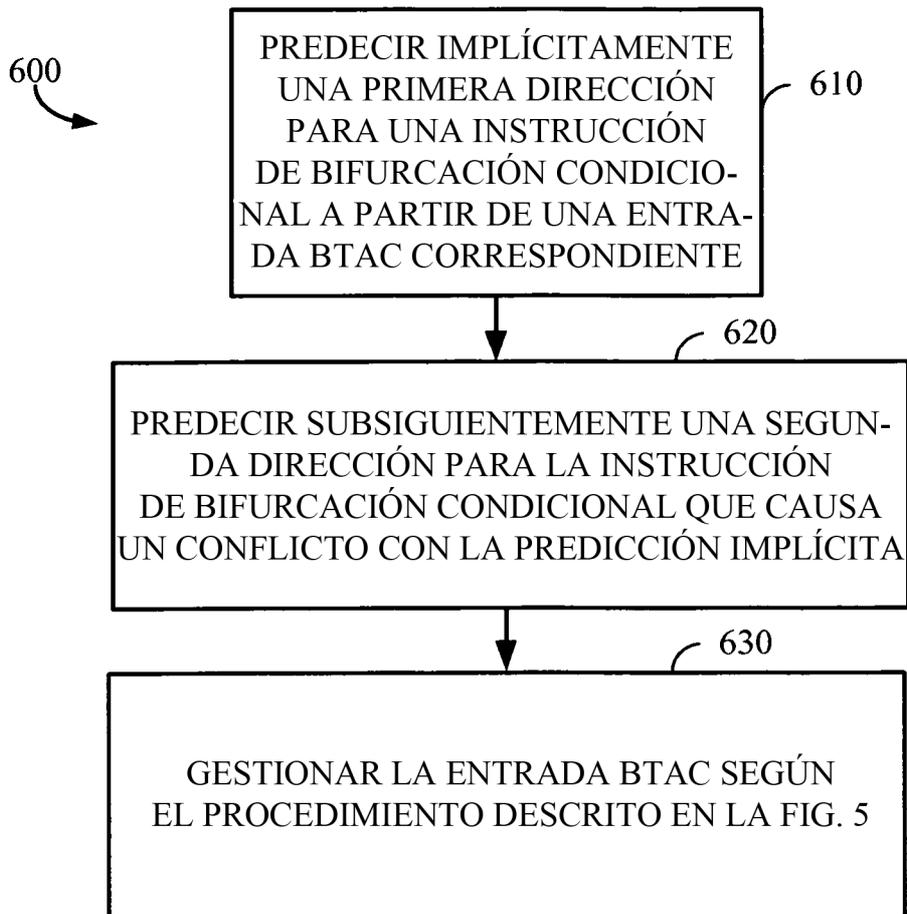


FIG. 6