

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 386 512**

51 Int. Cl.:

H04L 1/00

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **09154227 .4**

96 Fecha de presentación: **03.03.2009**

97 Número de publicación de la solicitud: **2099150**

97 Fecha de publicación de la solicitud: **09.09.2009**

54 Título: **Método y aparato para transmitir información de control codificada en un sistema de comunicación inalámbrico**

30 Prioridad:
03.03.2008 KR 20080019650
13.03.2008 KR 20080023575
10.11.2008 KR 20080111170
18.02.2009 KR 20090013635

73 Titular/es:
SAMSUNG ELECTRONICS CO., LTD.
416 MAETAN-DONG, YEONGTONG-GU
SUWON-SI, GYEONGGI-DO, KR

45 Fecha de publicación de la mención BOPI:
22.08.2012

72 Inventor/es:
Myung, Seho;
Kwon, Hwan-Joon;
Kim, Jae-Yoel;
Lim, Yeon-Ju;
Yun, Sung-Ryul;
Lee, Hak-Ju y
Jeong, Hong-Sil

45 Fecha de la publicación del folleto de la patente:
22.08.2012

74 Agente/Representante:
Carvajal y Urquijo, Isabel

ES 2 386 512 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método y aparato para transmitir información de control codificada en un sistema de comunicación inalámbrico

Antecedentes de la invención

1. Campo de la Invención

5 La presente invención se relaciona de manera general con un método y aparato para codificar información de control y transmitir la información de control en un sistema de comunicación inalámbrico. Más particularmente, aunque no exclusivamente, la presente invención se relaciona con un método para codificar información de control en un sistema de comunicación inalámbrico que utiliza códigos de Comprobación De Paridad De Baja Densidad (LDPC), y un método y aparato para transmitir la información de control.

10 2. Descripción de la Técnica Relacionada

La Figura 1 es un diagrama que ilustra un esquema de transmisión para la información de control en un sistema de comunicación inalámbrico general.

15 Con referencia a la Figura 1, el numeral de referencia 101 denota una estructura de una trama que incluye información de control que se transmite y recibe en un sistema de comunicación inalámbrico. Comúnmente, la trama 101 incluye un preámbulo 102, una señalización P2-L1 103, una señalización PLP0-L2 104, y una o más Conexiones de Capa Física (PLPs) 105, 106, y 107.

La información de control se puede transmitir a través del preámbulo 102, la señalización P2-L1 103, y la señalización PLP0-L2 104, mientras que los datos se pueden transmitir a través de las PLP 105, 106, y 107.

20 El preámbulo 102 es una señal que se utiliza de manera general para adquirir sincronización de tiempo y frecuencia, y sincronización para un límite de trama en un receptor.

La señalización P2-L1 103 indica una parte a través de la que se transmite una señalización L1. Como se ilustra en la Figura 1, la señalización P2-L1 103 también se puede denominar como una "P2," debido a que se transmite a través de símbolos P2. La P2 se refiere a una señalización de capa física, o una señalización de Capa 1 (L1). La señalización de capa física incluye información estática 108, información configurable 109, e información dinámica 110. La información estática 108 incluye información que es básicamente estática durante el paso del tiempo, y dicha información estática puede incluir información sobre un identificador celular, un identificador de red, el número de canales de Radio Frecuencia (RF), una longitud de trama, ubicaciones de subportadores piloto, etc. La información configurable 109 incluye información que puede cambiar en las tramas que se van a transmitir en el futuro, aunque sin cambiar la base. Así, la información configurable 109 puede incluir, por ejemplo, información sobre un identificador de servicio, una orden de modulación utilizada para transmitir datos para un servicio individual, un índice de código, etc. La información dinámica 110 incluye información que se puede cambiar sobre una base trama a trama. Dicha información dinámica puede incluir información acerca de una ubicación donde cada uno de los datos de servicio que lleva PLP se transmite en la trama actual, es decir información acerca de donde inicia y finaliza cada PLP en la trama.

35 La señalización PLP0-L2 104, una parte a través de la cual se transmite una señalización L2, representa una Capa 2 (L2) o señalización de Control de Acceso de Medio (MAC). De manera general, una PLP en el que se transmite la información L2 también se puede denominar como una "PLP0." La PLP0 incluye información de conexión entre las PLP y servicios de radiodifusión para indicar las PLP a través de las cuales se reciben los servicios particulares. La PLP_1 105, la PLP_2 106, y la PLP_N 107 son datos de servicios y cada una de ellas transmite una o una pluralidad de canales de servicio de radiodifusión. Estas PLP, a través de las cuales se transmiten datos de radiodifusión, también se denominan "PLP de datos."

45 Adelante de describe un proceso que recibe actualmente un canal de servicio de radiodifusión particular en un receptor de un sistema de comunicación con referencia a la Figura 1. Luego de adquirir la sincronización de la trama a través del preámbulo 102, el receptor consigue información sobre un esquema de transmisión de datos y una longitud de trama utilizando la señalización P2-L1 103, obtiene información que indica a través de que PLP se transmite un canal de servicio de radiodifusión deseado, utilizando la señalización PLP0-L2 104, y luego recibe datos para servicios de radiodifusión a través de las PLP 105 a 107 que llevan datos.

50 Con el fin de proporcionar los servicios establemente en el sistema de comunicación inalámbrico, se deben minimizar errores de transmisión de la información de control tal como la señalización L1 y la señalización L2. La información de control se codifica de manera general antes de la transmisión para minimizar el error de transmisión.

Con este fin, ha habido una necesidad largamente sentida de un régimen capaz de codificar de forma eficiente la información de control.

La EP 1 513 258 A2 proporciona un método para codificar códigos LDPC cortos con un código BCH externo, que se ha aplicado particularmente en servicios DVB sobre satélites.

5 Resumen de la invención

La presente invención se ha realizado para abordar por lo menos los problemas y/o desventajas anteriores y para proporcionar por lo menos las ventajas descritas adelante. De acuerdo con lo anterior, un aspecto de la presente invención proporciona un método para codificar de forma eficiente la información de control en un sistema de comunicación inalámbrico que utiliza códigos LDPC, y un método y aparato para transmitir la información de control.

10 Otro aspecto de la presente invención proporciona un método para asegurar codificación eficiente cuando se divide la información de control en una pluralidad de bloques LDPC antes de transmisión en un sistema de comunicación inalámbrico que utiliza códigos LDPC, y un método y aparato para transmitir y recibir la información de control.

Un aspecto adicional de la presente invención proporciona un método y aparato de transmisión/recepción para dividir información de control en una pluralidad de bloques LDPC que considera una orden de modulación en un sistema de comunicación inalámbrico que utiliza códigos LDPC.

De acuerdo con la presente invención, se proporciona un método para transmitir información de control a través de una información de post-señalización de Capa 1 (L1) para un sistema de comunicación de radiodifusión inalámbrico. Un número de bloques LDPC, a través de los cuales se va a transmitir información de post-señalización de Capa 1 (L1), se determina con base en un número total de bits de la información de post-señalización L1. Un número de bits de información de entrada de cada bloque LDPC se calcula cuando se presenta una pluralidad de bloques LDPC, de tal manera que los múltiples bloques LDPC son iguales en el número de bits de su información de entrada. Un número de bits de perforación, se determina de acuerdo con una orden de modulación. Se genera el número determinado de bloques LDPC, cada bloque LDPC comprende el número calculado de bits de información de entrada y bit de perforación con base en el número determinado de bits de perforación. Se transmite una trama, que incluye uno o más bloques LDPC generados a través de las etapas precedentes.

De acuerdo con la presente invención, se proporciona un aparato para transmitir información de control a través de información de post-señalización de Capa 1 (L1) para un sistema de comunicación de radiodifusión inalámbrico. El aparato incluye un codificador LDPC para codificar la información de entrada en un bloque LDPC, y una unidad de transmisión para transmitir una trama que incluye el bloque LDPC codificado. El aparato también incluye un controlador para determinar un número de bloques LDPC a través de los cuales se va a transmitir la información de post-señalización de Capa 1 (L1), con base en un número total de bits de la información de post-señalización L1, calcular un número de bits de información de entrada de cada bloque LDPC cuando se presenta una pluralidad de bloques LDPC, de tal manera que los múltiples bloques LDPC son iguales en el número de bits de su información de entrada, que determina un número de bits de perforación de acuerdo con una orden de modulación, y que controla una operación del codificador LDPC para codificar la información de post-señalización L1 en uno o más bloques LDPC de acuerdo con los resultados determinados.

De acuerdo con un aspecto adicional de la presente invención, se proporciona un método para transmitir información de control en un sistema de Multiplexación de División de Frecuencia Ortogonal (OFDM). Un número de bloques LDPC, a través de los cuales se va a transmitir información de post-señalización de Capa 1 (L1), se determina de acuerdo con un número total de bits de la información de post-señalización L1. Un número de bits de información de entrada de cada bloque LDPC se calcula cuando se presenta una pluralidad de bloques LDPC. Un número de bits de perforación, se determina de acuerdo con un número de símbolos OFDM. Se transmite una trama, que incluye uno o más bloques LDPC.

De acuerdo con un aspecto adicional de la presente invención, se proporciona un aparato para transmitir información de control en un sistema de Multiplexación de División de Frecuencia Ortogonal. El aparato incluye un codificador LDPC para codificar la información de entrada en un bloque LDPC, y una unidad de transmisión para transmitir una trama que incluye el bloque LDPC codificado. El aparato también incluye un controlador para determinar un número de bloques LDPC a través de los cuales se va a transmitir información de post-señalización de Capa 1 (L1), de acuerdo con un número total de bits de la información de post-señalización L1, calcular un número de bits de información de entrada de cada bloque LDPC cuando se presenta una pluralidad de bloques LDPC, determinar un número de bits de perforación de acuerdo con un número de símbolos OFDM, y controlar una operación del codificador LDPC para codificar la información de post-señalización L1 en uno o más bloques LDPC de acuerdo con los resultados determinados.

Breve descripción de los dibujos

Los anteriores y otros aspectos, características y ventajas de la presente invención serán evidentes a partir de la siguiente descripción cuando se toma en conjunto con los dibujos acompañantes en los que:

La Figura 1 es un diagrama que ilustra un esquema de transmisión para la información de control en un sistema de comunicación inalámbrico general;

5 La Figura 2 es un diagrama que ilustra un proceso para codificar la información de señalización L1 utilizada en un sistema de comunicación inalámbrico al que es aplicable una realización de la presente invención;

La Figura 3 es un diagrama que ilustra un esquema para codificar información de señalización de acuerdo con una realización de la presente invención;

10 La Figura 4 es un diagrama de flujo que ilustra una operación de un transmisor de acuerdo con una realización de la presente invención;

La Figura 5 es un diagrama de flujo que ilustra una operación de un receptor de acuerdo con un ejemplo de la presente invención;

La Figura 6 es un diagrama de bloque que ilustra una estructura de un transmisor de acuerdo con una realización de la presente invención; y

15 La Figura 7 es un diagrama de bloque que ilustra una estructura de un receptor de acuerdo con un ejemplo de la presente invención.

Descripción detallada de las realizaciones preferidas

20 Se describen en detalle las realizaciones preferidas de la presente invención con referencia a los dibujos acompañantes. Se pueden designar los mismos componentes o componentes similares mediante los mismos numerales de referencia o similares numerales de referencia aunque se ilustran en diferentes dibujos. Se pueden omitir descripciones detalladas de las construcciones o procesos conocidos en la técnica para evitar oscurecer la materia objeto de la presente invención.

25 Los términos y frases utilizadas en la siguiente descripción y reivindicaciones no se limitan a sus significados del diccionario, sino que se utilizan solamente por el inventor para permitir una comprensión más clara y consistente de la invención. De acuerdo con lo anterior, debe ser evidente para aquellos expertos en la técnica que la siguiente descripción de las realizaciones preferidas de la presente invención se proporcionan solo para propósitos de ilustración y no para el propósito de limitar la invención como se define por las reivindicaciones adjuntas.

30 Cabe entender que las formas singulares “un,” “una,” y “el” incluye los referentes plurales a menos que el contexto indique claramente otra cosa. Así, por ejemplo, la referencia a “una superficie de componente” incluye referencia a una o más de dichas superficies.

La presente invención proporciona un método y aparato para codificar la información de post- señalización L1, o la información de control, en una pluralidad de bloques LDPC antes de la transmisión en un sistema de comunicación inalámbrico que utiliza códigos LDPC.

35 El método de codificación propuesto por la presente invención proporciona un esquema para codificar información estática L1, información configurable L1, e información dinámica L1 que constituye la información de post- señalización L1, en la que uno o una pluralidad de bloques codificados (o contraseña) (es decir bloques LDPC) se forman de acuerdo con el número total de bits de información de post- señalización L1. Aunque se asume en las realizaciones de la presente invención que la información de post- señalización L1 incluye la información estática L1, configurable L1 y dinámica L1, la información estática L1, configurable L1 y dinámica L1 no debe necesariamente ser combinada de acuerdo con los requerimientos del sistema de comunicación inalámbrico. Aunque no se menciona específicamente, se puede apreciar que la presente invención se puede aplicar aún cuando la información de post- señalización L1 se forma de solo uno o dos de los tres tipos de la información L1. En la construcción de los múltiples bloques LDPC, las realizaciones de la presente invención pueden dividir la información de post- señalización L1 en una pluralidad de bloques de tal manera que los bloques LDPC sean iguales en el número de bits de su información de entrada. Adicionalmente a la información estática L1, la información configurable L1 y la información dinámica L1 que constituyen la información de post- señalización L1, predefinidos se pueden agregar bits de relleno a cada uno de los bloques. El número de los bits de relleno se puede determinar dependiendo del número de los bloques divididos, un esquema de modulación (u orden de modulación) utilizado, o uso/no uso de la tecnología de antena de diversidad de transmisión.

La Figura 2 es un diagrama que ilustra un proceso para codificar información de señalización L1 utilizada en un sistema de comunicación inalámbrico al que se puede aplicar una realización de la presente invención.

Con referencia a la Figura 2, la información de señalización L1 incluye adicionalmente información de pre-señalización L1 202 en adición a la información estática L1 203, la información configurable L1 204 y la información dinámica L1 205 que constituye la información de post- señalización L1 como se describe en relación con la Figura 1. Aunque se asume en la Figura 2 que la información de post- señalización L1 incluye tres tipos de la información L1 203, 204 y 205, la información de post- señalización L1 también puede incluir dos tipos de la información L1, como se describió anteriormente.

La información de pre-señalización L1 202 es la información de control que indica la información acerca de un método de transmisión para la información estática L1 203, la información configurable L1 204, y la información dinámica L1 205. Es decir, la información de pre-señalización L1 202 es la información de control que indica que los subportadores, esquemas de modulación (por ejemplo QPSK, 16QAM, 64QAM, etc.) y los índices de códigos se utilizan para transmitir la información estática L1 203, la información configurable L1 204, y la información dinámica L1 205.

Como se describió anteriormente, un transmisor de un sistema de comunicación inalámbrico general genera un bloque LDPC 206 mediante codificación LDPC de la información de pre-señalización L1 202 independientemente, y también genera un bloque LDPC 207 mediante codificación LDPC de una pluralidad de piezas de información L1 (información configurable L2, información dinámica L1, etc.) que constituye la información de post- señalización L1.

Sin embargo, cuando se genera un bloque LDPC mediante codificación LDPC de una pluralidad de piezas de información L1 que constituyen la información de post- señalización L1, con la pluralidad de piezas de información L1 combinadas, el número de bits de entrada del bloque LDPC es variable, de tal manera que el número de bits de entrada codificados también se puede cambiar, lo que resulta en un cambio en el desempeño de la decodificación. Aquí, la información de pre-señalización L1 y la información de post- señalización L1 pueden ser diferentes en sus estructuras de información de acuerdo con el sistema de comunicación inalámbrico, y no solo se puede aplicar la codificación LDPC sino también otros métodos de codificación para la ejecución de la codificación.

La Figura 3 es un diagrama que ilustra un esquema para codificar información de señalización de acuerdo con una realización de la presente invención.

La siguiente descripción se enfoca sobre un método para codificar información estática L1, información configurable L1 e información dinámica L1, denotado como Parte II.

Con referencia a la Figura 3, una realización de la presente invención genera un bloque LDPC como una contraseña mediante codificación LDPC de la información de pre-señalización L1 302 independientemente. Adicionalmente, la realización genera un bloque LDPC(s) como una o múltiples contraseñas de al desarrollar codificación LDPC como una o múltiples contraseñas al desarrollar codificación LDPC, una vez o una pluralidad de veces, sobre una pluralidad de piezas de información L1 que constituyen la información de post- señalización L1, por ejemplo, información estática L1 303, información configurable L1 304 e información dinámica L1 305 combinadas. La presente invención se caracteriza al generar múltiples contraseñas (es decir bloques LDPC) (307,...,308) con respecto a la información de post- señalización L1, de tal manera que los múltiples bloques LDPC (307,...,308) son iguales en el número de bits de su información de entrada. Esto es para mantener el desempeño constante de cada bloque LPDC debido a que los códigos LDPC tienen características en donde sus desempeños varían de acuerdo con el número de bits de información de entrada. Con el fin de coincidir la pluralidad de bloques LDPC (307,...,308) en términos del número de bits de información de entrada, se agregan x bits de relleno como se muestra por el numeral de referencia 306. Adelante se describirá en detalle cómo se determina el número de bits de relleno agregados. Una operación de transmisor para generar y transmitir uno o múltiples bloques LDPC de acuerdo con una realización de la presente invención ahora se describirá en detalle con referencia a la Figura 4.

La Figura 4 es un diagrama de flujo que ilustra una operación de un transmisor de acuerdo con una realización de la presente invención.

Con referencia a la Figura 4, en la etapa 401, el transmisor determina la información de control, que se va a transmitir a través de los símbolos P2 en la trama actual. La información de control que se va a transmitir a través de los símbolos P2 incluye información de pre-señalización L1 e información de post- señalización L1, como se describió anteriormente.

Para que el LDPC codifique la información de control determinada antes de la transmisión, el transmisor determina en cuantos bloques codificados (es decir bloques LDPC) dividirán la información de post- señalización L1 antes de la transmisión, en la etapa 402. Se realiza la determinación de acuerdo con la Ecuación (1).

$$N_{post_FEC_Blocks} = \left\lceil \frac{K_{post_pure}}{K_{bch}} \right\rceil \quad (1)$$

En la Ecuación (1), se asume que los códigos internos LDPC y los códigos externos Bose, Chaudhuri, y Hocquenghem (BCH) se concatenan entre sí.

5 Aquí, $N_{post_FEC_Blocks}$ denota el número de los bloques divididos LDPC cuando la información de post- señalización L1 se divide en múltiples bloques LDPC antes de transmisión, K_{post_pure} denota una suma del número de bits de información de post- señalización L1, determinada en la etapa 401, y K_{bch} denota el número máximo de bits de entrada obtenidos al excluir los bits de paridad de un código BCH y bits de paridad de un código LDPC de un bloque LDPC con base en un tipo de codificación dado (es decir el número máximo de bits de entrada determinados al excluir un código de paridad de un bloque BCH). De aquí en adelante, se denomina como "el número máximo de bits de entrada de un bloque BCH."

15 Por ejemplo, cuando se utiliza un bloque LDPC como un bloque codificado con un tamaño de 16,200 bits, se indica un índice de código por R_{eff} ; y el número de bits de paridad utilizado en el código BCH se denota por N_{bch_parity} , el número máximo K_{bch} de bits de entrada de un bloque BCH es $K_{bch}=16,200 \times R_{eff} - N_{bch_parity}$. Para $R_{eff}= 4/9$ y $N_{bch_parity} = 168$ bits, K_{bch} llega a ser 7032 bits. Adicionalmente, $\lceil x \rceil$ en la Ecuación (1) indica el entero más pequeño mayor de o igual a x.

20 Sin embargo, un valor de K_{bch} utilizado en la Ecuación (1) no se debe determinar necesariamente mediante el método anterior, y también se puede determinar mediante otro método de acuerdo con una condición dada del sistema de comunicación inalámbrico. Con respecto a otro método, en un sistema de comunicación inalámbrico que utiliza múltiples portadores, tales como, por ejemplo, un sistema de Multiplexación de División de Frecuencia Ortogonal, el número máximo de subportadores capaces de llevar datos en un símbolo OFDM se determina de acuerdo con una condición del sistema. Cuando la máxima cantidad de datos que se puede suministrar de una vez a través del número máximo de subportadores mientras que se mantiene el desempeño de la codificación considerado en un sistema, es menor que el tamaño máximo de un bloque codificado LDPC, se puede reemplazar un valor de K_{bch} utilizado en la Ecuación (1) por un valor de la cantidad máxima de datos.

25 Sin embargo, cuando el valor de K_{bch} no se puede cambiar por las razones que $K_{bch}=16,200 \times R_{eff} - N_{bch_parity}$ se han definido en un sistema y el valor de K_{bch} ya se utiliza para otro propósito en el sistema, la Ecuación (1) se puede reemplazar por la Ecuación (2).

$$N_{post_FEC_Blocks} = \left\lceil \frac{K_{post_pure}}{N_{post_max_per_symbol}} \right\rceil \quad (2)$$

30 En la Ecuación (2), $N_{post_max_per_symbol}$ indica el número máximo de bits capaz de llevar información de post- señalización L1 en un símbolo OFDM de acuerdo con una condición del sistema, y generalmente es menor que o igual al valor de K_{bch} .

Para un mejor entendimiento de la presente invención, se describirán los siguientes ejemplos.

35 Asumiendo que en un sistema OFDM que utiliza un modo de Transformada Rápida de Fourier (FFT) 4K, se puede utilizar un máximo de 3408 subportadores para un símbolo OFDM para transmitir información de señalización L1 codificada, cuando 45 subportadores se asignan para transmisión de información de pre-señalización L1 codificada en un símbolo OFDM, se puede asignar un máximo de 3363 subportadores, para la transmisión de la información de post- señalización L1 codificada. Cuando se asume que se va a aplicar la Modulación de Amplitud de Cuadratura 16- ary (QAM), los 3363 subportadores pueden llevar a un total de $3363 \times 4=13452$ bits.

40 Debido a que la información de post- señalización L1 codificada debe tener mayor desempeño de codificación comparada con los datos generales, la cantidad de la información de post- señalización L1 se debe limitar para garantizar el desempeño de codificación mínimo requerido. Es decir, entre 13452 bits, el número específico de bits se fija al valor máximo como la cantidad de información de post- señalización L1, y se asignan los bits restantes como bits de paridad de un código BCH o un código LDPC, o bits vacíos cuando sea necesario.

45 Por ejemplo, se asume que la información de post- señalización L1 de 5780 bits o menos se transmite sobre un símbolo OFDM en la solicitud del sistema con el fin de garantizar el desempeño de codificación mínimo requerido para la información de post- señalización L1 codificada. En este caso, se puede apreciar que los 5780 bits son menores de 7032 bits, o el tamaño máximo de K_{bch} , cuando R_{eff} es 4/9 y N_{bch_parity} es 168 bits. También, se asume

que se asignan 168 como bits de paridad N_{bch_parity} de un código BCH, 7500 bits se asignan como bits de paridad de un código LDPC, y los 4 bits restantes se asignan como bits vacíos. Luego, debido a que el número total de bits de la información de post- señalización L1 codificada tiene 13448 bits y se incluyen 4 bits vacíos, se mapea la información de post- señalización L1 codificada con los bits vacíos a $(13448 + 4)/4 = 3363$ subportadores, formando por lo tanto una parte de un símbolo OFDM.

En el anterior ejemplo, $(5780 + 168)/13448$ es menor de $4/9$, o un valor de R_{eff} , porque se fija en menos de $4/9$ para asegurar mayor desempeño de codificación que aquel de los datos generales. Actualmente, debido a que se fija $13452 \times 4/9 \approx 5979$ para obtener un índice de código menor de R_{eff} que considera el desempeño de codificación, la información de post- señalización L1 máxima que se puede transmitir a través de un símbolo OFDM siempre es menor de 7032 bits.

Cuando la cantidad de información de post- señalización L1 excede 5780 bits, la información de post- señalización L1 se divide en bloques LDPC $N_{post_FEC_Blocks}$ utilizando la Ecuación (1), y transmitida a través de un proceso descrito adelante. En este caso, K_{bch} se fija como 5780 bits en la Ecuación (1). Sin embargo, cuando un valor de K_{bch} no se puede cambiar el sistema ya lo usa para otro propósito, $N_{post_max_per_symbol}$ se fija como 5780 bits en la Ecuación (2), y se utiliza en cambio de la Ecuación (2).

De acuerdo con otro ejemplo detallado, asumiendo que en un sistema OFDM que utiliza un modo FFT 4K, se puede utilizar un máximo de 2840 subportadores para un símbolo OFDM para transmitir información de señalización L1 codificada, cuando se asignan 45 subportadores para la transmisión de información de pre-señalización L1 codificada en un símbolo OFDM, se puede asignar un máximo de 2795 subportadores para la transmisión de información de post- señalización L1 codificada. Por conveniencia, cuando se asume que se va a aplicar modulación de 16 QAM los 2795 subportadores pueden llevar un total de $2795 \times 4 = 11180$ bits.

Se asume que entre los 11180 bits, el número máximo de bits de información de post- señalización L1 trasmisibles a través de un símbolo OFDM se fija como 4748 bits con el fin de garantizar el desempeño de codificación mínimo requerido de acuerdo con los requerimientos del sistema

Se puede entender que los 4748 bits son menores de 7032 bits, o el número máximo de bits de entrada del bloque BCH, cuando $R_{eff}=4/9$ y un tamaño de N_{bch_parity} tiene 168 bits. También, se asume que 168 bits se asignan como un bit de paridad de un código BCH, se asignan 6260 bits como bits de paridad de un código LDPC, y los 4 bits restantes se asignan como bits vacíos. Luego, debido a que el número total de bits de la información de post- señalización L1 codificada es 11176 bits y se incluyen 4 bits vacíos, la información de post- señalización L1 codificada con los bits vacíos se mapea para los $(11176 + 4)/4 = 2795$ subportadores, formando por lo tanto una parte de un símbolo OFDM.

En el ejemplo anterior, se observa que $(4748 + 168)/11180$ es menor de $4/9$, o un valor de R_{eff} .

Cuando la cantidad de la información de post- señalización L1 excede 4748 bits, la información de post- señalización L1 se divide en bloques LDPC $N_{post_FEC_Blocks}$ utilizando la Ecuación (1), y se transmiten a través de un proceso descrito adelante. En este caso, K_{bch} se fija como 4748 bits en la Ecuación (1). Sin embargo, cuando un valor de K_{bch} no se puede cambiar cuando el sistema ya lo utiliza para otro propósito, $N_{post_max_per_symbol}$ se fija como 4748 bits en la Ecuación (2), y en cambio se utiliza la Ecuación (2).

De acuerdo con realizaciones de la presente invención, se puede definir el K_{bch} como un valor determinado de acuerdo con un propósito necesario en el sistema, y puede ser igual a o menor que el número máximo de bits de entrada de, por ejemplo, un bloque BCH. Sin embargo, cuando un valor de K_{bch} no se puede cambiar cuando el sistema ya lo utiliza para otro propósito, $N_{post_max_per_symbol}$ se puede fijar como un valor apropiado en la Ecuación (2), y la Ecuación (2) se puede utilizar en lugar de la Ecuación (1).

Como se describió anteriormente, K_{bch} en la Ecuación (1) se puede fijar como un valor apropiado de acuerdo con los requerimientos del sistema de comunicación inalámbrico.

Con referencia de nuevo a la Figura 4, en la etapa 403, el transmisor divide una suma K_{post_pure} del número de bits de la información de post- señalización L1 por el número $N_{post_FEC_Blocks}$ de los bloques LDPC, determinados en la etapa 402. En el caso donde el K_{post_pure} no se pueda dividir por $N_{post_FEC_Blocks}$, el número $N_{post_FEC_Blocks}$ de bits específicos de relleno (cada valor de bit es '0') llega a ser 2 cuando K_{post_pure} es 7033 bits, por ejemplo. Debido a que el K_{post_pure} no se puede dividir por 2, se agrega un bit de 0 al K_{post_pure} para realizar un número de evento, y los valores resultantes se dividen por 2. Anteriormente, el número de bits de un flujo de información después que se agregan bits de relleno a los mismos se denomina K_{post} , y un valor obtenido al dividirlo por $N_{post_FEC_Blocks}$ se denomina como K_{sig} . En el ejemplo anterior, K_{sig} llega a ser $(7033+1)/2 = 3,517$ bits. En otras palabras, esto significa que dos flujos de información de 3,517 bits obtenidos al agregar un bit a K_{post_pure} de 7033 bits y dividir el resultado por dos se pretende que sea transmitido sobre dos LDPC a través de dos codificaciones LDPC.

En la etapa 404, el transmisor calcula el número de bits de paridad a ser perforados, entre los bits de paridad de cada bloque LPDC. El cálculo para el número de bits de perforación se somete a cambio de acuerdo con K_{post} , un esquema de modulación (o una orden de modulación), el número $N_{fixedP2}$ de los símbolos OFDM se utiliza para transmisión P2 (es decir el número de símbolos OFDM con un tamaño FFT dado), etc. El número de bits de perforación se puede calcular de la siguiente manera. El número de bits de perforación se puede calcular en el proceso de calcular primero el número temporal de bits de perforación, corregir el número de bits de perforación teniendo en cuenta $N_{fixedP2}$ y una estructura de un intercalador de bit utilizada para transmitir la información de post-señalización L1, y luego actualizar el número final de bits de perforación. El proceso para calcular el número de bits de perforación se describirá utilizando las ecuaciones, como sigue.

10 Etapa 1

Primero, se calcula el número temporal de N_{punc_temp} de bits de perforación de acuerdo con la Ecuación (3).

$$N_{punc_temp} = \left\lfloor \frac{6}{5} x(K_{bch} - K_{sig}) \right\rfloor \quad (3)$$

donde $\lfloor x \rfloor$ indica el entero más grande no mayor de x .

15 En la Ecuación (3), K_{bch} denota el número máximo de bits de entrada de un bloque BCH, y K_{sig} es un valor determinado al dividir el número K_{post} de bits obtenidos al agregar bits de relleno a una suma K_{post_pure} del número de bits de información de post- señalización L1, por el número $N_{post_FEC_Blocks}$ de bloques LDPC.

En la Ecuación (3), $K_{bch}=16,200 \times R_{eff} - N_{bch_parity}$, definido primero en la Ecuación (1), se utiliza intacto sin cambio. Por ejemplo, K_{bch} tiene 7032 bits, cuando se utiliza un bloque LDPC con un tamaño de 16,200 bits, un índice de código efectivo R_{eff} es 4/9, y N_{bch_parity} tiene 168 bits.

20 Etapa 2

Después se encuentra el número temporal de bits de perforación, el número temporal N_{post_temp} de bits de contraseña se calcula de acuerdo con Ecuación (4).

$$N_{post_temp} = K_{sig} + N_{bch_parity} + 16,200x(1 - R_{eff}) - N_{punc-temp} \quad (4)$$

Etapa 3

25 Después de eso, con base en el número temporal de bits de contraseña, el número final de bits de contraseña (o el número de bits de cada bloque LPDC) se calcula de acuerdo con Ecuación (5) teniendo en cuenta una orden de modulación.

$$N_{post} = \begin{cases} Si N_{fixedP2} = 1, & \left\lfloor \frac{N_{post_temp}}{2\eta_{MOD}} \right\rfloor \times 2\eta_{MOD}, \\ De otra forma, & \left\lfloor \frac{N_{post_temp}}{\eta_{MOD} \times N_{fixedP2}} \right\rfloor \times \eta_{MOD} \times N_{fixedP2} \end{cases} \quad (5)$$

30 donde η_{MOD} indica una orden de modulación, y es 1, 2, 4 y 6 para BPSK, QPSK, 16-QAM, y 64-QAM, respectivamente, y $N_{fixedP2}$ es el número de símbolos OFDM utilizados para la transmisión P2 (es decir transmisión de información de señalización L1).

35 La razón para ajustar el número de bits de contraseña en la Ecuación (5) es asegurar que el número de símbolos de modulación después de la modulación de cada bloque LPDC llega a ser un múltiplo de $N_{fixedP2}$, y también para garantizar que el número de bits de cada bloque LPDC llega a ser un múltiplo del número de columnas de un intercalador de bloque utilizado en un proceso de intercalación de bits. La intercalación de bloque se utiliza comúnmente solo para modulación de alto orden tales como 16QAM y 64QAM, y el número de sus columnas utilizadas es de manera general $2 \times \eta_{MOD}$.

En la Ecuación (5), la expresión se divide en dos sub-expresiones sobre la base de un valor de $N_{fixedP2}$, para asegurar que el número de símbolos después de modulación siempre llega a ser un múltiplo de $N_{fixedP2}$. Sin embargo, cuando no hay necesidad de satisfacer necesariamente la relación múltiple de $N_{fixedP2}$ de acuerdo con los requerimientos del sistema de comunicación al cual se aplica la presente invención, solo es suficiente para aplicar la primera expresión para $N_{fixedP2} = 1$ en la Ecuación (5). En este caso, los factores que determinan el resultado de la Ecuación (5) tienen un orden de modulación y el número de columnas de un intercalador de bloque.

En resumen, la Ecuación (5) se puede aplicar brevemente independientemente de $N_{fixedP2}$ de acuerdo con los requerimientos del sistema de comunicación al cual se aplica la presente invención.

De acuerdo con la Ecuación (5), se asegura que cuando un valor de $N_{fixedP2}$ no es 1, el número de símbolos de modulación después de la modulación de un bloque LDPC es un múltiplo de $N_{fixedP2} \times \eta_{MOD}$. Sin embargo, en el caso general, no se puede asegurar que el número de símbolos de modulación es $2 \times \eta_{MOD}$. Así, cuando el número de columnas para intercalación de bloque se fija a $2 \times \eta_{MOD}$, la Ecuación (5) no puede ser adecuada. En otras palabras, en un caso donde en un sistema arbitrario, el número de columnas para intercalación de bloque se fija siempre a $2 \times \eta_{MOD}$ y $N_{fixedP2}$ no es 1, la Ecuación (5) puede no ser adecuada para el sistema si el número de símbolos de modulación no satisface un múltiplo de 2. Por lo tanto, para $N_{fixedP2} \neq 1$, cuando el número de símbolos de modulación no satisface un múltiplo de 2, el número final de bits de contraseña (es decir el número de bits de cada bloque LPDC) se puede calcular utilizando la Ecuación (6).

$$N_{post} = \left\lceil \frac{N_{post_temp}}{2 \times \eta_{MOD} \times N_{fixedP2}} \right\rceil \times 2 \times \eta_{MOD} \times N_{fixedP2} \quad (6)$$

La Ecuación (6) se propone de tal manera que se puede utilizar sin restricciones específicas sobre un valor de $N_{fixedP2}$.

Un valor de $N_{fixedP2}$ se puede fijar como un valor que tiene un significado particular de acuerdo con los requerimientos del sistema. Por ejemplo, cuando un valor de $N_{fixedP2}$ se fija al mismo valor que $N_{post_FEC_Blocks}$ en la Ecuación (2), se puede determinar el valor de $N_{fixedP2}$, una vez se determina $N_{post_FEC_Blocks}$ en el sistema. Si esto se aplica a la Ecuación (6), se puede escribir la Ecuación (6) como la Ecuación (7).

$$N_{post} = \left\lceil \frac{N_{post_temp}}{2 \eta_{MOD} \times N_{post_FEC_Blocks}} \right\rceil \times 2 \eta_{MOD} \times N_{post_FEC_Blocks} \quad \dots \dots \dots (7)$$

Adicionalmente, un valor de $N_{fixedP2}$ se puede dividir de acuerdo con una condición del sistema, en forma similar a la Ecuación (5), y se fija como diferentes valores. Por ejemplo, se asume que el sistema utiliza una técnica de intercalación de tiempo durante la transmisión de información de post- señalización L1, y ha detectado un campo "L1_TI_depth" en la información de señalización que tiene información como se establece en la Tabla 1, de la información de pre-señalización L1.

Tabla 1

L1_TI_depth	Profundidad de Intercalación de Tiempo
	$N_{L1_TI_depth}$
00	Sin Intercalación de Tiempo
01	símbolos OFDM $N_{post_FEC_Blocks}$
10	4 símbolos OFDM
11	8 símbolos OFDM

De acuerdo con la Tabla 1, cuando el "L1_TI_depth" es 10 o 11, el sistema transmite información de post-señalización L1 sobre 4 u 8 símbolos OFDM independientemente de un valor de $N_{post_FEC_Blocks}$. Por lo tanto, se puede utilizar la Ecuación (8) de acuerdo con un valor de "L1_TI_depth."

$$N_{post} = \begin{cases} \text{Si } L1_TI_depth = 00 \text{ ó } 01, \\ \left[\frac{N_{post_temp}}{2\eta_{MOD} \times N_{post_FEC_Blocks}} \right] \times 2\eta_{MOD} \times N_{post_FEC_Blocks}, \\ \text{De otra forma,} \\ \left[\frac{N_{post_temp}}{2\eta_{MOD} N_{L1_TI_depth}} \right] \times 2\eta_{MOD} \times N_{L1_TI_depth}. \end{cases} \quad (8)$$

5 donde un valor de $N_{L1_TI_depth}$ es 4 para "L1_TI_depth"=10, y 8 para "L1_TI_depth"=11.

Para subdividir la información de post-señalización L1 de acuerdo con la solicitud de no aplicación de intercalación de tiempo, para "L1_TI_depth"= 00 o 01, el número final N_{post} de bits de contraseña (es decir el número de bits de cada bloque LPDC) se puede dar como la Ecuación (9).

$$N_{post} = \begin{cases} L1_TI_depth = 00; \\ \left[\frac{N_{post_temp}}{2\eta_{MOD}} \right] \times 2\eta_{MOD}, \\ L1_TI_depth = 01; \\ \left[\frac{N_{post_temp}}{2\eta_{MOD} \times N_{post_FEC_locks}} \right] \times 2\eta_{MOD} \times N_{post_FEC_locks}, \\ \text{De otra forma,} \\ \left[\frac{N_{post_temp}}{2\eta_{MOD} \times N_{L1_TI_depth}} \right] \times 2\eta_{MOD} \times N_{L1_TI_depth}. \end{cases} \quad (9)$$

10 Adicionalmente, para "L1_TI_depth"=00 o 01, debido a que "L1_TI_depth" es siempre un múltiplo de 2, también es posible la Ecuación (10).

$$N_{post} = \begin{cases} \text{Si } L1_TI_depth = 00 \text{ o } 01, \\ \left[\frac{N_{post_temp}}{2\eta_{MOD} \times N_{post_FEC_Blocks}} \right] \times 2\eta_{MOD} \times N_{post_FEC_Blocks}, \\ \text{De otra forma,} \\ \left[\frac{N_{post_temp}}{\eta_{MOD} \times N_{L1_TI_depth}} \right] \times \eta_{MOD} \times N_{L1_TI_depth}. \end{cases} \quad (10)$$

En este caso, se garantiza que N_{post} es aún un múltiplo de $2X\eta_{MOD}$.

Etapa 4

15 Finalmente, se actualiza el número final de bits de perforación entre los bits de paridad de cada bloque LPDC. El número final N_{punc} de bits de perforación se calcula de acuerdo con Ecuación (11).

$$N_{punc} = N_{punc_temp} - (N_{post} - N_{post_temp}) \quad (11)$$

donde N_{punc_temp} denota el número temporal de bits de perforación, calculado en la etapa 1, N_{post} denota el número final de bits de contraseña (es decir el número de bits de cada bloque LDPC), y N_{post_temp} denota el número temporal de bits de contraseña, calculado en la etapa 2.

- 5 Con referencia de nuevo a la Figura 4, después de calcular el número de bits de perforación entre los bits de paridad de cada bloque LDPC, el transmisor se genera, en la etapa 405, como muchos bloques LDPC como el número de bloques codificados, determinados en la etapa 402, utilizando la información de post- señalización L1 con bits de relleno. Los bloques LDPC se transmiten después que se perforan muchos bits de paridad como el número calculado de bits de perforación. En la etapa 406, el transmisor se mueve a la siguiente trama, y luego repite la anterior operación de las etapas 401 a 405.
- 10

Un ejemplo del proceso de cálculo en la operación del transmisor se resume en la Tabla 2.

Etapa	Operación
1	Calcula Ecuación (2): $N_{post_FEC_Blocks} = \left\lceil \frac{K_{post_pure}}{N_{post_max_per_symbol}} \right\rceil$
2	1) Si es necesario, se agrega un valor apropiado a K_{post_pure} de tal manera que llega a ser un múltiplo de $N_{post_FEC_Blocks}$, y el valor resultante se define como N_{post} . Cuando K_{post_pure} es un múltiplo de $N_{post_FEC_Blocks}$ desde el principio, N_{post} y K_{post_pure} tienen el mismo valor. 2) K_{post}/K_{post_pure} se define como K_{sig} .
3	Calcula Ecuación (3): $N_{punc_temp} = \left\lceil \frac{6}{5} \times (K_{bch} - K_{sig}) \right\rceil$
4	Calcula Ecuación (4): $N_{post_temp} = K_{sig} + N_{bch_parity} + 16,200 \cdot (1-R_{eff}) - N_{punc_temp}$
5	Calcula N_{post} utilizando la Ecuación (8) de acuerdo con una técnica de intercalación de tiempo definida en la Tabla 1, que se aplica a la post- señalización
6	Calcula Ecuación (11): $N_{punc} = N_{punc_temp} - (N_{post} - N_{post_temp})$

La Figura 5 es un diagrama de flujo que ilustra una operación de un receptor de acuerdo con un ejemplo de la presente invención.

- 15 Con referencia a la Figura 5, en la etapa 501, el receptor adquiere el número de bits de información de post- señalización L1 transmitido en la trama actual al recibir y demodular la información de pre- señalización L1. El número de bits de la información de post- señalización L1 significa el K_{post} descrito en la Figura 4, al que se agregan bits de relleno. En la etapa 502, el receptor calcula el número de bloques codificados (es decir bloques LDPC) a través de los cuales se transmite información de post- señalización L1, de acuerdo con Ecuación (12).

$$N_{post_FEC_Blocks} = \frac{K_{post}}{K_{bch}} \quad (12)$$

20

Se debe notar que el valor de Ecuación (12) también se puede calcular como la Ecuación (13) de acuerdo con los requerimientos del sistema.

$$N_{post_FEC_Blocks} = \frac{K_{post}}{N_{post_max_per_symbol}} \quad (13)$$

5 En la etapa 503, el receptor calcula el número K_{sig} de bits de información de entrada para cada bloque LDPC (es decir el número de bits de información de entrada con bits de relleno) de acuerdo con Ecuación (14).

$$K_{sig} = \frac{K_{post}}{K_{post_FEC_Blocks}} \quad (14)$$

10 En la etapa 504, el receptor calcula el número de bits de perforación entre los bits de paridad de cada bloque LDPC. El proceso de cálculo de la etapa 504 es igual al método descrito en la Figura 4 utilizando la Ecuación (3), Ecuación (4), y Ecuación (5) a Ecuación (11). En la etapa 505, el receptor se decodifica como muchos bloques LDPC como el número de bloques LDPC, determinado en la etapa 502, a través de un proceso de decodificación LDPC utilizando el número de bits de perforación, calculado en la etapa 504, y adquiere información de post- señalización L1 de cada bloque LDPC decodificado. En la etapa 506, el receptor se mueve a la siguiente trama y repite la operación de las etapas 501 a 505.

15 La Figura 6 es un diagrama de bloque que ilustra una estructura de un transmisor 600 de acuerdo con una realización de la presente invención. El transmisor 600 en la Figura 6 representa un aparato para transmitir información de señalización L1 como la información de control.

20 Con referencia a la Figura 6, el transmisor 600 incluye un búfer de datos de transmisión 601, un programador 602, un generador de información de control 603, un calculador de parámetro de control 604, un controlador 605, un codificador LDPC 606, y una unidad de transmisión 607. En realizaciones de la presente invención, la información de control, que se codifica en uno o múltiples bloques LDPC antes de transmisión, incluye información de pre- señalización L1 e información de post- señalización L1 como información de señalización de capa física, como se describió anteriormente.

25 Cuando un sistema de comunicación inalámbrico proporciona servicios de radiodifusión, el búfer de datos de transmisión 601 regula datos de servicio (es decir PLPs) que debe transmitir una pluralidad de canales de servicio de radiodifusión. El programador 602 realiza programación dependiendo de un estado de los datos de servicio (PLPs) regulados en el búfer de datos de transmisión 601. La operación de programación puede incluir determinar información de pre- señalización L1 e información de post- señalización L1 como información de control que se va a transmitir, para cada trama. Se proporciona el resultado de la programación a la información del generador de control 603. La información de generador de control 603 genera valores de campo detallados de la información de pre- señalización L1 y la información de post- señalización L1 como la información de control (es decir información P2). La información de post- señalización L1 incluye información configurable L1 204, información dinámica L1 205, o similares.

35 El calculador de parámetro de control 604 calcula el número de bloques LDPC, el número de símbolos de modulación, el número de bits de relleno, el número de bits de perforación entre los bits de paridad de cada bloque LDPC, etc. como parámetros de control utilizados para codificar información de control e uno o una pluralidad de bloques LDPC antes de transmisión como se describe en la Figura 4, utilizando los valores de campo recibidos desde la información de generador de control 603. Los parámetros de control calculados por el calculador de parámetro de control 604 se proporcionan al controlador 605, y el controlador 605 controla una operación de codificación del codificador LDPC 606 de acuerdo con los parámetros calculados. El codificador LDPC 606, bajo el control del controlador 605, codifica la información de pre- señalización L1 y la información de post- señalización L1 recibida desde la información de generador de control 603, en bloques LDPC independientemente. Aquí, de acuerdo con el proceso descrito en la Figura 4, la información de pre- señalización L1 se divide en uno o más bloques y se agregan bits de relleno cero a estos, de tal manera que la información se emite como uno o múltiples bloques LDPC. Los bits de paridad, cuyo número es igual al número calculado de bits de perforación, se perforan desde los bloques LDPC. La salida del codificador LDPC 606 se proporciona a la unidad de transmisión 607, y la unidad de transmisión 607 transmite la información de control codificada LDPC con una trama que tiene un formato predeterminado. Aunque el calculador de parámetro de control 604 y el controlador 605 se ilustran como componentes separados en la Figura 6, ellos se pueden construir en un controlador.

La Figura 7 es un diagrama de bloque que ilustra una estructura de un receptor 700 de acuerdo con un ejemplo de la presente invención. El receptor 700 en la Figura 7 representa un aparato para recibir información de señalización L1 como información de control.

5 Con referencia a la Figura 7, el receptor 700 incluye un receptor de pre-señalización L1 701, un calculador de parámetro de control 702, un receptor de post- señalización L1 703, y un controlador 704.

10 El receptor 700 en la Figura 7 recibe información de pre-señalización L1 e información de post- señalización L1 como información de control para recepción de datos de servicio. La información de pre-señalización L1 es información de control que indica un método de transmisión para información de post- señalización L1 que incluye información configurable L1 204 e información dinámica L1 205. El receptor de pre-señalización L1 701 recibe la información de pre-señalización L1, adquiere información sobre subportadores, un esquema de modulación (por ejemplo QPSK, 16QAM, 64QAM, etc.) y un índice de código se utilizarán como un método de transmisión para la información de post- señalización L1, y también adquiere información sobre el número de símbolos de modulación.

15 El calculador de parámetro de control 702 calcula los parámetros de control que incluyen el número de bloques LDPC, el número de bits de relleno para los bloques LDPC, el número de bits de perforación entre los bits de paridad de los bloques LDPC, y el número de símbolos de modulación en la manera descrita en la Figura 5, utilizando la información proporcionada por el receptor de preseñalización L1 701. Los parámetros de control calculados por el calculador de parámetro de control 702 se proporcionan al controlador 704. El controlador 704 controla una operación de decodificación LDPC en uno o múltiples bloques LDPC recibidos en el receptor de post-señalización L1 703 utilizando los parámetros de control, y el receptor de post-señalización L1 703 decodifica la información de post- señalización L1. Aunque el calculador de parámetro de control 702 y el controlador 704 se ilustran como componentes separados en la Figura 7, ellos se pueden construir en un controlador.

25 Como es evidente de la anterior descripción, las realizaciones de la presente invención pueden dividir la información de control en múltiples bloques LDPC y realizar codificación LDPC de la misma considerando las características de las que el desempeño de decodificación depende en el número de bits de información de entrada de cada bloque LPDC, de tal manera que el desempeño de codificación de cada bloque LPDC se puede mantener constantemente.

30 Adicionalmente, las realizaciones de la presente invención pueden dividir la información de control, es decir información de post- señalización L1, en una pluralidad de bloques que tiene el mismo número de bits de entrada, insertar bits de relleno en cada uno de los bloques divididos, y desarrollar codificación LDPC en ellos, permitiendo así codificación más eficiente. Por lo tanto, es posible desarrollar información de señalización transmisión/recepción más eficiente a través de codificación LCPC.

35 También se pueden incorporar realizaciones de la presente invención como códigos legibles por ordenador en un medio de grabación legible por ordenador. El medio de grabación legible por ordenador es cualquier dispositivo de almacenamiento de datos que puede almacenar datos que después se pueden leer por un sistema de ordenador. Ejemplos de medio de grabación legible por ordenador, incluyen pero no se limitan a, Memoria de Solo Lectura (ROM), Memoria de Acceso Aleatorio (RAM), CD-ROMs, cintas magnéticas, discos floppy, dispositivos de almacenamiento de datos ópticos, y ondas portadoras (tales como transmisión de datos a través de la Internet por rutas de transmisión cableadas o inalámbricas). El medio de grabación legible por ordenador también se puede distribuir sobre sistemas de ordenador acoplados a redes de tal manera que el código legible por ordenador se almacene y ejecute en una forma distribuida. También los programas de función, códigos, y segmentos de código para lograr la presente invención se pueden construir fácilmente como dentro del alcance de la invención por programadores expertos en la técnica a los que pertenece la presente invención.

40 Aunque la invención se ha mostrado y descrito con referencia a ciertas realizaciones preferidas de la misma, se entenderá por aquellos expertos en la técnica que se pueden hacer aquí diversos cambios en forma y detalles sin apartarse del alcance de la invención como se define por las reivindicaciones adjuntas.

45

REIVINDICACIONES

1. Un método para transmitir información de control a través de información de post- señalización de Capa 1, L1, para un sistema de comunicación de radiodifusión inalámbrico, el método comprende las etapas de:

5 determinar (402) un número de bloques LDPC a través de los cuales se va a transmitir la información de post- señalización de Capa 1, L1, con base en un número total de bits de la información de post- señalización L1;

calcular (403) un número de bits de información de entrada de cada bloque LPDC cuando se presenta una pluralidad de bloques LDPC, de tal manera que los múltiples bloques LDPC son iguales en el número de bits de su información de entrada;

determinar (404) un número de bits de perforación de acuerdo con una orden de modulación;

10 generar el número determinado de bloques LDPC, cada bloque LDPC comprende el número calculado de bits de información de entrada y bits de perforación con base en el número determinado de bits de perforación; y

transmitir una trama que incluye uno o más bloques LDPC generados a través de las etapas precedentes.

2. El método de la reivindicación 1, en donde determinar un número de bloques LDPC comprende:

15 determinar el número de bloques LDPC dependiendo de un valor obtenido al dividir el número total de bits de la información de post- señalización L1 por un número máximo de bits de entrada de un bloque Bose, Chaudhuri, y Hocquenghem, BCH.

3. El método de la reivindicación 2, en donde el número máximo de bits de entrada del bloque BCH se determina de acuerdo con la siguiente ecuación;

$$K_{bch} = 16,200 \times R_{eff} - N_{bch_parity}$$

20 cuando se utiliza un bloque LDPC como un bloque codificado con un tamaño de 16,200 bits, se indica un índice de código efectivo por R_{eff} , y el número de bits de paridad utilizado en el código BCH se denota por N_{bch_parity} .

4. El método de la reivindicación 2, en donde el número máximo de bits de entrada del bloque BCH es un valor de la cantidad máxima de datos.

25 5. El método de la reivindicación 1, en donde calcular un número de bits de información de entrada de cada bloque LPDC adicionalmente comprende:

hallar un valor al agregar uno o más bits de relleno al número total de bits de la información de post- señalización L1; y

calcular el número de bits de información de entrada al dividir el valor por el número de bloques LDPC, cuando el número total de bits de la información de post- señalización L1 no se puede dividir por el número de bloques LDPC.

30 6. El método de la reivindicación 1, en donde determinar un número de bits de perforación adicionalmente comprende:

calcular un número temporal de bits de perforación y un número temporal de bits de contraseña de cada bloque LPDC;

35 calcular un número final de bits de contraseña de cada bloque LPDC de acuerdo con la orden de modulación y el número temporal de bits de contraseña; y

calcular un número final de bits de perforación de acuerdo con el número temporal de bits de perforación, el número temporal de bits de contraseña y el número final de bits de contraseña.

7. El método de la reivindicación 6, en donde calcular un número temporal de bits de perforación adicionalmente comprende

40 calcular el número temporal de bits de perforación de acuerdo con una diferencia entre un número máximo de bits de información de entrada de un bloque BCH y el número de bits de información de entrada de cada bloque LPDC.

8. El método de la reivindicación 6, en donde calcular un número temporal de bits de contraseña adicionalmente comprende:

calcular el número temporal de bits de contraseña de cada bloque LDPC de acuerdo con el número de bits de información de entrada de cada bloque LDPC, un número de bits de paridad de un bloque BCH, el número temporal de bits de perforación, y un índice efectivo de código de los bloques LDPC.

9. El método de la reivindicación 6, en donde calcular un número final de bits de contraseña adicionalmente comprende:

calcular el número final de bits de contraseña de acuerdo con el número temporal de bits de contraseña, un número de símbolos utilizados para la transmisión de información de señalización L1, y la orden de modulación.

10. El método de la reivindicación 1, en donde el número de bloques LDPC se determina de acuerdo con la siguiente ecuación;

$$N_{post_FEC_Blocks} = \left\lceil \frac{K_{post_pure}}{K_{bch}} \right\rceil$$

donde $N_{post_FEC_Blocks}$ denota el número de bloques LDPC, K_{post_pure} denota el número total de bits de la información de post- señalización L1, K_{bch} , denota un número máximo de bits de entrada de un bloque BCH con base en un código BCH, y $\lceil x \rceil$ indica un entero mínimo mayor de o igual a x.

11. El método de la reivindicación 6, en donde el número temporal de bits de perforación se determina de acuerdo con la siguiente ecuación;

$$N_{punc_temp} = \left\lfloor \frac{6}{5} \times (K_{bch} - K_{sig}) \right\rfloor$$

donde N_{punc_temp} denota el número temporal de bits de perforación, K_{bch} denota el número máximo de bits de información de entrada de un bloque BCH, K_{sig} denota el número de bits obtenidos al agregar bits de relleno al número total de bits de la información de post- señalización L1, y $\lfloor x \rfloor$ indica un entero máximo menor de o igual a x.

12. El método de la reivindicación 6, en donde el número final de bits de contraseña se calcula de acuerdo con la siguiente ecuación;

$$N_{post} = \begin{cases} \text{Si } N_{fixedP2} = 1, & \left\lceil \frac{N_{post_temp}}{2\eta_{MOD}} \right\rceil \times 2\eta_{MOD}, \\ \text{De otra forma,} & \left\lceil \frac{N_{post_temp}}{\eta_{MOD} \times N_{fixedP2}} \right\rceil \times \eta_{MOD} \times N_{fixedP2} \end{cases}$$

donde N_{post} denota el número final de bits de contraseña, N_{post_temp} denota el número temporal de bits de contraseña, η_{MOD} denota el orden de modulación, $N_{fixedP2}$ denota un número de símbolos OFDM utilizados para la transmisión de información de señalización L1 P2, y $\lceil x \rceil$ indica un entero mínimo mayor de o igual a x.

13. El método de la reivindicación 12, en donde la orden de modulación es 1, 2, 4 y 6 para Modulación por Desplazamiento de Fase, BPSK, Modulación por Desplazamiento e Cuadratura, QPSK, Modulación de Amplitud de Cuadratura 16-ary, 16-QAM y 64-QAM, respectivamente.

14. El método de la reivindicación 6, en donde el número final de bits de perforación se calcula de acuerdo con la siguiente ecuación;

$$N_{punc} = N_{punc_temp} - (N_{post} - N_{post_temp})$$

donde N_{punc} denota el número final de bits de perforación, N_{punc_temp} denota el número temporal de bits de perforación, N_{post} denota el número final de bits de contraseña, y N_{post_temp} denota el número temporal de bits de contraseña.

5 15. El método de la reivindicación 6, en donde el número final de bits de contraseña se calcula de acuerdo con la siguiente ecuación;

$$N_{post} = \left\lceil \frac{N_{post_temp}}{2 \times \eta_{MOD} \times N_{fixedP2}} \right\rceil \times 2 \times \eta_{MOD} \times N_{fixedP2}$$

donde N_{post} denota el número final de bits de contraseña, N_{post_temp} denota el número temporal de bits de contraseña, η_{MOD} denota la orden de modulación, $N_{fixedP2}$ denota un número de símbolos utilizados para transmisión de información de señalización L1 P2, y $\lceil x \rceil$ indica un entero mínimo mayor de o igual a x.

10 16. El método de la reivindicación 6, en donde el número final de bits de contraseña se calcula de acuerdo con la siguiente ecuación;

$$N_{post} = \left\lceil \frac{N_{post_temp}}{2\eta_{MOD} \times N_{post_FEC_Blocks}} \right\rceil \times 2\eta_{MOD} \times N_{post_FEC_Blocks}$$

15 donde N_{post} denota el número final de bits de contraseña, N_{post_temp} denota el número temporal de bits de contraseña, η_{MOD} denota el orden de modulación, $N_{post_FEC_Blocks}$ denota el número de bloques LDPC, y $\lceil x \rceil$ indica un entero mínimo mayor de o igual a x.

17. Un aparato para transmitir información de control a través de la información de post- señalización de Capa 1, L1, para un sistema de comunicación de radiodifusión inalámbrico, el aparato comprende:

un codificador LDPC (606) para codificar información de entrada en un bloque LDPC;

una unidad de transmisión (607) para transmitir una trama que incluye el bloque LDPC codificado; y

20 un controlador (605) para determinar un número de bloques LDPC a través de los cuales se va a transmitir la información de post- señalización de Capa 1, L1, con base en un número total de bits de la información de post- señalización L1, calcular un número de bits de información de entrada de cada bloque LPDC cuando se presenta una pluralidad de bloques LDPC, de tal manera que los múltiples bloques LDPC son iguales en el número de bits de su información de entrada, determinar un número de bits de perforación de acuerdo con una orden de modulación, y
25 controlar una operación del codificador LDPC para codificar la información de post- señalización L1 en uno o más bloques LDPC de acuerdo con los resultados determinados.

18. El aparato de la reivindicación 17, en donde el controlador determina el número de bloques LDPC dependiendo de un valor obtenido al dividir el número total de bits de la información de post- señalización L1 por un número máximo de bits de entrada de un bloque Bose, Chaudhuri, y Hocquenghem, BCH, en un código BCH.

30 19. El aparato de la reivindicación 17, en donde el controlador se adapta para encontrar un valor al agregar uno o más bits de relleno al número total de bits de la información de post- señalización L1, y calcular el número de bits de información de entrada al dividir el valor por el número de bloques LDPC cuando el número total de bits de la información de post- señalización L1 no se puede dividir por el número de bloques LDPC.

35 20. El aparato de la reivindicación 17, en donde el controlador se adapta para calcular un número temporal de bits de perforación y un número temporal de bits de contraseña de cada bloque LPDC, calcular un número final de bits de contraseña de cada bloque LPDC de acuerdo con la orden de modulación y el número temporal de bits de contraseña, y calcular un número final de bits de perforación de acuerdo con el número temporal de bits de perforación, el número temporal de bits de contraseña y el número final de bits de contraseña.

40 21. El aparato de la reivindicación 17, dicho aparato se dispone para realizar cualquiera de los métodos como se define en la reivindicaciones 10.

22. El aparato de la reivindicación 20, dicho aparato se dispone para realizar cualquiera de los métodos como se define en la reivindicaciones 7, 8, 9, 11, 12, 14, 15, o 16.

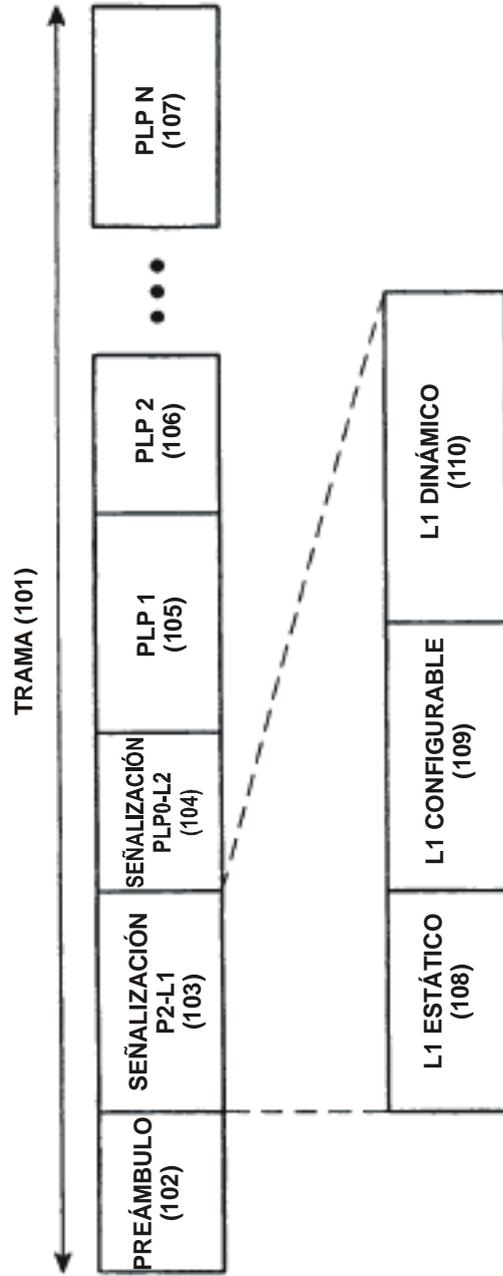


FIG.1

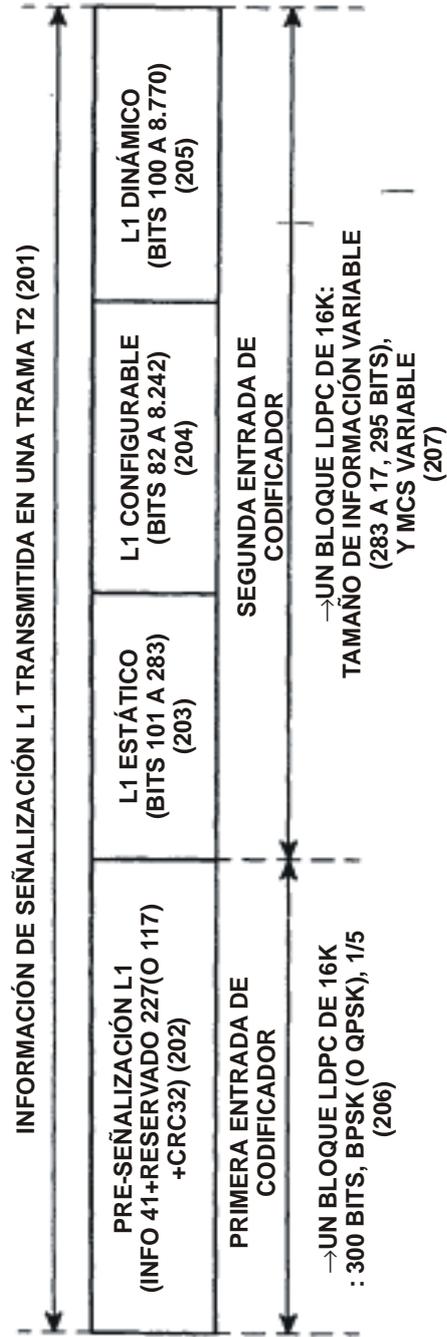


FIG.2

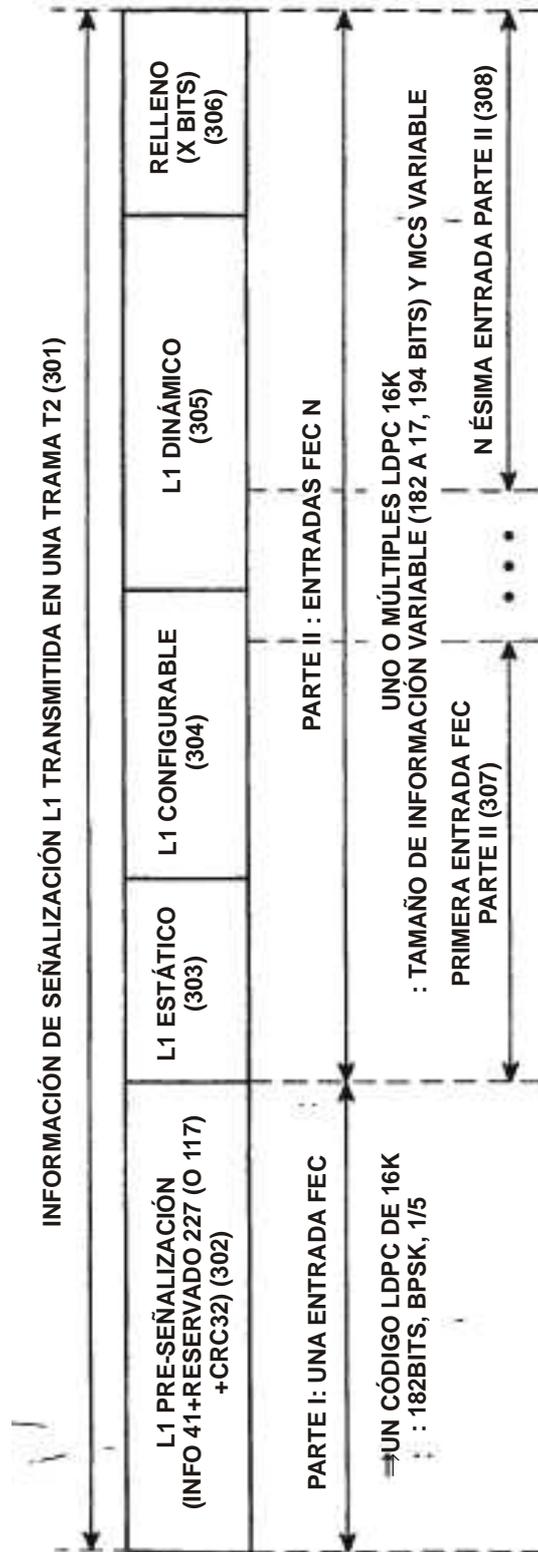


FIG.3

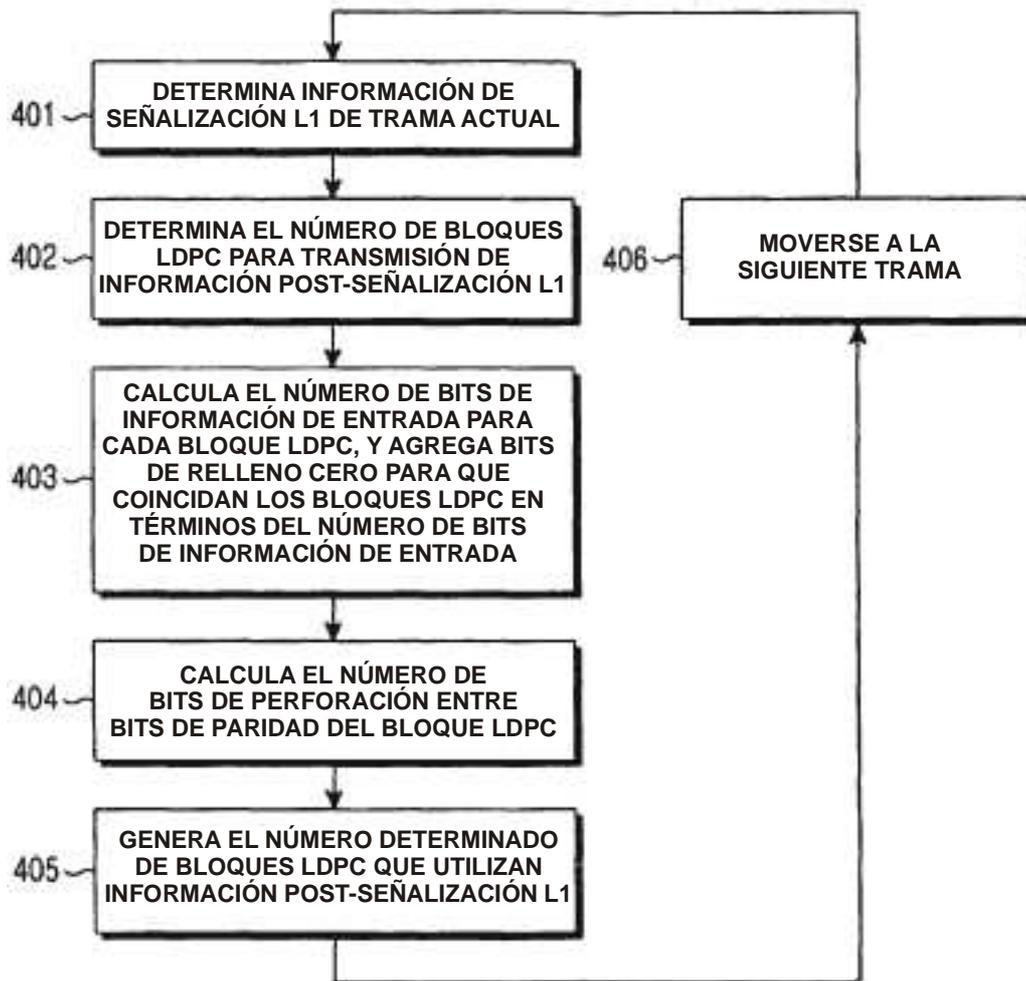


FIG.4

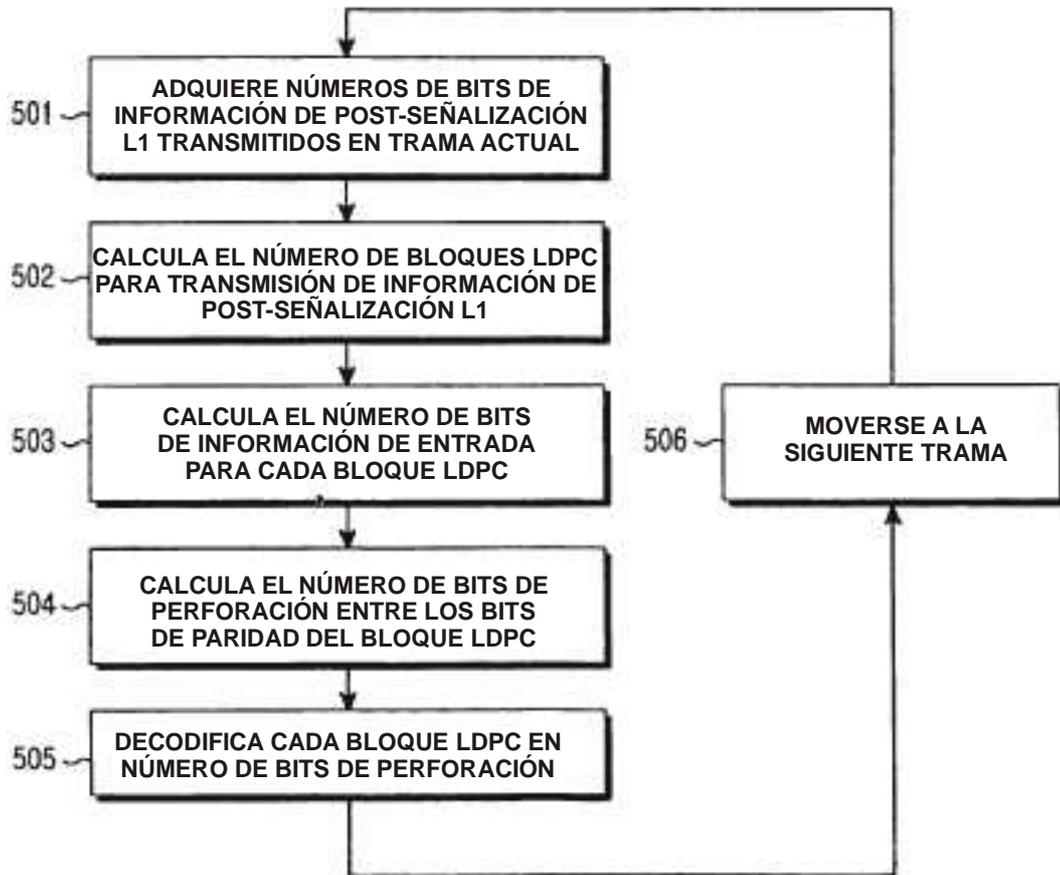


FIG.5

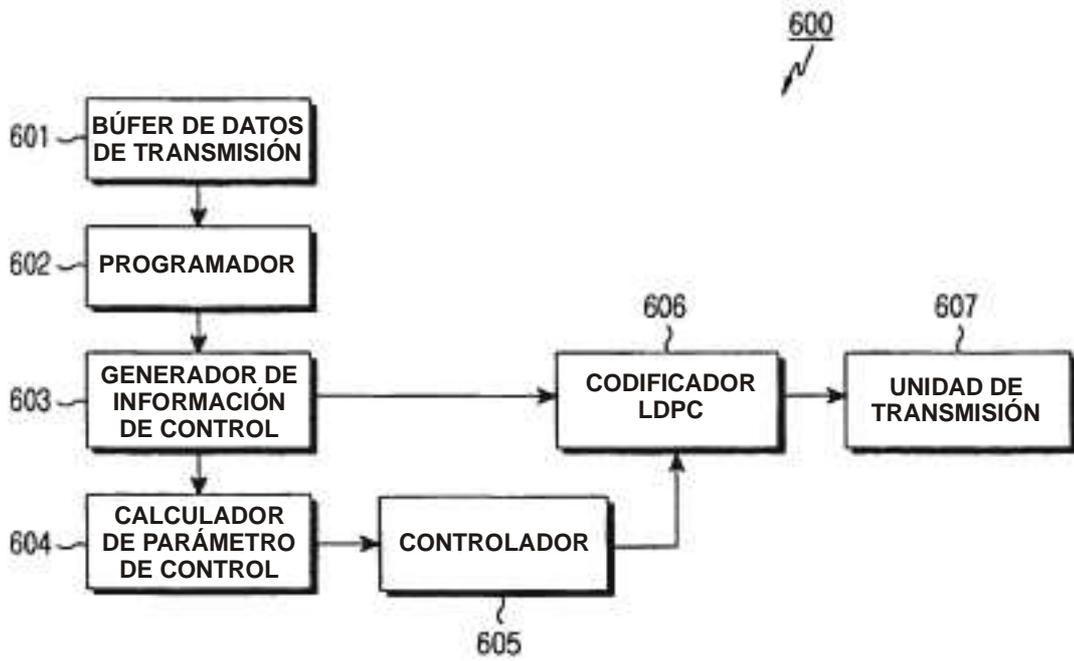


FIG.6

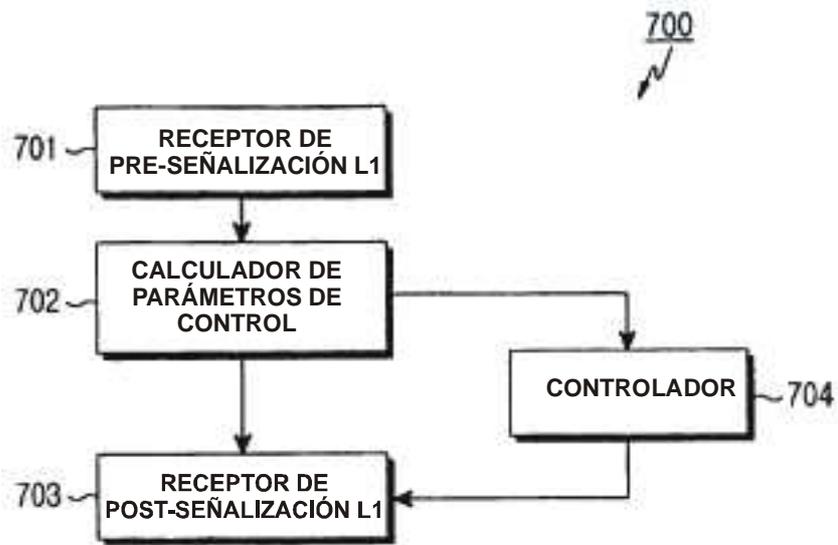


FIG.7