

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 387 708**

51 Int. Cl.:
H04L 25/02 (2006.01)
H03M 13/41 (2006.01)
H03M 13/00 (2006.01)
H04L 1/00 (2006.01)
H04L 1/08 (2006.01)
H04B 1/707 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **10179535 .9**
96 Fecha de presentación: **04.03.1998**
97 Número de publicación de la solicitud: **2259440**
97 Fecha de publicación de la solicitud: **08.12.2010**

54 Título: **Método y aparato para comunicación inalámbrica**

30 Prioridad:
12.03.1997 US 40477 P
06.06.1997 US 871008

45 Fecha de publicación de la mención BOPI:
28.09.2012

45 Fecha de la publicación del folleto de la patente:
28.09.2012

73 Titular/es:
INTERDIGITAL TECHNOLOGY CORPORATION
3411 Silverside Road, Concord Plaza Suite 105
Hagley Building
Wilmington, DE 19810, US

72 Inventor/es:
Kaewell, John D.

74 Agente/Representante:
Blanco Jiménez, Araceli

ES 2 387 708 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método y aparato para comunicación inalámbrica

ANTECEDENTES DE LA INVENCIÓN

Campo de la invención

- 5 [0001] La presente invención se refiere en general a las comunicaciones digitales. Más específicamente, la invención se refiere a un sistema en el que se transmiten y se reciben los datos a una velocidad variable en un receptor de comunicaciones donde los datos de velocidad variable se decodifican en un decodificador de datos eficiente, multicanal y multivelocidad.

Descripción del estado de la técnica

- 10 [0002] La tecnología de comunicación más avanzada en la actualidad hace uso de la modulación de espectro expandido o acceso múltiple por división de código (AMDC) para las telecomunicaciones punto a multipunto. Desde la década de 1950, el AMDC ha sido utilizado en aplicaciones militares, debido a la dificultad en la detección y a la interferencia en la transmisión de las comunicaciones. Este atributo se debe a una técnica de comunicación inalámbrica que utiliza un ancho de banda de transmisión modulada mucho mayor que el ancho de banda de información de la señal transmitida.

- 15 [0003] En la Figura 1 se muestra un esquema de comunicación de AMDC. Un canal de comunicación único de un ancho de banda dado se mezcla con un código de expansión. La señal modulada de banda relativamente estrecha es expandida por una secuencia para ocupar un ancho de banda de transmisión mucho más amplio mediante la multiplicación con un código de expansión único. El código de expansión comprende una secuencia pseudoaleatoria o código de alta velocidad a modo de ruido que se convierte en parte de los datos transmitidos. El aspecto de ruido de bajo nivel de la señal transmitida resultante es tal que es improbable que interfiera con otros usuarios del espectro.

- 20 [0004] En el receptor, la señal se desexpande mediante la correlación de la señal de banda ancha recibida con una secuencia pseudoaleatoria idéntica generada localmente para resolver los datos de una pluralidad de señales de datos que ocupan el mismo ancho de banda de transmisión. Esto expande nuevamente la señal a su ancho de banda original y también expande cualquier señal de radio de banda estrecha presente en el espectro ocupado de manera que aparezcan como ruido en el receptor. Mediante el uso de muchas secuencias de códigos pseudoaleatorias diferentes se puede recibir a varios usuarios dentro del mismo espectro de transmisión.

- 25 [0005] Las mismas características que han permitido a las técnicas de comunicación de AMDC tener éxito en aplicaciones militares también hacen que los sistemas de comunicación de AMDC, particularmente los sistemas de acceso múltiple por división de código de banda ancha Broadband Code Division Multiple Access™ o B-CDMA™, sean interesantes para el uso eficiente del espectro de frecuencias de radios comerciales congestionado. Entre los muchos atributos del sistema de AMDC se encuentra la capacidad virtual ilimitada del sistema. Puesto que cada usuario en un sistema de comunicación de AMDC transmite y recibe señales a través del mismo ancho de banda de transmisión, hay requisitos de canalización y banda de protección menos estrictos. A diferencia de los sistemas de AMDF y AMDT donde la capacidad está limitada por el número de canales separados, la capacidad de los sistemas de AMDC está limitada por la interferencia. Por lo tanto, el número de usuarios capaces de comunicarse simultáneamente en ese ancho de banda de transmisión dado se incrementa significativamente.

- 30 [0006] Además de información de voz, se puede transmitir información que no sea de voz sola o una combinación de las dos al receptor. Algunos estándares de comunicación como la red digital de servicios integrados (RDSI) requieren una velocidad de datos mucho mayor que la de la voz digitalizada. Para optimizar el sistema de comunicación, se transmiten varias velocidades de datos para aumentar la relación de señal a ruido (SNR) a todos los receptores.

- 35 [0007] Una medida del rendimiento del espectro expandido es la ganancia de proceso del sistema, G_p , que es determinada por la relación de velocidad de bits de canal con respecto a la velocidad de bits de información, R_c/R_i . Las relaciones de señal de entrada y salida a ruido se corresponden de la siguiente manera

$$\text{Ecuación 1} \quad \frac{S}{N_o} = G_p \left(\frac{S}{N_o} \right)_i .$$

Se puede observar que cuanto mayor sea la velocidad de datos, mayor interferencia se produce y la relación de señal a ruido se verá afectada. La reducción de la interferencia se traduce directamente en un aumento de capacidad.

5 [0008] La mayoría de los sistemas de telecomunicaciones de AMDC transmiten datos de velocidad variable para mantener la relación de señal a ruido tan grande como sea posible. Para lograr esto, la velocidad de los datos de transmisión o bien se identifica en el mensaje de control del nivel del sistema que forma parte del canal de señal o un receptor dado debe ser capaz de detectar la velocidad de los datos transmitidos.

10 [0009] Como muchos usuarios comparten este mismo canal de transmisión espectral, la interferencia puede ser inducida de un usuario a otro cuando no hay un aislamiento codificado suficiente entre los usuarios. Además, la velocidad de datos debe conocerse antes de decodificar la corrección del error convolucional en el transmisor o el receptor.

15 [0010] La mayoría de los receptores de la técnica anterior utilizan decodificadores de convolución de velocidad única independientes para reconstruir adecuadamente los datos digitales, una vez recibidos y desexpandidos. Como se transmite la información de la velocidad de los datos para cada trama, el receptor no tiene que determinar a partir de la trama recibida de datos la velocidad a la que los datos se codificaron disminuyendo así la complejidad del receptor y aumentando la velocidad general del sistema. Sin embargo, el uso de decodificadores convolucionales dedicados a cada velocidad de datos transmitidos reduce la eficiencia general de procesamiento y aumenta los costes del sistema.

20 [0011] El documento JP-8 195683 A (Oki Electric IND CO LTD) de 30 de julio de 1996 describe un receptor de datos que recibe los datos de código que tienen una velocidad de datos variable y están codificados con uno cualquiera de una pluralidad de tipos de datos y se repiten después según las velocidades de datos respectivas para proporcionarles así la misma velocidad de datos y restaurar, trama por trama, los datos del código recibido en datos que tiene las velocidades de datos originales. El receptor tiene un circuito detector de la velocidad de datos que recibe secuencialmente una trama de datos de código que tienen la misma velocidad de datos a la vez, y detecta la velocidad de datos de los datos del código asignado antes de la repetición. Un circuito restaurador de las velocidades de datos restaura, en base a la velocidad de datos detectada, la trama de datos de código para los datos que tienen la velocidad de datos original.

[0012] Por lo tanto, existe una necesidad de un decodificador convolucional eficiente que pueda manejar velocidades de datos variables.

30 DESCRIPCIÓN RESUMIDA DE LA INVENCION

35 [0013] La presente invención se refiere a un sistema de comunicación en el que un transmisor codifica la velocidad de datos de una transmisión dada y luego la utiliza para ajustar una pluralidad de decodificadores convolucionales que comparten una memoria común. El sistema utiliza recursos comunes de procesamiento para ofrecer hasta cuatro canales independientes con decodificación convolucional con corrección de error multivelocidad que se traduce en un área de silicio reducida y un funcionamiento con bajo consumo. El sistema es capaz de soportar comunicaciones de voz a 8 kbps hasta 64 kbps para la comunicación RDSI de alta velocidad. Aunque la presente invención puede utilizarse en una variedad de sistemas de comunicación, los sistemas de comunicación preferidos incluyen comunicación por telefonía móvil, PCS, bucle local inalámbrico y de AMDC. La presente invención puede utilizarse en los receptores tanto de la estación base como de cuadros de distribución.

40 [0014] En consecuencia, es un objeto de la presente invención proporcionar un decodificador convolucional multivelocidad eficiente para aplicaciones multicanal.

[0015] Otro objeto de la invención es proporcionar una arquitectura de decodificador convolucional multicanal de complejidad reducida y mayor rendimiento.

45 [0016] Los expertos en la materia deducirán otros objetos y ventajas del sistema y el método después de leer la descripción detallada de la forma de realización preferida.

DESCRIPCION BREVE DE LOS DIBUJOS

[0017]

La Figura 1 es un diagrama de bloques de un sistema de comunicación de AMDC típico según el estado de la técnica.

La Figura 2 es un diagrama de bloques detallado de un sistema de comunicación de AMDC.

La Figura 3a es la primera sección de un diagrama de bloques detallado de la forma de realización preferida.

La Figura 3b es la segunda sección de un diagrama de bloques detallado de la forma de realización preferida.

La Figura 4 es un diagrama de bloques global de la forma de realización preferida.

5 La Figura 5 es un diagrama de bloques de la interfaz entre un procesador de señales digital principal y la forma de realización preferida.

La Figura 6 es un diagrama de la constelación QPSK.

La Figura 7 es un diagrama de bloques detallado de un canal de suma-comparación-selección.

La Figura 8a es la primera sección de un diagrama de flujo del secuenciador de suma-comparación-selección.

10 La Figura 8b es la segunda sección de un diagrama de flujo del secuenciador de suma-comparación-selección.

La Figura 9 es un diagrama de bloques detallado de un secuenciador de suma-comparación-selección.

La Figura 10 es un diagrama de flujo del proceso de rastreo.

La Figura 11 es un diagrama de flujo del proceso de relación de error de bit.

La Figura 12 es un gráfico del rendimiento de la relación de error de bit (BER) frente a la relación señal-ruido.

15 DESCRIPCION DETALLADA DE LA FORMA DE REALIZACIÓN PREFERIDA

[0018] La presente invención se describe con referencia a las figuras de los dibujos donde los mismos números representan los mismos elementos.

20 [0019] El decodificador de Viterbi multicanal, multivelocidad hecho según la presente invención se lleva a cabo en el contexto de un sistema de telefonía celular de AMDC 17. Estos decodificadores se utilizan en las estaciones de comunicación inalámbrica multicanal con la recepción de señales de comunicación. El sistema 17, como se muestra en la Figura 2, incluye un transmisor 19 y un receptor 21, que pueden residir en cualquiera de entre una estación base o un receptor de usuario móvil.

25 [0020] El transmisor 19 incluye un procesador de señales 23 que codifica los datos de voz y los que no son de voz en tramas de varias velocidades de datos, por ejemplo, velocidades de trama de 8 kbps, 16 kbps, 32 kbps o 64 kbps. El procesador de señales 23 selecciona una velocidad con dependencia de la cantidad de actividad de voz, si los datos son de voz, o en respuesta a una velocidad de datos establecida.

30 [0021] Dos pasos están implicados en la generación de una señal transmitida en un entorno de acceso múltiple. En primer lugar, los datos de entrada 25, que pueden ser considerados una señal modulada bifásica, se codifican utilizando una codificación de corrección de errores directa (FEC) 27. Como se utiliza un código de convolución $R=1/2$, la única señal de datos modulada bifásica se convierte en dos señales moduladas bifásicas. Una señal es designada canal en fase I. La otra señal es designada canal de cuadratura Q. Las señales moduladas bifásicas I y Q suelen llamarse generalmente modulación por desplazamiento de fase en cuadratura (QPSK por sus siglas en inglés). En la forma de realización preferida, los polinomios generadores tap 29, 31 para una longitud de restricción de $K = 7$ y una velocidad de código convolucional de $R = 1/2$ son:

$$G_1 = 171_8 \text{ y } G_2 = 133_8 :$$

35

[0022] En el segundo paso, los dos datos o símbolos modulados bifásicos 33a, 33b se expanden con secuencias pseudoaleatorias de QPSK en fase (I) 35a y en cuadratura (Q) 35b. Las señales expandidas resultantes I 37a y Q 37b se mezclan con una frecuencia de portadora 43, se combinan 45 con otras señales expandidas (canales) que tienen diferentes códigos de expansión y se transmiten 47. La transmisión 47 puede contener una pluralidad de canales individuales que tienen velocidad de datos diferentes.

40

- 5 [0023] El receptor 21 incluye un demodulador 49a, 49b que mezcla la señal de banda ancha transmitida 47 en una frecuencia de portadora intermedia 51a, 51b. Entonces las señales QPSK se filtran 53 y se mezclan 55a, 55b con el código pseudoaleatorio QPSK generado localmente 35a, 35b que coincide con el código transmitido. Sólo las formas de onda originales que se expandieron mediante el mismo código en el transmisor 19 se desexpanden eficazmente. Otras aparecerán como ruido en el receptor 21. Los datos 57a, 57b se pasan entonces a un procesador de señales 59 donde se realiza la decodificación FEC en los datos codificados convolucionalmente.
- 10 [0024] La presente invención 61 realiza la decodificación utilizando un decodificador Viterbi 61 multivelocidad y multicanal eficiente, como se muestra en las Figuras 3a y 3b. El decodificador 61 comprende un procesador digital de señales (PDS) para la interfaz del decodificador Viterbi 63, un motor de cálculo de la distancia euclídea común 65, una pluralidad de canales de suma-comparación-selección (SCS) 67a, 67b, 67c, 67d, una matriz de memoria de indicadores de estado 69, un secuenciador de SCS 71, una matriz de memoria de rastreo 73, un procesador de rastreo 75 y un decodificador para la interfaz del sistema 77. El sistema como se muestra en las Figuras 3a y 3b se puede montar por separado o aplicado como un circuito integrado de aplicación específica eficiente (CIAE) 79.
- 15 [0025] En la forma de realización preferida, cualquiera de los cuatro canales (0, 1, 2, 3) dentro del decodificador 61 puede procesar una pluralidad de tipos de datos: 8 kbps, 16 kbps, 32 kbps o 64 kbps. Se pueden utilizar otras velocidades de datos en formas de realización alternativas. Las velocidades de datos más bajas se obtienen habilitando una función combinadora de las diversidades de tiempo que trabaja sobre símbolos recibidos de forma redundante. Esto aumenta efectivamente la SNR de las señales recibidas con diversidades de tiempo. Para aquellos símbolos en tramas correspondientes a velocidades de datos inferiores a la velocidad de datos más alta esperada, los datos de símbolo se repiten para mantener una velocidad de símbolos constante para la trama.
- 20 [0026] Para la velocidad de datos de 64 kbps, se envía un símbolo QPSK cada 15,625 μ s. Para la velocidad de datos de 32 kbps, se envía el símbolo QPSK correspondiente dos veces a través de un canal. Los símbolos se siguen enviando a la velocidad de 64 kbps, pero con redundancia doble reduciendo así efectivamente la velocidad de información a 32 kbps. Para una velocidad de datos de 16 kbps, se envían los símbolos QPSK correspondientes a través del canal con una diversidad de 4 veces. Para un canal de datos de 8 kbps, una diversidad de 8 veces.
- 25 [0027] Con referencia a las Figuras 3a y 3b, el decodificador multicanal 61 comparte recursos comunes para minimizar el área de silicio. Como se muestra, la memoria de indicadores de estado 69 y la memoria de rastreo 73 son memorias de acceso aleatorio estáticas (SRAM) y se usan comúnmente para cada canal. El motor de geometría de la distancia euclídea común 65, que calcula la distancia euclídea cuadrada entre el símbolo QPSK recibido y los cuatro puntos posibles de la constelación en el espacio QPSK para los cuatro canales, aumenta aún más la eficiencia.
- 30 [0028] La arquitectura del sistema como se muestra implementa el algoritmo de Viterbi y decodifica los datos codificados convolucionalmente. Los polinomios generadores tap correspondientes para una longitud de restricción de $K = 7$ y una velocidad de código de $R = \frac{1}{2}$ son $G_1 = 171_8$ (29) y $G_2 = 133_8$ (31). Se debe entender que se pueden utilizar otros polinomios generadores tap en formas de realización alternativas, dependiendo de las diferentes longitudes de restricción diferentes y códigos de velocidad. Por ejemplo, para una longitud de restricción de $K = 9$ y una velocidad de código de $R = \frac{1}{2}$, los polinomios generadores tap son $G_1 = 753_8$ y 561_8 . El uso de generadores tap es muy conocido para los expertos en telecomunicaciones y se utilizan en el codificador FEC 27.
- 35 [0029] En la Figura 4 se muestra una arquitectura global del sistema. Un microcontrolador principal 81 programa un módulo de temporización y control (MTC) 83 ubicado en el CIAE 79 a través de líneas de datos del microcontrolador 85, líneas de dirección 87 y un marcador de escritura 89. El microcontrolador 81 determina, a partir de la trama transmitida, el factor de diversidad de tiempo para un canal determinado. La combinación de diversidades se controla afirmando y negando selectivamente las señales combinadoras de las diversidades 91a, 91b, 91c, 91d para los canales 0 a 3, respectivamente. Una salida de datos 93 sale de un PDS principal 95 y transporta las señales I y Q para los cuatro canales a la interfaz del decodificador Viterbi 63. El PDS principal 95 que habilita la señal 97 y las líneas de dirección 99 está acoplado también a la interfaz del decodificador Viterbi 63. El microcontrolador principal 81 controla la señal combinadora de diversidades 91a, 91b, 91c, 91d. El PDS principal 95 controla los datos de los canales individuales 93 que entran en la interfaz del decodificador 63.
- 40 [0030] El MTC 83 acepta una señal de referencia de alta frecuencia 103 derivada externamente para la temporización global del sistema. El MTC 83 utiliza la señal de referencia 103 y deriva unas señales de volcado de alta frecuencia 105 y de reloj Viterbi 107. El MTC 83 también produce un reinicio global del decodificador 149.
- 45 [0031] La velocidad de datos de un canal en particular se reduce mediante el microcontrolador 81 al habilitar la respectiva señal combinadora de diversidades 91a, 91b, 91c, 91d. Para una velocidad de datos de 32 kbps, se combinan dos símbolos adyacentes; para una velocidad de datos de 16 kbps se combinan cuatro símbolos y para una velocidad de datos de 8 kbps se combinan ocho símbolos.
- 50
- 55

- 5 [0032] La forma de realización preferida utiliza la diversidad de tiempo para procesar los datos con varias velocidades. En una velocidad de datos de 64 kbps se utiliza cada bit individual transmitido. Sin embargo, en la velocidad de datos más baja, 8 kbps, cada bit se duplica por un factor de 8. Cuando se procesa a la menor velocidad de datos, los símbolos redundantes simplemente se suman. Como se explicó en los antecedentes de la invención, cada vez que se envía un símbolo a través de un canal respectivo se recibe una cierta ganancia y figura de ruido. Por lo tanto, si se envía la misma señal a través del canal dos veces, la relación SNR se duplica efectivamente. La razón es que los símbolos redundantes se suman coherentemente, mientras que el ruido aleatorio introducido no se suma coherentemente. Desde la velocidad de datos más alta de 64 kbps a la más baja de 8 kbps la ganancia de la señal se multiplica efectivamente por un factor de 8.
- 10 [0033] Al disminuir la velocidad de bits de datos y usar la diversidad de tiempo, se puede reducir la potencia de transmisión de la señal proporcionalmente ya que la ganancia se recuperará cuando se ensamblen los diversos símbolos. El uso de la combinación de diversidades llega a velocidades de datos más bajas sin sufrir efectos perjudiciales para bajar las relaciones SNR.
- 15 [0034] Para la velocidad de datos máxima de 64 kbps, la función combinadora de diversidades debe estar deshabilitada. Esto se lleva a cabo manteniendo la señal combinadora de diversidades 91a, 91b, 91c, 91d alta para ese canal en particular. Cuando el decodificador multicanal 61 funciona a velocidades de datos más bajas, la señal combinadora de diversidades 91a, 91b, 91c, 91d controla qué símbolos adyacentes se combinan, cuándo se habilita el decodificador y cuándo se deja libre la interfaz 63 para un nuevo conjunto de símbolos.
- 20 [0035] Como se muestra en la Figura 5, la interfaz del decodificador 63 acepta dos muestras complementarias I y Q de 8 bits sobre el bus de datos 93 del PDS principal 95. Los datos desde el PDS principal 95 se introducen a través del bus de datos 93 en un decodificador de dirección 111. El bus de datos 93 es un bus de entrada paralelo, sin embargo los datos llegan secuencialmente entre los 4 canales. Entonces, los datos se separan en componentes individuales en fase y en cuadratura para cada canal y enviados a cada circuito integrado de saturación y de volcado 113I, 113Q, 115I, 115Q, 117I, 117Q, 119I, 119Q, a través de las líneas 121I, 121Q, 123I, 123Q, 125I, 125Q, 127I, 127Q, para los canales 0-3, respectivamente. La interfaz 63 incluye acumuladores de 8 bits que tienen una lógica de saturación. El valor máximo de saturación positiva es $0x7f_{16}$ y el valor máximo de saturación negativo es $0x80_{16}$.
- 25 [0036] En la interfaz del decodificador Viterbi 63, la combinación de diversidades de tiempo se realiza utilizando dos operaciones binarias complementarias. Todas las muestras I y Q redundantes se suman cuando están a las velocidades de datos más bajas. De manera similar, se utilizan sumadores de saturación para eliminar el cambio de signo si hay un desbordamiento. En lugar de que la función combinadora de diversidades resida en un circuito integrado del PDS separado, la prestación personalizada se ha incluido en el CIAE. Después de ejecutar la función combinadora de diversidades, los resultados se envían por las líneas 129I, 129Q, 131I, 131Q, 133I, 133Q, 135I, 135Q para los canales 0-3, respectivamente. Los circuitos de volcado integrados de saturación también controlan el motor de cálculo de la distancia euclídea 65 habilitando 137a, 137b, 137c, y 137d para los canales 0-3, respectivamente.
- 30 [0037] Haciendo referencia de nuevo a las Figuras 3a y 3b, todos los procesadores internos del decodificador multicanal 61 están sincronizados con el reloj Viterbi 107. El PDS 95 principal es sincronizado por su propio reloj asincrónico (no mostrado). El reloj del PDS y la señal de volcado 105 se resincronizan con el reloj Viterbi 107. El decodificador 61 requiere que el reloj Viterbi 107 deba ser ligeramente más rápido que la señal de volcado 105.
- 35 [0038] Todos los canales se acoplan desde la interfaz del decodificador 63 al motor de cálculo de la distancia euclídea 65 en I y Q individuales y habilitan líneas como se muestra en la Figura 4. Con referencia a la Figura 3a, el motor de cálculo de la distancia euclídea 65 calcula las cuatro distancias euclídeas cuadradas entre cada símbolo I y Q recibido y los cuatro puntos posibles de la constelación QPSK. Un motor común, calcula las distancias para cada canal sólo cuando es habilitado por su respectivo canal.
- 40 [0039] Como se muestra en la Figura 6, el motor de cálculo de la distancia euclídea 65 compara todos los símbolos recibidos p por canal asignándolos en una constelación QPSK $x_{00}, x_{01}, x_{10}, x_{11}$. Es necesario examinar cada punto p recibido debido a la corrupción durante la transmisión 47 por el ruido y la distorsión, ya sea de frecuencia de trayectoria múltiple o radiofrecuencia. El motor de geometría 65 calcula las cuatro distancias $d_{00}, d_{01}, d_{10}, d_{11}$ a partir del símbolo p recibido y elige la distancia más corta d_{00} .
- 45 [0040] El mecanismo de habilitación utilizado se basa en la velocidad de los datos transmitidos para un canal en particular. Se obtiene una ganancia en la eficiencia global de procesamiento pues los cálculos se realizan sólo en el motor de la distancia euclídea 65 si se le proporciona un nuevo símbolo I y Q y el motor de geometría 65 se ha habilitado correctamente. La eficacia aumenta, ya que no pierde ningún cálculo cuando se procesan los datos a una velocidad más baja.
- 55

- 5 [0041] Haciendo referencia de nuevo a las Figuras 3a y 3b, después de que las distancias euclídeas se hayan calculado, las salidas separadas de 12 bits 139a, 139b, 139c y 139d para cada canal, junto con las señales de habilitación asociadas 143a, 141b, 141c, 141d se acoplan en serie a cuatro circuitos de SCS separados 67a, 67b, 67c, 67d, donde las distancias euclídeas se asignan sobre un diagrama de Trellis basado en el codificador. El uso de un diagrama de Trellis para la decodificación de datos codificados convolucionalmente FEC es muy conocido por aquellos familiarizados con la técnica.
- 10 [0042] La presente invención normaliza todos los símbolos y calcula la distancia del diagrama de Trellis más corta usando la lógica de saturación. Se suman indicadores de estado anteriores a cada símbolo transmitido recientemente recibido. Cada punto de datos individual por canal desarrolla y actualiza el diagrama de Trellis. Los datos de indicadores de estado se leen de una memoria de indicadores de estado 69. Los circuitos de SCS 67a, 67b, 67c, 67d aplican el algoritmo Viterbi. El decodificador de máxima probabilidad se basa en el diagrama de Trellis que es una réplica infinita de un diagrama de estado. Cualquier palabra de código de un código convolucional corresponde a los símbolos a lo largo de un trayecto en el diagrama de Trellis. Cada estado y cada nivel del diagrama de Trellis implican una operación de SCS. La implementación de un descodificador basado en el algoritmo de Viterbi requiere un almacenamiento de dos conjuntos diferentes de datos. El primer almacenamiento es para la memoria de estado de la ruta o de indicadores de estado 69 actualizada para cada nivel sucesivo del diagrama de Trellis. El segundo conjunto de datos son las selecciones en cada nodo o estado en el diagrama de Trellis llamada memoria de la ruta 73.
- 15 [0043] En la técnica anterior, cada decodificador respectivo o circuito de SCS requeriría el almacenamiento individual de los dos conjuntos de datos. En la presente invención, ambas matrices de la memoria de indicadores 69 y la memoria de ruta 73 se consolidan en una memoria común para cada canal de una manera novedosa para reducir significativamente el tamaño del área de silicio. Asimismo, la transferencia común de datos y direcciones se combina adicionalmente aumentando la eficiencia. Los datos de indicadores de estado se escriben en 143a, 143b, 143c, 143d y se leen de 145a, 145b, 145c, 145d de la memoria de los indicadores de estado 69.
- 20 [0044] Hay dos posibles rutas en el diagrama de Trellis que terminan en cada estado. Se realiza una operación de depuración en los circuitos de SCS 67a, 67b, 67c, 67d, donde el mejor indicador termina en un estado determinado. Se determina el mejor indicador eligiendo la distancia del diagrama de Trellis acumulada más pequeña. La ruta elegida, superior o inferior, está representada por un 0 o un 1 respectivamente. Esta información se escribe en la memoria de rastreo 73 en las líneas 149a, 149b, 149c, 149d.
- 25 [0045] El diagrama de Trellis se ensambla sobre muchos símbolos recibidos. La forma de realización preferida requiere 35 símbolos en tiempos separados y se actualiza a la recepción de cada símbolo sincronizado. Después de que 35 símbolos se hayan acumulado, una determinación encuentra la ruta del diagrama de Trellis que tiene el error más pequeño. Este método de decodificación determina qué símbolo QPSK se ha enviado. La estructura del diagrama de Trellis introduce redundancia y acumula la historia de la ruta.
- 30 [0046] En la Figura 7 se muestra un circuito de SCS 67a para el canal 0. Se introduce 139a cada nuevo símbolo que representa un punto de la constelación QPSK. Como cada nodo del diagrama de Trellis tiene dos rutas que entran y salen, los valores se dividen y se seleccionan en base a la situación actual en el diagrama de Trellis y lo que se codificó. Cada valor de la constelación se introduce en multiplexores 189u y 189l separados de 4 entradas. La salida 191u, 191l de cada multiplexor 189u, 189l se basa en el estado actual en el diagrama de Trellis y el codificador. Esta decisión 153a se origina en el secuenciador de SCS 71, que se explicará más adelante en la presente memoria. Se lee el indicador de estado 145a de la memoria 69 y se divide de manera similar para ambas rutas superior e inferior y se introducen en biestables duplicados de 8 bits 193u, 193l. Los biestables 193u, 193l salen a unos sustractores de saturación 197u, 197l con el mejor indicador anterior 201 y se combinan con el valor nuevo de símbolo 191u, 191l, con los sustractores de saturación 199u, 199l. Ambas rutas superior e inferior de cada nodo del diagrama de Trellis se comparan con un comparador de magnitud de 8 bits 203. Cada canal de SCS procesa 64 los estados del diagrama de Trellis para cada símbolo en particular. Cada trayecto es examinado para determinar qué distancia o trayectoria es la más corta. Ambas rutas superior e inferior 205u, 205l se introducen en un multiplexor 207 de 2 entradas donde se elige la distancia más corta o indicador de estado 145a y se almacena en la memoria 209. Este valor se utiliza con la siguiente entrada de símbolos para la normalización. La presente invención normaliza todas las entradas a posteriori para cada operación.
- 35 [0047] La normalización en la técnica anterior se realiza normalmente en bloque o después de que muchos símbolos de información hayan sido procesados. Sin embargo, al normalizar a posteriori después de elegir cada indicador se mejora notablemente el rendimiento. La normalización a posteriori requiere una lógica de saturación pues el proceso de normalización puede producir un desbordamiento. Si no se emplea la lógica de saturación, el número puede desbordarse finalmente y el número binario puede variar mucho con respecto al valor deseado. El sistema no puede determinar si el valor es realista. Mediante el uso de la lógica de saturación, el valor será en última instancia, el valor límite.
- 40
- 45
- 50
- 55

- 5 [0048] Como cada nodo del diagrama de Trellis tiene dos rutas que terminan en él y dos rutas que parten de él, el proceso debe depurar constantemente. El diagrama de Trellis representa los indicadores para dos rutas donde una decisión elige una ruta en base a la distancia más corta. La mejor ruta o mejor indicador se almacena en la memoria de indicadores de estado 69 y el bit de decisión o de ruta se almacena en la memoria de rastreo 149a, 149b, 149c, 149d.
- 10 [0049] Al comienzo de un símbolo, cada canal de SCS 67a, 67b, 67c, 67d recibirá una señal de inicio del decodificador 141a, 141b, 141c, 141d para iniciar el canal. Como se explicó anteriormente, el ganador de la operación de depuración que se almacenó en la memoria se compara con el primero, si el segundo ganador es menor que el primero entonces ese valor en particular se elige como el mejor indicador. Esta operación es similar para las restantes 63 salidas del diagrama de Trellis.
- [0050] La dependencia histórica de los símbolos a medida que entran en un decodificador Viterbi acumula la energía de los muchos símbolos produciendo una ganancia muy grande. La ganancia de energía se basa en la integración de la energía de más de 35 símbolos que de hecho estrechan el ancho de banda.
- 15 [0051] La secuenciación del funcionamiento de los circuitos de SCS 67a, 67b, 67c, 67d es controlada por el secuenciador de SCS 71 a través de las líneas 151a, 151b, 151c, 151d. Se utiliza un único secuenciador de SCS 71 para controlar los circuitos de SCS 67a, 67b, 67c, 67d individuales de cada canal que está siendo decodificado. Cuando no se ha habilitado un canal en particular 141a, 141b, 141c y 141d, ya sea debido a una menor velocidad de datos o si el canal está vacío, las operaciones de escritura en las memoria de indicadores 69 y de ruta 73 para ese canal en particular se inhiben a través de las líneas 153a, 153b, 153c, 153d.
- 20 [0052] El secuenciador de SCS 71 controla todo el funcionamiento de la presente invención. La función del secuenciador de SCS 71 es similar a una máquina de estados. Sin embargo, en lugar de utilizar un dispositivo programable y descargar el código ejecutable como ocurre normalmente en el estado de la técnica, el secuenciador de SCS 71 es ejecutado estrictamente en el hardware ofreciendo una eficacia inesperada.
- 25 [0053] El funcionamiento del secuenciador de SCS 71 es similar al de un contador accionado por un contador y controla los cuatro circuitos de SCS independientes 67a, 67b, 67c, 67d en paralelo con una memoria común 69. El secuenciador de SCS 71 también funciona como un procesador de matrices de módulos de bits más pequeños. En las Figuras 8a y 8b se muestra un diagrama de flujo para el secuenciador de SCS 71. Después de la inicialización (paso 401), el secuenciador de SCS 71 establece una cuenta base que es igual a cero (paso 403). Como un secuenciador es esencialmente un contador se necesita una ruta de retorno para contar progresivamente (paso 415). Una decisión (paso 405) determina si el proceso se completa dependiendo del incremento de 0 a 127, igualando las operaciones de lectura 64 y de escritura 64a del diagrama de Trellis. El secuenciador se sincroniza a la velocidad Viterbi que acciona el direccionamiento (pasos 411, 419, 425, 429) y la secuenciación de las direcciones, y la secuenciación de las operaciones de lectura (pasos 413, 421) y escritura (pasos 427, 431). El secuenciador de SCS 71 procesa cada canal de SCS 67a, 67b, 67c, 67d en paralelo con una memoria común 69.
- 30 [0054] La matriz de memoria de los indicadores de estado 69 es de 64 bits de ancho y se dispone en un segmento ping y un segmento pong. El primer segmento de 32 bits es el ping y el segundo segmento de 32 bits es el pong de la palabra de 64 bits. Cada segmento de 8 bits del segmento de 32 bits representa un canal diferente (0, 1, 2, 3). Cuando el secuenciador de SCS 71 está leyendo del segmento pong, estará escribiendo en el segmento ping secuencialmente. El secuenciador leerá de ping y escribirá en pong, y, con el siguiente símbolo, leerá de pong y escribirá en ping. Este método de acceso de memoria compartida es conocido para aquellos familiarizados con esta técnica.
- 35 [0055] El secuenciador de SCS 71 maneja cuatro canales que pueden ser datos de procesamiento a diferentes velocidades de datos de tal manera que el secuenciador 71 puede estar leyendo de ping para el canal 0, leyendo de pong para el canal 1 y no realizar ninguna lectura o escritura para el canal 2 y leer de ping para el canal 3. Este método de acceso de memoria es extremadamente flexible. Esto se logra al tener cada canal una señal de inicio asignada 141a, 141b, 141c, 141d.
- 40 [0056] El secuenciador de SCS 71 accede a la matriz de memoria de indicadores de estado 69 y cada circuito de SCS 67a, 67b, 67c, 67d, examinando la cuenta base (paso 405) y observando los dos bits menos significativos (LSB) de la cuenta base (paso 407). Los dos primeros estados de la secuencia siempre son operaciones de lectura (paso 413, 421). Los dos últimos estados de la secuencia son las operaciones de escritura (paso 427, 431). Las operaciones de escritura envían los resultados a la memoria de indicadores de estado 69.
- 50 [0057] Como se muestra en la Figura 9, la implementación del secuenciador de SCS 71 se realiza con el hardware mínimo. El contador 211 proporciona la cuenta base con los biestables 213a, 213b, 213c, 213d, 215a, 215b, 215c, 215d, proporcionando las operaciones de cambio y escritura y lectura para los cuatro canales de velocidad de

datos variable. Un multiplexor de 4 entradas 217 accede a las direcciones de los indicadores de estado para todos los canales.

[0058] La matriz de memoria de indicadores de estado 69 tiene suficiente espacio de almacenamiento para 64 indicadores de estado por canal. Para facilitar la lectura de 145a, 145b, 145c, 145d, y la escritura a 143a, 143b, 143c, 143d en la matriz de memoria de indicadores de estado 69, la organización en ping-pong para la memoria facilita tanto las operaciones durante las operaciones de SCS individuales coordinadas por el secuenciador de SCS 71 sobre la línea de ping-pong 155 y el bus de dirección 157. La capacidad total de la matriz de memoria de indicadores de estado SRAM 69 es de 4.096 bits.

[0059] La matriz de memoria de rastreo 73 se usa para registrar qué ruta sobrevivió en cada estado para cada símbolo decodificado. Como un diagrama de Trellis es una réplica infinita de un diagrama de estado, en teoría sería necesaria una cantidad infinita de memoria para registrar toda la información para cada símbolo transmitido. Sin embargo, la historia de rastreo sólo se mantiene para 35 símbolos consecutivos y se sobrescribe desde los circuitos de SCS 67a, 67b, 67c, 67d a través de las líneas 149a, 149b, 149c, 149d. La memoria de rastreo 73 requiere 8.960 bits de memoria SRAM organizados en una matriz de 32 por 280. El rastreo tiene una profundidad de 35 símbolos, por lo tanto, antes de emitir un símbolo decodificado se ha producido una acumulación de 35 símbolos de información. El símbolo de entrada que produce una salida dada se produjo 35 símbolos antes en el tiempo.

[0060] La memoria de rastreo 73 se dispone como una memoria intermedia circular. Cada vez que se escribe un nuevo símbolo en la memoria de rastreo 73, todos los símbolos previamente almacenados son desplazados, desechando el valor de símbolo más antiguo. La memoria necesaria se basa en la regla de 5 veces la longitud de restricción, por lo que se necesitan 35 símbolos de memoria para una longitud de restricción $K = 7$.

[0061] La operación de rastreo se muestra en la Figura 10. El procesador de rastreo 75 es una operación recurrente similar al procesador de SCS 71 en el que se inicializa un contador (paso 501) y se configura (paso 503) un valor de asignación 35 como se discutió anteriormente (5 veces la longitud de restricción). Entonces se asigna el mejor valor de indicador (paso 505) al mejor indicador local. Debe tomarse una decisión si la cuenta de rastreo es igual a 0 (paso 507). Si el recuento de rastreo es igual a 0, el proceso ha finalizado (paso 531) y se conoce la trayectoria que era más probable y el descodificador genera un bit (paso 529). Si el recuento de rastreo no es 0, la operación se realiza de nuevo para llegar al mejor indicador.

[0062] Como se pueden procesar cuatro velocidades de datos diferentes, la memoria de rastreo 73 se consume correspondientemente, es decir, si el canal 0 está funcionando a 64 kbps, después de 35 símbolos en el canal 0 la memoria de rastreo se llenaría para ese canal en particular, sin embargo, si el canal 2 está funcionando a la mitad de la velocidad, es decir, a 32 kbps, el canal 2 sólo se llenaría hasta la mitad de la memoria de rastreo 73.

[0063] La memoria de rastreo 73 se asigna de forma secuencial ya que un canal puede estar muy retrasado en relación a otro canal. El proceso de rastreo 75 es único para cada canal ya que los datos que se codificaron en el transmisor son únicos. Por lo tanto, la operación de rastreo para cada uno de los cuatro canales será única. Además, las velocidades de datos entre los cuatro canales pueden ser diferentes.

[0064] El proceso de rastreo es en serie y el procesador 75 funciona de forma secuencial para el canal 0, luego el canal 1, luego el canal 2 y, finalmente, el canal 3 ya que las direcciones no son comunes. El almacenamiento de la información de rastreo depende de la dirección y requiere la segregación de cada proceso para cada canal en el tiempo. Si los cuatro canales se transmiten a la velocidad máxima, la memoria aún requeriría la segregación ya que los datos que se codificaron en el transmisor crearon un entramado o trayectoria de rastreo diferente entre cada uno de los cuatro canales. Su procesamiento a velocidades de datos diferentes complica aún más el proceso.

[0065] Haciendo referencia al diagrama de flujo en la Figura 10, si el recuento de rastreo no es igual a 0 (paso 507) el proceso debe seguir el rastreo a través del tiempo de la trayectoria que es más probable. El procesador lee la dirección de 9 bits que incluye un campo, una dirección de byte, y una dirección de bit. Esto se realiza desplazando 4 bits la dirección a la derecha (paso 509), a continuación, desplazándola 1 bit hacia la derecha (paso 511) y enmascarando los 3 bits menos significativos (paso 513). El mejor indicador local es un número de 7 bits. Los 4 bits más significativos se convertirán en la dirección de byte, los próximos 3 bits se convertirán en el número de bit, y los 4 bits menos significativos se ignoran. El bit de ruta se examina (paso 515) para ver si es un 1 o un 0. Si el bit de ruta es un 0, el valor del mejor indicador local anterior se desplaza a la derecha en 1 lo que lo divide efectivamente por 2. Si el bit de ruta es igual a 0, el mejor indicador local se desplaza a la derecha en 1 (paso 517). Si el bit de ruta no es igual a 0, se suma 64 al mejor indicador local poniendo así el resultado entre un valor de un 32 y 63. El procesador 75 mantiene el rastro (pasos 521, 523, 525, 527) de todas las trayectorias y se repite hasta que se encuentre el bit codificado.

- 5 [0066] El procesador encuentra la trayectoria que termina en los 64 estados con la energía mínima indicando el error mínimo. La memoria de rastreo almacena las 35 trayectorias asociadas con los 64 estados con un bit indicando si la trayectoria viene desde arriba o desde abajo ya que sólo hay dos rutas en un estado determinado. Por lo tanto, un 0 o 1 indica el camino. El camino asociado de bit para el mejor indicador local se almacena junto con la dirección de byte y la dirección de bit. Puesto que toda la información se almacena en bytes, se realiza una descomposición, ya que hay 64 estados, con 8 bytes, con 8 bits por byte. Como hay 8 bits en el primer byte, los 8 bits indicarían los estados de 0 a 7. Esto indica que el mejor indicador local está señalando a estos estados. El siguiente byte sería para los estados 8 a 15 y así sucesivamente hasta el 63º estado.
- 10 [0067] El proceso siempre descarta el bit menos significativo del número de 7 bits. Los 3 bits más significativos, como se explicó anteriormente, señalan hacia una dirección de byte en particular. Los 3 bits siguientes de los 3 bits más significativos señalan hacia un bit en particular en la dirección de byte. Esto es, el bit de ruta. El bit de ruta se utiliza para modificar el mejor indicador local.
- 15 [0068] El proceso de rastreo funciona 512 veces más rápido que la velocidad máxima de rendimiento. El control del bus de dirección está coordinado entre el secuenciador de SCS 71 y el procesador de rastreo 75. Durante la fase de SCS del funcionamiento del decodificador, el secuenciador de SCS controla a través de las líneas 151a, 151b, 151c, 151d el bus de dirección 159, tanto del indicador de estado como de las memorias de rastreo. Una vez completada la operación de SCS, el control del bus de dirección de la memoria de rastreo es pasado al procesador de rastreo 75.
- 20 [0069] La memoria de rastreo 73 se utiliza en un procedimiento llamado "retroencadenamiento" o rastreo a partir del último nodo del diagrama de Trellis, rastreando la ruta de decisión hacia atrás desde la última decisión hasta la primera. Este proceso determina el símbolo decodificado que debe liberarse como una salida 161a, 161b, 161c, 161d. El proceso de rastreo para los cuatro canales no se puede realizar en paralelo dentro de un bloque común SRAM 69, 75 ya que se espera que las características de direccionamiento del proceso de rastreo para los canales de datos separados sean independientes. Es necesario secuenciar el proceso de rastreo para cada canal individual. Si un canal en particular no estaba habilitado para un intervalo de símbolo particular se omite el proceso de rastreo para ese canal. El proceso requiere un mínimo de 35 ciclos de reloj para realizar el proceso de rastreo para un canal dado.
- 25 [0070] La presente invención también tiene una característica de diagnóstico del rendimiento que calcula la relación de error de bit. El motor de distancia euclídea 55 emite una decisión por hardware 163 en el procesador de rastreo 75. La decisión por hardware se almacena en una memoria intermedia de tipo primero en entrar primero en salir (FIFO) de 35 símbolos y luego se compara con la salida del símbolo codificado reconvolucionalmente 161a, 161b, 161c, 161d, que liberó el procesador de rastreo 75. Las diferencias de bit entre los dos se acumulan. Después de 256 símbolos, el acumulador en el procesador de rastreo 75 se vacía 165 en un circuito de salida de relación de error de bit 77 que se muestra en la Figura 7. Cuando un nuevo valor de relación de error de bit acumulado de 8 bits está listo para que el microprocesador principal lo lea, se habilita la señal de BER lista 167 para ese canal en particular.
- 30 [0071] Como se muestra en el diagrama de flujo en la Figura 11, se describe el proceso de diagnóstico de la relación de error de bit. Para el cálculo de la relación de error de bit, el proceso requiere una porción de transmisor y una porción de receptor. Los datos se introducirán (paso 601) al transmisor y se someterán a una codificación de corrección de errores directa, una modulación QPSK y una expansión de la señal en cuadratura. La señal no se someterá a la transmisión sino que será introducida directamente en la porción de receptor donde la señal será desexpandida. La salida del proceso de desexpansión va directamente al decodificador Viterbi (paso 603) y se retrasará para 35 símbolos (pasos 607, 609, 611) con el fin de permitir que el decodificador Viterbi decodifique la información (paso 605). Los datos que se sometieron a la decisión por hardware (no decodificada) se compararán con la salida del decodificador Viterbi. Esto proporciona una indicación del comportamiento de la SNR y del procesador.
- 35 [0072] El rendimiento de la presente invención se muestra en la Figura 12. La figura 12 muestra un diagrama de probabilidad de la relación de error de bit con respecto a la relación de señal a ruido comparando datos codificados de forma no convolucional con datos codificados. Se muestran dos formas de realización de la invención. La primera forma de realización utiliza una longitud de restricción de $K = 7$. Una forma de realización alternativa utiliza una longitud de restricción de $K = 9$. Como puede verse en el gráfico, cuando la relación de señal a ruido aumenta a 5, el comportamiento de los datos codificados de forma no convolucional exhibe una probabilidad de error de bit de 0,05%. Sin embargo, para la misma relación de señal a ruido, los datos codificados convolucionales exhiben un aumento drástico del rendimiento hacia arriba de un error de un bit en un millón. El gráfico también muestra una mejora con respecto a la longitud de restricción de 7 cuando se usa una forma de realización alternativa que emplea una longitud de restricción de 9.
- 40 [0073] En lugar de ensamblar un decodificador Viterbi cuádruple que tenga cuatro canales de entrada, cada uno teniendo dos pares de señales I y Q, se usa un motor de cálculo de la distancia para producir cuatro canales y
- 45

emitir 16 distancias. Las 16 distancias se acoplan después a los bloques de SCS. Las salidas del bloque de cálculo de la distancia euclídea se reparten después por bloque de SCS individual canal por canal.

5 [0074] En una forma de realización alternativa, en lugar de tener cuatro bloques de SCS separados para cada canal individual, se podría formar una reducción drástica con un aumento lineal en la velocidad de reloj. La característica de SCS que incorpora la operación del diagrama de Trellis puede reducirse a dos o incluso un circuito de SCS mediante la multiplexación de los datos introducidos junto con un aumento de la velocidad de reloj.

[0075] Aunque se han mostrado y descrito formas de realización específicas de la presente invención, un experto en la materia podría hacer muchas modificaciones y variaciones sin apartarse del alcance de la invención, tal como se define en las reivindicaciones.

REIVINDICACIONES

1. Método para usar en un receptor móvil inalámbrico, el método comprendiendo:
- 5 la recepción de una primera señal que tiene una pluralidad de canales de datos asociados con el receptor inalámbrico móvil, en el que cada uno de la pluralidad de canales de datos se asocia con una velocidad de datos respectiva;
 la identificación de una primera velocidad de datos asociada con un canal de datos de la primera pluralidad de canales de datos, y
 la decodificación del primer canal de datos en base a la primera velocidad de datos identificada para producir la primera información.
- 10 2. Método según la reivindicación 1, que además comprende:
- la identificación de una pluralidad de velocidades de datos, una para cada uno de la pluralidad de canales de datos; y
 la decodificación de cada uno de la pluralidad de canales de datos en base a la pluralidad de velocidades de datos identificadas para producir la segunda información.
- 15 3. Método según la reivindicación 1, que además comprende:
- la identificación de una segunda velocidad de datos de un segundo canal de datos de la primera pluralidad de canales de datos; y
 la decodificación del segundo canal de datos en base a la segunda velocidad de datos identificada para producir la tercera información.
- 20 4. Método según cualquiera de las reivindicaciones anteriores, que además comprende la demodulación del primer canal de datos utilizando la modulación por desplazamiento de fase en cuadratura, QPSK.
5. Método según cualquiera de las reivindicaciones anteriores, en el que la primera señal es una señal de acceso múltiple por división de código AMDC.
- 25 6. Método según cualquiera de las reivindicaciones anteriores, en el que la decodificación se realiza en una sola memoria de un receptor de usuario móvil.
7. Receptor móvil inalámbrico (21) que comprende:
- 30 medios para recibir una primera señal que tiene una pluralidad de canales de datos (0, 1, 2,3) asociados con el receptor móvil inalámbrico, donde cada uno de la pluralidad de canales de datos se asocia con una velocidad de datos respectiva;
 medios (81) para identificar una primera velocidad de datos asociada con un canal de datos de la primera pluralidad de canales de datos; y
 medios (61) para decodificar el primer canal de datos en base a la primera velocidad de datos identificada para producir la primera información.
- 35 8. Receptor móvil inalámbrico según la reivindicación 7, en el que el medio de identificación está configurado además para identificar una pluralidad de velocidades de datos, una para cada uno de la pluralidad de canales de datos, y el medio de decodificación está configurado además para decodificar cada uno de la pluralidad de canales de datos en base a la pluralidad de velocidades de datos identificadas para producir la segunda información.
- 40 9. Receptor móvil inalámbrico según la reivindicación 7, en el que el medio de identificación está configurado además para identificar una segunda velocidad de datos de un segundo canal de datos de la pluralidad de canales de datos, y el medio de decodificación está configurado además para decodificar el segundo canal de datos en base a la segunda velocidad de datos identificada para producir la tercera información.
10. Receptor móvil inalámbrico según cualquiera de las reivindicaciones 7-9, que además comprende medios (49a, 49b) para demodular el primer canal de datos usando la modulación por desplazamiento de fase en cuadratura, QPSK.
- 45 11. Receptor móvil inalámbrico según cualquiera de las reivindicaciones 7-10, en el que la primera señal es una señal de acceso múltiple por división de código AMDC.

FIG.1

ESTADO DE LA TÉCNICA

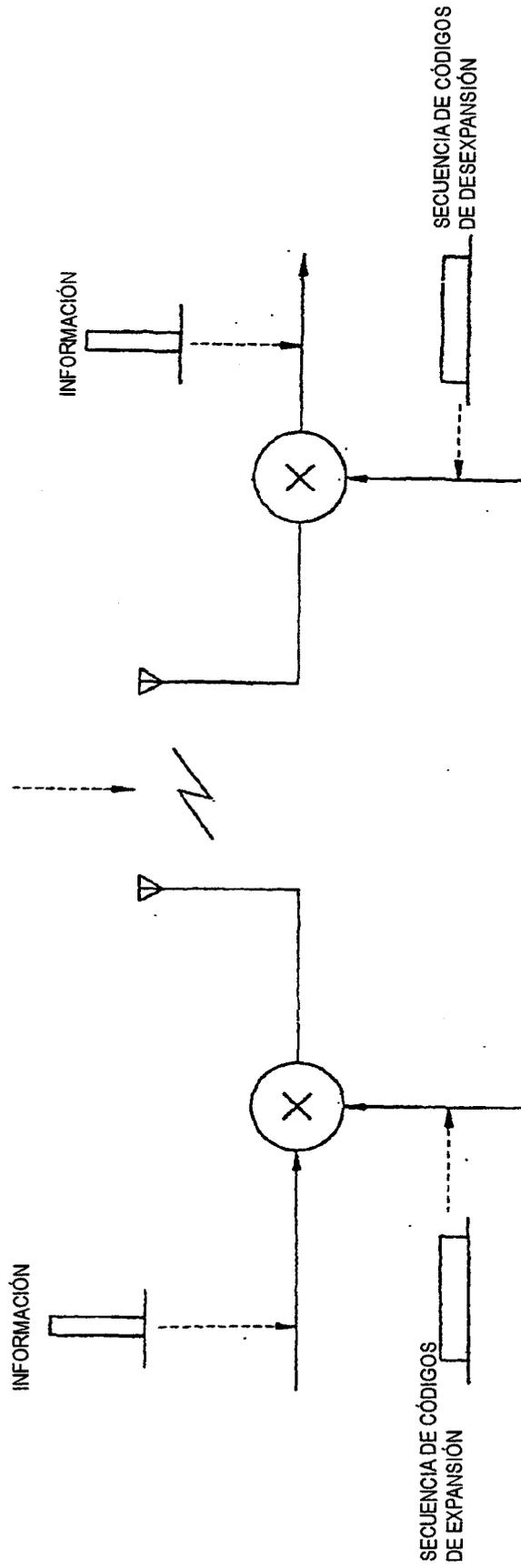


FIG.2

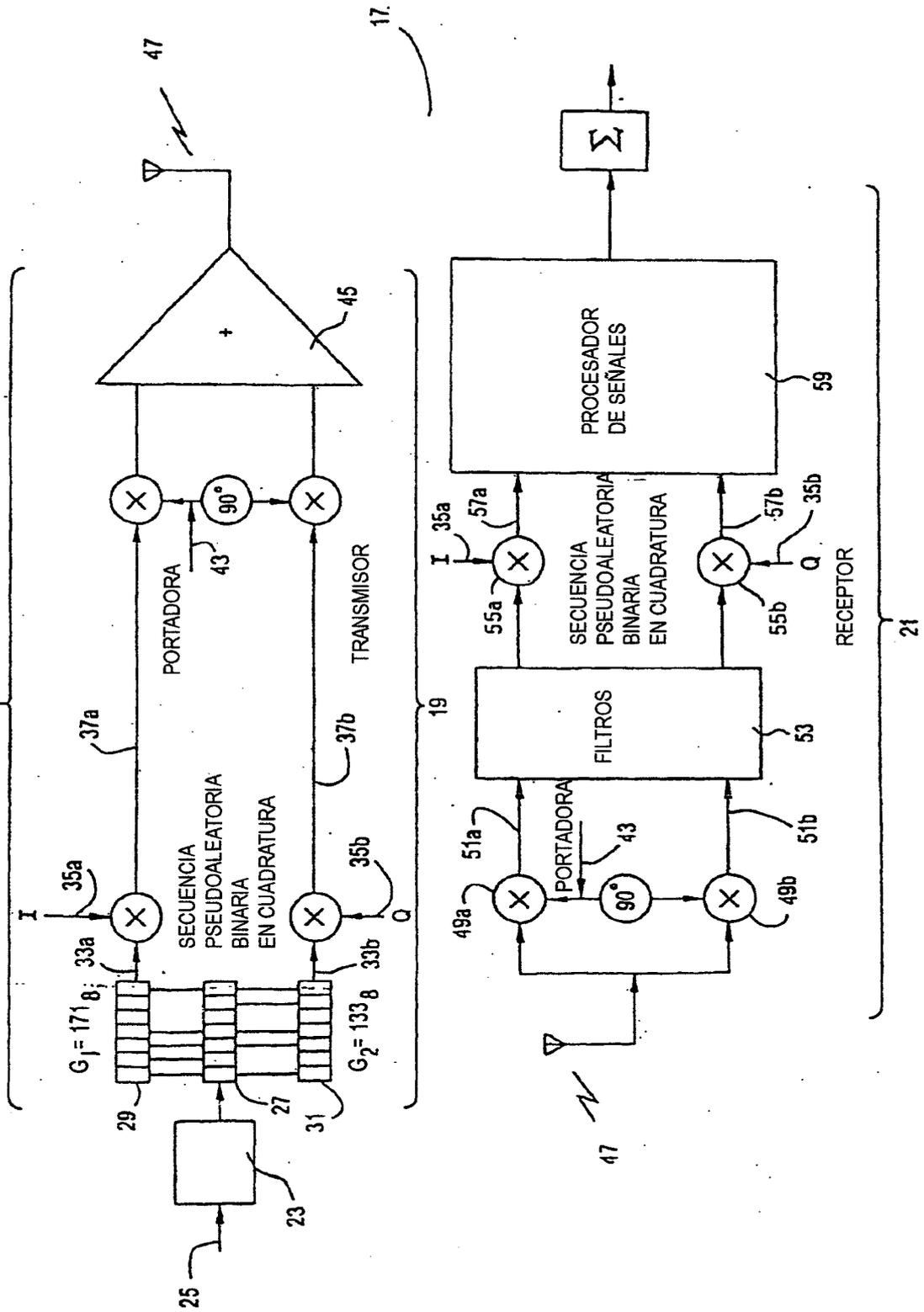


FIG.3A

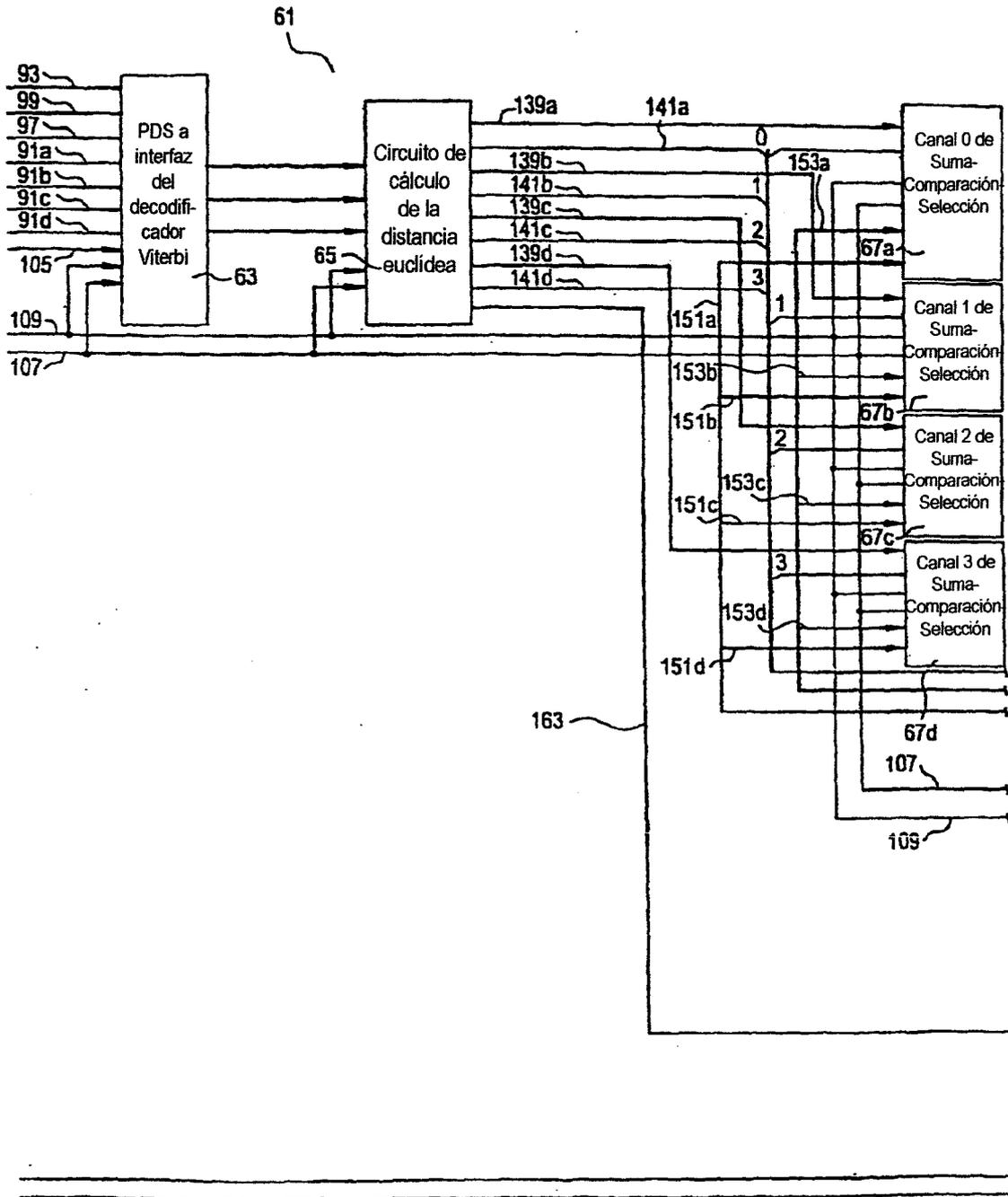


FIG.3B

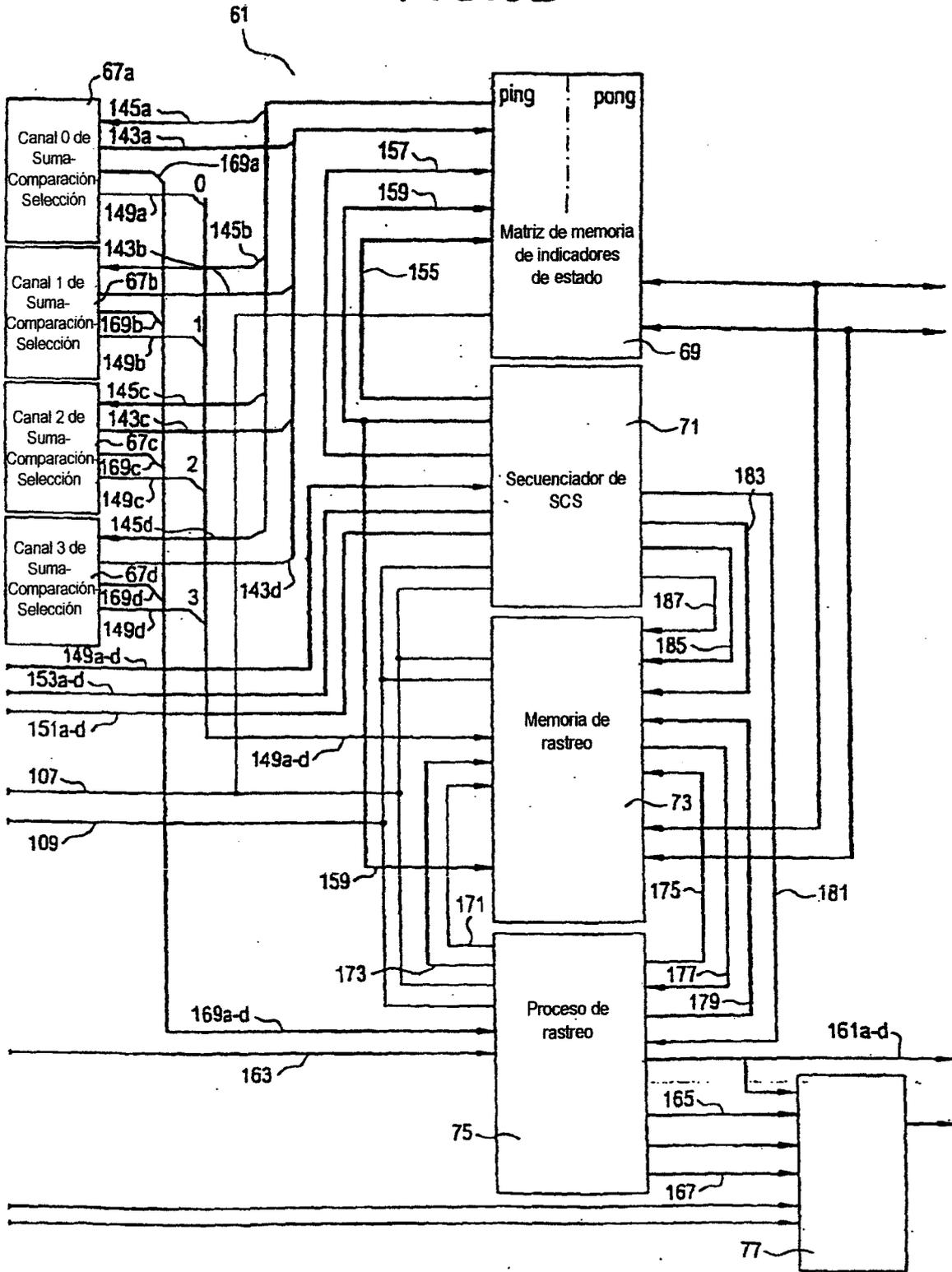
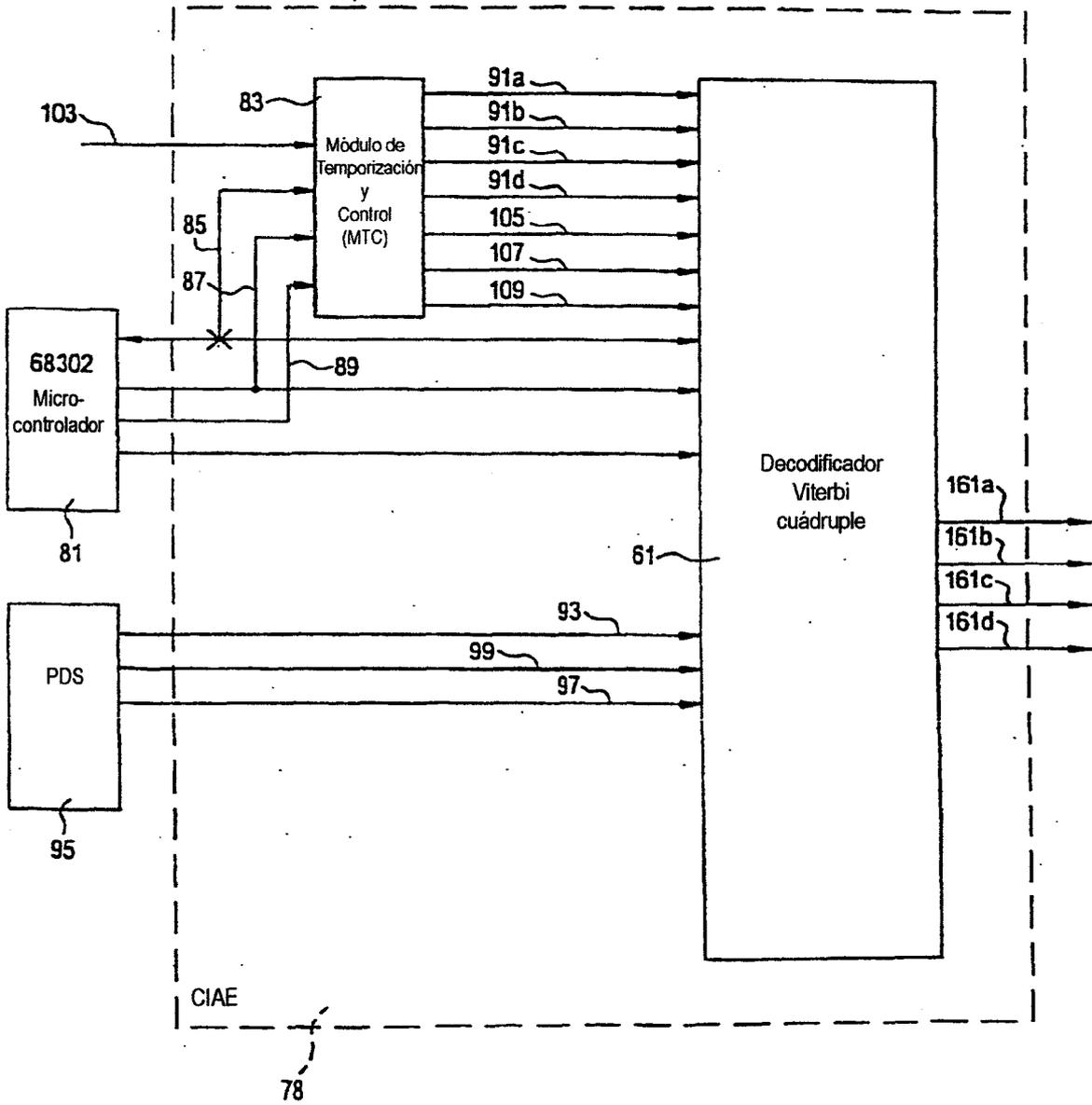


FIG.4



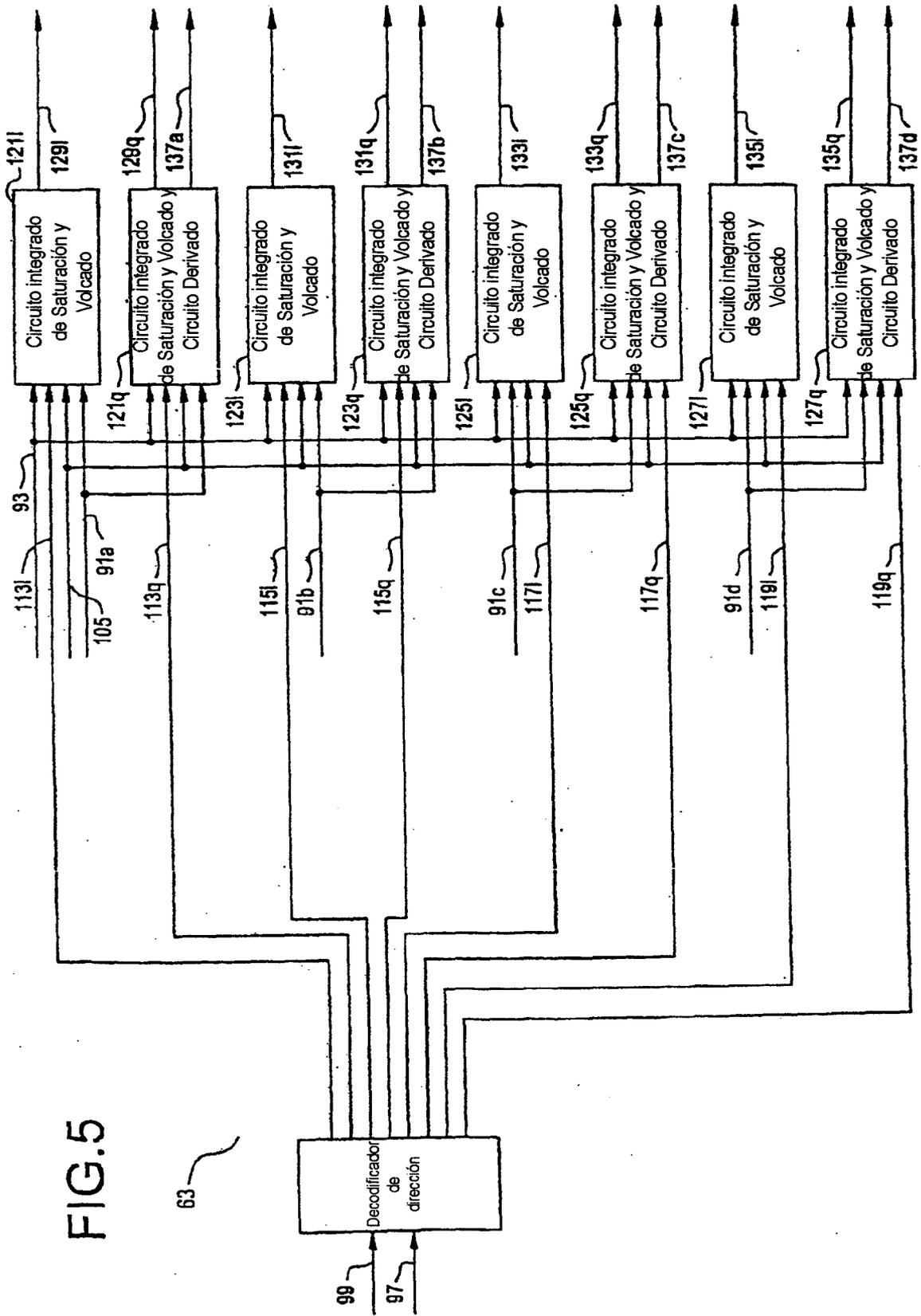


FIG. 5

FIG.6

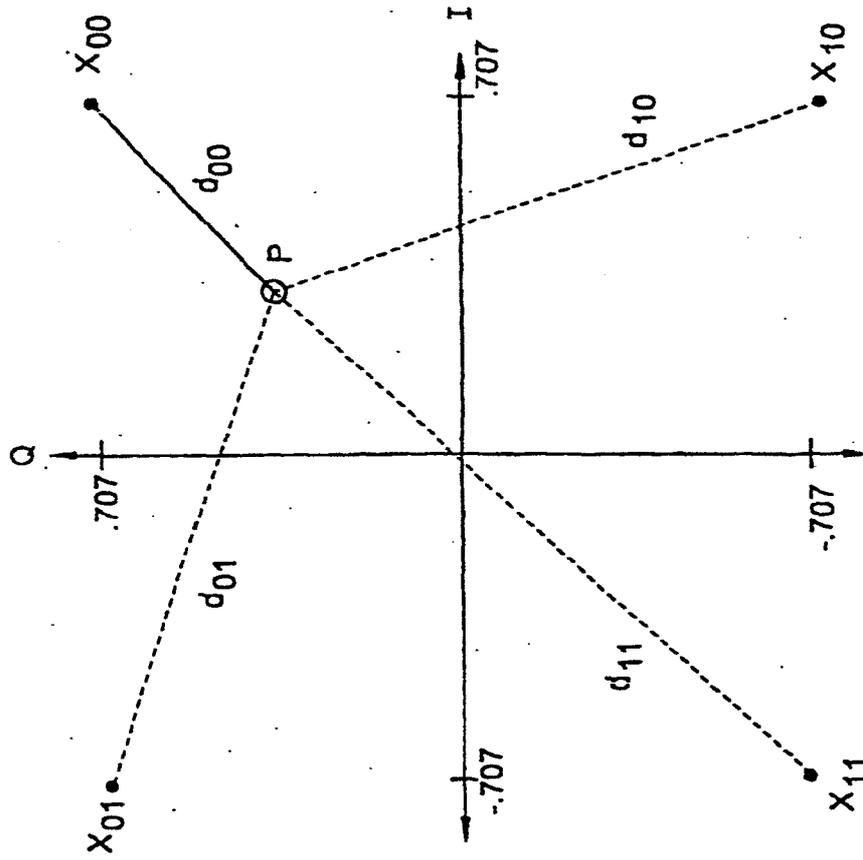


FIG.8A

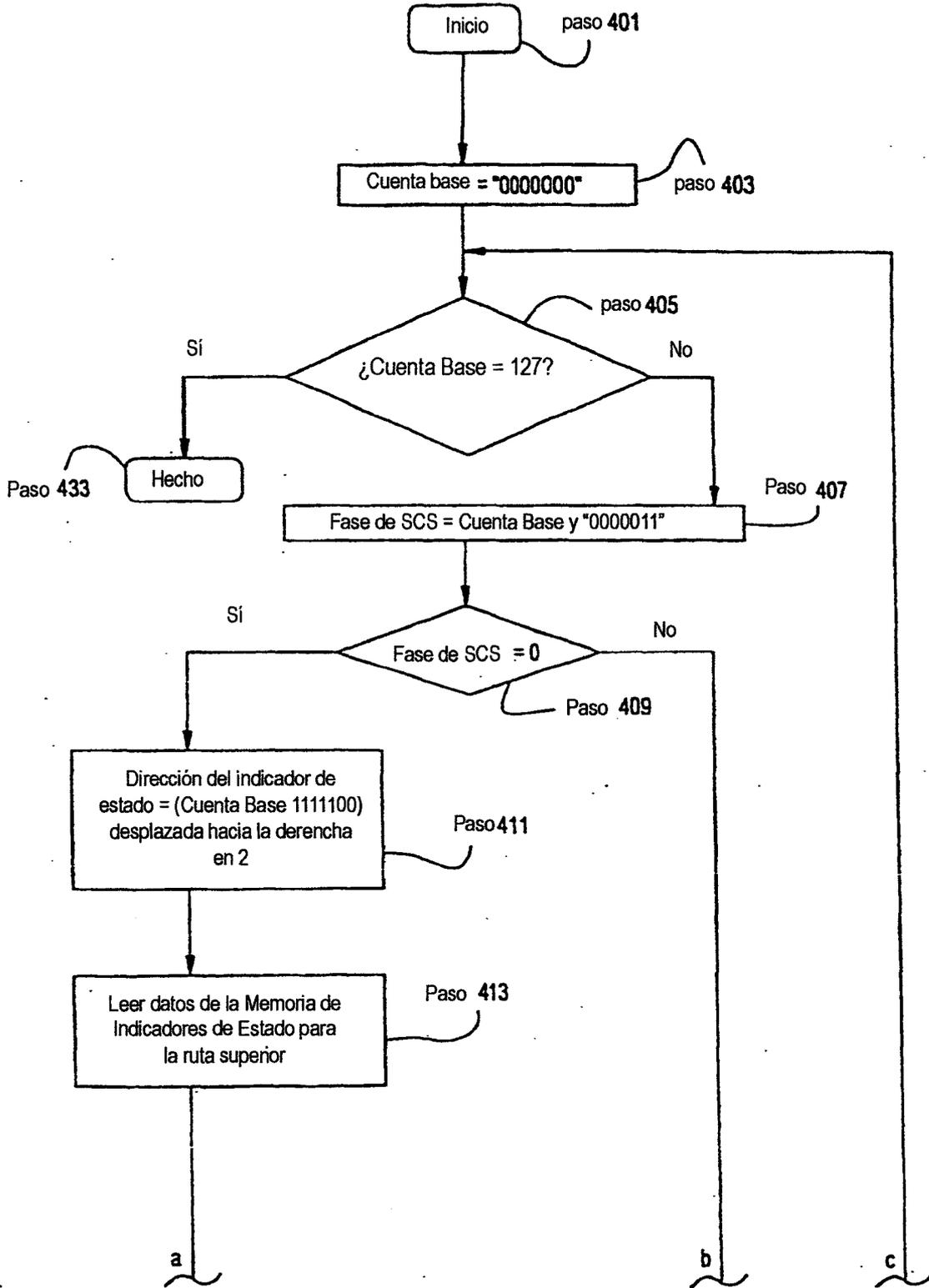


FIG.8B

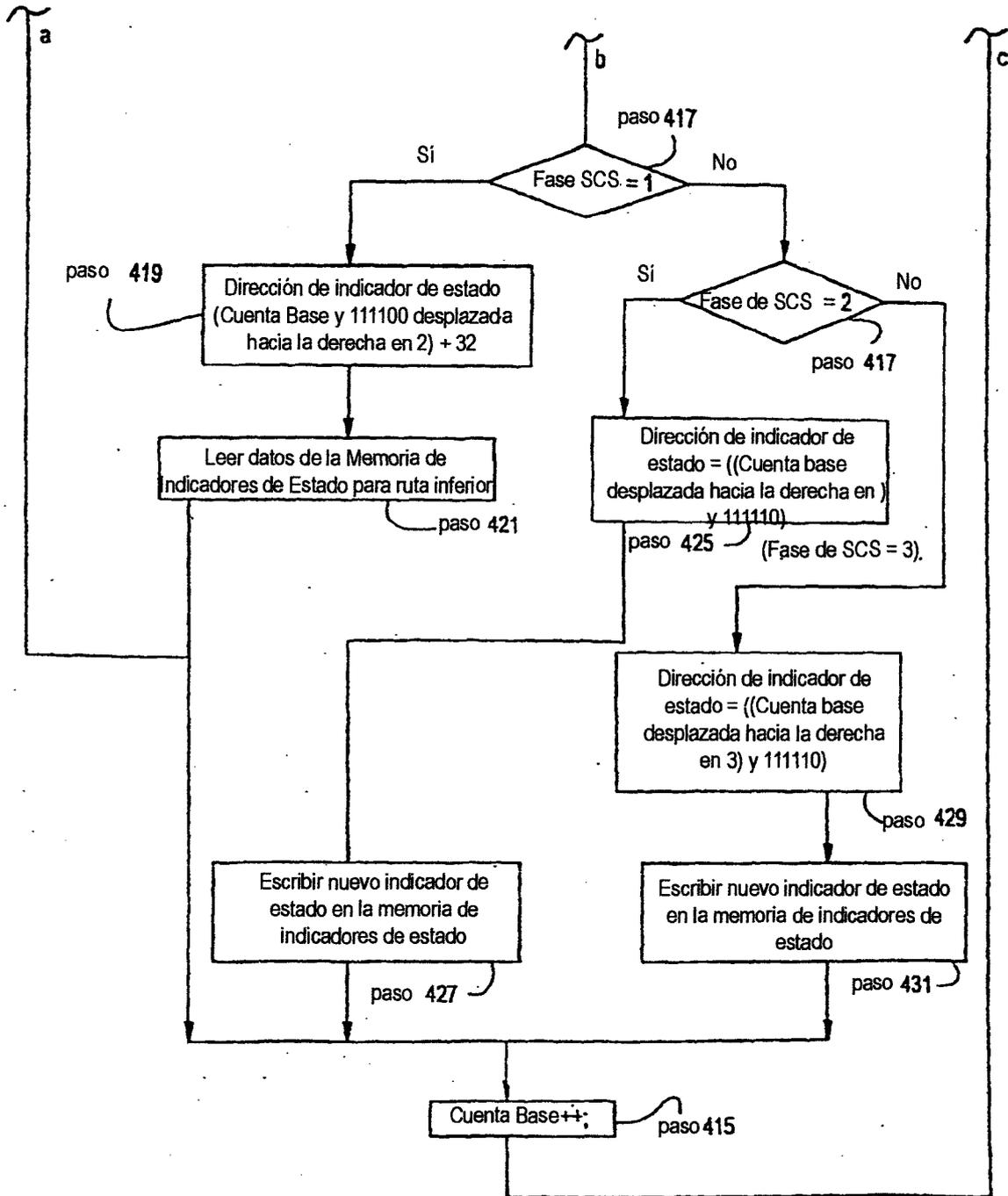


FIG.9

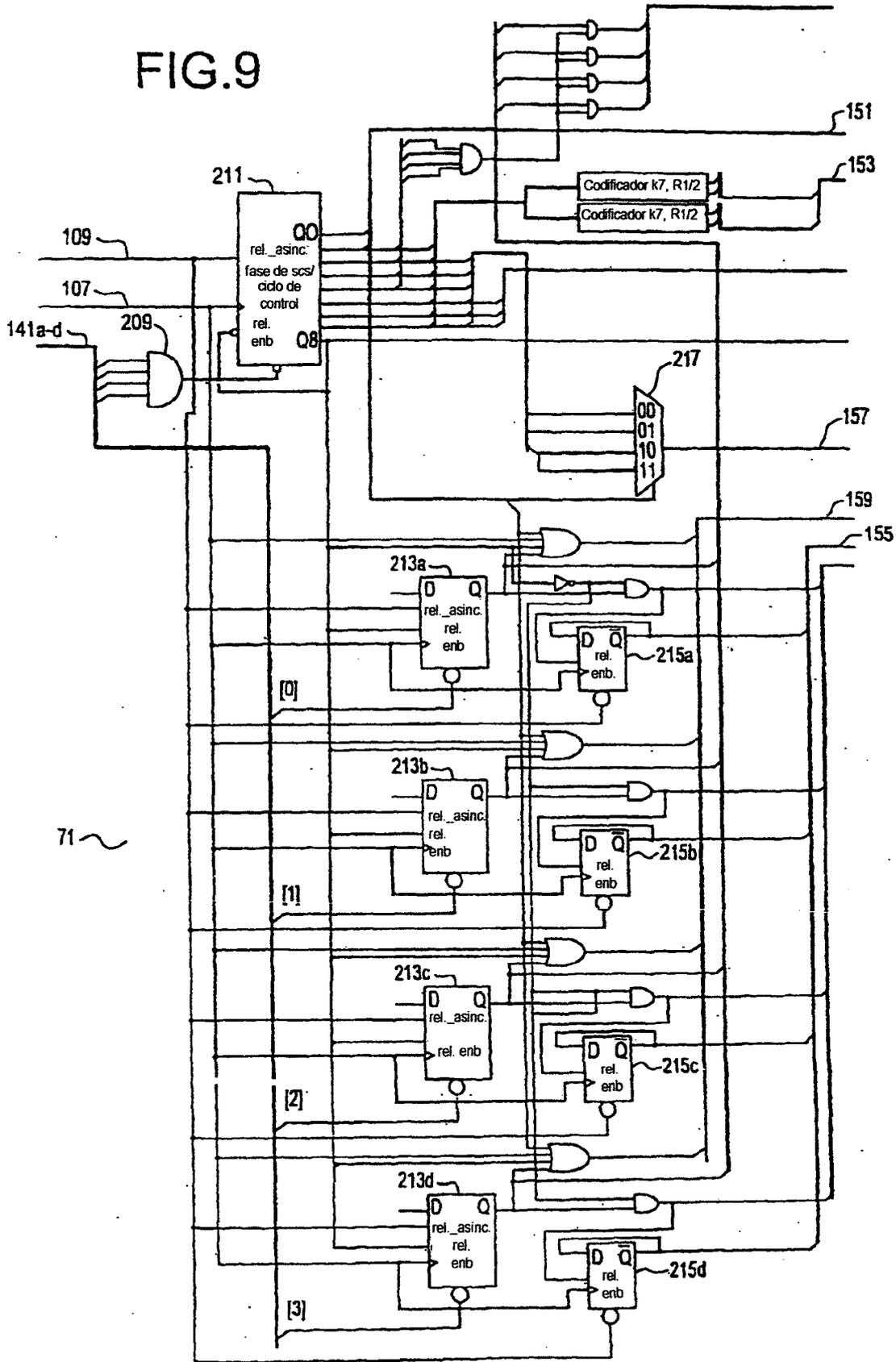


FIG.10

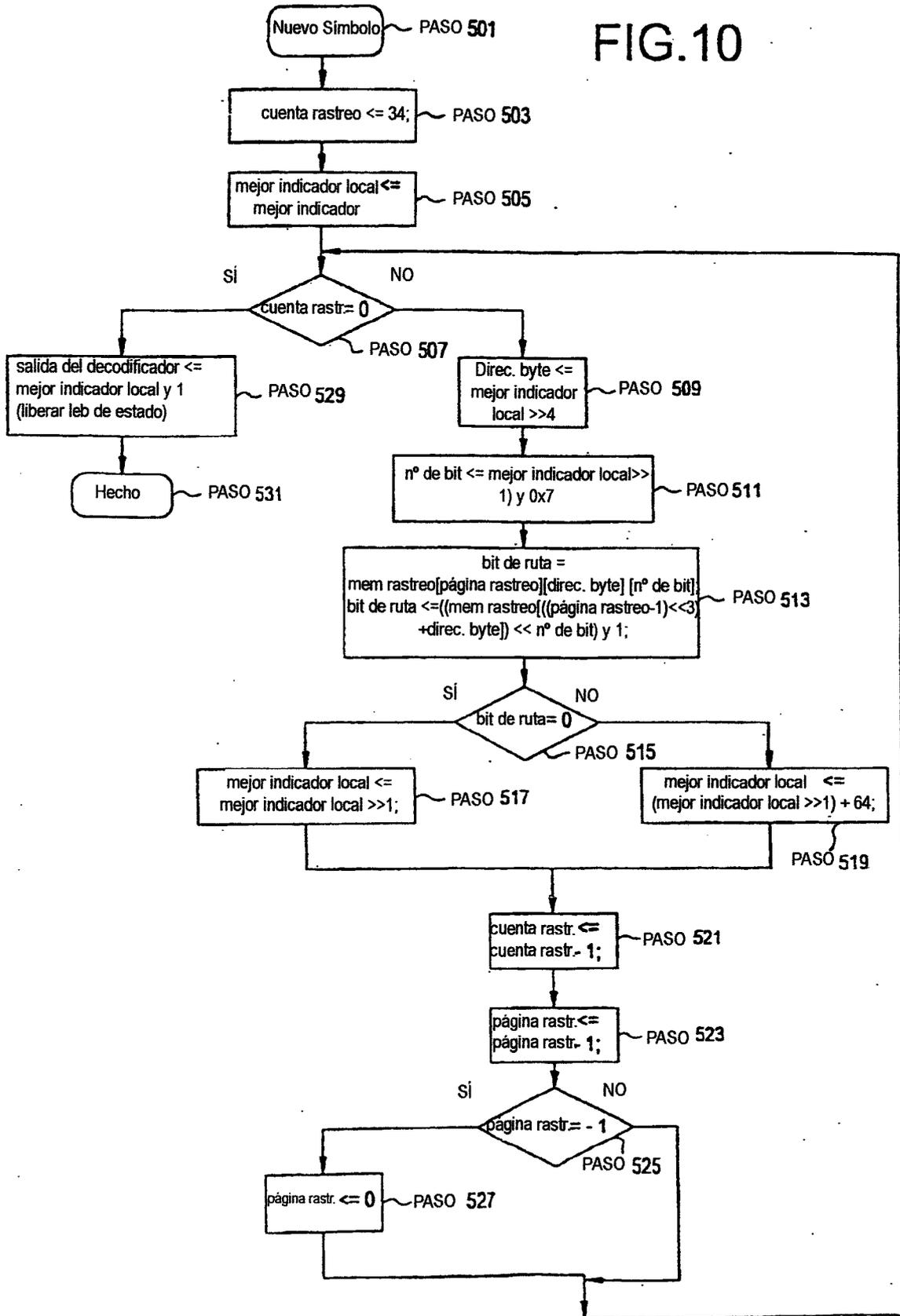


FIG.11

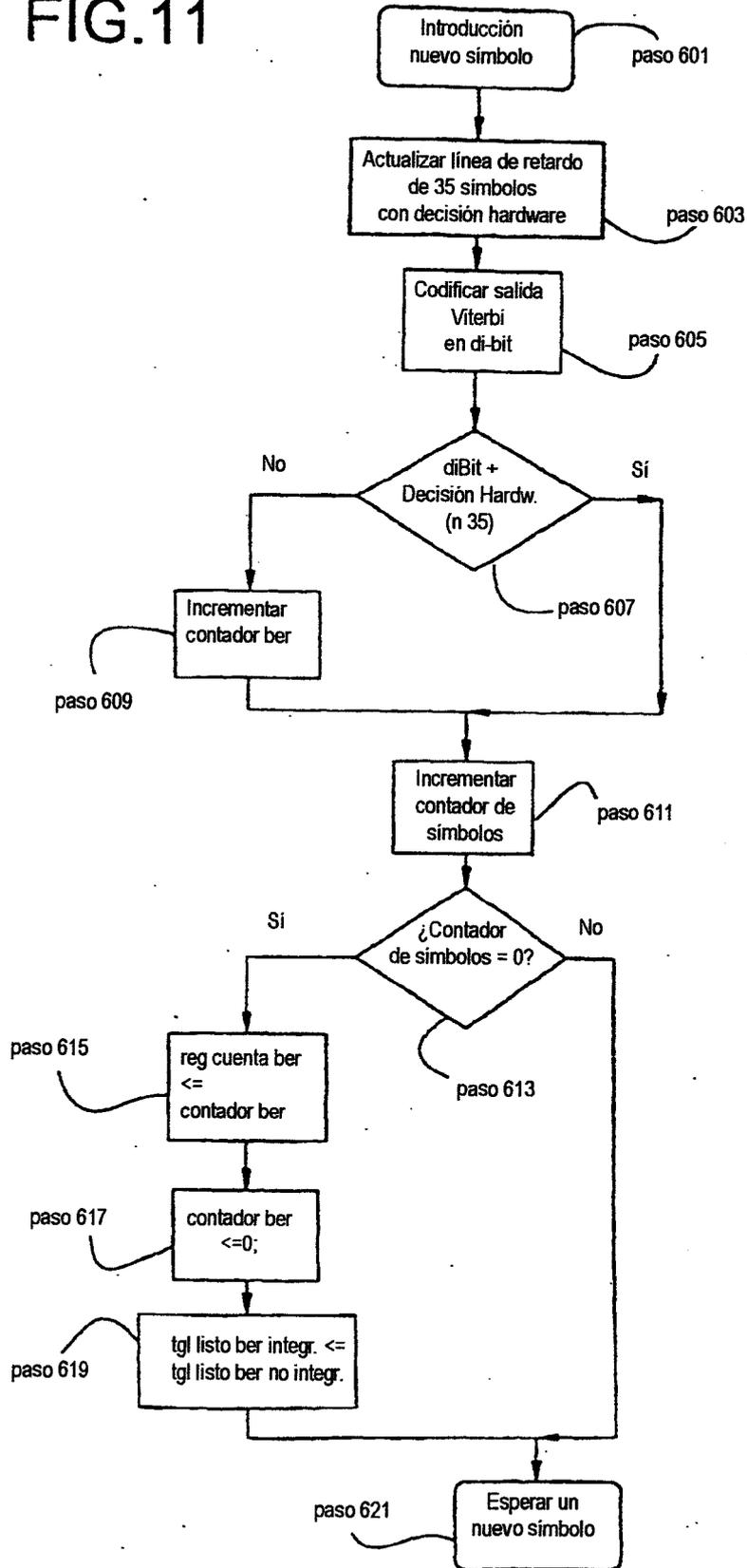


FIG.12

