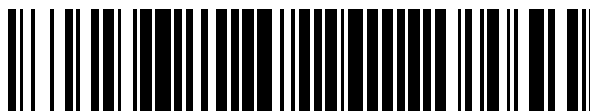


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 388 237**

51 Int. Cl.:

H04L 5/00 (2006.01)

H04L 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **10168038 .7**

96 Fecha de presentación: **19.12.2008**

97 Número de publicación de la solicitud: **2228939**

97 Fecha de publicación de la solicitud: **15.09.2010**

54 Título: **Método y aparato para transmitir una señal**

30 Prioridad:
04.02.2008 US 25823 P
15.12.2008 KR 20080127315

45 Fecha de publicación de la mención BOPI:
11.10.2012

45 Fecha de la publicación del folleto de la patente:
11.10.2012

73 Titular/es:
LG ELECTRONICS INC.
20, YEOUIDO-DONG YEONGDEUNGPO-GU
SEOUL 150-721, KR

72 Inventor/es:
Ko, Woo Suk y
Moon, Sang Chul

74 Agente/Representante:
de Elzaburu Márquez, Alberto

ES 2 388 237 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método y aparato para transmitir una señal

5 La presente invención se refiere a un procedimiento para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, y más particularmente, a un procedimiento para transmitir y recibir una señal y a un aparato para transmitir y recibir una señal, que son capaces de mejorar la eficacia de transmisión de datos.

10 De acuerdo con se ha desarrollado una tecnología de radiodifusión digital, los usuarios han recibido una imagen en movimiento de alta definición (HD). Con el desarrollo continuo de un algoritmo de compresión y un alto rendimiento de los componentes físico, se proporcionará un mejor entorno a los usuarios en el futuro. Un sistema de televisión digital (DTV) puede recibir una señal de radiodifusión digital y proporcionar una variedad de servicios complementarios a los usuarios así como una señal de vídeo y una señal de audio.

Con el desarrollo de la tecnología de radiodifusión digital, se aumenta un requerimiento de un servicio tal como una señal de vídeo y una señal de audio y el tamaño de datos deseado por un usuario o se aumenta gradualmente el número de canales de radiodifusión.

15 El documento "Definición de parámetros de señalización L1 y transmisión de señalización en T2", Jobela T., Vesma J. y Vaeke J., Nokia, grupo DiV (Universidad de Tueku) y Panasonic I+D, 2 de noviembre de 2007, revela el método de la técnica anterior para transmitir una señal de radiodifusión.

20 La norma ETSI EN 301 192 v1.4.1 (11-2004) "Radiodifusión de Vídeo Digital (DVB); Especificación DVB para radiodifusión de datos" se refiere a áreas de aplicación con diferentes requerimientos para el transporte de datos. El perfil de especificación de la radiodifusión de datos para conductos de datos soporta servicios de radiodifusión de datos que requieren un suministro de extremo a extremo, asíncrono sencillo de datos a través de redes de radiodifusión conformes con DVB. Los conductos de datos se usan para difusión en forma continua.

Por consiguiente, la presente invención se dirige a un método para transmitir y recibir una señal de radiodifusión como se expone en las reivindicaciones adjuntas 1 a 11 y un aparato como se expone en la reivindicación 12 para obviar sustancialmente uno o más problemas debidos a las limitaciones y desventajas de la técnica relacionada.

25 Los dibujos anexos, que se incluyen para proporcionar una comprensión adicional de la invención y se incorporan en y constituyen una parte de esta solicitud, ilustran la realización(es) de la invención y junto con la descripción sirven para explicar el principio de la invención. En los dibujos:

La FIG. 1 es una vista que muestra una trama de señal para transmitir un servicio;

La FIG. 2 es una vista que muestra la estructura de una primera señal piloto P1 de la trama de señal;

30 La FIG. 3 es una vista que muestra una ventana de señalización;

La FIG. 4 es una vista esquemática que muestra una realización de un aparato para transmitir una señal;

La FIG. 5 es una vista que muestra un ejemplo de un procesador de entrada 110;

La FIG. 6 es una vista que muestra una realización de una unidad de codificación y modulación;

La FIG. 7 es una vista que muestra un ejemplo de un formador de tramas;

35 La FIG. 8 es una vista que muestra un primer ejemplo de una relación de símbolos cuando los correlacionadores 131a y 131b realizan una correlación de símbolos híbrida;

La FIG. 9 es una vista que muestra un segundo ejemplo de una relación de símbolos cuando los correlacionadores 131a y 131b realizan una correlación de símbolos híbrida;

40 La FIG. 10 es una vista que muestra el número de símbolos y el número de bits por palabra de celda de acuerdo con un esquema de correlación de símbolos en un modo normal de LDPC;

La FIG. 11 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un esquema de correlación de símbolos en un modo normal de LDPC;

La FIG. 12 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un esquema de correlación de símbolos en un modo normal de LDPC;

45 La FIG. 13 es una vista que muestra el número de símbolos de acuerdo con un esquema de correlación de símbolos en un modo corto de LDPC;

- La FIG. 14 es una vista que muestra un ejemplo del número de símbolos de acuerdo con un esquema de correlación de símbolos en un modo corto de LDPC;
- La FIG. 15 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un esquema de correlación de símbolos en un modo corto de LDPC;
- 5 La FIG. 16 es una vista que muestra un ejemplo de cada uno de los correlacionadores de símbolos 131a y 131b mostrados en la FIG. 7;
- La FIG. 17 es una vista que muestra otra realización de cada uno de los correlacionadores de símbolos 131a y 131b;
- La FIG. 18 es una vista que muestra otra realización del correlacionador de símbolos;
- 10 La FIG. 19 es una vista que muestra otra realización de cada uno de los correlacionadores de símbolos 131a y 131b;
- La FIG. 20 es una vista que muestra el concepto de entrelazar bits mediante los entrelazadores 1312a y 1312b de bits;
- La FIG. 21 ilustra otro ejemplo de los entrelazadores de bits que realizan entrelazado;
- 15 La FIG. 22 ilustra el desfase usado en el entrelazado de bits de acuerdo con un método de correlación de símbolos;
- La FIG. 23 es una vista que muestra un primer ejemplo del número de filas y columnas de memorias de los entrelazadores 1312a y 1312b de bits de acuerdo con los tipos de correlacionadores de símbolos 1315a y 1315b;
- 20 La FIG. 24 es una vista que muestra un segundo ejemplo del número de filas y columnas de las memorias de los entrelazadores 1312a y 1312b de bits de acuerdo con los tipos de correlacionadores de símbolos 1315a y 1315b;
- La FIG. 25 es un diagrama que muestra el concepto de otra realización de entrelazado de un entrelazador de bits;
- La FIG. 26 es una vista que muestra otra realización de entrelazado de bits;
- La FIG. 27 es una vista que muestra otra realización de entrelazado de bits;
- 25 La FIG. 28 es una vista que muestra otra realización de entrelazado de bits;
- La FIG. 29 es una vista que muestra el concepto de demultiplexación de bits de entrada de los demultiplexores 1313a y 1313b;
- La FIG. 30 es una vista que muestra una realización de demultiplexar una secuencia de entrada mediante el demultiplexor;
- 30 La FIG. 31 es una vista que muestra un ejemplo de un tipo de demultiplexación de acuerdo con un método de correlación de símbolos;
- La FIG. 32 es una vista que muestra una realización de demultiplexar una secuencia de bits de entrada de acuerdo con un tipo de demultiplexación;
- 35 La FIG. 33 es una vista que muestra un tipo de demultiplexación que se determina de acuerdo con una tasa de código de una codificación de corrección de errores y un método de correlación de símbolos;
- La FIG. 34 es una vista que muestra un ejemplo para expresar el método de demultiplexación mediante una ecuación;
- La FIG. 35 es una vista que muestra un ejemplo para correlacionar un símbolo mediante un correlacionador de símbolos;
- 40 La FIG. 36 es una vista que muestra un ejemplo de un codificador de señal multitrayecto;
- La FIG. 37 es una vista que muestra una realización de un modulador;
- La FIG. 38 es una vista que muestra una realización de un procesador 160 analógico;
- La FIG. 39 es una vista que muestra una realización de un aparato de recepción de señales capaz de recibir una trama de señal;

- La FIG. 40 es una vista que muestra una realización de un receptor de señales;
- La FIG. 41 es una vista que muestra una realización de un demodulador;
- La FIG. 42 es una vista que muestra un descodificador de señal multitrayecto;
- La FIG. 43 es una vista que muestra una realización de un analizador sintáctico de tramas;
- 5 La FIG. 44 es una vista que muestra una realización de cada uno de los descorrelacionadores de símbolos 247a y 247p;
- La FIG. 45 es una vista que muestra otra realización de cada uno de los descorrelacionadores de símbolos 247a y 247p;
- 10 La FIG. 46 es una vista que muestra otra realización de cada uno de los descorrelacionadores de símbolos 247a y 247p;
- La FIG. 47 es una vista que muestra otra realización de cada uno de los descorrelacionadores de símbolos 247a y 247p;
- La FIG. 48 es una vista que muestra una realización para multiplexar una subsecuencia demultiplexada;
- La FIG. 49 es una vista que muestra un ejemplo de una unidad de descodificación y demodulación;
- 15 La FIG. 50 es una vista que muestra una realización de un procesador de salida;
- La FIG. 51 es una vista que muestra otra realización de un aparato de transmisión de señales para transmitir una trama de señal;
- La FIG. 52 es una vista que muestra otra realización de un aparato de recepción de señales para recibir una trama de señal;
- 20 La FIG. 53 es una vista que muestra una realización de la estructura de una primera señal piloto;
- La FIG. 54 es una vista que muestra una realización para detectar una señal de preámbulo mostrada en la FIG. 53 y estimar un desfase de temporización y un desfase de frecuencia;
- La FIG. 55 es una vista que muestra otra realización de la estructura de la primera señal piloto;
- 25 La FIG. 56 es una vista que muestra una realización para detectar la primera señal piloto mostrada en la FIG. 55 y medir un desfase de temporización y un desfase de frecuencia;
- La FIG. 57 es una vista que muestra una realización para detectar la primera señal piloto y medir un desfase de temporización y un desfase de frecuencia usando el resultado detectado;
- La FIG. 58 es una vista que muestra una realización de un método para transmitir una señal;
- La FIG. 59 es una vista que muestra una realización de un método para recibir una señal; y
- 30 La FIG. 60 es un diagrama de secuencia que ilustra una realización para identificar una primera señal piloto y estimar un desfase en un proceso de demodulación.
- La FIG. 61 ilustra otro ejemplo de un método para transmitir y recibir señales de acuerdo con la presente invención.
- La FIG. 62 es una vista que muestra otra realización de un aparato para transmitir una señal;
- 35 La FIG. 63 es una vista que muestra una realización de un codificador 1303 de información;
- La FIG. 64 es una vista que muestra otra realización de un aparato para recibir una señal;
- La FIG. 65 es una vista que muestra una realización detallada para descodificar la información de capa 1 y la información de capa 2; y
- La FIG. 66 es un diagrama de secuencia que ilustra un método para transmitir y recibir una señal.
- 40 La FIG. 67 es una vista que muestra una estructura de un preámbulo de una trama de señal;
- La FIG. 68 es una vista que muestra otra estructura de un preámbulo de una trama de señal; y

La FIG. 69 es un diagrama de secuencia que ilustra una realización de un método para transmitir y recibir una señal.

5 Se hará ahora referencia en detalle a las realizaciones preferentes de la presente invención, ejemplos de las cuales se ilustran en los dibujos anexos. Siempre que sea posible, se usarán los mismos números de referencia en todos los dibujos para referirse a las mismas partes o similares.

Las figuras 1 a 52 y la descripción correspondiente se dan como ejemplos para comprender la invención.

En la siguiente descripción, el término "servicio" es indicativo o bien de contenidos de difusión que pueden ser transmitidos/recibidos por un aparato de transmisión/recepción de señales, o bien de suministro de contenidos.

10 Anterior a la descripción de un aparato para transmitir y recibir una señal de acuerdo con una realización de la presente invención, se describirá una trama de señal que se transmite y recibe mediante el aparato para transmitir y recibir la señal de acuerdo con la realización de la presente invención.

La FIG. 1 muestra una trama de señal para transmitir un servicio de acuerdo con una realización de la presente invención.

15 La trama de señal mostrada en La FIG. 1 muestra una trama de señal ejemplar para transmitir un servicio de difusión que incluye secuencias de audio/vídeo (A/V). En este caso, se multiplexa un único servicio en canales de tiempo y frecuencia, y se transmite el servicio multiplexado. El esquema de transmisión de señales mencionado anteriormente se denomina esquema de segmentación de tiempo-frecuencia (TFS). En comparación con el caso en el que se transmite un único servicio solamente a una banda de radiofrecuencia (RF), el aparato de transmisión de señales de acuerdo con una realización de la presente invención transmite el servicio de señal a través de al menos una banda de RF (posiblemente varias bandas de RF), de manera que puede adquirir una ganancia de multiplexación estadística capaz de transmitir muchos más servicios. El aparato de transmisión/recepción de señales transmite/recibe un único servicio sobre varios canales de RF, de manera que puede adquirir una ganancia de diversidad de frecuencia.

20 Los servicios primero a tercero (servicios 1~3) se transmiten para cuatro bandas de RF (RF1~RF4). No obstante, este número de bandas de RF y este número de servicios se han revelado solamente para propósitos ilustrativos, de manera también se pueden usar otros números de acuerdo con sea necesario. Dos señales de referencia (es decir, una primera señal piloto (P1) y una segunda señal piloto (P2)) están ubicadas en la parte inicial de la trama de señal. Por ejemplo, en el caso de la banda de RF1, la primera señal piloto (P1) y la segunda señal piloto (P2) están ubicadas en la parte inicial de la trama de señal. La banda de RF1 incluye tres intervalos asociados con el Servicio 1, dos intervalos asociados con el Servicio 2 y un único intervalo asociado con el Servicio 3. Los intervalos asociados con otros servicios también pueden estar ubicados en otros intervalos (intervalos 4~17) ubicados después del único intervalo asociado con el Servicio 3.

25 La banda de RF2 incluye una primera señal piloto (P1), una segunda señal piloto (P2) y otros intervalos 13 -17. Además, la banda de RF2 incluye tres intervalos asociados con el Servicio 1, dos intervalos asociados con el Servicio 2 y un único intervalo asociado con el Servicio 3.

Los Servicios 1 - 3 se multiplexan, y luego se transmiten a las bandas de RF3 y RF4 de acuerdo con el esquema de segmentación de tiempo-frecuencia (TFS). El esquema de modulación para la transmisión de señales se puede basar en un esquema de multiplexación por división de frecuencia ortogonal (OFDM).

30 En la trama de señal, los servicios individuales se desplazan hacia las bandas de RF (en el caso de que haya una pluralidad de bandas de RF en la trama de señal) y un eje de tiempo.

Si las tramas de señal iguales a la trama de señal anterior están dispuestas sucesivamente en el tiempo, se puede componer una supertrama de varias tramas de señal. Una trama de extensión futura también puede estar ubicada entre las diversas tramas de señal. Si la trama de extensión futura está ubicada entre las diversas tramas de señal, la supertrama se puede terminar en la trama de extensión futura.

35 La FIG. 2 muestra una primera señal piloto (P1) contenida en la trama de señal de la FIG. 1 de acuerdo con una realización de la presente invención.

40 La primera señal piloto P1 y la segunda señal piloto P2 están ubicadas en la parte inicial de la trama de señal. La primera señal piloto P1 se modula mediante un modo de FFT de 2K, y se puede transmitir simultáneamente mientras incluye un intervalo de guarda de 1/4. En la FIG. 2, una banda de 7,61 MHz de la primera señal piloto P1 incluye una banda de 6,82992 MHz. La primera señal piloto usa 256 portadoras de entre 1705 portadoras activas. Se usa una única portadora activa para cada 6 portadoras en media. Los intervalos portadores de datos se pueden disponer de manera irregular en el orden de 3, 6 y 9. En la FIG. 2, una línea continua indica la ubicación de una portadora usada, una línea discontinua fina indica la ubicación de una portadora no usada y una línea encadenada indica una ubicación central de la portadora no usada. En la primera señal piloto, se puede realizar una correlación de símbolo

de la portadora usada mediante una modulación por desplazamiento de fase binaria (BPSK), y se puede modular una secuencia de bits pseudoaleatoria (PRBS). El tamaño de una FFT usada para la segunda señal piloto se puede indicar mediante varias PRBS.

5 El aparato de recepción de señales detecta una estructura de una señal piloto, y reconoce una segmentación de tiempo-frecuencia (TFS) usando la estructura detectada. El aparato de recepción de señales adquiere el tamaño de FFT de la segunda señal piloto, compensa un desfase de frecuencia burdo de una señal de recepción, y adquiere sincronización de tiempo.

En la primera señal piloto, se pueden fijar un tipo de transmisión de señal y un parámetro de transmisión.

10 La segunda señal piloto P2 se puede transmitir con un tamaño de FFT y un intervalo de guarda iguales a los del símbolo de datos. En la segunda señal piloto, se usa una única portadora como una portadora piloto a intervalos de tres portadoras. El aparato de recepción de señales compensa un desfase de sincronización de frecuencia fina usando la segunda señal piloto, y realiza una sincronización de tiempo fina. La segunda señal piloto transmite información de una primera capa (L1) de entre las capas de Interconexión de Sistemas Abiertos (OSI). Por ejemplo, la segunda señal piloto puede incluir un parámetro físico e información de construcción de tramas. La segunda señal
15 piloto transmite un valor de parámetro mediante el cual un receptor puede acceder a una secuencia de servicio de Conducto de Capa Física (PLP).

La información de la L1 (Capa 1) contenida en la segunda señal piloto P2 es como sigue.

20 La Información de Capa 1 (L1) incluye un indicador de longitud que indica la longitud de los datos incluyendo la información de L1, de manera que puede usar fácilmente los canales de señalización de las Capas 1 y 2 (L1 y L2). La información de Capa 1 (L1) incluye un indicador de frecuencia, una longitud de intervalo de guarda, un número máximo de bloques de FEC (Corrección de Error sin Canal de Retorno) para cada trama en asociación con canales físicos individuales, y el número de bloques de FEC reales a ser contenidos en la memoria temporal de bloques de FEC asociada con una trama actual/previa en cada canal físico. En este caso, el indicador de frecuencia indica la información de frecuencia que corresponde al canal de RF.

25 La información de Capa 1 (L1) puede incluir una variedad de información en asociación con intervalos individuales. Por ejemplo, la información de Capa 1 (L1) incluye el número de tramas asociadas con un servicio, una dirección inicial de un intervalo que tiene la precisión de una portadora de OFDM contenida en un símbolo de OFDM, una longitud del intervalo, intervalos correspondientes a la portadora de OFDM, el número de bits rellenados en la última portadora de OFDM, información de modulación de servicio, información de tasa de modo de servicio, e información
30 de esquema de Entrada Múltiple Salida Múltiple (MIMO).

La información de Capa 1 (L1) puede incluir un ID de celda, una bandera como servicio de mensaje de notificación de tipo de servicio (por ejemplo, un mensaje de emergencia), el número de tramas actuales, y el número de bits adicionales para su uso futuro. En este caso, el ID de celda indica un área de radiodifusión transmitida por un transmisor de radiodifusión.

35 La segunda señal piloto P2 está adaptada para realizar una estimación de canal para decodificar un símbolo contenido en la señal P2. La segunda señal piloto P2 se puede usar como un valor inicial para la estimación de canal para el siguiente símbolo de datos. La segunda señal piloto P2 también puede transmitir información de Capa 2 (L2). Por ejemplo, la segunda señal piloto puede ser capaz de describir la información asociada con el servicio de transmisión en la información de Capa 2 (L2). El aparato de transmisión de señales decodifica la segunda señal piloto, de manera que puede adquirir información de servicio contenida en la trama de segmentación de tiempo-frecuencia (TFS) y puede realizar de manera eficaz la exploración de canal. Mientras tanto, esta información de Capa 2 (L2) se puede incluir en un PLP específica de la trama de TFS. De acuerdo con otro caso, se puede incluir información de L2 en un PLP específica, y la información de descripción de servicio también se puede transmitir en el PLP específica.

40 Por ejemplo, la segunda señal piloto puede incluir dos símbolos de OFDM del modo de FFT de 8k. De manera general, la segunda señal piloto puede ser cualquiera de un símbolo de OFDM único del modo de FFT de 32K, un símbolo de OFDM único del modo de FFT de 16k, dos símbolos de OFDM del modo de FFT de 8k, cuatro símbolos de OFDM del modo de FFT de 4k y ocho símbolos de OFDM del modo de FFT de 2k.

45 En otras palabras, un símbolo de OFDM único que tiene el tamaño de una FFT grande o varios símbolos de OFDM, cada uno de los cuales tiene el tamaño de una FFT pequeña, pueden estar contenidos en la segunda señal piloto P2, de manera que se puede mantener la capacidad capaz de ser transmitida al piloto.

50 Si la información a ser transmitida a la segunda señal piloto excede Capacidad del símbolo de OFDM de la segunda señal piloto, se pueden usar además los símbolos de OFDM después de la segunda señal piloto. La información de la L1 (Capa 1) y la L2 (Capa 2) contenida en la segunda señal piloto se codifica de corrección de errores y después se entrelaza, de manera que se lleva a cabo la recuperación de datos aunque suceda un ruido impulsivo.
55

Como se describió anteriormente, también se puede incluir información de la L2 en un PLP específica que transporte la información de descripción del servicio.

5 La FIG. 3 muestra una ventana de señalización de acuerdo con la presente invención. La trama de segmentación de tiempo-frecuencia (TFS) muestra un concepto de desfase de la información de señalización. La información de Capa 1 (L1) contenida en la segunda señal piloto incluye información de construcción de tramas e información de capa física requerida por el aparato de recepción de señales que descodifica el símbolo de datos. Por tanto, si la información de los siguientes símbolos de datos ubicados después de la segunda señal piloto, está contenida en la segunda señal piloto, y se transmite la segunda señal piloto resultante, el aparato de recepción de señales puede ser incapaz de descodificar inmediatamente los siguientes símbolos de datos anteriores debido a un tiempo de descodificación de la segunda señal piloto.

Por lo tanto, como se muestra en la FIG. 3, la información de la L1 contenida en la segunda señal piloto (P2) incluye información de un tamaño de trama de segmentación de tiempo-frecuencia (TFS) única, e incluye información contenida en la ventana de señalización en una ubicación separada de la segunda señal piloto por el desfase de ventana de señalización.

15 Mientras tanto, para realizar una estimación de canal de un símbolo de datos que construye el servicio, el símbolo de datos puede incluir un piloto dispersado y un piloto continuo.

El sistema de transmisión/recepción de señales capaz de transmitir/recibir las tramas de señal mostradas en las FIG. 1 – 3 se describirá a continuación. Se pueden transmitir y recibir servicios individuales sobre varios canales de RF. Un trayecto para transmitir cada uno de los servicios o una secuencia transmitida a través de este trayecto se denomina un PLP. El PLP se puede distribuir entre los intervalos divididos en el tiempo en varios canales de RF o una banda de RF única. Esta trama de señal puede transportar el PLP dividida en el tiempo en al menos un canal de RF. En otras palabras, una única PLP se puede transferir a través de al menos un canal de RF con regiones divididas en el tiempo. A continuación se revelarán los sistemas de transmisión/recepción de señales que transmiten/reciben una trama de señal única a través de al menos una banda de RF.

25 La FIG. 4 es un diagrama de bloques que ilustra un aparato para transmitir una señal de acuerdo con una realización de la presente invención. Con referencia a la FIG. 4, el aparato de transmisión de señales incluye un procesador de entrada 110, una unidad de codificación y modulación 120, un formador de tramas 130, un codificador MIMO/MISO 140, una pluralidad de moduladores (150a, 150r) del codificador MIMO/MISO 140, y una pluralidad de procesadores analógicos (160a,...,160r).

30 El procesador de entrada 110 recibe secuencias equipadas con varios servicios, genera un número P de tramas de en banda base (P es un número natural) que incluye información de modulación y codificación correspondiente a los trayectos de transmisión de los servicios individuales, y saca el número P de tramas en banda base.

La unidad de codificación y modulación 120 recibe tramas en banda base desde el procesador de entrada 110, realiza la codificación y el entrelazado de canal en cada una de las tramas en banda base, y saca el resultado de la codificación y el entrelazado de canal.

El formador de tramas 130 forma tramas que transmiten tramas en banda base contenidas en el número P de PLP a un número R de canales de RF (donde R es un número natural), divide las tramas formadas, y saca las tramas divididas a los trayectos correspondientes al número R de canales de RF. Se pueden multiplexar varios servicios en un único canal de RF en el tiempo. Las tramas de señal generadas a partir del formador de tramas 140 pueden incluir una estructura de segmentación de tiempo-frecuencia (TFS) en la que se multiplexa el servicio en los dominios del tiempo y la frecuencia.

El codificador MIMO/MISO 140 codifica las señales a ser transmitidas al número R de canales de RF, y saca las señales codificadas a los trayectos que corresponden a un número A de antenas (donde A es un número natural). El codificador MIMO/MISO 140 saca la señal codificada en la cual una única a ser transmitida a un canal de RF único se codifica al número A de antenas, de manera que se transmite/recibe una señal a/desde una estructura MIMO (Entrada Múltiple Salida Múltiple) o MISO (Entrada Múltiple Salida Única).

Los moduladores (150a, ... , 150r) modulan señales en el dominio de la frecuencia introducidas a través del trayecto correspondiente a cada canal de RF en las señales en el dominio del tiempo. Los moduladores (150a, ... , 150r) modulan las señales de entrada de acuerdo con un esquema de multiplexación por división de frecuencia ortogonal (OFDM), y sacan las señales moduladas.

Los procesadores analógicos (160a, 160r) convierten las señales de entrada en señales de RF, de manera que las señales de RF se pueden sacar a los canales de RF.

El aparato de transmisión de señales de acuerdo con esta realización puede incluir un número predeterminado de moduladores (150a,...150r) que corresponde al número de canales de RF y un número predeterminado de procesadores analógicos (160a,...,160r) que corresponde al número de canales de RF. No obstante, en el caso de

usar el esquema MIMO, el número de procesadores analógicos debe ser igual al producto de R (es decir, el número de canales de RF) y A (es decir, el número de antenas).

La FIG. 5 es un diagrama de bloques que ilustra un procesador de entrada 110 de acuerdo con una realización de la presente invención. Con referencia a la FIG. 5, el procesador de entrada 110 incluye el primer multiplexor 111a de secuencia, el primer divisor de servicios 113a, y una pluralidad de primeros formadores de tramas (115a, 115m) en banda base (BB). El procesador de entrada 110 incluye un segundo multiplexor de secuencias 111b, un segundo divisor de servicios 113b y una pluralidad de segundos formadores de tramas (115n,..., 115p) en banda base (BB).

Por ejemplo, el primer multiplexor de secuencia 111a recibe varias secuencias de transporte (TS) de MPEG-2, multiplexa las secuencias TS de MPEG-2 recibidas, y saca las secuencias TS de MPEG-2 multiplexadas. El primer divisor de servicios 113a recibe las secuencias multiplexadas, divide las secuencias de entrada de servicios individuales, y saca las secuencias divididas. Como se describió anteriormente, a condición de que el servicio transmitido a través de un trayecto de canal físico se denomine PLP, el primer divisor de servicios 113a divide el servicio a ser transmitido a cada PLP, y saca el servicio dividido.

Los primeros formadores de tramas (115a,...,115m) en BB forman los datos contenidos en un servicio a ser transmitido a cada PLP en forma de una trama específica, y sacan los datos formateados de trama específica. Los primeros formadores de tramas (115a,...,115m) en BB forman una trama que incluye una cabecera y carga útil equipada con datos de servicio. La cabecera de cada trama puede incluir información de modo basada en la modulación y codificación de los datos de servicio, y un valor de contador basado en una tasa de reloj del modulador para sincronizar las secuencias de entrada.

El segundo multiplexor de secuencia 111b recibe varias secuencias, multiplexa secuencias de entrada, y saca las secuencias multiplexadas. Por ejemplo, el segundo multiplexor de secuencias 111b puede multiplexar secuencias de Protocolo de Internet (IP) en lugar de las secuencias TS de MPEG-2. Estas secuencias se pueden encapsular mediante un esquema de encapsulación de secuencia genérico (GSE). Las secuencias multiplexadas por el segundo multiplexor de secuencias 111b pueden ser cualquiera de las secuencias. Por lo tanto, las secuencias mencionadas anteriormente diferentes de las secuencias TS de MPEG-2 se denominan secuencias genéricas (secuencias GS).

El segundo divisor de servicios 113b recibe las secuencias genéricas multiplexadas, divide las secuencias genéricas recibidas de acuerdo con servicios individuales (es decir, tipos de PLP), y saca las secuencias GS divididas.

Los segundos formadores de tramas (115n,...115p) en BB forman datos de servicio a ser transmitidos a las PLP individuales en forma de una trama específica usada como una unidad de procesamiento de señales, y sacan los datos de servicio resultantes. El formato de trama formado por los segundos formadores de tramas (115n,...115p) en BB puede ser igual a aquel de los primeros formadores de tramas (115a,...,115m) en BB de acuerdo con sea necesario. Si se requiere, también se puede proponer otra realización. En otra realización, el formato de trama formado por los segundos formadores de tramas (115n, ... , 115p) en BB puede ser diferente de aquel de los primeros formadores de tramas (115a, ... , 115m) en BB. La cabecera de TS de MPEG-2 incluye además una Palabra de Sincronización de Paquete que no está contenida en la secuencia GS, provocando la aparición de diferentes cabeceras.

La FIG. 6 es un diagrama de bloques que ilustra una unidad de codificación y modulación de acuerdo con una realización de la presente invención. La unidad de codificación y modulación incluye un primer entrelazador 123, un segundo codificador 125 y un segundo entrelazador 127.

El primer codificador 121 actúa como codificador exterior de la trama en banda base de entrada, y es capaz de realizar la codificación de corrección de errores. El primer codificador 121 realiza la codificación de corrección de errores de la trama en banda base de entrada usando un esquema de Bose-Chaudhuri-Hocquenghem (BCH). El primer entrelazador 123 realiza un entrelazado de los datos codificados, de manera que impide que sea generado un error de ráfaga en una señal de transmisión. El primer entrelazador 123 puede no estar contenido en la realización mencionada anteriormente.

El segundo codificador 125 actúa como un codificador interior o bien de los datos de salida del primer codificador 121 o bien de los datos de salida del primer entrelazador 123, y es capaz de realizar la codificación de corrección de errores. Se puede usar un esquema de bits de paridad de baja densidad (LDPC) como un esquema de codificación de corrección de errores. El segundo entrelazador 127 mezcla los datos con codificación de corrección de errores generados a partir del segundo codificador 125, y saca los datos mezclados. El primer entrelazador 123 y el segundo entrelazador 127 son capaces de realizar el entrelazado de datos en unidades de un bit.

La unidad de codificación y modulación 120 se refiere a una secuencia de PLP única. La secuencia de PLP se codifica y modula de corrección de errores mediante la unidad de codificación y modulación 120, y entonces se transmite al formador de tramas 130.

La FIG. 7 es un diagrama de bloques que ilustra un formador de tramas de acuerdo con una realización de la presente invención. Con referencia a la FIG. 7, el formador de tramas 130 recibe secuencias de varios trayectos desde la unidad de codificación y modulación 120, y dispone las secuencias recibidas en una trama de señal única. Por ejemplo, el formador de tramas puede incluir un primer correlacionador 131a y un primer entrelazador 132a en tiempo en un primer trayecto, y puede incluir un segundo correlacionador 131b y un segundo entrelazador en tiempo 132b en un segundo trayecto. El número de trayectos de entrada es igual al número de PLP para la transmisión de servicios o el número de secuencias transmitidas a través de cada PLP.

El primer correlacionador 131a realiza una correlación de datos contenidos en la secuencia de entrada de acuerdo con el primer esquema de correlación de símbolos. Por ejemplo, el primer correlacionador 131a puede realizar una correlación de los datos de entrada usando un esquema de QAM (por ejemplo, 16 QAM, 64 QAM y 256 QAM).

Si el primer correlacionador 131a realiza una correlación del símbolo, los datos de entrada pueden correlacionarse con varios tipos de símbolos de acuerdo con varios esquemas de correlación de símbolos. Por ejemplo, el primer correlacionador 131a clasifica los datos de entrada en una unidad de trama en banda base y una subunidad de trama en banda base. Se puede realizar una correlación de símbolos híbrida de datos clasificados individuales mediante al menos dos esquemas de QAM (por ejemplo, 16 QAM y 64 QAM). Por lo tanto, los datos contenidos en un único servicio se pueden correlacionar con símbolos en base a diferentes esquemas de correlación de símbolos en intervalos individuales.

El primer entrelazador en tiempo 132a recibe una secuencia de símbolos correlacionada mediante el primer correlacionador 131a, y es capaz de realizar el entrelazado en un dominio en el tiempo. El primer correlacionador 131a correlaciona datos, que están contenidos en la unidad de trama de corrección de errores recibida desde la unidad de codificación y modulación 120, en símbolos. El primer entrelazador en tiempo 132a recibe la secuencia de símbolos correlacionada mediante el primer correlacionador 131a y entrelaza la secuencia de símbolos recibida en unidades de la trama de corrección de errores.

En este sentido, el correlacionador 131p de orden p o el entrelazador en tiempo 132p de orden p recibe datos de servicio a ser transmitidos al PLP de orden p, correlaciona los datos de servicio en símbolos de acuerdo con el esquema de correlación de símbolos de orden p. Los símbolos correlacionados se pueden entrelazar en un dominio en el tiempo. Se debería señalar que este esquema de correlación de símbolos y este esquema de entrelazado son iguales a aquellos del primer entrelazador en tiempo 132a y el primer correlacionador 131a.

El esquema de correlación de símbolos del primer correlacionador 131a puede ser igual a o diferente de aquel del correlacionador 131p de orden p. El primer correlacionador 131a y el correlacionador 131p de orden p son capaces de correlacionar datos de entrada a símbolos individuales usando los mismos o diferentes esquemas de correlación de símbolos híbridos.

Los datos de los entrelazadores en tiempo ubicados en trayectos individuales (es decir, los datos de servicio entrelazados por el primer entrelazador en tiempo 132a y los datos de servicio a ser transmitidos al número R de canales de RF por el entrelazador en tiempo 132p de orden p) se entrelazan, de manera que el canal físico permite que los datos anteriores sean entrelazados sobre varios canales de RF.

En asociación con las secuencias recibidas en tantos trayectos como el número de PLP, el formador de tramas de TFS 133 forma la trama de señal de TFS tal como la trama de señal mencionada anteriormente, de manera que el servicio se desplaza en tiempo de acuerdo con los canales de RF. El formador 133 de tramas de TFS divide los datos de servicio recibidos en cualquiera de los trayectos, y saca los datos de servicio divididos en datos del número R de bandas de RF de acuerdo con un esquema de planificación de señal.

El formador de tramas de TFS 133 recibe la primera señal piloto y la segunda señal piloto desde la unidad de información de señalización (designada por la señal Ref/PL) 135, dispone las primera y segunda señales piloto en la trama de señal, e inserta la señal de señalización (L1 y L2) de Capa física mencionada anteriormente en la segunda señal piloto. En este caso, las primera y segunda señales piloto se usan como las señales iniciales de la trama de señal contenida en cada canal de RF de entre la trama de señal de TFS recibida desde la unidad de información de señalización (señal de Ref/PL) 135. Como se muestra en la FIG. 2, la primera señal piloto puede incluir un tipo de transmisión y parámetros de transmisión básicos, y la segunda señal piloto puede incluir un parámetro físico e información de construcción de trama. También, la segunda señal piloto incluye una señal de señalización de la L1 (Capa 1) y una señal de señalización de la L2 (Capa 2).

El número R de entrelazadores en frecuencia (137a, ... , 137r) entrelazan datos de servicio, a ser transmitidos a los canales de RF correspondientes de la trama de señal de TFS, en un dominio de la frecuencia. Los entrelazadores en frecuencia (137a, ... , 137r) pueden entrelazar los datos de servicio a un nivel de celdas de datos contenidas en un símbolo de OFDM.

Por lo tanto, los datos a ser transmitidos a cada canal de RF en la trama de señal TFS se procesan con desvanecimiento selectivo en frecuencia, de manera que no se pueden perder en un dominio de la frecuencia específico.

La FIG. 8 es una vista que muestra un primer ejemplo de una relación de símbolos cuando los correlacionadores 131a y 131b realizan una correlación de símbolos híbrida. Esta Figura muestra el número de bits transmitidos por una subportadora (celda) si se realiza la codificación de corrección de errores por la unidad de codificación y modulación en un modo normal (la longitud del código codificado con corrección de errores es de 64800 bits) del modo de codificación de corrección de errores de LDPC.

Por ejemplo, si los correlacionadores 131a y 131b realizan una correlación de símbolos usando 256QAM, se correlacionan 64800 bits a 8100 símbolos. Si los correlacionadores 131a y 131b realizan una correlación de símbolos híbrida (Hyb 128-QAM) usando 256QAM y 64QAM con una relación de 3:2, el número de símbolos correlacionados por 256QAM es de 4860 y el número de símbolos correlacionados por 64QAM es de 4320. El número de bits transmitidos por cada subportadora (celda) es de 7,0588.

Si se usa un método de correlación de símbolos de 64QAM, los datos de entrada se pueden correlacionar a 10800 símbolos y se pueden transmitir seis bits por celda. Si los datos se correlacionan con los símbolos mediante un método de correlación de símbolos híbrida de 64QAM y 16QAM (64QAM:16QAM=3:2, Hyb32-QAM), se pueden transmitir cinco bits por una subportadora (celda).

Si se correlacionan datos con símbolos por el método 16QAM, los datos se correlacionan a 16200 símbolos, cada uno de los cuales se usa para transmitir cuatro bits.

De manera similar, si se correlacionan datos a símbolos mediante un método de correlación de símbolos híbrida de 16QAM y QPSK (16QAM:QPSK=2:3, Hyb8-QAM), se pueden transmitir tres bits por una subportadora (celda).

Si se correlacionan datos con símbolos mediante un método QPSK, los datos se pueden correlacionar a 32400 símbolos, cada uno de los cuales se usa para transmitir dos bits.

La FIG. 9 muestra métodos de correlación de símbolos de datos de corrección de errores mediante un método de codificación de corrección de errores de LDPC de un modo corto (la longitud del código codificado con corrección de errores es de 16200 bits), que son iguales a los métodos de correlación de símbolos de la FIG. 8, y los números de bits por subportadora de acuerdo con los métodos de correlación de símbolos.

Los números de bits transmitidos por la subportadora son iguales a aquellos del modo normal (64800 bits) de acuerdo con los métodos de correlación de símbolos tales como 256QAM, Hyb 128-QAM, 64-QAM, Hyb 32-QAM, 16QAM, Hyb8-QAM y QPSK, pero los números totales de símbolos transmitidos son diferentes de aquellos del modo normal. Por ejemplo, se transmiten 16200 bits por 2025 símbolos en 256QAM, se transmiten 16200 bits por 1215 símbolos de acuerdo con 256QAM y 1080 de acuerdo con 64QAM (2295 símbolos totales) en Hyb 128-QAM.

Por consiguiente, se puede ajustar una tasa de transmisión de datos por subportadora (celda) para cada PLP de acuerdo con un método de correlación de símbolos híbrida o un método de correlación de símbolos única.

La FIG. 10 es una vista que muestra el número de símbolos y el número de bits por palabra de celda de acuerdo con un método de correlación de símbolos en un modo normal de LDPC. Si una trama de señal de TFS incluye al menos un canal de RF, se pueden asignar de manera uniforme símbolos que configuran un PLP específica a canales de RF. Las ubicaciones de los símbolos de PLP asignados a los canales de RF se pueden direccionar más eficazmente. Por consiguiente, cuando el aparato de recepción de señales selecciona los canales de RF, se pueden reducir los bits usados para direccionar el PLP específica.

En este dibujo, un método de correlación de símbolos representado por 256-QAM indica un método de correlación de bits que configura un único bloque codificado con corrección de errores a símbolos con una relación de 256QAM:64QAM=8:1. De acuerdo con este método de correlación de símbolos, el número de bits en un único bloque codificado con corrección de errores mediante el método 256-QAM es de 57600, el número de bits en un único bloque codificado con corrección de errores mediante el método 256-QAM es de 1200, el número de símbolos totales en el bloque es de 8400, y el número de bits por palabra de celda es de 7,714285714.

Un método de correlación de símbolos representado por Hyb 128-QAM indica un método de correlación de bits que configuran un único bloque codificado con corrección de errores a símbolos con una relación de 256QAM:64QAM=8:7. De acuerdo con el método de correlación de símbolos Hyb 128-QAM, el número de símbolos totales en un único bloque de codificación de corrección de errores es de 9600, y el número de bits por palabra de celda es de 6,75.

De acuerdo con un método de correlación de símbolos representado por 64 QAM, el número de símbolos totales en un único bloque de codificación de corrección de errores es de 10800 y el número de bits por palabra de celda es de 6.

Un método de correlación de símbolos representado por Hyb 32-QAM indica un método de correlación de bits que configuran un único bloque codificado con corrección de errores a símbolos con una relación de 64QAM:32QAM=5:4. De acuerdo con el método de correlación de símbolos Hyb 32-QAM, el número de símbolos

totales en el bloque codificado con corrección de errores es de 13200, y el número de bits por palabra de celda es de 4,9090909.

5 Un método de correlación de símbolos representado por 16 QAM indica un método de correlación de bits que configuran un único bloque codificado con corrección de errores a símbolos con una relación de 16QAM:QPSK=1:8. De acuerdo con el método de correlación de símbolos 16 QAM, el número de símbolos totales en un bloque codificado con corrección de errores es de 15600, y el número de bits por palabra de celda es de 4,153846154.

10 Un método de correlación de símbolos representado por Hyb 8-QAM indica un método de correlación de bits que configuran un único bloque codificado con corrección de errores a símbolos con una relación de 16QAM:QPSK=2:1. De acuerdo con el método de correlación de símbolos Hyb 8-QAM, el número de símbolos totales en un bloque codificado con corrección de errores es de 21600, y el número de bits por palabra de celda es de 3.

De acuerdo con un método de correlación de símbolos representado por QPSK, el número de símbolos totales en un bloque codificado con corrección de errores es de 32400 y el número de bits por palabra de celda es de 2.

15 Cuando los símbolos que configuran el PLP se asignan a los canales de RF, la ganancia de diversidad del dominio de la frecuencia se puede maximizar cuando los números de los símbolos asignados a los respectivos canales de RF son iguales. Si se considera un máximo de seis canales de RF, el mínimo común múltiplo de 1 a 6 es 60 y el máximo común divisor de los números de símbolos correlacionados con un bloque codificado con corrección de errores es de 1200. Por consiguiente, si se asigna el múltiplo integral de $1200/60=20$ símbolos a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran 20 símbolos como un grupo y se direcciona el grupo, se puede reducir la sobrecarga de direccionamiento de $\log_2(20)=4,32$ bits comparado con el caso en el que se direccionan los símbolos uno a uno.

20 La FIG. 11 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un método de correlación de símbolos en un modo normal de LDPC. En el ejemplo de este dibujo, se usaron como método de correlación de símbolos un método 256-QAM que usa símbolos 256QAM y 64QAM (256QAM:64QAM=4:1), un método Hyb 128-QAM que usa símbolos 256QAM y 64QAM (256QAM:64QAM=8:7), un método 64QAM, un método Hyb 32-QAM que usa símbolos 64QAM y 8QAM (64QAM:8QAM=3:2), un método 16 QAM que usa símbolos 16QAM y QPSK (16QAM:QPSK=1:14), un método Hyb 8-QAM que usa 16QAM:QPSK=2:1 y un método QPSK. El máximo común divisor (GCD) de los números de símbolos totales de un bloque codificado con corrección de errores (modo normal) de acuerdo con los métodos de correlación de símbolos es 720. Por consiguiente, si se asigna el múltiplo integral de $12(=720/60)$ símbolos a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran 12 símbolos como un grupo y se direcciona el grupo, se puede reducir la sobrecarga de direccionamiento de $\log_2(12)\approx 3,58$ bits comparado con el caso en el que se direccionan los símbolos uno a uno. El aparato de recepción de señales puede recoger los símbolos de PLP asignados mediante el esquema de direccionamiento y obtener una secuencia de servicio de PLP.

35 La FIG. 12 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un método de correlación de símbolos en un modo normal de LDPC. En el ejemplo de este dibujo, se usaron como método de correlación de símbolos un esquema 256-QAM, un esquema Hyb 128-QAM, un esquema 64QAM, un esquema Hyb 32-QAM, un esquema 16 QAM, un esquema Hyb 8-QAM y un esquema QPSK. El método de correlación de símbolos 256QAM usa símbolos 256QAM y 64QAM (256QAM: 64QAM=44:1) y el método de correlación de símbolos Hyb 128-QAM usa símbolos 256QAM y 64QAM (256QAM: 64QAM=28:17). El método Hyb 32-QAM usa símbolos 64QAM y 8QAM (64QAM:8QAM=3:2), el método de correlación de símbolos 16QAM usa símbolos 16QAM y QPSK (16QAM: QPSK=1:14), y el método de correlación de símbolos Hyb 8-QAM usa símbolos 16QAM y QPSK (16QAM:QPSK=2:1). El GCD de los números de símbolos totales de un bloque codificado con corrección de errores (modo normal) de acuerdo con los métodos de correlación de símbolos es 240. Por consiguiente, si se asigna el múltiplo integral de $240/60=4$ símbolos a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran cuatro símbolos como un grupo y se direcciona el grupo, se puede reducir la sobrecarga de direccionamiento de $\log_2(4)\approx 2$ bits comparado con el caso en el que se direccionan los símbolos uno a uno. Por consiguiente, incluso cuando el número de canales de RF es cualquiera de 1 a 6 en la trama de señal, los símbolos de PLP se pueden asignar de manera uniforme a los canales de RF.

50 La FIG. 13 es una vista que muestra el número de símbolos de acuerdo con un método de correlación de símbolos en un modo corto de LDPC. Como se describió anteriormente, si se realiza una correlación de símbolos de acuerdo con este ejemplo, los símbolos de PLP se pueden asignar de manera uniforme a los canales de RF y se puede reducir la sobrecarga del direccionamiento de símbolos de PLP. Los métodos de correlación de símbolos mostrados en este dibujo son iguales a aquellos mostrados en la FIG. 10. No obstante, dado que el número de bits del modo corto de LDPC es diferente de aquel del modo normal, el GCD de los números de símbolos totales de un bloque codificado con corrección de errores (modo corto) de acuerdo con los métodos de correlación de símbolos es 300, a diferencia de la FIG. 10. Por consiguiente, si se asigna el múltiplo integral de $300/60=5$ símbolos a cada uno de los canales de RF, los símbolos se pueden asignar de manera uniforme a todos los canales de RF. En este momento, si se consideran cinco símbolos como un grupo y se direcciona el grupo, se puede reducir la sobrecarga de

direccionamiento de $\log_2(5)$ bits comparado con el caso en el que se direccionan los símbolos uno a uno. Por consiguiente, en esta realización, se ahorran los bits de direccionamiento por $\log_2(5)$ bits cuando se direccionan los símbolos de PLP divididos.

5 La FIG. 14 es una vista que muestra un ejemplo del número de símbolos de acuerdo con un método de correlación de símbolos en un modo corto de LDPC. Los métodos de correlación de símbolos de este dibujo son iguales a aquellos mostrados en la FIG. 11. En este ejemplo, el GCD de los números de símbolos totales de un bloque codificado con corrección de errores (modo corto) de acuerdo con los métodos de correlación de símbolos es 180, el cual se puede usar para la asignación de símbolos de PLP de un canal de RF y el direccionamiento de los símbolos asignados. En esta realización, se ahorran los bits de direccionamiento por $\log_2(3)$ bits.

10 La FIG. 15 es una vista que muestra otro ejemplo del número de símbolos de acuerdo con un método de correlación de símbolos en un modo corto de LDPC. Los métodos de correlación de símbolos de este dibujo son iguales a los mostrados en la FIG. 12. En este ejemplo, el GCD de los números de símbolos totales de un bloque codificado con corrección de errores (modo corto) de acuerdo con los métodos de correlación de símbolos es 60. En esta realización, se ahorran $\log_2(1)$ bits de los bits de direccionamiento (es decir, el bit de direccionamiento no se ahorra).

15 La FIG. 16 es una vista que muestra un ejemplo de cada uno de los correlacionadores de símbolos 131a y 131b mostrados en la FIG. 7. Cada uno de los correlacionadores de símbolos 131a y 131b incluye un correlacionador de primer orden 1315a, un correlacionador de segundo orden 131b, un fusionador de símbolos 1317 y un fusionador de bloque de corrección de errores 1318.

20 El analizador sintáctico de secuencias de bits 1311 recibe la secuencia de servicio de PLP desde la unidad de codificación y modulación y divide la secuencia de servicio recibida.

El correlacionador de símbolos de primer orden 1315a correlaciona los bits de la secuencia de servicio dividida mediante un método de correlación de símbolos de orden superior a símbolos. El correlacionador de símbolos de segundo orden 1315b correlaciona los bits de la secuencia de servicio dividida mediante un método de correlación de símbolos de orden inferior a símbolos. Por ejemplo, en el ejemplo anterior, el correlacionador de símbolos de primer orden 1315a puede correlacionar la secuencia de bits a símbolos de acuerdo con 256QAM y el correlacionador de símbolos de segundo orden 1315b puede correlacionar la secuencia de bits a símbolos de acuerdo con 64QAM.

30 El fusionador de símbolos 1317 fusiona los símbolos sacados desde los correlacionadores de símbolos 1315a y 1315b con una secuencia de símbolos y saca la secuencia de símbolos. El fusionador de símbolos 1317 puede sacar la secuencia de símbolos incluida en un PLP.

El fusionador de bloque de corrección de errores 1318 puede sacar una secuencia de símbolos fusionada por el fusionador de símbolos 1317 en la unidad de bloque de código con codificación de corrección de errores. El fusionador de bloque de corrección de errores 1318 puede sacar un bloque de símbolos de manera que los bloques de código con codificación de corrección de errores se asignan de manera uniforme al menos a una banda de RF de la trama de señal de TFS. El fusionador de bloque de corrección de errores 1318 puede sacar el bloque de símbolos de manera que la longitud del bloque de símbolos del bloque codificado con corrección de errores de un modo normal es igual a aquel del bloque de símbolos del bloque codificado con corrección de errores de un modo corto. Por ejemplo, se pueden fusionar cuatro bloques de símbolos del bloque codificado con corrección de errores del modo corto con un bloque de símbolos.

40 El fusionador de bloque de corrección de errores 1318 puede dividir la secuencia de símbolos de acuerdo con un múltiplo común del número de bandas de RF de manera que el formador de tramas de señal dispone de manera uniforme los símbolos en las bandas de RF. Si el número máximo de bandas de RF en la trama de señal es 6, el fusionador de bloque de corrección de errores 1318 saca el bloque de símbolos de manera que el número total de símbolos se puede dividir por 60 que es un múltiplo común de 1, 2, 3, 4, 5 y 6.

45 Los símbolos incluidos en el bloque de símbolos de salida se pueden disponer para ser asignados de manera uniforme a las seis bandas de RF. Por consiguiente, aunque se combinan un modo de corrección de errores de acuerdo con una tasa de código y un método de correlación de símbolos, los símbolos que configuran el PLP se asignan de manera uniforme a las bandas de RF.

50 La FIG. 17 es una vista que muestra otra realización de cada uno de los correlacionadores de símbolos 131a y 131b. La realización de este dibujo es similar a la realización de la FIG. 16 excepto porque se incluyen además una unidad de calibración de potencia de primer orden 1316a y una unidad de calibración de potencia de segundo orden 1316b.

La unidad de calibración de potencia de primer orden 1316a calibra la potencia de los símbolos correlacionados por el correlacionador de símbolos de primer orden 1315a de acuerdo con el tamaño de la constelación y saca los símbolos calibrados. La unidad de calibración de potencia de segundo orden 1316b calibra la potencia de los símbolos correlacionados por el correlacionador de símbolos de segundo orden 1315b de acuerdo con el tamaño de la constelación y saca los símbolos calibrados. Por consiguiente, aunque el método de correlación de símbolos

se cambia en un PLP o se cambia entre una pluralidad de PLP, si la potencia del símbolo por el método de correlación de símbolos se ajusta de acuerdo con el tamaño de la constelación, se puede mejorar el rendimiento de recepción de señales de un receptor.

5 El fusionador de símbolos 1317 fusiona los símbolos calibrados por las unidades de calibración de potencia 1316a y 1316b y saca una secuencia de símbolos.

La FIG. 18 es una vista que muestra otra realización del correlacionador de símbolos. En la realización de esta Figura, el correlacionador de símbolos incluye el segundo codificador 125 y el segundo entrelazador 127 incluidos en la unidad de codificación y modulación. Es decir, si se usa esta realización, la unidad de codificación y modulación puede incluir solamente el primer codificador 121, el primer entrelazador 123 y el segundo codificador 125.

10 La realización del correlacionador de símbolos incluye un analizador sintáctico de secuencias de bits 1311, un entrelazador de bits 1312a de primer orden, un entrelazador de bits 1312b de segundo orden, un demultiplexor 1313a de primer orden, un demultiplexor 1313b de segundo orden, un correlacionador de símbolos 1315a de primer orden, un correlacionador de símbolos 1315b de segundo orden y un fusionador de símbolos 1317.

15 Cuando el segundo codificador 125 realiza una codificación de corrección de errores de LDPC, la longitud del bloque codificado con corrección de errores (por ejemplo, la longitud de 64800 bits y la longitud de 16200 bits) puede variar de acuerdo con un modo de LDPC. Si los bits incluidos en el bloque codificado con corrección de errores se correlacionan con los símbolos, las capacidades de corrección de errores de los bits incluidos en una palabra de celda que configura el símbolo pueden variar de acuerdo con las ubicaciones de los bits. Por ejemplo, la palabra de celda que es el símbolo se puede determinar de acuerdo con la tasa de código de la codificación de corrección de errores y el método de correlación de símbolos (si el método de correlación de símbolos es el método de correlación de símbolos de orden más alto o el método de correlación de símbolos de orden más bajo). Si el código de corrección de errores es el LDPC, las capacidades de corrección de errores de los bits varían de acuerdo con las ubicaciones de los bits en el bloque codificado con corrección de errores. Por ejemplo, las fiabilidades de los bits codificados de acuerdo con las características de la matriz H usada en el método de codificación de corrección de errores de LDPC irregular pueden variar de acuerdo con las ubicaciones de los bits. Por consiguiente, el orden de los bits que configuran la palabra de celda correlacionada con el símbolo se cambia de manera que se ajustan las capacidades de corrección de errores de los bits que son débiles frente a la corrección de errores en el bloque codificado con corrección de errores y se puede ajustar la robustez frente al error en el nivel de bits.

20 En primer lugar, el segundo codificador 125, por ejemplo, realiza la codificación de corrección de errores con respecto a la secuencia incluida en un PLP mediante el método de codificación de corrección de errores de LDPC.

El analizador sintáctico de secuencias de bits 1311 recibe la secuencia de servicio de acuerdo con el PLP y divide la secuencia de servicio recibida.

25 El entrelazador de bits de primer orden 1312a entrelaza los bits incluidos en una primera secuencia de bits de las secuencias de servicio divididos. De manera similar, el entrelazador de bits 1312b de segundo orden entrelaza los bits incluidos en una segunda secuencia de bits de las secuencias de servicio divididas.

El entrelazador de bits 1312a de primer orden y el entrelazador de bits 1312b de segundo orden pueden corresponder al segundo entrelazador 127 usado como entrelazador interior. El método de entrelazado del entrelazador de bits 1312a de primer orden y el entrelazador de bits 1312b de segundo orden se describirán más tarde.

30 El demultiplexor 1313a de primer orden y el demultiplexor 1313b de segundo orden demultiplexan los bits de las secuencias de bits entrelazadas por el entrelazador de bits 1312a de primer orden y el entrelazador 1312b de bits de segundo orden. Los demultiplexores 1313a y 1313b dividen la secuencia de bits de entrada en subsecuencias de bits que se correlacionarán con un eje real y un eje imaginario de una constelación y sacan las subsecuencias de bits. Los correlacionadores de símbolos 1315a y 1315b correlacionan las subsecuencias de bits demultiplexadas por los demultiplexores 1313a y 1313b con los símbolos correspondientes.

Los entrelazadores de bits 1312a y 1312b y los demultiplexores 1313a y 1313b pueden combinar las características de la palabra de código de LDPC y las características de la fiabilidad de la constelación de la correlación de símbolos de acuerdo con la constelación. La realización detallada de los demultiplexores 1313a y 1313b de primer orden se describirá más tarde.

35 El correlacionador de símbolos 1315a de primer orden realiza una correlación de símbolos de primer orden, por ejemplo, correlación de símbolos de orden más alto, y el correlacionador de símbolos 1315b de segundo orden realiza una correlación de símbolos de segundo orden, por ejemplo, correlación de símbolos de orden más bajo. El correlacionador de símbolos 1315a de primer orden correlaciona las subsecuencias de bits sacadas desde el demultiplexor 1313 de primer orden con los símbolos y el correlacionador de símbolos 1315b de segundo orden correlaciona las subsecuencias de bits sacadas desde el demultiplexor 1313b de segundo orden con los símbolos.

El fusionador de símbolos 1317 fusiona los símbolos correlacionados por el correlacionador de símbolos 1315a de primer orden y el correlacionador de símbolos 1315b de segundo orden con una secuencia de símbolos y saca la secuencia de símbolos.

5 Como se describió anteriormente, en el LDPC, las capacidades de corrección de errores de los bits se pueden cambiar de acuerdo con las ubicaciones de los bits en el bloque codificado con corrección de errores. Por consiguiente, si el entrelazador de bits y el demultiplexor se controlan de acuerdo con las características del codificador de LDPC 125 de manera que se cambia el orden de los bits que configuran la palabra de celda, se puede maximizar la capacidad de corrección de errores en el nivel de bits.

10 La FIG. 19 es una vista que muestra otra realización de cada uno de los correlacionadores de símbolos 131a y 131b. La realización de este dibujo es similar a la realización de la FIG. 18 excepto en que se incluyen además una unidad de calibración de potencia 1316a de primer orden y una unidad de calibración de potencia de segundo orden 1316b.

15 La unidad de calibración de potencia de primer orden 1316a calibra la potencia de los símbolos correlacionados por el correlacionador de símbolos de primer orden 1315a de acuerdo con el tamaño de la constelación y saca los símbolos calibrados. La unidad de calibración de potencia de segundo orden 1316b calibra la potencia de los símbolos correlacionados por el correlacionador de símbolos de segundo orden 1315b de acuerdo con el tamaño de la constelación y saca los símbolos calibrados. Por consiguiente, aunque el esquema de correlación de símbolos se cambia en un PLP o se cambia entre una pluralidad de PLP, si la potencia del símbolo se ajusta de acuerdo con el tamaño de la constelación, se puede mejorar el rendimiento de recepción de señales.

20 El fusionador de símbolos 1317 fusiona los símbolos calibrados por las unidades de calibración 1316a y 1316b de potencia y saca una secuencia de símbolos.

La FIG. 20 es una vista que muestra el concepto de entrelazado de bits por los entrelazadores de bits 1312a y 1312b de las FIG. 18 y 19.

25 Por ejemplo, se almacenan bits de entrada en y se leen desde una memoria en forma de matriz que tiene un número predeterminado de filas y columnas. Cuando se almacenan los bits de entrada, en primer lugar, se almacenan los bits en una primera columna en dirección de la fila, y, si se llena la primera columna, se almacenan los bits en otra columna en dirección de la fila. Cuando se leen los bits almacenados, los bits se leen en dirección de la columna y, si se leen todos los bits almacenados en una primera fila, se leen los bits en otra fila en dirección de la columna. En otras palabras, cuando se almacenan los bits, se almacenan los bits en modo fila de manera que las columnas se llenan en serie. Y cuando se leen los bits almacenados, se leen los bits almacenados en modo columna desde la primera fila hasta la última fila en serie. En esta Figura, MSB significa el bit más significativo y LSB significa el bit menos significativo.

35 Para correlacionar los bits codificados con corrección de errores de LDPC con los símbolos en la misma longitud de la unidad de bloque de corrección de errores a diversas tasas de código, los entrelazadores de bits 1312a y 1312b pueden cambiar el número de filas y columnas de la memoria de acuerdo con los tipos de los correlacionadores de símbolos 1315a y 1315b.

40 La FIG. 21 ilustra otro ejemplo de los entrelazadores de bits los cuales realizan entrelazado. Si los entrelazadores de bits 1312a y 1312b almacenan bits en unidades de columna, pueden almacenar los bits para generar desfase de la ubicación en la que se almacenan los bits, en cada columna. Si los entrelazadores de bits 1312a y 1312b leen los bits almacenados en unidades de fila, pueden almacenar los bits tanto como el desfase de la ubicación en la que se leen los bits, en cada fila.

45 En el ejemplo de la FIG. 21, los puntos gruesos representan respectivamente la ubicación del desfase. Por ejemplo, los entrelazadores de bits almacenan bits en unidades de columna. En la primera columna, los bits se almacenan desde la primera fila hasta la fila de orden n (n es el número de filas de la memoria) en el orden debido. En la segunda columna, los bits se almacenan desde la fila (denominada fila de orden $r1$) con un punto grueso hasta la fila de orden n , y entonces los bits se almacenan desde la primera fila hasta la de orden $r1-1$. En la tercera columna, los bits se almacenan desde la fila de orden $r2$ con un punto grueso hasta la fila de orden n , y entonces los bits se almacenan desde la primera fila a la de orden $r2-1$. En este sentido, los bits se almacenan en cada columna de acuerdo con un direccionamiento circular de las filas desde la fila alejada tanto como el desfase de la ubicación almacenada.

50 Si los entrelazadores de bits 1312a y 1312b leen los bits almacenados allí dentro, leen los bits de cada fila de acuerdo con un direccionamiento circular de las columnas desde la ubicación alejada tanto como el desfase. Por ejemplo, en la primera fila, los entrelazadores de bits leen los bits almacenados desde la primera columna a la columna de orden m (m es el número de columnas de la memoria) en el orden debido. En la segunda fila, los entrelazadores de bits leen los bits almacenados desde la columna (denominada columna de orden $C1$) con un punto grueso para la columna de orden m y entonces desde la primera columna a la columna de orden $(C1-1)$. En la tercera fila, los entrelazadores de bits leen los bits almacenados desde la columna (denominada columna de orden

C2) con un punto grueso a la columna de orden m , y leen los bits desde la primera columna a la columna de orden $(C2-1)$ de acuerdo con un direccionamiento circular de las columnas.

La FIG. 22 ilustra el desfase usado en el entrelazado de bits de acuerdo con un método de correlación de símbolos. n_{Co1} representa el número de columnas de la memoria del entrelazador de bits. Si el método de correlación de símbolos es QPSK, el número de columnas de la memoria podría ser dos (2). El entrelazador de bits puede almacenar y leer los bits usando el desfase correspondiente a la segunda fila en la segunda columna Col2.

Si el método de correlación de símbolos es 16QAM, el número de columnas de la memoria podría ser cuatro (4). El entrelazador de bits puede almacenar y leer los bits de acuerdo con el desfase correspondiente a la segunda fila en la segunda columna Col2, la cuarta fila en la tercera columna Col3, y la séptima fila en la cuarta columna Col4.

Si el método de correlación de símbolos es 64QAM, el número de columnas de la memoria podría ser seis (6). El entrelazador de bits puede almacenar y leer los bits de acuerdo con el desfase correspondiente a la segunda fila en la segunda columna Col2, la quinta fila en la tercera columna Col3, la novena fila en la cuarta columna Col4, la décima fila en la quinta columna Col5 y la decimotercera fila en la sexta columna Col6.

Si el método de correlación de símbolos es 256QAM, el número de columnas de la memoria podría ser ocho (8). El entrelazador de bits puede almacenar y leer los bits de acuerdo con el desfase correspondiente a la segunda fila en la tercera columna Col3, la cuarta fila en la cuarta columna Col4, la quinta fila en la quinta columna Col5, la quinta fila en la sexta columna Col6, la séptima fila en la séptima columna Col7 y la séptima fila en la octava columna Col8.

Como se describió anteriormente, el número de columnas en la memoria del entrelazador de bits se varía dependiendo del método de correlación de símbolos, y el entrelazador de bits puede almacenar y leer bits variando el desfase dependiendo del número de columnas. El número de bits incluido en un símbolo de acuerdo con el método de correlación de símbolos podría ser idéntico con el número de columnas. Por consiguiente, tras leer los bits, el entrelazador de bits puede correlacionar los bits leídos con un símbolo de acuerdo con el método de correlación correspondiente. En este caso, los bits correlacionados con el símbolo se pueden permutar. También, incluso aunque se baje la capacidad de corrección de errores de bits en una ubicación específica de acuerdo con un método de símbolos de corrección de errores, dado que los bits correlacionados con el símbolo se permutan en el entrelazador de bits, se puede maximizar la capacidad de corrección de errores del método de símbolos de corrección de errores.

La FIG. 23 es una vista que muestra un ejemplo del número de filas y columnas de memorias de los entrelazadores de bits 1312a y 1312b de acuerdo con los tipos de correlacionadores de símbolos 1315a y 1315b, si el modo de LDPC es el modo normal.

Por ejemplo, si el correlacionador de símbolos 1315a correlaciona los bits con símbolos 256QAM, el entrelazador de primer orden 1312a entrelaza los bits mediante una memoria que tiene 8100 filas y 8 columnas. Si los símbolos se correlacionan mediante 64QAM, el entrelazador de primer orden 1312a entrelaza los bits mediante una memoria que tiene 10800 filas y 6 columnas. Si los símbolos se correlacionan mediante 16QAM, el entrelazador de primer orden 1312a entrelaza los bits mediante una memoria que tiene 16200 filas y 4 columnas.

Por ejemplo, si los correlacionadores de símbolos 1315a y 1315b correlacionan los bits con símbolos Hyb128-QAM, el entrelazador de primer orden 1312a entrelaza los bits usando una memoria que tiene 4860 filas y 8 columnas, y el entrelazador de segundo orden 1312b entrelaza los bits usando una memoria que tiene 4320 filas y 6 columnas.

De manera similar, si los correlacionadores de símbolos 1315a y 1315b correlacionan los símbolos mediante Hyb32-QAM, el entrelazador de primer orden 1312a entrelaza los bits usando una memoria que tiene 6480 filas y 6 columnas, y el entrelazador de segundo orden 1312b entrelaza los bits usando una memoria que tiene 6480 filas y 4 columnas.

La FIG. 24 es una vista que muestra un ejemplo del número de filas y columnas de las memorias de los entrelazadores de bits 1312a y 1312b de acuerdo con los tipos de los correlacionadores de símbolos 1315a y 1315b, si el modo de LDPC es el modo corto.

Por ejemplo, si el correlacionador de símbolos 1315a correlaciona los bits con símbolos 256QAM, el entrelazador de primer orden 1312a entrelaza los bits mediante una memoria que tiene 2025 filas y 8 columnas. Si los correlacionadores de símbolos 1315a y 1315b correlacionan los símbolos mediante Hyb128-QAM, el entrelazador de primer orden 1312a entrelaza los bits usando una memoria que tiene 1215 filas y 8 columnas, y el entrelazador de segundo orden 1312b entrelaza los bits usando una memoria que tiene 1080 filas y 6 columnas.

Si el entrelazado de bits se realiza con respecto al bloque codificado con corrección de errores, se pueden cambiar las ubicaciones de los bits en el bloque codificado con corrección de errores.

La FIG. 25 es un diagrama que muestra el concepto de otra realización de entrelazamiento de un entrelazador de bits. En la realización mostrada en este dibujo, cuando se escriben bits en una memoria, los bits se escriben en una

dirección de columnas. Cuando se leen los bits escritos, los bits de las ubicaciones desplazadas de manera circular se leen en una dirección de filas. En cada fila, los bits escritos en cada fila se desplazan de manera circular. Si los bits se escriben o se leen mediante un método de desplazamiento circular con respecto a la fila o la columna de la memoria, esto se denomina entrelazado de bits trenzado. Esta realización se refiere al método de entrelazado de bits trenzado usando un método de lectura de los bits después de que los bits se desplazan mediante una columna en la dirección de filas. En lugar de desplazar los bits escritos en la memoria, se puede desplazar el punto para leer bits en la memoria o el punto para escribir bits en la memoria.

En esta realización, N indica la longitud del bloque codificado con corrección de errores y C indica la longitud de la columna. Cuando se escriben los bits, los bits se escriben en una primera columna (representada mediante una sombra) en el orden de 1, 2, 3, 4, ... , y C y los bits se escriben en una segunda columna en el orden de C+1, C+2, C+3,...

Los bits escritos se trenzan en la dirección de filas columna por columna.

Si se leen los bits escritos, los bits trenzados se leen en la dirección de filas. Por ejemplo, en esta realización, los bits se leen en una primera fila en el orden de 1, C+1, ... y los bits se leen en una segunda fila en el orden de X1, 2, C+2, ...(X1 es un bit en la primera columna de la segunda fila). Los bits se leen fila por fila y se leen los bits desplazados de manera circular. Evidentemente, en lugar de desplazar los bits escritos en la memoria, el punto para leer bits escritos en la memoria se puede desplazar.

La FIG. 26 es una vista que muestra otra realización de entrelazado de bits. En esta realización, N indica la longitud del bloque codificado con corrección de errores y C indica la longitud de la columna. Cuando se escriben los bits, los bits se escriben en una primera columna en el orden de 1, 2, 3, 4, C-1, y C y los bits se escriben en una segunda columna en el orden de C+1, C+2, C+3, ...

Los bits escritos se trenzan dos veces en la dirección de filas de dos columnas en dos columnas. Si se leen los bits escritos, los bits desplazados de manera circular en dos columnas se leen en la dirección de columna en cada fila. Este método se puede llamar un método de entrelazado de bits trenzado doble.

La FIG. 27 es una vista que muestra otra realización de entrelazado de bits. En esta realización, N indica la longitud del bloque codificado con corrección de errores y C indica la longitud de la columna. Los bits se escriben en una primera columna en el orden de 1, 2, 3, 4, ..., C-1, y C y los bits se escriben en una segunda columna en el orden de C+1, C+2, C+3,...

Cuando se leen los bits escritos, en una primera región de las filas, los bits se pueden leer mediante el método de entrelazado de bits trenzado.

En una segunda región de las filas, los bits se pueden leer mediante el método de entrelazado trenzado doble.

En una tercera región de las filas, los bits se pueden leer mediante el método de entrelazado de bits trenzado.

Si los bits se entrelazan mediante al menos uno del método de entrelazado de bits trenzado y el método de entrelazado trenzado doble, los bits en el bloque codificado con corrección de errores se pueden mezclar de manera más aleatoria.

La FIG. 28 es una vista que muestra otra realización de entrelazado de bits. Como otra realización de entrelazado de bits, se puede realizar un entrelazado de bits diferente con respecto a los bits de información codificados con corrección de errores y a los bits de paridad.

Por ejemplo, en un proceso de codificación de corrección de errores (por ejemplo, un proceso de codificación de corrección de errores de LDPC), los bits de información son entrelazados de bits como se muestra en las FIG. 21 y 22. Si los bits se escriben y se leen en cada columna con respecto a los bits de información, se puede realizar entrelazado de bits de acuerdo con un desfase de una ubicación inicial para escribir y leer bits en cada columna.

En el proceso de codificación de corrección de errores, los bits de paridad se entrelazan de bits mediante un esquema de trenzado de acuerdo con al menos uno de los esquemas mostrados en las FIG. 25 a 27. Los bits de paridad se escriben en cada columna y entonces se trenzan las filas. Es decir, los bits escritos en las filas se pueden desplazar a una ubicación predeterminada. Los bits trenzados se leen a lo largo de cada fila. Los bits de paridad escritos pueden incluir al menos una de una región de fila trenzada y una región de fila trenzada doble.

Si se realiza el entrelazado de bits con respecto a los bits de paridad mediante el método descrito anteriormente, se puede mejorar el rendimiento de descodificación de los bits de paridad. Por ejemplo, los bits de paridad de una matriz de comprobación de paridad usados en el proceso de codificación de corrección de errores tal como un LDPC estructurado puede tener una forma de matriz doble. No obstante, si bits de paridad con baja fiabilidad son consecutivos en una matriz de comprobación de paridad, se puede deteriorar el rendimiento de descodificación de corrección de errores. Por consiguiente, si se realiza el entrelazado de bits con respecto a los bits de paridad

mediante el método descrito anteriormente, se puede mejorar el rendimiento de descodificación de corrección de errores.

Ahora se describirá una realización de un proceso de codificación capaz de copiar con aparición de errores con respecto a al menos una de la información de capa 1 y la información de capa 2 que se transmiten/reciben.

- 5 La FIG. 29 es una vista que muestra el concepto de multiplexado de los bits de entrada de los demultiplexores 1313a y 1313b.

Los entrelazadores de bits 1312a y 1312b entrelazan los bits de entrada x_0, x_1, \dots, x_{n-1} y sacan los bits entrelazados. El método de entrelazado ya se describió anteriormente.

- 10 Los demultiplexores 1313a y 1313b demultiplexan las secuencias de bits entrelazadas. El método de demultiplexación puede variar de acuerdo con la tasa de código del método de codificación de corrección de errores y el método de correlación de símbolos del correlacionador de símbolos. Si el método de símbolos del correlacionador de símbolos es QPSK, los bits de entrada, por ejemplo, se entrelazan a dos subsecuencias y el correlacionador de símbolos correlaciona las dos subsecuencias con los símbolos para que correspondan al eje real y el eje imaginario de la constelación. Por ejemplo, un primer bit y_0 de la primera subsecuencia demultiplexada
15 corresponde al eje real y un primer bit y_1 de la segunda subsecuencia demultiplexada corresponde al eje imaginario.

Si el método de símbolos del correlacionador de símbolos es 16QAM, los bits de entrada, por ejemplo, se demultiplexan a cuatro subtramas. El correlacionador de símbolos selecciona los bits incluidos en las cuatro subsecuencias y correlaciona los bits seleccionados con los símbolos para que correspondan al eje real y el eje imaginario de la constelación.

- 20 Por ejemplo, los bits y_0 e y_2 de las subsecuencias demultiplexadas primera y tercera corresponden al eje real y los bits y_1 e y_3 de las subsecuencias demultiplexadas segunda y cuarta corresponden al eje imaginario.

- De manera similar, si el método de símbolos del correlacionador de símbolos es 64QAM, los bits de entrada se pueden demultiplexar a seis secuencias de bits. El correlacionador de símbolos correlaciona las seis subsecuencias con los símbolos para que correspondan al eje real y el eje imaginario de la constelación. Por ejemplo, los bits de las subsecuencias demultiplexadas primera, tercera y quinta y_0, y_2 e y_4 corresponden al eje real y los bits de las subsecuencias demultiplexadas segunda, cuarta y sexta y_1, y_3 e y_6 corresponden al eje imaginario.
25

- De manera similar, si el método de símbolos del correlacionador de símbolos es 256QAM, los bits de entrada se pueden demultiplexar a ocho secuencias de bits. El correlacionador de símbolos correlaciona las ocho subsecuencias con los símbolos para que correspondan al eje real y el eje imaginario de la constelación. Por ejemplo, en primer lugar, los bits de las subsecuencias demultiplexadas primera, tercera, quinta y séptima y_0, y_2, y_4 e y_6 corresponden al eje real y los bits de las subsecuencias demultiplexadas segunda, cuarta, sexta y octava y_1, y_3, y_5 e y_7 corresponden al eje imaginario.
30

Si el correlacionador de símbolos correlaciona los símbolos, las subsecuencias demultiplexadas mediante el demultiplexor se pueden correlacionar con las secuencias de bits del eje real y el eje imaginario de la constelación.

- 35 El método de entrelazado de bits descrito anteriormente, el método de demultiplexación y el método de correlación de símbolos son ejemplares y se pueden usar diversos métodos como el método para seleccionar los bits en las subsecuencias de manera que las subsecuencias demultiplexadas mediante el demultiplexor pueden corresponder al eje real y el eje imaginario de la constelación.

- 40 La palabra de celda correlacionada con los símbolos puede variar de acuerdo con cualquiera de las secuencias de bits de corrección de errores de acuerdo con la tasa de código, el método para entrelazar las secuencias de bits, el método de demultiplexación y el método de correlación de símbolos. El MSB de la palabra de celda es superior al LSB de la palabra de celda en la fiabilidad de la descodificación de corrección de errores. Aunque la fiabilidad del bit de una ubicación específica del bloque codificado con corrección de errores es baja, la fiabilidad del bit se puede mejorar mediante el proceso de descorrelación de símbolos si el bit de la palabra de celda está dispuesto en el MSB o cerca del MSB.
45

Por consiguiente, aunque se cambia la fiabilidad del bit codificado de acuerdo con las características de la matriz H usada en el método de codificación de corrección de errores de LDPC irregular, el bit se puede transmitir/recibir de manera robusta mediante el proceso de correlación y descorrelación de símbolos y se puede ajustar el rendimiento del sistema.

- 50 La FIG. 30 es una vista que muestra una realización para demultiplexar una secuencia de entrada mediante el demultiplexor.

Si el método de correlación de símbolos es QPSK, se correlacionan dos bits con un símbolo y los dos bits de una unidad de símbolo se demultiplexan en el orden de los índices de bit (índices 0 y 1 de b).

Si el método de correlación de símbolos es 16QAM, se correlacionan 4 bits con un símbolo y los cuatro bits de una unidad de símbolo se demultiplexan de acuerdo con el resultado de cálculo del módulo-4 de los índices de bit (índices 0, 1, 2 y 3 de b).

5 Si el método de correlación de símbolos es 64QAM, se correlacionan 6 bits con un símbolo y los seis bits de una unidad de símbolo se demultiplexan de acuerdo con el resultado de cálculo del módulo-6 de los índices de bit (índices 0, 1, 2, 3, 4 y 5 de b).

Si el método de correlación de símbolos es 256QAM, se correlacionan 8 bits con un símbolo y los ocho bits de una unidad de símbolo se demultiplexan de acuerdo con el resultado de cálculo del módulo-8 de los índices de bit (índices 0, 1, 2, 3, 4, 5, 6 y 7 de b).

10 El orden de demultiplexación de las subsecuencias es ejemplar y se puede modificar.

La FIG. 31 es una vista que muestra un ejemplo de un tipo de demultiplexación de acuerdo con un método de correlación de símbolos. El método de correlación de símbolos incluye QPSK, 16QAM, 64QAM y 256QAM, y el tipo de demultiplexación incluye un primer tipo a un sexto tipo.

15 El primer tipo es un ejemplo en el que los bits de entrada corresponden secuencialmente a índices de número par (0, 2, 4, 8, ...) (o el eje real de la constelación) y corresponden secuencialmente a índices de número impar (1, 3, 5, 7, ...) (o el eje imaginario de la constelación). En lo sucesivo, la demultiplexación de bits del primer tipo se puede representar mediante un identificador de demultiplexación 10 (un número binario de 1010; la ubicación de 1 es la ubicación del MSB que corresponde al eje real y el eje imaginario de la constelación).

20 El segundo tipo es un ejemplo en el que la demultiplexación se realiza en un orden inverso del primer tipo, es decir, los LSB de los bits de entrada corresponden secuencialmente a índices de número par (6, 4, 2, 0) (o el eje real de la constelación) e índices de número impar (1, 3, 5, 7, ...) (o el eje imaginario de la constelación). En lo sucesivo, la demultiplexación de bits del segundo tipo se puede representar mediante un identificador 5 de demultiplexación (un número binario de 0101).

25 El tercer tipo es un ejemplo en el que los bits de entrada se disponen de manera que los bits de ambos extremos de la palabra de código llegan a ser los MSB. Los bits de entrada se vuelven a disponer para llenar la palabra de código desde ambos extremos de la palabra de código. En lo sucesivo, la demultiplexación de bits del tercer tipo se puede representar mediante un identificador de demultiplexación 9 (un número binario de 1001).

30 El cuarto tipo es un ejemplo en el que los bits de entrada se disponen de manera que un bit central de la palabra de código llega a ser el MSB. Un bit de los bits de entrada se llena en primer lugar en la ubicación central de la palabra de código y los bits restantes se vuelven a disponer entonces hacia ambos extremos de la palabra de código en el orden de los bits de entrada. En lo sucesivo, la demultiplexación de bits del cuarto tipo se puede representar mediante un identificador de demultiplexación 6 (un número binario de 0110).

35 El quinto tipo es un ejemplo en el que los bits se demultiplexan de manera que un último bit de la palabra de código llega a ser el MSB y un primer bit de la misma llega a ser el LSB, y el sexto tipo es un ejemplo en el que los bits se vuelven a disponer de manera que el primer bit de la palabra de código llega a ser el MSB y el último bit de la misma llega a ser el LSB. En lo sucesivo, la demultiplexación de bits del quinto tipo se puede representar mediante un identificador de demultiplexación 3 (un número binario de 0011), y la demultiplexación de bits del sexto tipo se puede representar mediante un identificador de demultiplexación 12 (un número binario de 1100).

40 Como se describió anteriormente, el tipo de demultiplexación puede variar de acuerdo con el método de correlación de símbolos o la tasa de código del método de codificación de corrección de errores. Es decir, se puede usar un tipo de demultiplexación diferente si se cambia el método de correlación de símbolos o la tasa de código.

La FIG. 32 es una vista que muestra una realización para demultiplexar una secuencia de bits de entrada de acuerdo con un tipo de demultiplexación. Esta realización puede incluir los entrelazadores de bits 1312a y 1312b, los demultiplexores 1313a y 1313b y los correlacionadores 1315a y 1315b.

45 Los entrelazadores de bits 1312a y 1312b entrelazan las secuencias de servicio de PLP codificadas de corrección de errores. Por ejemplo, los entrelazadores de bits 1312a y 1312b pueden realizar el entrelazado de bits en las unidades de codificación de corrección de errores de acuerdo con el modo de codificación de corrección de errores. El método de entrelazado de bits ya se describió anteriormente.

50 Los demultiplexores 1313a y 1313b pueden incluir unos demultiplexores de primer tipo 1313a1 y 1313b1, y unos demultiplexores de tipo de orden n 1313a2 y 1313b2. Aquí, n es un número entero. Los métodos de demultiplexar los bits mediante los n tipos de demultiplexores siguen a los tipos mostrados en la FIG. 17. Por ejemplo, los demultiplexores de primer tipo pueden corresponder a la demultiplexación de bits de primer tipo (1100) y los demultiplexores de segundo tipo (no se muestran) pueden corresponder a la demultiplexación de bits de segundo tipo (0011). El demultiplexor de tipo de orden n 1313b demultiplexa la secuencia de bits de entrada de acuerdo con

la multiplexación de bits de tipo de orden n (por ejemplo, el identificador de demultiplexación 1100) y saca la secuencia de bits demultiplexada. Los selectores 1313a3 y 1313b3 reciben una señal de selección de demultiplexor del tipo de demultiplexación adecuado para los bits de entrada y sacan la secuencia de bits demultiplexada de acuerdo con uno cualquiera del primer tipo al tipo de orden n y la señal de selección de demultiplexor. La señal de selección de demultiplexor puede variar de acuerdo con la tasa de código de la codificación de corrección de errores y el método de correlación de símbolos de la constelación. Por consiguiente, el tipo de demultiplexación se puede determinar de acuerdo con la tasa de código del método de codificación de corrección de errores y/o el método de correlación de símbolos de la constelación. El ejemplo detallado de acuerdo con los símbolos correlacionados con la constelación y/o la tasa de código de la codificación de corrección de errores de acuerdo con la señal de selección de demultiplexor se describirá posteriormente.

Los correlacionadores 1315a y 1315b pueden correlacionar las subsecuencias de bits demultiplexadas con los símbolos de acuerdo con la señal de selección de demultiplexor y sacar los símbolos correlacionados.

La FIG. 33 es una vista que muestra un tipo de demultiplexación que se determina de acuerdo con una tasa de código de la codificación de corrección de errores y el método de correlación de símbolos.

En el método de correlación de símbolos 4QAM, incluso cuando la tasa de código cr del método de codificación de corrección de errores de LDPC es cualquiera de, 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, la secuencia de bits se puede demultiplexar de acuerdo con todos los tipos de demultiplexación (indicados por todos).

En el método de correlación de símbolos 16QAM, si la tasa de código del método de codificación de corrección de errores de LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos se pueden correlacionar sin realizar el entrelazado de bits y la demultiplexación de bits (indicado por No-Entrel. y No-Demultiplexor). Si la tasa de código de la codificación de corrección de errores es 3/5, el bit se puede demultiplexar de acuerdo con cualquiera de los identificadores de demultiplexación 9, 10 y 12. Si la tasa de código de la codificación de corrección de errores es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, la secuencia de bits de entrada se puede demultiplexar de acuerdo con el identificador de demultiplexación 6.

En el método de correlación de símbolos 64QAM, si la tasa de código de la codificación de corrección de errores de LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos se pueden correlacionar sin realizar el entrelazado de bits y la demultiplexación de bits. Si la tasa de código es 3/5, los bits se pueden demultiplexar de acuerdo con cualquiera de los identificadores de demultiplexación 9 y 10. Si la tasa de código es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, los bits se pueden demultiplexar de acuerdo con el identificador de demultiplexación 6.

En el método de correlación de símbolos 256QAM, si la tasa de código de la codificación de corrección de errores de LDPC es 1/4, 1/3, 2/5 y 1/2, los símbolos se pueden correlacionar sin realizar el entrelazado de bits y la demultiplexación de bits. Si la tasa de código es 3/5, los bits se pueden demultiplexar de acuerdo con el identificador de demultiplexación 9. Si la tasa de código es 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, los bits se pueden demultiplexar de acuerdo con el identificador de demultiplexación 6.

Como se describió anteriormente, el tipo de demultiplexación de bits puede variar de acuerdo con la tasa de código usada para la codificación de corrección de errores y el método de correlación de símbolos. Por consiguiente, la capacidad de corrección de errores de un bit ubicado en una ubicación específica del bloque codificado con corrección de errores se puede ajustar correlacionando las subsecuencias demultiplexadas con los símbolos. Por consiguiente es posible optimizar la robustez en el nivel de bit.

La FIG. 34 es una vista que muestra un ejemplo para expresar el método de demultiplexación mediante una ecuación. Por ejemplo, si el método de correlación de símbolos es QPSK, los bits de entrada ($x_i, x_{N/2+i}$) corresponden a los bits demultiplexados y0 e y1. Si el método de correlación de símbolos es 16QAM, los bits de entrada

$$\left(\frac{x_{2N+i}}{4}, \frac{x_{3N+i}}{4}, x_j, \frac{x_{n+i}}{4} \right) \text{ corresponden a los bits demultiplexados } y_0, y_1, y_2 \text{ e } y_3.$$

Si el método de correlación de símbolos es 64QAM, los bits de entrada

$$\left(\frac{x_{4N+i}}{6}, \frac{x_{5N+i}}{6}, \frac{x_{2N+i}}{6}, \frac{x_{3N+i}}{6}, x_j, \frac{x_{N+i}}{6} \right) \text{ corresponden a los bits demultiplexados } y_0, y_1, y_2, y_3, y_4 \text{ e } y_5.$$

Si el método de correlación de símbolos es 256QAM, los bits de entrada

$$\left(\frac{x_{6N+i}}{8}, \frac{x_{7N+i}}{8}, \frac{x_{4N+i}}{8}, \frac{x_{5N+i}}{8}, \frac{x_{2N+i}}{8}, \frac{x_{3N+i}}{8}, x_j, \frac{x_{N+i}}{8} \right) \text{ corresponden a los bits demultiplexados } y_0, y_1, y_2, y_3, y_4, y_5, y_6 \text{ e } y_7.$$

Aquí, N indica el número de bits correlacionados con los símbolos con respecto a la entrada del entrelazador de bits.

La FIG. 35 es una vista que muestra un ejemplo para correlacionar un símbolo mediante un correlacionador de símbolos. Por ejemplo, en el método de correlación de símbolos QPSK, los símbolos en la constelación corresponden al valor del bit y0 de la primera subsecuencia demultiplexada y el valor del bit y1 de la segunda subsecuencia demultiplexada.

5 En el 16QAM, el eje real de los símbolos en la constelación corresponde a los bits de las subsecuencias demultiplexadas primera y tercera (bits separados de la ubicación del MSB por 0 y 2) y el eje imaginario de los mismos corresponde a los bits de las subsecuencias demultiplexadas segunda y cuarta (bits separados de la ubicación del MSB por 1 y 3).

10 En el 64QAM, el eje real de los símbolos en la constelación corresponde a los bits de las subsecuencias demultiplexadas primera, tercera y quinta (bits separados desde la ubicación del MSB por 0, 2 y 4) y el eje imaginario de los mismos corresponde a los bits de las subsecuencias demultiplexadas segunda, cuarta y sexta (bits separados de la ubicación del MSB por 1, 3 y 5).

15 Por consiguiente, los bits que configuran el símbolo se pueden correlacionar con la palabra de celda en el orden de demultiplexación. Si se demultiplexan los bits que configuran la palabra de celda, se cambian el MSB y el LSB de la palabra de celda y se puede ajustar la robustez de los bits aunque las fiabilidades de los bits codificados con corrección de errores de LDPC varíen de acuerdo con las ubicaciones.

20 La FIG. 36 es un diagrama de bloques que ilustra un codificador MIMO/MISO de acuerdo con una realización de la presente invención. El codificador de MIMO/MISO codifica los datos de entrada usando el esquema de codificación MIMO/MISO, y saca los datos codificados a varios trayectos. Si un extremo de recepción de señales recibe la señal transmitida a los diversos trayectos desde uno o más trayectos, es capaz de adquirir una ganancia (también llamada ganancia de diversidad, una ganancia de carga útil, o una ganancia de multiplexación).

El codificador 140 MIMO/MISO codifica datos de servicio de cada trayecto generado a partir del formador de tramas 130, y saca los datos codificados al número A de trayectos que corresponde al número de antenas de salida.

25 La FIG. 37 es un diagrama de bloques que ilustra un modulador de acuerdo con una realización de la presente invención. El modulador incluye un primer controlador de potencia (PAPR Reduce1) 151, una unidad 153 de transformación en el dominio de tiempo (IFFT), un segundo controlador de potencia (PAPR Reduce2) 157 y un insertador 159 de intervalo de guarda.

30 El primer controlador de potencia 151 reduce una PAPR (relación Potencia Pico a Media) de datos transmitidos al número R de trayectos de señal en el dominio de frecuencia.

La unidad 153 de transformación en el dominio de tiempo (IFFT) convierte las señales en el dominio de frecuencia recibidas en señales en el dominio de tiempo. Por ejemplo, las señales en el dominio de frecuencia se pueden convertir en las señales en el dominio de tiempo de acuerdo con el algoritmo de IFFT. Por lo tanto, los datos en el dominio de frecuencia se pueden modular de acuerdo con el esquema de OFDM.

35 El segundo controlador de potencia (PAPR Reduce2) 157 reduce una PAPR (Relación Potencia Pico a Media) de datos de canal transmitidos al número R de trayectos de señal en el dominio de tiempo. En este caso, se puede usar un esquema de reserva de tono, y un esquema de extensión de constelación activa (ACE) para extender una constelación de símbolos.

40 El insertador de intervalo de guarda 159 inserta el intervalo de guarda en el símbolo de OFDM de salida, y saca el resultado insertado. Como se describió anteriormente, la realización mencionada anteriormente se puede llevar a cabo en cada señal del número R de trayectos.

La FIG. 38 es un diagrama de bloques que ilustra un procesador analógico 160 de acuerdo con una realización de la presente invención. El procesador analógico 160 incluye un convertidor digital a analógico (DAC) 161, una unidad de conversión ascendente 163 y un filtro analógico 165.

45 El DAC 161 convierte los datos de entrada en una señal analógica, y saca la señal analógica. La unidad de conversión ascendente 163 convierte un dominio de frecuencia de la señal analógica en un área de RF. El filtro analógico 165 filtra la señal de área de RF, y saca la señal de RF filtrada.

50 La FIG. 39 es un diagrama de bloques que ilustra un aparato para recibir una señal de acuerdo con una realización de la presente invención. El aparato de recepción de señales incluye un primer receptor de señales 210a, un receptor de señales de orden n 210n, un primer demodulador 220a, un demodulador de orden n 220n, un decodificador MIMO/MISO 230, un analizador sintáctico de tramas 240, y un demodulador de decodificación 250, y un procesador de salida 260.

En el caso de una señal de recepción de acuerdo con la estructura de trama de señal de TFS, varios servicios se multiplexan a R canales, y entonces se desplazan en tiempo, de manera que se transmite el resultado desplazado en tiempo.

5 El receptor puede incluir al menos un receptor de señales para recibir un servicio transmitido sobre al menos un canal de RF. La trama de señal de TFS transmitida al número R (donde R es un número natural) de canales de RF se puede transmitir a un multitrayecto a través del número A de antenas. Las A antenas se han usado para los R canales de RF, de manera que un número total de antenas es $R \times A$.

10 El primer receptor de señales 210a es capaz de recibir datos de servicio transmitidos a través de al menos un trayecto de entre datos de servicio globales transmitidos a través de varios canales de RF. Por ejemplo, el primer receptor de señales 210a puede recibir la señal de transmisión procesada mediante el esquema MIMO/MISO a través de varios trayectos.

15 El primer receptor de señales 210a y el receptor de señales de orden n 210n pueden recibir varias unidades de datos de servicio transmitidas sobre un número n de canales de RF de entre varios canales de RF, como una única PLP. Concretamente, esta realización muestra el aparato de recepción de señales capaz de recibir simultáneamente datos del número R de canales de RF. Por lo tanto, si esta realización recibe un único canal de RF, solamente se necesita el primer receptor 210a.

El primer demodulador 220a y el demodulador de orden n 220n demodulan señales recibidas en los receptores de señales primero y de orden n 210a y 210n de acuerdo con el esquema de OFDM, y sacan las señales demoduladas.

20 El descodificador MIMO/MISO 230 descodifica datos de servicio recibidos a través de varios trayectos de transmisión de acuerdo con el esquema de descodificación MIMO/MISO, y saca los datos de servicio descodificados a un único trayecto de transmisión. Si se recibe el número R de servicios transmitidos sobre varios trayectos de transmisión, el descodificador MIMO/MISO 230 puede sacar datos de servicio de una única PLP contenidos en cada uno de los R servicios que corresponden al número de R canales. Si se transmite el número P de servicios a través del número R de canales de RF, y se reciben señales de canales de RF individuales a través del número A de antenas, el receptor descodifica el número P de servicios usando un total de $(R \times A)$ antenas de recepción.

25 El analizador sintáctico de tramas 240 analiza sintácticamente la trama de señal de TFS que incluye varios servicios, y saca los datos de servicio analizados sintácticamente.

30 El demodulador de descodificación 250 realiza la descodificación de corrección de errores en los datos de servicio contenidos en la trama analizada sintácticamente, descorrelaciona los datos de símbolos descodificados en datos de bits, y saca el resultado procesado mediante descorrelación.

El procesador de salida 260 descodifica una secuencia que incluye los datos de bits descorrelacionados, y saca la secuencia descodificada.

35 En la descripción mencionada anteriormente, cada uno del analizador sintáctico de tramas 240, y el demodulador de descodificación 250, y el procesador de salida 260 recibe varias unidades de datos de servicio tantas como el número de las PLP, y realiza un procesamiento de señales en los datos de servicio recibidos.

La FIG. 40 es un diagrama de bloques que ilustra un receptor de señales de acuerdo con una realización de la presente invención. El receptor de señales puede incluir un sintonizador 211, un convertidor descendente 213 y un convertidor analógico a digital (ADC) 215.

40 El sintonizador 211 realiza el salto de algunos canales de RF capaz de transmitir servicios seleccionados por el usuario en todos los canales de RF cuando el PLP está incluido en varios canales de RF, y saca el resultado del salto. El sintonizador 211 realiza el salto de canales de RF contenidos en la trama de señal de TFS de acuerdo con las frecuencias centrales de RF de entrada, y al mismo tiempo sintoniza señales de frecuencia correspondientes, de manera que saca las señales sintonizadas. Si una señal se transmite a un número A de múltiples trayectos, el sintonizador 211 realiza la sintonización a un canal de RF correspondiente, y recibe señales de recepción a través del número A de antenas.

45 El convertidor descendente 213 realiza una conversión descendente de la frecuencia de RF de la señal sintonizada por el sintonizador 211, y saca el resultado de la conversión descendente. El ADC 215 convierte una señal analógica en una señal digital.

50 La FIG. 41 es un diagrama de bloques que ilustra un demodulador de acuerdo con la presente invención. El demodulador incluye un detector de tramas 221, una unidad de sincronización de tramas 222, un eliminador de intervalo de guarda 223, una unidad de transformación de dominio de frecuencia (FFT) 224, un estimador de canal 225, un ecualizador de canales 226 y un extractor de información de señalización 227.

Si el demodulador adquiere datos de servicio transmitidos a una única secuencia de PLP, se llevará a cabo la siguiente demodulación de señal. Una descripción detallada de la misma se describirá en lo sucesivo.

5 El detector de tramas 221 identifica un sistema de entrega de una señal de recepción. Por ejemplo, el detector de tramas 221 determina si la señal de recepción es una señal DVB-TS o no. Y, el detector de tramas 221 puede determinar también si una señal de recepción es una trama de señal de TFS o no. La unidad de sincronización de tramas 222 adquiere una sincronización en el dominio de tiempo y frecuencia de la trama de señal de TFS.

10 El controlador de intervalo de guía 223 elimina un intervalo de guarda ubicado entre símbolos de OFDM del dominio de tiempo. El convertidor en el dominio de frecuencia (FFT) 224 convierte una señal de recepción en una señal en el dominio de frecuencia usando el algoritmo de FFT, de manera que adquiere datos de símbolo en el dominio de frecuencia.

El estimador de canal 225 realiza una estimación de canal de un canal de recepción usando un símbolo piloto contenido en datos de símbolo del dominio de frecuencia. El ecualizador de canales 226 realiza una ecualización de canales de datos de recepción usando información de canal estimada por el estimador de canal 225.

15 El extractor de información de señalización 227 puede extraer la información de señalización de una capa física establecida en las señales piloto primera y segunda contenidas en datos de recepción de canales ecualizados.

20 La FIG. 42 es un diagrama de bloques que ilustra un descodificador MIMO/MISO de acuerdo con la presente invención. El receptor de señales y el demodulador se diseñan para procesar una señal recibida en un único trayecto. Si el receptor de señales y el demodulador reciben datos de servicio de PLP proporcionando un único servicio a través de varios trayectos de varias antenas, y demodulan los datos de servicio de PLP, el descodificador MIMO/MIMO 230 saca la señal recibida en varios trayectos como datos de servicio transmitidos a una única PLP. Por lo tanto, el descodificador MIMO/MISO 230 puede adquirir una ganancia de diversidad y una ganancia de multiplexación a partir de datos de servicio recibidos en un PLP correspondiente.

25 El descodificador MIMO/MISO 230 recibe una señal de transmisión multitrayecto desde varias antenas, y es capaz de descodificar una señal usando un esquema de MIMO capaz de recuperar cada señal de recepción en forma de una única señal. De otro modo, el descodificador MIMO/MISO 230 es capaz de recuperar una señal usando un esquema de MIMO que recibe la señal de transmisión multitrayecto desde una única antena y recupera la señal de transmisión multitrayecto recibida.

30 Por tanto, si la señal se transmite a través del número R de canales de RF (donde R es un número natural), el descodificador MIMO/MISO 230 puede descodificar señales recibidas a través del número A de antenas de canales de RF individuales. Si el valor A es igual a "1", las señales se pueden descodificar mediante el esquema de MISO. Si el valor A es superior a "1", las señales se pueden descodificar mediante el esquema de MIMO.

35 La FIG. 43 es un diagrama de bloques que ilustra un analizador sintáctico de tramas de acuerdo con una realización de la presente invención. El analizador sintáctico de tramas incluye un primer desentrelazador de frecuencia 241a, un desentrelazador de frecuencia de orden r 241r, un analizador sintáctico de tramas 243, un primer desentrelazador de tiempo 245a, un desentrelazador de tiempo de orden p 245p, un primer descorrelacionador de símbolos 247a, y un descorrelacionador de símbolos de orden p. El valor de "r" se puede decidir por el número de canales de RF, y el valor de "p" se puede decidir por el número de secuencias que transmiten datos de servicio de PLP generados a partir del analizador sintáctico de tramas 243.

40 Por lo tanto, si se transmite un número p de servicios a un número p de secuencias de PLP sobre un número R de canales de RF, el analizador sintáctico de tramas incluye el número r de desentrelazadores de frecuencia, el número p de desentrelazadores de tiempo, y el número p de descorrelacionadores de símbolos.

En asociación con un primer canal de RF, el primer entrelazador de frecuencia 241a realiza un desentrelazado de datos de entrada en el dominio de frecuencia, y saca el resultado del desentrelazado.

45 El analizador sintáctico de tramas 243 analiza sintácticamente la trama de señal de TFS transmitida a varios canales de RF usando información de planificación de la trama de señal de TFS, y analiza sintácticamente los datos de servicio de PLP contenidos en el intervalo de un canal de RF específico que incluye un servicio deseado. El analizador sintáctico de tramas 243 analiza sintácticamente la trama de señal de TFS para recibir datos de servicio específicos distribuidos a varios canales de RF de acuerdo con la estructura de trama de señal de TFS, y saca datos de servicio de PLP del primer trayecto.

50 El primer desentrelazador de tiempo 245a realiza el desentrelazado de los datos de servicio de PLP del primer trayecto analizados sintácticamente en el dominio de tiempo. El primer descorrelacionador de símbolos 247a determina datos de servicio correlacionados con el símbolo para que sean datos de bits, de manera que puede sacar una secuencia de PLP asociada con los datos de servicio de PLP del primer trayecto.

- Siempre que los datos de símbolos se convierten en datos de bits, y cada dato de símbolos incluya símbolos basados en el esquema de correlación de símbolos híbrido, el número p de descorrelacionadores de símbolos, cada uno de los cuales incluye el primer descorrelacionador de símbolos, puede determinar que los datos de símbolos sean datos de bits que usan diferentes esquemas de descorrelación de símbolos en intervalos individuales de los datos de símbolos de entrada.
- La FIG. 44 es una vista que muestra una realización de cada uno de los descorrelacionadores de símbolos 247a y 247p. Los descorrelacionadores de símbolos reciben las secuencias que corresponden a las PLP desde los entrelazadores de tiempo 245a y 245p que corresponden respectivamente a los descorrelacionadores de símbolos.
- Cada uno de los descorrelacionadores de símbolos 247a y 247p puede incluir un divisor de bloques de corrección de errores 2471, un divisor de símbolos 2473, un descorrelacionador de primer orden 2475a, un descorrelacionador de segundo orden 2475b y un fusionador de secuencias de bits 2478.
- El divisor de bloques de corrección de errores 2471 puede dividir la secuencia de PLP recibida desde el correspondiente de los entrelazadores de tiempo 245a y 245p en las unidades de bloque de corrección de errores. El divisor de bloques de corrección de errores 2471 puede dividir la secuencia de servicio en la unidad de bloque de LDPC de modo normal. En este caso, la secuencia de servicio se puede dividir en un estado en el que cuatro bloques de acuerdo con el modo corto (en el que el bloque tiene la longitud de 16200 bits) se tratan como el bloque de corrección de errores de un bloque de acuerdo con el modo normal (en el que el bloque tiene la longitud de 64800 bits).
- El divisor de símbolos 2473 puede dividir la secuencia de símbolos en el bloque de corrección de errores dividido de acuerdo con el método de correlación de símbolos de la secuencia de símbolos.
- Por ejemplo, el descorrelacionador de primer orden 2475a convierte los símbolos de acuerdo con el método de correlación de símbolos de orden más alto en los bits. El descorrelacionador de segundo orden 2475b convierte los símbolos de acuerdo con el método de correlación de símbolos de orden más bajo en los bits.
- El fusionador de secuencia de bits 2478 puede recibir los bits convertidos y sacar una secuencia de bits.
- La FIG. 45 es una vista que muestra otra realización de cada uno de los descorrelacionadores de símbolos 247a y 247p. La realización de este dibujo es similar a la realización de la FIG. 44 excepto que se incluyen además una unidad de calibración de potencia de primer orden 2474a y una unidad de calibración de potencia de segundo orden 2474b.
- La unidad de calibración de potencia de primer orden 2474a recibe los símbolos divididos por el divisor de símbolos 2473, calibra la potencia de los símbolos recibidos de acuerdo con los esquemas de correlación de símbolos, y saca los símbolos calibrados. La potencia de los símbolos recibidos puede tener la potencia calibrada de acuerdo con el tamaño de la constelación en base a los métodos de correlación de símbolos. La unidad de calibración de potencia de primer orden 2474a convierte la potencia calibrada de acuerdo con la potencia de símbolos original de la constelación. El descorrelacionador de primer orden 2475a puede descorrelacionar los símbolos, de los que se calibra la potencia por la unidad de calibración de potencia de primer orden, respecto a los bits.
- De manera similar, la unidad de calibración de potencia de segundo orden 2474b recibe los símbolos divididos por el divisor de símbolos 2473, modifica la potencia calibrada de los símbolos recibidos a la potencia original de acuerdo con el tamaño de la constelación, y saca los símbolos modificados.
- La FIG. 46 es una vista que muestra otra realización de cada uno de los descorrelacionadores de símbolos 247a y 247p. Cada uno de los descorrelacionadores de símbolos 247a y 247p puede incluir un divisor de símbolos 2473, un descorrelacionador de primer orden 2474a, un descorrelacionador de segundo orden 2474b, un multiplexor de primer orden 2475a, un multiplexor de segundo orden 2475b, un desentrelazador de bits de primer orden 2476a, un desentrelazador de bits de segundo orden 2476b y un fusionador de secuencia de bits 2478. Mediante esta realización, la realización de la unidad de descodificación y demodulación de la FIG. 36 incluye un primer descodificador 253, un primer desentrelazador 255 y un segundo descodificador 257.
- El divisor de símbolos 2473 puede dividir la secuencia de símbolos del PLP de acuerdo con el método que corresponde al método de correlación de símbolos.
- El descorrelacionador de primer orden 2474a y el descorrelacionador de segundo orden 2474b convierten las secuencias de símbolos divididas en bits. Por ejemplo, el descorrelacionador de primer orden 2474a realiza la descorrelación de símbolos de la QAM de orden más alto y el descorrelacionador de segundo orden 2474b realiza la descorrelación de símbolos de la QAM de orden más bajo. Por ejemplo, el descorrelacionador de primer orden 2474a puede realizar la descorrelación de símbolos de 256QAM y el descorrelacionador de segundo orden 2474b puede realizar la descorrelación de símbolos de 64QAM.

El multiplexor de primer orden 2475a y el multiplexor de segundo orden 2475b multiplexan los bits correlacionados con símbolos. Los métodos de multiplexado pueden corresponder a los métodos de demultiplexación descritos con referencia a las FIG. 15 a 18. Por consiguiente, las subsecuencias demultiplexadas se pueden convertir en una secuencia de bits.

5 El desentrelazador de bits de primer orden 2476a desentrelaza las secuencias de bits multiplexados por el multiplexor de primer orden 2475a. El desentrelazador de bits de segundo orden 2476b desentrelaza los bits multiplexados por el multiplexor de primer orden 2475a. El método de desentrelazado corresponde al método de entrelazado de bits. El método de entrelazado de bits se muestra en la FIG. 12.

10 El fusionador de secuencias de bits 2478 puede fusionar las secuencias de bits desentrelazadas por los entrelazadores de bits 2476a y 2476b a una secuencia de bits.

El primer descodificador 253 de la unidad de descodificación y demodulación puede descodificar con corrección de errores la secuencia de bits de salida de acuerdo con el modo normal o el modo corto y la tasa de código de acuerdo con los modos.

15 La FIG. 47 es una vista que muestra otra realización de cada uno de los descorrelacionadores de símbolos 247a y 247p. El ejemplo de este dibujo es similar a la realización de la FIG. 46 excepto que se incluyen además una unidad de calibración de potencia de primer orden 2474a y una unidad de calibración de potencia de segundo orden 2474b. La unidad de calibración de potencia de primer orden 2474a y la unidad de calibración de potencia de segundo orden 2474b modifican las potencias calibradas de los símbolos de acuerdo con los métodos de correlación de símbolos y sacan los símbolos modificados a los descorrelacionadores de símbolos 2475a y 2475b.

20 La FIG. 48 es una vista que muestra una realización para multiplexar la subsecuencia demultiplexada. En esta realización, los descorrelacionadores 2474a y 2474b deciden las palabras de celda que incluyen los bits. Los multiplexores 2475a y 2475b multiplexan las palabras de celda decididas de acuerdo con la señal de selección del multiplexor. Las palabras de celda demultiplexadas se introducen en cualquiera de los primeros multiplexores 2475a2 y 2475b2 a los multiplexores de orden n 2475a3 y 2475b3.

25 Los primeros multiplexores 2475a2 y 2475b2 a los multiplexores de orden n 2475a3 y 2475b3 cambian el orden de los bits en las palabras de celda introducidas de acuerdo con la señal de selección de multiplexor. La señal de selección del multiplexor se puede cambiar de acuerdo con la tasa de código de la codificación de corrección de errores o el método de correlación de símbolos. Para generar una secuencia y las secuencias de bits entregadas a los multiplexores, el orden de selección de la subsecuencia se puede cambiar de acuerdo con la señal de selección del multiplexor.

30 Los primeros demultiplexores 2475a1 y 2475b1 sacan las secuencias de bits descorrelacionadas con símbolos a cualquiera de los primeros multiplexores 2475a2 y 2475b2 a los multiplexores de orden n 2475a3 y 2475b3 de acuerdo con la señal de selección del multiplexor. Los primeros submultiplexores 2475a1 y 2475b1 pueden recibir las subsecuencias multiplexadas mediante los primeros multiplexores 2475a2 y 2475b2 a los multiplexores de orden n 2475a3 y 2475b3 y sacar una secuencia, de acuerdo con la señal de selección del multiplexor.

Las palabras de celda que incluyen los bits cambiados se introducen en los entrelazadores de bits 2476a y 2476b, y los desentrelazadores de bits 2476a y 2476b desentrelazan los bits de entrada y sacan los bits desentrelazados.

40 La FIG. 49 es un diagrama de bloques que ilustra un demodulador de descodificación de acuerdo con una realización de la presente invención. El demodulador de descodificación puede incluir varios bloques de función que corresponden a la unidad de codificación y modulación. En esta realización, el demodulador de descodificación de la FIG. 16 puede incluir un primer desentrelazador 251, un primer descodificador 253, un segundo desentrelazador 255 y un segundo descodificador 257. El segundo desentrelazador 255 puede estar contenido selectivamente en el demodulador de descodificación.

45 El primer desentrelazador 251 actúa como un desentrelazador interior, y es capaz de realizar un desentrelazado de la secuencia del PLP de orden p generado a partir del analizador sintáctico de tramas.

El primer descodificador 253 actúa como un descodificador interno, puede realizar una corrección de errores de los datos desentrelazados, y puede usar un algoritmo de descodificación de corrección de errores en base al esquema de LDPC.

50 El segundo desentrelazador 255 actúa como un entrelazador exterior, y puede realizar un desentrelazado de los datos descodificados con corrección de errores.

El segundo descodificador 257 actúa como un descodificador exterior. Los datos desentrelazados por el segundo desentrelazador 255 o corregidos de errores por el primer descodificador 253 se corrigen de nuevo de errores, de manera que el segundo descodificador 257 saca los datos que se han vuelto a corregir de errores. El segundo

descodificador 257 descodifica datos usando el algoritmo de descodificación de corrección de errores en base al esquema BCH, de manera que saca los datos descodificados.

5 El primer desentrelazador 251 y el segundo desentrelazador 255 son capaces de convertir el error de ráfaga generado en los datos contenidos en la secuencia de PLP en un error aleatorio. El primer descodificador 253 y el segundo descodificador 257 pueden corregir los errores contenidos en los datos.

El demodulador de descodificación muestra procesos de operación asociados con una única secuencia de PLP. Si existe el número p de secuencias, son necesarios el número p de demoduladores de descodificación, o el demodulador de descodificación puede descodificar repetidamente datos de entrada p veces.

10 La FIG. 50 es un diagrama de bloques que ilustra un procesador de salida de acuerdo con una realización de la presente invención. El procesador de salida puede incluir el número p de analizadores sintácticos de tramas en banda base (BB) (251a, ... 261p), un primer fusionador de servicio 263a, un segundo fusionador de servicio 263b, un primer demultiplexor 265a y un segundo demultiplexor 265b.

15 Los analizadores sintácticos de tramas de BB (261a,...,261p) eliminan las cabeceras de trama en BB de las secuencias de PLP primera a de orden p de acuerdo con los trayectos de PLP recibidos, y sacan el resultado eliminado. Esta realización muestra que se transmiten datos de servicio a al menos dos secuencias. Una primera secuencia es una secuencia MPEG-2 TS, y una segunda secuencia es una secuencia GS.

El primer fusionador de servicio 263a calcula la suma de datos de servicio contenidos en la carga útil de al menos una trama en BB, de manera que saca la suma de datos de servicio como una única secuencia de servicio. El primer demultiplexor 255a puede demultiplexar la secuencia de servicio, y sacar el resultado demultiplexado.

20 En este sentido, el segundo fusionador 263b de servicio calcula la suma de los datos de servicio contenidos en la carga útil de al menos una trama en BB, de manera que puede sacar otra secuencia de servicio. El segundo demultiplexor 255b puede demultiplexar la secuencia de servicio de formato GS, y sacar la secuencia de servicio demultiplexada.

25 La FIG. 51 es un diagrama de bloques que ilustra un aparato para transmitir una señal de acuerdo con otra realización de la presente invención. El aparato de transmisión de señales incluye un compositor de servicio 310, un divisor de frecuencia 320 y un transmisor 400. El transmisor 400 codifica o modula una señal que incluye una secuencia de servicio a ser transmitida a cada banda de RF.

30 El compositor de servicio 310 recibe varias secuencias de servicio, multiplexa varias secuencias de servicio a ser transmitidas a canales de RF individuales, y saca las secuencias de servicio multiplexadas. El compositor de servicio 310 saca información de planificación, de manera que controla el transmisor 400 usando la información de planificación, cuando el transmisor 400 transmite el PLP a través de varios canales de RF. Mediante esta información de planificación, el compositor de servicio 310 modula varias tramas de servicio a ser transmitidas a los diversos canales de RF mediante el transmisor 400, y transmite las tramas de servicio moduladas.

35 El divisor de frecuencia 320 recibe una secuencia de servicio a ser transmitida a cada banda de RF, y divide cada secuencia de servicio en varias subsecuencias, de manera que las bandas de frecuencia RF individuales se pueden asignar a las subsecuencias.

40 El transmisor 400 procesa las secuencias de servicio a ser transmitidas a bandas de frecuencia individuales, y saca las secuencias resultantes procesadas. Por ejemplo, en asociación con una secuencia de servicio específica a ser transmitida al primer canal de RF, el primer correlacionador 410 correlaciona los datos de secuencia de servicio de entrada en símbolos. El primer entrelazador 420 entrelaza los símbolos correlacionados para impedir el error de ráfaga.

El primer insertador de símbolos 430 puede insertar una trama de señal equipada con una señal piloto (por ejemplo, una señal piloto de dispersión o una señal piloto continua) en la señal modulada.

45 El primer modulador 440 modula los datos entrelazados mediante el esquema de modulación de señal. Por ejemplo, el primer modulador 440 puede modular señales usando el esquema de OFDM.

El primer insertador de símbolos piloto 450 inserta la primera señal piloto y la segunda señal piloto en la trama de señal, y es capaz de transmitir la trama de señal de TFS.

Los datos de secuencia de servicio transmitidos al segundo canal de RF se transmiten a la trama de señal de TFS a través de varios bloques 415, 425, 435, 445 y 455 de diferentes trayectos mostrados en el transmisor de la FIG. 18.

50 El número de trayectos de procesamiento de señales transmitidos desde el transmisor 400 puede ser igual al número de canales de RF contenidos en la trama de señal de TFS.

El primer correlacionador 410 y el segundo correlacionador pueden incluir respectivamente los demultiplexores 1313a y 1313b, y permitir las ubicaciones del MSB y el LSB a ser cambiadas en la palabra de celda correlacionada con símbolos.

5 La FIG. 52 es un diagrama de bloques que ilustra un aparato para recibir una señal de acuerdo con otra realización de la presente invención. El aparato de recepción de señales puede incluir una unidad de recepción 510, una unidad de sincronización 520, un detector de modo 530, un ecualizador 540, un detector de parámetros 550, un desentrelazador 560, un descorrelacionador 570 y un descodificador de servicio 580.

10 La unidad de recepción 500 es capaz de recibir señales de un primer canal de RF seleccionado por un usuario entre la trama de señal. Si la trama de señal incluye varios canales de RF, la unidad de recepción 500 realiza el salto de los diversos canales de RF, y al mismo tiempo puede recibir una señal que incluye la trama de servicio seleccionada.

La unidad de sincronización 510 adquiere la sincronización de una señal de recepción, y saca la señal de recepción sincronizada. El demodulador 520 es capaz de demodular la señal adquirida mediante sincronización. El detector de modo 530 puede adquirir un modo de FFT (por ejemplo, longitud de operación de FFT de 2k, 4k, 8k) de la segunda señal piloto usando la primera señal piloto de la trama de señal.

15 El demodulador 520 demodula la señal de recepción bajo el modo de FFT de la segunda señal piloto. El ecualizador 540 realiza una estimación de canal de la señal de recepción, y saca la señal resultante de estimación de canal. El desentrelazador 560 desentrelaza la señal de recepción de canales ecualizados. El descorrelacionador 570 descorrelaciona el símbolo entrelazado usando el esquema de descorrelación de símbolos que corresponde al esquema de correlación de símbolos de señal de transmisión (por ejemplo, QAM).

20 El detector 550 de parámetros adquiere información de parámetros físicos (por ejemplo, información de Capa 1 (L1)) contenida en la segunda señal piloto a partir de la señal de salida del ecualizador 540, y transmite la información de parámetros físicos adquirida a la unidad de recepción 500 y la unidad de sincronización 510. La unidad de recepción 500 es capaz de cambiar el canal de RF a otro canal usando información de red detectada por el detector de parámetros 550.

25 El detector de parámetros 550 saca información asociada al servicio, el descodificador de servicio 580 descodifica datos de servicio de la señal de recepción de acuerdo con la información asociada al servicio desde el detector de parámetros 550, y saca los datos de servicio descodificados.

30 El descorrelacionador 570 puede incluir los multiplexores 2475a y 2475b y sacar la secuencia de bits obtenida restaurando el orden de los bits de los que se cambian las ubicaciones del MSB y el LSB de acuerdo con la tasa de código de la codificación de corrección de errores y el método de correlación de símbolos.

En lo sucesivo, se describirá un método para modular una primera señal piloto de una trama de señal que tiene al menos una banda de RF y un método y un aparato para recibir la primera señal piloto modulada.

35 Los símbolos de PLP entrelazados en tiempo se transmiten a través de regiones, que se dividen temporalmente en la trama de señal. Los símbolos de PLP entrelazados en tiempo se pueden transmitir a través de regiones, que se dividen en el dominio de frecuencia, si existe una pluralidad de bandas de RF. Por consiguiente, si el PLP se transmite o se recibe, se puede obtener una ganancia de diversidad. Un modo de corrección de errores y un método de correlación de símbolos se pueden cambiar de acuerdo con servicios que corresponden a secuencias de transporte o se pueden cambiar en el servicio.

40 Una primera señal piloto y una segunda señal piloto se disponen en la ubicación inicial de la trama de señal que tiene tales características, como una señal de preámbulo.

45 Como se describió anteriormente, la primera señal piloto incluida en la trama de señal puede incluir un identificador para identificar la trama de señal que tiene la estructura descrita anteriormente. La primera señal piloto puede incluir información acerca de la estructura de transmisión que indica si la trama de señal se transmite o no a través de múltiples trayectos e información acerca de un modo de FFT de una señal que sigue a la primera señal piloto. El receptor puede detectar la trama de señal a partir de la primera señal piloto y obtener la información acerca de la estimación de desfase de frecuencia de portadora integral e información acerca del modo de FFT del símbolo de datos.

50 La FIG. 53 es una vista que muestra una realización de la estructura de una primera señal piloto. Una parte indicada por A es una parte válida de la primera señal piloto. B indica el mismo prefijo cíclico que una primera parte de la parte A en el dominio de tiempo y C indica el mismo sufijo cíclico que una segunda parte de la parte A en la región de tiempo. La primera parte se puede duplicar a partir de la segunda mitad de la parte A y la segunda parte se puede duplicar a partir de la primera mitad de la parte A.

B y C se pueden obtener respectivamente duplicando la primera parte y la segunda parte y desplazando en frecuencia las partes duplicadas. Una relación entre B o C y A es como sigue.

[Ecuación 1]

$$B = \text{unaparte}(A) \cdot e^{j2\pi f_{SH}t}$$

$$C = \text{otraparte}(A) \cdot e^{j2\pi f_{SH}t}$$

5 En la ecuación anterior, SH indica una unidad de desplazamiento del desplazamiento en frecuencia. Por consiguiente, los valores de desplazamiento en frecuencia de las partes B y C pueden ser inversamente proporcionales a las longitudes de las partes B y C.

Si la primera señal piloto se configura mediante desplazamiento en frecuencia del prefijo cíclico (B) y el sufijo cíclico (C), la probabilidad de que el símbolo de datos se detecte de manera errónea respecto al preámbulo es baja y la probabilidad de que el preámbulo se detecte de manera errónea se reduce, aunque los símbolos de datos que configuran el PLP y los símbolos que configuran el preámbulo estén modulados en el mismo modo de FFT.

10 Si se incluye una interferencia de onda continua (CW) tal como una señal de TV analógica, se reduce la probabilidad de que el preámbulo se detecte de manera errónea debido a una componente de DC de ruido generada en un proceso de correlación. Además, si el tamaño de la FFT aplicada a los símbolos de datos que configuran el PLP es mayor que el de la FFT aplicada al preámbulo, se puede mejorar el rendimiento de detección de preámbulo incluso en un canal de dispersión de retardo que tiene una longitud igual o mayor que aquella de la parte A de símbolo
15 válido del preámbulo. Dado que tanto el prefijo cíclico (B) como el sufijo cíclico (C) se usan en el preámbulo, el desfase de frecuencia de portadora fraccional se puede estimar mediante el proceso de correlación.

La FIG. 54 es una vista que muestra una realización para detectar una señal de preámbulo mostrada en la FIG. 53 y estimar un desfase de temporización y un desfase de frecuencia. Esta realización se puede incluir en el detector de tramas 221 o la unidad de sincronización de tramas 222.

20 Esta realización puede incluir una primera unidad de retardo 601, una unidad de cálculo de conjugada compleja 603, un primer multiplicador 605, un segundo multiplicador 607, un primer filtro 611, una segunda unidad de retardo 615, un tercer multiplicador 609, un segundo filtro 613, un cuarto multiplicador 617, una unidad de búsqueda de picos 619 y una unidad de medición de fase 621.

25 La primera unidad de retardo 601 puede retardar una señal recibida. Por ejemplo, la primera unidad de retardo 601 puede retardar la señal recibida por la longitud de la parte (A) de símbolo válida de la primera señal piloto.

La unidad de cálculo de conjugada compleja 603 puede calcular la conjugada compleja de la primera señal piloto retardada y sacar la señal calculada.

El primer multiplicador 605 puede multiplicar la señal sacada desde la unidad de cálculo de conjugada compleja 603 por la señal recibida y sacar la señal multiplicada.

30 Dado que la primera señal piloto incluye las partes B y C obtenidas mediante desplazamiento en frecuencia de la parte A válida, los respectivos valores de correlación se obtienen desplazando las señales recibidas por las respectivas cantidades de desplazamiento en frecuencia. En la primera señal piloto, la parte B es una parte que se desplaza en frecuencia de manera ascendente o se desplaza en frecuencia de manera descendente desde la parte A, y C es una parte que se desplaza en frecuencia de manera ascendente o se desplaza en frecuencia de manera descendente desde la parte A.
35

Por ejemplo, si se usa la salida de la unidad de cálculo de conjugada compleja 603, la salida del primer multiplicador 605 puede incluir el resultado de correlación de B (o la conjugada compleja de B) y A (o la conjugada compleja de A).

40 El segundo multiplicador 607 puede multiplicar la señal sacada desde el primer multiplicador 605 por la cantidad de desplazamiento en frecuencia (indicada por $e^{j2\pi f_{SH}t}$) aplicada a la parte B y sacar la señal multiplicada.

El primer filtro 611 realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal sacada desde el segundo multiplicador 607. La parte de promedio en movimiento puede ser la longitud del prefijo cíclico (B) o la longitud del sufijo cíclico (C). En esta realización, el primer filtro 611 puede calcular un promedio de la señal incluida en la longitud de la parte B. Entonces, en el resultado sacado desde el primer filtro 611, el valor de correlación de las partes A y C incluidas en la parte, de la que se calcula el promedio, llega a ser sustancialmente
45 cero y el resultado de correlación de las partes B y A se mantiene. Dado que la señal de la parte B se multiplica por el valor de desplazamiento en frecuencia por el segundo multiplicador 607, es igual a la señal obtenida duplicando la segunda mitad de la parte A.

El tercer multiplicador 609 puede multiplicar la señal sacada desde el primer multiplicador 605 por la cantidad de desplazamiento en frecuencia (indicada por $-ej\pi f_{SH}t$) aplicada a la parte C y sacar la señal multiplicada.

5 El segundo filtro 613 realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal sacada desde el tercer multiplicador 609. La parte de promedio en movimiento puede ser la longitud del prefijo cíclico (B) o la longitud del sufijo cíclico (C). En esta realización, el segundo filtro 613 puede calcular el promedio de la señal incluida en la longitud de la parte C. Entonces, en el resultado sacado desde el segundo filtro 613, el valor de correlación de las partes A y B incluidas en la parte, de la que se calcula el promedio, pasa a ser sustancialmente cero y el resultado de correlación de las partes C y A se mantiene. Dado que la señal de la parte C se multiplica por el valor de desplazamiento en frecuencia mediante el tercer multiplicador 609, es igual a la señal obtenida duplicando la primera mitad de la parte A.

La longitud T_B de la parte de la que se realiza el promedio en movimiento mediante el primer filtro 611 y el segundo filtro 613 se expresa como sigue.

[Ecuación2]

$$T_B = k / f_{SH}$$

15 donde, k indica un número entero. En otras palabras, la unidad f_{SH} del desplazamiento en frecuencia usado en las partes B y C se puede decidir por k/T_B .

La segunda unidad de retardo 615 puede retardar la señal sacada desde el primer filtro 611. Por ejemplo, la segunda unidad de retardo 615 retarda la señal filtrada por el primer filtro 611 por la longitud de la parte B y saca la señal retardada.

20 El cuarto multiplicador 617 multiplica la señal retardada mediante la segunda unidad de retardo 615 por la señal filtrada por el segundo filtro 613 y saca la señal multiplicada.

La unidad de búsqueda de picos 619 busca la ubicación en la que se genera un valor pico a partir de la señal multiplicada sacada desde el cuarto multiplicador 617 y saca la ubicación buscada a la unidad de medición de fase 621. El valor pico y la ubicación se pueden usar para la estimación de desfase de temporización.

25 La unidad de medición de fase 621 puede medir la fase cambiada usando el valor pico y la ubicación sacada desde la unidad de búsqueda de picos 619 y sacar la fase medida. El valor de fase se puede usar para la estimación de desfase de frecuencia de portadora fraccional.

Mientras tanto, un oscilador para generar la frecuencia usada para realizar el desplazamiento en frecuencia por el segundo multiplicador 607 y el tercer multiplicador 609 puede generar cualquier error de fase.

30 Incluso en este caso, el cuarto multiplicador 617 puede eliminar el error de fase del oscilador. Los resultados sacados desde el primer filtro 611 y el segundo filtro 613 y el resultado sacado desde el cuarto multiplicador 617 pueden expresarse mediante la siguiente ecuación.

[Ecuación 3]

$$y_{MAF1} = \|a_1(n)\|^2 \cdot e^{j2\pi\Delta_f + \theta}$$

$$y_{MAF2} = \|a_2(n)\|^2 \cdot e^{j2\pi\Delta_f - \theta}$$

$$y_{prod} = \|a_1(n)\|^2 \cdot \|a_2(n)\|^2 \cdot e^{j2\pi \cdot 2\Delta_f}$$

35 donde, y_{MAF1} e y_{MAF2} indican respectivamente las salidas del primer filtro 611 y del segundo filtro 613, e y_{prod} indica la salida del cuarto multiplicador 617. Además, a_1 y a_2 indican respectivamente los niveles de los resultados de correlación y Δ_f y θ indican respectivamente el desfase de frecuencia y el error de fase del oscilador.

40 Por consiguiente, y_{MAF1} e y_{MAF2} pueden incluir los errores de fase del oscilador que tienen diferentes signos, pero el error de fase del oscilador se elimina en el resultado del cuarto multiplicador 617. Por consiguiente, el desfase de frecuencia Δ_f se puede estimar independientemente del error de fase del oscilador del aparato de recepción de señales.

El desfase de frecuencia estimado se puede expresar mediante la siguiente ecuación.

[Ecuación 4]

$$f_B = \angle y_{prod} / 4\pi$$

donde el desfase de frecuencia estimado Δf es $0 \leq \Delta f < 0,5$.

- 5 La FIG. 55 es una vista que muestra otra realización de la estructura de la primera señal piloto. En la primera señal piloto, el desplazamiento en frecuencia de la primera mitad de la parte A válida es el prefijo cíclico (B) y el desplazamiento en frecuencia del segundo desplazamiento de la parte A válida es el sufijo cíclico (C). Las longitudes de la parte A válida para generar las partes B y C pueden ser, por ejemplo, 1/2 de la longitud de la parte A, y las longitudes de B y C pueden ser diferentes.
- 10 La FIG. 56 es una vista que muestra una realización de detección de la primera señal piloto mostrada en la FIG. 55 y medición de un desfase de temporización y un desfase de frecuencia usando el resultado detectado. En esta realización, por conveniencia de la descripción, B y C indican respectivamente el prefijo cíclico y el sufijo cíclico obtenidos mediante desplazamiento en frecuencia de 1/2 de la longitud de la parte A.
- 15 Esta realización incluye una primera unidad 601 de retardo, una unidad de cálculo de conjugada compleja 603, un primer multiplicador 605, un segundo multiplicador 607, un primer filtro 611, una segunda unidad de retardo 615, un tercer multiplicador 609, un segundo filtro 613, un cuarto multiplicador 617, una unidad de búsqueda de picos 619 y una unidad de medición de fase 621. Es decir, esta realización es igual a la realización de la FIG. 54, pero los rasgos de los componentes se pueden cambiar de acuerdo con la longitud de la parte A mediante la que se generan las partes B y C. B indica una parte desplazada en frecuencia de manera descendente desde la parte A, y C indica una parte desplazada en frecuencia de manera ascendente desde la parte A.
- 20 La primera unidad de retardo 601 puede retardar una señal recibida. Por ejemplo, la primera unidad de retardo 601 puede retardar la señal recibida en 1/2 de la longitud de la parte A de símbolo válido de la primera señal piloto.
- La unidad de cálculo de conjugada compleja 603 puede calcular la conjugada compleja de la primera señal piloto retardada y sacar la señal calculada.
- 25 El primer multiplicador 605 puede multiplicar la señal sacada desde la unidad de cálculo de conjugada compleja 603 por la señal recibida y sacar la señal multiplicada.
- El segundo multiplicador 607 puede multiplicar la señal sacada desde el primer multiplicador 605 por la cantidad de desplazamiento en frecuencia (indicada por $e^{j\pi f_{S_H} t}$) aplicada a la parte B y sacar la señal multiplicada.
- 30 El primer filtro 611 realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal sacada desde el segundo multiplicador 607. La parte de promedio en movimiento puede pasar a ser la longitud del prefijo cíclico (B). En esta realización, el primer filtro 611 puede calcular el promedio de la señal incluida en la longitud de la parte B. Después, en el resultado sacado desde el primer filtro 611, el valor de correlación de las partes A y C incluidas en la parte, de la que se calcula el promedio, pasa a ser sustancialmente cero y el resultado de correlación de las partes B y A se mantiene. Dado que la señal de la parte B se multiplica por el valor de desplazamiento en frecuencia por el segundo multiplicador 607, es igual a la señal obtenida duplicando la segunda mitad de la parte A.
- 35 El tercer multiplicador 609 puede multiplicar la señal sacada desde el primer multiplicador 605 por la cantidad de desplazamiento en frecuencia (designada por $-e^{j\pi f_{S_H} t}$) aplicada a la parte C y sacar la señal multiplicada.
- 40 El segundo filtro 613 realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal sacada desde el tercer multiplicador 609. La parte de promedio en movimiento puede ser la longitud del sufijo cíclico (C). En este ejemplo, el segundo filtro 613 puede calcular el promedio de la señal incluida en la longitud de la parte C. Entonces, en el resultado sacado desde el segundo filtro 613, el valor de correlación de A y B incluidas en la parte, de la que se calcula el promedio, llega a ser sustancialmente cero y el resultado de correlación de las partes C y A se mantiene. Dado que la señal de la parte C se multiplica por el valor de desplazamiento en frecuencia mediante el tercer multiplicador 609, es igual a la señal obtenida duplicando la primera mitad de la parte A.
- 45 La segunda unidad de retardo 615 puede retardar la señal sacada desde el primer filtro 611. Por ejemplo, la segunda unidad de retardo 615 la señal filtrada por el primer filtro 611 por la longitud de la parte B + 1/2A y saca la señal retardada.
- 50 El cuarto multiplicador 617 multiplica la señal retardada por la segunda unidad de retardo 615 por la señal filtrada mediante el segundo filtro 613 y saca la señal multiplicada.

La unidad de búsqueda de picos 619 busca la ubicación en la que se genera un valor pico a partir de la señal multiplicada sacada desde el cuarto multiplicador 617 y saca la ubicación buscada a la unidad de medición de fase 621. El valor pico y la ubicación se pueden usar para la estimación de desfase de temporización.

5 La unidad de medición de fase 621 puede medir la fase cambiada usando el valor pico y la ubicación sacada desde la unidad de búsqueda de picos 619 y sacar la fase medida. El valor de fase se puede usar para la estimación de desfase de frecuencia de portadora fraccional.

Como se describió anteriormente, un oscilador para generar la frecuencia usada para realizar el desplazamiento en frecuencia mediante el segundo multiplicador 607 y el tercer multiplicador 609 puede generar cualquier error de fase. No obstante, incluso en esta realización, el cuarto multiplicador 617 puede eliminar el error de fase del oscilador.

10 Los resultados sacados desde el primer filtro 611 y desde el segundo filtro 613 y el resultado sacado desde el cuarto multiplicador 617 se pueden expresar mediante la siguiente ecuación.

[Ecuación 5]

$$y_{MAF1} = \|a_1(n)\|^2 \cdot e^{j2\pi\Delta_f + \theta}$$

$$y_{MAF2} = \|a_2(n)\|^2 \cdot e^{j2\pi\Delta_f - \theta}$$

$$y_{prod} = \|a_1(n)\|^2 \cdot \|a_2(n)\|^2 \cdot e^{j2\pi \cdot 2\Delta_f}$$

15 donde, y_{MAF1} e y_{MAF2} indican respectivamente las salidas del primer filtro 611 y del segundo filtro 613, e y_{prod} indica la salida del cuarto multiplicador 617. Además, a_1 y a_2 indican respectivamente los niveles de los resultados de correlación y Δ_f y θ indican respectivamente el desfase de frecuencia y el error de fase del oscilador.

20 Por consiguiente, y_{MAF1} e y_{MAF2} pueden incluir los errores de fase del oscilador que tienen diferentes signos, pero el error de fase del oscilador se elimina en el resultado del cuarto multiplicador 617. Por consiguiente, el desfase de frecuencia Δ_f se puede estimar independientemente del error de fase del oscilador del aparato de recepción de señales.

El desfase de frecuencia estimado se puede expresar mediante la siguiente ecuación.

[Ecuación 6]

$$f_B = \angle y_{prod} / 2\pi$$

donde el desfase de frecuencia estimado Δ_f es $0 \leq \Delta_f < 1$.

25 Es decir, puede generarse un solapamiento de fase en un intervalo de $0,5 \leq \Delta_f < 1$ en el desfase de frecuencia estimado en la [Ecuación 4], pero no se genera solapamiento de fase en el desfase de frecuencia estimado en la [Ecuación 6]. Por consiguiente, el desfase de frecuencia se puede medir con más precisión. La estructura de la primera señal piloto se puede usar en el símbolo de datos y la segunda señal de frecuencia. Si se usa tal estructura, se puede mejorar el rendimiento de estimación de desfase tal como la interferencia de CW y se puede mejorar el rendimiento de recepción del receptor.

30 La FIG. 57 es una vista que muestra una realización de detección de la primera señal piloto y medición de un desfase de temporización y un desfase de frecuencia que usa el resultado detectado.

35 Esta realización incluye una primera unidad de retardo 601, una tercera unidad de retardo 602, una primera unidad de cálculo de conjugada compleja 603, una segunda unidad de cálculo de conjugada compleja 604, un primer multiplicador 605, un quinto multiplicador 606, un segundo multiplicador 607, un primer filtro 611, una segunda unidad de retardo 615, un tercer multiplicador 609, un segundo filtro 613, un cuarto multiplicador 617, una unidad de búsqueda de picos 619 y una unidad de medición de fase 621.

En esta realización, la primera unidad de retardo 601 puede retardar una señal recibida. Por ejemplo, la primera unidad de retardo 601 puede retardar la señal recibida por la longitud del sufijo cíclico.

La tercera unidad de retardo 602 puede retardar la señal retardada mediante la primera unidad de retardo 601. Por ejemplo, la tercera unidad de retardo 602 retarda además la señal en una diferencia entre la longitud del prefijo cíclico y la longitud del sufijo cíclico.

5 La primera unidad de cálculo de conjugada compleja 603 puede calcular la conjugada compleja de la señal retardada mediante la tercera unidad de retardo 602 y sacar la señal calculada. La segunda unidad de cálculo de conjugada compleja 604 puede calcular la conjugada compleja de la señal retardada mediante la primera unidad de retardo 601 y sacar la señal calculada.

10 El primer multiplicador 605 puede multiplicar la señal sacada desde la primera unidad de cálculo de conjugada compleja 603 por la señal recibida y sacar la señal multiplicada. El quinto multiplicador 606 puede multiplicar la conjugada compleja calculada mediante la segunda unidad de cálculo de conjugada compleja 604 por la señal recibida y sacar la señal multiplicada.

El segundo multiplicador 607 puede multiplicar la señal sacada desde el primer multiplicador 605 por la cantidad de desplazamiento en frecuencia (designada por $e^{j\pi f_{\text{SHT}}t}$) aplicada a la parte B y sacar la señal multiplicada.

15 El primer filtro 611 realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal sacada desde el segundo multiplicador 607. La parte de promedio en movimiento puede ser la longitud de la parte válida (A) de la primera señal piloto.

El tercer multiplicador 609 puede multiplicar la señal sacada desde el segundo multiplicador 604 por la cantidad de desplazamiento en frecuencia (designada por $-e^{j\pi f_{\text{SHT}}t}$) aplicada a la parte C y sacar la señal multiplicada.

20 El segundo filtro 613 realiza un promedio en movimiento durante un periodo predeterminado con respecto a la señal sacada desde el tercer multiplicador 609. La parte de promedio en movimiento puede ser la longitud de la parte válida A de la primera señal piloto.

La segunda unidad de retardo 615 puede retardar la señal sacada desde el primer filtro 611. Por ejemplo, la segunda unidad de retardo 615 retarda la señal filtrada mediante el primer filtro 611 por la longitud de la parte válida (A) de la primera señal piloto y saca la señal retardada.

25 El cuarto multiplicador 617 multiplica la señal retardada por la segunda unidad 615 de retardo por la señal filtrada mediante el segundo filtro 613 y saca la señal multiplicada. El cuarto multiplicador 617 puede eliminar el error de fase del oscilador.

30 Las operaciones de la unidad de búsqueda de picos 619 y la unidad de medición de fase 621 son iguales a aquellas de la realización descrita anteriormente. La unidad de búsqueda de picos 619 busca la ubicación en la que se genera un valor pico a partir de la señal multiplicada sacada desde el cuarto multiplicador 617 y saca la ubicación buscada a la unidad de medición de fase 621. El valor pico y la ubicación se pueden usar para la estimación de desfase de temporización.

La FIG. 58 es una vista que muestra una realización de un método para transmitir una señal.

35 Una secuencia de transporte que transfiere un servicio se codifica de corrección de errores (S110). Un esquema de codificación de corrección de errores se puede cambiar de acuerdo con las secuencias de transporte.

40 Se puede usar un esquema de codificación de corrección de errores de LDPC ya que el esquema de codificación de corrección de errores y la codificación de corrección de errores se puede realizar a diversas tasas de código. Los bits que se codifican con corrección de errores de acuerdo con una tasa de código de corrección de errores específica se pueden incluir en un bloque codificado con corrección de errores de acuerdo con el modo de codificación de corrección de errores. Si el esquema de codificación de corrección de errores es el LDPC, se pueden usar un modo normal (64800 bits) y un modo corto (16200 bits).

45 Se entrelaza la secuencia de transporte codificada de corrección de errores (S120). El entrelazado se puede realizar diferenciando las direcciones para escritura y lectura de los bits incluidos en el bloque codificado con corrección de errores en y desde una memoria. El número de filas y el número de columnas de la memoria se puede cambiar de acuerdo con el modo de codificación de corrección de errores. El entrelazado se puede realizar en la unidad de los bloques codificados con corrección de errores.

50 Los bits entrelazados se correlacionan con símbolos (S130). Un método de correlación de símbolos se puede cambiar de acuerdo con secuencias de transporte o en la secuencia de transporte. Por ejemplo, como el método de correlación de símbolos, se pueden usar un método de correlación de símbolos de orden más alto y un método de correlación de símbolos de orden más bajo. Cuando los símbolos se correlacionan, la secuencia de bits entrelazados se puede demultiplexar de acuerdo con el método de correlación de símbolos o la tasa de código del código de corrección de errores, y los símbolos se pueden correlacionar usando los bits incluidos en las

subsecuencias demultiplexados. Entonces, se puede cambiar la secuencia de los bits en la palabra de celda correlacionados con los símbolos.

5 Se entrelazan los símbolos correlacionados (S140). Los símbolos correlacionados se pueden entrelazar en la unidad de bloques codificados con corrección de errores. Los entrelazadores en tiempo 132a y 132b pueden entrelazar los símbolos en la unidad de bloques codificados con corrección de errores. Es decir, la secuencia de transporte se entrelaza de nuevo en el nivel de símbolo.

10 Los símbolos entrelazados de la secuencia de transporte se dividen, los símbolos divididos se asignan a una trama de señal que tiene al menos una banda de frecuencia y que incluye intervalos que se dividen temporalmente en las bandas de frecuencia, y un preámbulo que incluye una primera señal piloto y una segunda señal piloto se dispone en una parte inicial de la trama de señal (S150). Los símbolos entrelazados de la secuencia de transporte pueden configurar el PLP con respecto a la secuencia de transporte para proporcionar el servicio. Las secuencias que configuran el PLP se pueden dividir y asignar a la trama de señal. El PLP se puede asignar a la trama de señal que tiene al menos una banda de frecuencia. Si se dispone una pluralidad de bandas de frecuencia, los símbolos que configuran el PLP se pueden disponer en los intervalos desplazados entre las bandas de frecuencia. Los bits
15 incluidos en la secuencia de servicio se pueden disponer en la trama de señal en la unidad de bloques entrelazados codificados con corrección de errores.

La trama de señal se convierte en un dominio de tiempo de acuerdo con un esquema de OFDM (S160).

20 El prefijo cíclico obtenido desplazando en frecuencia una primera parte de una parte válida de la primera señal piloto y el sufijo cíclico obtenido desplazando en frecuencia una segunda parte de la parte válida se insertan en los símbolos de OFDM incluyendo la primera señal piloto en el dominio de tiempo (S170). Si el preámbulo no se inserta en el dominio de la frecuencia, el preámbulo que incluye la primera señal piloto y la segunda señal piloto se puede insertar en el dominio del tiempo. La primera señal piloto del dominio del tiempo puede incluir la parte válida, el prefijo cíclico de la primera parte de la parte válida y el sufijo cíclico de la segunda parte de la parte válida. La primera parte puede ser una parte más posterior o la parte más anterior de la parte válida. La segunda parte puede ser la parte más anterior o la parte más posterior de la parte válida.
25

La trama de señal que incluye la primera señal de trama se transmite por una señal de RF (S180).

30 Dado que la parte válida de la primera señal piloto incluye el prefijo cíclico y el sufijo cíclico desplazados en frecuencia, la trama de señal se puede identificar claramente como la estructura de la primera señal piloto. El desfase de temporización o el desfase de frecuencia se puede estimar y compensar para usar la estructura de la primera señal piloto.

La FIG. 59 es una vista que muestra una realización de un método para recibir una señal.

Una señal se recibe desde una banda de frecuencia específica incluida en una trama de señal (S210). La trama de señal puede tener al menos una banda de frecuencia. La señal se puede recibir desde una banda de frecuencia específica.

35 A partir de la señal recibida, se identifica una primera señal piloto que incluye un prefijo cíclico obtenido desplazando en frecuencia una primera parte de una parte válida y un sufijo cíclico obtenido desplazando en frecuencia una segunda parte de la parte válida, y se demodula la trama de señal en la que los bloques que incluyen los símbolos de la secuencia de transporte se asignan a una pluralidad de intervalos en el dominio del tiempo mediante el esquema de OFDM usando la primera señal piloto (S220). El proceso de demodulación que usa la primera señal piloto se describirá con detalle más adelante.
40

45 La trama de señal identificada se analiza sintácticamente (S230). La trama de señal puede incluir al menos una banda de frecuencia. En la trama de señal, los bloques codificados con corrección de errores que incluyen los símbolos, con los que se correlaciona la secuencia de transporte, se pueden asignar a símbolos de OFDM junto con los bloques codificados con corrección de errores de otra secuencia de transporte. Si la trama de señal incluye una pluralidad de bandas de frecuencia, los bloques codificados con corrección de errores se pueden asignar a los símbolos de OFDM que se desplazan temporalmente en la pluralidad de bandas de frecuencia.

50 Los símbolos, con los que se correlaciona la secuencia de transporte, se desentrelazan de la trama de señal analizada sintácticamente (S240). El desentrelazado se puede realizar en el nivel de símbolo al cual se correlaciona la secuencia de transporte. Por ejemplo, los desentrelazadores en tiempo 245a y 245b pueden desentrelazar los bloques codificados con corrección de errores que incluyen los símbolos, a los que se correlaciona la secuencia de transporte.

55 Entonces, los símbolos desentrelazados se descorrelacionan para obtener la secuencia de transporte (S250). Cuando se descorrelacionan los símbolos, se puede sacar una pluralidad de subsecuencias obtenidas descorrelacionando los símbolos, se pueden multiplexar las subsecuencias de salida y se puede sacar la secuencia de transporte codificada de corrección de errores. El esquema de multiplexación se puede cambiarse de acuerdo

con el método de correlación de símbolos y la tasa de código de corrección de errores. El método de descorrelación de símbolos se puede cambiar en una secuencia de transporte o de acuerdo con secuencias de transporte.

La secuencia de transporte se desentrelaza y la secuencia de transporte desentrelazada se codifica de corrección de errores (S260).

- 5 De acuerdo con un aparato para transmitir y recibir una señal y un método para transmitir y recibir una señal de una realización de la presente invención, es posible detectar y restaurar fácilmente una señal transmitida. Además, es posible mejorar el rendimiento de transmisión/recepción de señales del sistema de transmisión/recepción.

La FIG. 60 es un diagrama de secuencia que ilustra una realización para identificar una primera señal piloto y estimar un desfase en un proceso de demodulación.

- 10 La primera señal piloto incluye el prefijo cíclico obtenido desplazando en frecuencia la primera parte de la parte válida de la misma y el sufijo cíclico obtenido desplazando en frecuencia la segunda parte de la parte válida de la misma. El desfase de temporización y el desfase de frecuencia se pueden calcular usando la primera señal piloto como sigue.

- 15 Se retarda la señal recibida (S311). Por ejemplo, la parte de retardo puede ser la parte válida de la primera señal piloto o 1/2 de la parte válida. Alternativamente, la parte de retardo puede ser la longitud del prefijo cíclico o la longitud del sufijo cíclico.

Se calcula la conjugada compleja de la señal retardada (S313).

- 20 Se multiplican la conjugada compleja de la señal recibida y la señal retardada (S315). La señal retardada multiplicada por la conjugada compleja puede ser la señal que tiene la longitud descrita anteriormente. Si la señal de retardo es la longitud del prefijo cíclico o el sufijo cíclico, se puede calcular la conjugada compleja de la señal retardada.

- 25 La señal multiplicada por la conjugada compleja se desplaza inversamente de acuerdo con el desplazamiento en frecuencia del prefijo cíclico (S317). Es decir, la señal multiplicada por la conjugada compleja se desplaza en la cantidad de desplazamiento inverso de la cantidad de desplazamiento en frecuencia de la señal de prefijo cíclico. Es decir, una señal que se desplaza en frecuencia de manera ascendente se desplaza en frecuencia de manera descendente (o la señal que se desplaza en frecuencia de manera descendente se desplaza en frecuencia de manera ascendente).

- 30 Entonces, se calcula un promedio de la señal que se desplaza inversamente de acuerdo con el desplazamiento en frecuencia del prefijo cíclico (S319). La parte de la que se calcula el promedio puede ser la longitud del prefijo cíclico o la longitud de la parte válida A de la primera señal piloto dependiendo de las realizaciones. Dado que el promedio se calcula con respecto a la señal que tiene la misma longitud junto con la señal recibida, el valor promedio en movimiento se puede sacar junto con la señal recibida.

- 35 La señal de la que se calcula el promedio se retarda (S321). La parte de retardo puede pasar a ser la suma de la longitud del prefijo cíclico y la longitud de 1/2 del periodo válido, la longitud del prefijo cíclico o la longitud de la parte válida A de la primera señal piloto, de acuerdo con la realización.

- 40 La señal multiplicada en la etapa S315 se desplaza inversamente de acuerdo con el desplazamiento en frecuencia del sufijo cíclico (S323). La señal multiplicada por la conjugada compleja se desplaza en la cantidad de desplazamiento inverso de la cantidad de desplazamiento en frecuencia de la señal de sufijo cíclico. Es decir, una señal que se desplaza en frecuencia de manera ascendente se desplaza en frecuencia de manera descendente (o la señal que se desplaza en frecuencia de manera descendente se desplaza en frecuencia de manera ascendente).

Se calcula un promedio con respecto a la señal que se desplaza inversamente de acuerdo con el desplazamiento en frecuencia del sufijo cíclico (S325). El promedio en movimiento se realiza con respecto a la señal que corresponde a la longitud del sufijo cíclico calculado o la longitud de la parte válida de la primera señal piloto de acuerdo con las realizaciones.

- 45 La señal retardada en el paso S321 y la señal de la que se calcula el promedio en el paso S325 se multiplican (S327).

Se busca una ubicación pico del resultado multiplicado (S329) y se mide la fase de la señal usando el pico (S331). El pico buscado se puede usar para estimar el desfase de temporización y la fase medida se puede usar para estimar el desfase de frecuencia.

- 50 En este diagrama de flujo, se pueden cambiar la longitud del sufijo cíclico, la longitud del prefijo cíclico y la cantidad de desplazamiento inverso en frecuencia.

5 De acuerdo con el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la invención, si el símbolo de datos que configura el PLP y los símbolos que configuran el preámbulo se modulan en el mismo modo de FFT, la probabilidad de que el símbolo de datos se detecte por el preámbulo es baja y la probabilidad de que se detecte erróneamente el preámbulo es reducida. Si se incluye una interferencia de onda continua (CW) como la señal de TV analógica, la probabilidad de que el preámbulo se detecte erróneamente por una componente DC de ruido generada en el momento de la correlación es reducida.

10 De acuerdo con el aparato para transmitir y recibir la señal y el método para transmitir y recibir la señal de la invención, si el tamaño de la FFT aplicada al símbolo de datos que configura el PLP es mayor que aquel de la FFT aplicada al preámbulo, el rendimiento de detección del preámbulo se puede mejorar incluso en un canal de dispersión del retardo que tiene una longitud igual o mayor que la de la parte de símbolo válida A del preámbulo. Dado que tanto el prefijo cíclico (B) como el sufijo cíclico (C) se usan en el preámbulo, se puede estimar el desfase de frecuencia de portadora fraccional.

En lo sucesivo, se describirá un ejemplo de un método de transmisión y recepción de señales de acuerdo con el método de entrelazado de bits mencionado anteriormente.

15 La FIG. 61 ilustra otro ejemplo de un método de transmisión y recepción de señales de acuerdo con la presente invención.

Las secuencias de transporte que incluyen el servicio se codifican con corrección de errores (S411).

20 Se entrelazan los bits de las secuencias de transporte codificadas con corrección de errores variando un método de almacenamiento de los bits en la memoria y un método de lectura de los bits a partir de la memoria de acuerdo con el método de correlación de símbolos (S413). En este caso, el entrelazado de bits se realiza de manera que los bits se almacenan en la memoria en unidades de columna, en donde la memoria tiene una pluralidad de filas y columnas de acuerdo con el método de correlación de símbolos, se genera un desfase entre las ubicaciones de los primeros bits almacenados en cada columna de acuerdo con el método de correlación de símbolos, y en cada columna, se almacenan los bits desde la ubicación en la que se almacenan los primeros bits a la ubicación en la que se almacenan los bits de acuerdo con un direccionamiento circular.

25 Si se leen los bits almacenados, los bits almacenados en la memoria de acuerdo con el método de correlación de símbolos se leen en unidades de fila. En este caso, se debería generar un desfase en ubicaciones de los primeros bits leídos desde cada fila de acuerdo con el método de correlación de símbolos, y en cada columna, se leen los bits desde la ubicación en la que los primeros bits se leen de acuerdo con un direccionamiento circular.

30 Se realiza una correlación de símbolos de los bits entrelazados de acuerdo con el método de correlación de símbolos anterior (S415).

Los símbolos correlacionados se asignan a tramas de señal transmitidas a al menos un canal de RF, y un preámbulo, que incluye una primera señal piloto que puede identificar las tramas de señal entre sí, está dispuesto en las tramas de señal (S417).

35 Las tramas de señal se modulan y luego se transmiten (S419).

Un procedimiento para recibir y procesar la señal anterior se describirá más adelante.

Una señal de recepción que incluye tramas de señal transmitidas a al menos un canal de RF se recibe desde el primer canal de RF, y las tramas de señal se identifican desde la primera señal piloto del preámbulo de las tramas de señal (S421).

40 Se demodulan las tramas de señal, y se analizan sintácticamente las tramas de señal demoduladas, de manera que se sacan los símbolos de la primera secuencia de transporte entre una pluralidad de intervalos de tiempo (S423).

Se descorrelacionan los símbolos de acuerdo con el método de correlación de símbolos para sacar secuencias de bits (S425).

45 Se desentrelazan las secuencias de bits de salida variando el procedimiento de almacenamiento de los bits en la memoria y el método de lectura de los bits a partir de la memoria (S427). Se usa el entrelazado de bits correspondiente a la etapa S413. Los bits se almacenan en la memoria en unidades de columna, en donde la memoria tiene una pluralidad de filas y columnas de acuerdo con el método de correlación de símbolos. En este caso, los bits se deberían almacenar en la memoria de manera que se genera un desfase entre las ubicaciones de los primeros bits almacenados en cada columna de acuerdo con el método de correlación de símbolos, y en cada columna, se almacenan los bits desde la ubicación en la que se almacenan los primeros bits para la ubicación en la que se almacenan los bits de acuerdo con un direccionamiento circular.

50 Si se leen los bits almacenados, los bits almacenados en la memoria de acuerdo con el método de correlación de símbolos se leen en unidades de fila. En este caso, se debería generar un desfase en las ubicaciones de los

primeros bits leídos desde cada fila de acuerdo con el método de correlación de símbolos, y en cada columna, se leen los bits desde la ubicación en la que se leen los primeros bits, de acuerdo con un direccionamiento circular.

Los bits desentrelazados se descodifican con corrección de errores (S429).

5 La FIG. 62 es una vista que muestra otra realización de un aparato para transmitir una señal. El aparato de transmisión de señales mostrado en la FIG. 62 incluye un procesador de entrada 110, una unidad de codificación y modulación 120, un formador de tramas 130, un codificador MIMO/MISO 140, moduladores 150a,..., y 150r correspondientes a los múltiples trayectos del codificador MIMO/MISO 140, y una pluralidad de procesadores analógicos 160a,..., y 160r. Esta realización es similar a la realización mostrada en la FIG. 4 excepto que se incluyen además un generador de información (L1/L2) 1301 y un codificador de información (L1/L2) 1303 para codificar y entrelazar información de capa 1 e información de capa 2. Los ejemplos del generador 1301 de información y el codificador de información 1303 se describirán ahora en detalle.

10 Como se describió anteriormente, la información de capa 1 puede incluir información acerca de una configuración de PLP de una trama de señal y se puede incluir en una segunda señal piloto. La información de capa 2 puede describir un servicio transmitido por un PLP incluida en la trama de señal y se puede transmitir a la segunda señal piloto o un PLP común. Por ejemplo, aunque la segunda señal piloto y el PLP común incluido en la trama de señal se transmitan a una pluralidad de canales de RF de la trama de señal, el mismo valor se transmite a la pluralidad de canales de RF. Por consiguiente, dado que no se puede obtener una ganancia de diversidad de frecuencia, las señales se pueden procesar de manera que se mejora la capacidad de recuperación de información de acuerdo con el entrelazado o la codificación de corrección de errores.

15 Si el formador de tramas 130 configura la trama de señal, el generador de información 1301 puede generar la información de capa 1 y la información de capa 2 que se incluirán en la trama de señal. El generador de información 1301 puede generar una ubicación de la trama de señal, a la que se transmitirá una secuencia de transporte para transmitir un servicio, e información de modulación y codificación de la secuencia de transporte.

20 El codificador de información 1303 puede codificar la información de capa 1 y la información de capa 2 generadas por el generador de información 1301 de acuerdo con la información de modulación y codificación. El formador de tramas 130 inserta la información de capa 1 codificada mediante el codificador de información 1303 en la segunda señal piloto e inserta la información de capa 2 en la segunda señal piloto o el PLP común. Por consiguiente, la información de capa 1 y la información de capa 2 se pueden proteger de un error de un canal de transmisión mediante el codificador de información 1303.

25 La FIG. 63 es una vista que muestra una realización del codificador de información 1303. El codificador de información puede incluir un primer codificador 1311, un primer entrelazador 1313, un segundo codificador 1315 y un segundo entrelazador 1317.

30 El primer codificador 1311 es un codificador externo, que realiza una primera codificación de corrección de errores con respecto a datos de entrada (la información de capa 1 y la información de capa 2). Por ejemplo, los datos de entrada se pueden codificar con corrección de errores mediante un esquema de codificación de corrección de errores de BCH. La codificación de corrección de errores del primer codificador 1311 se realiza para suprimir el suelo de error de acuerdo con un esquema de codificación de corrección de errores del segundo codificador.

El primer entrelazador 1313 es un entrelazador exterior, que puede entrelazar los datos sacados desde el primer codificador 1311. El primer entrelazador 1313 puede reducir un error de ráfaga.

35 El segundo codificador 1315 es un codificador interior, que realiza una segunda codificación de corrección de errores con respecto a los datos sacados desde el primer entrelazador 1313. Por ejemplo, el segundo codificador 1315 puede codificar los datos entrelazados por el primer entrelazador 1313 mediante un esquema de codificación de corrección de errores de LDPC.

40 El segundo codificador 1315 puede realizar un acortamiento y perforación con respecto a los datos para estar codificado con corrección de errores, cuando se codifican los datos de entrada. Por ejemplo, dado que la cantidad de información de capa 1 e información de capa 2 es menor que aquella de los datos de secuencia de transporte para transmitir un servicio, se puede usar un código con una longitud corta. Por consiguiente, el segundo codificador 1315 puede realizar un acortamiento y perforación a partir de un código madre con una tasa de código baja y sacar un código de corrección de errores con una longitud corta. Como el código madre, se puede usar un código de convolución o un LDPC.

45 El segundo codificador 1315 rellena un cero (0) a un tamaño pequeño de bits de información (rellenado con ceros), de manera que el segundo codificador 1315 conforma el número de bits de entrada para codificación de LDPC (acortamiento). Después de la codificación de LDPC, el segundo codificador 1315 elimina el cero relleno y realiza una perforación en una parte de la paridad generada de datos de codificación para conformar a su tasa de código.

El segundo entrelazador 1317 es un entrelazador interior, que realiza un entrelazado de bits con respecto a los datos codificados por el segundo codificador 1315. El entrelazado de bits se puede realizar mediante uno de los esquemas mostrados en las FIG. 20 a 28.

5 La FIG. 64 es una vista que muestra una realización de un aparato para recibir una señal. Esta realización es similar al aparato de recepción de señales mostrado en la FIG. 39. Por consiguiente, la realización del aparato de recepción de señales incluye un primer receptor de señales 210a, un receptor de señales de orden n 210n, un primer demodulador 220a, un demodulador de orden n 220n, un descodificador MIMO/MISO 230, un analizador sintáctico de tramas 240, un demodulador de descodificación 250 y un procesador de salida 260. La realización de este dibujo incluye además un descodificador de información (L1/L2) 2401 y un extractor de información (L1/L2) 2403.

10 El analizador sintáctico de tramas 240 puede analizar sintácticamente la trama de señal. El analizador sintáctico de tramas 240 puede analizar sintácticamente el preámbulo de la trama de señal que incluye la primera señal piloto y la segunda señal piloto. El analizador sintáctico de tramas 240 puede analizar sintácticamente el analizador sintáctico común.

15 El analizador sintáctico de tramas 240 saca la información de capa 1 y la información de capa 2 incluidas en la segunda señal piloto y el PLP común al descodificador de información 2401. El descodificador de información 2401 descodifica la información de capa 1 y la información de capa 2. El ejemplo del descodificador de información 2401 se describirá en detalle más tarde. El extractor de información 2403 extrae la información de capa 1 y la información de capa 2 descodificadas y saca la información de capa 1 al analizador sintáctico de tramas 240 y un controlador de sistema (no mostrados). El analizador 240 sintáctico de tramas puede comprobar la configuración de las PLP
20 incluidas en la trama de señal usando la información de capa 1 extraída y sacar un PLP seleccionado por un usuario de acuerdo con la información de capa 1.

La FIG. 65 es una vista que muestra una realización detallada de descodificación de información de capa 1 e información de capa 2. Esta realización puede incluir un primer desentrelazador 2411, un primer descodificador 2413, un segundo desentrelazador 2415 y un segundo descodificador 2417.

25 El primer desentrelazador 2411 realiza un entrelazado interno con respecto a los datos de entrada que incluye la información de capa 1 y la información de capa 2. El esquema de desentrelazado del primer desentrelazador 2411 se puede realizar mediante uno de los esquemas de entrelazado de bits descritos con respecto a las FIG. 20 a 28.

30 El primer descodificador 2413 realiza descodificación de corrección de errores con respecto a los datos desentrelazados de acuerdo con un primer esquema de codificación de corrección de errores. En este caso, se pueden descodificar los datos que incluyen la información de capa 1 e información de capa 2 acertada y perforada.

Por ejemplo, el primer descodificador 2413 realiza desperforación con respecto a los bits de paridad de los datos sacados desde el primer desentrelazador 2411. Además, el primer descodificador 2413 añade 0 a los datos desperforados y realiza descodificación de corrección de errores. El primer descodificador 2413 elimina los 0 añadidos y saca los datos acertados.

35 El segundo desentrelazador 2415 realiza desentrelazado con respecto a los datos descodificados con corrección de errores mediante el primer descodificador 2413, y el segundo descodificador 2417 realiza descodificación de corrección de errores con respecto a los datos sacados desde el segundo desentrelazador 2415 de acuerdo con un segundo esquema de codificación de corrección de errores. El segundo descodificador 2417 puede sacar datos en bruto de la información de capa 1 y la información de capa 2.

40 Aunque, en la realización descrita anteriormente, la información de capa 1 y la información de capa 2 se codifican/descodifican con corrección de errores usando el esquema de acortamiento y el esquema de perforación, se puede codificar/descodificar con corrección de errores al menos una de la información de capa 1 y la información de capa 2. Por ejemplo, pueden usarse el esquema de acortamiento y el esquema de perforación con respecto
45 solamente a la información de capa 1. En este caso, las realizaciones de las FIG. 63 y 65 se pueden emplear con respecto solamente a la información de capa 1. Las realizaciones de las FIG. 6 y 49 se pueden emplear con respecto solamente a la información de capa 1, y viceversa.

La FIG. 66 es un diagrama de flujo que ilustra un método para transmitir y recibir una señal. En lo sucesivo, se describirá la realización de procesamiento de la información de capa 1. No obstante, la información de capa 2 se puede transmitir en un estado de estar dispuesto en el PLP común similar a esta realización. En lo sucesivo, se describirá en detalle una realización de descodificación y codificación de la información de capa 1.
50

Se genera la información de capa 1 que se insertará en una trama de señal (S501). La información de capa 1 puede incluir información acerca la configuración de PLP de la trama de señal e información para identificar la trama de señal. La información acerca la configuración de PLP puede incluir información acerca de las PLP incluidas en una supertrama incluida en una pluralidad de tramas de señal e información acerca las tramas de señal de la supertrama. El PLP puede ser una unidad en la que las secuencias de transporte se codifican y modulan
55

individualmente para transmitir las secuencias de transporte. El PLP se puede asignar a al menos un canal de RF de la trama de señal o una pluralidad de tramas de señal.

5 La información de capa 1 se codifica usando un esquema de codificación de corrección de errores que incluye el esquema de acortamiento y el esquema de perforación (S503). Dado que el tamaño de la información de capa 1 que se insertará en la trama de señal es pequeño, la información de capa 1 se puede codificar usando un esquema de codificación de corrección de errores de acuerdo con un modo corto de un esquema de codificación de corrección de errores tal como un esquema de codificación de LDPC.

Se entrelazan los bits de la información de capa 1 codificada de corrección de errores (S505).

10 Como la codificación de corrección de errores, se puede realizar el primer proceso de codificación de corrección de errores o el segundo proceso de codificación de corrección de errores. Entonces, se realiza un primer entrelazado después de la primera codificación de corrección de errores y se realiza un segundo entrelazado después de la segunda codificación de corrección de errores. Como la segunda codificación de corrección de errores, se puede usar un esquema de codificación de corrección de errores de LDPC.

15 Por ejemplo, se realiza el segundo paso de codificación de corrección de errores añadiendo 0 a los datos de entrada para comprobar un número de los datos de entrada (acortamiento). Después de la segunda codificación de corrección de errores, se perfora una parte de los bits de paridad generados y se ajusta la tasa de código del esquema de segunda codificación de corrección de errores (perforación).

20 Los bits entrelazados de la información de capa 1 se disponen en un preámbulo de la trama de señal y las PLP se disponen en la trama de señal (S507). La trama de señal puede incluir las PLP que se transmitirán a través de al menos un canal de RF.

La trama de señal se modula y transmite a través de al menos un canal de RF (S509).

Si se recibe la señal, la trama de señal transmitida en una banda de RF que incluye al menos un canal de RF se recibe desde un primer canal de RF (S511).

Se demodula la trama de señal de la señal recibida (S513).

25 Se analiza sintácticamente el preámbulo de la trama de señal que incluye la información de capa 1, y se saca la información de capa 1 (S515).

Se desentrelazan los bits de la información de capa 1 (S517).

30 Se descodifican los bits desentrelazados usando un esquema de descodificación de corrección de errores que incluye el esquema de acortamiento y el esquema de perforación (S519). En este paso, por ejemplo, se desperforan los bits desentrelazados y se añade 0 de acuerdo con el esquema de codificación de corrección de errores. Los datos a los que se añade 0 se descodifican con corrección de errores y se elimina el 0 añadido.

Se analiza sintácticamente la trama de señal usando la información de capa 1 descodificada de corrección de errores y se obtienen los PLP a partir de la trama de señal (S521).

35 Mediante este proceso, dado que la codificación de corrección de errores se realiza con respecto al preámbulo de la trama de señal mediante el que no se puede obtener una ganancia de diversidad, es posible corregir un error de la información incluida en el preámbulo. Por consiguiente, es posible mejorar el rendimiento de recepción de la información incluida en el preámbulo preciso.

En lo sucesivo, se describirá una realización para usar de manera eficaz un preámbulo de una trama de señal.

40 La FIG. 67 es una vista que muestra una estructura de un preámbulo de una trama de señal. El preámbulo de la trama de señal incluye una primera señal piloto P1 y una segunda señal piloto P2. La trama de señal puede incluir símbolos de datos que incluyen al menos un PLP. La primera señal piloto puede incluir información para identificar la trama de señal. La estructura de la primera señal piloto se describió anteriormente.

45 La segunda señal piloto puede incluir información de capa 1. La información de capa 1 puede incluir una señal de señalización previa de capa 1 (L1) y una señal de señalización posterior de capa 1 (L1). La señal de señalización previa de L1 puede incluir información para recibir y descodificar la señal de señalización posterior de L1 (por ejemplo, información acerca el método de modulación y el tamaño de la señal de señalización posterior de L1).

50 La señal de señalización posterior de L1 puede incluir información acerca de la planificación de PLP. Por ejemplo, la señal de señalización posterior de L1 incluye información que indica una ubicación en la que cualquier PLP se dispone en la trama de señal. La información acerca de la señal de señalización posterior de L1 se describirá en detalle más tarde.

- La segunda señal piloto puede incluir una región de datos establecida por la información de capa 1 y una región de datos restantes, que aquí dentro se llama una tercera región de datos (otros datos), en una región de información de capa 1. La tercera región de datos puede incluir datos de relleno para encajar al tamaño variable de la información de capa 1 establecida en un tamaño fijo o puede incluir un PLP para una transmisión de datos eficaz. Los contenidos relacionados con la misma se describirán en detalle posteriormente.
- La FIG. 68 es una vista que muestra una estructura de la segunda señal piloto P2. La segunda señal piloto incluye una señal de señalización previa de L1, una señal de señalización posterior de L1 y una tercera región de datos.
- La señal de señalización posterior de L1 puede incluir una parte estática que es una variable de una trama general, una parte configurable que es una variable de una supertrama y una parte dinámica que es una variable de una trama de señal.
- La parte dinámica puede incluir la siguiente información.
- Un campo `frame_id` indica un identificador de una trama de señal.
- Un campo `notif_size` indica el tamaño de un mensaje de NOTIFICATION si la trama de señal incluye el mensaje de NOTIFICATION que indica un cambio de servicio y emergencia.
- Un campo `NUM_PLP` indica el número de PLP incluidos en la trama de señal.
- Un campo `PLP_LOOP` indica un bucle que incluye información detallada sobre los PLP de acuerdo con el número de PLP, por ejemplo, información de la ubicación de los PLP. La información que se puede incluir en el campo `PLP_LOOP` se describirá ahora en detalle.
- Un campo `CRC_32` indica un código de comprobación de redundancia cíclica para recibir la información de capa 1 y realizar descodificación de corrección de errores.
- La tercera región de datos de la región de información de capa 1 se puede llenar de datos. No obstante, dado que la tercera región de datos de la información de capa 1 es una región restante, si se añaden los datos de relleno a la región restante, se puede disminuir una tasa de transmisión de datos. Alternativamente, la tercera región de datos puede estar sobredimensionada en transmisión de datos.
- Por consiguiente, ahora se describirá una realización para transmitir PLP en la tercera región de datos. Si los PLP se incluyen en la tercera región de datos, se describirá una realización para señalar los PLP.
- Por ejemplo, la información de capa 2 puede incluir información que describe un servicio suministrado por un PLP incluido en la trama de señal (por ejemplo, información de descripción de servicio tal como la información de PSI/SI). La información de capa 2 puede estar incluida en todas las tramas de señal como un PLP común. Esta PLP se puede denominar PLP común (PLP0).
- La tercera región de datos de la información de capa 1 puede transmitir el PLP común. Alternativamente, se codifican con corrección de errores individualmente secuencias de transporte para transmitir servicios y se pueden incluir PLP de datos correlacionados con símbolos en la tercera región de datos de la información de capa 1.
- La tercera región de datos de la información de capa 1 puede incluir un PLP común o un PLP de datos. Si no puede incluirse todo el PLP común o PLP de datos en la tercera región de datos, los datos consecutivos al PLP común o al PLP de datos se ubican en una carga útil de la trama de señal.
- Como se describió anteriormente, el `PLP_LOOP` puede incluir información de ubicación de los PLP en cada trama de señal si los PLP se asignan a al menos una trama de señal. En este momento, el orden de los PLP identificados en el bucle puede ser diferente del orden de los PLP dispuestos en la trama de señal.
- El `PLP_LOOP` incluye identificadores de PLP `PLP_ID` incluidos en la trama de señal el cual se identifica actualmente. Además, el `PLP_LOOP` puede incluir información de la dirección inicial del PLP `PLP_START` que indica las ubicaciones iniciales de los PLP de la trama de señal con respecto a los identificadores de PLP.
- Por ejemplo, la dirección inicial de PLP se puede representar por un número de celda (portadora) incluido en un símbolo de OFDM. Si se señala la dirección del PLP de datos o el PLP común incluida en la tercera región de datos, se puede señalar una ubicación inicial del PLP común o el PLP de datos de los números de celda incluidos en un último símbolo de OFDM de la tercera región de datos como la dirección inicial de PLP.
- Por consiguiente, si se transmite la tercera región de datos en la que se rellenan datos de relleno, una primera celda de una carga útil siempre llega a ser la dirección inicial de PLP. No obstante, si el PLP común o el PLP de datos se ubica en la tercera región de datos de la información de capa 1, una primera celda de un último símbolo de OFDM de la segunda señal piloto se puede fijar a un 0 de dirección. Por consiguiente, si el PLP común o el PLP de datos se

incluye en la tercera región de datos de la información de capa 1, se puede señalar la ubicación del PLP común o el PLP de datos como la dirección inicial de PLP de la parte dinámica de la señalización posterior de L1.

5 Como se describió anteriormente, dado que la señalización previa de L1 incluye información acerca del tamaño de la señalización posterior de L1, el receptor puede conocer una ubicación final de la señalización posterior de L1. El receptor puede conocer la ubicación inicial del PLP común o el PLP de datos consecutiva a la información de capa 1 establecida usando la dirección inicial de PLP PLP_START de la parte dinámica de la información de capa 1. Por consiguiente, es posible transmitir datos de manera eficaz sin los datos de relleno en la segunda señal piloto.

El aparato para transmitir y recibir la segunda señal piloto se describirá con referencia a los dibujos descritos anteriormente.

10 Con referencia a la FIG. 62, el generador 1301 de información puede fijar el número de la celda que inicia el PLP de datos o el PLP común de los números de celda del símbolo de OFDM de la tercera región de datos en la dirección inicial de PLP de la parte dinámica aplicada a la trama de señal de la segunda señal piloto.

15 Si el PLP ubicada en la tercera región de datos de la información de capa 1 establecida es el PLP de datos, el analizador sintáctico de tramas 130 dispone al menos un PLP sacado desde el modulador 120 de codificación para ser situado en la tercera región de datos de la información de capa 1.

Alternativamente, si el PLP ubicado en la tercera región de datos de la información de capa 1 es el PLP común, el analizador sintáctico de tramas 130 dispone el PLP común sacado desde el codificador de información 1303 en la tercera región de datos de la información de capa 1 en la trama de señal.

20 Los moduladores 150a y 150r incluyen el PLP en la tercera región de datos de la segunda señal piloto y modulan la trama de señal que incluye la dirección inicial del PLP en la parte dinámica de la información de capa 1.

Los procesadores analógicos 160a y 160r transmiten la trama modulada a través del canal de RF.

Los otros bloques incluidos en el aparato de transmisión se describieron anteriormente con referencia a las FIG. 4 y 62.

25 Con referencia a la FIG. 64, el analizador sintáctico de tramas 240 analiza sintácticamente la segunda señal piloto y saca la señal analizada sintácticamente al descodificador de información 2401. El descodificador de información 2401 descodifica información de capa 1 de la segunda señal piloto y obtiene la dirección inicial del PLP de datos o el PLP común incluida en la tercera región de datos de la segunda señal piloto a partir de la parte dinámica de información de capa 1.

30 Si el extractor de información 2403 extrae la dirección inicial, el analizador sintáctico de tramas 240 analiza sintácticamente el PLP de datos o el PLP común incluido en la tercera región de datos de información de capa 1 a partir de la trama de señal. El demodulador de descodificación 250 descodifica el PLP de datos o el PLP común y saca el PLP descodificado como información de descripción de servicio tal como PSI/SI o la secuencia de transporte.

La FIG. 69 es un diagrama de flujo que ilustra una realización de un método para transmitir y recibir una señal.

35 Se genera una segunda señal piloto que incluye una tercera región de datos, que es una región restante de una región de información de capa 1 en la que se asigna información de capa 1 (S531). La parte dinámica de la información de capa 1 de la segunda señal piloto, puede incluir una dirección inicial de PLP de un PLP a ser incluido en la segunda señal piloto. Alternativamente, un tamaño de información de señalización posterior de capa 1 se puede establecer a la información de señalización previa de capa 1 en la segunda señal piloto, y cuando se reciba la señal, un receptor puede buscar una dirección inicial de PLP en la tercera región de datos usando el tamaño de información de señalización posterior de capa 1.

La segunda señal piloto generada se dispone en un preámbulo de una trama de señal y se dispone un PLP en la tercera región de datos y una región de símbolos de datos de la trama de señal (S533).

La trama de señal se modula y transmite a través de al menos un canal de RF (S535).

45 En un caso en el que un receptor recibe la señal de RF, una señal se recibe desde un canal de RF específico (S541).

Se demodula la señal recibida (S543).

50 Se analiza sintácticamente una trama de señal de la señal recibida (S545). La información de capa 1 incluye información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización posterior y la información de señalización posterior incluye una dirección inicial del PLP. La dirección inicial del PLP es el número de una celda incluida en un último símbolo de OFDM para la información de capa 1.

Se adquiere el PLP ubicado en la tercera región de datos de la trama de señal (S547). Se obtiene el PLP usando al menos uno de un tamaño de la información de señalización posterior y una dirección inicial del PLP.

Se obtiene una secuencia de transporte a partir del PLP (S549).

- 5 Por consiguiente, dado que el PLP se transmite a través del preámbulo de la trama de señal, es posible usar de manera eficaz la trama de señal y señalar la ubicación del PLP incluido en el preámbulo a través de la información de capa 1 del preámbulo.

Para resumir, ha sido revelado anteriormente un método para transmitir una señal, el método que comprende:

generar una segunda señal piloto que incluye una región de información de capa 1 para asignar información de capa 1;

- 10 disponer la segunda señal piloto generada en un preámbulo de una trama de señal, y disponer un conducto de capa física en una región específica de la región de información de capa 1; y

modular la trama de señal y transmitir la trama de señal a través de al menos un canal de radiofrecuencia.

- 15 De acuerdo con una realización, la información de capa 1 incluye información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización posterior y la información de señalización posterior incluye una dirección inicial del PLP. La dirección inicial del PLP puede ser el número de una celda incluido en un último símbolo OFDM para la información de capa 1.

La región específica puede ser una parte restante de la región de información de capa 1.

También ha sido revelado anteriormente un método para recibir una señal, el método que comprende:

recibir una señal transmitida desde un canal de radiofrecuencia específico;

- 20 desmodular la señal recibida;

analizar sintácticamente una trama de señal de la señal desmodulada; y

obtener un conducto de capa física ubicado en una región específica de una región de información de capa 1 de una segunda señal piloto, desde la trama de señal.

- 25 De acuerdo con una realización, la información de capa 1 incluye información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización posterior y la información de señalización posterior incluye una dirección inicial del PLP. El PLP se puede obtener usando al menos uno de un tamaño de la información de señalización posterior y una dirección inicial del PLP, la dirección inicial del PLP puede ser el número de una celda incluido en un último símbolo OFDM para la información de capa 1.

- 30 La región específica puede ser una parte restante de la región de información de capa 1.

También ha sido revelado anteriormente un aparato para transmitir una señal, el aparato que comprende:

un generador de información configurado para generar una segunda señal piloto que incluye una región de información de capa 1 para asignar información de capa 1;

- 35 un formador de tramas configurado para disponer la segunda señal piloto generada en un preámbulo de una trama de señal y disponer un conducto de capa física en una región específica de la región de información de capa 1, el PLP que corresponde a una secuencia de transporte;

un modulador configurado para modular la trama de señal; y

una unidad de transmisión configurada para transmitir la trama de señal modulada a través de al menos un canal de radiofrecuencia.

- 40 De acuerdo con una realización, la información de capa 1 incluye información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización posterior y la información de señalización posterior incluye una dirección inicial del PLP.

También ha sido revelado anteriormente un aparato para recibir una señal, el aparato que comprende:

un receptor configurado para recibir una señal transmitida desde un canal de radiofrecuencia específico;

- 45 un demodulador configurado para demodular la señal recibida;

un analizador sintáctico de tramas para analizar sintácticamente una trama de señal de la señal demodulada y obtener un conducto de capa física ubicado en una región específica de una región de información de capa 1 de una segunda señal piloto, desde la trama de señal.

5 En una realización, la información de capa 1 incluye información de señalización previa e información de señalización posterior, y la información de señalización previa incluye un tamaño de la información de señalización posterior y la información de señalización posterior incluye una dirección inicial del PLP. El analizador sintáctico de tramas se puede configurar además para obtener el PLP usando al menos uno de un tamaño de la información de señalización posterior y una dirección inicial del PLP, y el aparato además puede comprender:

10 un decodificador de información configurado para obtener la dirección inicial del conducto de capa física ubicado en la región específica desde la información de capa 1 de la segunda señal piloto de la trama de señal.

Será evidente a aquellos expertos en la técnica que se pueden realizarse diversas modificaciones y variaciones en la presente invención sin apartarse del alcance de la invención. De esta manera, se pretende que la presente invención cubra las modificaciones y variaciones de esta invención a condición de que se encuentren dentro del alcance de las reivindicaciones adjuntas.

15

REIVINDICACIONES

1. Un método para transmitir una señal de radiodifusión, el método que comprende:
 - codificar datos de Conducto de Capa Física, PLP, mediante un esquema de codificación de código de comprobación de paridad de baja densidad, LDPC;
 - 5 construir una trama de señal que incluye un preámbulo y una carga útil, y
 - transmitir la trama de señal construida a través de al menos un canal de radiofrecuencia, RF, en el que el preámbulo en la trama de señal transmitida incluye una primera señal piloto, P1, y una segunda señal piloto, P2, en donde los datos del PLP codificados se incluyen en la carga útil y la segunda señal piloto, P2,
 - 10 en el que la segunda señal piloto, P2, incluye información de señalización de capa 1, L1, la cual identifica los datos del PLP codificados dentro de la trama de señal y la información de señalización de capa 2, L2, la cual incluye información de servicio para describir un servicio de radiodifusión en los datos del PLP codificados dentro de la trama de señal,
 - caracterizado porque la información de señalización de L1 está codificada en datos usando un esquema de codificación de corrección de errores que incluye un esquema de reducción y un esquema de perforación, y
 - 15 la primera señal piloto, P1, incluye una parte válida, un prefijo cíclico obtenido mediante desplazamiento en frecuencia de una primera parte de la parte válida, y un sufijo cíclico obtenido mediante desplazamiento en frecuencia de una segunda parte de la parte válida.
2. El método de la reivindicación 1, en el que la primera parte es una parte de más adelante de la parte válida, y la segunda parte es una parte de más atrás de la parte válida.
- 20 3. El método de la reivindicación 1, en el que la primera señal piloto, P1, incluye información para señalar la segunda señal piloto, P2, y la segunda señal piloto, P2, incluye información de señalización de Capa 1, L1, para señalar los datos del PLP.
4. El método de la reivindicación 1, en el que la primera señal piloto, P1, tiene un tamaño de una transformada rápida de Fourier, FFT, para los datos del PLP.
- 25 5. El método de la reivindicación 3, en el que la información de señalización de L1 incluye una señal de señalización previa de L1 para descodificar una señal de señalización posterior de L1 y la señal de señalización posterior de L1 para descodificar los datos del PLP.
6. El método de la reivindicación 1, en el que los datos de PLP se multiplexan sobre un número natural, N, de frecuencias incluidas en la trama de señal, cuando $N > 1$, la trama de señal tiene una estructura del sistema de Desplazamiento de Tiempo-Frecuencia, TFS.
- 30 7. El método de la reivindicación 5, en el que la señal de señalización posterior de L1 incluye una parte configurable la cual se cambia por la unidad de una supertrama, y una parte dinámica la cual se cambia por la unidad de la trama de señal.
8. El método de la reivindicación 5, en el que la parte dinámica incluye información de inicio del PLP que indica una posición de inicio para los datos de PLP codificados dentro de la trama.
- 35 9. El método de la reivindicación 4, en el que la segunda señal piloto, P2, además tiene información de capa 2, L2, que incluye información de descripción de servicio para un servicio.
10. El método de la reivindicación 1, además comprende:
 - bits de entrelazado de bits de los datos de PLP codificados; y
 - 40 demultiplexar los bits de entrelazado de bits en donde un orden de salida de los bits demultiplexados es diferente de un orden de los bits de entrelazado de bits.
11. El método de la reivindicación 10, en el que los bits de entrelazado de bits se demultiplexan de acuerdo con una tasa de código para los datos de PLP.
- 45 12. El aparato configurado para transmitir una señal de radiodifusión de acuerdo con una de las reivindicaciones 1 a 11.

FIG. 1

	RF 1	RF 2	RF 3	RF 4
	17	12	7	Servicio 2
	16	11	6	Servicio 2
	15	10	5	Servicio 1
	14	9	4	Servicio 1
	13	8	Servicio 3	Servicio 1
	12	7	Servicio 2	17
	11	6	Servicio 2	16
	10	5	Servicio 1	15
	9	4	Servicio 1	14
	8	Servicio 3	Servicio 1	13
	7	Servicio 2	17	12
	6	Servicio 2	16	11
	5	Servicio 1	15	10
	4	Servicio 1	14	9
	Servicio 3	Servicio 1	13	8
	Servicio 2	17	12	7
	Servicio 2	16	11	6
	Servicio 1	15	10	5
	Servicio 1	14	9	4
	Servicio 1	13	8	Servicio 3
	P2	P2	P2	P2
	P1	P1	P1	P1

Tempo
(no a escala)

FIG. 2

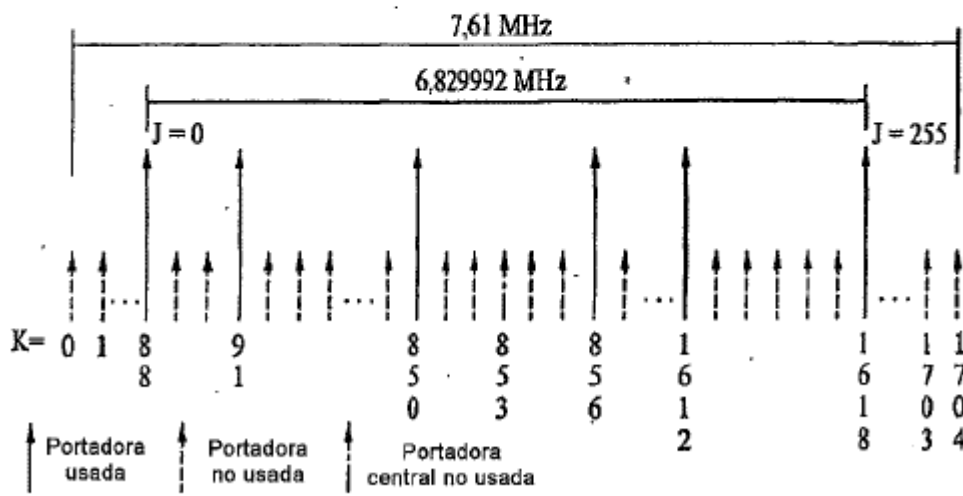


FIG. 3

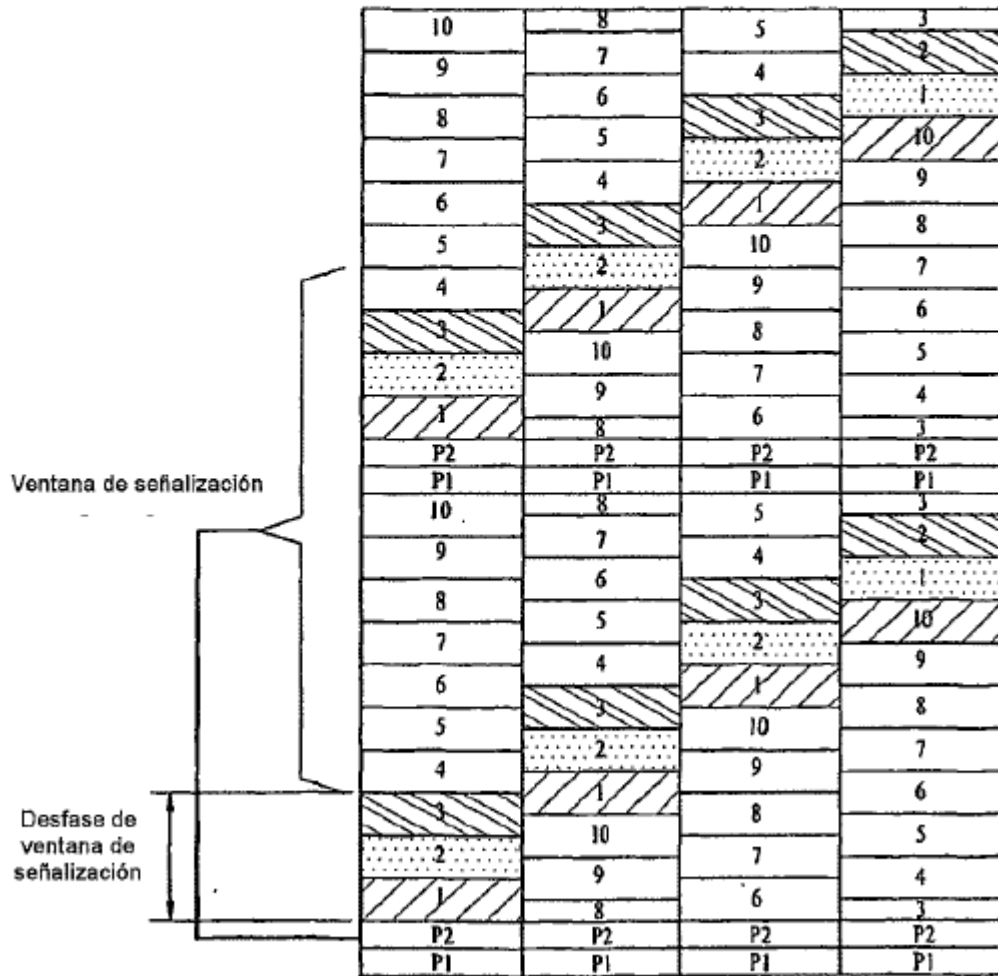


FIG. 4

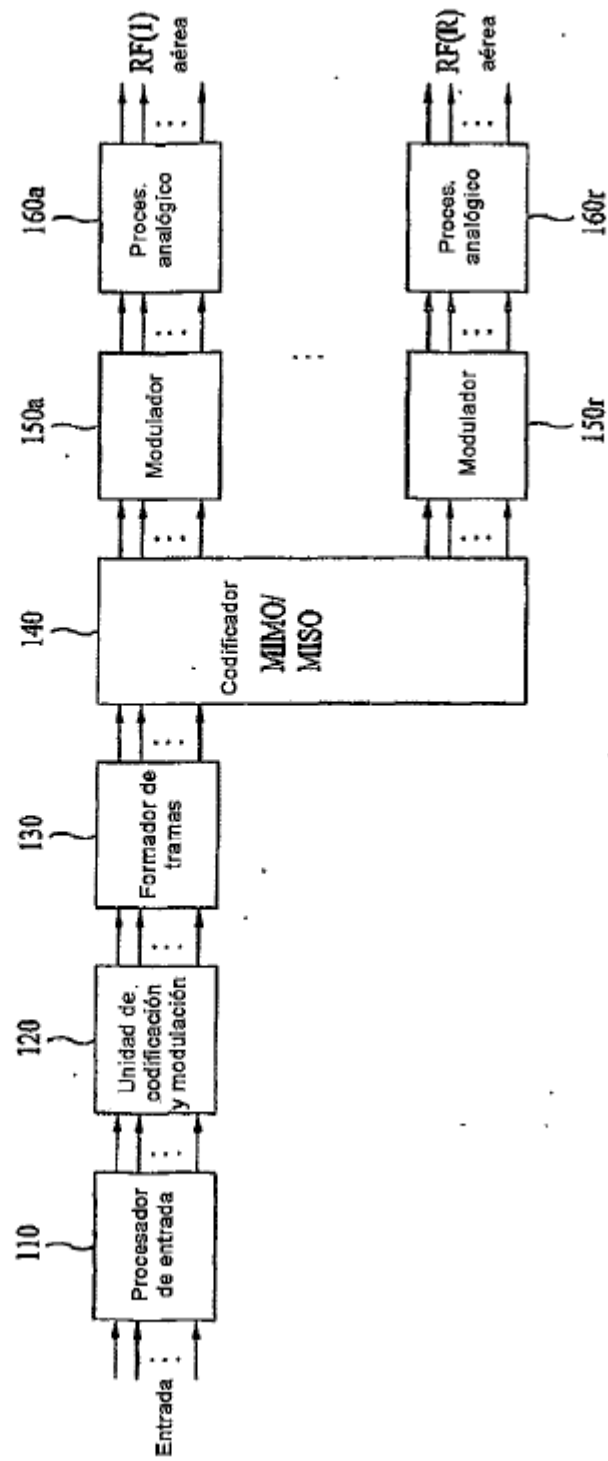


FIG. 5

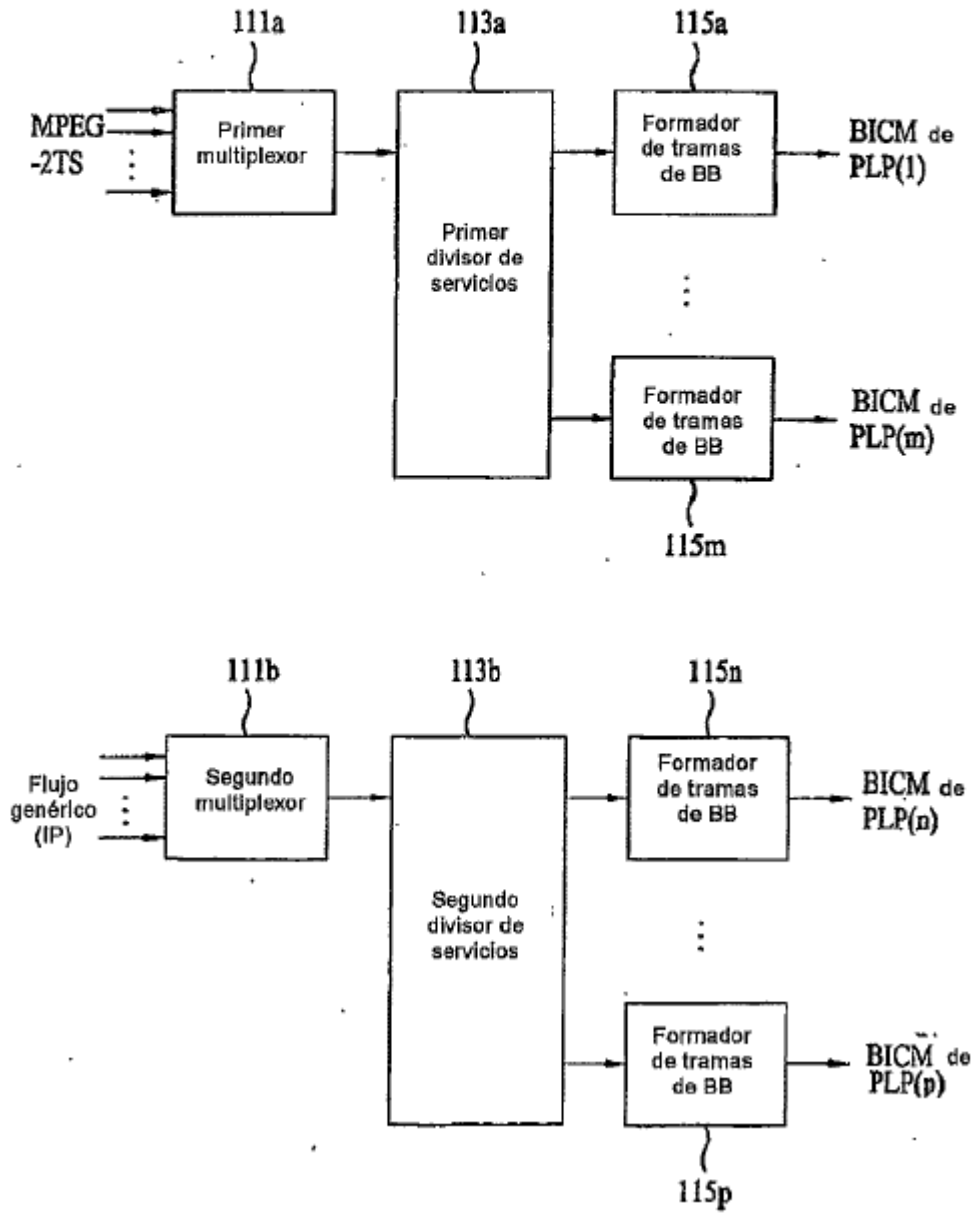


FIG. 6

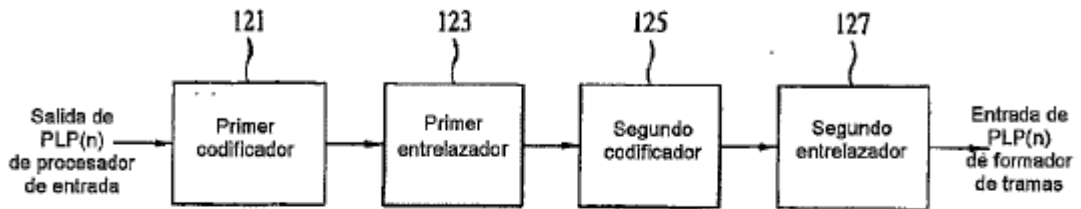


FIG. 7

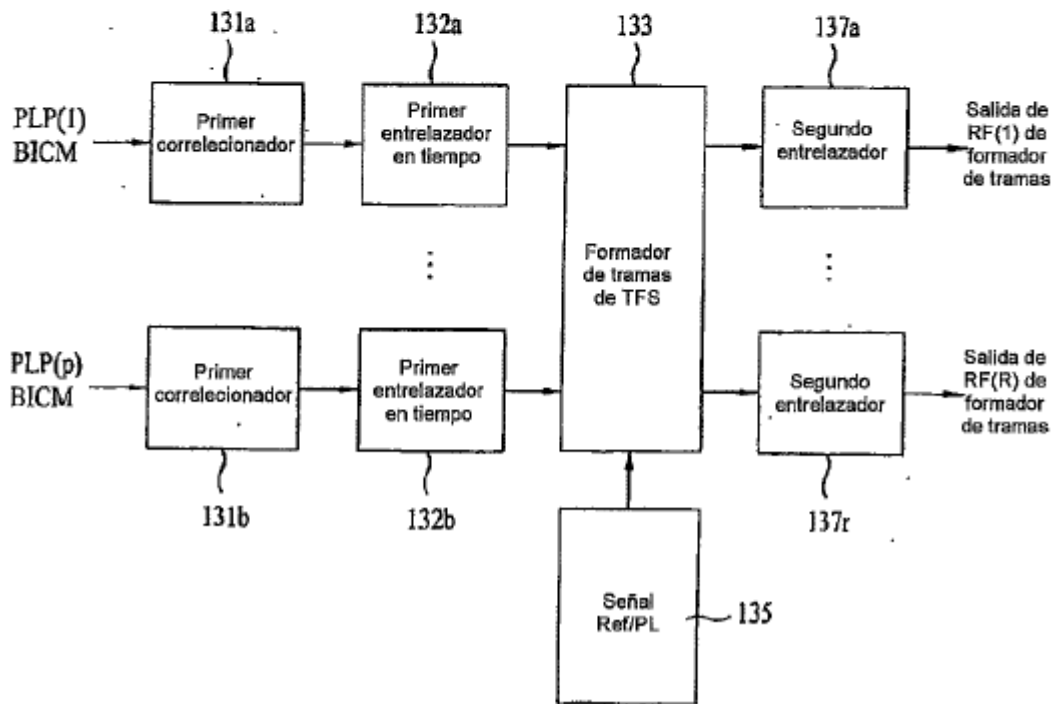


FIG. 8

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	1	64800	0	8100	0	8100	8
Hyb 128-QAM	3/5	38880	25920	4860	4320	9180	7,0588
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1	64800	0	16200	0	16200	4
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2

FIG. 9

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	1	16200	0	2025	0	2025	8
Hyb 128-QAM	3/5	9720	6480	1215	1080	2295	7,0588
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1	16200	0	4050	0	4050	4
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2

FIG. 10

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	8/9	57600	7200	7200	1200	8400	7,714285714
Hyb 128-QAM	4/9	28800	36000	3600	6000	9600	6,75
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	5/9	36000	28800	6000	7200	13200	4,909090909
16-QAM	1/9	7200	57600	1200	14400	15600	4,153846154
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
					GCD	1200	

FIG. 11

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	4/5	51840	12960	6480	2160	8640	7,5
Hyb 128-QAM	8/15	34560	30240	4320	5040	9360	6,923076923
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1/15	4320	60480	720	15120	15840	4,090909091
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
				GCD		720	

FIG. 12

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de ...LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	44/45	63360	1440	7920	240	8160	7,941176471
Hyb 128-QAM	28/45	40320	24480	5040	4080	9120	7,105263158
64-QAM	1	64800	0	10800	0	10800	6
Hyb 32-QAM	3/5	38880	25920	6480	6480	12960	5
16-QAM	1/15	4320	60480	720	15120	15840	4,090909091
Hyb 8-QAM	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2
					GCD	240	

FIG. 13

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	8/9	14400	1800	1800	300	2100	7,71 4285714
Hyb 128-QAM	4/9	7200	9000	900	1500	2400	6,75
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	5/9	9000	7200	1500	1800	3300	4,909090909
16-QAM	1/9	1800	14400	300	3600	3900	4,153846154
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
					GCD	300	

FIG. 14

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	4/5	12960	3240	1620	540	2160	7,5
Hyb 128-QAM	8/15	8640	7560	1080	1260	2340	6,923076923
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1/15	1080	15120	180	3780	3960	4,090909091
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
						GCD	180

FIG. 15

bit/célula (exp.)	proporción de HOQ	bits de HOQ	bits de LOQ	símbolos de HOQ	símbolos de LOQ	Símbolos totales	bit/célula
256-QAM	44/45	15840	360	1980	60	2040	7,941176471
Hyb 128-QAM	28/45	10080	6120	1260	1020	2280	7,105263158
64-QAM	1	16200	0	2700	0	2700	6
Hyb 32-QAM	3/5	9720	6480	1620	1620	3240	5
16-QAM	1/15	1080	15120	180	3780	3960	4,090909091
Hyb 8-QAM	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2
					GCD	60	

FIG. 16

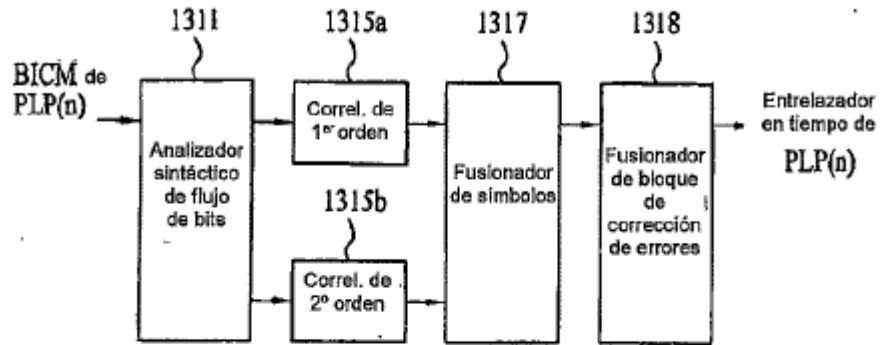


FIG. 17

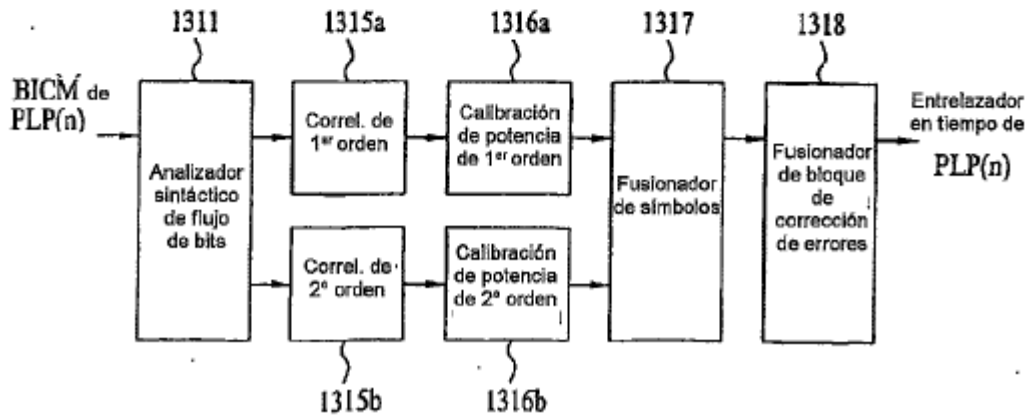


FIG. 18

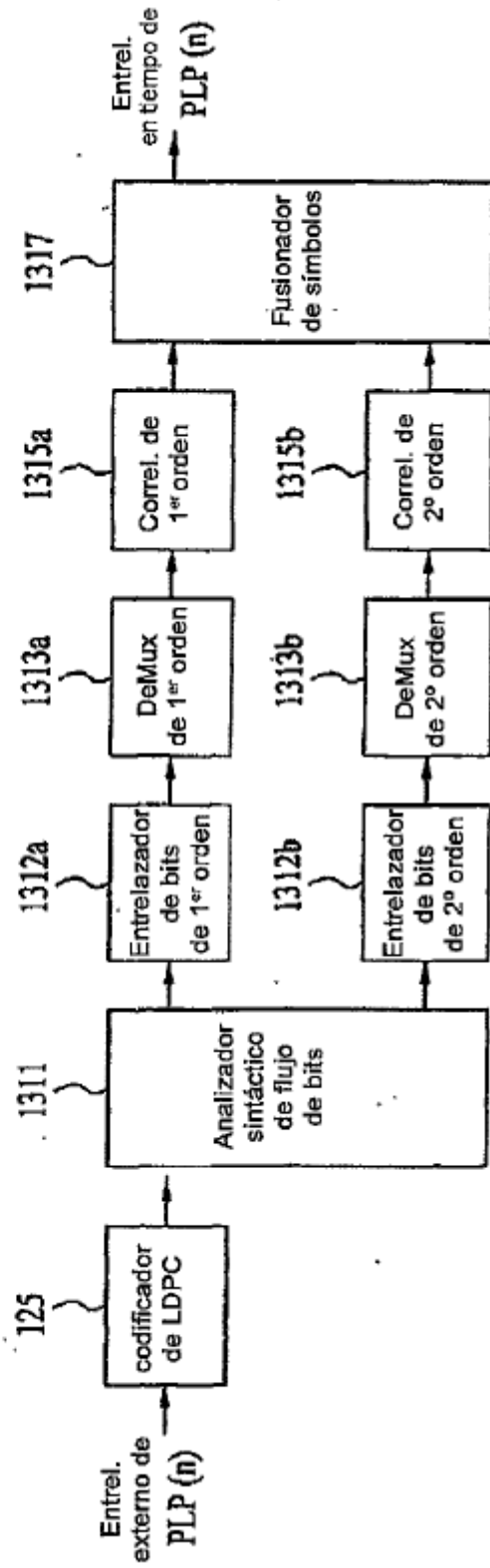


FIG. 19

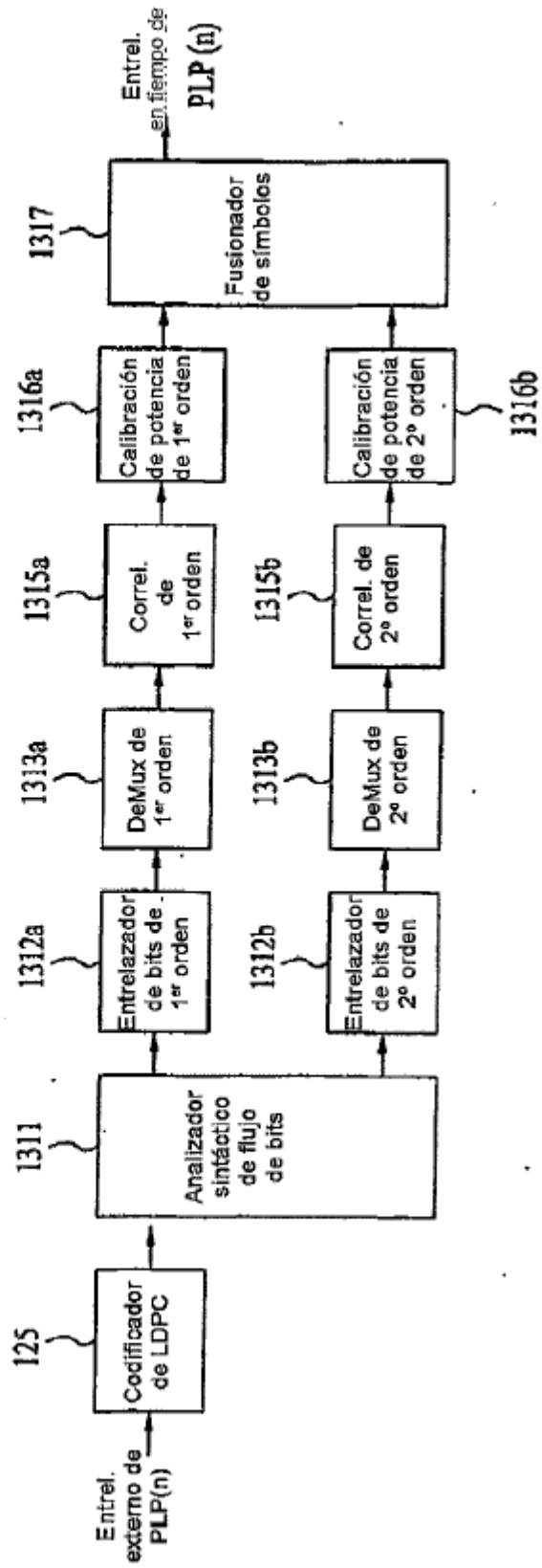


FIG. 20

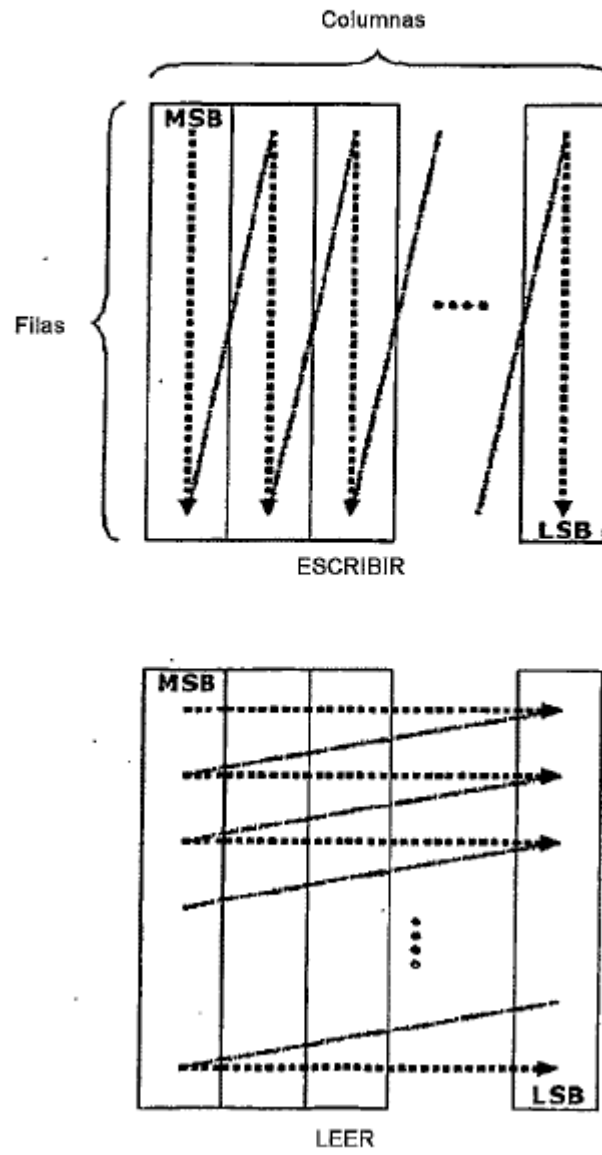


FIG. 21

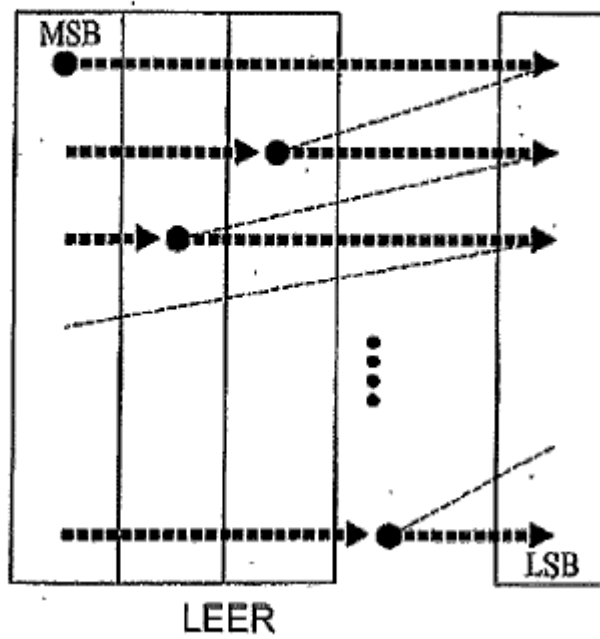
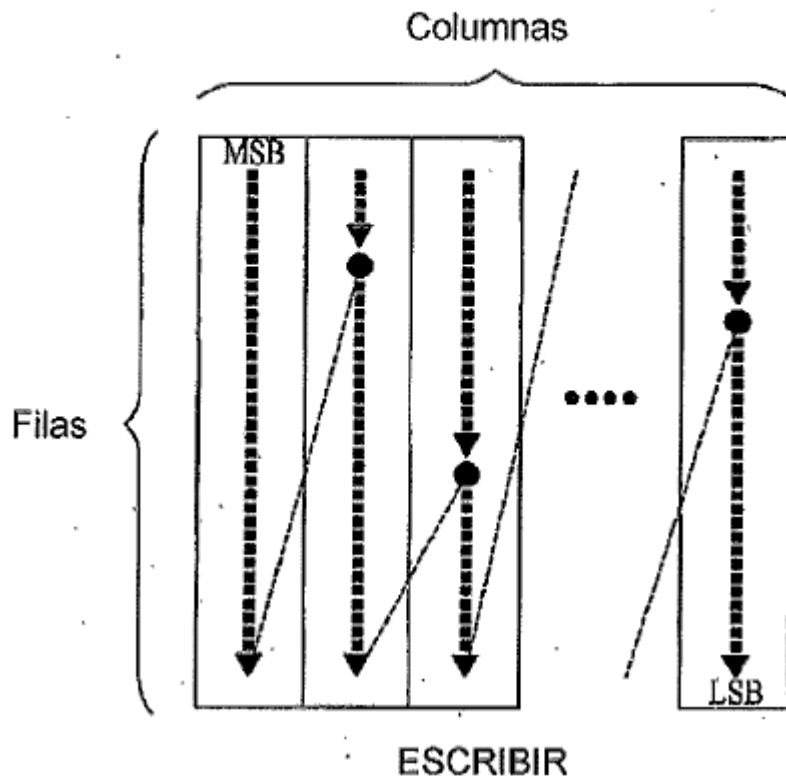


FIG. 22

QAM	nCol	Col1	Col2	Col3	Col4	Col5	Col6	Col7	Col8
QPSK	2	0	2	-	-	-	-	-	-
16QAM	4	0	2	4	7	-	-	-	-
64QAM	6	0	2	5	9	10	13	-	-
256QAM	8	0	0	2	4	4	5	7	7

FIG. 23

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	8100	8		
Hyb 128-QAM	4860	8	4320	6
64-QAM	10800	6		
Hyb 32-QAM	6480	6	6480	4
16-QAM	16200	4		
Hyb 8-QAM	10800	4	10800	2
4-QAM	32400	2		

FIG. 24

Tipo de QAM	Filas de HOQ	Columnas de HOQ	Filas de LOQ	Columnas de LOQ
256-QAM	2025	8		
Hyb 128-QAM	1215	8	1080	6
64-QAM	2700	6		
Hyb 32-QAM	1620	6	1620	4
16-QAM	4050	4		
Hyb 8-QAM	2700	4	2700	2
4-QAM	8100	2		

FIG. 25

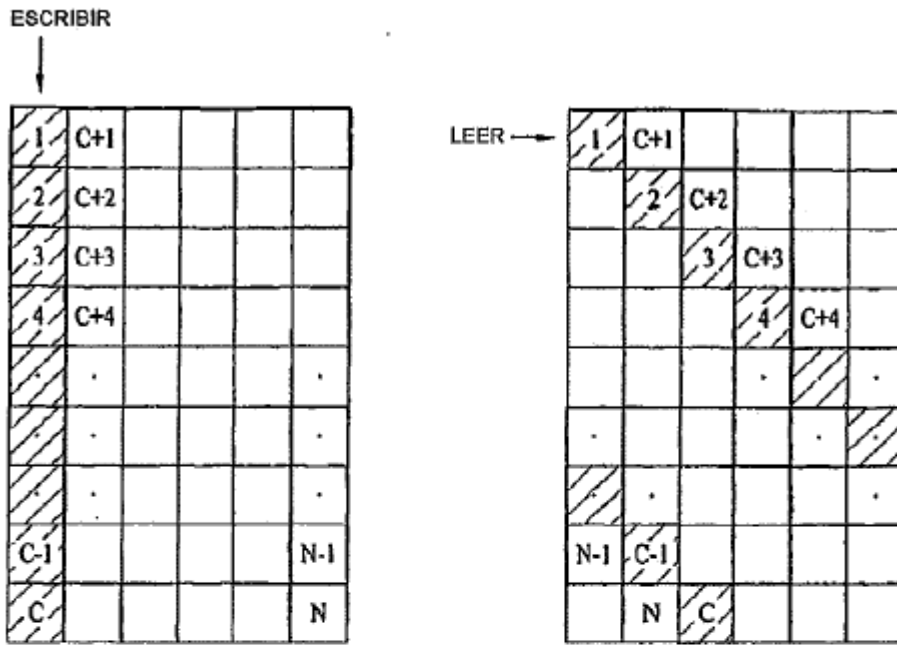


FIG. 26

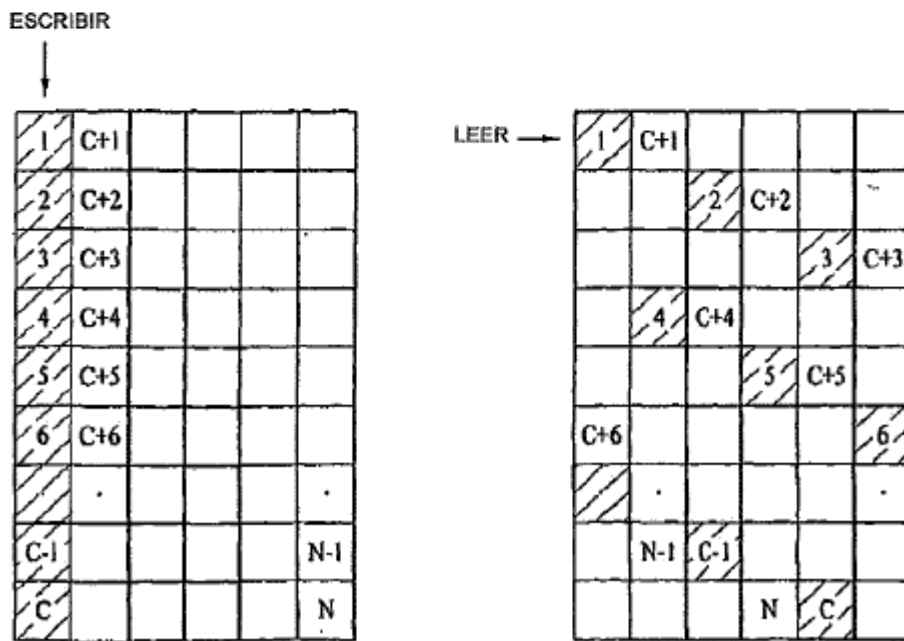


FIG. 27

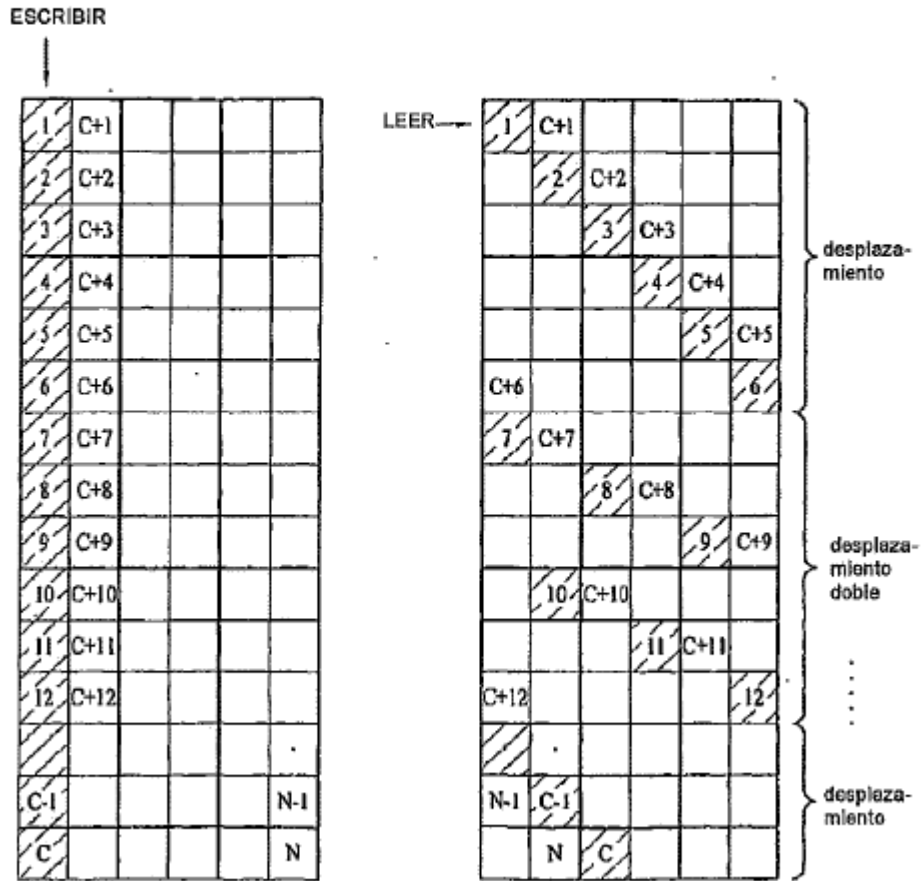


FIG. 28

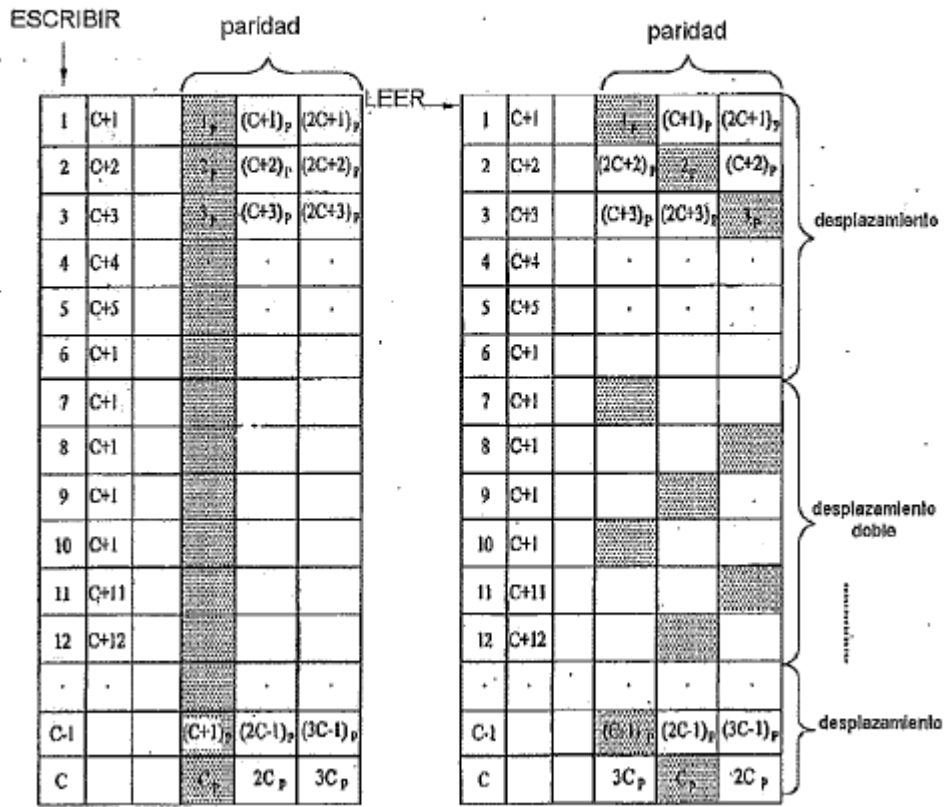


FIG. 29

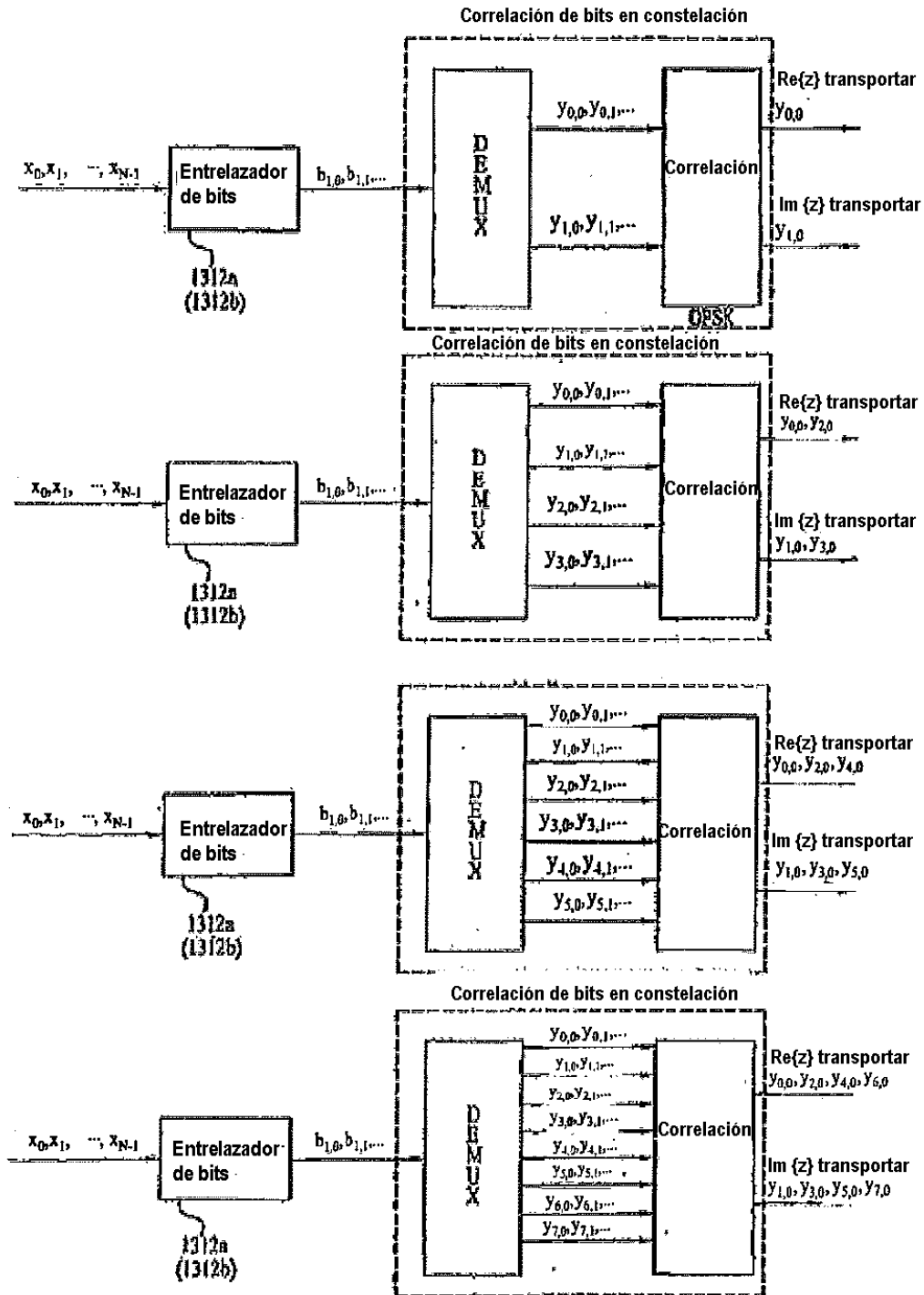


FIG.30

QPSK
$b_{0se\ corr. \ cony0,0}$ $b_{0se\ corr. \ cony1,0}$

16-QAM
$b_{0se\ corr. \ cony2,0}$ $b_{1se\ corr. \ cony3,0}$ $b_{2se\ corr. \ cony0,0}$ $b_{3se\ corr. \ cony1,0}$

64-QAM
$b_{0se\ corr. \ cony4,0}$ $b_{1se\ corr. \ cony5,0}$ $b_{2se\ corr. \ cony2,0}$ $b_{3se\ corr. \ cony3,0}$ $b_{4se\ corr. \ cony0,0}$ $b_{5se\ corr. \ cony1,0}$

256-QAM
$b_{0se\ corr. \ cony6,0}$ $b_{1se\ corr. \ cony7,0}$ $b_{2se\ corr. \ cony4,0}$ $b_{3se\ corr. \ cony5,0}$ $b_{4se\ corr. \ cony2,0}$ $b_{5se\ corr. \ cony3,0}$ $b_{6se\ corr. \ cony0,0}$ $b_{7se\ corr. \ cony1,0}$

FIG. 32

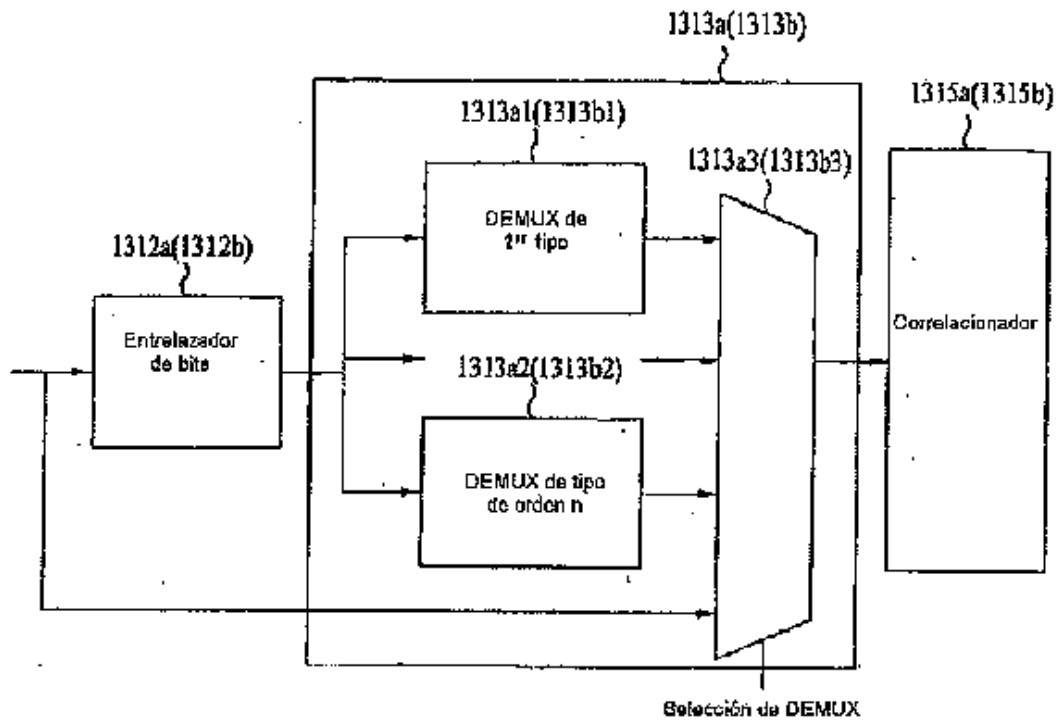


FIG. 33

qam	cr	selección DEMUX
4-qam	1/4	todos
	1/3	todos
	2/5	todos
	1/2	todos
	3/5	todos
	2/3	todos
	3/4	todos
	4/5	todos
	5/6	todos
	8/9	todos
9/10	todos	
16-qam	1/4	No entrel., no demux
	1/3	No entrel., no demux
	2/5	No entrel., no demux
	1/2	No entrel., no demux
	3/5	9, 10 ó 12
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
64-qam	1/4	No entrel., no demux
	1/3	No entrel., no demux
	2/5	No entrel., no demux
	1/2	No entrel., no demux
	3/5	9, ó 10
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	
256-qam	1/4	No entrel., no demux
	1/3	No entrel., no demux
	2/5	No entrel., no demux
	1/2	No entrel., no demux
	3/5	9
	2/3	6
	3/4	6
	4/5	6
	5/6	6
	8/9	6
9/10	6	

FIG. 34

$$\text{QPSK : } i = 0, 1, 2, \dots, \frac{N}{2} - 1,$$

$$(y_{0,i}, y_{0,i}) = (x_i, x_{N/2+i}),$$

$$\text{16-QAM : } i = 0, 1, 2, \dots, \frac{N}{4} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}) = \left\{ x_{\frac{2N}{4}+i}, x_{\frac{3N}{4}+i}, x_i, x_{\frac{N}{4}+i} \right\}$$

$$\text{64-QAM : } i = 0, 1, 2, \dots, \frac{N}{6} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}) = \left\{ x_{\frac{4N}{6}+i}, x_{\frac{5N}{6}+i}, x_{\frac{2N}{6}+i}, x_{\frac{3N}{6}+i}, x_i, x_{\frac{N}{6}+i} \right\}$$

$$\text{256-QAM : } i = 0, 1, 2, \dots, \frac{N}{8} - 1,$$

$$(y_{0,i}, y_{0,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}, y_{6,i}, y_{7,i}) = \left\{ x_{\frac{6N}{8}+i}, x_{\frac{7N}{8}+i}, x_{\frac{4N}{8}+i}, x_{\frac{5N}{8}+i}, x_{\frac{2N}{8}+i}, x_{\frac{3N}{8}+i}, x_i, x_{\frac{N}{8}+i} \right\}$$

FIG. 35

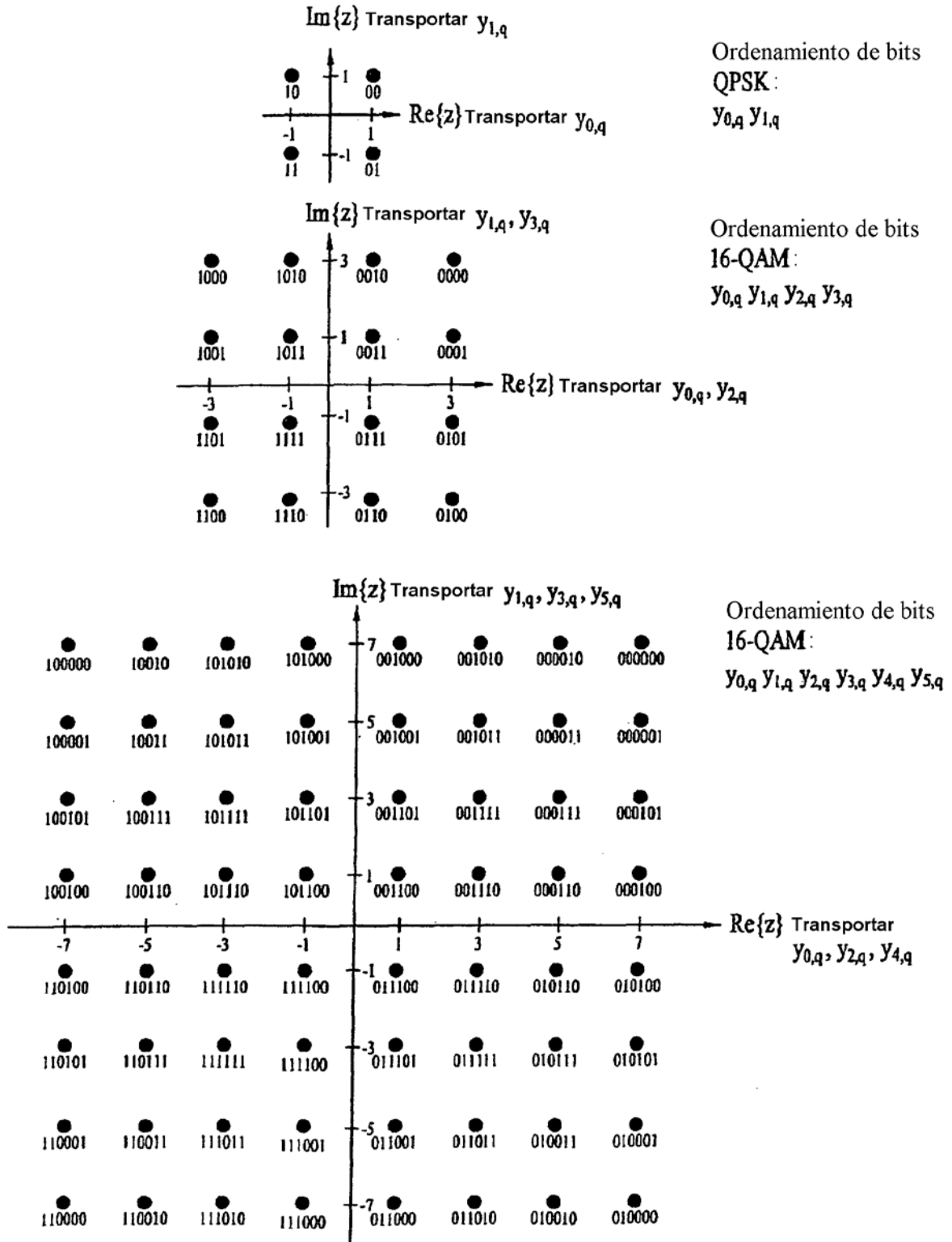


FIG. 36

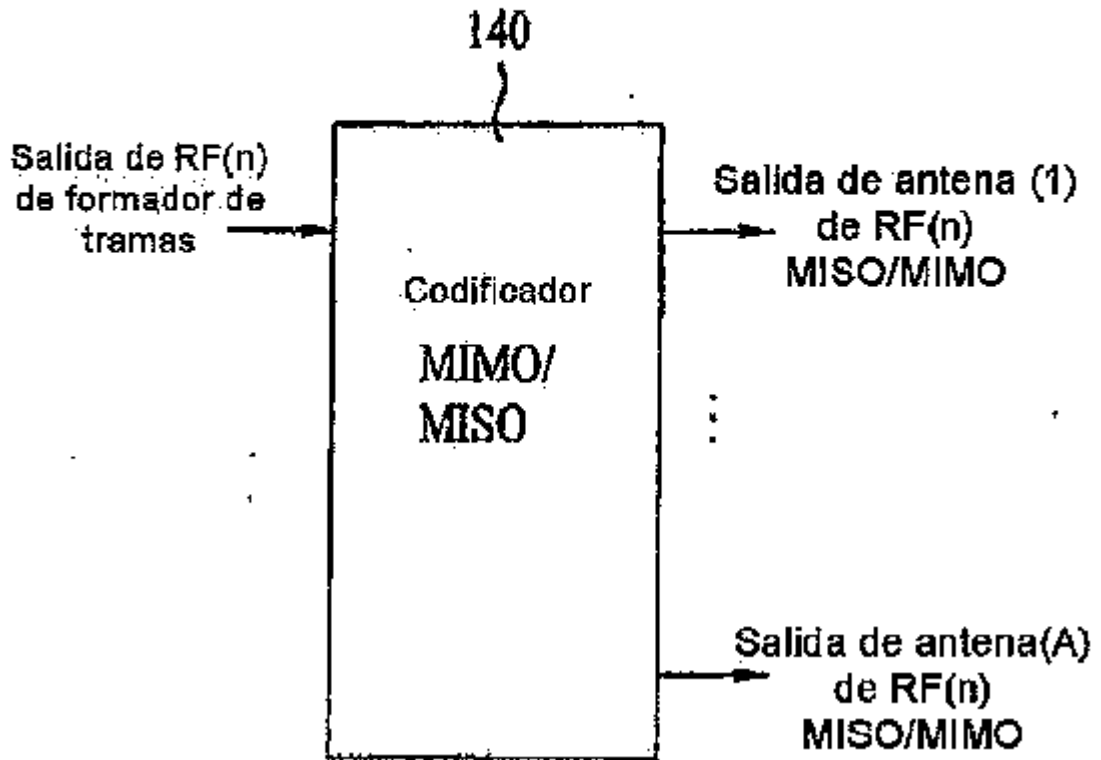


FIG.37

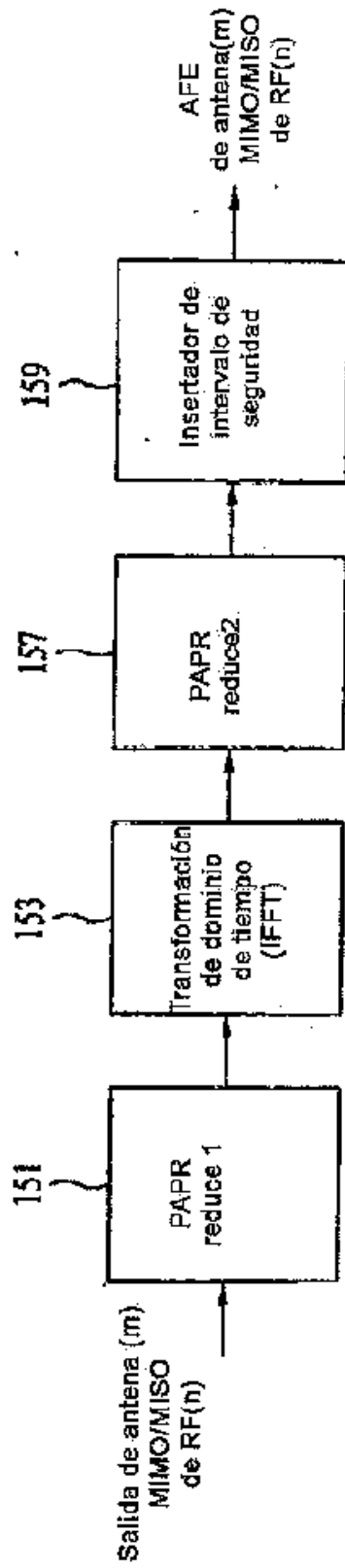


FIG. 38

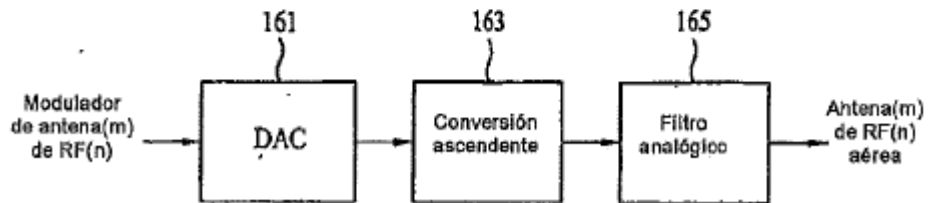


FIG.39

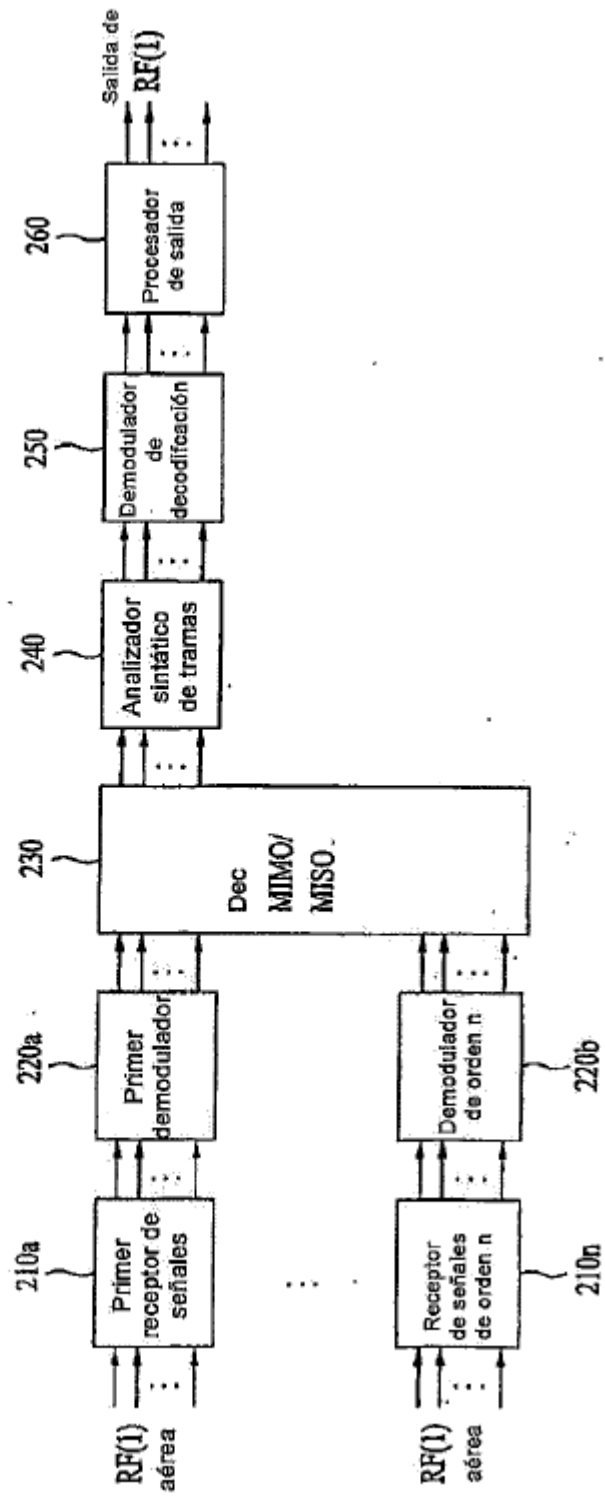


FIG. 40

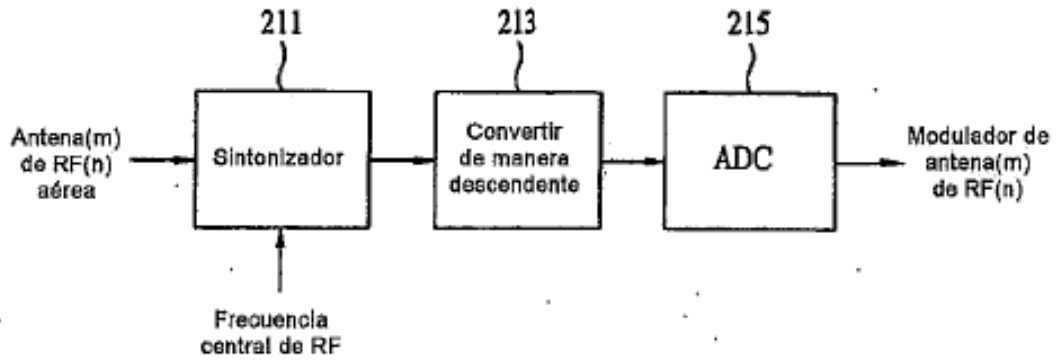


FIG.41

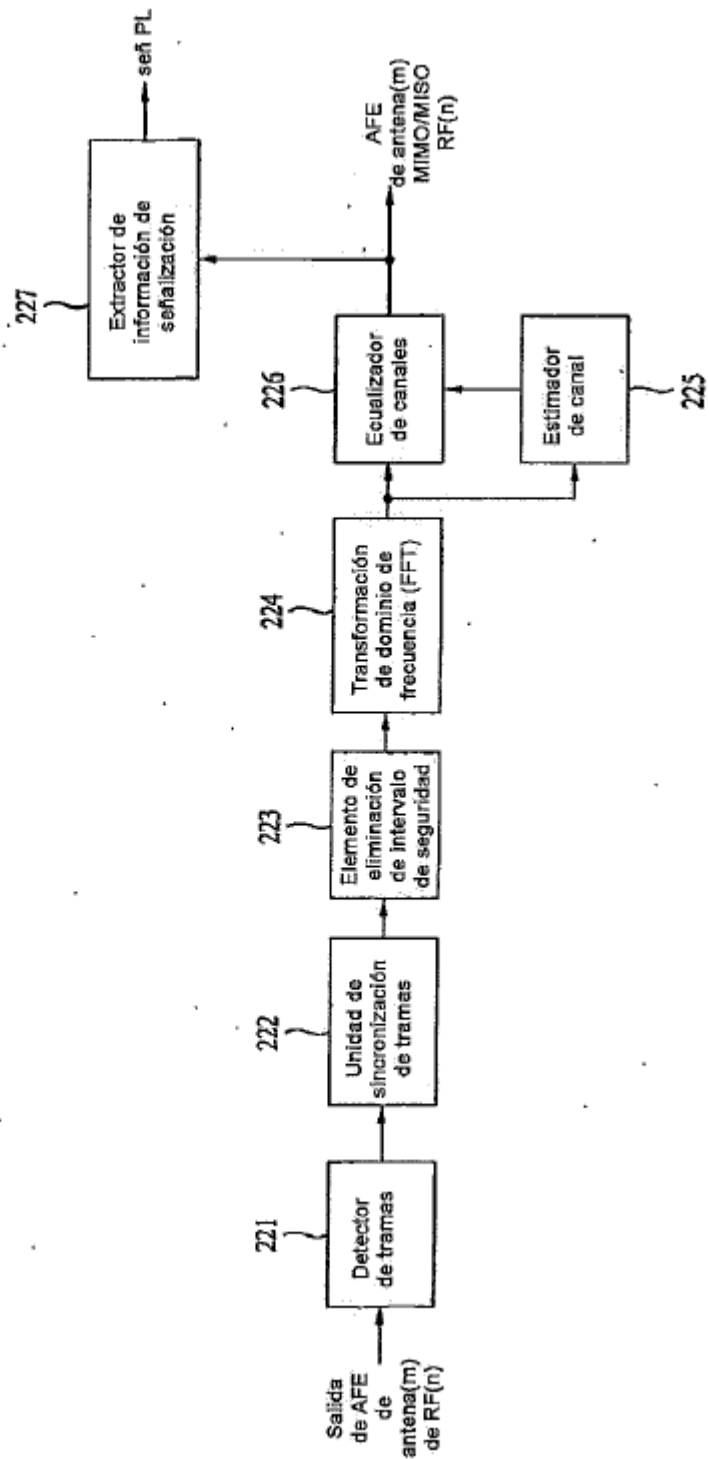


FIG.42

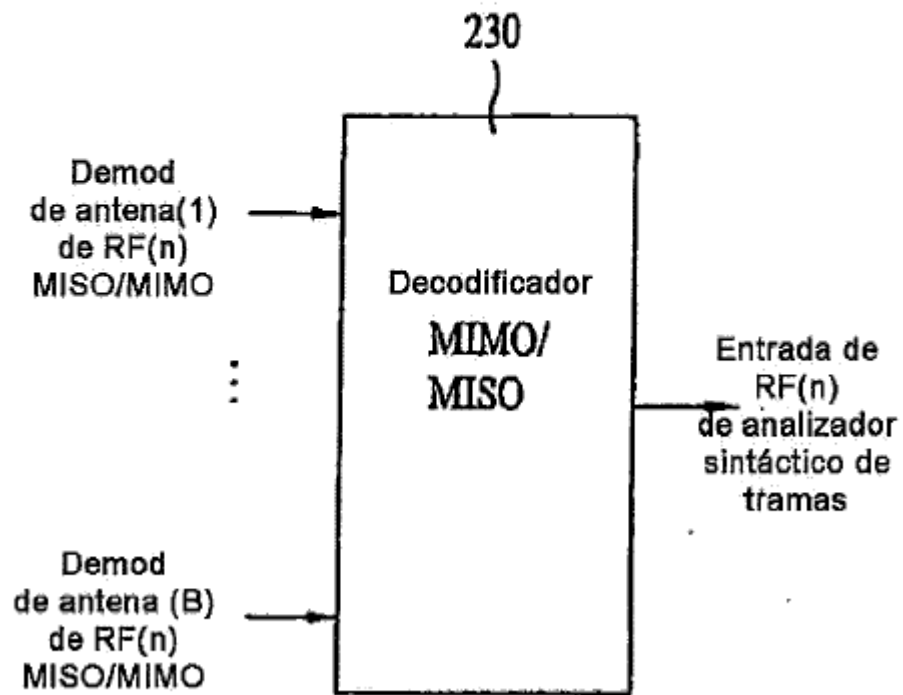


FIG. 43

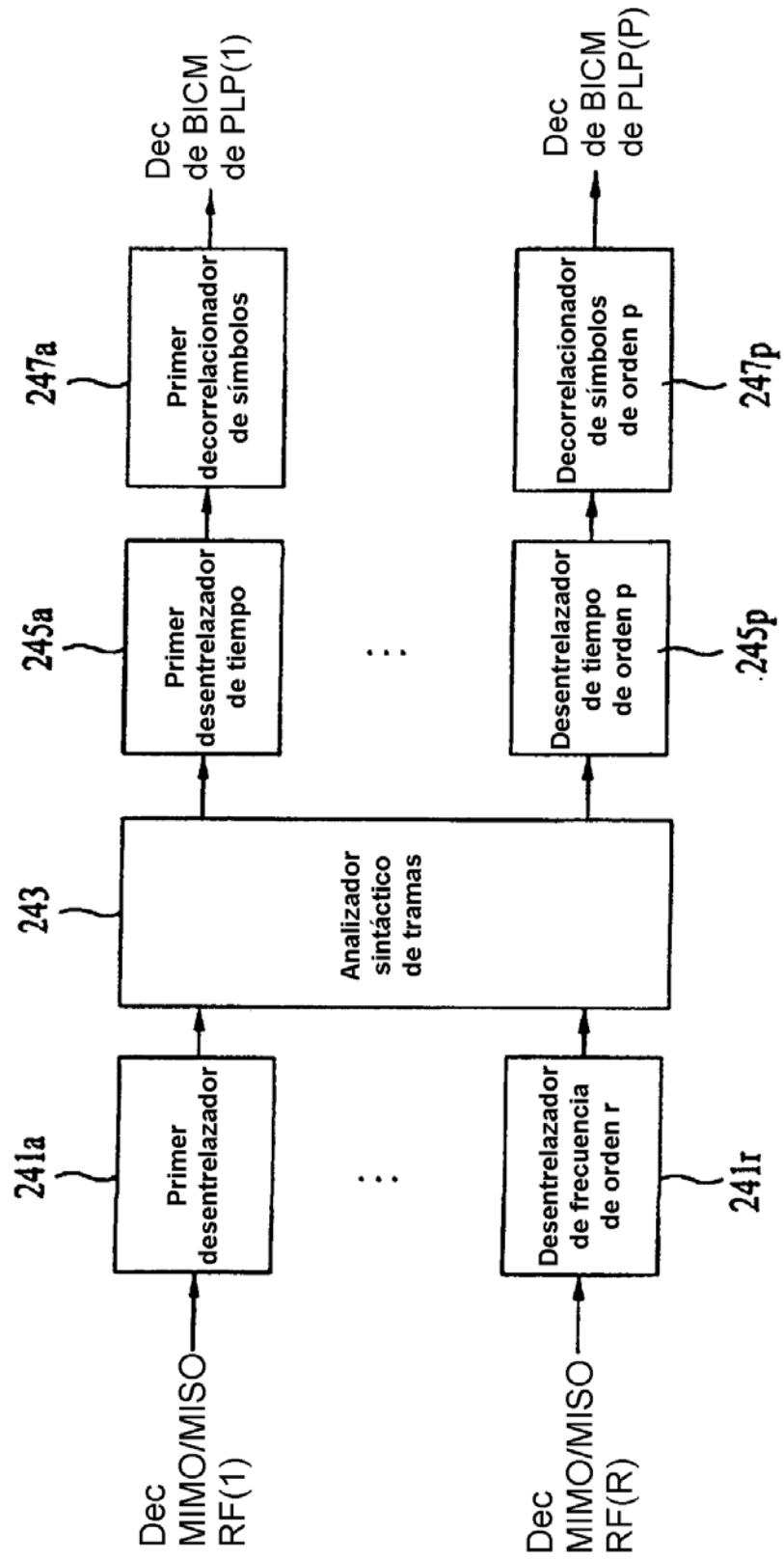


FIG. 44

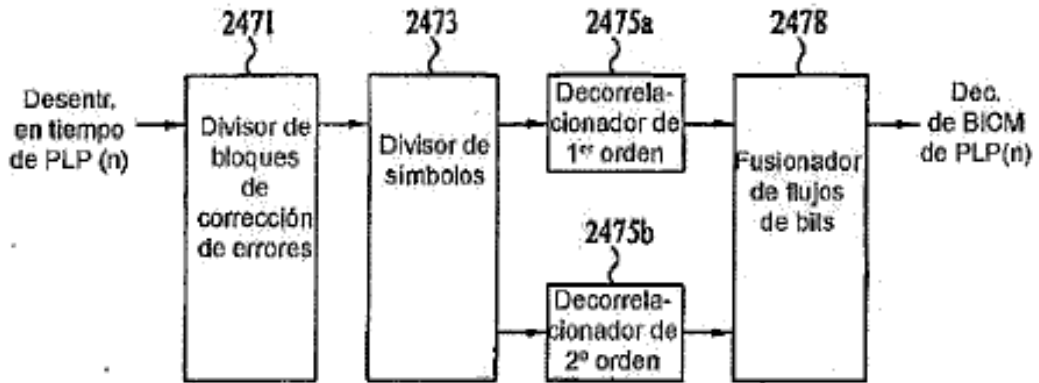


FIG. 45

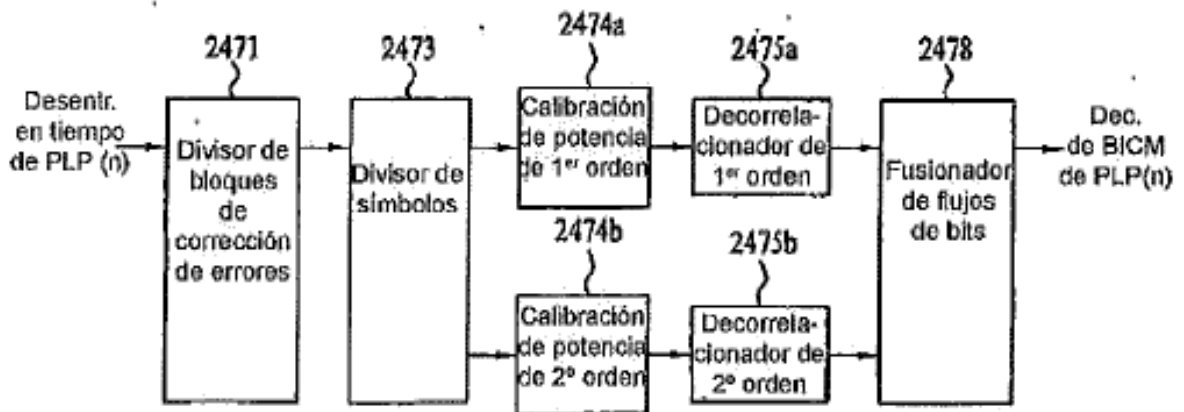


FIG.46

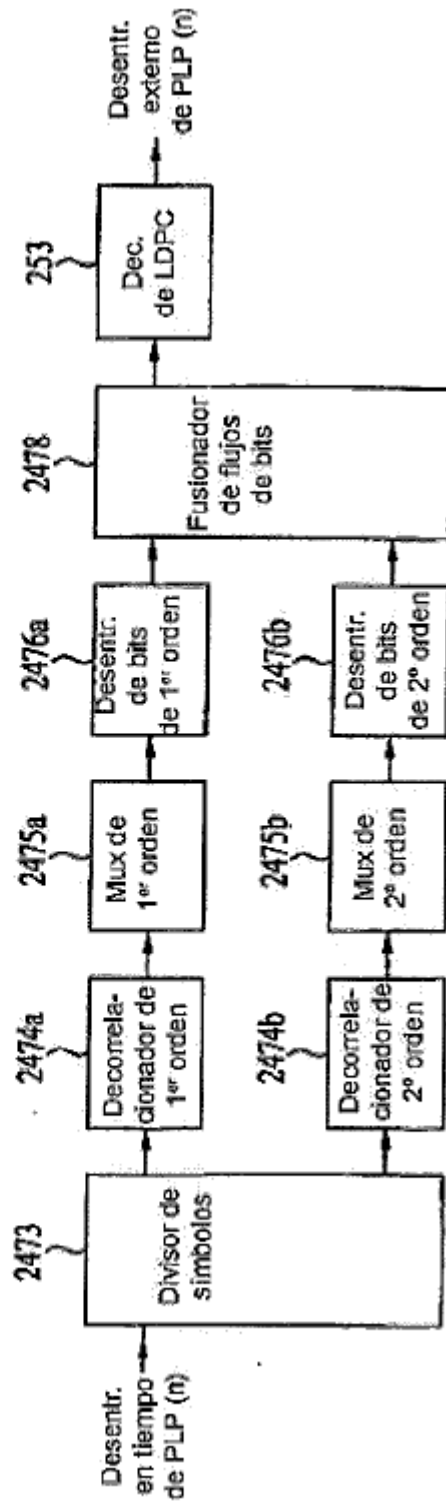


FIG.47

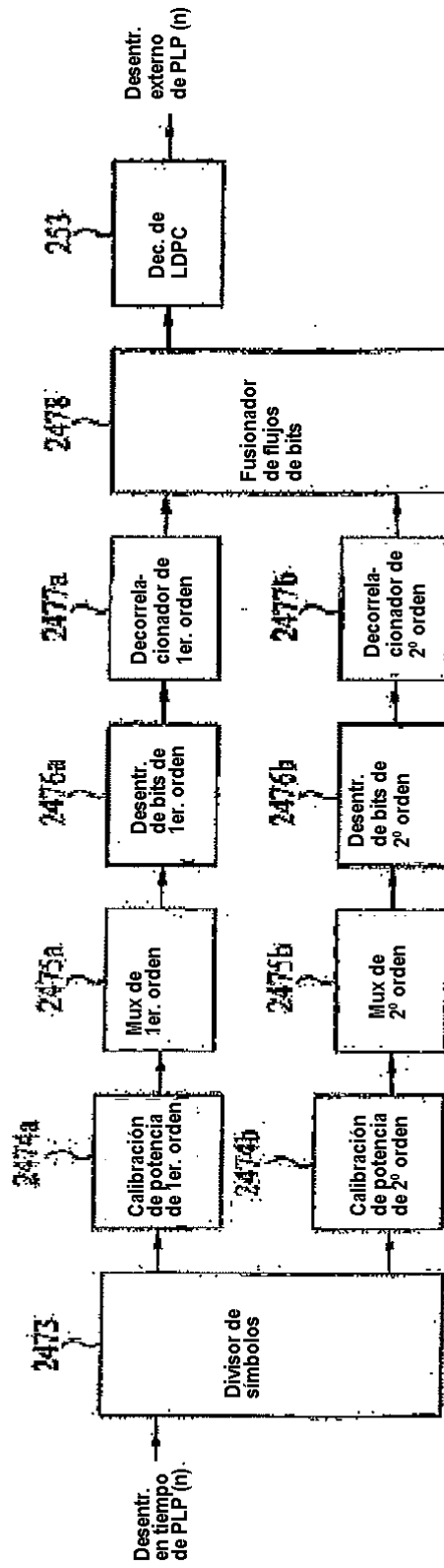


FIG. 48

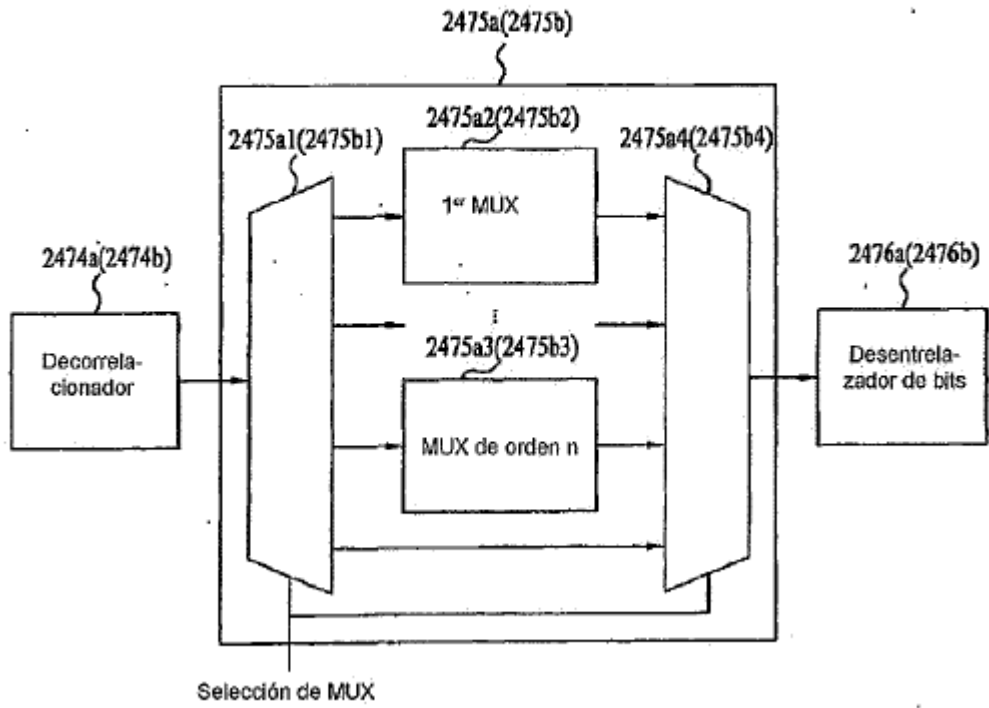


FIG. 49

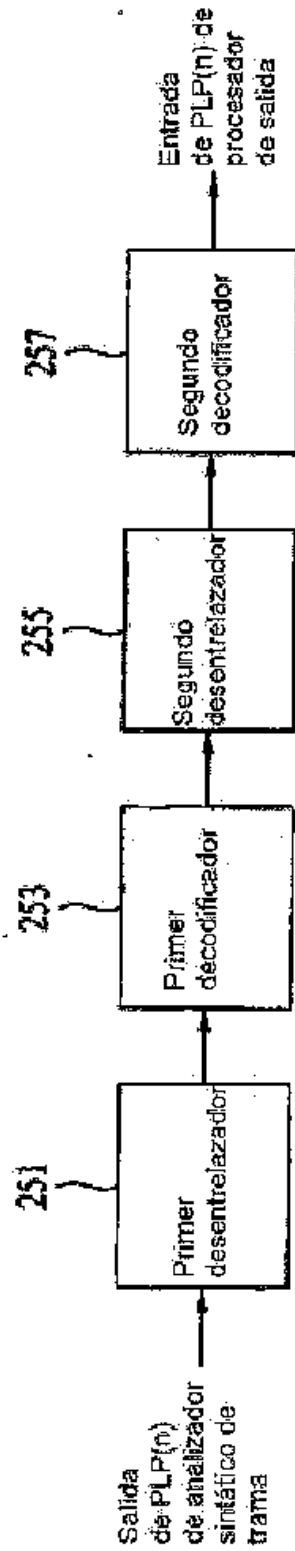


FIG. 50

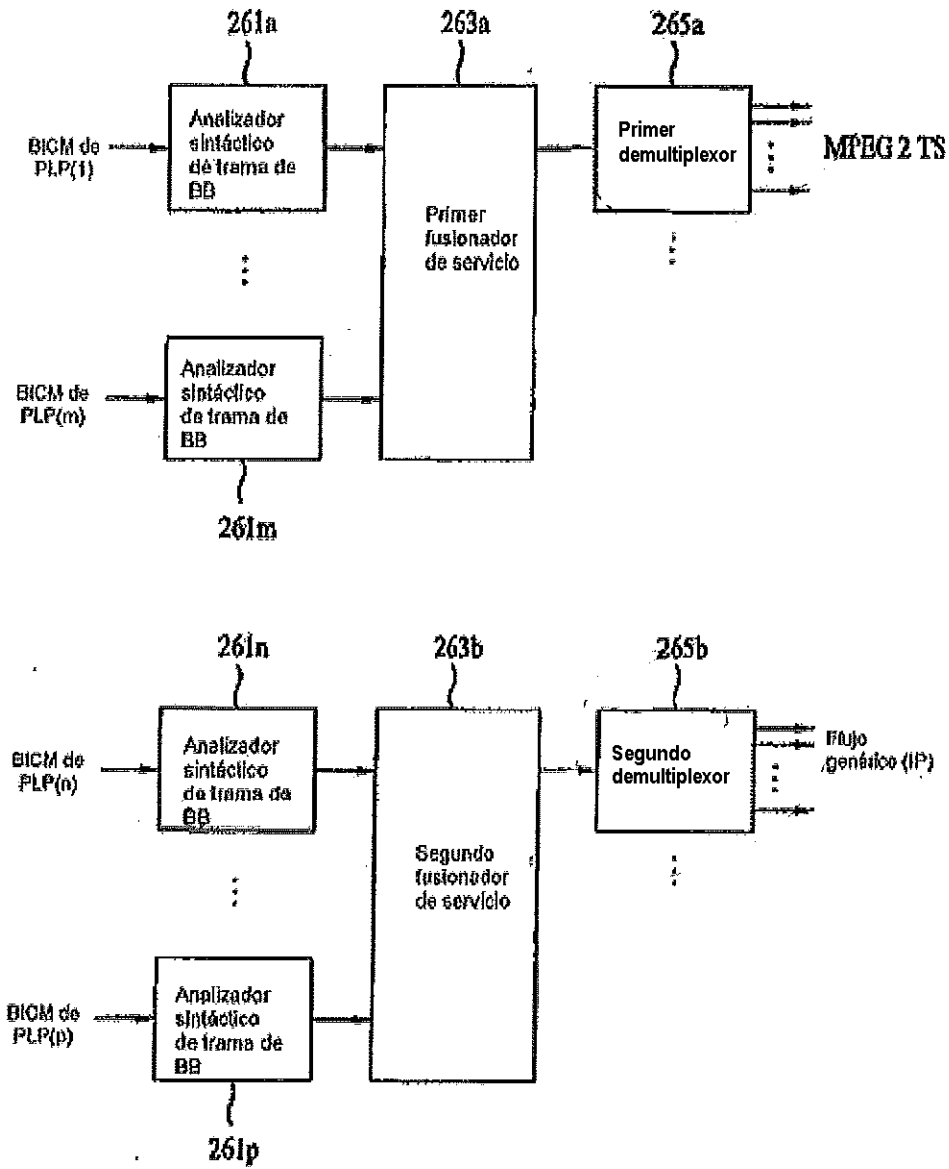


FIG.51

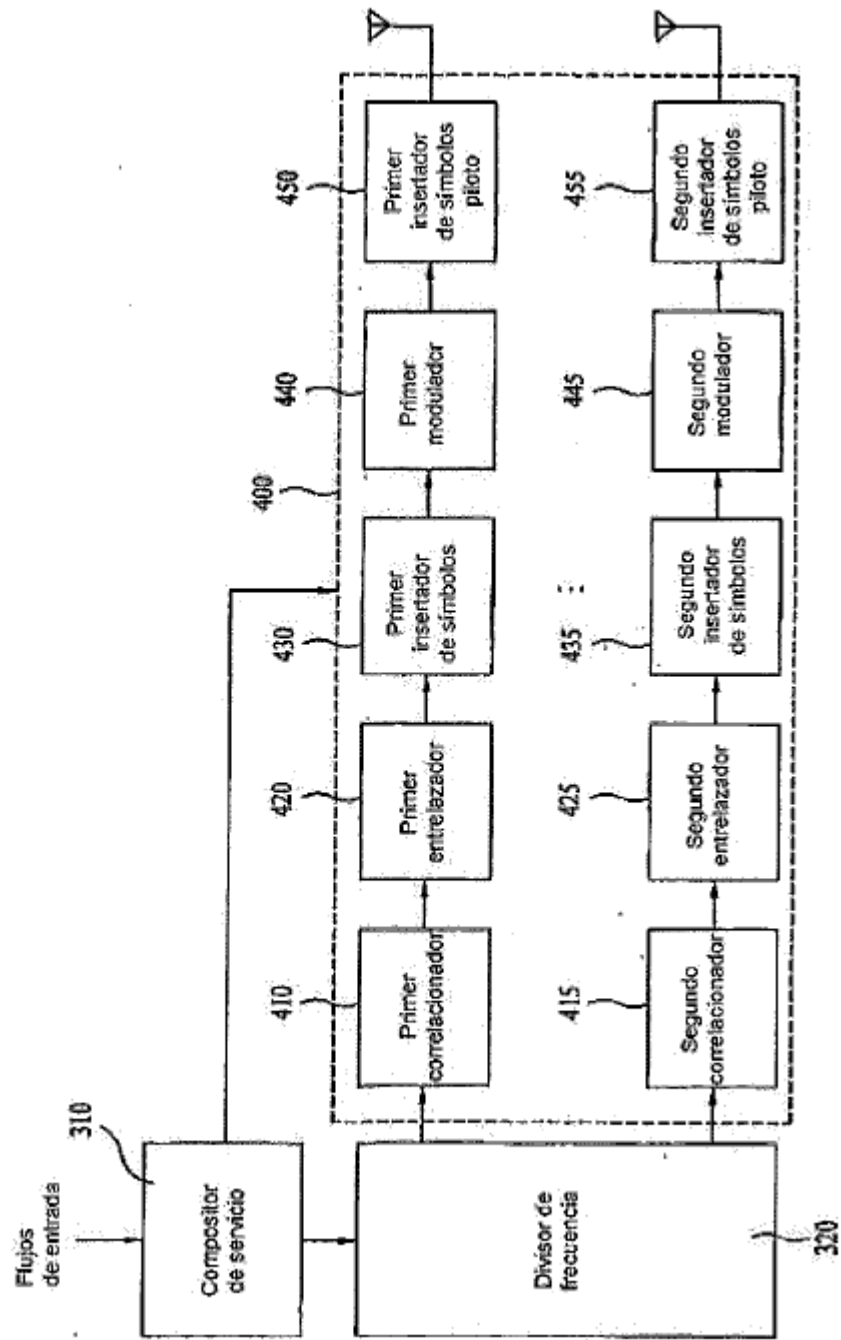


FIG. 52

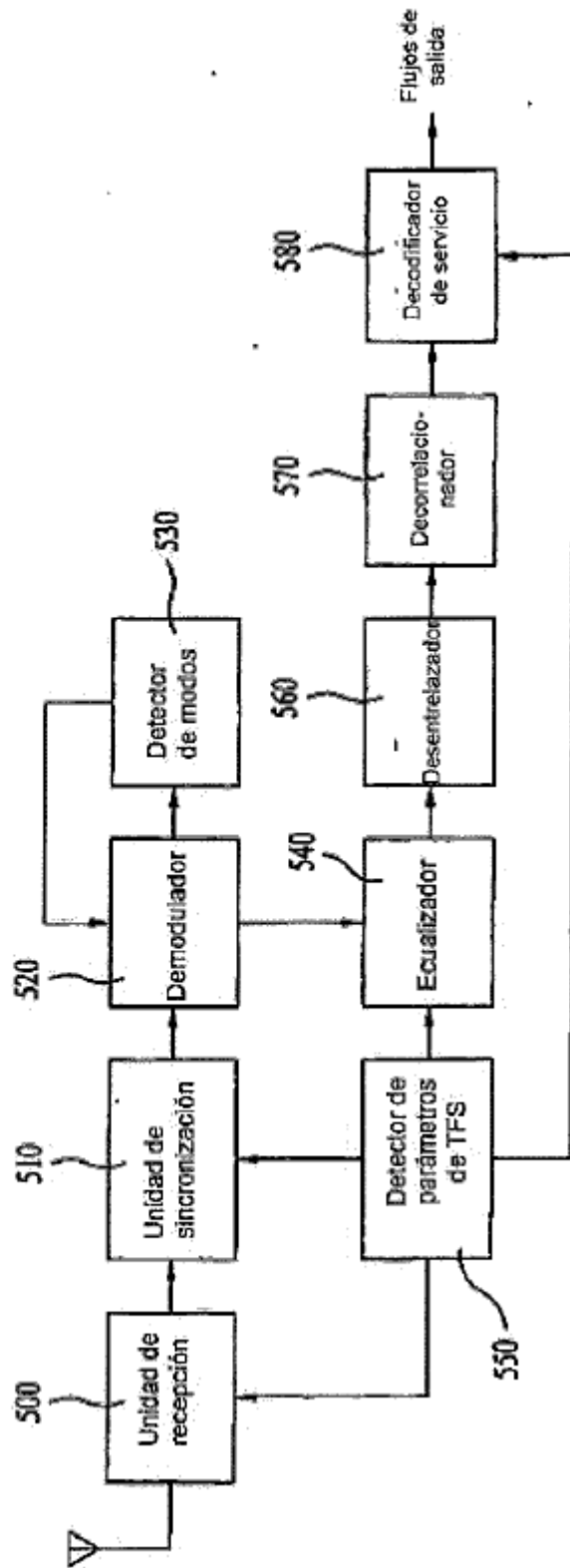


FIG. 53

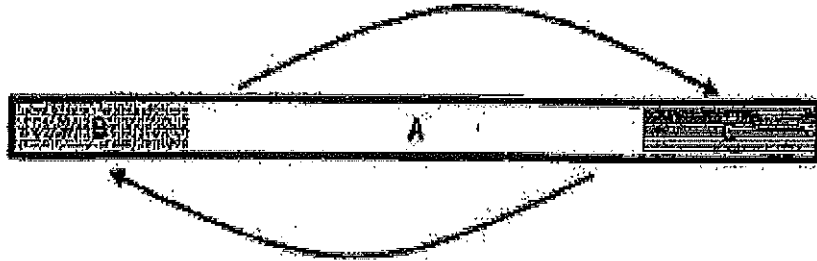


FIG. 54

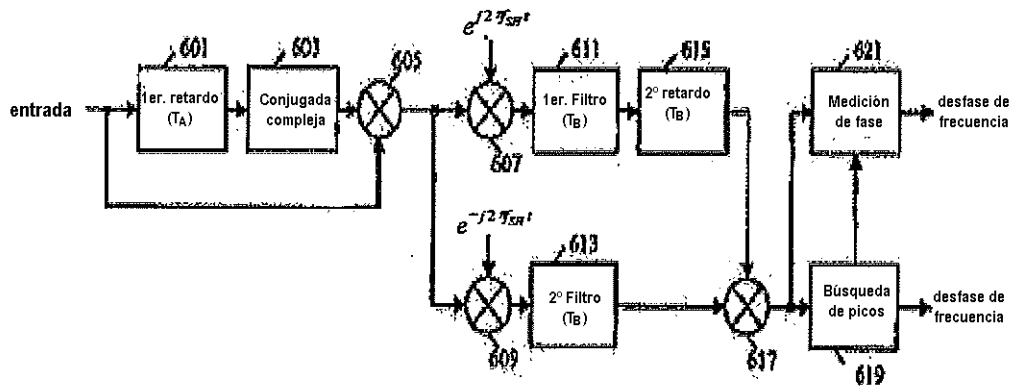


FIG. 55

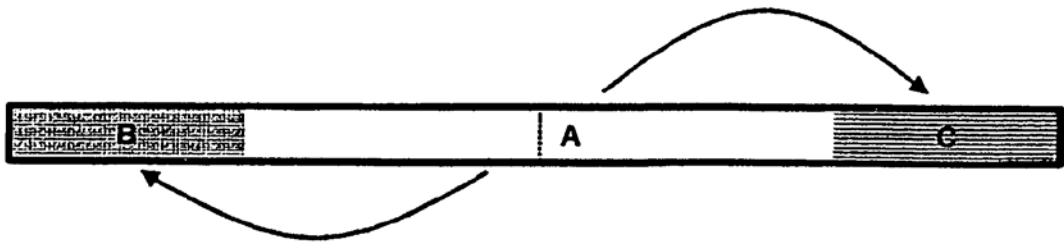


FIG. 56

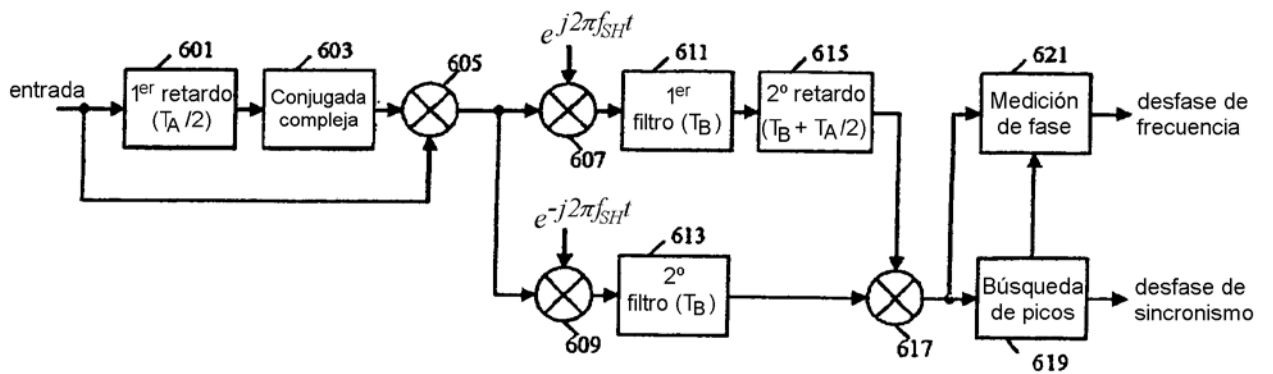


FIG. 57

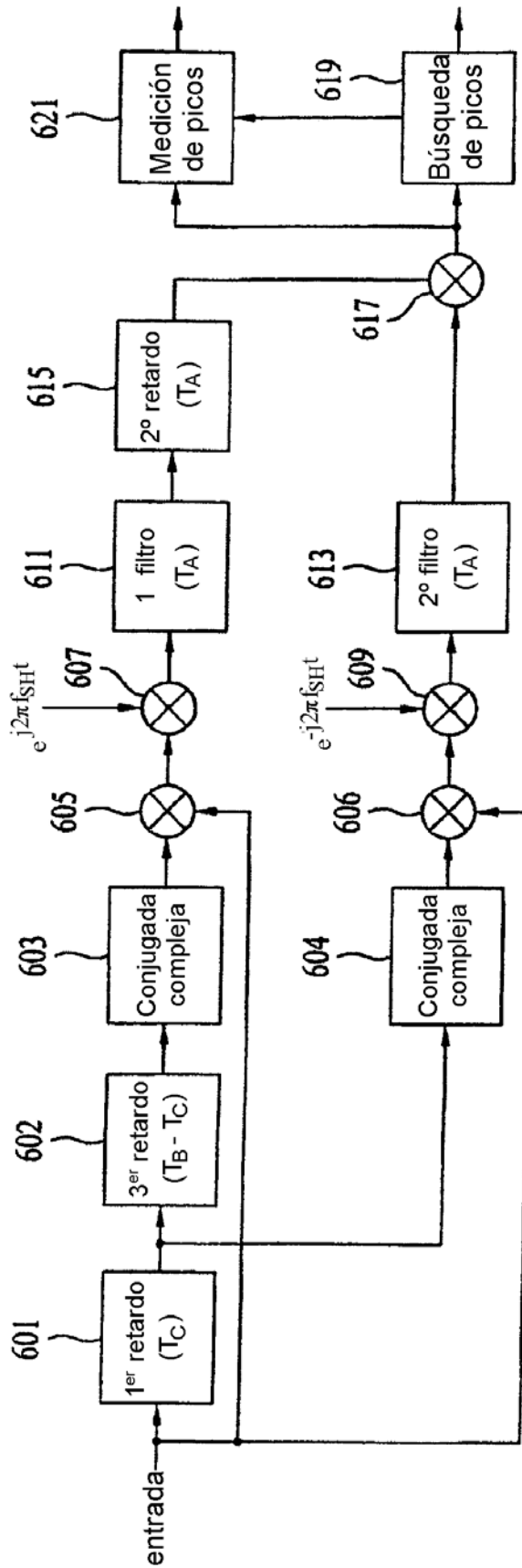


FIG. 58

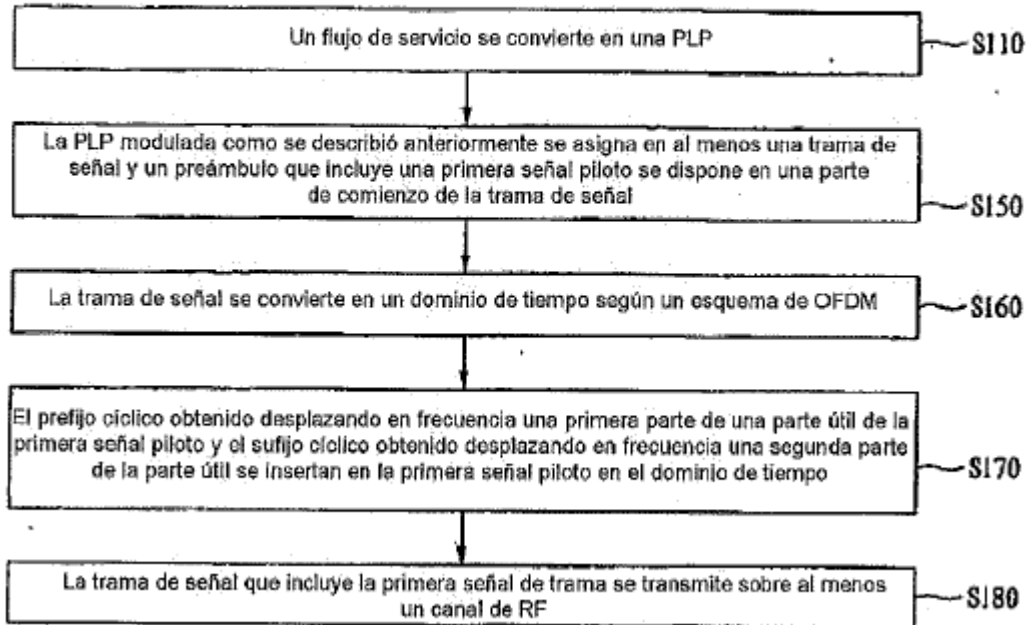


FIG. 59

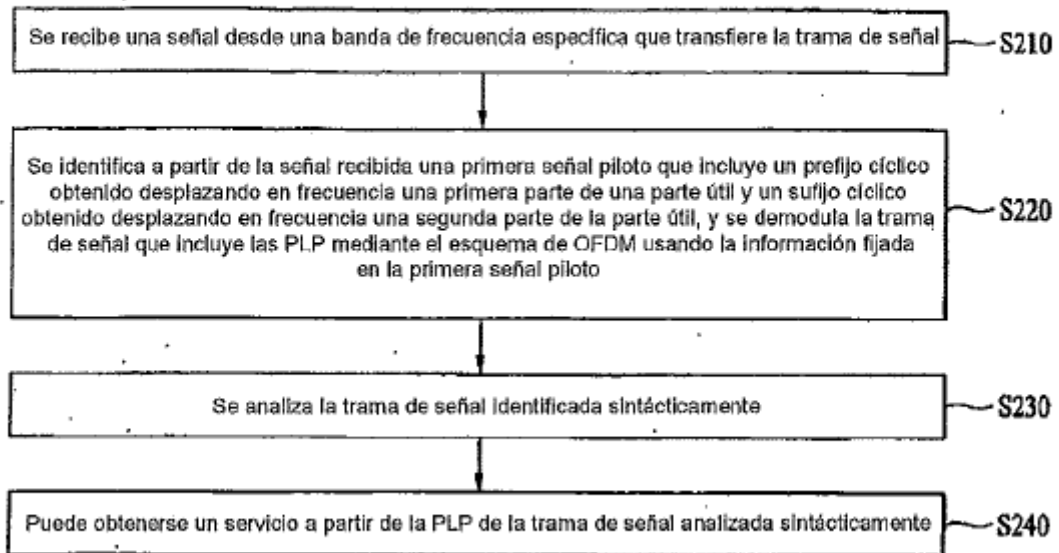


FIG. 60

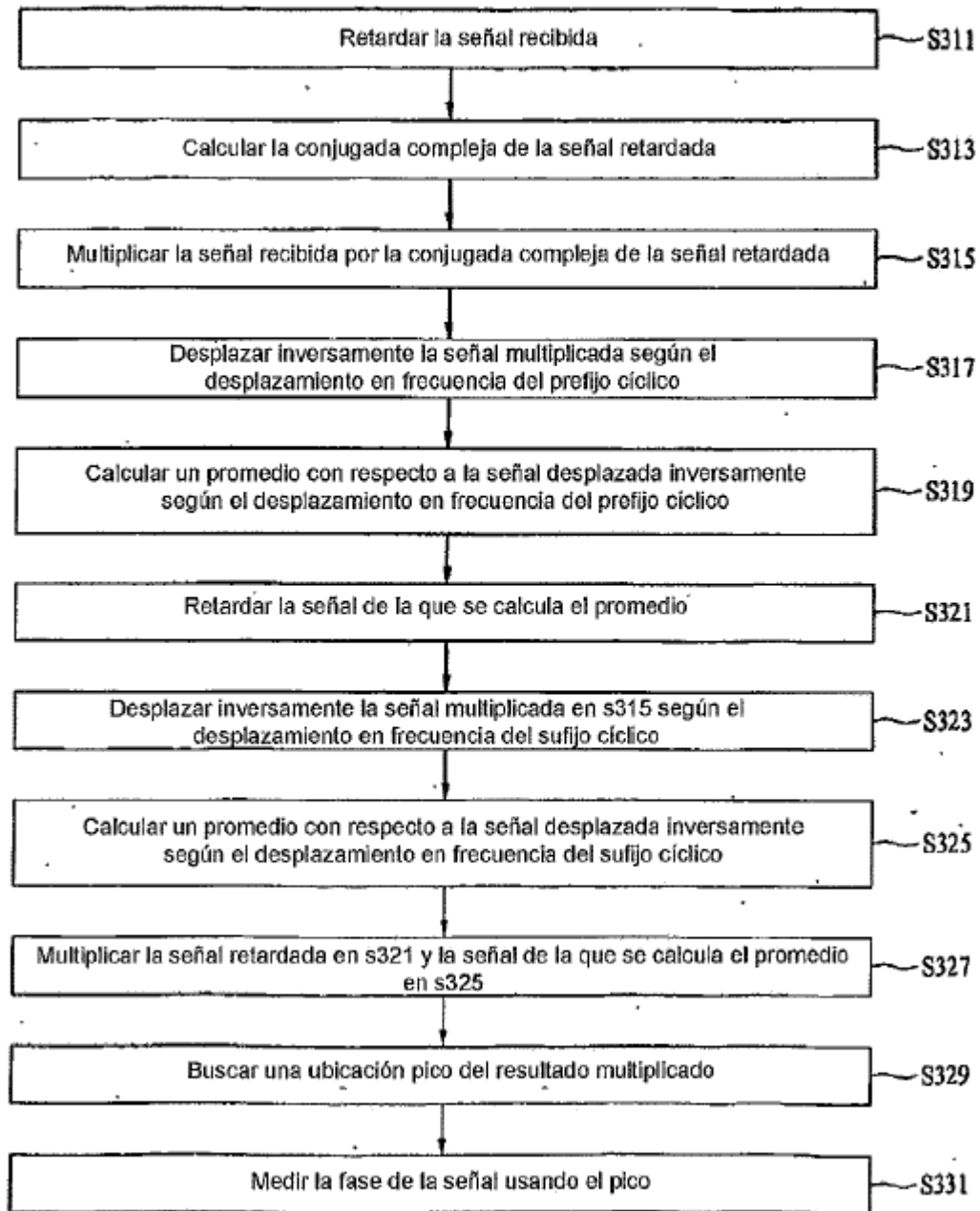


FIG. 61

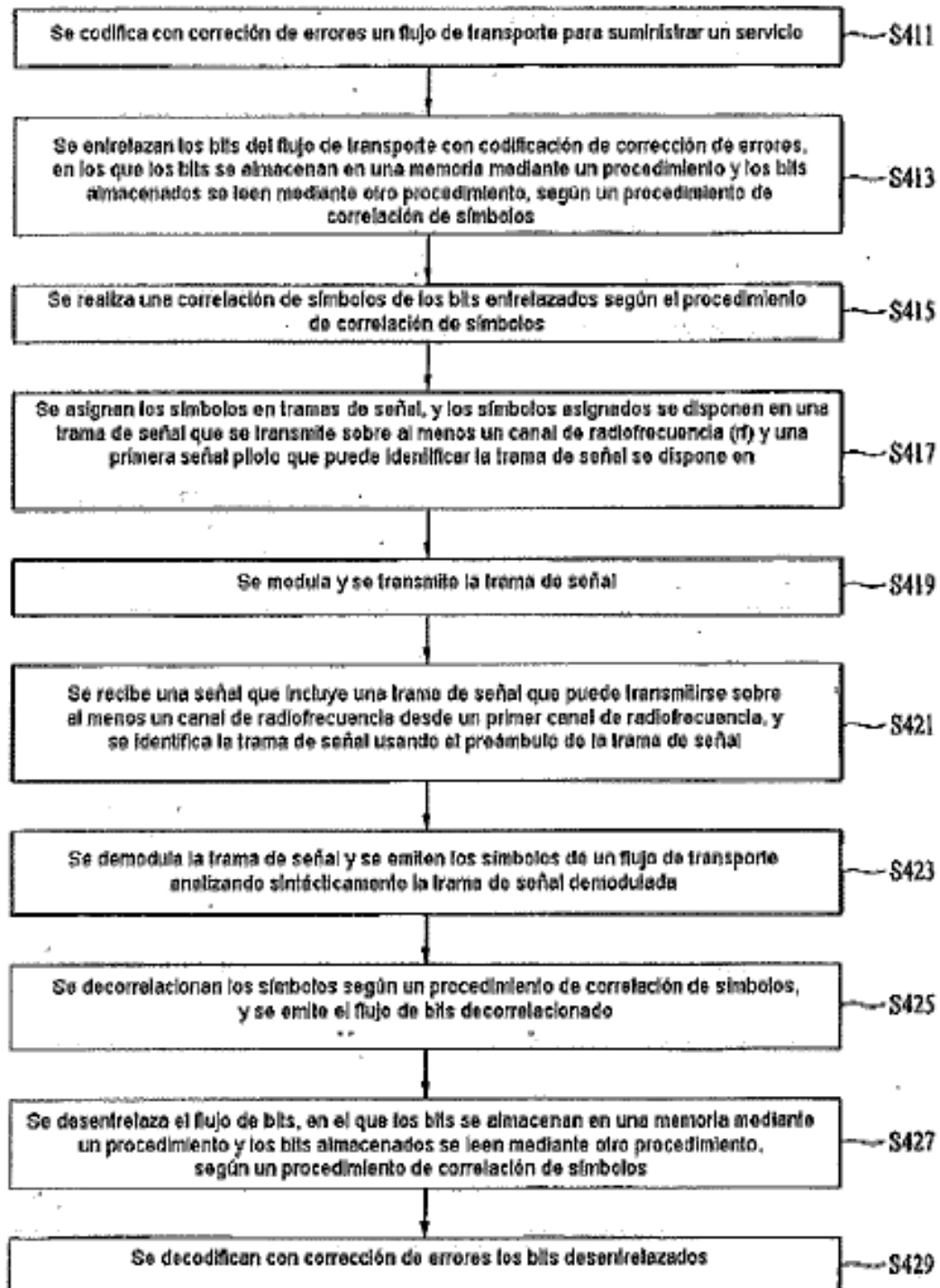


FIG. 62

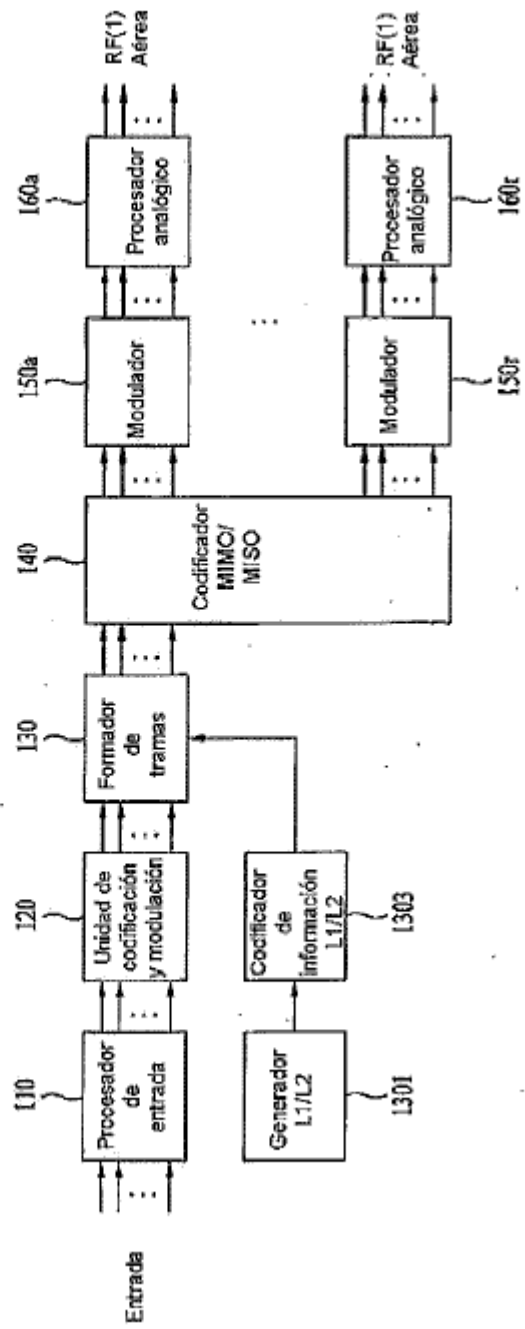


FIG. 63

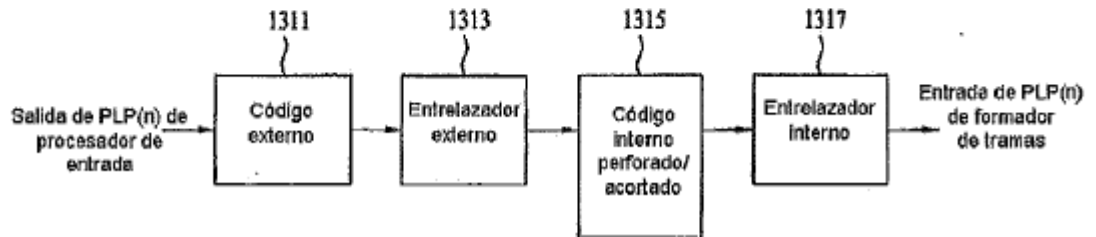


FIG. 64

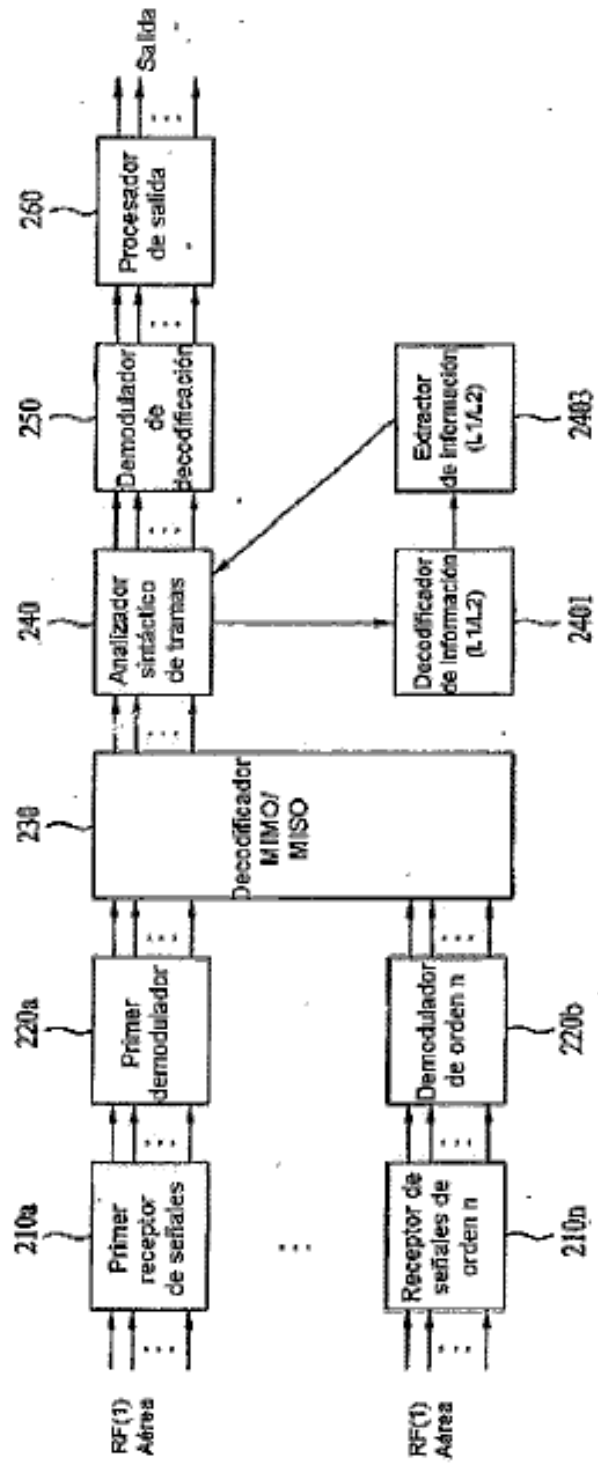


FIG. 65

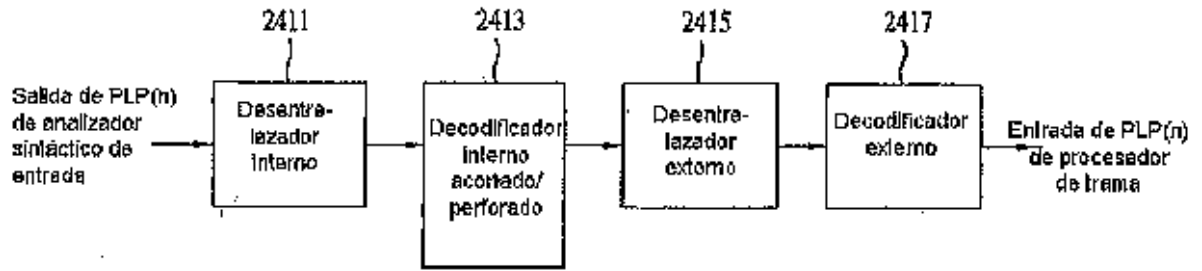


FIG. 66

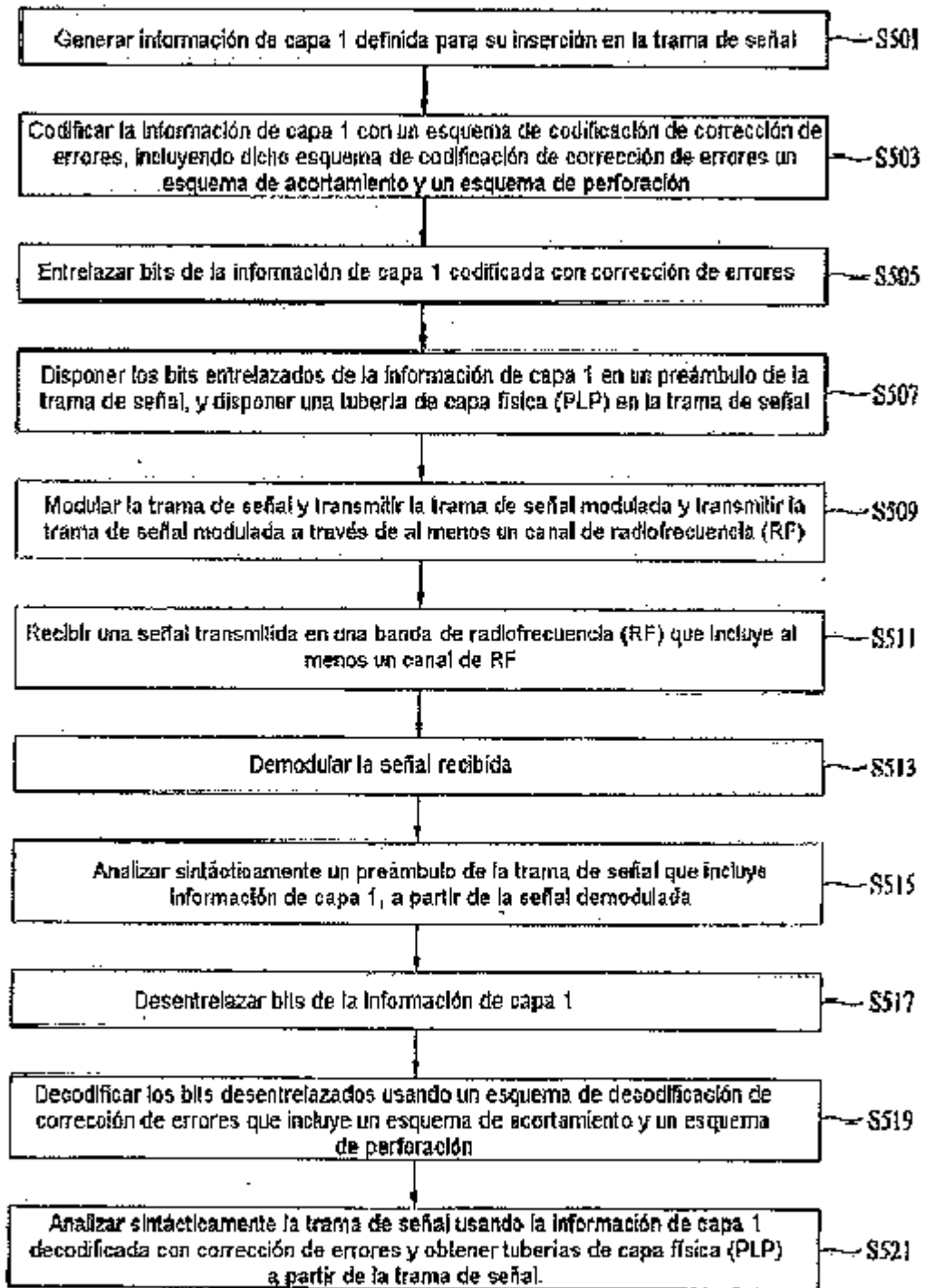


FIG. 67

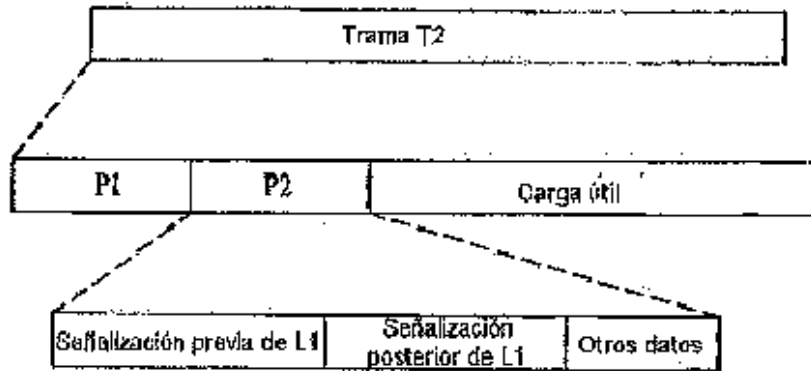


FIG. 68

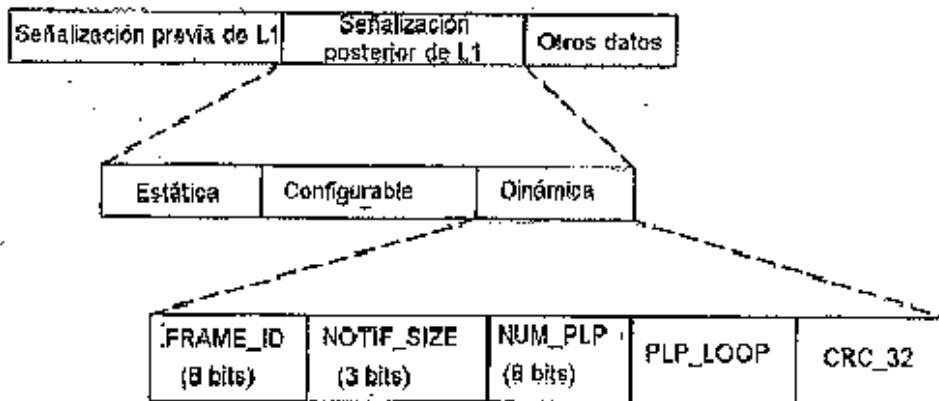


FIG. 69

