

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 389 937**

51 Int. Cl.:
H03M 5/14 (2006.01)
H04L 25/49 (2006.01)
H03M 7/46 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **01120568 .9**
96 Fecha de presentación: **07.07.1995**
97 Número de publicación de la solicitud: **1168331**
97 Fecha de publicación de la solicitud: **02.01.2002**

54 Título: **Método de desmodulación de señal y aparato de desmodulación de señal.**

30 Prioridad:
08.07.1994 JP 15717594

45 Fecha de publicación de la mención BOPI:
05.11.2012

45 Fecha de la publicación del folleto de la patente:
05.11.2012

73 Titular/es:
SONY CORPORATION (100.0%)
7-35, KITASHINAGAWA 6-CHOME
SHINAGAWA-KU
TOKYO, JP

72 Inventor/es:
OKAZAKI, TORU y
YOSHIMURA, SHUNJI

74 Agente/Representante:
DE ELZABURU MÁRQUEZ, Alberto

ES 2 389 937 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método de desmodulación de señal y aparato de desmodulación de señal.

5 CAMPO TÉCNICO

Esta invención se refiere a un método de desmodulación de señales y a un aparato de desmodulación de señales que se utilizan para reproducir señales digitales, tales como señales de voz digitales, señales de vídeo digitales y datos digitales, en un medio de registro, y, por ejemplo, un método de desmodulación de señales y un aparato de desmodulación de señales que pueden adaptarse a un dispositivo maestro para un disco óptico de sólo lectura o un dispositivo de registro/reproducción para un disco óptico reescribible.

TÉCNICA ANTERIOR

10 Cuando se registran señales digitales, tales como señales de voz digitales, señales de vídeo digitales o datos digitales, se agregan primero datos de código de corrección de errores a las señales digitales, y los datos resultantes son encaminados a un circuito de modulación en donde son convertidos por codificación de canal en el código adecuado a las características de un sistema de registro/reproducción.

20 Un disco óptico, tal como un disco compacto (CD), es un medio de registro que tiene un amplio campo de aplicación como medio de empaquetamiento para información de imagen o como dispositivo de almacenaje para un ordenador. El sistema de disco óptico reproduce señales grabadas sobre una superficie reflectante del disco a través de un sustrato transparente que tiene un espesor del orden 1,2 mm. Sobre el disco compacto se registra información, tal como señales de audio digitalizadas, señales de vídeo digitalizadas o datos digitales. En este caso, se agregan los datos de código de corrección de errores a las señales digitales, y los datos resultantes son encaminados a un circuito de modulación en donde son convertidos por una denominada codificación de canal en datos de código adecuados a las características del sistema de registro/reproducción.

El formato de señal del sistema de disco compacto (CD) antes mencionado se resume en la forma siguiente:

30	frecuencia de muestreo	44,1 kHz
	número de bits cuantizadores	16 (lineal)
	sistema de modulación	EFM
	tasa de bits de canal	4,3218 Mb/s
	sistema de corrección de error	CIRC
35	tasa de transmisión de datos	2,034 Mb/s.

El sistema de modulación empleado es un sistema de conversión 8-14 o sistema EFM.

40 Con el EFM, un código de entrada de 8 bits, denominado seguidamente símbolo, se convierte en un código de 14 bits de canal, al cual se agregan una señal de sincronización de trama de 24 bits de canal y un subcódigo de 14 bits de canal, y los códigos contiguos se interconectan por medio de bits de fusión de 3 bits de canal. Los datos resultantes son registrados por el sistema de modulación NRZI.

La figura 1 muestra una estructura de trama del sistema CD.

45 Haciendo referencia a la figura 1, datos de 24 símbolos (señales musicales) y paridad de 8 símbolos, que entran en un circuito de modulación desde un codificador de código Reed-Solomon de entrelazamiento cruzado (CIRC) durante una trama de sincronismo (dominios de valor de seis muestras, con seis muestras en cada uno de los canales L y R, siendo cada muestra datos de 16 bits) se transforman en 14 bits de canal y se conectan por medio de bits de fusión de tres bits de canal para dar 588 bits de canal por trama. Los datos resultantes son registrados por el sistema NRZI a una tasa de bits de canal de 4,3218 Mbps.

50 Los símbolos respectivos que entran en el circuito de modulación son transformados, con referencia a una tabla de búsqueda compuesta de una ROM, en un patrón de bits de canal en el que el número de "0s" entre "1" y "1" no es menor que 2 ni mayor que 10. El patrón de bits de canal de una señal de sincronización de trama S_f es "1000000000100000000010" en expresión binaria. En cuanto al patrón de bits de fusión, se selecciona uno de entre "000", "001", "010" y "100". Cada trama de subcodificación está constituida por 98 tramas. Como subcódigo para los tramas cero y primera, se agregan las señales de sincronismo de subcódigo SO (= "00100000000001" y S1 (= "0000000010010") (véase la figura 2).

60 La figura 3 muestra, para un valor de muestra típico de datos de entrada, un patrón de bits de canal después de EFM y una variación de suma digital (DSV).

65 Cada muestra de 16 bits se divide en 8 bits superiores y 8 bits inferiores, cada uno de los cuales se introduce en el circuito de modulación a través de un codificador CIRC para conversión 8-14 a fin de producir bits de información de 14 bits de canal. No menos de 2 ni más de 10 "0s" están interpuestos entre "1" y "1" de los bits de información, tal como se ha descrito anteriormente. Se selecciona uno de los bits de fusión "000", "001", "010" y "100". Se observa

esta regla en todo momento en las porciones de conexión de los 14 bits de información, con lo que se generan señales EFM basadas en 17 bits de canal y se da salida a estas señales desde el circuito de modulación a 4,3218 Mbps. El número de bits de canal es 27 en el caso de la señal de sincronización de cuadro Sf.

5 Dado que no menos de 2 y no más de 10 bits de canal están interpuestos entre un bit de canal opcional "1" y el siguiente bit de canal "1", el período durante el cual continúa el nivel alto o el nivel bajo de la forma de onda de registro NRZI, es decir, la longitud de onda de registro, es necesariamente no menor que 3T y no mayor que 11T (véase la figura 3).

10 En este caso, la longitud de onda de registro más corta es 3T y la longitud de onda de registro más larga es 11T, siendo T un período de un reloj de canal de 4,3218 MHz. Esto se denomina seguidamente regla 3T ~ 11T de la regulación de modulación EFM.

15 El valor o variación de suma digital (DSV) se considera ahora como un índice del equilibrio de cc de la forma de onda de registro NRZI. La DSV se da como una integral de tiempo de la forma de onda de registro. Es decir, la variante de la DSV, cuando el nivel alto de la forma de onda de registro ha continuado durante un tiempo unidad T, es +1, mientras que la variante de la DSV, cuando el nivel bajo de la forma de onda de registro ha continuado durante un tiempo unidad T, es -1.

20 El cambio de tiempo de DSV, cuando el valor inicial de DSV en el instante t_0 se supone igual a cero, se da en la porción más inferior de la figura 3. La señal modulada durante el tiempo desde t_1 hasta t_2 no queda determinado de forma singular por el patrón de 17 bits de canal "0100001000001001", sino que depende del nivel de señales moduladas en el instante t_1 , es decir, del nivel último de la forma de onda de señal modulada durante el intervalo de tiempo desde el instante t_0 hasta el instante t_1 (denominado seguidamente CWLL).

25 Así, la forma de onda de señal modulada ilustrada es aquella para la que el CWLL en el instante t_0 está a un nivel bajo (CWLL = "0"). La forma de onda de señal modulada para CWLL = "1" (nivel alto) se invierte respecto del patrón para CWLL = "0", de modo que los niveles alto y bajo se invierten a niveles bajo y alto, respectivamente.

30 Análogamente, la DSV se incrementa o disminuye también dependiendo del CWLL, de tal manera que si CWLL = "0" en el instante t_0 , la variante de DSV con el patrón de información "0100100100010" (denominado seguidamente 14 NWD), es decir, la variante de DSV durante el período de tiempo desde t_0 hasta t_0+14 , es +2, como se muestra en la figura 3. Recíprocamente, si CWLL = "1" en el instante t_0 , 14 NWD = -2. La variante de DSV desde el instante t_0+14 hasta t_1+14 se denomina 17 NWD.

35 Se explican ahora los bits de fusión insertados desde el instante t_0+14 hasta el instante t_1 . De los cuatro bits de margen "000", "001", "010" y "100" no pueden insertarse "001" o "100" conforme a la regla 3T ~ 11T antes mencionada, de tal manera que solamente puede insertarse "010" o "000". Es decir, si el número de "0s" en el extremo trasero del patrón de bits de información anterior, emitido antes del bit de fusión es B, y el número de "0s" en el extremo delantero del patrón de bits de información en curso subsiguientemente emitido es A, se tiene que, dado que B = 1 y A = 1, los extremos delantero y trasero del bit de fusión han de ser "0" y "0", de tal manera que el patrón de bits de fusión que puede insertarse pasa a ser "0X0", en donde X es arbitrario (no importa).

40 En la porción más inferior de la figura 3 se muestra la DSV con los bits "010" insertados como bits de fusión por medio de una línea continua, mientras que se muestra la DSV con los bits "000" insertados como bits de fusión por medio de una línea de trazos.

45 En general, los bits de fusión a insertar en un punto de conexión necesitan seleccionarse de modo que satisfagan la regla 3T ~ 11T de la regulación de modulación. Análogamente, están prohibidos aquellos bits de fusión que, cuando se insertan, producirán una repetición por dos veces de un patrón 11T que es igual que el patrón de sincronización de tramas 11T.

50 De los bits de fusión que satisfacen los requisitos anteriores, se seleccionan tales bits de fusión como bits de fusión óptimos que, cuando se insertan, producirán el menor valor absoluto de la DSV acumulativa desde el bit de fusión hasta el final del siguiente patrón de bit de información conectado a la DSV acumulativa prevalente.

55 En el ejemplo de la figura 3, la DSV en el instante t_1+14 , cuando se insertan los bits de fusión "010", es +3, mientras que la DSV en el mismo instante, cuando se insertan los bits de fusión "000", es -1, de modo que se seleccionan los bits de fusión "000".

60 Los bits de fusión, encontrados por el algoritmo anteriormente descrito, satisfacen la regla 3T ~ 11T de la regulación de modulación en la porción de conexión entre dos datos de 14 bits, mientras que prohíben la generación de una señal de sincronismo de trama errónea y aproximan la DSV acumulativa de la señal EFM a un valor tan próximo a cero como sea posible.

65 Mientras tanto, con el sistema EFM convencional, dado que la longitud de secuencia más corta está limitada a dos,

serán suficientes dos bits de fusión para la finalidad de hacer frente a limitaciones de longitud de secuencia. Si el número de bits de fusión puede ser reducido a dos, la densidad de registro de datos puede incrementarse en un factor de 17/16 sin alterar el tamaño físico, tal como la longitud de onda de registro.

5 Sin embargo, hay solamente tres clases de bits de fusión de dos bits. Además, ocurre frecuentemente que sólo una de las tres clases de bits de fusión puede insertarse debido a limitaciones tales como las impuestas por longitud de secuencia. Así, con el sistema de control de DSV convencional existe un gran número de dominios en los que es imposible controlar la DSV. En consecuencia, componentes de baja frecuencia de las señales moduladas no pueden suprimirse en grado suficiente para afectar a la servoestabilidad o a la tasa de errores de datos en la desmodulación de datos.

10 Un método de convertir una serie de palabras de información de M bits en una señal modulada se describe en WO-A-9522802 como estado de la técnica de acuerdo con el artículo 54(3) CPE.

15 Además, se conoce por EP-A-0 392 506 un método de modulación para modular datos de 8 bits en códigos de modulación de 14 bits. El documento EP 0 392 506 describe un método de modulación digital para modular datos digitales de 8 bits en códigos de modulación digitales de 14 bits. En primer lugar, selecciona hasta cuatro códigos de modulación digitales de 14 bits para cada dato digital ingresado de 8 bits. Seguidamente, selecciona el código de modulación digital corriente de 14 bits en respuesta a los datos de 8 bits, la DSV al final del código de modulación precedente y el patrón final del código de modulación precedente. Se usan clases para seleccionar códigos de modulación de entre varios grupos de códigos. En ambos métodos se utiliza una tabla de conversión, que incluye varios grupos de códigos, como una tabla de conversión para convertir datos basados en M bits en un código basado en N bits, incluyendo cada uno de estos varios grupos de códigos una lista completa de diferentes palabras de código para los mismos datos de entrada.

25 El documento EP 0 506 446 describe un método de modulación en el que se producen una pluralidad de primeros pares de palabras de código (+3, -1), cada uno de los cuales incluye una palabra de código de 15 bits, cuya suma digital de palabra de código (CDS) es igual a +3, y una palabra de código de 15 bits, cuya CDS es igual a -1, y una pluralidad de segundos pares de códigos (+1, -3), cada uno de los cuales incluye una palabra de código de 15 bits, cuya CDS es igual a +1, y una palabra de código de 15 bits, cuya CDS es igual a -3. Se asignan uno de la pluralidad de primeros pares de códigos (+3, -1) y uno de la pluralidad de segundos pares de códigos (+1, -3) a cada palabra de datos de 8 bits, y se selecciona uno de los primeros y segundos pares de códigos asignados a cada palabra de datos de 8 bits de modo que el número de bits idénticos continuos en una secuencia de palabras de código de 15 bits no sea de menos de 2 ni de más de 8. Se selecciona una de dos palabras de código de 15 bits incluidas en el par de códigos seleccionados de modo que varíe periódicamente la DSV en el último bit de cada palabra de código de 15 bits.

40 El documento EP 0 493 044 describe un método de modulación en el que se convierten datos de entrada de 8 bits en palabras de código de 16 bits. La conversión de código se hace de modo que el código de modulación resultante de 16 bits tenga dos o más números consecutivos entre los bits primero y decimosexto, cuatro o menos números consecutivos entre los bits decimotercero y decimosexto, la CDS de la totalidad de 16 bits en el bloque de código de modulación no sea más de cuatro y la DSV desde el bit delantero hasta un bit arbitrario en el bloque de código de modulación no sea más de cinco, con lo que el número de números consecutivos en cualquier porción de los datos digitales no es menos de dos ni más de cinco y el valor absoluto de la DSV no es más de tres. Se proporcionan varias tablas de conversión para seleccionar los códigos de conversión correspondientes a los datos de entrada que responden a estados.

50 En vista de lo anterior, un objeto principal de la presente invención es proporcionar un método de modulación de señales y un método de desmodulación de señales con los cuales los M bits de entrada, tales como una cadena de códigos de entrada de 8 bits, se transforman directamente en N bits de canal, tal como 16 bits de canal, sin emplear los bits de fusión anteriormente mencionados en el momento de la modulación de la señal, reduciendo así efectos nocivos sobre el control de DSV y permitiendo también una supresión suficiente de las componentes de baja frecuencia.

55 La invención se expone en las reivindicaciones independientes.

Otras características de la invención se exponen en las reivindicaciones subordinadas.

60 Con esta invención, dado que en las porciones duplexadas de las tablas de conversión los juegos de códigos correspondientes tienen variantes de variaciones de suma digital (DSV) que son opuestas en signo y están próximas una a otra en valor absoluto, se puede conseguir control de DSV seleccionando una de las porciones duplexadas sin utilizar un bit de margen usado en la modulación convencional. Además, dado que se utiliza la tabla de conversión en la que se asignan secuencialmente códigos - que tienen mayores valores absolutos de variantes de los valores de suma digital - a la porción duplexada, se suprimen suficientemente componentes de baja frecuencia de las señales moduladas

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La figura 1 muestra una construcción de trama de una señal de salida modulada convencional.
 La figura 2 muestra una estructura de trama de subcodificación de una señal de salida modulada convencional.
 5 La figura 3 ilustra valores de muestra convencionales y la forma de onda modulada en EFM.
 La figura 4 muestra una tabla de conversión empleada en una realización de la presente invención.
 La figura 5 es un diagrama de flujo que muestra un ejemplo de un algoritmo que constituye la tabla de conversión.
 10 La figura 6 muestra un ejemplo de una tabla de unidades en la que el valor de estado es 1.
 La figura 7 muestra un ejemplo de una tabla de unidades en la que el valor de estado es 2.
 La figura 8 muestra un ejemplo de una tabla de unidades en la que el valor de estado es 3.
 La figura 9 muestra un ejemplo de una tabla de unidades en la que el valor de estado es 4.
 La figura 10 es un diagrama de flujo que muestra un ejemplo de un algoritmo que se utiliza con el método de modulación de señales que materializa la presente invención.
 15 La figura 11 es un diagrama de flujo que muestra una construcción ilustrativa de un aparato de modulación de señales que materializa la presente invención.
 La figura 12 es un gráfico que muestra el modo en que componentes de baja frecuencia en la señal modulada pueden ser disminuidos en la realización de la presente invención en contraste con el sistema convencional.
 La figura 13 es un diagrama de flujo que muestra un ejemplo del algoritmo que se utiliza con el método de modulación de señales como una realización de la presente invención.
 20 La figura 14 es un diagrama de bloques que muestra una construcción ilustrativa de un aparato de desmodulación de señales que materializa la presente invención.

MEJOR MODO DE REALIZAR LA INVENCION

25 Se describirán ahora realizaciones preferidas del método de desmodulación de señales y del aparato de desmodulación de señales con referencia a los dibujos.

Dichos método y aparato de desmodulación están basados en señales moduladas de acuerdo con un método de modulación o por un aparato de modulación que se efectúan basándose en el supuesto de convertir una cadena de datos de entrada basada en M bits en una cadena de códigos basada en N bits, siendo M y N unos números enteros en una relación de $M < N$, y conectar el código de N bits al siguiente código de N bits. La tabla de conversión para convertir la cadena de datos basada en M bits en la cadena de códigos basada en N bits anteriormente mencionada está parcialmente duplexada. Las porciones duplexadas están configuradas de modo que las variantes de la variación de suma digital (valor de suma digital) de los códigos de cada uno de dos juegos de códigos mutuamente asociados son opuestas en signo y están próximas una a otra en valor absoluto.
 30
 35

La figura 4 muestra un ejemplo de la tabla de conversión.

La tabla de conversión está constituida por una pluralidad de, por ejemplo, cuatro clases diferentes de tablas de unidades T_1, T_2, T_3 y T_4 , teniendo cada tabla de unidades una porción duplexada, como se muestra en la figura 4. Es decir, si se denota como T_a una tabla de juegos de códigos (patrones de bits de canal) para la totalidad de los valores de señales de entrada para una tabla de unidades, parte de ésta se encuentra duplexada para formar una tabla T_b . Con el ejemplo ilustrativo de la figura 4 se tiene que 88 códigos con valores de señal de entrada de 0 a 87 están duplexados. En la presente memoria, la tabla T_a y la tabla T_b se denominan tabla del lado frontal y tabla del lado dorsal, respectivamente.
 40
 45

Así, con el ejemplo ilustrativo de la figura 4, la tabla de conversión está constituida por cuatro clases de tablas $T_{1a}, T_{2a}, T_{3a}, T_{4a}$ para 256 códigos de 16 bits o 256 patrones de 16 bits de canal, asociados con valores de señal de entrada de 8 bits de 0 a 255, constituyendo la tabla del lado frontal, y cuatro tablas $T_{1b}, T_{2b}, T_{3b}, T_{4b}$ que están duplexadas para 88 patrones de 16 bits de canal de las tablas $T_{1a}, T_{2a}, T_{3a}, T_{4a}$ que tienen los valores de señal de entrada de 0 a 87, constituyendo la tabla del lado posterior. En la presente realización, las porciones duplexadas de la tabla de conversión, es decir, los códigos de 16 bits para los valores de señal de entrada de 0 a 87 de las tablas $T_{1a}, T_{2a}, T_{3a}, T_{4a}$ y los códigos de 16 bits para los valores de señal de entrada de 0 a 87 de las tablas $T_{1b}, T_{2b}, T_{3b}, T_{4b}$, están configuradas de modo que las variantes del valor o variación de suma digital de los juegos de códigos asociados son opuestas en polaridad y están próximas una a otra en magnitud.
 50
 55

Se explica una realización del método de modulación de señales que materializa la tabla de conversión de la figura

Con la presente realización, mostrada en la figura 4, la señal (datos) de entrada de 8 bits es convertida en un código de 16 bits. En el sistema EFM convencional, la señal de entrada de 8 bits es convertida en un patrón de bits de información de 14 bits que se conecta a un patrón de bits de información de 14 bits contiguo a través de bits de fusión de 3 bits. En el presente sistema, la señal de entrada de 8 bits se convierte directamente en un código de 16 bits sin emplear los bits de fusión. El presente sistema de modulación se denomina seguidamente sistema de modulación de 8-16. La modulación de 8-16 satisface también la condición para EFM de que el número de "0s" entre "1" y "1" no deberá ser menor que 2 ni mayor que 10, es decir, la regla $3T \sim 11T$.
 60
 65

En el sistema EFM está prevista solamente una tabla para convertir la señal de entrada de 8 bits en un código de 14 bits. Con el sistema de modulación de 8-16 están previstas varias clases de tablas para convertir la señal de entrada de 8 bits en un código de 16 bits. En la realización mostrada en la figura 4 se emplean cuatro clases de tablas de unidades T₁, T₂, T₃ y T₄.

5 Se explican los "valores de estado" empleados en la clasificación de las tablas de unidades.

Los valores de estado desempeñan el cometido de índices para juzgar cuál de las tablas de conversión ha de emplearse al convertir la señal (datos) de entrada de 8 bits en el código de 16 bits. Así, el tipo de los valores de estado es igual al de las diferentes clases de las tablas de unidades de la tabla de conversión. Es decir, en la presente realización hay cuatro tipos de valores de estado [1] a [4] en asociación con las cuatro clases de tablas de unidades T₁, T₂, T₃ y T₄.

15 Los valores de estado experimentan una transición cada vez que un símbolo de 8 bits se convierte en un código de 16 bits. Si el código de 16 bits termina con "1" o "10", el valor de estado experimenta una transición a [1]. Si el código de 16 bits termina con no menos de 2 y no más de 5 "0s" consecutivos, el valor de estado experimenta una transición a [2] o [3]. Si el código de 16 bits termina con no menos de 6 y no más de 9 "0s" consecutivos, el valor de estado experimenta una transición a [4]. Cuando un código que experimenta una transición al valor de estado "2" y un código que experimenta una transición al valor de estado "3" pueden manejarse como códigos perfectamente diferentes, el que el valor de estado sea [2] o [3] puede determinarse arbitrariamente al producir la tabla.

La tabla de conversión para convertir la señal de entrada de 8 bits en el código de 16 bits tiene las características siguientes.

25 La tabla de unidades T₁ empleada cuando el valor de estado es [1] está constituida por códigos de 16 bits que empiezan con al menos 2 "0s" a fin de satisfacer la condición de que el número de "0s" entre "1" y "1" deberá ser no menor que 2 y no mayor que 10 (regla 3T ~ 11T). La razón es que el código de 16 bits modulado antes de la transición del valor de estado a [1] termina con "1" o "10".

30 Por la misma razón, las tablas de unidades T₂ o T₃, empleadas para los valores de estado de [2] o [3], respectivamente, están constituidas por códigos de 16 bits que empiezan con 0 a 5 "0s" consecutivos. Se hace notar que la tabla de unidades T₂ empleada para el valor de estado igual a [2] esta constituida por códigos que tienen tanto el primer bit como el 13° bit (es decir, el cuarto bit a partir del LSB) iguales a "0", siendo el MSB el primer bit, mientras que la tabla de unidades T₃ empleada para el valor de estado igual a [3] está constituida por códigos que tienen uno o ambos del primer bit y el 13° bit (el cuarto bit a partir del LSB) iguales a "1", siendo nuevamente el MSB el primer bit.

35 La tabla de unidades T₄ empleada cuando el valor de estado es [4] está constituida por códigos de 16 bits que empiezan con "1" o con "01".

40 Existen códigos de 16 bits que pueden emplearse en común para los dos valores de estado diferentes. Por ejemplo, un código de 16 bits que empiece con tres "0s" consecutivos y que tenga el primer bit y el 13° bit iguales a "0" puede emplearse tanto con el valor de estado igual a [1] como con el valor de estado igual a [2]. Con el fin de evitar una posible confusión durante la descodificación, la tabla tiene que configurarse de modo que los códigos de valores de estado diferentes estén asociados con el mismo valor de señal (datos) de entrada de 8 bits.

45 Por otra parte, el código de 16 bits del tipo en el que el valor de estado experimenta seguidamente una transición a [2] ó [3] puede asociarse con dos clases totalmente diferentes de las señales de entrada de 8 bits. Aunque los códigos de 16 bits no pueden descodificarse de forma singular por sí mismos, pueden ser descodificados de manera correcta fijando necesariamente el siguiente valor de estado producido en [2] ó [3]. Se explicará seguidamente este método.

50 Está prevista otra tabla para indicar, para códigos respectivos de las tablas de unidades, a cuál de [1] a [4] se transfieren los siguientes valores de estado cuando las señales de entrada de 8 bits se conviertan en los códigos. Si los códigos de 16 bits terminan con no menos de 2 y no más 5 "0s" consecutivos, no es posible determinar si los valores de estado se transfieren seguidamente a [2] o [3] por las propias características del código. Sin embargo, los siguientes valores de estado pueden determinarse de forma singular haciendo referencia a esta tabla. Mientras tanto, el valor de estado es necesariamente [1] siguiendo el patrón de sincronización.

55 En el ejemplo de la figura 4, el siguiente valor de estado está indicado por S para constituir la tabla consistente en los valores de estado S que indican la dirección de transición.

60 Utilizando las tablas anteriores, un modulador modula símbolos de entrada de 8 bits en códigos de 16 bits. Los valores de estado en curso se almacenan en la memoria interna y la tabla a considerar se identifica a partir de los valores de estado. Las señales de entrada de 8 bits con convertidas por la tabla efectuando la modulación. Simultáneamente, se encuentran los valores de estado siguientes de la tabla y se mantienen estos en memoria, con

lo que se identificará la tabla a considerar durante la siguiente conversión. Se explicará seguidamente la configuración práctica del hardware.

5 La variación de suma digital o valor de suma digital (DSV) se controla de la manera siguiente.

10 Se verifica para cada valor de estado cuántos códigos de 16 bits existen que satisfagan las limitaciones de longitud de secuencia (regla 3T ~ 11T) y que puedan utilizarse satisfactoriamente. Para inhibir la aparición de dos patrones repetitivos de 11T que sean iguales que el patrón de sincronización de tramas, se elimina previamente el código de 16 bits en el que diez "0s" están ordenados y van seguidos por "1", seguido a su vez por cinco "0s". La razón es que, si se conecta el código al patrón de códigos de 16 bits que comienza con cinco "0s" consecutivos, se producen dos patrones repetitivos de 11T. Si, después de la conversión a un código de 16 bits, el valor de estado experimenta una transición a [2] o [3], el código puede ser utilizado de dos maneras, con lo que estos códigos se cuentan dos veces.

15 Los resultados de cálculos indican que pueden utilizarse 344 códigos de 16 bits con el valor de estado de [1], 345 códigos de 16 bits con el valor de estado de [2], 344 códigos de 16 bits con el valor de estado de [3] y 411 códigos de 16 bits con el valor de estado de [4]. Dado que la señal de entrada es una señal de 8 bits, serán suficientes 256 códigos, de modo que hay al menos 88 códigos superfluos para los respectivos valores de estado. Estos 88 códigos superfluos se utilizan para fines de control de DSV. Es decir, utilizando estos códigos superfluos se proporciona por separado una tabla con el número de 88 entradas como tabla del lado posterior. Esta tabla del lado posterior está prevista en la presente realización para las señales de entrada de 8 bits que van de "0" a "87".

20 Para conseguir un eficaz control de DSV con el presente sistema de control de DSV, las tablas del lado frontal y del lado dorsal se constituyen según el principio siguiente.

25 Existen códigos de 16 bits que pueden emplear dos valores de estado diferentes en común, como se ha descrito anteriormente. Dado que la tabla tiene que formularse de modo que los mismos valores de señal (datos) de entrada de 8 bits estén asociados con estos códigos en todo momento, los métodos de formulación de tablas en este caso son complicados debido a estas limitaciones. Dado que se pretende indicar aquí el método de formular la tabla con miras a un control de DSV eficaz, la descripción siguiente se hace basándose en el supuesto de que se toman independientemente los respectivos valores de estado, y los códigos de 16 bits que pueden utilizarse para los respectivos valores de estado pueden asignarse libremente a valores respectivos de las señales de entrada de 8 bits.

30 El diagrama de flujo de la figura 5 está destinado a ilustrar el método para formular la tabla de conversión anteriormente mencionada, más específicamente el método para formular una opcional de las cuatro clases de tablas de unidades de la tabla de conversión.

35 Haciendo referencia a la figura 5, la totalidad de patrones de los códigos de 16 bits se encuentran en el paso S101. En el paso siguiente S102 se seleccionan los patrones o códigos de bits que satisfarán la condición de la limitación de longitud de secuencia (3T ~ 11T). En el paso siguiente S103 se clasifican los códigos en códigos que seguirán las condiciones basadas en valores de estado anteriormente mencionadas. El número de códigos de 16 bits que pueden emplearse para estos valores de estado es de 344 a 411, como se ha explicado anteriormente. Por ejemplo, el número de códigos de 16 bits que pueden emplearse para el valor de estado de [1] es 344.

40 En el paso siguiente S104 se calcula para cada código, por cada uno de los valores de estado, la cantidad de variación de la DSV para el nivel directamente anterior a cada código (= CWLL) que es bajo. Dado que la longitud de código es 16 bits, la cantidad de variación de la DSV por código es -10 en el mínimo y +10 en el máximo. Si, como ejemplo, el valor de estado es [1], la cantidad de variación de DSV es -10 en el mínimo y +6 en el máximo.

45 En el paso siguiente S105 se ordenan secuencialmente los 344 códigos de 16 bits que tienen el valor de estado igual a [1], empezando a partir del código que tiene la mayor variante de DSV en el lado positivo hasta el código que tiene la mayor variante de DSV en el lado negativo, efectuando para ello la clasificación.

50 En el paso siguiente S106 se seleccionan 88 códigos de 16 bits en orden de cantidad decreciente de variación de DSV en el lado positivo y se asignan secuencialmente a "0" a "87" de la señal de entrada de 8 bits en la tabla del lado frontal T_{1a} de la figura 6 para el valor de estado de [1]. Cuanto mayor sea el valor absoluto de la variación de DSV de los 88 códigos de 16 bits seleccionados, tanto menor será el valor de la señal de entrada de 8 bits a la que se asigna el código de 16 bits. Por otra parte, se seleccionan 88 códigos de 16 bits en orden de cantidad decreciente de variación de DSV en el lado negativo y se asignan secuencialmente a "0" a "87" de las señales de entrada de 8 bits en la tabla del lado dorsal T_{1b} de la figura 6. Cuanto mayor sea el valor absoluto de la variación de DSV de los 88 códigos de 16 bits seleccionados, tanto menor será el valor de la señal de entrada de 8 bits a la que se asigna el código de 16 bits. Finalmente, se seleccionan 168 códigos de 16 bits en orden de pequeño valor absoluto de la variación de DSV y se asignan a "88" a "255" de la señal de entrada de 8 bits en la tabla del lado frontal T_{1a} de la figura 6.

55 Si el valor de estado es [1], el número de códigos de 16 bits que pueden emplearse es 344, de modo que la totalidad

de códigos que pueden emplearse puede seleccionarse en esta etapa, como se muestra en la figura 6.

Las figuras 7, 8 y 9 muestran ejemplos de asignación de valores de señal de entrada en las tablas de unidades de la tabla de conversión, que se emplean para los valores de estado de [2], [3] y [4], respectivamente.

5 En las figuras 6 a 9 se cambia la secuencia de las señales de 16 bits que tienen la misma cantidad de variación de DSV con respecto a la del ejemplo de la figura 4 durante la clasificación. Sin embargo, cualquiera de estas tablas puede emplearse sin ningún inconveniente.

10 Si las tablas Ta, Tb del lado frontal y del lado dorsal se formulan con arreglo al principio anteriormente descrito, uno de los dos códigos de 16 bits con signos opuestos y con el mayor valor absoluto de la variante de DSV puede seleccionarse para la señal de entrada de 8 bits con un valor entre "0" y "87", permitiendo así un control de DSV eficaz. Si la señal de entrada de 8 bits tiene un valor entre "88" y "255", se fijan singularmente los códigos de 16 bits de tal manera que no pueda realizarse un control de DSV. Sin embargo, dado que estos códigos de 16 bits son del menor valor absoluto de la variante de DSV, resulta posible mantener el menor valor absoluto de la DSV acumulativa en todo momento.

20 La tabla Tb del lado dorsal con 88 entradas, definidas como se ha descrito anteriormente, tiene las mismas características que las de la tabla del lado frontal Ta con 256 entradas, excepto que el número de entradas es pequeño.

25 El control de DSV se realiza utilizando tanto la tabla del lado frontal Ta como la tabla del lado dorsal Tb. Si la señal de entrada de 8 bits tiene un valor entre "0" y "87", se puede seleccionar adaptativamente cuál de entre la tabla del lado frontal Ta o la tabla del lado dorsal Tb deberá emplearse en el momento de la conversión de la señal de entrada de 8 bits en los códigos de 16 bits. Así, con la presente realización se calcula la DSV acumulativa en todo momento, se calculan la DSV acumulativa en caso de que se realice la conversión utilizando la tabla del lado frontal Ta y la DSV acumulativa en caso de que se realice la conversión utilizando la tabla del lado dorsal Tb, y se selecciona para efectuar la conversión aquella de las tablas que reducirá el valor absoluto de la DSV acumulativa más cercano a cero.

30 Haciendo referencia a la figura 10, se explica el algoritmo del sistema de modulación de señales de la presente realización empleando la tabla de conversión anteriormente descrita.

35 Cuando se introduce una señal (dato) de 8 bits en el paso S1, se adquiere el valor de estado actual en el paso S2. Se verifica entonces en el paso S3 si la señal de entrada de 8 bits es o no mayor de 87.

40 Si el resultado del juicio en el paso S3 es SI, es decir, si se encuentra que el valor de la señal de entrada es 87 o menos, el programa transfiere al paso S4 para remitir a la tabla del lado frontal Ta en respuesta al valor de estado actual a fin de adquirir un código de 16 bits correspondiente al valor de señal de entrada y calcular un valor xa de DSV acumulativa. En el paso siguiente S5 se remite a la tabla del lado dorsal Tb en respuesta al valor de estado actual con el fin de adquirir un código de 16 bits correspondiente al valor de señal de entrada y calcular un valor xb de DSV acumulativa. En el paso siguiente S6 se juzgan las magnitudes relativas de los valores xa y xb de DSV acumulativa, es decir, si se cumple o no que $I_{xa} < I_{xb}$.

45 Si el resultado del juicio en el paso S3 es NO, es decir, si se encuentra que la señal de entrada es mayor que 87, el programa transfiere al paso S7 con el fin de remitir a la tabla del lado frontal Ta en respuesta al valor de estado actual para adquirir un código de 16 bits correspondiente al valor de la señal de entrada, antes del que el programa transfiera al paso S10. Si el resultado de la decisión en el paso S6 es SI, es decir, si $I_{xa} < I_{xb}$, se remite a la tabla del lado frontal Ta para adquirir un código de 16 bits antes de que el programa prosiga al paso S10. Si el resultado de la decisión en el paso S6 es NO, es decir, si se encuentra que el valor absoluto del valor xb de DSV acumulativa de la tabla del lado dorsal Tb es menor, se remite a la tabla del lado dorsal Tb con el fin de adquirir un código de 16 bits antes de que el programa prosiga al paso S10.

50 En el paso S10 se calcula y actualiza la DSV acumulativa. En el paso S11 se remite a la tabla para el siguiente valor de estado, es decir, la tabla que muestra colectivamente los siguientes valores de estado S de la figura 4, con el fin de actualizar el valor de estado. En el paso siguiente S12 se emite el código de 16 bits adquirido.

La figura 11 muestra, en un diagrama de circuito de bloques, una construcción típica de un aparato de modulación de señales para realizar un sistema de modulación de señales que materializa la presente invención.

60 Haciendo referencia a la figura 11, se introduce una señal de entrada de 8 bits en un circuito comparador 10 y en un circuito generador de direcciones 21.

65 El comparador 10 compara la señal de entrada de 8 bits con un valor "88". Si el valor de la señal de entrada de 8 bits es menor que "88", resulta factible el control de DSV antes mencionado. Así, el comparador 10 da a los selectores 11 y 12 la instrucción de introducir el modo de control de DSV.

- Si recibe del comparador 10 la instrucción de introducir el modo de control de DSV, el selector 11 transmite la señal de entrada de 8 bits a los generadores de direcciones 14 y 17. Si la señal de entrada de 8 bits no es inferior a "88", se emite una instrucción desde el comparador 10 al efecto de que no sea factible ni se realice un control de DSV. Así, la señal de entrada de 8 bits no se transmite a los generadores de direcciones.
- 5 Una memoria 13 de almacenaje de valores de estado es una memoria para almacenar el valor de estado actual de [1] a [4].
- 10 Una memoria 25 de almacenaje de DSV acumulativa es una memoria para almacenar el valor actual de la DSV acumulativa.
- 15 Una ROM 23 de tabla de conversión para los códigos de 16 bits es una ROM de tabla para almacenar códigos de 16 bits en los que han de convertirse los valores de la señal de entrada de 8 bits. Existen las cuatro tablas de unidades T_1 , T_2 , T_3 y T_4 asociadas con los respectivos valores de estado. Además, los códigos de 16 bits están duplexados en lo que concierne a los valores de señal de entrada de "0" a "87", de tal manera que existen los códigos incluidos en la tabla del lado frontal T_a y los incluidos en la tabla del lado dorsal T_b . Así, existen ocho clases de tablas T_{1a} a T_{4b} . Utilizando estas tablas T_{1a} a T_{4b} , resulta posible recibir una dirección determinada a partir de tres parámetros, es decir, la señal de entrada de 8 bits, el valor de estado y un valor que indica cuál de la tabla del lado frontal o la tabla del lado dorsal ha de utilizarse, y resulta también posible encontrar el código de 16 bits asociado.
- 20 Una ROM 27 de la tabla de decisión de valor de estado siguiente es una ROM de tabla para almacenar el siguiente valor de estado que prevalece después de la conversión del valor de la señal de entrada de 8 bits en un código de 16 bits. Existen cuatro tablas para los respectivos valores de estado, mientras que las tablas están duplexadas en lo que concierne a los valores de la señal de entrada de "0" a "87", de tal manera que existe la tabla del lado dorsal además de la tabla del lado frontal. Es decir, las tablas de decisión de valor de estado siguientes T_{1a-s} , T_{1b-s} , T_{2a-s} , T_{2b-s} , T_{3a-s} , T_{3b-s} , T_{4a-s} y T_{4b-s} en asociación con las tablas de códigos T_{1a} , T_{1b} , T_{2a} , T_{2b} , T_{3a} , T_{3b} , T_{4a} y T_{4b} respectivamente. Estas tablas T_{1a-s} a T_{4b-s} reciben direcciones determinadas a partir de los tres parámetros, es decir, los valores de señal de entrada de 8 bits, los valores de estado actuales y el valor que indica cuál de la tabla del lado frontal o la tabla del lado dorsal ha de emplearse, y encuentran el siguiente valor de estado asociado.
- 25 El circuito generador de direcciones 14 adquiere la señal de entrada de 8 bits y el valor de estado actual suministrado desde la memoria de almacenaje de valores de estado 13 con el fin de generar una dirección para producir a partir de la ROM 23 de la tabla de códigos de 16 bits una dirección para adquirir el código de 16 bits en caso de emplear una tabla T_a (denominada aquí la primera tabla) para transmitir la dirección a un circuito de lectura 15.
- 30 El circuito de lectura 15 recibe la señal de dirección procedente del circuito generador de direcciones 14 y, utilizando la señal de dirección, adquiere un código 16 bits de la ROM 23 de la tabla de códigos de 16 bits. Este código se transmite a un circuito 16 de cálculo de la DSV acumulativa.
- 35 El circuito 16 de cálculo de la DSV acumulativa calcula, a partir del código de 16 bits recibido del circuito de lectura 14 y a partir del valor de la DSV acumulativa actual recibido de la memoria 25 de almacenaje de DSV acumulativa, el valor de la DSV acumulativa resultante de emplear el código de 16 bits, y transmite el valor de DSV acumulativa calculado a un circuito comparador 20.
- 40 El circuito generador de direcciones 17 recibe la señal de entrada de 8 bits y el valor de estado actual de la memoria 13 de almacenaje de valores de estado. El circuito generador de direcciones 17 genera también una dirección resultante de emplear la segunda tabla a partir de la ROM 22 de la tabla de códigos de 16 bits y encamina la dirección hacia un circuito de lectura 18.
- 45 El circuito de lectura 18 recibe la señal de dirección del circuito generador de direcciones 17 y, utilizando la señal de dirección, produce un código de 16 bits a partir de la ROM 23 de la tabla de códigos de 16 bits. Este código es encaminado hacia un circuito 19 de cálculo de DSV acumulativa.
- 50 El circuito 19 de cálculo de DSV acumulativa calcula, a partir del código de 16 bits recibido del circuito de lectura 18 y el valor de la DSV actual recibido de la memoria 25 de almacenaje de DSV acumulativa, el valor de la DSV acumulativa resultante de emplear el código de 16 bits, y transmite el valor calculado a un circuito comparador 20.
- 55 El comparador 20 adquiere, a partir del circuito 16 de cálculo de DSV acumulativa y el circuito 19 de cálculo de DSV acumulativa, el valor de la DSV acumulativa en caso de efectuar la conversión utilizando la primera tabla y el valor de la DSV acumulativa en caso de efectuar la conversión utilizando la segunda tabla, y compara los valores absolutos correspondientes uno con otro. Se determina cuál de las tablas da el menor valor absoluto de la DSV acumulativa y se transmite al selector 12 una señal indicando qué tabla ha de emplearse.
- 60 Si recibe del comparador 10 la instrucción de introducir el modo de control de DSV, el selector 12 encamina hacia el generador de dirección 21 una señal que indica cuál de las tablas primera y segunda ha de emplearse. Si recibe del
- 65

comparador 10 la instrucción de no efectuar el control de DSV, el selector 12 emite una señal hacia el generador de dirección 21 para darle a este generador 21 la instrucción de utilizar la primera tabla en cualquier caso.

5 Utilizando el valor de la señal de entrada de 8 bits, el valor de estado actual recibido de la memoria 13 de almacenaje de valores de estado y la señal del selector 12 indicando cuál de las tablas primera o segunda ha de emplearse, el generador de direcciones 21 genera una dirección para adquirir el código de 16 bits de la ROM 23 de la tabla de códigos de 16 bits y una dirección para adquirir el siguiente valor de estado de la ROM de la tabla de decisión de valor de estado siguiente, y transmite las direcciones a unos circuitos de lectura 22 y 26.

10 El circuito de lectura 22 recibe una señal de dirección del generador de direcciones 21 y, utilizando la señal de dirección, adquiere el código de 16 bits de la ROM 23 de la tabla de códigos de 16 bits. Este código es la salida de código de 16 bits que se emite desde el presente modulador. El circuito de lectura 22 transmite también el código de 16 bits a un circuito 24 de cálculo de DSV acumulativa.

15 El circuito 24 de cálculo de DSV acumulativa calcula, para el código de 16 bits recibido del circuito de lectura 22 y la DSV acumulativa recibida de la memoria 25 de almacenaje de DSV acumulativa, el valor de la DSV acumulativa que prevalecerá después de utilizar el código de 16 bits, y actualiza el contenido de la memoria 25 de almacenaje de DSV acumulativa con el valor calculado.

20 El circuito de lectura 26 recibe la señal de dirección del circuito generador de direcciones 21 y, utilizando la señal de dirección, adquiere el siguiente valor de estado de la ROM 27 de la tabla de decisión de valor de estado siguiente. El circuito de lectura 26 emite el valor de estado siguiente hacia la memoria 13 de almacenaje de valores de estado para actualizar su contenido de almacenaje.

25 En la figura 12, una curva A muestra componentes de baja frecuencia - encontradas por transformada de Fourier - de una forma de onda de registro producida al modular señales de muestreo de entrada de 8 bits utilizando el método y el aparato de modulación de señales anteriormente descritos de la presente invención.

30 Por otra parte, una curva B en la figura 12 muestra componentes de baja frecuencia de una forma de onda de registro producida al modular las mismas señales de muestreo utilizando un sistema EFM convencional y sometiendo la forma de onda de registro generada a una transformada de Fourier, mientras que una curva C en la figura 12 muestra componentes de baja frecuencia de una forma de onda de registro producida al modular las mismas señales de muestreo utilizando un sistema correspondiente al sistema EFM convencional con dos bits de fusión y sometiendo la forma de onda de registro generada a una transformada de Fourier.

35 Se ve por las curvas A, B y C de la figura 12 que, con la presente realización, las componentes de baja frecuencia pueden ser bajadas hasta un nivel sustancialmente igual al conseguido con el sistema EFM convencional, a pesar del hecho de que la eficacia de modulación es equivalente a la del sistema EFM convencional con los dos bits de fusión, esto es, igual a 17/16 veces la del sistema EFM convencional.

40 Se explicará ahora el método de recibir la señal modulada con el sistema de modulación de la presente invención y de desmodular las señales recibidas para obtener la señal original de 8 bits.

45 Con el sistema EFM convencional en el que los bits de información de 14 bits están asociados con la señal de entrada de 8 bits en una relación completa de uno a uno, se puede conseguir sin ningún inconveniente una reconversión de los bits de información de 14 bits a las señales de 8 bits.

50 Con la realización de la presente invención, hay ocasiones en las que se asignan las mismas señales de 16 bits a diferentes señales de entrada de 8 bits, de modo que el desmodulador no puede efectuar la reconversión al recibir simplemente los códigos de 16 bits. Así, si el desmodulador de la presente invención no puede efectuar una reconversión al recibir un código de 16 bits, recibe otro símbolo sucesivo, es decir, otro código sucesivo de 16 bits, con el fin de efectuar la reconversión basándose en los dos símbolos. En la figura 13 se muestra el algoritmo del sistema de desmodulación de la presente realización.

55 Se explica ahora la suma del algoritmo de desmodulación mostrado en la figura 13.

60 El código de 16 bits que puede asignarse en común a dos valores totalmente diferentes de las señales de entrada de 8 bits está restringido necesariamente al código en el que se cambia el valor de estado la siguiente vez a [2] o [3], según se ha explicado anteriormente. Además, si el valor de estado al que transfiere seguidamente uno de tales códigos de 16 bits es [2], el valor de estado al cual transfiere seguidamente el otro de los códigos de 16 bits es necesariamente [3]. La tabla empleada para el valor de estado de [2] está constituida por códigos que tienen cada uno de ellos el primer bit y el 13° bit iguales a 0, siendo el MSB el primer bit, mientras que la tabla empleada para el valor de estado de [3] está constituida por códigos que tienen cada uno de ellos uno o ambos del primer bit y el 13° bit iguales a 1, siendo el MSB el primer bit.

65 Partiendo de estas condiciones, si el valor de estado del código de 16 bits a punto de ser reconvertido se transfiere a

5 [2], el código de 16 bits subsiguiente tiene tanto el primer bit como el 13° bit iguales a 0, mientras que, si el valor de estado del código de 16 bits a punto de ser reconvertido se transfiere a [3], el código de 16 bits subsiguiente tiene uno o ambos del primer bit y el 13° bit iguales a 1. Así, si el desmodulador al recibir un código de 16 bits es incapaz de efectuar la reconversión, recibe otro símbolo subsiguiente (código de 16 bits) en el paso S25 de la figura 13 para verificar el primer bit y el 13° bit en el paso S26. Así, se verifica en el paso S27 si ambos de estos bits son "0". Si el resultado del juicio en el paso S27 es SI, es decir, si los dos bits son "0", el código de 16 bits a punto de ser reconvertido es el código cuyo valor de estado se transfiere seguidamente a [2]. Si el resultado del juicio en el paso S27 es NO, es decir, si uno o ambos de los bits son "1", el código de 16 bits a punto de ser reconvertido es el código cuyo valor de estado se transfiere seguidamente a [3]. Esto permite que se efectúe la reconversión de forma singular.

Tomando un ejemplo ilustrativo, se explica esta operación haciendo referencia a la tabla de conversión de la figura 4.

15 En el caso de la tabla del lado frontal T_{1a} de la tabla de unidades T de la tabla de conversión de la figura 4, siendo el valor de estado igual a 1, los códigos de 16 bits para las señales de entrada "5" y "6" de 8 bits son ambos "001000000100100". Así, el desmodulador al recibir el código "001000000100100" no puede efectuar la reconversión. En tal caso, el desmodulador lee otro símbolo subsiguiente. Si el código siguiente así leído es, por ejemplo, "001000000001001", este código es un código que se ha convertido para el valor de estado [3] debido a que el 13° bit del código es "1". Si el código actual es el mismo código, aquí "001000000100100", el valor de estado se transfiere seguidamente a [2] o [3] si el valor de la señal de entrada es "5" o "6", respectivamente; el desmodulador puede efectuar una descodificación correcta, es decir, puede juzgar que la señal de entrada es aquella señal cuyo valor de estado se transfiere la siguiente vez a [3], es decir, "6".

20 En el diagrama de flujo de la figura 13 se introduce el código de 16 bits en el paso S21. Se hace referencia a la tabla de reconversión en el paso S22. Se juzga en el paso S23 si puede conseguirse una descodificación de una forma singular. Si es así, el programa puede proseguir naturalmente al paso S24 para entregar la señal de 8 bits descodificada.

25 La figura 14 muestra, en un diagrama de bloques, una construcción alternativa de un desmodulador de señales que materializa la presente invención.

En la figura 14, un código de entrada de 16 bits es encaminado a un circuito de retardo 31 de un símbolo y una puerta Y 34.

30 El circuito de retardo 321 de un símbolo retarda el código de entrada de 16 bits en un símbolo. El código de 16 bits, así retardado en un símbolo, es encaminado a una ROM 32 de tabla de descodificación que tiene una primera tabla para descodificar ITa en ella y a una ROM 33 de tabla de descodificación que tiene una segunda tabla para descodificar ITb en ella.

35 La ROM 32 de la primera tabla de descodificación, que tiene la primera tabla para descodificar ITa en ella, recibe el código de 16 bits para efectuar una reconversión a fin de suministrar una señal de 8 bits. Si el código es el código de 16 bits del tipo que no permite por sí mismo una reconversión de forma singular, el desmodulador, después de suministrar el código de 16 bits, suministra una señal de 8 bits cuyo valor de estado se transfiere a [2]. El valor de la señal de salida de 8 bits es encaminado a un circuito de enjuiciamiento 35.

40 Análogamente a la ROM 32 de la primera tabla de descodificación, la ROM 33 de la segunda tabla de descodificación, que tiene la segunda tabla para descodificar ITb en ella, recibe el código de 16 bits y efectúa una reconversión para suministrar una señal de 8 bits. Si el código de entrada de 16 bits es un código tal que permita una reconversión monística, no suministra nada o suministra datos especiales. Si el código de 16 bits es un código tal que no permita por sí sólo una reconversión monística, el modulador, después de suministrar el código, suministra un valor de señal de 8 bits cuyo valor de estado se transfiere a [3]. La señal de 8 bits, así suministrada por el modulador, es encaminada al circuito de enjuiciamiento 35.

45 El circuito Y 34 toma la función Y del código de entrada de 16 bits y un código de 16 bits "1000 0000 0000 1000" de un circuito 36 generador de valores de comparación, que en notación hexadecimal es "8008", con el fin de verificar el primer bit y el 13° bit del código de entrada de 16 bits, y suministra "0" y "1" si los bits de las salidas Y de 16 bits son todos "0" y viceversa, respectivamente. Dado que "8008" es un código en el que solamente el primer bit y el 13° bit son "1" y los bits restantes son "0", siendo el MSB el primer bit, la salida de la puerta Y 34 es "0" o "1" si tanto el primer bit como el 13° bit son "0" o si uno o ambos del primer bit y el 13° bit son "1", respectivamente.

50 El circuito de enjuiciamiento 35 recibe la señal del circuito Y 34 y los valores de señal de 8 bits suministrados desde la ROM 32 de la primera tabla de descodificación y la ROM 33 de la segunda tabla de descodificación. En primer lugar, si no se encamina ninguna señal de 8 bits o se encaminan datos especiales desde la ROM 33 de la segunda tabla de descodificación, ello indica que el código de entrada de 16 bits ha sido descodificado de forma singular para obtener la señal de 8 bits, con lo que el circuito de enjuiciamiento 35 suministra directamente el valor de la señal de 8 bits encaminado desde la ROM 32 de la primera tabla de descodificación como una señal de salida. Si el valor de

5 la señal de 8 bits es suministrado desde la ROM 33 de la segunda tabla de descodificación, ello indica que el código de entrada de 16 bits no ha podido ser descodificado singularmente para dar el valor de la señal de 8 bits. Dado que los datos alimentados desde la ROM 32 de la primera tabla de descodificación y la ROM 33 de la segunda tabla de descodificación han sido hechos pasar por el circuito 31 de retardo de un símbolo, estas señales son códigos
 10 previamente leídos en un símbolo. Así, si el código de 16 bits que entra en la puerta Y 34 es el código convertido para el valor de estado de [2], es decir, si la señal de salida de la puerta Y 34 es "0", el circuito de enjuiciamiento 35 suministra como señal de salida la señal de 8 bits recibida de la ROM 32 de la primera tabla de descodificación. Por otra parte, si el código de 16 bits que entra en la puerta Y 34 es el código convertido para el valor de estado de [3], es decir, si la señal de salida de la puerta Y 34 es "1", el circuito de enjuiciamiento 35 suministra como señal de salida la señal de 8 bits recibida de la ROM 33 de la segunda tabla de descodificación.

15 La realización anteriormente descrita de la presente invención se aplica preferiblemente sobre todo a la modulación o desmodulación en el registro de voz, vídeo o datos digitales en un disco óptico de alta densidad. Lo que sigue es un formato de señal típico en el disco óptico de alta densidad:

15	sistema de modulación	una clase de conversión 8-16
	tasa de bits de canal	24,43 Mbps
	sistema de corrección de error	CIRC
20	tasa de transmisión de datos	12,216 Mbps

20 La presente invención no está limitada a las realizaciones anteriormente descritas. Por ejemplo, el número de bits N de la señal de entrada o el número de bits de canal M de la señal de salida convertida no está limitado a N = 8 o M = 16, sino que puede fijarse en valores arbitrarios deseados.

25 **APLICABILIDAD INDUSTRIAL**

Con la presente invención, tal como se ha descrito anteriormente, dado que las porciones duplexadas de la tabla de conversión están diseñadas de modo que los códigos de cada uno de dos juegos de códigos asociados sean aquellos códigos en los que las variantes de DSV son opuestas en signo y se aproximan una a otra en valor absoluto, se pueden suprimir satisfactoriamente las componentes de baja frecuencia de la señal modulada.

30 Asimismo, con la presente invención, la tabla de conversión está constituida por las subtablas primera y segunda que incluyen varios grupos de códigos, y el grupo de códigos a utilizar en la conversión siguiente es conmutado por un código inmediatamente antes, con lo que puede conectarse cada código de N bits sin utilizar bits de margen.

35 Además, con la presente invención, la tabla de conversión está constituida por dos clases de subtablas que proporcionan efectos opuestos de tipos positivo y negativo a la DSV acumulativa, y la modulación se lleva a cabo con las dos subtablas conmutadas adaptativamente, con lo que se pueden restringir satisfactoriamente componentes de baja frecuencia de las señales moduladas.

40 En contraste con la conversión de 8-14, es decir, EFM, empleada habitualmente en discos compactos, se pueden convertir señales de entrada de 8 bits en códigos de 16 bits de canal sin emplear bits de fusión. Es decir, en contraste con el método convencional en el que se convierte un patrón de 8 bits en un patrón de bits de información de 14 bits y tres bits de fusión, totalizando así 17 bits, la densidad de registro de datos puede elevarse en un factor de 17/16, mientras que se suprimen las componentes de baja frecuencia.

45 Para elevar la densidad de registro, puede contemplarse convertir el símbolo de 8 bits en 14 bits de información más 2 bits de fusión, totalizando así 16 bits. En contraste con este método, se pueden suprimir suficientemente las componentes de baja frecuencia de las señales moduladas debido a que se prevén dos clases de tablas de conversión que proporcionan operaciones inversas, es decir, operaciones positivas y negativas, en la DSV acumulativa, y la modulación se lleva a cabo mientras se conmutan apropiadamente estas dos clases de tablas.

50 Además, las señales moduladas de acuerdo con el presente sistema pueden descodificarse leyendo previamente un símbolo adicional y realizando la descodificación de la señal en unión del símbolo adicional.

REIVINDICACIONES

1. Un método para proporcionar un medio de registro en el cual está almacenada una cadena de códigos basada en N bits convertida a partir de una cadena de datos basada en M bits, en donde M y N son números enteros que tienen una relación de $M < N$, comprendiendo el método:
- 5 recibir (S1) la cadena de datos basada en M bits como una primera palabra de datos de una pluralidad de palabras de datos;
 10 convertir (S2..S12) la primera palabra de datos en una primera palabra de código a partir de una primera tabla de una pluralidad de tablas de palabras de código primarias y secundarias (Ta; Tb);
 15 determinar (10) si la pluralidad de tablas de palabras de código secundarias (Tb) puede ser utilizada para convertir una segunda palabra de datos en una segunda palabra de código basándose en un valor de la segunda palabra de datos, en donde para los selectores de determinación (11, 12) son instruidos para entrar en el modo de control de la DSV si un valor de señal de la segunda palabra de datos es menor que un valor predeterminado;
 20 si la pluralidad de tablas de palabras de código secundarias (Tb) puede ser utilizada para convertir la segunda palabra de datos, entonces determinar (20) sí o no, para disminuir la DSV acumulativa, la pluralidad de tablas de palabras de código primarias (Ta) o la pluralidad de tablas de palabras de código secundarias (Tb) ha de ser utilizada para convertir la segunda palabra de datos en una segunda palabra de código, en donde
 25 si la pluralidad de tablas de palabras de código secundarias (Tb) no puede ser utilizada para convertir la segunda palabra de datos, la pluralidad de tablas de código primarias (Ta) se determina que sea utilizada para convertir la segunda palabra de datos en una segunda palabra de código;
 30 determinar (21, 26, 27) basándose en un valor de estado (S) asociado con la primera palabra de código, cuál de la pluralidad de tablas de palabras de códigos primarias (Ta) o cuál de la pluralidad de tablas de palabras de código secundarias (Tb) tiene que ser utilizada para convertir la segunda palabra de datos en una segunda palabra de código; y
 35 convertir (21, 23) la segunda palabra de datos en una segunda palabra de código a partir de una de la pluralidad de tablas de palabras de código primarias o secundarias (Ta; Tb), en donde
 40 dichas tablas de palabras de código primarias (Ta) que contienen palabras de código en correspondencia una a una con una pluralidad de palabras de datos disponible, en donde, en cada tabla de palabras de código primaria, la palabra de código que tiene la DSV absoluta más grande está dispuesta asociada con una palabra de datos más pequeña;
 45 dichas tablas de palabras de código secundarias (Tb) conteniendo palabras de código que se corresponden tan solo con una porción de dicha pluralidad de palabras de datos disponible y cuyos valores de DSV de palabras de código son opuestos en signo del valor de DSV a los valores de DSV asociados con las palabras de código de las tablas de palabras de código primarias (Ta), en donde, en cada tabla de palabras de código secundaria (Tb), la palabra de código que tiene la DSV absoluta más grande está dispuesta asociada con una palabra de datos más pequeña, y
 50 almacenar la primera y segunda palabra de código como la cadena de códigos basada en N bits en un medio de registro de disco óptico.
2. El método tal como se reivindica en la reivindicación 1, en el que
 55 en las tablas de palabras de código primarias y secundarias (Ta; Tb), el valor de estado asociado a cada palabra de código indica cuál de la pluralidad de tablas de palabras de código primarias (Ta) o cuál de la pluralidad de tablas de palabras de código secundarias (Tb) tiene que ser utilizada para convertir la segunda palabra de datos en una segunda palabra de código, y el paso de determinar (21, 26, 27) cuál de la pluralidad de tablas de palabras de código tiene que ser utilizada por la segunda palabra de datos que comprende identificar (26) el valor de estado (S) asociado con la primera palabra de código.
3. El método tal como se reivindica en la reivindicación 1 ó en la reivindicación 2, que comprende además un paso (S10) de actualizar un valor de variación de suma digital acumulativa.
4. El método tal como se reivindica en cualquiera de las reivindicaciones 1 a 3, en el que
 55 cada una de las palabras de código en las tablas de palabras de código primarias y secundarias (Ta; Tb) cumple las reglas de modulación de tener una longitud de onda mínima de $3T$ y una longitud de onda máxima de $11T$, con T representando un ciclo de un reloj de canal.
5. El método tal como se reivindica en cualquiera de las reivindicaciones 1 a 4, en el que
 60 la pluralidad de tablas de palabras de código primarias y secundarias (Ta; Tb) está constituida por cuatro grupos de tabla de palabras de código primarias y secundarias (T1a..T4a; T1b..T4b).
6. El método tal como se reivindica en la reivindicación 5, en el que
 65 un primer grupo de las cuatro tablas de palabras de código primarias (T1a..T4a; T1b..T4b) está compuesto de palabras de código que empiezan al menos con dos ceros '00'.

- 5 7. El método tal como se reivindica en las reivindicaciones 5 ó 6, en el que un segundo grupo de las cuatro tablas de palabras de código primarias y secundarias (T1a..T4a; T1b..T4b) está compuesto de palabras de códigos que empiezan con un máximo de 5 ceros, "00000", y un primer bit del más significativo bit (MSB) del código y un cuarto bit del menos significativo bit (LSB) del código que es cero "0".
- 10 8. El método tal como se reivindica en cualquiera de las reivindicaciones 5 a 7, en el que un tercer grupo de las cuatro tablas de palabras de código primarias y secundarias (T1a..T4b; T1b..T4b) está compuesto de palabras de código que empiezan con un máximo de 5 ceros "00000", y uno de entre un primer bit del más significativo bit (MSB) de la palabra de código y un cuarto bit del menos significativo bit (LSB) de la palabra de código que es "1".
- 15 9. El método tal como se reivindica en cualquiera de las reivindicaciones 5 a 8, en el que un cuarto grupo de las cuatro tablas de palabras de código primarias y secundarias (T1a..T4a; T1b..T4b) está compuesto de palabras de código que empiezan con "1" ó "01".
- 20 10. El método tal como se reivindican en la reivindicación 6, en el que el paso de determinar cuál de la pluralidad de las tablas de palabras de código tiene que ser utilizada comprende un paso de seleccionar a partir del primer grupo de códigos siguientes si una palabra de código actual finaliza con "1" ó "10".
- 25 11. El método tal como se reivindica en la reivindicación 8, en el que el paso de determinar cuál de la pluralidad de las tablas de palabras de código tiene que ser utilizada comprende un paso de seleccionar a partir del segundo o tercer grupo de códigos siguientes si un código actual finaliza con dos a cinco ceros "00" a "00000".
- 30 12. El método tal como se reivindica en la reivindicación 9, en el que el paso de determinar cuál de la pluralidad de las tablas de palabras de código tiene que ser utilizada comprende un paso de seleccionar el cuarto grupo de códigos siguiente si un código actual finaliza con seis a nueve ceros "000000" a "000000000".
- 35 13. El método tal como se reivindica en la reivindicación 10, que comprende un paso de seleccionar una palabra de código a partir de primer grupo de la pluralidad de tablas de palabras de código después de recibir un patrón de sincronización.
- 40 14. El método tal como se reivindica en cualquiera de las reivindicaciones 1 a 13, en el que cada una de la pluralidad de tablas de palabras de código tiene una porción a la cual se le asigna un mismo código para diferentes datos de entrada, teniendo el mismo código diferentes valores de estado (S).
- 45 15. El método tal como se reivindica en la reivindicación 14, en el que la pluralidad de tablas de palabras de código tienen porciones a las que se le asigna un mismo código para el mismo dato de entrada, teniendo el mismo código asignado el mismo valor de estado.
- 50 16. Un dispositivo para proporcionar un medio de registro en el cual está almacenada una cadena de códigos basada en N bits convertida a partir de una cadena de datos basada en M bits, en donde M y N son números enteros que tienen una relación de $M < N$, comprendiendo el dispositivo:
- 55 medios (S1) para recibir la cadena de datos basada en M bits como una primera palabra de datos de una pluralidad de palabras de datos;
- medios para convertir (S2..S12) la primera palabra de datos en una primera palabra de código a partir de una primera tabla de una pluralidad de tablas de palabras de código primarias y secundarias (Ta; Tb);
- medios (10) para determinar sí o no la pluralidad de tablas de palabras de código secundarias (Tb) puede ser utilizada para convertir una segunda palabra de datos en una segunda palabra de código basándose en un valor de la segunda palabra de datos, en donde para los selectores de determinación (11, 12) son instruidos para entrar en el modo de control DSV si un valor de señal de la segunda palabra de datos es menor que un valor predeterminado;
- 60 medios (20) para determinar sí o no, para disminuir la DSV acumulativa, la pluralidad de tablas de palabras de código primarias (Ta) o la pluralidad de tablas de palabras de código secundarias (Tb) ha de ser utilizada para convertir la segunda palabra de datos en una segunda palabra de código, si la pluralidad de tablas de palabras de código secundarias (Tb) puede ser utilizada para convertir la segunda palabra de datos, en donde, si la pluralidad de tablas de palabras de código secundarias (Tb) no puede ser utilizada para convertir la segunda palabras de datos, la pluralidad de tablas de código primarias (Ta) se determina que sea utilizada para convertir la segunda palabra de datos en una segunda palabra de código;
- 65 medios (21, 26, 27) para determinar, basándose en un valor de estado (S) asociado con la primera palabra de código, cuál de la pluralidad de tablas de palabras de códigos primarias (Ta) o cuál de la pluralidad de tablas de palabras de código secundarias (Tb) tiene que ser utilizada para convertir la segunda palabra de datos en una segunda palabra e código;

- medios (21, 23) para convertir la segunda palabra de datos en una segunda palabra de código a partir de una de la pluralidad de tablas de palabras de código primarias o secundarias (Ta; Tb); en donde dichas tablas de palabras de código primarias (Ta) que contienen palabras de código en correspondencia una a una con una pluralidad de palabras de datos disponible, en donde, en cada tabla de palabras de código primaria, la palabra de código que tiene la DSV absoluta más grande está dispuesta asociada con una palabra de datos más pequeña;
- dichas tablas de palabras de código secundarias (Tb) que contienen palabras de código las cuales se corresponden tan solo con una porción de dicha pluralidad de palabras de datos disponible y cuyos valores de DSV de palabras de código son opuestos en signo del valor de DSV a los valores de DSV asociados con las palabras de código de las tablas de palabras de código primarias (Ta), en donde, en cada tabla de palabras de código secundarias (Tb), la palabra de código que tiene la DSV absoluta más grande está dispuesta asociada con una palabra de datos más pequeña, y medios de grabación para grabar la primera y segunda palabra de código como la cadena de códigos basada en N bits en un medio de registro de disco óptico.
17. El dispositivo tal como se reivindica en la reivindicación 16, en el que en las tablas de palabras de código primarias y secundarias (Ta; Tb), el valor de estado asociado a cada palabra de código indica cuál de la pluralidad de tablas de palabras de código primarias (Ta) o cuál de la pluralidad de tablas de palabras de código secundarias (Tb) tiene que ser utilizada para convertir la segunda palabra de datos en una segunda palabra de código, y medios (21, 26, 27) para determinar cuál de la pluralidad de tablas de palabras de código tiene que ser utilizada por la segunda palabra de datos que comprende identificar (26) el valor de estado (S) asociado con la primera palabra de código.
18. El dispositivo tal como se reivindica en la reivindicación 16 ó en la reivindicación 17, que comprende además medios (24) para actualizar un valor de variación de suma digital acumulativa.
19. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 16 a 18, que comprende además medios (26, 27) para mantener y actualizar un valor de estado (S).
20. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 16 a 19, en el que las palabras de código en cada una de las tablas de palabras de código primarias y secundarias (Ta; Tb) tienen una longitud de onda mínima de $3T$ y una longitud de onda máxima de $11T$, con T representando un ciclo de un reloj de canal.
21. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 16 a 20, en el que la pluralidad de tablas de palabras de código primarias y secundarias (Ta; Tb) está constituida por cuatro grupos de tabla de palabras de código primarias y secundarias (T1a..T4a; T1b..T4b).
22. El dispositivo tal como se reivindica en la reivindicación 21, en el que un primer grupo de códigos (T1a; T1b) está compuesto de palabras de código que empiezan al menos con dos ceros '00'.
23. El dispositivo tal como se reivindica en la reivindicación 21 ó en la reivindicación 22, en el que un segundo grupo de códigos (T2a; T2b) está compuesta de palabras de códigos que empiezan con un máximo de 5 ceros "00000", un primer bit del más significativo bit (MSB) del código y un cuarto bit del menos significativo bit (LSB) del código que es cero (0).
24. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 21 a 23, en el que un tercer grupo de códigos (T3a; T3b) está compuesto de palabras de código que empiezan con un máximo de 5 ceros "00000", uno o ambos de entre un primer bit del más significativo bit (MSB) de la palabra de código y un cuarto bit del menos significativo bit (LSB) de la palabra de código que es "1".
25. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 21 a 24, en el que un cuarto grupo (T4a; T4b) está compuesta de códigos que empiezan con "1" ó "01".
26. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 21 a 25, en el que cuando un código actual finaliza con "1" ó "01", el valor de estado (S) se vuelve 1, con un código siguiente que es seleccionado del primer grupo de códigos (T1a; T1b).
27. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 21 a 26, en el que cuando un código actual finaliza con dos a cinco ceros, "00" a "00000", el valor de estado se convierte en 2 'o 3, con un valor de estado (S) que es seleccionado del segundo o tercer grupo de códigos (T2a; T2b, T3a; T3b).
28. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 21 a 27, en el que cuando un código actual finaliza con seis a nueve ceros, "000000" a "000000000", el valor de estado (S) se vuelve 4,

con un código siguiente que es seleccionado del cuarto grupo de códigos (T4a; T4b).

29. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 21 a 28, en el que una palabra de código que sigue un patrón de sincronización es seleccionado del primer grupo de códigos (T1a; T1b).

30. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 21 a 29, en el que cada una de la pluralidad de tablas de palabras de código primarias y secundarias (Ta; Tb) tiene una porción a la cual se le asigna un mismo código para diferentes datos de entrada, teniendo el mismo código diferentes valores de estado (S).

31. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 21 a 30, en el que la pluralidad de tablas de palabras de código primarias y secundarias (Ta; Tb) tiene porciones a las que se le asigna el mismo código para el mismo dato de entrada, teniendo el mismo código asignado el mismo valor de estado (S).

32. Un método para reproducir un medio de registro en el cual está almacenada una cadena de códigos basada en N bits convertida a partir de una cadena de datos basada en M bits, en donde M y N son números enteros que tienen una relación de $M < N$, comprendiendo el método los pasos de:

reproducir una cadena de códigos de entrada basada en N bits como una primera palabra de código a partir de un medio de registro de disco óptico;
 convertir inversamente (S22..S29) la primera palabra de código en una primera palabra de datos a partir de una primera tabla de una pluralidad de tablas de palabras de código primarias y secundarias (Ta; Tb); y suministrar (S24, S28, S29) una cadena de datos basada en M bits como un resultado de desmodulación;
 determinar (S23) sí o no la pluralidad de tablas de palabras de código secundarias (Tb) puede ser utilizada para convertir inversamente una segunda palabra de código en una segunda palabra de datos;
 si la pluralidad de tablas de palabras de código secundarias (Tb) puede ser utilizada para convertir inversamente la segunda palabra de código, entonces determinar (S27, S35), sí o no la pluralidad de tablas de palabras de código primarias (Ta) o la pluralidad de tablas de palabras de código secundarias (Tb) ha de ser utilizada para convertir inversamente la segunda palabra de código en una segunda palabra de datos, en donde
 si la pluralidad de tablas de palabras de código secundarias (Tb) no puede ser utilizada para convertir inversamente la segunda palabra de código, la pluralidad de tablas de código primarias (Ta) se determina que sea utilizada para convertir inversamente la segunda palabra de código en una segunda palabra de datos;
 determinar si la descodificación inequívoca es posible y en caso de que no lo sea, comprobar los bits 1^o y 13^o y deducir los valores de estado (S) correspondientes;
 determinar (35) basándose en un valor de estado (s) asociado con la primera palabra de código, cuál de la pluralidad de las tablas de palabras de código primarias (Ta) o cuál de las pluralidad de las tablas de palabras de código secundarias (Tb) tiene que ser utilizada para convertir inversamente la segunda palabra de código en una segunda palabra de datos; y
 convertir inversamente la segunda palabra de código en una segunda palabra de datos de una de la pluralidad de tablas de palabras de datos primarias o secundarias (Ta; Tb); en donde dichas tabla de palabras de código primarias (Ta) contienen palabras de código en correspondencia una a una con una pluralidad de palabras de datos disponible, en donde, en cada tabla de palabras de código primaria, la palabra de código que tiene la DSV absoluta más grande es dispuesta asociada con una palabra de datos más pequeña; y
 dichas tablas de palabras de código secundarias (Tb) contienen, para disminuir la DSV acumulativa, palabras de código que se corresponden solamente con una porción de dicha pluralidad de palabras de datos disponibles y cuyos valores de DSV de palabras de código son puestas en signo de los valores de DSV a los valores de DSV asociados con las palabras de código de las tablas de palabras de código primarias (Ta), en donde en cada tabla de palabras de código secundaria (Tb), la palabra de código que tiene la DSV absoluta más grande es dispuesta asociado con una palabra de datos más pequeña.

33. El método tal como se reivindica en la reivindicación 32, en el que las tablas de palabras de código primarias y secundarias (Ta; Tb) incluyen porciones a las que se les asocia diferentes palabras de datos con un mismo código de entrada.

34. El método tal como se reivindica en la reivindicación 33, en el que el mismo código de entrada para el que diferentes palabras de datos son asociadas, pertenece al primer grupo de códigos.

35. El método tal como se reivindica en cualquiera de las reivindicaciones 32 a 34, comprenden además los pasos de:

juzgar (S23) si un código de entrada es inequívocamente descodificable o no;
 leer (S25) un código siguiente al código de entrada que actualmente está siendo descodificado y comprobar

(S26) un estado del código siguiente cuando se juzga que el código de entrada no es inequívocamente descodificable; y
 determinar (S27) los datos de suministro para el código de entrada que actualmente está siendo descodificado en base al estado del siguiente código de entrada.

- 5
36. El método tal como se reivindica en cualquiera de las reivindicaciones 32 a 35, en el que el código de entrada tiene una longitud de onda mínima de $3T$ y una longitud de onda máxima de $11T$, con T representando un ciclo de un reloj de canal.
- 10
37. El método tal como se reivindica en cualquiera de las reivindicaciones 32 a 36, en el que la pluralidad de tablas de palabras de código primarias y secundarias (T_a ; T_b) está constituida por cuatro grupos (T_{1a} .. T_{4a} ; T_{1b} .. T_{4b}).
- 15
38. El método tal como se reivindica en la reivindicación 37, en el que las palabras de código en el primer grupo de códigos (T_{1a} ; T_{1b}) empiezan al menos con dos ceros "00".
- 20
39. El método tal como se reivindica en la reivindicación 37 ó en la reivindicación 38, en el que las palabras de código en el segundo grupo de códigos (T_{2a} ; T_{2b}) empiezan con un máximo de 5 ceros "00000", un primer bit del más significativo bit (MSB) del código y un cuarto bit del menos significativo bit (LSB) del código que es cero (0).
- 25
40. El método tal como se reivindica en cualquiera de las reivindicaciones 37 a 39, en el que las palabras de código en el tercer grupo de códigos (T_{3a} ; T_{3b}) empiezan con un máximo de 5 ceros "00000", y uno o ambos de entre un primer bit del más significativo bit (MSB) de la palabra de código y un cuarto bit del menos significativo bit (LSB) de la palabra de código que es "1".
- 30
41. El método tal como se reivindica en cualquiera de las reivindicaciones 37 a 39, en el que las palabras de código en el cuarto grupo (T_{4a} ; T_{4b}) empiezan con "1" ó "01".
- 35
42. Un dispositivo para reproducir un medio de registro en el cual está almacenada una cadena de códigos basada en N bits convertida a partir de una cadena de datos basada en M bits, en donde M y N son números enteros que tienen una relación de $M < N$, comprendiendo el dispositivo:
- 40
- medios para reproducir una cadena de códigos de entrada basada en N bits como una primera palabra de código a partir de un medio de registro de disco óptico;
- 45
- medios (S22..S29) para convertir inversamente la primera palabra de código en una primera palabra de datos a partir de una primera tabla de una pluralidad de tablas de palabras de código primarias y secundarias (T_a ; T_b); y
- 50
- medios (S24, S28, S29) para suministrar una cadena de datos basada en M bits como un resultado de desmodulación;
- 55
- medios (S23) para determinar sí o no la pluralidad de tablas de palabras de código secundarias (T_b) puede ser utilizada para convertir inversamente una segunda palabra de código en una segunda palabra de datos;
- 60
- medios (35) para determinar sí o no, la pluralidad de tablas de palabras de código primarias (T_a) o la pluralidad de tablas de palabras de código secundarias (T_b) ha de ser utilizada para convertir inversamente la segunda palabra de código en una segunda palabra de datos, si la pluralidad de tablas de palabras de código secundarias (T_b) puede ser utilizada para convertir inversamente la segunda palabra de código, en donde, si la pluralidad de tablas de palabras de código secundarias (T_b) no puede ser utilizada para convertir inversamente la segunda palabra de código, la pluralidad de tablas de código primarias (T_a) se determina que sea utilizada para convertir inversamente la segunda palabra de código en una segunda palabra de datos;
- 65
- medios para determinar si la descodificación inequívoca es posible y en caso de que no lo sea, comprobar los bits 1^o y 13^o y deducir los valores de estado (S) correspondientes;
- medios (35) para determinar basándose en un valor de estado (s) asociado con la primera palabra de código, cuál de la pluralidad de las tablas de palabras de código primarias (T_a) o cuál de las pluralidad de las tablas de palabras de código secundarias (T_b) tiene que ser utilizada para convertir inversamente la segunda palabra de código en una segunda palabra de datos; y
- medios para convertir inversamente la segunda palabra de código en una segunda palabra de datos de una de la pluralidad de tablas de palabras de datos primarias o secundarias (T_a ; T_b); en donde dichas tablas de palabras de código primarias (T_a) contienen palabras de código en correspondencia una a una con una pluralidad de palabras de datos disponible, en donde, en cada tabla de palabras de código primaria, la palabra de código que tiene la DSV absoluta más grande es dispuesta asociada con una palabra de datos más pequeña; y
- dichas tablas de palabras de código secundarias (T_b) contienen, para disminuir la DSV acumulativa, palabras de código que se corresponden solamente con una porción de dicha pluralidad de palabras de datos disponibles y cuyos valores de DSV de palabras de código son opuestas en signo de los valores de DSV a los valores de DSV asociados con las palabras de código de las tablas de palabras de código primarias (T_a), en

donde en cada tabla de palabras de código secundaria (Tb), la palabra de código que tiene la DSV absoluta más grande es dispuesta asociada con una palabra de datos más pequeña.

- 5 43. El dispositivo tal como se reivindica en la reivindicación 42, en el que las tablas de palabras de código primarias y secundarias (Ta; Tb) incluyen porciones a las que se les asocia diferentes palabras de datos con un mismo código de entrada.
- 10 44. El dispositivo tal como se reivindica en la reivindicación 43, en el que la pluralidad de tablas de palabras de código primarias y secundarias (Ta; Tb) está constituida por cuatro grupos (T1a..T4a; T1b..T4b) y el mismo código de entrada para el cual los diferentes datos que son asociadas pertenecen al mismo grupo de códigos.
- 15 45. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 42 a 44, que comprende además:
 medios (S23) para juzgar si un código de entrada es inequívocamente descodificable o no con referencia a la tabla de conversión inversa;
 medios (S25) para leer un código siguiente al código de entrada que actualmente está siendo descodificado y comprobar (S26) un estado del código siguiente cuando se juzga que el código de entrada no es inequívocamente descodificable; y
 20 medios para determinar los datos de suministro para el código de entrada que actualmente está siendo descodificado en base al estado de un código de entrada siguiente.
- 25 46. El dispositivo de desmodulación tal como se reivindica en cualquiera de las reivindicaciones 42 a 45, en el que el código de entrada tiene una longitud de onda mínima de $3T$ y una longitud de onda máxima de $11T$, con T representando un ciclo de un reloj de canal.
- 30 47. El dispositivo tal como se reivindica en cualquiera de las reivindicaciones 42 a 46, en el que la pluralidad de tablas de palabras de código primarias y secundarias (Ta; Tb) está constituida por cuatro grupos de tablas de palabras de código (T1a..T4a; T1b..T4b).
- 35 48. El dispositivo tal como se reivindica en la reivindicación 47, en el que las palabras de código en el primer grupo de códigos (T1a; T1b) empiezan al menos con dos ceros "00".
- 40 49. El dispositivo tal como se reivindica en la reivindicación 47 ó en la reivindicación 48, en el que las palabras de código en el segundo grupo de códigos (T2a; T2b) empiezan con un máximo de 5 ceros "00000", y un primer bit del más significativo bit (MSB) del código y el cuarto bit del menos significativo bit (LSB) del código que es cero (0).
- 45 50. El dispositivo de desmodulación tal como se reivindica en cualquiera de las reivindicaciones 47 a 49, en el que las palabras de código en el tercer grupo de códigos (T3a; T3b) empiezan con un máximo de 5 ceros "00000", y uno o ambos de entre un primer bit del más significativo bit (MSB) de la palabra de código y un cuarto bit del menos significativo bit (LSB) de la palabra de código que es "1".
51. El dispositivo de desmodulación tal como se reivindica en cualquiera de las reivindicaciones 47 a 50, en el que las palabras de código en el cuarto grupo (T4a; T4b) empiezan con "1" ó "01".

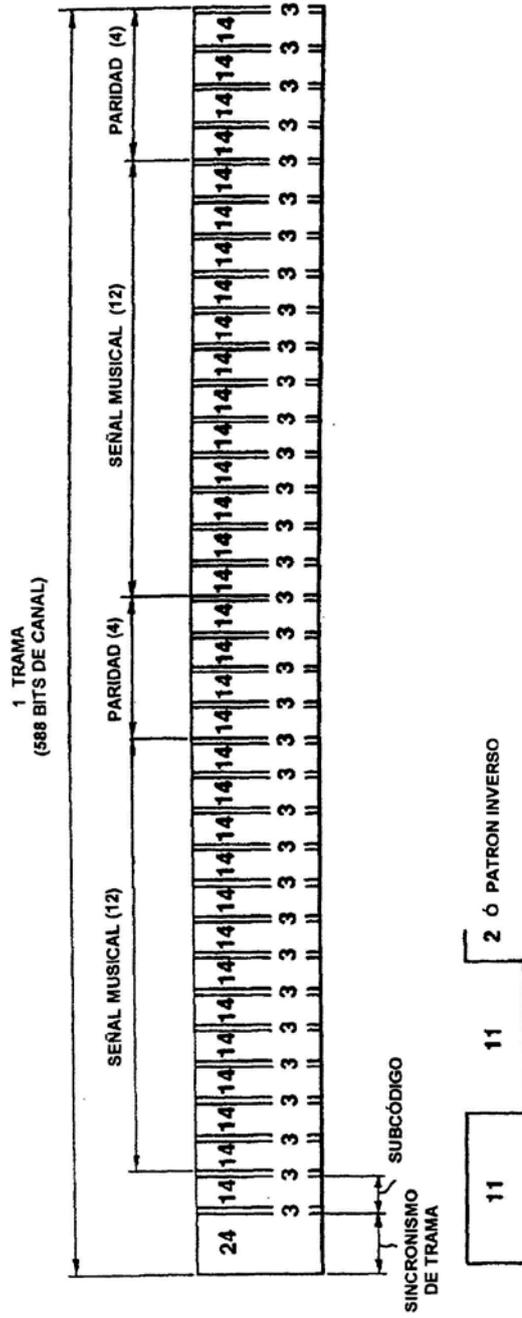


FIG.1

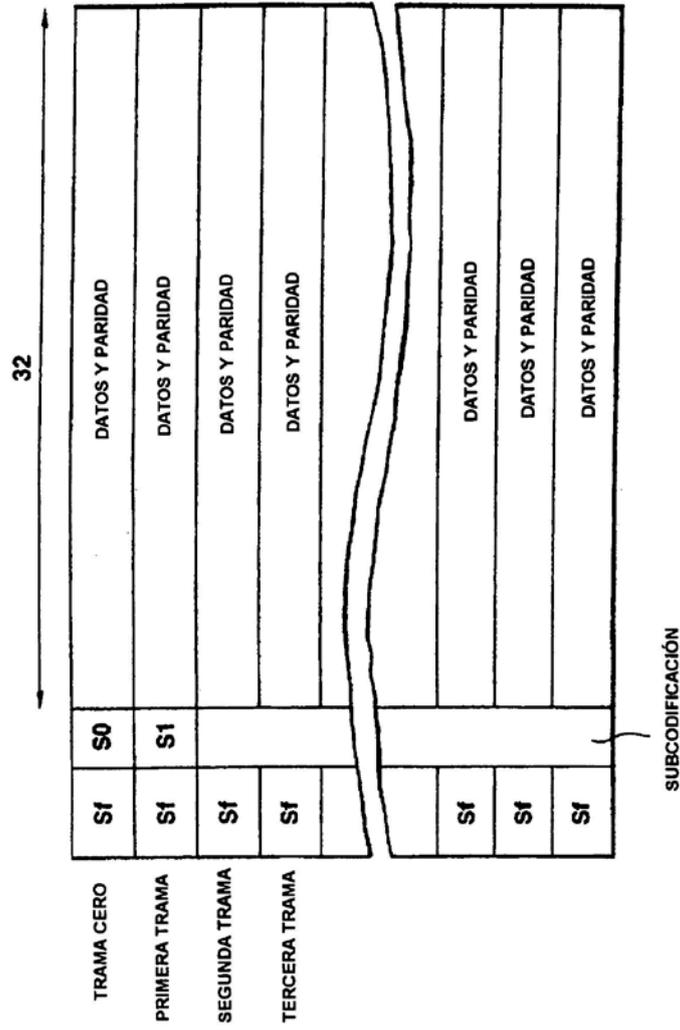


FIG.2

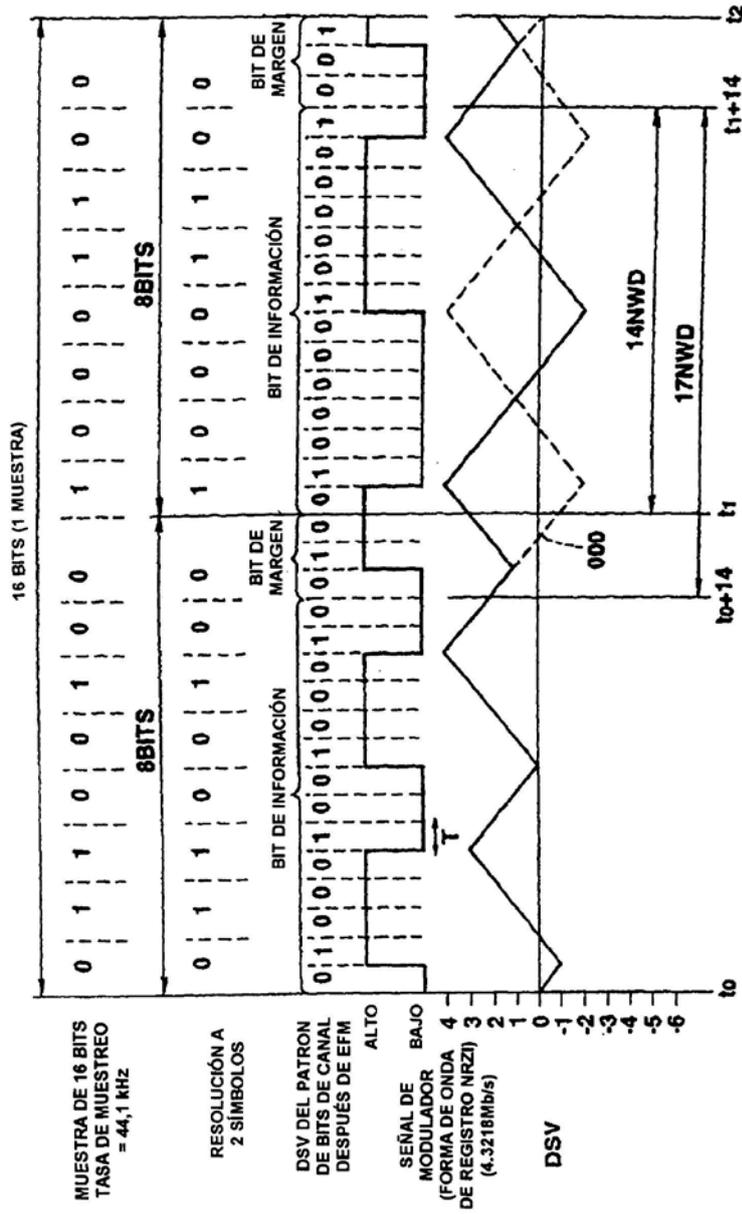


FIG.3

VALOR DE SEÑAL DE ENTRADA

↓	TABLA T1a	S	TABLA T2a	S	TABLA T3a	S	TABLA T4a	S
0	001000000001001	1	010000100100000	2	001000000001001	1	010000100100000	2
1	001000000010010	1	001000000010010	1	100000100100000	3	100000100100000	3
2	001000010010000	2	001000010010000	2	100000000010010	1	100000000010010	1
3	0010000001001000	2	0100010010000000	4	0010000001001000	2	0100010010000000	4
4	0010000010010000	2	0010000010010000	2	1000000100100000	2	1000000100100000	2
5	0010000000100100	2	0010000000100100	2	1001001000000000	4	1001001000000000	4
6	0010000000100100	3	0010000000100100	3	1000100100000000	4	1000100100000000	4
7	0010000001001000	3	010000000010010	1	0010000001001000	3	010000000010010	1
8	0010000010010000	3	0010000010010000	3	1000010010000000	4	1000010010000000	4
9	0010000100100000	3	0010000100100000	3	1001001000000001	1	1001001000000001	1
10	0010010010000000	4	0010010010000000	4	1000100100000001	1	1000100100000001	1
11	0010001001000000	4	0010001001000000	4	1000000100100000	3	1000000100100000	3
12	0010010010000001	1	0010010010000001	1	1000000100100000	2	1000000100100000	2
13	0010001001000001	1	0010001001000001	1	1000010010000001	1	1000010010000001	1
14	0010000001001001	1	0100000001001000	3	0010000001001001	1	0100000001001000	3
15	0010000100100001	1	0010000100100001	1	1000001001000001	1	1000001001000001	1
16	0010000010010001	1	0010000010010001	1	1000000100100001	1	1000000100100001	1
17	0010000000100010	1	0010000000100010	1	1000001001000000	4	1000001001000000	4
18	0001000000001001	1	0100000010010000	2	0001000000001001	1	0100000010010000	2
19	0010000000010001	1	0010000000010001	1	1001000100000000	4	1001000100000000	4
20	0001000000010010	1	0001000000010010	1	1000100010000000	4	1000100010000000	4
:	:	:	:	:	:	:	:	:
248	0000100100001001	1	0100010010010001	1	0000100100001001	1	0100010010010001	1
249	0000100001000001	1	0000100001000001	1	1000010000001001	1	1000010000001001	1
250	0000010010010010	1	0000010010010010	1	1000001000000010	1	1000001000000010	1
251	0000010001000010	1	0000010001000010	1	1000000100000001	1	1000000100000001	1
252	0000010010001001	1	0100010000100010	1	0000010010001001	1	0100010000100010	1
253	0000010000100001	1	0000010000100001	1	0100100010001001	1	0100100010001001	1
254	0000001001000100	2	0100010000010001	1	1001000000010000	2	0100010000010000	1
255	0000001000001000	2	0100001000010010	1	1000100100010000	2	01000010000010010	1

VALOR DE SEÑAL DE ENTRADA

↓	TABLA T1b	S	TABLA T2b	S	TABLA T3b	S	TABLA T4b	S
0	0000010010000000	4	0000010010000000	4	0100100001001000	2	0100100001001000	2
1	0000100100000000	4	0000100100000000	4	0100100001001000	3	0100100001001000	3
2	0001001000000000	4	0001001000000000	4	0100100000001001	1	0100100000001001	1
3	0000001001000000	4	0100010000000001	1	1000001000000000	4	0100010000000001	1
4	0000000100100000	3	0100100000000010	1	1001000000000100	3	0100100000000010	1
5	0000000010010000	3	0100001000000000	4	1001000000100100	3	0100001000000000	4
6	0000000001001000	3	0100100000000010	2	1001000000100100	3	0100100000000010	2
7	0000000001001000	2	0100000100000000	4	1001000000000100	2	0100000100000000	4
8	0000000001001000	2	0100100010010000	3	1001000000100100	2	0100100010010000	3
9	0000000100100000	2	0100100000010010	2	1001000000100100	2	0100100000010010	2
10	0000010001000000	4	0000010001000000	4	1001001001000000	4	1001001001000000	4
:	:	:	:	:	:	:	:	:
84	0010010000100100	2	0010010000100100	2	1000100000001000	2	1000100000001000	2
85	0010010010010000	2	0010010010010000	2	0100010001001001	1	0100010001001001	1
86	0000000100000100	2	0100001000010010	2	1000100001000100	2	0100000100000100	2
87	0000000100100100	2	0100010001000100	2	1000100010001000	2	0100010001000100	2

FIG. 4

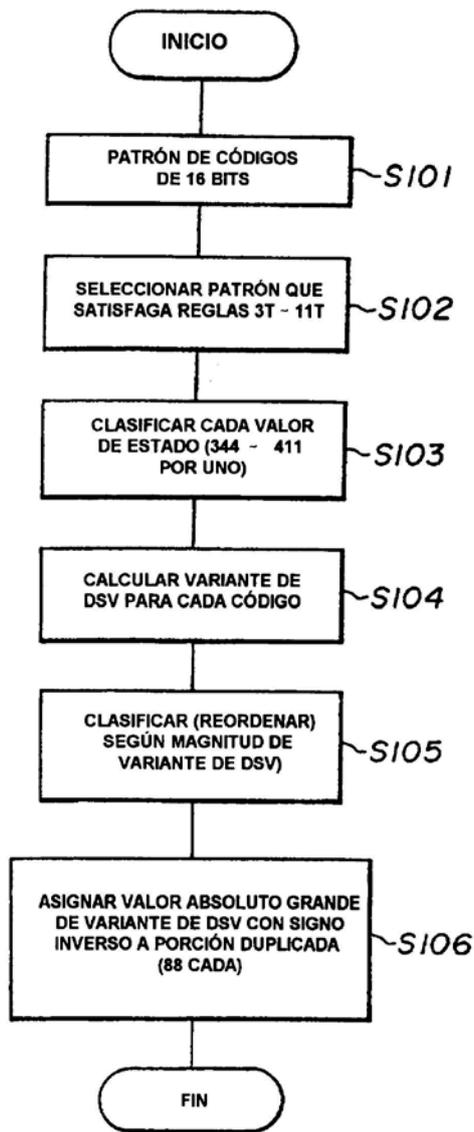


FIG.5

CÓDIGO	VARIANTE DE DSV PARA CWLL=L	VALOR DE SEÑAL DE ENTRADA ASIGNADO			
0010010010000000	+6	0	88] TABLA T1a	
0010001001000000	+6	1			
0010000100100000	+6	2			
0010000010010000	+6	3			
:	:	:			
:	:	:			
0000100000100100	+2	87	168		
0000100000000100	+2	88			
0000100000010010	+2	89			
0010010010010010	0	90			
:	:	:			
:	:	:			
0000010010010001	-2	255	88] TABLA T1b
0000100000010000	-2	87			
0000010000010001	-2	86			
0010010010010000	-4	85			
:	:	:			
:	:	:			
0000100100000000	-10	1			
0000010010000000	-10	0			

FIG.6

CÓDIGO	VARIANTE DE DSV PARA CWLL=L	VALOR DE SEÑAL DE ENTRADA ASIGNADO	
0100100100000000	+8	0	88
0100010010000000	+8	1	
0100001001000000	+8	2	
0100000100100000	+8	3	
:	:	:	
:	:	:	
0100000100000100	+2	87	168
0100000100000100	+2	NO USADO	
0100000001000001	+2	88	
0100000001000000	+2	89	
0010010010000010	+2	90	
:	:	:	
:	:	:	
0000010000100010	-2	255	88
0000010000010001	-2	NO USADO	
0100100100100000	-4	87	
0100100010010000	-4	86	
0100100000100100	-4	85	
:	:	:	
:	:	:	
0000100100000000	-10	1	88
0000010010000000	-10	0	

TABLA T2a

TABLA T2b

FIG.7

CÓDIGO	VARIANTE DE DSV PARA CWLL=L	VALOR DE SEÑAL DE ENTRADA ASIGNADO			
1001001000000000	+10	0	88	TABLA T3a	
1000100100000000	+10	1			
1000010010000000	+10	2			
1000001001000000	+10	3			
:	:	:			
:	:	:			
1000000000100000	+4	87	168		
0100000100001000	+4	88			
0100000010001001	+4	89			
0010000010001000	+4	90			
:	:	:			
:	:	:			
1001000000010001	-2	255	88		TABLA T3b
1001000000001000	-2	87			
1000100100100000	-2	86			
1000100010010000	-2	85			
:	:	:			
:	:	:			
0000100100001001	-4	1			
0000010010001001	-4	0			

FIG.8

CÓDIGO	VARIANTE DE DSV PARA CWLL=L	VALOR DE SEÑAL DE ENTRADA ASIGNADO		
1001001000000000	+10	0	88	TABLA T4a
1000100100000000	+10	1		
1000010010000000	+10	2		
1000001001000000	+10	3		
:	:	:		
:	:	:		
1000010010010010	+4	87		
1000010010001001	+4	NO USADO	168	
1000010010000100	+4	88		
1000010001000010	+4	89		
1000010000100001	+4	90		
:	:	:		
:	:	:		
0100000001000000	0	255		
1001001001000001	-2		88	TABLA T4b
1001001000100000	-2	87		
1001000100100001	-2	86		
1001000100010000	-2	85		
:	:	:		
:	:	:		
0100010000000001	-6	1		
0100001000000000	-6	0		

FIG.9

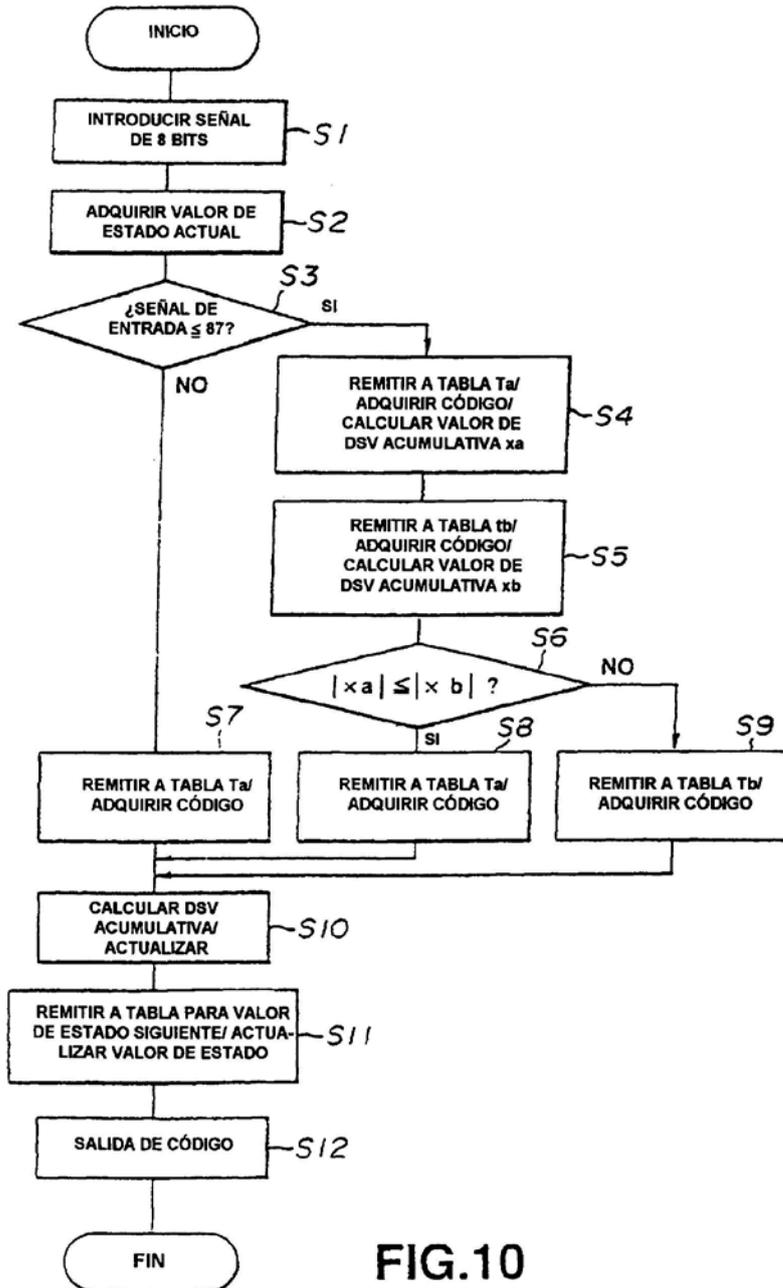


FIG.10

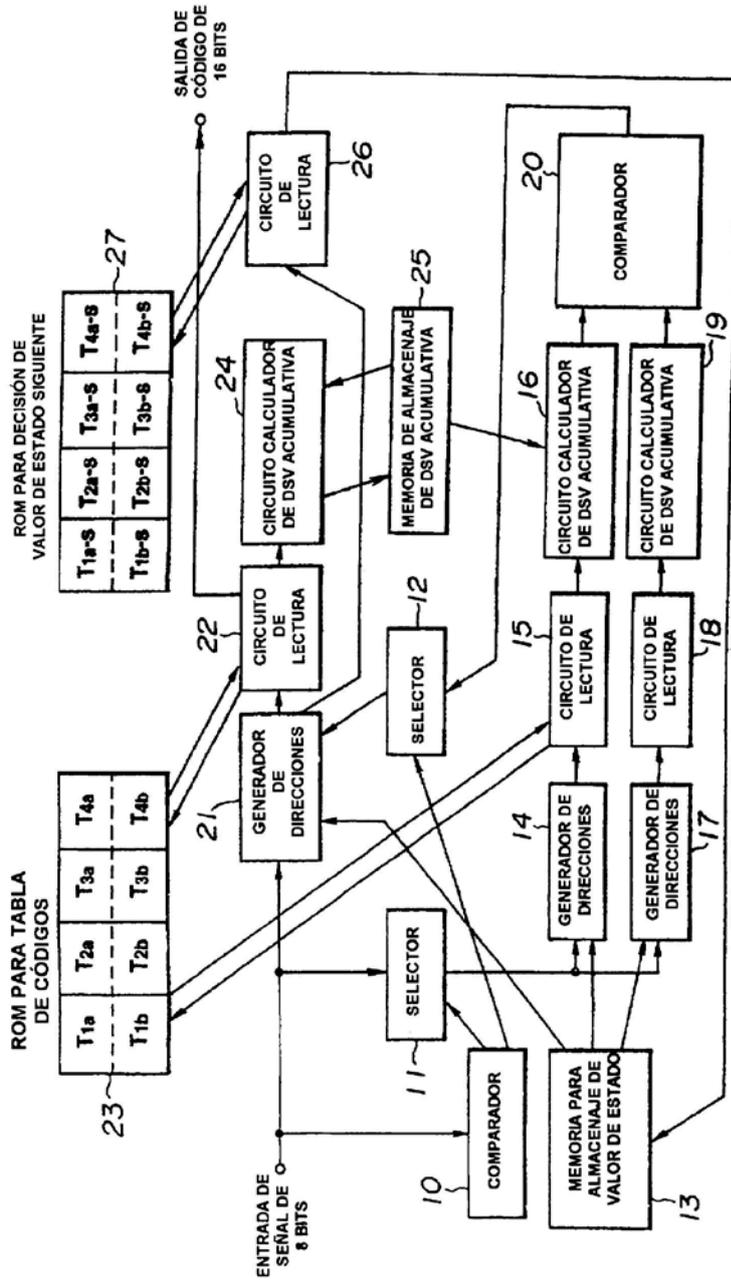


FIG.11

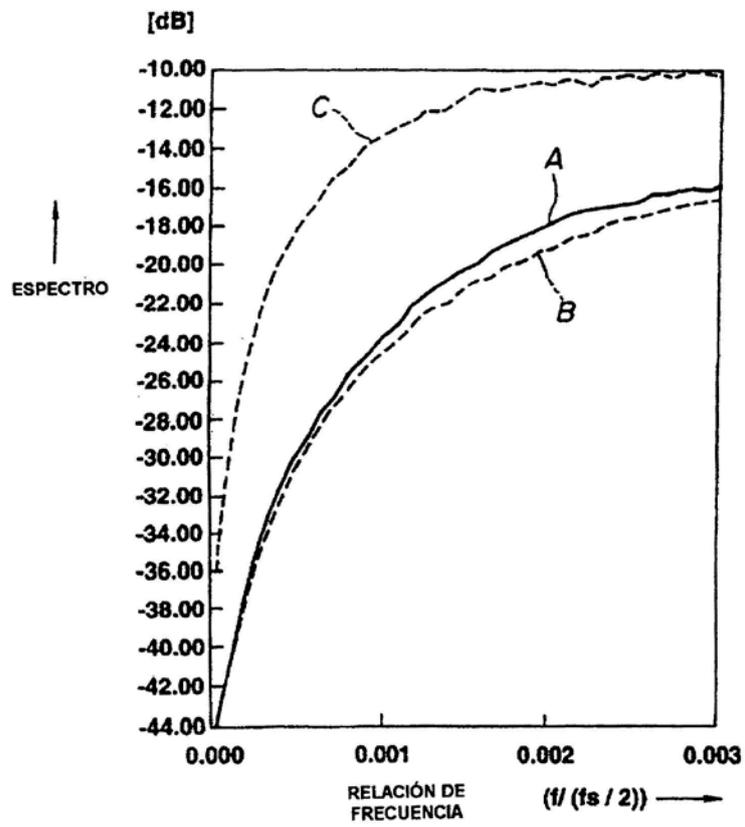


FIG.12

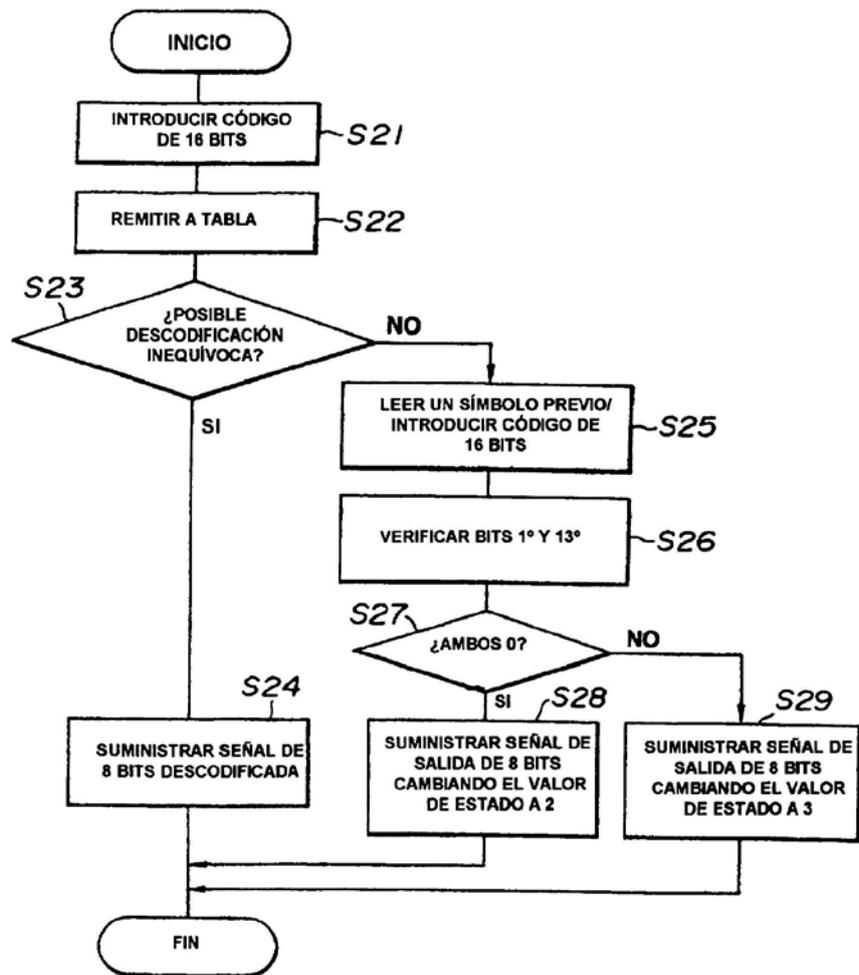


FIG.13

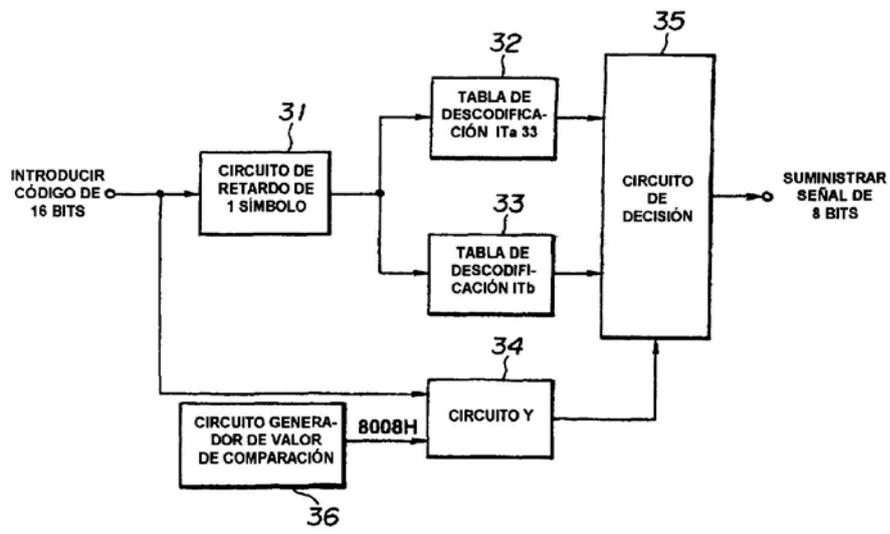


FIG.14